

M16C/64A グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

M16C ファミリ / M16C/60 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/64A グループでは以下のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/64Aグループ データシート	R01DS0032JJ0200
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください	M16C/64Aグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	M16C/60、M16C/20、 M16C/Tiny シリーズ ユーザーズマニュアル ソフトウェア編	RJJ09B0136
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクス ホームページに掲載されています	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
・・・

アドレス
・・・h番地

リセット後の値
・・・b

ビットシンボル	ビット名	機能	RW
・・・0	・・・ビット	b1 b0 0 0:・・・ 0 1:・・・ 1 0:設定しないでください 1 1:・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		— *3
— (b3)	予約ビット	“1”にしてください	RW *4
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0:・・・ 1:・・・	RO

***1**

- 空白 : 用途に応じて“0”または“1”にしてください
- 0 : “0”にしてください
- 1 : “1”にしてください
- x : 何も配置されていないビットです

***2**

- RW : 読むとビットの値が読めます。書くと有効データになります
- RO : 読むとビットの値が読めます。書いた値は無効になります
- WO : 書くと有効データになります。ビットの値は読めません (読んだ場合は不定値が読めます)
- : 何も配置されていないビットです

***3**

- ・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます

***4**

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください
- ・設定しないでください
設定した場合の動作は保証されません
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください

4. 略語および略称の説明

略語/略称	フルスペル	説明
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

HDMI及びHigh-Definition Multimedia Interfaceは、HDMI Licensing, LLCの商標または登録商標です。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.2 仕様概要	2
1.3 製品一覧	4
1.4 ブロック図	6
1.5 ピン配置図	7
1.6 端子機能の説明	11
2. 中央演算処理装置	14
2.1 データレジスタ (R0、R1、R2、R3)	15
2.2 アドレスレジスタ (A0、A1)	15
2.3 フレームベースレジスタ (FB)	15
2.4 割り込みテーブルレジスタ (INTB)	15
2.5 プログラムカウンタ (PC)	15
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	15
2.7 スタティックベースレジスタ (SB)	15
2.8 フラグレジスタ (FLG)	15
2.8.1 キャリフラグ (Cフラグ)	15
2.8.2 デバッグフラグ (Dフラグ)	15
2.8.3 ゼロフラグ (Zフラグ)	15
2.8.4 サインフラグ (Sフラグ)	15
2.8.5 レジスタバンク指定フラグ (Bフラグ)	15
2.8.6 オーバフローフラグ (Oフラグ)	16
2.8.7 割り込み許可フラグ (Iフラグ)	16
2.8.8 スタックポインタ指定フラグ (Uフラグ)	16
2.8.9 プロセッサ割り込み優先レベル (IPL)	16
2.8.10 予約領域	16
3. アドレス空間	17
3.1 アドレス空間	17
3.2 メモリ配置	18
3.3 プロセッサモードによる違い	19
4. SFR	20
4.1 SFR	20
4.2 SFR使用上の注意事項	38
4.2.1 レジスタ設定時の注意事項	38
5. プロテクト	40
5.1 概要	40

5.2	レジスタの説明	40
5.2.1	プロテクトレジスタ (PRCR)	40
5.3	プロテクト使用上の注意事項	42
6.	リセット	43
6.1	概要	43
6.2	レジスタの説明	45
6.2.1	プロセッサモードレジスタ0 (PM0)	46
6.2.2	リセット要因判別レジスタ (RSTFR)	47
6.3	オプション機能選択領域の説明	48
6.3.1	オプション機能選択1番地 (OFS1)	48
6.4	動作説明	50
6.4.1	リセット後の状態	50
6.4.2	ハードウェアリセット	53
6.4.3	パワーオンリセット機能	54
6.4.4	電圧監視0リセット	55
6.4.5	電圧監視1リセット	55
6.4.6	電圧監視2リセット	55
6.4.7	発振停止検出リセット	56
6.4.8	ウォッチドッグタイマリセット	56
6.4.9	ソフトウェアリセット	56
6.4.10	コールド/ウォームスタート判定機能	57
6.5	リセット使用上の注意事項	58
6.5.1	電源立ち上がり勾配	58
6.5.2	パワーオンリセット	58
6.5.3	OSDRビット (発振停止検出リセット検出フラグ)	59
6.5.4	VCC1 < Vdet0の場合のハードウェアリセット	59
7.	電圧検出回路	60
7.1	概要	60
7.2	レジスタの説明	62
7.2.1	電圧検出2回路フラグレジスタ (VCR1)	63
7.2.2	電圧検出回路動作許可レジスタ (VCR2)	64
7.2.3	電圧監視機能選択レジスタ (VWCE)	65
7.2.4	電圧検出1レベル選択レジスタ (VD1LS)	66
7.2.5	電圧監視0回路制御レジスタ (VW0C)	67
7.2.6	電圧監視1回路制御レジスタ (VW1C)	68
7.2.7	電圧監視2回路制御レジスタ (VW2C)	70
7.3	オプション機能選択領域の説明	72
7.3.1	オプション機能選択1番地 (OFS1)	72
7.4	動作説明	73
7.4.1	デジタルフィルタ	73

7.4.2	電圧検出0回路	74
7.4.3	電圧検出1回路	75
7.4.4	電圧検出2回路	78
7.5	割り込み	81
8.	クロック発生回路	82
8.1	概要	82
8.2	レジスタの説明	84
8.2.1	プロセッサモードレジスタ0 (PM0)	85
8.2.2	システムクロック制御レジスタ0 (CM0)	86
8.2.3	システムクロック制御レジスタ1 (CM1)	88
8.2.4	発振停止検出レジスタ (CM2)	90
8.2.5	周辺クロック選択レジスタ (PCLKR)	92
8.2.6	PLL制御レジスタ0 (PLC0)	93
8.2.7	プロセッサモードレジスタ2 (PM2)	94
8.3	クロック発生回路で生成するクロック	95
8.3.1	メインクロック	95
8.3.2	PLLクロック	96
8.3.3	125kHzオンチップオシレータクロック (fOCO-S)	96
8.3.4	サブクロック (fC)	97
8.4	CPUクロックと周辺機能クロック	98
8.4.1	CPUクロックとBCLK	98
8.4.2	周辺機能クロック (f1、fOCO-S、fC32、fC)	98
8.5	クロック出力機能	100
8.6	システムクロック保護機能	100
8.7	発振停止/再発振検出機能	101
8.7.1	CM27ビットが“0” (発振停止検出リセット)の場合の動作	101
8.7.2	CM27ビットが“1” (発振停止/再発振検出割り込み)の場合の動作	102
8.7.3	発振停止/再発振検出機能使用方法	103
8.8	割り込み	103
8.9	クロック発生回路使用上の注意事項	104
8.9.1	発振子を用いた発振回路	104
8.9.2	発振回路のノイズ対策	105
8.9.3	CPUクロック	106
8.9.4	発振停止/再発振検出機能	106
8.9.5	PLL周波数シンセサイザ使用時	107
8.9.6	PLLクロックの発振開始	108
9.	パワーコントロール	109
9.1	概要	109
9.2	レジスタの説明	109
9.2.1	フラッシュメモリ制御レジスタ0 (FMR0)	110

9.2.2	フラッシュメモリ制御レジスタ2 (FMR2)	111
9.3	クロック	112
9.3.1	通常動作モード	112
9.3.2	モード遷移手順	116
9.3.3	ウェイトモード	119
9.3.4	ストップモード	121
9.4	フラッシュメモリのパワーコントロール	123
9.4.1	フラッシュメモリの停止	123
9.4.2	フラッシュメモリの読み出し	124
9.5	消費電力を少なくするためのポイント	126
9.5.1	ポート	126
9.5.2	A/Dコンバータ	126
9.5.3	D/Aコンバータ	126
9.5.4	周辺機能の停止	126
9.5.5	発振駆動能力の切り替え	126
9.6	パワーコントロール使用上の注意事項	127
9.6.1	CPUクロック	127
9.6.2	ウェイトモード	127
9.6.3	ストップモード	127
9.6.4	低消費電流リードモード	128
9.6.5	スローリードモード	128
10.	プロセッサモード	129
10.1	概要	129
10.2	レジスタの説明	130
10.2.1	プロセッサモードレジスタ0 (PM0)	130
10.2.2	プロセッサモードレジスタ1 (PM1)	131
10.2.3	プログラム2領域制御レジスタ (PRG2C)	133
10.3	動作説明	134
10.3.1	プロセッサモードの設定	134
11.	バス	136
11.1	概要	136
11.2	レジスタの説明	136
11.2.1	チップセレクト制御レジスタ (CSR)	137
11.2.2	チップセレクト拡張制御レジスタ (CSE)	138
11.3	動作説明	139
11.3.1	内部バス、外部バス共通事項	139
11.3.2	内部バス	140
11.3.3	外部バス	140
11.3.4	外部バス形式	140
11.3.5	外部バス制御	141

11.4	バス使用上の注意事項	150
11.4.1	データフラッシュ読み出し	150
11.4.2	外部バス	150
11.4.3	SFR書き込み直後の外部アクセス	150
11.4.4	$\overline{\text{HOLD}}$	150
12.	メモリ空間拡張機能	151
12.1	概要	151
12.2	レジスタの説明	151
12.2.1	データバンクレジスタ (DBR)	152
12.3	動作説明	153
12.3.1	1Mバイトモード	153
12.3.2	4Mバイトモード	155
13.	プログラマブル入出力ポート	162
13.1	概要	162
13.2	入出力ポート、端子の構成	163
13.3	レジスタの説明	175
13.3.1	プルアップ制御レジスタ0 (PUR0)	176
13.3.2	プルアップ制御レジスタ1 (PUR1)	177
13.3.3	プルアップ制御レジスタ2 (PUR2)	178
13.3.4	ポート制御レジスタ (PCR)	179
13.3.5	ポートPiレジスタ (Pi) (i=0~10)	180
13.3.6	ポートPi方向レジスタ (PDi) (i=0~10)	181
13.3.7	$\overline{\text{NMi}}/\overline{\text{SD}}$ デジタルフィルタレジスタ (NMIDF)	182
13.4	周辺機能の入出力	183
13.4.1	周辺機能入出力とポート方向ビット	183
13.4.2	周辺機能入出力の優先順位	183
13.4.3	$\overline{\text{NMi}}/\overline{\text{SD}}$ デジタルフィルタ	184
13.4.4	CNVSS 端子	184
13.5	未使用端子の処理	185
13.6	プログラマブル入出力ポート使用上の注意事項	187
13.6.1	$\overline{\text{SD}}$ 入力の影響	187
13.6.2	SI/O3、SI/O4 の影響	187
14.	割り込み	188
14.1	概要	188
14.2	レジスタの説明	189
14.2.1	プロセッサモードレジスタ2 (PM2)	191
14.2.2	割り込み制御レジスタ1 (TB5IC、TB4IC/U1BCNIC、TB3IC/U0BCNIC、BCNIC、DM0IC~DM3IC、KUPIC、ADIC、 S0TIC~S2TIC、S0RIC~S2RIC、TA0IC~TA4IC、TB0IC~TB2IC、U5BCNIC/CEC1IC、 S5TIC/CEC2IC、S5RIC~S7RIC、U6BCNIC/RTCTIC、S6TIC/RTCCIC、 U7BCNIC/PMC0IC、S7TIC/PMC1IC、IICIC、SCLDAIC)	192

14.2.3	割り込み制御レジスタ 2 (INT7IC、INT6IC、INT3IC、S4IC/INT5IC、S3IC/INT4IC、INT0IC~INT2IC)	193
14.2.4	割り込み要因選択レジスタ 3 (IFSR3A)	194
14.2.5	割り込み要因選択レジスタ 2 (IFSR2A)	195
14.2.6	割り込み要因選択レジスタ (IFSR)	196
14.2.7	アドレス一致割り込み許可レジスタ (AIER)	197
14.2.8	アドレス一致割り込み許可レジスタ 2 (AIER2)	197
14.2.9	アドレス一致割り込みレジスタ i (RMADi) (i=0~3)	198
14.2.10	ポート制御レジスタ (PCR)	199
14.2.11	$\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタレジスタ (NMIDF)	200
14.3	割り込みの分類	201
14.4	ソフトウェア割り込み	202
14.4.1	未定義命令割り込み	202
14.4.2	オーバフロー割り込み	202
14.4.3	BRK割り込み	202
14.4.4	INT 命令割り込み	202
14.5	ハードウェア割り込み	203
14.5.1	特殊割り込み	203
14.5.2	周辺機能割り込み	203
14.6	割り込みと割り込みベクタ	204
14.6.1	固定ベクタテーブル	204
14.6.2	可変ベクタテーブル	205
14.7	割り込み制御	207
14.7.1	マスカブル割り込みの制御	207
14.7.2	割り込みシーケンス	208
14.7.3	割り込み応答時間	209
14.7.4	割り込み要求受け付け時の IPL の変化	209
14.7.5	レジスタ退避	210
14.7.6	割り込みルーチンからの復帰	211
14.7.7	割り込み優先順位	211
14.7.8	割り込み優先レベル判定回路	211
14.7.9	多重割り込み	213
14.8	$\overline{\text{INT}}$ 割り込み	213
14.9	$\overline{\text{NMI}}$ 割り込み	214
14.10	キー入力割り込み	214
14.11	アドレス一致割り込み	215
14.12	ノンマスカブル割り込み要因の判別	216
14.13	割り込み使用上の注意事項	217
14.13.1	00000h 番地の読み出し	217
14.13.2	SP の設定	217
14.13.3	$\overline{\text{NMI}}$ 割り込み	217

14.13.4	割り込み要因の変更	218
14.13.5	割り込み制御レジスタの変更	219
14.13.6	割り込み制御レジスタを変更する命令	219
14.13.7	$\overline{\text{INT}}$ 割り込み	219
15.	ウォッチドッグタイマ	220
15.1	概要	220
15.2	レジスタの説明	221
15.2.1	電圧監視2回路制御レジスタ (VW2C)	221
15.2.2	カウントソース保護モードレジスタ (CSPR)	222
15.2.3	ウォッチドッグタイマリフレッシュレジスタ (WDTR)	223
15.2.4	ウォッチドッグタイマスタートレジスタ (WDTS)	223
15.2.5	ウォッチドッグタイマ制御レジスタ (WDC)	224
15.3	オプション機能選択領域の説明	225
15.3.1	オプション機能選択1番地 (OFS1)	225
15.4	動作説明	226
15.4.1	カウントソース保護モード無効時	226
15.4.2	カウントソース保護モード有効時	227
15.5	割り込み	228
15.6	ウォッチドッグタイマ使用上の注意事項	229
16.	DMAC	230
16.1	概要	230
16.2	レジスタの説明	232
16.2.1	DMAi ソースポインタ (SARi) (i=0~3)	233
16.2.2	DMAi ディスティネーションポインタ (DARi) (i=0~3)	233
16.2.3	DMAi 転送カウンタ (TCRi) (i=0~3)	234
16.2.4	DMAi 制御レジスタ (DMiCON) (i=0~3)	235
16.2.5	DMAi 要因選択レジスタ (DMiSL) (i=0~3)	236
16.3	動作説明	239
16.3.1	DMA 許可	239
16.3.2	DMA 要求	239
16.3.3	転送サイクル	240
16.3.4	DMAC 転送サイクル数	242
16.3.5	単転送モード	243
16.3.6	リピート転送モード	244
16.3.7	チャンネルの優先順位とDMA 転送タイミング	245
16.4	割り込み	246
16.5	DMAC 使用上の注意事項	247
16.5.1	DMiCON レジスタのDMAE ビットへの書き込み (i=0~3)	247
16.5.2	DMA 要求要因の変更	247

17.	タイマA	248
17.1	概要	248
17.2	レジスタの説明	251
17.2.1	周辺クロック選択レジスタ (PCLKR)	252
17.2.2	時計用プリスケアラリセットフラグ (CPSRF)	252
17.2.3	タイマAカウントソース選択レジスタ i (TACSi) ($i=0\sim 2$)	253
17.2.4	16ビットパルス幅変調モード機能選択レジスタ (PWMFS)	254
17.2.5	タイマA波形出力機能選択レジスタ (TAPOFS)	255
17.2.6	タイマA出力波形変更許可レジスタ (TAOW)	256
17.2.7	タイマ A_i レジスタ (TA i) ($i=0\sim 4$)	257
17.2.8	タイマ A_{i-1} レジスタ (TA $i1$) ($i=1, 2, 4$)	258
17.2.9	カウント開始フラグ (TABSR)	259
17.2.10	ワンショット開始フラグ (ONSF)	260
17.2.11	トリガ選択レジスタ (TRGSR)	261
17.2.12	アップダウンフラグ (UDF)	262
17.2.13	タイマ A_i モードレジスタ (TA i MR) ($i=0\sim 4$)	263
17.3	動作説明	264
17.3.1	複数モードに関わる共通事項	264
17.3.2	タイマモード	266
17.3.3	イベントカウンタモード (二相パルス信号処理を使用しない場合)	270
17.3.4	イベントカウンタモード (二相パルス信号処理を使用する場合)	274
17.3.5	ワンショットタイマモード	279
17.3.6	パルス幅変調モード (PWMモード)	283
17.3.7	プログラマブル出力モード (タイマA1、A2、A4)	288
17.4	割り込み	292
17.5	タイマA使用上の注意事項	293
17.5.1	複数モードに関わる共通事項	293
17.5.2	タイマA (タイマモード)	293
17.5.3	タイマA (イベントカウンタモード)	294
17.5.4	タイマA (ワンショットタイマモード)	294
17.5.5	タイマA (パルス幅変調モード)	294
17.5.6	タイマA (プログラマブル出力モード)	295
18.	タイマB	296
18.1	概要	296
18.2	レジスタの説明	299
18.2.1	周辺クロック選択レジスタ (PCLKR)	300
18.2.2	時計用プリスケアラリセットフラグ (CPSRF)	301
18.2.3	タイマ B_i レジスタ (TB i) ($i=0\sim 5$)	301
18.2.4	タイマ B_{i-1} レジスタ (TB $i1$) ($i=0\sim 5$)	302
18.2.5	パルス周期/幅測定モード機能選択レジスタ i (PPWFS i) ($i=1, 2$)	303

18.2.6	タイマBカウントソース選択レジスタ <i>i</i> (TBCSi) (<i>i</i> =0~3)	304
18.2.7	カウント開始フラグ(TABSR) タイマB3, 4, 5カウント開始フラグ(TBSR)	305
18.2.8	タイマBiモードレジスタ (TBiMR) (<i>i</i> =0~5)	306
18.3	動作説明	307
18.3.1	複数モードに関わる共通事項	307
18.3.2	タイマモード	309
18.3.3	イベントカウンタモード	311
18.3.4	パルス周期測定モード、パルス幅測定モード	314
18.4	割り込み	319
18.5	タイマB使用上の注意事項	320
18.5.1	複数モードに関わる共通事項	320
18.5.2	タイマB(タイマモード)	320
18.5.3	タイマB(イベントカウンタモード)	320
18.5.4	タイマB(パルス周期測定/パルス幅測定モード)	320
19.	三相モータ制御用タイマ機能	322
19.1	概要	322
19.2	レジスタの説明	326
19.2.1	タイマB2レジスタ (TB2)	327
19.2.2	タイマAi、Ai-1レジスタ (TAi、TAi1) (<i>i</i> =1, 2, 4)	327
19.2.3	三相PWM制御レジスタ0 (INVC0)	328
19.2.4	三相PWM制御レジスタ1 (INVC1)	330
19.2.5	三相出力バッファレジスタ <i>i</i> (IDBi) (<i>i</i> =0, 1)	332
19.2.6	短絡防止タイマ (DTT)	332
19.2.7	タイマB2割り込み発生頻度設定カウンタ (ICTB2)	333
19.2.8	タイマB2特殊モードレジスタ (TB2SC)	334
19.2.9	位置データ保持機能制御レジスタ (PDRF)	335
19.2.10	ポート機能制御レジスタ (PFCR)	336
19.2.11	三相プロテクト制御レジスタ (TPRC)	336
19.3	動作説明	337
19.3.1	複数モードに関わる共通事項	337
19.3.2	三角波変調 三相モード0	343
19.3.3	三角波変調 三相モード1	348
19.3.4	鋸波変調モード	355
19.4	割り込み	360
19.4.1	タイマB2割り込み	360
19.4.2	タイマA1、A2、A4割り込み	360
19.5	三相モータ制御用タイマ機能使用上の注意事項	361
19.5.1	タイマA、タイマB	361
19.5.2	\overline{SD} 入力の影響	361

20.	リアルタイムクロック	362
20.1	概要	362
20.2	レジスタの説明	364
20.2.1	リアルタイムクロック秒データレジスタ (RTCSEC)	365
20.2.2	リアルタイムクロック分データレジスタ (RTCMIN)	366
20.2.3	リアルタイムクロック時データレジスタ (RTCHR)	367
20.2.4	リアルタイムクロック日データレジスタ (RTCWK)	368
20.2.5	リアルタイムクロック制御レジスタ1 (RTCCR1)	369
20.2.6	リアルタイムクロック制御レジスタ2 (RTCCR2)	371
20.2.7	リアルタイムクロックカウントソース選択レジスタ (RTCCSR)	372
20.2.8	リアルタイムクロック秒コンペアデータレジスタ (RTCCSEC)	373
20.2.9	リアルタイムクロック分コンペアデータレジスタ (RTCCMIN)	374
20.2.10	リアルタイムクロック時コンペアデータレジスタ (RTCCHR)	375
20.3	動作説明	376
20.3.1	基本動作	376
20.3.2	コンペアモード	379
20.4	割り込み	385
20.5	リアルタイムクロック使用上の注意事項	386
20.5.1	カウント開始、停止	386
20.5.2	レジスタ設定 (時刻データ他)	386
20.5.3	レジスタ設定 (コンペアデータ)	386
20.5.4	リアルタイムクロックモードの時刻読み出し手順	387
21.	PWM機能	388
21.1	概要	388
21.2	レジスタの説明	389
21.2.1	PWM制御レジスタ0 (PWMCON0)	390
21.2.2	PWMiプリスケラ (PWMPREi) (i=0, 1)	390
21.2.3	PWMiレジスタ (PWMREGi) (i=0, 1)	391
21.2.4	PWM制御レジスタ1 (PWMCON1)	392
21.3	動作説明	393
21.3.1	設定手順	393
21.3.2	動作例	393
22.	リモコン信号受信機能	395
22.1	概要	395
22.2	レジスタの説明	398
22.2.1	PMCi機能選択レジスタ0 (PMCiCON0) (i = 0, 1)	400
22.2.2	PMCi機能選択レジスタ1 (PMCiCON1) (i=0, 1)	402
22.2.3	PMCi機能選択レジスタ2 (PMCiCON2) (i=0, 1)	404
22.2.4	PMCi機能選択レジスタ3 (PMCiCON3) (i=0, 1)	406
22.2.5	PMCiステータスレジスタ (PMCiSTS) (i=0, 1)	407

22.2.6	PMCi割り込み要因レジスタ (PMCiINT) (i=0, 1)	410
22.2.7	PMCiヘッダパターン設定レジスタ (MIN) (PMCiHDPMIN) (i=0, 1) PMCiヘッダパターン設定レジスタ (MAX) (PMCiHDPMAX) (i=0, 1)	411
22.2.8	PMCiデータ0パターン設定レジスタ (MIN) (PMCiD0PMIN) (i=0, 1) PMCiデータ0パターン設定レジスタ (MAX) (PMCiD0PMAX) (i=0, 1) PMCiデータ1パターン設定レジスタ (MIN) (PMCiD1PMIN) (i=0, 1) PMCiデータ1パターン設定レジスタ (MAX) (PMCiD1PMAX) (i=0, 1)	413
22.2.9	PMCi測定結果レジスタ (PMCiTIM) (i=0, 1)	414
22.2.10	PMC0受信ビット数レジスタ (PMC0RBIT)	414
22.2.11	PMC0受信データ格納レジスタ i (PMC0DATi) (i=0~5)	415
22.2.12	PMC0コンペア制御レジスタ (PMC0CPC)	416
22.2.13	PMC0コンペア値設定レジスタ (PMC0CPD)	416
22.3	動作説明	417
22.3.1	複数モードに関わる共通事項	417
22.3.2	パターンマッチモード (PMC0、PMC1個別動作)	419
22.3.3	パターンマッチモード (PMC0とPMC1の連結動作)	425
22.3.4	インプットキャプチャモード (PMC0、PMC1個別動作)	430
22.3.5	インプットキャプチャモード (PMC0、PMC1同時カウント動作)	434
22.4	割り込み	437
22.5	リモコン信号受信機能使用上の注意事項	440
22.5.1	PMCiの動作開始、停止	440
22.5.2	レジスタ読み出し手順	440
22.5.3	レジスタの書き換え	440
22.5.4	連結動作	440
23.	シリアルインタフェース UARTi (i=0~2, 5~7)	441
23.1	概要	441
23.2	レジスタの説明	446
23.2.1	周辺クロック選択レジスタ (PCLKR)	448
23.2.2	UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7)	449
23.2.3	UARTiビットレートレジスタ (UiBRG) (i=0~2, 5~7)	450
23.2.4	UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7)	450
23.2.5	UARTi送受信制御レジスタ 0 (UiC0) (i=0~2, 5~7)	451
23.2.6	UARTi送受信制御レジスタ 1 (UiC1) (i=0~2, 5~7)	453
23.2.7	UARTi受信バッファレジスタ (UiRB) (i=0~2, 5~7)	454
23.2.8	UART送受信制御レジスタ 2 (UCON)	456
23.2.9	UARTi特殊モードレジスタ 4 (UiSMR4) (i=0~2, 5~7)	457
23.2.10	UARTi特殊モードレジスタ 3 (UiSMR3) (i=0~2, 5~7)	459
23.2.11	UARTi特殊モードレジスタ 2 (UiSMR2) (i=0~2, 5~7)	460
23.2.12	UARTi特殊モードレジスタ (UiSMR) (i=0~2, 5~7)	461
23.3	動作説明	462
23.3.1	クロック同期形シリアルI/Oモード	462
23.3.2	クロック非同期形シリアルI/O (UART)モード	471

23.3.3	特殊モード1 (I ² Cモード)	480
23.3.4	特殊モード2	496
23.3.5	特殊モード3 (IEモード)	500
23.3.6	特殊モード4 (SIMモード) (UART2)	502
23.4	割り込み	507
23.4.1	割り込み関連レジスタ	507
23.4.2	受信割り込み	508
23.5	シリアルインタフェース UART _i (i=0~2, 5~7) 使用上の注意事項	509
23.5.1	複数モードに関わる共通事項	509
23.5.2	クロック同期形シリアルI/Oモード	509
23.5.3	特殊モード (I ² Cモード)	511
23.5.4	特殊モード4 (SIMモード)	512
24.	シリアルインタフェース SI/O3、SI/O4	513
24.1	概要	513
24.2	レジスタの説明	515
24.2.1	周辺クロック選択レジスタ (PCLKR)	516
24.2.2	SI/O _i 送受信レジスタ (SiTRR) (i=3, 4)	516
24.2.3	SI/O _i 制御レジスタ (SiC) (i=3, 4)	517
24.2.4	SI/O _i ビットレートレジスタ (SiBRG) (i=3, 4)	518
24.2.5	SI/O3、4制御レジスタ2 (S34C2)	518
24.3	動作説明	519
24.3.1	基本動作	519
24.3.2	CLK極性選択	519
24.3.3	LSBファースト、MSBファースト選択	520
24.3.4	内部クロック	521
24.3.5	送信後のSOUT _i 状態選択	522
24.3.6	外部クロック	523
24.3.7	SOUT _i 端子	523
24.3.8	SOUT _i 初期値設定機能	524
24.4	割り込み	525
24.5	シリアルインタフェース SI/O3、SI/O4使用上の注意事項	526
24.5.1	SOUT _i 出力禁止時のSOUT _i 端子のレベル	526
24.5.2	外部クロックの制御	526
24.5.3	外部クロック使用時のレジスタアクセス	526
24.5.4	SiTRRレジスタアクセス	526
24.5.5	内部クロック使用時の端子の機能切り替え	526
24.5.6	外部クロック選択時のリセット後の動作	526
25.	マルチマスタ I ² C-bus インタフェース	527
25.1	概要	527
25.2	レジスタの説明	530

25.2.1	周辺クロック選択レジスタ (PCLKR)	531
25.2.2	I2C0 データシフトレジスタ (S00)	532
25.2.3	I2C0 アドレスレジスタ i ($i=0\sim 2$) (S0D0~S0D2)	533
25.2.4	I2C0 制御レジスタ 0 (S1D0)	534
25.2.5	I2C0 クロック制御レジスタ (S20)	537
25.2.6	I2C0 スタート/ストップコンディション制御レジスタ (S2D0)	539
25.2.7	I2C0 制御レジスタ 1 (S3D0)	540
25.2.8	I2C0 制御レジスタ 2 (S4D0)	544
25.2.9	I2C0 ステータスレジスタ 0 (S10)	546
25.2.10	I2C0 ステータスレジスタ 1 (S11)	551
25.3	動作説明	552
25.3.1	クロック	552
25.3.2	スタートコンディション発生方法	554
25.3.3	ストップコンディション発生方法	556
25.3.4	リスタートコンディションの発生	557
25.3.5	スタートコンディション重複防止機能	558
25.3.6	アービトレーションロスト	560
25.3.7	スタート/ストップコンディション検出	561
25.3.8	スレーブアドレス/データ送受信完了時の動作	564
25.3.9	タイムアウト検出	565
25.3.10	データ送受信例	566
25.4	割り込み	571
25.5	マルチマスタ I2C-bus インタフェース使用上の注意事項	574
25.5.1	CPU クロックの制限	574
25.5.2	レジスタアクセス	574
25.5.3	“L” レベル/“H” レベル入力電圧、“L” レベル出力電圧	574
25.5.4	ストップコンディション生成	575
26.	CEC (Consumer Electronics Control) 機能	577
26.1	概要	577
26.2	レジスタの説明	580
26.2.1	CEC 機能制御レジスタ 1 (CECC1)	580
26.2.2	CEC 機能制御レジスタ 2 (CECC2)	581
26.2.3	CEC 機能制御レジスタ 3 (CECC3)	583
26.2.4	CEC 機能制御レジスタ 4 (CECC4)	585
26.2.5	CEC フラグレジスタ (CECFLG)	587
26.2.6	CEC 割り込み要因選択レジスタ (CISEL)	588
26.2.7	CEC 送信バッファレジスタ 1 (CCTB1)	589
26.2.8	CEC 送信バッファレジスタ 2 (CCTB2)	589
26.2.9	CEC 受信バッファレジスタ 1 (CCRB1)	590
26.2.10	CEC 受信バッファレジスタ 2 (CCRB2)	590

26.2.11	CEC受信Followerアドレス設定レジスタ1 (CRADRI1)、 CEC受信Followerアドレス設定レジスタ2 (CRADRI2)	591
26.2.12	ポート制御レジスタ (PCR)	592
26.3	動作説明	593
26.3.1	規格値と入出力タイミング	593
26.3.2	カウントソース	593
26.3.3	CEC入出力	593
26.3.4	デジタルフィルタ	594
26.3.5	受信	595
26.3.6	送信	603
26.4	割り込み	608
26.5	CEC (Consumer Electronics Control) 機能使用上の注意事項	610
26.5.1	レジスタ、ビット操作	610
26.5.2	CEC端子のVIH	610
27.	A/Dコンバータ	611
27.1	概要	611
27.2	レジスタの説明	613
27.2.1	ポート制御レジスタ (PCR)	614
27.2.2	断線検知アシスト機能レジスタ (AINRST)	615
27.2.3	A/Dレジスタ <i>i</i> (ADi) (<i>i</i> =0~7)	616
27.2.4	A/D制御レジスタ2 (ADCON2)	617
27.2.5	A/D制御レジスタ0 (ADCON0)	618
27.2.6	A/D制御レジスタ1 (ADCON1)	620
27.3	動作説明	621
27.3.1	A/D変換サイクル数	621
27.3.2	A/D変換開始条件	623
27.3.3	A/D変換結果	624
27.3.4	拡張アナログ入力端子	624
27.3.5	消費電流低減機能	624
27.3.6	A/D断線検出アシスト機能	624
27.4	動作モード	627
27.4.1	単発モード	627
27.4.2	繰り返しモード	630
27.4.3	単掃引モード	632
27.4.4	繰り返し掃引モード0	634
27.4.5	繰り返し掃引モード1	635
27.5	外部センサ	639
27.6	割り込み	640
27.7	A/Dコンバータ使用上の注意事項	641
27.7.1	アナログ入力電圧	641
27.7.2	アナログ入力選択	641

27.7.3	端子の処理	641
27.7.4	レジスタアクセス	641
27.7.5	A/D変換開始	641
27.7.6	A/D動作モードの変更	641
27.7.7	強制終了時の状態	642
27.7.8	A/D断線検出アシスト機能	642
27.7.9	A/D変換終了の検出方法	642
27.7.10	繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1	643
28.	D/Aコンバータ	644
28.1	概要	644
28.2	レジスタの説明	645
28.2.1	D/Aiレジスタ (DAi) (i=0~1)	645
28.2.2	D/A制御レジスタ (DA CON)	645
28.3	動作説明	646
28.4	D/Aコンバータ使用上の注意事項	647
28.4.1	D/Aコンバータを使用しない場合	647
29.	CRC演算回路	648
29.1	概要	648
29.2	レジスタの説明	649
29.2.1	SFR監視アドレスレジスタ (CRCSAR)	649
29.2.2	CRCモードレジスタ (CRCMR)	650
29.2.3	CRCデータレジスタ (CRCD)	650
29.2.4	CRCインプットレジスタ (CRCIN)	650
29.3	動作説明	651
29.3.1	基本動作	651
29.3.2	SFRアクセス監視機能	651
30.	フラッシュメモリ	653
30.1	概要	653
30.2	メモリ配置	655
30.3	レジスタの説明	657
30.3.1	フラッシュメモリ制御レジスタ0 (FMR0)	657
30.3.2	フラッシュメモリ制御レジスタ1 (FMR1)	660
30.3.3	フラッシュメモリ制御レジスタ2 (FMR2)	661
30.3.4	フラッシュメモリ制御レジスタ6 (FMR6)	662
30.4	オプション機能選択領域の説明	663
30.4.1	オプション機能選択1番地 (OFS1)	664
30.5	フラッシュメモリ書き換え禁止機能	665
30.6	ブートモード	665
30.7	ユーザブートモード	665

30.7.1	ユーザブート機能	665
30.8	CPU書き換えモード	669
30.8.1	EW0モード	670
30.8.2	EW1モード	672
30.8.3	動作速度	674
30.8.4	データ保護機能	674
30.8.5	ソフトウェアコマンド	675
30.8.6	ステータスレジスタ	682
30.9	標準シリアル入出力モード	685
30.9.1	IDコードチェック機能	686
30.9.2	強制イレーズ機能	687
30.9.3	標準シリアル入出力モード禁止機能	687
30.9.4	標準シリアル入出力モード1	688
30.9.5	標準シリアル入出力モード2	690
30.10	パラレル入出力モード	691
30.10.1	ROMコードプロテクト機能	691
30.11	フラッシュメモリ使用上の注意事項	692
30.11.1	OFS1番地、IDコード格納番地	692
30.11.2	データフラッシュの読み出し	692
30.11.3	CPU書き換えモード	693
30.11.4	ユーザブート	695
30.11.5	EW1モード	695
31.	電気的特性	696
31.1	電気的特性 (5V、3V共通事項)	696
31.1.1	絶対最大定格	696
31.1.2	推奨動作条件	697
31.1.3	A/D変換特性	699
31.1.4	D/A変換特性	700
31.1.5	フラッシュメモリの電気的特性	701
31.1.6	電圧検出回路、電源回路の電気的特性	703
31.1.7	発振回路の電気的特性	706
31.2	電気的特性 ($V_{CC1}=V_{CC2}=5V$)	707
31.2.1	電気的特性	707
31.2.2	タイミング必要条件(周辺機能、他)	711
31.2.3	タイミング必要条件(メモリ拡張モード、マイクロプロセッサモード)	717
31.2.4	スイッチング特性(メモリ拡張モード、マイクロプロセッサモード)	719
31.3	電気的特性 ($V_{CC1}=V_{CC2}=3V$)	725
31.3.1	電気的特性	725
31.3.2	タイミング必要条件(周辺機能、他)	728
31.3.3	タイミング必要条件(メモリ拡張モード、マイクロプロセッサモード)	734

31.3.4	スイッチング特性 (メモリ拡張モード、マイクロプロセッサモード)	736
32.	使用上の注意事項	742
32.1	ノイズに関する注意事項	742
32.2	SFR使用上の注意事項	743
32.2.1	レジスタ設定時の注意事項	743
32.3	プロテクト使用上の注意事項	745
32.4	リセット使用上の注意事項	746
32.4.1	電源立ち上がり勾配	746
32.4.2	パワーオンリセット	746
32.4.3	OSDRビット (発振停止検出リセット検出フラグ)	747
32.4.4	VCC1 < Vdet0 の場合のハードウェアリセット	747
32.5	クロック発生回路使用上の注意事項	748
32.5.1	発振子を用いた発振回路	748
32.5.2	発振回路のノイズ対策	749
32.5.3	CPUクロック	750
32.5.4	発振停止/再発振検出機能	750
32.5.5	PLL周波数シンセサイザ使用時	751
32.5.6	PLLクロックの発振開始	752
32.6	パワーコントロール使用上の注意事項	753
32.6.1	CPUクロック	753
32.6.2	ウェイトモード	753
32.6.3	ストップモード	753
32.6.4	低消費電流リードモード	754
32.6.5	スローリードモード	754
32.7	バス使用上の注意事項	755
32.7.1	データフラッシュ読み出し	755
32.7.2	外部バス	755
32.7.3	SFR書き込み直後の外部アクセス	755
32.7.4	$\overline{\text{HOLD}}$	755
32.8	プログラマブル入出力ポート使用上の注意事項	756
32.8.1	$\overline{\text{SD}}$ 入力の影響	756
32.8.2	SI/O3、SI/O4の影響	756
32.9	割り込み使用上の注意事項	757
32.9.1	00000h番地の読み出し	757
32.9.2	SPの設定	757
32.9.3	$\overline{\text{NMI}}$ 割り込み	757
32.9.4	割り込み要因の変更	758
32.9.5	割り込み制御レジスタの変更	759
32.9.6	割り込み制御レジスタを変更する命令	759
32.9.7	$\overline{\text{INT}}$ 割り込み	759

32.10	ウォッチドッグタイマ使用上の注意事項	760
32.11	DMAC使用上の注意事項	761
32.11.1	DMICONレジスタのDMAEビットへの書き込み(i=0~3)	761
32.11.2	DMA要求要因の変更	761
32.12	タイマA使用上の注意事項	762
32.12.1	複数モードに関わる共通事項	762
32.12.2	タイマA(タイマモード)	762
32.12.3	タイマA(イベントカウンタモード)	763
32.12.4	タイマA(ワンショットタイマモード)	763
32.12.5	タイマA(パルス幅変調モード)	763
32.12.6	タイマA(プログラマブル出力モード)	764
32.13	タイマB使用上の注意事項	765
32.13.1	複数モードに関わる共通事項	765
32.13.2	タイマB(タイマモード)	765
32.13.3	タイマB(イベントカウンタモード)	765
32.13.4	タイマB(パルス周期測定/パルス幅測定モード)	765
32.14	三相モータ制御用タイマ機能使用上の注意事項	767
32.14.1	タイマA、タイマB	767
32.14.2	\overline{SD} 入力の影響	767
32.15	リアルタイムクロック使用上の注意事項	768
32.15.1	カウント開始、停止	768
32.15.2	レジスタ設定(時刻データ他)	768
32.15.3	レジスタ設定(コンペアデータ)	768
32.15.4	リアルタイムクロックモードの時刻読み出し手順	769
32.16	リモコン信号受信機能使用上の注意事項	770
32.16.1	PMCiの動作開始、停止	770
32.16.2	レジスタ読み出し手順	770
32.16.3	レジスタの書き換え	770
32.16.4	連結動作	770
32.17	シリアルインタフェースUARTi(i=0~2, 5~7)使用上の注意事項	771
32.17.1	複数モードに関わる共通事項	771
32.17.2	クロック同期形シリアルI/Oモード	771
32.17.3	特殊モード(I ² Cモード)	773
32.17.4	特殊モード4(SIMモード)	774
32.18	シリアルインタフェースSI/O3、SI/O4使用上の注意事項	775
32.18.1	SOUTi出力禁止時のSOUTi端子のレベル	775
32.18.2	外部クロックの制御	775
32.18.3	外部クロック使用時のレジスタアクセス	775
32.18.4	SiTRRレジスタアクセス	775
32.18.5	内部クロック使用時の端子の機能切り替え	775
32.18.6	外部クロック選択時のリセット後の動作	775

32.19	マルチマスタ I ² C-bus インタフェース使用上の注意事項	776
32.19.1	CPUクロックの制限	776
32.19.2	レジスタアクセス	776
32.19.3	“L” レベル/“H” レベル入力電圧、“L” レベル出力電圧	776
32.19.4	ストップコンディション生成	777
32.20	CEC (Consumer Electronics Control) 機能使用上の注意事項	779
32.20.1	レジスタ、ビット操作	779
32.20.2	CEC 端子の VIH	779
32.21	A/D コンバータ使用上の注意事項	780
32.21.1	アナログ入力電圧	780
32.21.2	アナログ入力選択	780
32.21.3	端子の処理	780
32.21.4	レジスタアクセス	780
32.21.5	A/D 変換開始	780
32.21.6	A/D 動作モードの変更	780
32.21.7	強制終了時の状態	781
32.21.8	A/D 断線検出アシスト機能	781
32.21.9	A/D 変換終了の検出方法	781
32.21.10	繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1	782
32.22	D/A コンバータ使用上の注意事項	783
32.22.1	D/A コンバータを使用しない場合	783
32.23	フラッシュメモリ使用上の注意事項	784
32.23.1	OFS1 番地、ID コード格納番地	784
32.23.2	データフラッシュの読み出し	784
32.23.3	CPU 書き換えモード	785
32.23.4	ユーザブート	787
32.23.5	EW1 モード	787
付録1. 外形寸法図		788
索引		789

番地別ページ早見表

掲載ページは1箇所だけ示しています。詳細は索引を参照してください

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	46
0005h	プロセッサモードレジスタ1	PM1	131
0006h	システムクロック制御レジスタ0	CM0	86
0007h	システムクロック制御レジスタ1	CM1	88
0008h	チップセレクト制御レジスタ	CSR	137
0009h			
000Ah	プロテクトレジスタ	PRCR	40
000Bh	データバンクレジスタ	DBR	152
000Ch	発振停止検出レジスタ	CM2	90
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	133
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	92
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	252
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	47
0019h	電圧検出2回路フラグレジスタ	VCR1	63
001Ah	電圧検出回路動作許可レジスタ	VCR2	64
001Bh	チップセレクト拡張制御レジスタ	CSE	138
001Ch	PLL制御レジスタ0	PLC0	93
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	94
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	65
0027h			
0028h	電圧検出1レベル選択レジスタ	VD1LS	66
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	67
002Bh	電圧監視1回路制御レジスタ	VW1C	68
002Ch	電圧監視2回路制御レジスタ	VW2C	70
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h	INT7割り込み制御レジスタ	INT7IC	193
0043h	INT6割り込み制御レジスタ	INT6IC	193
0044h	INT3割り込み制御レジスタ	INT3IC	193

番地	レジスタ	シンボル	掲載ページ
0045h	タイマB5割り込み制御レジスタ	TB5IC	192
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	192
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	192
0048h	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	193
0049h	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	193
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	192
004Bh	DMA0割り込み制御レジスタ	DM0IC	192
004Ch	DMA1割り込み制御レジスタ	DM1IC	192
004Dh	キー入力割り込み制御レジスタ	KUPIC	192
004Eh	A/D変換割り込み制御レジスタ	ADIC	192
004Fh	UART2送信割り込み制御レジスタ	S2TIC	192
0050h	UART2受信割り込み制御レジスタ	S2RIC	192
0051h	UART0送信割り込み制御レジスタ	S0TIC	192
0052h	UART0受信割り込み制御レジスタ	S0RIC	192
0053h	UART1送信割り込み制御レジスタ	S1TIC	192
0054h	UART1受信割り込み制御レジスタ	S1RIC	192
0055h	タイマA0割り込み制御レジスタ	TA0IC	192
0056h	タイマA1割り込み制御レジスタ	TA1IC	192
0057h	タイマA2割り込み制御レジスタ	TA2IC	192
0058h	タイマA3割り込み制御レジスタ	TA3IC	192
0059h	タイマA4割り込み制御レジスタ	TA4IC	192
005Ah	タイマB0割り込み制御レジスタ	TB0IC	192
005Bh	タイマB1割り込み制御レジスタ	TB1IC	192
005Ch	タイマB2割り込み制御レジスタ	TB2IC	192
005Dh	INT0割り込み制御レジスタ	INT0IC	193
005Eh	INT1割り込み制御レジスタ	INT1IC	193
005Fh	INT2割り込み制御レジスタ	INT2IC	193
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	192
006Ah	DMA3割り込み制御レジスタ	DM3IC	192
006Bh	UART5バス衝突検出割り込み制御レジスタ、CEC1割り込み制御レジスタ	U5BCNIC、CEC1IC	192
006Ch	UART5送信割り込み制御レジスタ、CEC2割り込み制御レジスタ	S5TIC、CEC2IC	192
006Dh	UART5受信割り込み制御レジスタ	S5RIC	192
006Eh	UART6バス衝突検出割り込み制御レジスタ、リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC、RTCTIC	192
006Fh	UART6送信割り込み制御レジスタ、リアルタイムクロックコンペア割り込み制御レジスタ	S6TIC、RTCCIC	192
0070h	UART6受信割り込み制御レジスタ	S6RIC	192
0071h	UART7バス衝突検出割り込み制御レジスタ、リモコン信号受信機能0割り込み制御レジスタ	U7BCNIC、PMC0IC	192
0072h	UART7送信割り込み制御レジスタ、リモコン信号受信機能1割り込み制御レジスタ	S7TIC、PMC1IC	192
0073h	UART7受信割り込み制御レジスタ	S7RIC	192
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh	I2C-busインタフェース割り込み制御レジスタ	IICIC	192
007Ch	SCL/SDA割り込み制御レジスタ	SCLDAIC	192
007Dh			
007Eh			
007Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0080h~017Fh			
0180h	DMA0 ソースポインタ	SAR0	233
0181h			
0182h			
0183h			
0184h			
0185h	DMA0 ディスティネーションポインタ	DAR0	233
0186h			
0187h			
0188h			
0189h			
018Ah	DMA0 転送カウンタ	TCR0	234
018Bh			
018Ch			
018Dh			
018Eh			
018Fh	DMA0 制御レジスタ	DM0CON	235
0190h			
0191h			
0192h			
0193h			
0194h	DMA1 ソースポインタ	SAR1	233
0195h			
0196h			
0197h			
0198h			
0199h	DMA1 ディスティネーションポインタ	DAR1	233
019Ah			
019Bh			
019Ch			
019Dh			
019Eh	DMA1 転送カウンタ	TCR1	234
019Fh			
01A0h			
01A1h			
01A2h			
01A3h	DMA1 制御レジスタ	DM1CON	235
01A4h			
01A5h			
01A6h			
01A7h			
01A8h	DMA2 ソースポインタ	SAR2	233
01A9h			
01AAh			
01ABh			
01ACh			
01ADh	DMA2 ディスティネーションポインタ	DAR2	233
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	DMA2 転送カウンタ	TCR2	234
01B3h			
01B4h			
01B5h			
01B6h			
01B7h	DMA2 制御レジスタ	DM2CON	235
01B8h			
01B9h			
01BAh			
01BBh			
01BCh	DMA3 ソースポインタ	SAR3	233
01BDh			
01BEh			
01BFh			
01BFh			
01B0h	DMA3 ディスティネーションポインタ	DAR3	233
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	DMA3 転送カウンタ	TCR3	234
01B6h			
01B7h			
01B8h			
01B9h			
01BAh	DMA3 制御レジスタ	DM3CON	235
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

番地	レジスタ	シンボル	掲載ページ
01C0h	タイマB0-1レジスタ	TB01	302
01C1h			
01C2h	タイマB1-1レジスタ	TB11	302
01C3h			
01C4h	タイマB2-1レジスタ	TB21	302
01C5h			
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	303
01C7h			
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	304
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	304
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ0	TACS0	253
01D1h	タイマAカウントソース選択レジスタ1	TACS1	253
01D2h	タイマAカウントソース選択レジスタ2	TACS2	253
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	254
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	255
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	256
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	336
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	タイマB3-1レジスタ	TB31	302
01E1h			
01E2h	タイマB4-1レジスタ	TB41	302
01E3h			
01E4h	タイマB5-1レジスタ	TB51	302
01E5h			
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	303
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	304
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	304
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	PMC0機能選択レジスタ0	PMC0CON0	400
01F1h	PMC0機能選択レジスタ1	PMC0CON1	402
01F2h	PMC0機能選択レジスタ2	PMC0CON2	404
01F3h	PMC0機能選択レジスタ3	PMC0CON3	406
01F4h	PMC0ステータスレジスタ	PMC0STS	407
01F5h	PMC0割り込み要因レジスタ	PMC0INT	410
01F6h	PMC0コンペア制御レジスタ	PMC0CPC	416
01F7h	PMC0コンペア値設定レジスタ	PMC0CPD	416
01F8h	PMC1機能選択レジスタ0	PMC1CON0	400
01F9h	PMC1機能選択レジスタ1	PMC1CON1	402
01FAh	PMC1機能選択レジスタ2	PMC1CON2	404
01FBh	PMC1機能選択レジスタ3	PMC1CON3	406
01FCh	PMC1ステータスレジスタ	PMC1STS	407
01FDh	PMC1割り込み要因レジスタ	PMC1INT	410
01FEh			
01FFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	194
0206h	割り込み要因選択レジスタ2	IFSR2A	195
0207h	割り込み要因選択レジスタ	IFSR	196
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	197
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	197
0210h	アドレス一致割り込みレジスタ0	RMAD0	198
0211h			
0212h			
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	198
0215h			
0216h			
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	198
0219h			
021Ah			
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	198
021Dh			
021Eh			
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	657
0221h	フラッシュメモリ制御レジスタ1	FMR1	660
0222h	フラッシュメモリ制御レジスタ2	FMR2	111
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	662
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			

番地	レジスタ	シンボル	掲載ページ
0244h	UART0特殊モードレジスタ4	U0SMR4	457
0245h	UART0特殊モードレジスタ3	U0SMR3	459
0246h	UART0特殊モードレジスタ2	U0SMR2	460
0247h	UART0特殊モードレジスタ	U0SMR	461
0248h	UART0送受信モードレジスタ	U0MR	449
0249h	UART0ビットレートレジスタ	U0BRG	450
024Ah	UART0送信バッファレジスタ	U0TB	450
024Bh			
024Ch	UART0送受信制御レジスタ0	U0C0	451
024Dh	UART0送受信制御レジスタ1	U0C1	453
024Eh	UART0受信バッファレジスタ	U0RB	454
024Fh			
0250h	UART送受信制御レジスタ2	U0CON	456
0251h			
0252h			
0253h			
0254h	UART1特殊モードレジスタ4	U1SMR4	457
0255h	UART1特殊モードレジスタ3	U1SMR3	459
0256h	UART1特殊モードレジスタ2	U1SMR2	460
0257h	UART1特殊モードレジスタ	U1SMR	461
0258h	UART1送受信モードレジスタ	U1MR	449
0259h	UART1ビットレートレジスタ	U1BRG	450
025Ah	UART1送信バッファレジスタ	U1TB	450
025Bh			
025Ch	UART1送受信制御レジスタ0	U1C0	451
025Dh	UART1送受信制御レジスタ1	U1C1	453
025Eh	UART1受信バッファレジスタ	U1RB	454
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	457
0265h	UART2特殊モードレジスタ3	U2SMR3	459
0266h	UART2特殊モードレジスタ2	U2SMR2	460
0267h	UART2特殊モードレジスタ	U2SMR	461
0268h	UART2送受信モードレジスタ	U2MR	449
0269h	UART2ビットレートレジスタ	U2BRG	450
026Ah	UART2送信バッファレジスタ	U2TB	450
026Bh			
026Ch	UART2送受信制御レジスタ0	U2C0	451
026Dh	UART2送受信制御レジスタ1	U2C1	453
026Eh	UART2受信バッファレジスタ	U2RB	454
026Fh			
0270h	SI/O3送受信レジスタ	S3TRR	516
0271h			
0272h	SI/O3制御レジスタ	S3C	517
0273h	SI/O3ビットレートレジスタ	S3BRG	518
0274h	SI/O4送受信レジスタ	S4TRR	516
0275h			
0276h	SI/O4制御レジスタ	S4C	517
0277h	SI/O4ビットレートレジスタ	S4BRG	518
0278h	SI/O3、4制御レジスタ2	S34C2	518
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	457
0285h	UART5特殊モードレジスタ3	U5SMR3	459
0286h	UART5特殊モードレジスタ2	U5SMR2	460
0287h	UART5特殊モードレジスタ	U5SMR	461

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0288h	UART5送受信モードレジスタ	U5MR	449
0289h	UART5ビットレートレジスタ	U5BRG	450
028Ah	UART5送信バッファレジスタ	U5TB	450
028Bh			
028Ch	UART5送受信制御レジスタ0	U5C0	451
028Dh	UART5送受信制御レジスタ1	U5C1	453
028Eh	UART5受信バッファレジスタ	U5RB	454
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	457
0295h	UART6特殊モードレジスタ3	U6SMR3	459
0296h	UART6特殊モードレジスタ2	U6SMR2	460
0297h	UART6特殊モードレジスタ	U6SMR	461
0298h	UART6送受信モードレジスタ	U6MR	449
0299h	UART6ビットレートレジスタ	U6BRG	450
029Ah	UART6送信バッファレジスタ	U6TB	450
029Bh			
029Ch	UART6送受信制御レジスタ0	U6C0	451
029Dh	UART6送受信制御レジスタ1	U6C1	453
029Eh	UART6受信バッファレジスタ	U6RB	454
029Fh			
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7特殊モードレジスタ4	U7SMR4	457
02A5h	UART7特殊モードレジスタ3	U7SMR3	459
02A6h	UART7特殊モードレジスタ2	U7SMR2	460
02A7h	UART7特殊モードレジスタ	U7SMR	461
02A8h	UART7送受信モードレジスタ	U7MR	449
02A9h	UART7ビットレートレジスタ	U7BRG	450
02AAh	UART7送信バッファレジスタ	U7TB	450
02ABh			
02ACh	UART7送受信制御レジスタ0	U7C0	451
02ADh	UART7送受信制御レジスタ1	U7C1	453
02AEh	UART7受信バッファレジスタ	U7RB	454
02AFh			
02B0h	I2C0データシフトレジスタ	S00	532
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	533
02B3h	I2C0制御レジスタ0	S1D0	534
02B4h	I2C0クロック制御レジスタ	S20	537
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	539
02B6h	I2C0制御レジスタ1	S3D0	540
02B7h	I2C0制御レジスタ2	S4D0	544
02B8h	I2C0ステータスレジスタ0	S10	546
02B9h	I2C0ステータスレジスタ1	S11	551
02BAh	I2C0アドレスレジスタ1	S0D1	533
02BBh	I2C0アドレスレジスタ2	S0D2	533
02BCh			
02BDh			
02BEh			
02BFh			
02C0h-02FFh			

番地	レジスタ	シンボル	掲載ページ
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	305
0301h			
0302h	タイマA1-1レジスタ	TA11	258
0303h			
0304h	タイマA2-1レジスタ	TA21	258
0305h			
0306h	タイマA4-1レジスタ	TA41	258
0307h			
0308h	三相PWM制御レジスタ0	INVC0	328
0309h	三相PWM制御レジスタ1	INVC1	330
030Ah	三相出力バッファレジスタ0	IDB0	332
030Bh	三相出力バッファレジスタ1	IDB1	332
030Ch	短絡防止タイマ	DTT	332
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	333
030Eh	位置データ保持機能制御レジスタ	PDRF	335
030Fh			
0310h	タイマB3レジスタ	TB3	301
0311h			
0312h	タイマB4レジスタ	TB4	301
0313h			
0314h	タイマB5レジスタ	TB5	301
0315h			
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	336
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	306
031Ch	タイマB4モードレジスタ	TB4MR	306
031Dh	タイマB5モードレジスタ	TB5MR	306
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	259
0321h			
0322h	ワンショット開始フラグ	ONSF	260
0323h	トリガ選択レジスタ	TRGSR	261
0324h	アップダウンフラグ	UDF	262
0325h			
0326h	タイマA0レジスタ	TA0	257
0327h			
0328h	タイマA1レジスタ	TA1	257
0329h			
032Ah	タイマA2レジスタ	TA2	257
032Bh			
032Ch	タイマA3レジスタ	TA3	257
032Dh			
032Eh	タイマA4レジスタ	TA4	257
032Fh			
0330h	タイマB0レジスタ	TB0	301
0331h			
0332h	タイマB1レジスタ	TB1	301
0333h			
0334h	タイマB2レジスタ	TB2	301
0335h			
0336h	タイマA0モードレジスタ	TA0MR	263
0337h	タイマA1モードレジスタ	TA1MR	263
0338h	タイマA2モードレジスタ	TA2MR	263
0339h	タイマA3モードレジスタ	TA3MR	263
033Ah	タイマA4モードレジスタ	TA4MR	263

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
033Bh	タイマB0モードレジスタ	TB0MR	306
033Ch	タイマB1モードレジスタ	TB1MR	306
033Dh	タイマB2モードレジスタ	TB2MR	306
033Eh	タイマB2特殊モードレジスタ	TB2SC	334
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	365
0341h	リアルタイムクロック分データレジスタ	RTCMIN	366
0342h	リアルタイムクロック時データレジスタ	RTCHR	367
0343h	リアルタイムクロック日データレジスタ	RTCWK	368
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	369
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	371
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	372
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	373
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	374
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	375
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h	CEC機能制御レジスタ1	CECC1	580
0351h	CEC機能制御レジスタ2	CECC2	581
0352h	CEC機能制御レジスタ3	CECC3	583
0353h	CEC機能制御レジスタ4	CECC4	585
0354h	CECフラグレジスタ	CECFLG	587
0355h	CEC割り込み要因選択レジスタ	CISEL	588
0356h	CEC送信バッファレジスタ1	CCTB1	589
0357h	CEC送信バッファレジスタ2	CCTB2	589
0358h	CEC受信バッファレジスタ1	CCRB1	590
0359h	CEC受信バッファレジスタ2	CCRB2	590
035Ah	CEC受信Followerアドレス設定レジスタ1	CRADRI1	591
035Bh	CEC受信Followerアドレス設定レジスタ2	CRADRI2	591
035Ch			
035Dh			
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	176
0361h	ブルアップ制御レジスタ1	PUR1	177
0362h	ブルアップ制御レジスタ2	PUR2	178
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	179
0367h			
0368h			
0369h	NMI/SD デジタルフィルタレジスタ	NMIDF	200
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			

番地	レジスタ	シンボル	掲載ページ
0370h	PWM制御レジスタ0	PWMCON0	390
0371h			
0372h	PWM0プリスケアラ	PWMPRE0	390
0373h	PWM0レジスタ	PWMREG0	391
0374h	PWM1プリスケアラ	PWMPRE1	390
0375h	PWM1レジスタ	PWMREG1	391
0376h	PWM制御レジスタ1	PWMCON1	392
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	222
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	223
037Eh	ウォッチドッグタイムスタートレジスタ	WDTS	223
037Fh	ウォッチドッグタイム制御レジスタ	WDC	224
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	236
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	236
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	236
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	236
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	615
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	649
03B5h			
03B6h	CRCモードレジスタ	CRCMR	650
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	650
03BDh			
03BEh	CRC入力レジスタ	CRCIN	650
03BFh			
03C0h	A/Dレジスタ0	AD0	616
03C1h			
03C2h	A/Dレジスタ1	AD1	616
03C3h			
03C4h	A/Dレジスタ2	AD2	616
03C5h			
03C6h	A/Dレジスタ3	AD3	616
03C7h			
03C8h	A/Dレジスタ4	AD4	616
03C9h			
03CAh	A/Dレジスタ5	AD5	616
03CBh			
03CCh	A/Dレジスタ6	AD6	616
03CDh			
03CEh	A/Dレジスタ7	AD7	616
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	617
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	618
03D7h	A/D制御レジスタ1	ADCON1	620
03D8h	D/A0レジスタ	DA0	645
03D9h			
03DAh	D/A1レジスタ	DA1	645
03DBh			
03DCh	D/A制御レジスタ	DACON	645
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	180
03E1h	ポートP1レジスタ	P1	180
03E2h	ポートP0方向レジスタ	PD0	181
03E3h	ポートP1方向レジスタ	PD1	181
03E4h	ポートP2レジスタ	P2	180
03E5h	ポートP3レジスタ	P3	180
03E6h	ポートP2方向レジスタ	PD2	181
03E7h	ポートP3方向レジスタ	PD3	181
03E8h	ポートP4レジスタ	P4	180
03E9h	ポートP5レジスタ	P5	180
03EAh	ポートP4方向レジスタ	PD4	181
03EBh	ポートP5方向レジスタ	PD5	181
03ECh	ポートP6レジスタ	P6	180
03EDh	ポートP7レジスタ	P7	180
03EEh	ポートP6方向レジスタ	PD6	181
03EFh	ポートP7方向レジスタ	PD7	181

番地	レジスタ	シンボル	掲載ページ
03F0h	ポートP8レジスタ	P8	180
03F1h	ポートP9レジスタ	P9	180
03F2h	ポートP8方向レジスタ	PD8	181
03F3h	ポートP9方向レジスタ	PD9	181
03F4h	ポートP10レジスタ	P10	180
03F5h			
03F6h	ポートP10方向レジスタ	PD10	181
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
0400~ D07Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
D080h	PMC0ヘッダパターン設定レジスタ (MIN)	PMC0HDPMIN	411
D081h			
D082h	PMC0ヘッダパターン設定レジスタ (MAX)	PMC0HDPMAX	411
D083h			
D084h	PMC0データ0パターン設定レジスタ (MIN)	PMC0D0PMIN	413
D085h	PMC0データ0パターン設定レジスタ (MAX)	PMC0D0PMAX	413
D086h	PMC0データ1パターン設定レジスタ (MIN)	PMC0D1PMIN	413
D087h	PMC0データ1パターン設定レジスタ (MAX)	PMC0D1PMAX	413
D088h	PMC0測定結果レジスタ	PMC0TIM	414
D089h			
D08Ah			
D08Bh			
D08Ch	PMC0受信データ格納レジスタ0	PMC0DAT0	415
D08Dh	PMC0受信データ格納レジスタ1	PMC0DAT1	415
D08Eh	PMC0受信データ格納レジスタ2	PMC0DAT2	415
D08Fh	PMC0受信データ格納レジスタ3	PMC0DAT3	415
D090h	PMC0受信データ格納レジスタ4	PMC0DAT4	415
D091h	PMC0受信データ格納レジスタ5	PMC0DAT5	415
D092h	PMC0受信ビット数レジスタ	PMC0RBIT	414
D093h			
D094h	PMC1ヘッダパターン設定レジスタ (MIN)	PMC1HDPMIN	411
D095h			
D096h	PMC1ヘッダパターン設定レジスタ (MAX)	PMC1HDPMAX	411
D097h			
D098h	PMC1データ0パターン設定レジスタ (MIN)	PMC1D0PMIN	413
D099h	PMC1データ0パターン設定レジスタ (MAX)	PMC1D0PMAX	413
D09Ah	PMC1データ1パターン設定レジスタ (MIN)	PMC1D1PMIN	413
D09Bh	PMC1データ1パターン設定レジスタ (MAX)	PMC1D1PMAX	413
D09Ch	PMC1測定結果レジスタ	PMC1TIM	414
D09Dh			
D09Eh			
D09Fh			
D0A0h ~ D7FFh			

FFFFh	オプション機能選択1番地	OFS1	664
-------	--------------	------	-----

OFS1番地はSFRではありません。

1. 概要

1.1 特長

M16C/64A グループは、M16C/60 シリーズ CPU コアを搭載したフラッシュメモリ内蔵マイクロコンピュータです。M16C/60 シリーズ CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間(4Mバイトに拡張可能)と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

また、消費電力が少ない上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

1.1.1 用途

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

1.2 仕様概要

M16C/64A グループには100ピン版があります。

表 1.1~表 1.2に仕様概要を示します。

表 1.1 仕様概要(100ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60 シリーズコア(乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 40.0ns (f(BCLK)=25MHz、VCC1=VCC2=2.7 ~ 5.5V) 動作モード: シングルチップ、メモリ拡張、マイクロプロセッサ
メモリ	ROM、RAM、データフラッシュ	「表 1.3 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 メインクロック、サブクロック、低速オンチップオシレータ(125kHz)、PLL周波数シンセサイザ 発振停止検出: メインクロック発振停止、再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
外部バス拡張	バスメモリ拡張機能	<ul style="list-style-type: none"> アドレス空間: 1Mバイト 外部バスインタフェース: 0~3ウェイト挿入可、チップセレクト4出力、メモリ空間拡張機能(4Mバイトまで拡張可)、3V、5Vインタフェース バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)、アドレスバス本数切り替え可(12本/16本/20本)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力: 85(プルアップ抵抗設定可能) Nチャンネルオープンドレインポート: 3
割り込み		割り込みベクタ数: 70 外部割り込み入力: 13(NMI、INT×8、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付) リセットスタート機能選択可能
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 43 転送モード: 2(単転送、リピート転送)

表 1.2 仕様概要(100ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御(タイマA1、タイマA2、タイマA4、タイマB2使用) 短絡防止タイマ内蔵
	リアルタイムクロック	秒、分、時、曜日をカウント
	PWM機能	8ビット×2
	リモコン信号受信機能	<ul style="list-style-type: none"> • 2回路 • 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) • 受信バッファ 6バイト(1回路のみ) • 32kHz動作
シリアルインタフェース	UART0~UART2、UART5~UART7	クロック同期/非同期兼用×6チャンネル I ² C-bus、IEBus、特殊モード2 SIM(UART2)
	SI/O3、SI/O4	クロック同期専用×2チャンネル
マルチマスタI ² C-busインタフェース		1チャンネル
CEC機能(注2)		CEC送受信、アービトラションロスト検出、ACK自動送出、32kHz動作
A/Dコンバータ		分解能10ビット×26チャンネル サンプル&ホールドあり 変換時間1.72μs
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧: 2.7V~5.5V • プログラム、イレーズ回数: 1,000回(プログラムROM1、プログラムROM2)、10,000回(データフラッシュ) • プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンチップデバッグ機能、オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		25MHz/VCC1=2.7~5.5V、VCC2=2.7V~VCC1
消費電流		電氣的特性に記載
動作周囲温度		-20°C~85°C、-40°C~85°C(注1)
パッケージ		100ピンQFP: PRQP0100JD-B(旧パッケージコード: 100P6F-A) 100ピンLQFP: PLQP0100KB-A(旧パッケージコード: 100P6Q-A)

注1. 動作周囲温度は、「表 1.3 製品一覧表」を参照してください。

注2. CEC機能は、HDMI (High-Definition Multimedia Interface) で規格化されているCEC信号の送受信に対応した回路です。HDMI及びHigh-Definition Multimedia Interfaceは、HDMI Licensing, LLCの商標または登録商標です。

1.3 製品一覧

表 1.3 に製品一覧表、図 1.1 に型名とメモリサイズ・パッケージ、図 1.2 にフラッシュメモリ版のマーキング図(上面図)を示します。

表 1.3 製品一覧表

2012年3月現在

型名	ROM容量			RAM容量	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ			
R5F364A6NFA	128Kバイト	16Kバイト	4Kバイト x2ブロック	12Kバイト	PRQP0100JD-B	動作周囲温度 -20℃~85℃
R5F364A6NFB					PLQP0100KB-A	
R5F364A6DFA	128Kバイト	16Kバイト	4Kバイト x2ブロック	12Kバイト	PRQP0100JD-B	動作周囲温度 -40℃~85℃
R5F364A6DFB					PLQP0100KB-A	
R5F364AENFA	256Kバイト	16Kバイト	4Kバイト x2ブロック	20Kバイト	PRQP0100JD-B	動作周囲温度 -20℃~85℃
R5F364AENFB					PLQP0100KB-A	
R5F364AEDFA					PRQP0100JD-B	動作周囲温度 -40℃~85℃
R5F364AEDFB					PLQP0100KB-A	
R5F364AKNFA	384Kバイト	16Kバイト	4Kバイト x2ブロック	31Kバイト	PRQP0100JD-B	動作周囲温度 -20℃~85℃
R5F364AKNFB					PLQP0100KB-A	
R5F364AKDFA					PRQP0100JD-B	動作周囲温度 -40℃~85℃
R5F364AKDFB					PLQP0100KB-A	
R5F364AMNFA	512Kバイト	16Kバイト	4Kバイト x2ブロック	31Kバイト	PRQP0100JD-B	動作周囲温度 -20℃~85℃
R5F364AMNFB					PLQP0100KB-A	
R5F364AMDFA					PRQP0100JD-B	動作周囲温度 -40℃~85℃
R5F364AMDFB					PLQP0100KB-A	

(開) : 開発中

(計) : 計画中

各パッケージの旧パッケージコードは以下のとおりです。

PRQP0100JD-B : 100P6F-A、PLQP0100KB-A : 100P6Q-A

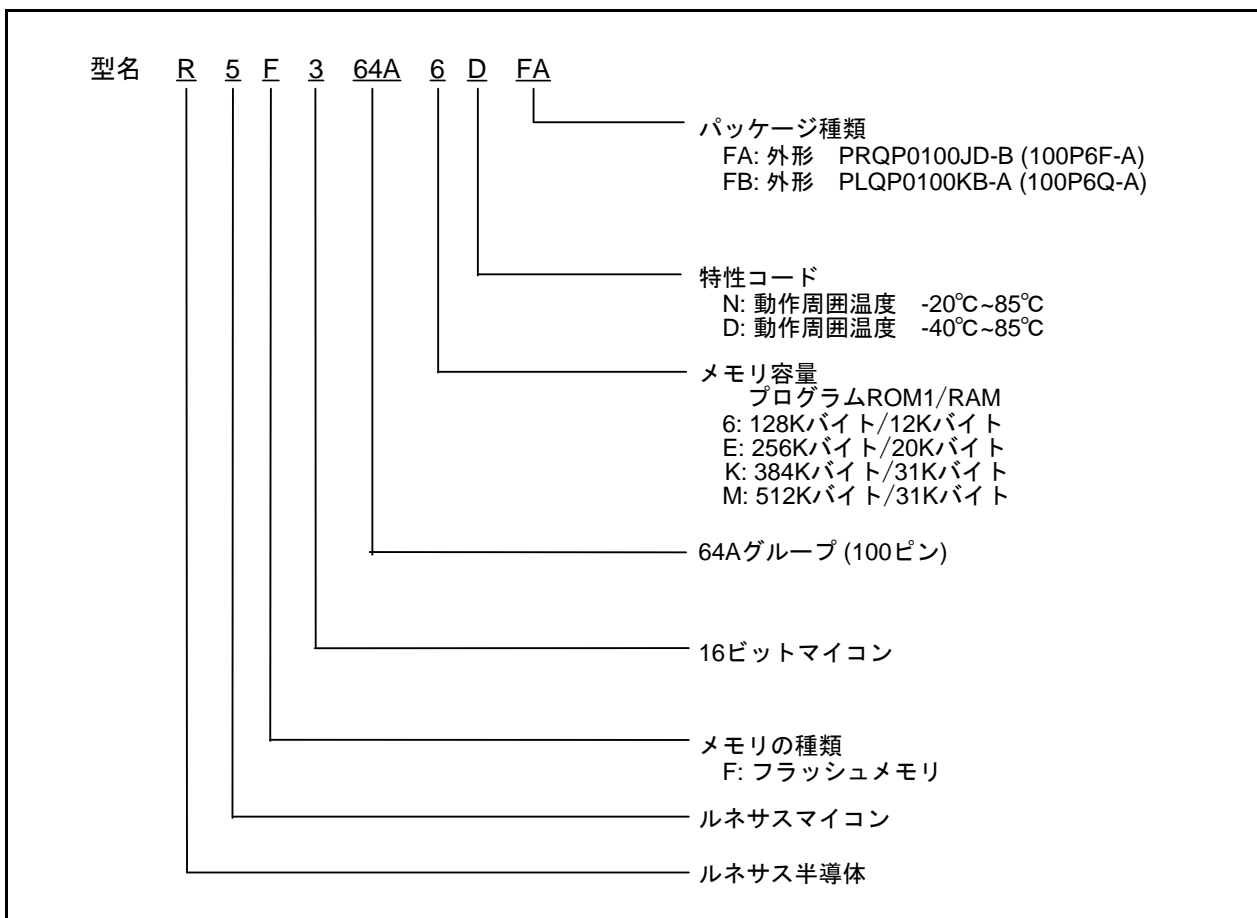


図 1.1 型名とメモリサイズ・パッケージ

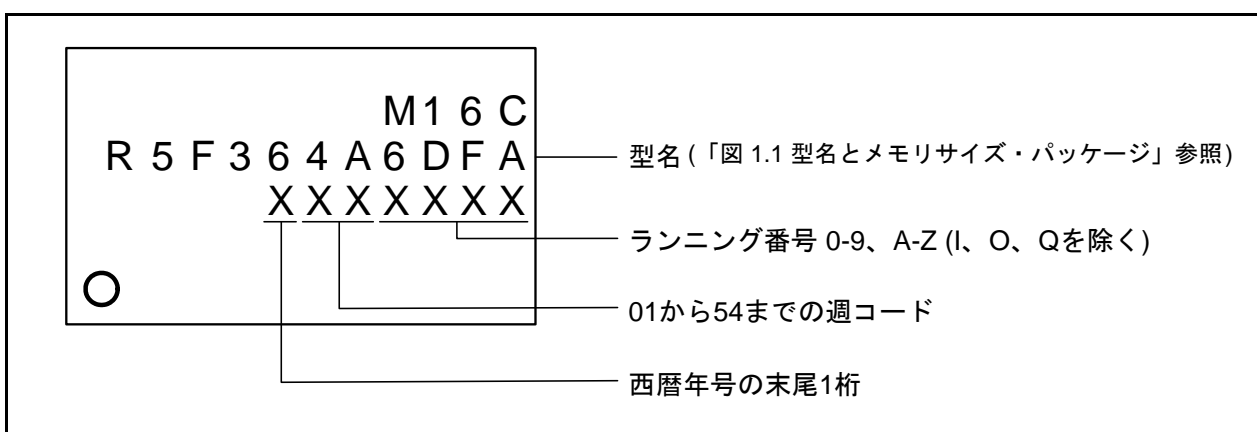


図 1.2 フラッシュメモリ版のマーキング図(上面図)

1.4 ブロック図

図 1.3にブロック図を示します。

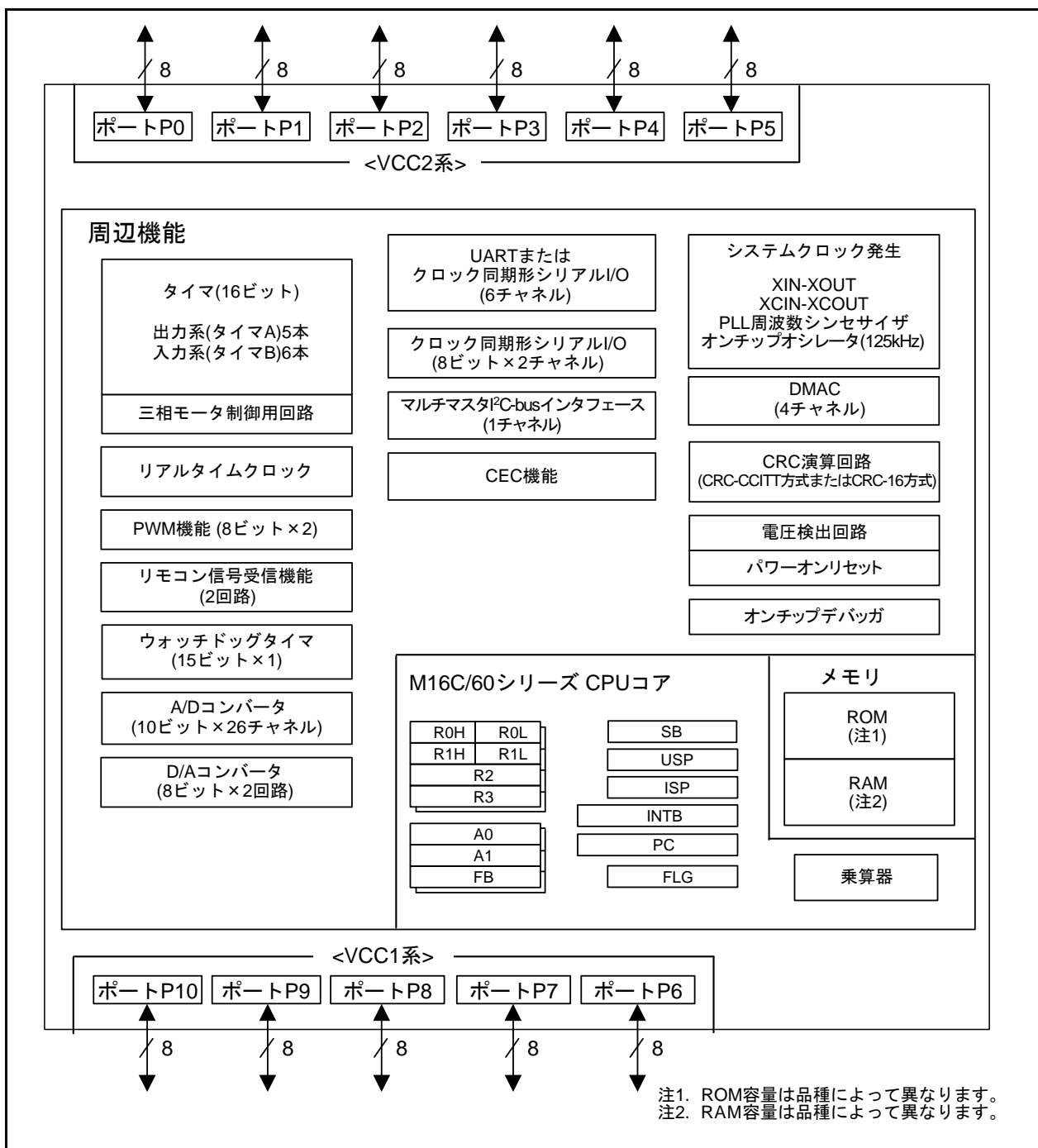


図 1.3 ブロック図(100ピン版)

1.5 ピン配置図

図 1.4~図 1.5 にピン配置図(上面図)を示します。また、表 1.4~表 1.5 に端子名一覧表を示します。

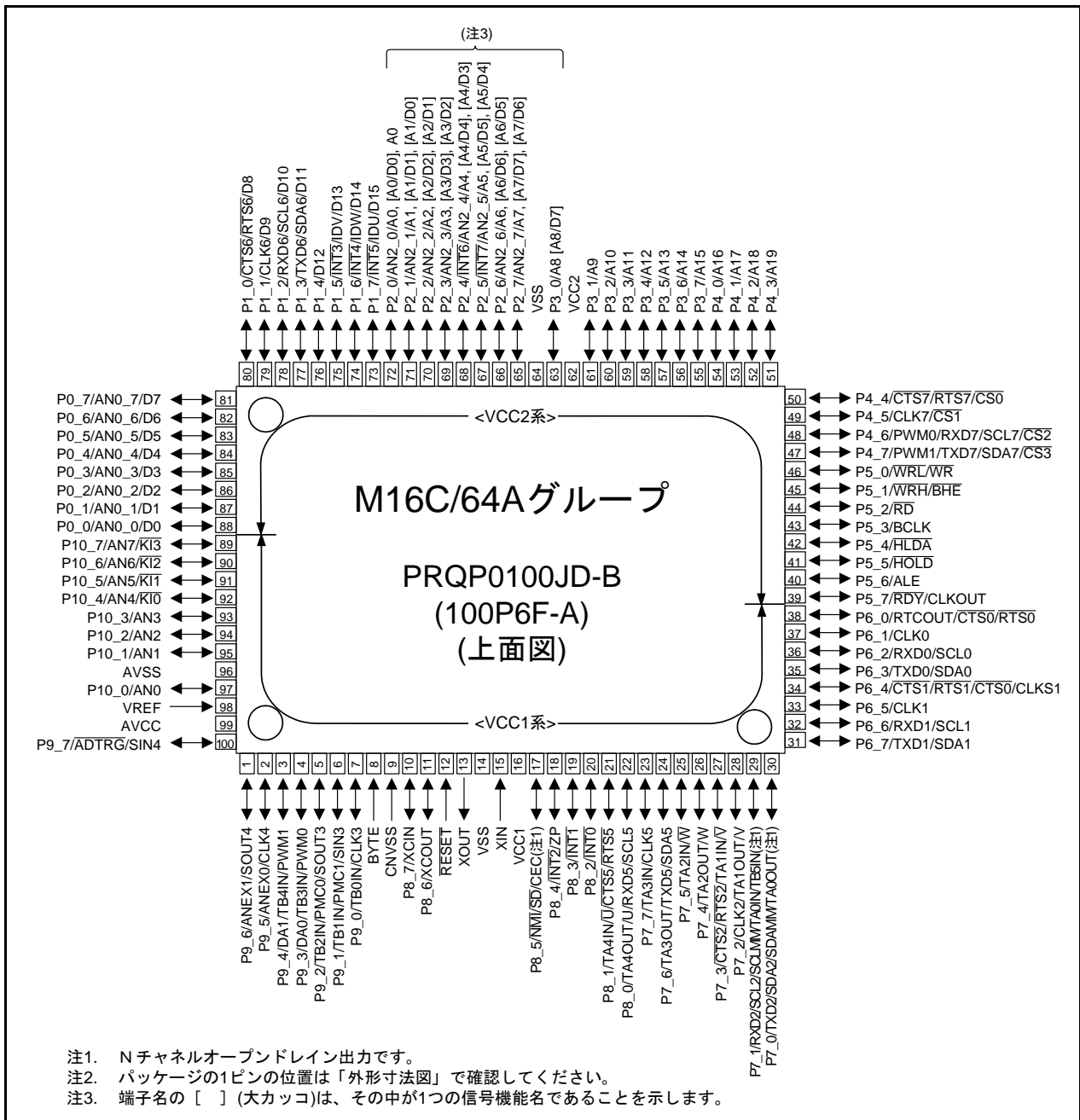


図 1.4 100ピン版ピン配置図(上面図)

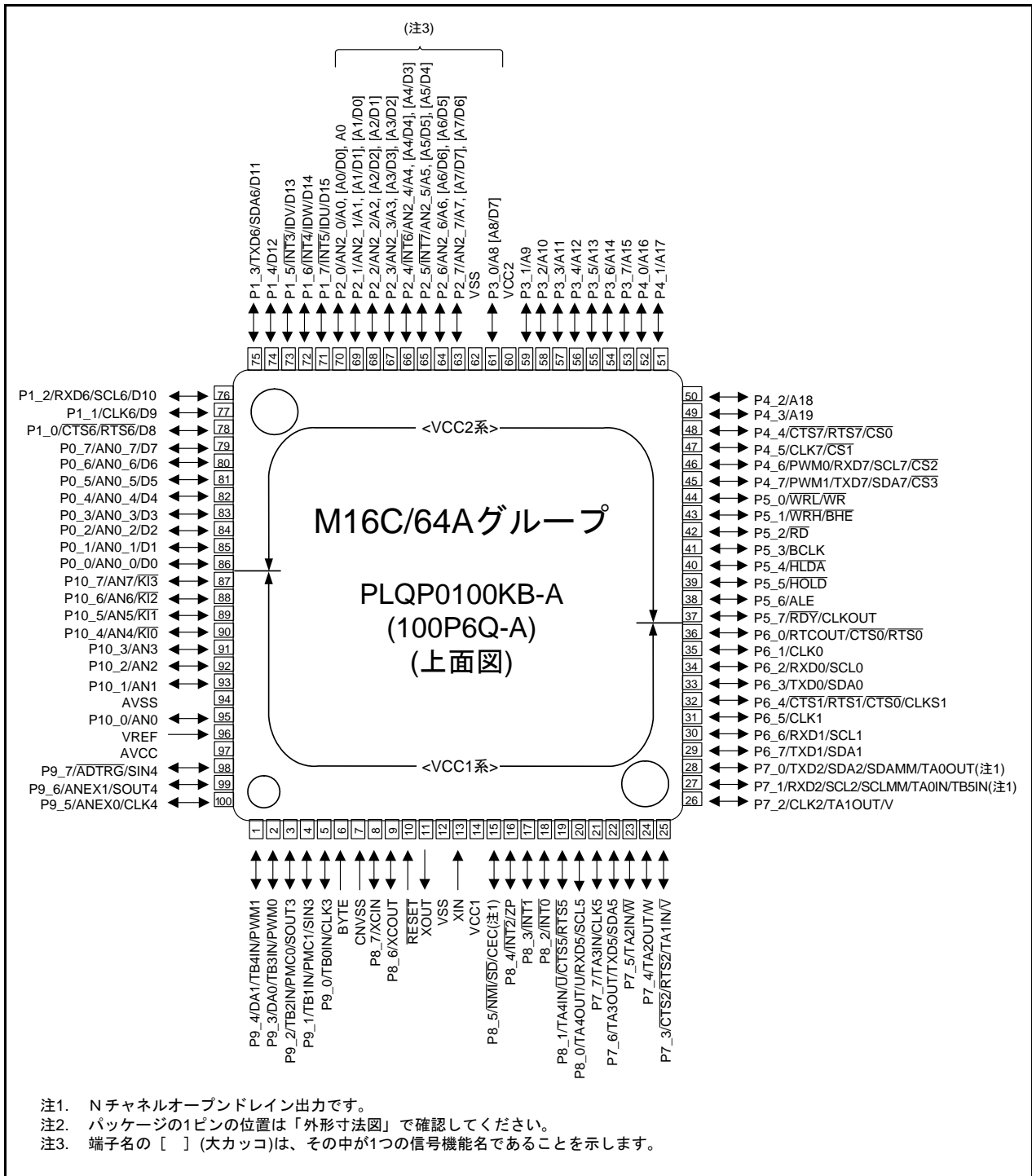


図 1.5 100ピン版ピン配置図(上面図)

表 1.4 100ピン版端子名一覧表(1/2)

Pin No.		制御端子	ポート	周辺機能の入出力端子				バス制御端子
FA	FB			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ D/Aコンバータ	
1	99		P9_6			SOUT4	ANEX1	
2	100		P9_5			CLK4	ANEX0	
3	1		P9_4		TB4IN/PWM1		DA1	
4	2		P9_3		TB3IN/PWM0		DA0	
5	3		P9_2		TB2IN/PMC0	SOUT3		
6	4		P9_1		TB1IN/PMC1	SIN3		
7	5		P9_0		TB0IN	CLK3		
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOUT	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI	SD	CEC		
18	16		P8_4	INT2	ZP			
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1		TA4IN/U	CTS5/RTS5		
22	20		P8_0		TA4OUT/U	RXD5/SCL5		
23	21		P7_7		TA3IN	CLK5		
24	22		P7_6		TA3OUT	TXD5/SDA5		
25	23		P7_5		TA2IN/W			
26	24		P7_4		TA2OUT/W			
27	25		P7_3		TA1IN/V	CTS2/RTS2		
28	26		P7_2		TA1OUT/V	CLK2		
29	27		P7_1		TA0IN/TB5IN	RXD2/SCL2/SCLMM		
30	28		P7_0		TA0OUT	TXD2/SDA2/SDAMM		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/ CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0		RTCOUT	CTS0/RTS0		
39	37	CLKOUT	P5_7					RDY
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLDA
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7		PWM1	TXD7/SDA7		CS3
48	46		P4_6		PWM0	RXD7/SCL7		CS2
49	47		P4_5			CLK7		CS1
50	48		P4_4			CTS7/RTS7		CS0

表 1.5 100ピン版端子名一覧表 (2/2)

Pin No.		制御端子	ポート	周辺機能の入出力端子				バス制御端子
FA	FB			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ D/Aコンバータ	
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8, [A8/D7]
64	62	VSS						
65	63		P2_7				AN2_7	A7, [A7/D7], [A7/D6]
66	64		P2_6				AN2_6	A6, [A6/D6], [A6/D5]
67	65		P2_5	INT7			AN2_5	A5, [A5/D5], [A5/D4]
68	66		P2_4	INT6			AN2_4	A4, [A4/D4], [A4/D3]
69	67		P2_3				AN2_3	A3, [A3/D3], [A3/D2]
70	68		P2_2				AN2_2	A2, [A2/D2], [A2/D1]
71	69		P2_1				AN2_1	A1, [A1/D1], [A1/D0]
72	70		P2_0				AN2_0	A0, [A0/D0], A0
73	71		P1_7	INT5	IDU			D15
74	72		P1_6	INT4	IDW			D14
75	73		P1_5	INT3	IDV			D13
76	74		P1_4					D12
77	75		P1_3			TXD6/SDA6		D11
78	76		P1_2			RXD6/SCL6		D10
79	77		P1_1			CLK6		D9
80	78		P1_0			CTS6/RTS6		D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	KI3			AN7	
90	88		P10_6	KI2			AN6	
91	89		P10_5	KI1			AN5	
92	90		P10_4	KI0			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7			SIN4	ADTRG	

1.6 端子機能の説明

表 1.6 端子機能の説明(100ピン版) (1/3)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1, VCC2 VSS	入力	—	VCC1、VCC2端子には、2.7V~5.5Vを入力してください。入力条件はVCC1 \geq VCC2です。 VSS端子には、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータ、D/Aコンバータの電源入力です。AVCC端子はVCC1に接続してください。AVSS端子はVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合、抵抗を介してVSSに接続してください。マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力	BYTE	入力	VCC1	外部領域のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子	D0~D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力を行います。
	D8~D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8~D15)の入出力を行います。
	A0~A19	出力	VCC2	アドレスA0~A19を出力します。
	A0/D0~ A7/D7	入出力	VCC2	外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力と、アドレス(A0~A7)の出力を時分割で行います。
	A1/D0~ A8/D7	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0~D7)の入出力と、アドレス(A1~A8)の出力を時分割で行います。
	CS0~CS3	出力	VCC2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	VCC2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。
	ALE	出力	VCC2	アドレスをラッチするための信号です。
	HOLD	入力	VCC2	HOLD入力は使用できません。HOLD端子は抵抗を介してVCC2に接続(プルアップ)してください。
	HLDA	出力	VCC2	ホールド状態の期間、“L”を出力します。
RDY	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

電源系統: 外部バス関連の端子の電源系統を分けVCC2系としました。このため、VCC1系とは異なる電圧でインタフェースできます。

表 1.7 端子機能の説明(100ピン版) (2/3)

分類	端子名	入出力	電源系統	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCIN端子とXCOUT端子の間には水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCIN端子からクロックを入力し、XCOUT端子は開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f1、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0~INT2	入力	VCC1	INT割り込みの入力です。
	INT3~INT7	入力	VCC2	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み入力	KI0~KI3	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT~TA4OUT	入出力	VCC1	タイマA0~A4の入出力です(ただし、TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN~TA4IN	入力	VCC1	タイマA0~A4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN~TB5IN	入力	VCC1	タイマB0~B5の入力です。
三相モータ制御用タイマ	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	VCC1	三相モータ制御用タイマの出力です。
	SD	入力	VCC1	強制遮断入力です。
	IDU, IDV, IDW	入力	VCC2	位置データの入力です。
リアルタイムクロック出力	RTCOUT	出力	VCC1	リアルタイムクロックの出力です。
PWM出力	PWM0, PWM1	出力	VCC1, VCC2	PWM出力です。
リモコン信号受信入力	PMC0, PMC1	入力	VCC1	リモコン信号受信機能の入力です。
シリアルインタフェース UART0~UART2, UART5~UART7	CTS0~CTS2, CTS5	入力	VCC1	送信制御用入力です。
	CTS6, CTS7	入力	VCC2	
	RTS0~RTS2, RTS5	出力	VCC1	受信制御用出力です。
	RTS6, RTS7	出力	VCC2	
	CLK0~CLK2, CLK5	入出力	VCC1	送受信クロック入出力です。
	CLK6, CLK7	入出力	VCC2	
	RXD0~RXD2, RXD5	入力	VCC1	シリアルデータ入力です。
	RXD6, RXD7	入力	VCC2	
	TXD0~TXD2, TXD5	出力	VCC1	シリアルデータ出力です。(注2)
	TXD6, TXD7	出力	VCC2	
UART0~UART2, UART5~UART7 I ² Cモード	CLKS1	出力	VCC1	送受信クロック複数端子出力機能の出力です。
	SDA0~SDA2, SDA5	入出力	VCC1	シリアルデータ入出力です。
	SDA6, SDA7	入出力	VCC2	
	SCL0~SCL2, SCL5	入出力	VCC1	送受信クロック入出力です。
シリアルインタフェース SI/O3, SI/O4	SCL6, SCL7	入出力	VCC2	
	CLK3, CLK4	入出力	VCC1	送受信クロック入出力です。
	SIN3, SIN4	入力	VCC1	シリアルデータ入力です。
	SOUT3, SOUT4	出力	VCC1	シリアルデータ出力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

注2. TXD2, SDA2, SCL2の出力はNチャンネルオープンドレインです。TXDi (i=0, 1, 5~7)、SDAi, SCLiの出力はCMOS出力で、プログラムでNチャンネルオープンドレイン出力に変更できます。

表 1.8 端子機能の説明(100ピン版) (3/3)

分類	端子名	入出力	電源系統	機能
マルチマスタ I ² C-bus インタフェース	SDAMM	入出力	VCC1	シリアルデータ入出力です。(出力はNチャンネルオープンドレイン)
	SCLMM	入出力	VCC1	送受信クロック入出力です。(出力はNチャンネルオープンドレイン)
CEC入出力	CEC	入出力	VCC1	CEC入出力です。(出力はNチャンネルオープンドレイン)
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7	入力	VCC1	アナログ入力です。
	AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC2	
	ADTRG	入力	VCC1	外部トリガ入力です。
	ANEX0, ANEX1	入力	VCC1	拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P6_0~P6_7 P7_0~P7_7 P8_0~P8_7 P9_0~P9_7 P10_0~P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです。ただし、P7_0, P7_1, P8_5の出力はNチャンネルオープンドレイン出力。プルアップはありません。 P8_5は、 $\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認できます。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

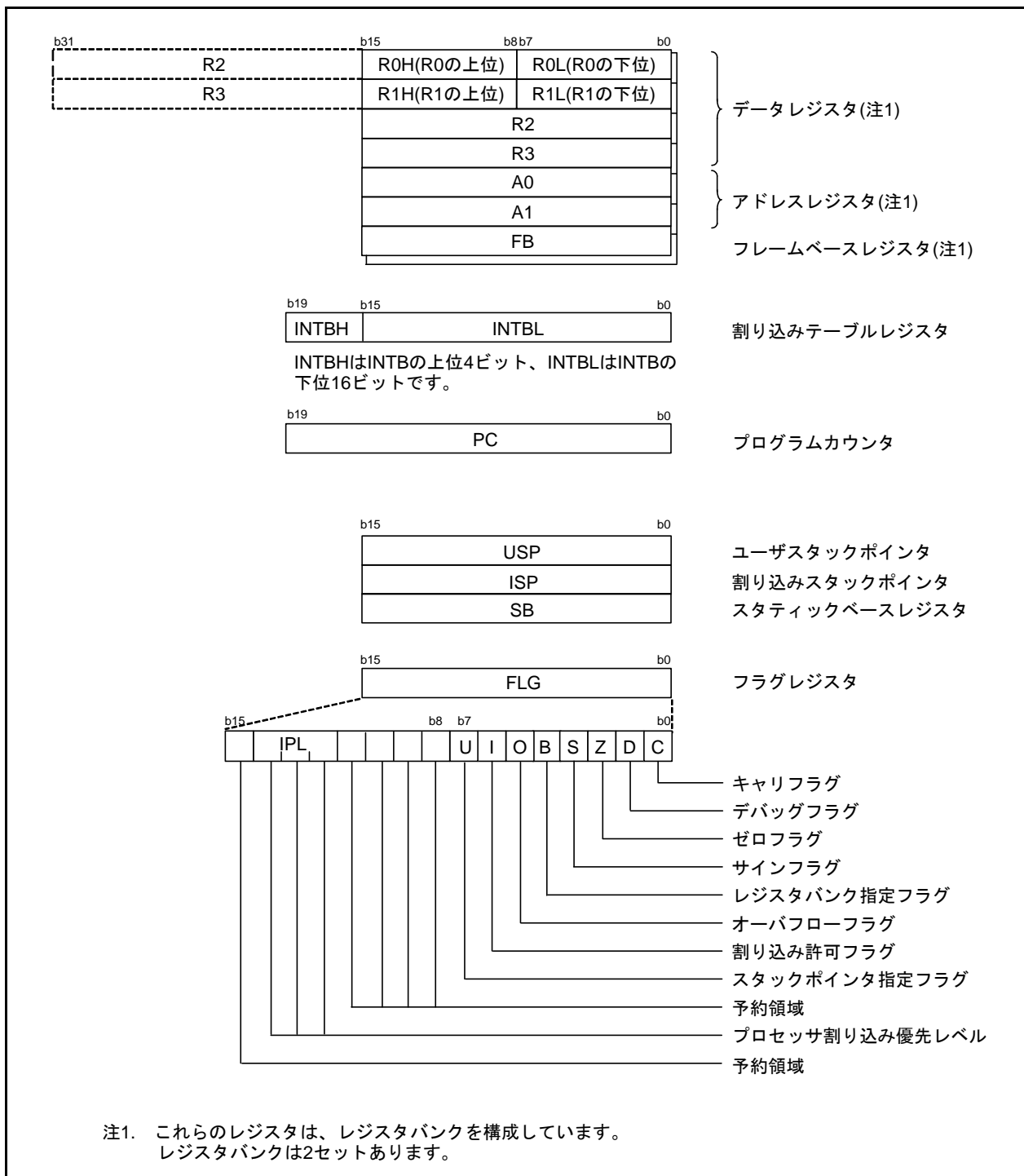


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号 0~31 の INT 命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. アドレス空間

3.1 アドレス空間

アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。また、メモリ空間拡張機能を用いてアドレス空間を4Mバイトに拡張できます。この場合、40000h番地からBFFFFh番地がバンク0からバンク7の外部領域として使用できます。図3.1にアドレス空間を示します。アクセスできる領域は、プロセッサモードや、各制御ビットの状態によって違います。

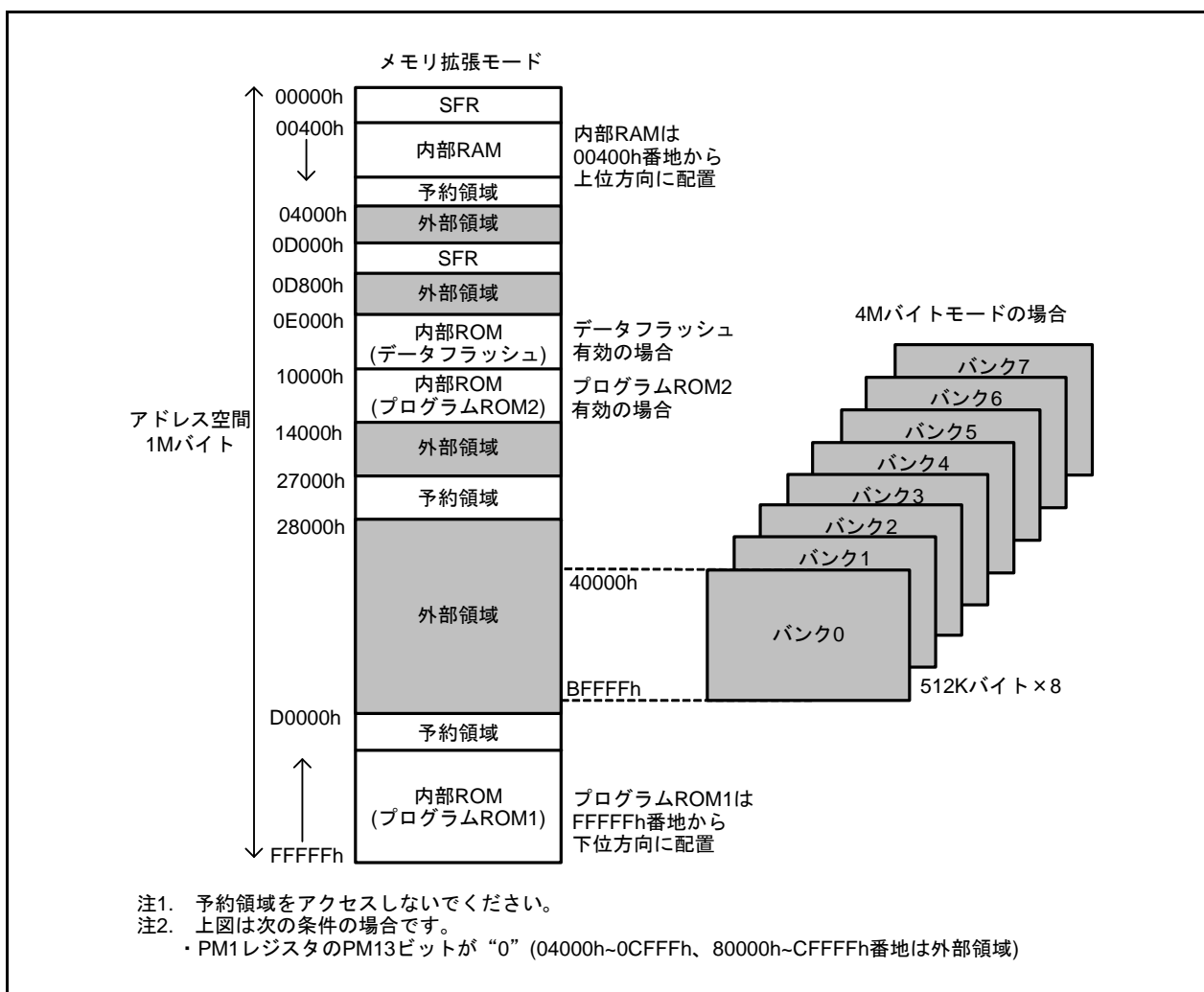


図 3.1 アドレス空間

3.2 メモリ配置

SFRは、00000h番地から003FFh番地と、0D000h番地から0D7FFh番地に配置されています。ここには周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、アクセスしないでください。

内部RAMは00400h番地から上位方向に配置されます。たとえば10Kバイトの内部RAMは、00400h番地から02BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

内部ROMはフラッシュメモリです。内部ROMにはデータフラッシュ、プログラムROM1、プログラムROM2があります。

データフラッシュは、0E000h番地から0FFFFh番地に配置されます。この領域は主にデータ格納用ですが、プログラムを格納することもできます。

プログラムROM2は、10000h番地から13FFFh番地に配置されます。プログラムROM1は、FFFFh番地から下位方向に配置されます。たとえば64KバイトのプログラムROM1は、F0000h番地からFFFFh番地に配置されます。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されます。このベクタはJMPS命令またはJSRS命令で使用します(「M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル」参照)。

割り込みの固定ベクタテーブルはFFFDCh番地からFFFFh番地に配置されます。割り込みの変ベクタテーブルは、INTBレジスタに設定された先頭番地から256バイトの領域に配置されます。

図 3.2にメモリ配置を示します。

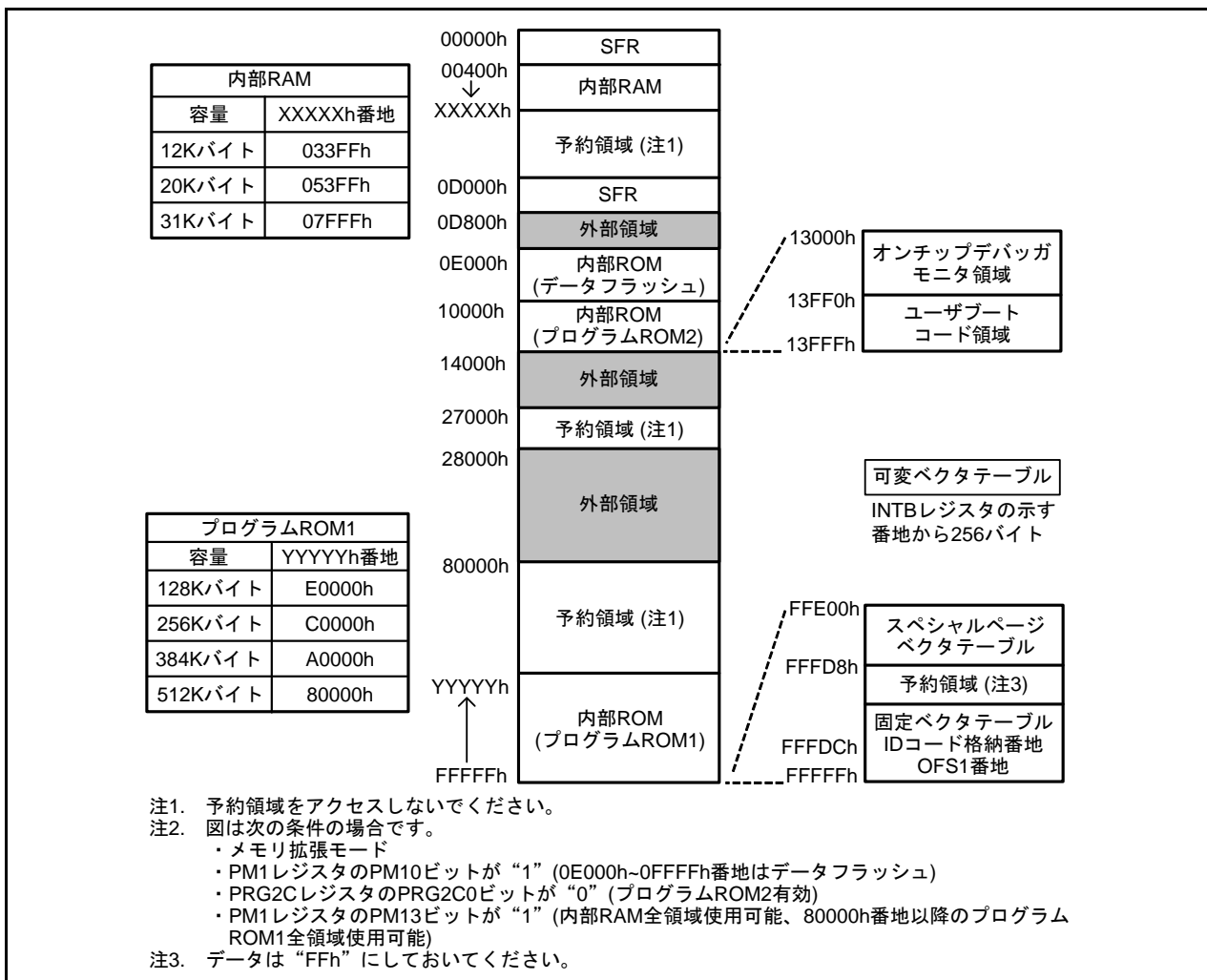


図 3.2 メモリ配置

3.3 プロセッサモードによる違い

アクセスできる領域は、プロセッサモードや、各制御ビットの状態によって違います。図 3.3 にプロセッサモードによる違いを示します。

シングルチップモードでは、SFR、内部RAM、内部ROMがアクセスできます。

メモリ拡張モードでは、SFR、内部RAM、内部ROM、外部領域がアクセスできます。また、メモリ空間拡張機能を用いてアドレス空間を4Mバイトに拡張できます。

マイクロプロセッサモードでは、SFR、内部RAM、外部領域がアクセスできます。また、メモリ空間拡張機能を用いてアドレス空間を4Mバイトに拡張できます。なお、固定ベクタテーブルに当たる FFFDC_h 番地から FFFFF_h 番地にはROMを配置してください。

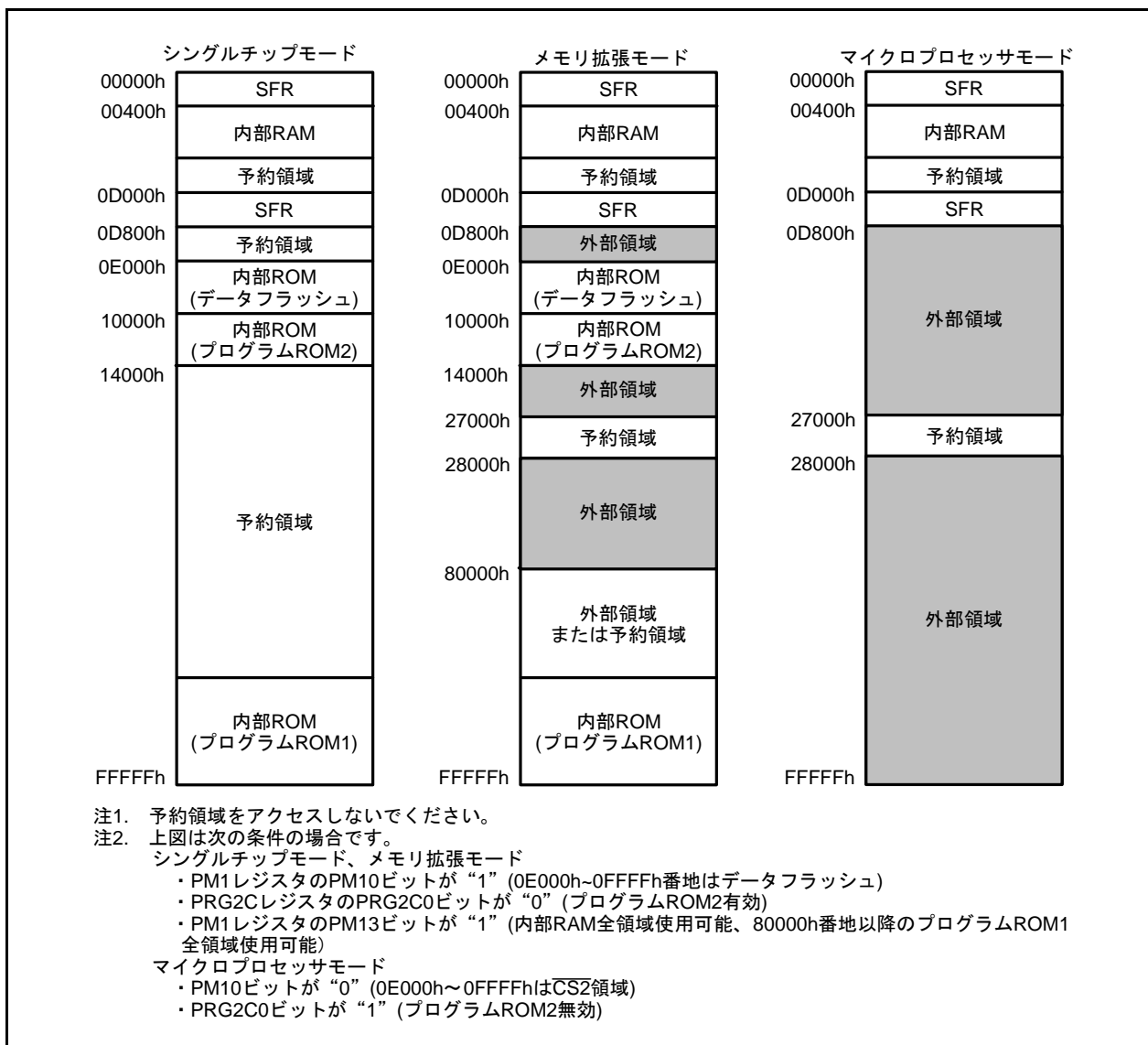


図 3.3 プロセッサモードによる違い

4. SFR

4.1 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。

表 4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”) (注2)
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h	チップセレクト制御レジスタ	CSR	01h
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	データバンクレジスタ	DBR	00h
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	XX00 001Xb (ハードウェアリセット) (注4)
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注5)
001Ah	電圧検出回路動作許可レジスタ	VCR2	00h (注5)
001Bh	チップセレクト拡張制御レジスタ	CSE	00h
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
001Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. 次のビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

PM0レジスタのPM00、PM01ビット

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注4. RSTFRレジスタの各ビットは、リセットの種類によって状態が異なります。

注5. ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください。

表 4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	00h
0027h			
0028h	電圧検出1レベル選択レジスタ	VD1LS	0000 1010b (注2)
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 XX10b (注2)
002Bh	電圧監視1回路制御レジスタ	VW1C	1000 1010b (注2)
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b (注2)
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください

表 4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h	INT7割り込み制御レジスタ	INT7IC	XX00 X000b
0043h	INT6割り込み制御レジスタ	INT6IC	XX00 X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ UART1バス衝突検出割り込み制御レジスタ	TB4IC U1BCNIC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ UART0バス衝突検出割り込み制御レジスタ	TB3IC U0BCNIC	XXXX X000b
0048h	SI/O4割り込み制御レジスタ INT5割り込み制御レジスタ	S4IC INT5IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ INT4割り込み制御レジスタ	S3IC INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	UART5 バス衝突検出割り込み制御レジスタ CEC1 割り込み制御レジスタ	U5BCNIC CEC1IC	XXXX X000b
006Ch	UART5 送信割り込み制御レジスタ CEC2 割り込み制御レジスタ	S5TIC CEC2IC	XXXX X000b
006Dh	UART5 受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6 バス衝突検出割り込み制御レジスタ リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC RTCTIC	XXXX X000b
006Fh	UART6 送信割り込み制御レジスタ リアルタイムクロックコンペア割り込み制御レジスタ	S6TIC RTCCIC	XXXX X000b
0070h	UART6 受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7 バス衝突検出 割り込み制御レジスタ リモコン信号受信機能0 割り込み制御レジスタ	U7BCNIC PMC0IC	XXXX X000b
0072h	UART7 送信割り込み制御レジスタ リモコン信号受信機能1 割り込み制御レジスタ	S7TIC PMC1IC	XXXX X000b
0073h	UART7 受信割り込み制御レジスタ	S7RIC	XXXX X000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh	I2C-bus インタフェース 割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA 割り込み制御レジスタ	SCLDAIC	XXXX X000b
007Dh			
007Eh			
007Fh			
0080h~ 017Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01ADh			
01AEh			
01AFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1 レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1 レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1 レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ 1	PPWFS1	XXXX X000b
01C7h			
01C8h	タイマBカウントソース選択レジスタ 0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ 1	TBCS1	X0h
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ 0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ 1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ 2	TACS2	X0h
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	00h
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	PMC0機能選択レジスタ0	PMC0CON0	00h
01F1h	PMC0機能選択レジスタ1	PMC0CON1	00XX 0000b
01F2h	PMC0機能選択レジスタ2	PMC0CON2	0000 00X0b
01F3h	PMC0機能選択レジスタ3	PMC0CON3	00h
01F4h	PMC0ステータスレジスタ	PMC0STS	00h
01F5h	PMC0割り込み要因レジスタ	PMC0INT	00h
01F6h	PMC0コンペア制御レジスタ	PMC0CPC	XXX0 X000b
01F7h	PMC0コンペア値設定レジスタ	PMC0CPD	00h
01F8h	PMC1機能選択レジスタ0	PMC1CON0	XXX0 X000b
01F9h	PMC1機能選択レジスタ1	PMC1CON1	XXXX 0X00b
01FAh	PMC1機能選択レジスタ2	PMC1CON2	0000 00X0b
01FBh	PMC1機能選択レジスタ3	PMC1CON3	00h
01FCh	PMC1ステータスレジスタ	PMC1STS	X000 X00Xb
01FDh	PMC1割り込み要因レジスタ	PMC1INT	X000 X00Xb
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h	UART0 特殊モードレジスタ 4	U0SMR4	00h
0245h	UART0 特殊モードレジスタ 3	U0SMR3	000X 0X0Xb
0246h	UART0 特殊モードレジスタ 2	U0SMR2	X000 0000b
0247h	UART0 特殊モードレジスタ	U0SMR	X000 0000b
0248h	UART0 送受信モードレジスタ	U0MR	00h
0249h	UART0 ビットレートレジスタ	U0BRG	XXh
024Ah	UART0 送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0 送受信制御レジスタ 0	U0C0	0000 1000b
024Dh	UART0 送受信制御レジスタ 1	U0C1	00XX 0010b
024Eh	UART0 受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART 送受信制御レジスタ 2	UCON	X000 0000b
0251h			
0252h			
0253h			
0254h	UART1 特殊モードレジスタ 4	U1SMR4	00h
0255h	UART1 特殊モードレジスタ 3	U1SMR3	000X 0X0Xb
0256h	UART1 特殊モードレジスタ 2	U1SMR2	X000 0000b
0257h	UART1 特殊モードレジスタ	U1SMR	X000 0000b
0258h	UART1 送受信モードレジスタ	U1MR	00h
0259h	UART1 ビットレートレジスタ	U1BRG	XXh
025Ah	UART1 送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
025Dh	UART1 送受信制御レジスタ 1	U1C1	00XX 0010b
025Eh	UART1 受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2 特殊モードレジスタ 4	U2SMR4	00h
0265h	UART2 特殊モードレジスタ 3	U2SMR3	000X 0X0Xb
0266h	UART2 特殊モードレジスタ 2	U2SMR2	X000 0000b
0267h	UART2 特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2 送受信モードレジスタ	U2MR	00h
0269h	UART2 ビットレートレジスタ	U2BRG	XXh
026Ah	UART2 送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2 送受信制御レジスタ 0	U2C0	0000 1000b
026Dh	UART2 送受信制御レジスタ 1	U2C1	0000 0010b
026Eh	UART2 受信バッファレジスタ	U2RB	XXh
026Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10) (注1)

番地	レジスタ	シンボル	リセット後の値
0270h	SI/O3送受信レジスタ	S3TRR	XXh
0271h			
0272h	SI/O3制御レジスタ	S3C	0100 0000b
0273h	SI/O3ビットレートレジスタ	S3BRG	XXh
0274h	SI/O4送受信レジスタ	S4TRR	XXh
0275h			
0276h	SI/O4制御レジスタ	S4C	0100 0000b
0277h	SI/O4ビットレートレジスタ	S4BRG	XXh
0278h	SI/O3、4制御レジスタ2	S34C2	00XX X0X0b
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X 0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X000 0000b
0287h	UART5特殊モードレジスタ	U5SMR	X000 0000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	0000 1000b
028Dh	UART5送受信制御レジスタ1	U5C1	0000 0010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0290h			
0291h			
0292h			
0293h			
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X 0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X000 0000b
0297h	UART6特殊モードレジスタ	U6SMR	X000 0000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	0000 1000b
029Dh	UART6送受信制御レジスタ1	U6C1	0000 0010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11) (注1)

番地	レジスタ	シンボル	リセット後の値
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7 特殊モードレジスタ 4	U7SMR4	00h
02A5h	UART7 特殊モードレジスタ 3	U7SMR3	000X 0X0Xb
02A6h	UART7 特殊モードレジスタ 2	U7SMR2	X000 0000b
02A7h	UART7 特殊モードレジスタ	U7SMR	X000 0000b
02A8h	UART7 送受信モードレジスタ	U7MR	00h
02A9h	UART7 ビットレートレジスタ	U7BRG	XXh
02AAh	UART7 送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7 送受信制御レジスタ 0	U7C0	0000 1000b
02ADh	UART7 送受信制御レジスタ 1	U7C1	0000 0010b
02AEh	UART7 受信バッファレジスタ	U7RB	XXh
02AFh			XXh
02B0h	I2C0 データシフトレジスタ	S00	XXh
02B1h			
02B2h	I2C0 アドレスレジスタ 0	S0D0	0000 000Xb
02B3h	I2C0 制御レジスタ 0	S1D0	00h
02B4h	I2C0 クロック制御レジスタ	S20	00h
02B5h	I2C0 スタート/ストップコンディション制御レジスタ	S2D0	0001 1010b
02B6h	I2C0 制御レジスタ 1	S3D0	0011 0000b
02B7h	I2C0 制御レジスタ 2	S4D0	00h
02B8h	I2C0 ステータスレジスタ 0	S10	0001 000Xb
02B9h	I2C0 ステータスレジスタ 1	S11	XXXX X000b
02BAh	I2C0 アドレスレジスタ 1	S0D1	0000 000Xb
02BBh	I2C0 アドレスレジスタ 2	S0D2	0000 000Xb
02BCh			
02BDh			
02BEh			
02BFh			
02C0h~ 02FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12) (注1)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3, 4, 5カウンタ開始フラグ	TBSR	000X XXXXb
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
030Fh			
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh			
031Fh			
0320h	カウンタ開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13) (注1)

番地	レジスタ	シンボル	リセット後の値
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h	CEC機能制御レジスタ1	CECC1	XXXX X000b
0351h	CEC機能制御レジスタ2	CECC2	00h
0352h	CEC機能制御レジスタ3	CECC3	XXXX 0000b
0353h	CEC機能制御レジスタ4	CECC4	00h
0354h	CECフラグレジスタ	CECFLG	00h
0355h	CEC割り込み要因選択レジスタ	CISEL	00h
0356h	CEC送信バッファレジスタ1	CCTB1	00h
0357h	CEC送信バッファレジスタ2	CCTB2	XXXX XX00b
0358h	CEC受信バッファレジスタ1	CCRB1	00h
0359h	CEC受信バッファレジスタ2	CCRB2	XXXX X000b
035Ah	CEC受信Followerアドレス設定レジスタ1	CRADR11	00h
035Bh	CEC受信Followerアドレス設定レジスタ2	CRADR12	00h
035Ch			
035Dh			
035Eh			
035Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	0000 0000b (注2) 0000 0010b
0362h	プルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0367h			
0368h			
0369h	NMI/SD デジタルフィルタレジスタ	NMIDF	XXXX X000b
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	PWM制御レジスタ0	PWMCON0	00h
0371h			
0372h	PWM0 プリスケーラ	PWMPRE0	00h
0373h	PWM0 レジスタ	PWMREG0	00h
0374h	PWM1 プリスケーラ	PWMPRE1	00h
0375h	PWM1 レジスタ	PWMREG1	00h
0376h	PWM制御レジスタ1	PWMCON1	00h
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注3)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb
0380h~ 038Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセット、パワーオンリセット、または電圧監視0リセットでは次のようになります。

- CNVSS端子に“L”を入力している場合、“0000 0000b”
- CNVSS端子に“H”を入力している場合、“0000 0010b”

電圧監視1リセット、電圧監視2リセット、ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- PM0 レジスタのPM01~PM00ビットが“00b” (シングルチップモード)の場合、“0000 0000b”
- PM0 レジスタのPM01~PM00ビットが“01b” (メモリ拡張モード)または“11b” (マイクロプロセッサモード)の場合、“0000 0010b”

注3. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

表 4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
0390h	DMA2 要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3 要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0 要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1 要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR 監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRC モードレジスタ	CRCMR	0XXX XXX0b
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRC データレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRC インพุットレジスタ	CRCIN	XXh
03BFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h	A/D レジスタ 0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/D レジスタ 1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/D レジスタ 2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/D レジスタ 3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/D レジスタ 4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/D レジスタ 5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/D レジスタ 6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/D レジスタ 7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 制御レジスタ 2	ADCON2	0000 X00Xb
03D5h			
03D6h	A/D 制御レジスタ 0	ADCON0	0000 0XXXb
03D7h	A/D 制御レジスタ 1	ADCON1	0000 X000b
03D8h	D/A0 レジスタ	DA0	00h
03D9h			
03DAh	D/A1 レジスタ	DA1	00h
03DBh			
03DCh	D/A 制御レジスタ	DACON	00h
03DDh			
03DEh			
03DFh			
03E0h	ポート P0 レジスタ	P0	XXh
03E1h	ポート P1 レジスタ	P1	XXh
03E2h	ポート P0 方向レジスタ	PD0	00h
03E3h	ポート P1 方向レジスタ	PD1	00h
03E4h	ポート P2 レジスタ	P2	XXh
03E5h	ポート P3 レジスタ	P3	XXh
03E6h	ポート P2 方向レジスタ	PD2	00h
03E7h	ポート P3 方向レジスタ	PD3	00h
03E8h	ポート P4 レジスタ	P4	XXh
03E9h	ポート P5 レジスタ	P5	XXh
03EAh	ポート P4 方向レジスタ	PD4	00h
03EBh	ポート P5 方向レジスタ	PD5	00h
03ECh	ポート P6 レジスタ	P6	XXh
03EDh	ポート P7 レジスタ	P7	XXh
03EEh	ポート P6 方向レジスタ	PD6	00h
03EFh	ポート P7 方向レジスタ	PD7	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)(注1)

番地	レジスタ	シンボル	リセット後の値
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18) (注1)

番地	レジスタ	シンボル	リセット後の値
D080h	PMC0ヘッダパターン設定レジスタ (MIN)	PMC0HDPMIN	0000 0000b
D081h			XXXX X000b
D082h	PMC0ヘッダパターン設定レジスタ (MAX)	PMC0HDPMAX	0000 0000b
D083h			XXXX X000b
D084h	PMC0データ0パターン設定レジスタ (MIN)	PMC0D0PMIN	00h
D085h	PMC0データ0パターン設定レジスタ (MAX)	PMC0D0PMAX	00h
D086h	PMC0データ1パターン設定レジスタ (MIN)	PMC0D1PMIN	00h
D087h	PMC0データ1パターン設定レジスタ (MAX)	PMC0D1PMAX	00h
D088h	PMC0測定結果レジスタ	PMC0TIM	00h
D089h			00h
D08Ah			
D08Bh			
D08Ch	PMC0受信データ格納レジスタ0	PMC0DAT0	00h
D08Dh	PMC0受信データ格納レジスタ1	PMC0DAT1	00h
D08Eh	PMC0受信データ格納レジスタ2	PMC0DAT2	00h
D08Fh	PMC0受信データ格納レジスタ3	PMC0DAT3	00h
D090h	PMC0受信データ格納レジスタ4	PMC0DAT4	00h
D091h	PMC0受信データ格納レジスタ5	PMC0DAT5	00h
D092h	PMC0受信ビット数レジスタ	PMC0RBIT	XX00 0000b
D093h			
D094h	PMC1ヘッダパターン設定レジスタ (MIN)	PMC1HDPMIN	0000 0000b
D095h			XXXX X000b
D096h	PMC1ヘッダパターン設定レジスタ (MAX)	PMC1HDPMAX	0000 0000b
D097h			XXXX X000b
D098h	PMC1データ0パターン設定レジスタ (MIN)	PMC1D0PMIN	00h
D099h	PMC1データ0パターン設定レジスタ (MAX)	PMC1D0PMAX	00h
D09Ah	PMC1データ1パターン設定レジスタ (MIN)	PMC1D1PMIN	00h
D09Bh	PMC1データ1パターン設定レジスタ (MAX)	PMC1D1PMAX	00h
D09Ch	PMC1測定結果レジスタ	PMC1TIM	00h
D09Dh			00h
D09Eh			
D09Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

4.2 SFR使用上の注意事項

4.2.1 レジスタ設定時の注意事項

表 4.19 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 4.19 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0273h	SI/O3ビットレートレジスタ	S3BRG
0277h	SI/O4ビットレートレジスタ	S4BRG
0289h	UART5ビットレートレジスタ	U5BRG
028Bh~028Ah	UART5送信バッファレジスタ	U5TB
0299h	UART6ビットレートレジスタ	U6BRG
029Bh~029Ah	UART6送信バッファレジスタ	U6TB
02A9h	UART7ビットレートレジスタ	U7BRG
02ABh~02AAh	UART7送信バッファレジスタ	U7TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS

表 4.20 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROL <i>C</i> 、ROR <i>C</i> 、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

5. プロテクト

5.1 概要

プロテクトはプログラムが暴走したときに備え、重要なレジスタが簡単に書き換えられないように保護する機能です。

5.2 レジスタの説明

表 5.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
000Ah	プロテクトレジスタ	PRCR	00h

5.2.1 プロテクトレジスタ (PRCR)

プロテクトレジスタ			
ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0	シンボル PRCR	アドレス 000Ah番地	リセット後の値 00h
PRC0	プロテクトビット0	CM0、CM1、CM2、PLC0、PCLKR レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM1、PM2、TB2SC、INVC0、INVC1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC2	プロテクトビット2	PD9、S3C、S4C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC3	プロテクトビット3	VCR2、VWCE、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
— (b5-b4)	予約ビット	“0” にしてください	RW
PRC6	プロテクトビット6	PRG2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
— (b7)	予約ビット	“0” にしてください	RW

PRC6、PRC3、PRC1、PRC0 (プロテクトビット6、3、1、0) (b6、b3、b1、b0)

PRC6、PRC3、PRC1、PRC0ビットはプログラムで“1”(書き込み許可)を書くと、その後“1”(書き込み許可)の状態が続きます。これらのビットで保護されるレジスタは次の手順で変更してください。

- (1) PRC_i (i=0, 1, 3, 6) ビットに“1”を書く
- (2) PRC_i ビットで保護されるレジスタに値を書く
- (3) PRC_i ビットに“0”(書き込み禁止)を書く

PRC2 (プロテクトビット2) (b2)

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実施すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。下に手順を示します。手順の(1)と(2)の間に割り込みやDMA転送が入らないようにしてください。

- (1) PRC2ビットに“1”を書く
- (2) PRC2ビットで保護されるレジスタに値を書く

5.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

6. リセット

6.1 概要

リセットには、ハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの種類、図 6.1 にリセット回路のブロック図を示します。図表中の記号 (A) ~ (D) のレジスタ、ビットは表 6.3 に示します。

表 6.1 リセットの種類

リセットの名称	要因	初期化されないレジスタ、ビット
ハードウェアリセット	RESET 端子の入力電圧が“L”	(A)
パワーオンリセット	VCC1の上昇	なし
電圧監視0リセット	VCC1の下降 (監視電圧: Vdet0)	なし
電圧監視1リセット	VCC1の下降 (監視電圧: Vdet1)	(B)
電圧監視2リセット	VCC1の下降 (監視電圧: Vdet2)	(B)
発振停止検出リセット	メインクロック発振回路の停止を検出	(B)(C)(D)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー	(B)(C)
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く	(B)(C)

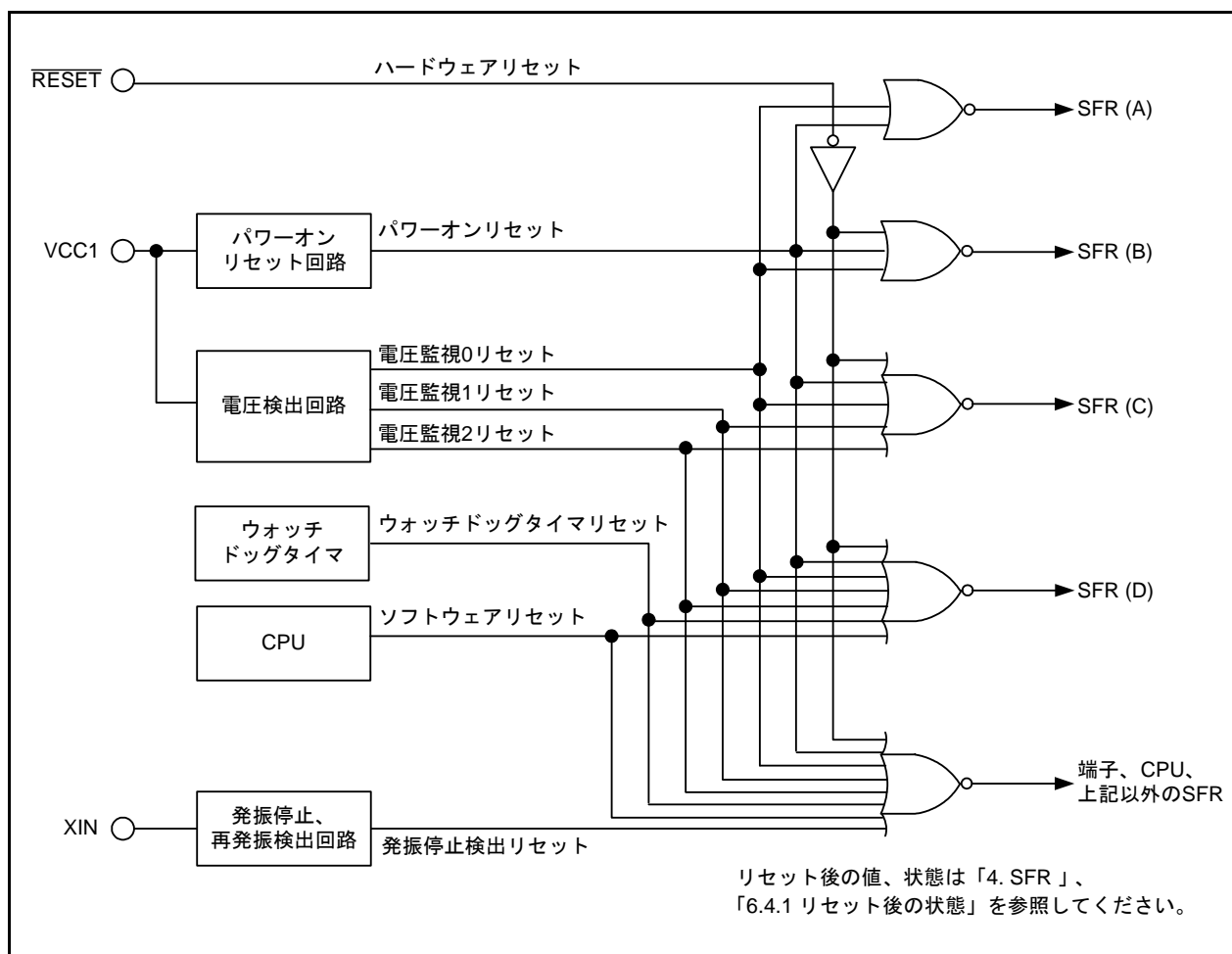


図 6.1 リセット回路のブロック図

表 6.2 リセット時のSFRの分類

SFRの分類	レジスタ、ビット
SFR(A)	RSTFR レジスタのOSDR ビット、CWR ビット
SFR(B)	RSTFR レジスタのCWR ビット VCR1 レジスタ、VCR2 レジスタ、VW0C レジスタ VW1C レジスタのVW1C2 ビット、VW1C3 ビット VW2C レジスタのVW2C2 ビット、VW2C3 ビット PM0 レジスタのPM00、PM01 ビット
SFR(C)	VD1LS レジスタ
SFR(D)	CM2 レジスタのCM20、CM21、CM27 ビット

表 6.3 入出力端子

端子名	入出力	機能
RESET	入力	ハードウェアリセットの入力
VCC1	入力	電源入力。パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセットはVCC1を監視する
XIN	入力	メインクロック入力。発振停止検出リセットはメインクロックを監視する

6.2 レジスタの説明

電圧監視0リセット、電圧監視1リセット、電圧監視2リセットで使用するレジスタは「7. 電圧検出回路」を参照してください。ウォッチドッグタイマリセットで使用するレジスタは「15. ウォッチドッグタイマ」を参照してください。発振停止検出リセットで使用するレジスタは「8.7 発振停止/再発振検出機能」を参照してください。

表 6.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)
0018h	リセット要因判別レジスタ	RSTFR	— (注1)

注1. 「6.2.2 リセット要因判別レジスタ (RSTFR)」参照

6.2.1 プロセッサモードレジスタ 0 (PM0)

プロセッサモードレジスタ0			
ビット シンボル	ビット名	機能	RW
シンボル: PM0 アドレス: 0004h番地 リセット後の値: 0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)			
PM00	プロセッサモードビット	b1 b0 0 0: シングルチップモード 0 1: メモリ拡張モード 1 0: 設定しないでください 1 1: マイクロプロセッサモード	RW
PM01			RW
PM02	R/Wモード選択ビット	0: RD、BHE、WR 1: RD、WRH、WRL	RW
PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”	RW
PM04	マルチプレクスバス空間 選択ビット	b5 b4 0 0: マルチプレクスバスを使用しない (CSの全空間はセパレートバス)	RW
PM05		0 1: CS2の空間に割り当てる 1 0: CS1の空間に割り当てる 1 1: CSの全空間に割り当てる	RW
PM06	ポートP4_0~P4_3機能 選択ビット	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	RW
PM07	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はハイインピーダンスになります)	RW

このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
 PM01~PM00ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
 PM02、PM05~PM04、PM06、PM07ビットは、PM01~PM00ビットが“01b”(メモリ拡張モード)、または“11b”(マイクロプロセッサモード)のとき有効です。

PM03 (ソフトウェアリセットビット) (b3)

PM03ビットに“1”を書くと、ソフトウェアリセットします。

6.2.2 リセット要因判別レジスタ (RSTFR)

リセット要因判別レジスタ			
シンボル	アドレス	リセット後の値	
RSTFR	0018h番地	「表 6.5」参照	
ビットシンボル	ビット名	機能	RW
CWR	コールド/ウォームスタート判定フラグ	0: コールドスタート 1: ウォームスタート	RW
HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	RO
SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	RO
WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	RO
LVD1R	電圧監視1リセット検出フラグ	0: 未検出 1: 検出	RO
LVD2R	電圧監視2リセット検出フラグ	0: 未検出 1: 検出	RO
OSDR	発振停止検出リセット検出フラグ	0: 未検出 1: 検出	RW
— (b7)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW

表 6.5 リセット後のRSTFRレジスタのビットの値

リセット	RSTFRレジスタのビット						
	OSDR	LVD2R	LVD1R	WDR	SWR	HWR	CWR
ハードウェアリセット	変化しない	0	0	0	0	1	変化しない
パワーオンリセット	0	0	0	0	0	0	0
電圧監視0リセット	0	0	0	0	0	0	0
電圧監視1リセット	0	0	1	0	0	0	変化しない
電圧監視2リセット	0	1	0	0	0	0	変化しない
発振停止検出リセット	1	0	0	0	0	0	変化しない
ウォッチドッグタイマリセット	0	0	0	1	0	0	変化しない
ソフトウェアリセット	0	0	0	0	1	0	変化しない

CWR (コールド/ウォームスタート判定フラグ) (b0)

CWRビットは、次の条件でも変化します。

["0"になる条件]

- 電源投入

["1"になる条件]

- CWRビットに“1”を書く

OSDR (発振停止検出リセット検出フラグ) (b6)

OSDRビットは、次の条件でも変化します。

["0"になる条件]

- 電源投入

- OSDRビットに“0”を書く

プログラムで“1”を書いても変化しません。

6.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

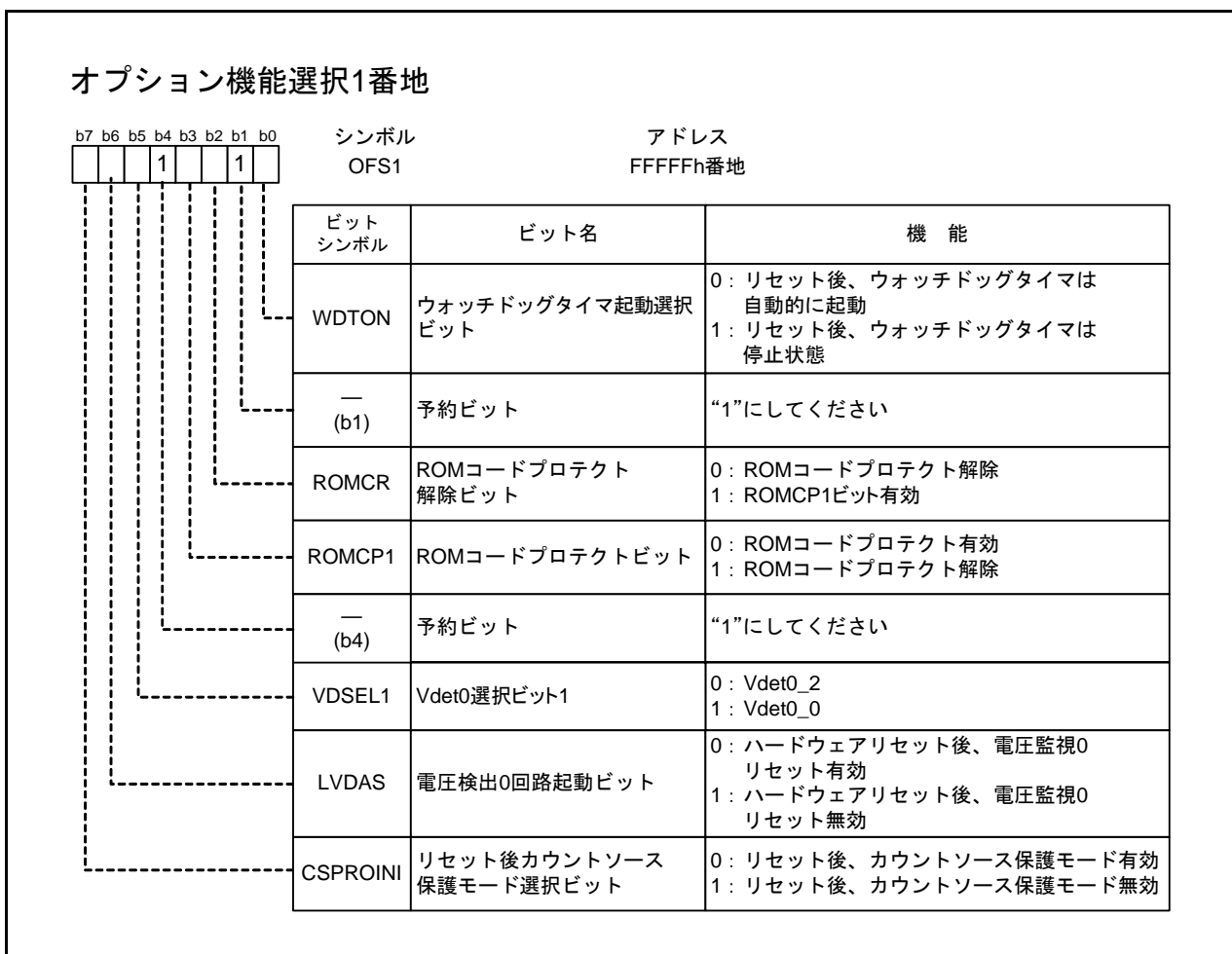
オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

なお、オプション機能選択領域を使用した選択は、シングルチップモードまたはメモリ拡張モードで使用できます。マイクロプロセッサモードではオプション機能選択領域を使用できません。マイクロプロセッサモードで使用する場合は、マイコン内部ROMを消去してから使用してください。

6.3.1 オプション機能選択1番地 (OFS1)



WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

リセット後のウォッチドッグタイマの状態を決めるビットです。

CSPROINIビットを“0” (リセット後、カウントソース保護モード有効) にするときは、WDTONビットも“0” (リセット後、ウォッチドッグタイマは自動的に起動) にしてください。

ウォッチドッグタイマ、カウントソース保護モードの詳細は「15. ウォッチドッグタイマ」を参照してください。

ROMCR (ROMコードプロテクト解除ビット) (b2)**ROMCP1 (ROMコードプロテクトビット) (b3)**

パラレル入出力モードによるフラッシュメモリの読み出しや値の変更を禁止します。

表 6.6 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCR ビット	ROMCP1 ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

VDSEL1 (Vdet0 選択ビット 1) (b5)

パワーオンリセットまたは電圧監視0リセットを使用する場合は、VDSEL1 ビットを“0” (Vdet0_2) にしてください。また、「6.4.10 コールド/ウォームスタート判定機能」を参照してください。

シングルチップモードで有効です。ブートモードでは無効です。

LVDAS (電圧検出0回路起動ビット) (b6)

パワーオンリセットを使用する場合は、LVDAS ビットを“0” (ハードウェアリセット後、電圧監視0リセット有効) にしてください。

シングルチップモードで有効です。ブートモードでは無効です。

6.4 動作説明

6.4.1 リセット後の状態

リセット後のSFRの状態はリセットの種類によって変わります。「4. SFR」の「リセット後の値」を参照してください。表 6.7 に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態、図 6.2 にリセット後のCPUレジスタの状態、図 6.3 にリセットシーケンスを示します。

表 6.7 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態(注1)			
	シングルチップ モード (CNVSS=VSS)	マイクロプロセッサモード (CNVSS=VCC1、P5_5=H)		ブートモード (CNVSS=VCC1、 P5_5=L、P5_0=H)
		BYTE=VSS	BYTE=VCC1	
P0	入力ポート	データ入力	データ入力	入力ポート
P1	入力ポート	データ入力	入力ポート	入力ポート
P2, P3, P4_0~P4_3	入力ポート	アドレス出力(不定)	アドレス出力(不定)	入力ポート
P4_4	入力ポート	$\overline{\text{CS0}}$ 出力(“H”を出力)	$\overline{\text{CS0}}$ 出力(“H”を出力)	入力ポート
P4_5~P4_7	入力ポート	入力ポート(プルアップあり)	入力ポート(プルアップあり)	入力ポート
P5_0	入力ポート	$\overline{\text{WR}}$ 出力(“H”を出力)	$\overline{\text{WR}}$ 出力(“H”を出力)	$\overline{\text{CE}}$ 入力(注2)
P5_1	入力ポート	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)	入力ポート
P5_2	入力ポート	$\overline{\text{RD}}$ 出力(“H”を出力)	$\overline{\text{RD}}$ 出力(“H”を出力)	入力ポート
P5_3	入力ポート	BCLK出力	BCLK出力	入力ポート
P5_4	入力ポート	$\overline{\text{HLDA}}$ 出力(出力値は HOLD端子の入力に依存)	$\overline{\text{HLDA}}$ 出力(出力値は HOLD端子の入力に依存)	入力ポート
P5_5	入力ポート	HOLD入力(注2)	HOLD入力(注2)	$\overline{\text{EPM}}$ 入力(注3)
P5_6	入力ポート	ALE出力(“L”を出力)	ALE出力(“L”を出力)	入力ポート
P5_7	入力ポート	$\overline{\text{RDY}}$ 入力	$\overline{\text{RDY}}$ 入力	入力ポート
P6, P7, P8, P9, P10	入力ポート	入力ポート	入力ポート	入力ポート

注1. 電源投入後、内部電源電圧が安定してからの状態です。電源投入後、 $t_d(P-R)$ 経つまでは不定です。

注2. “H”を入力してください。

注3. “L”を入力してください。

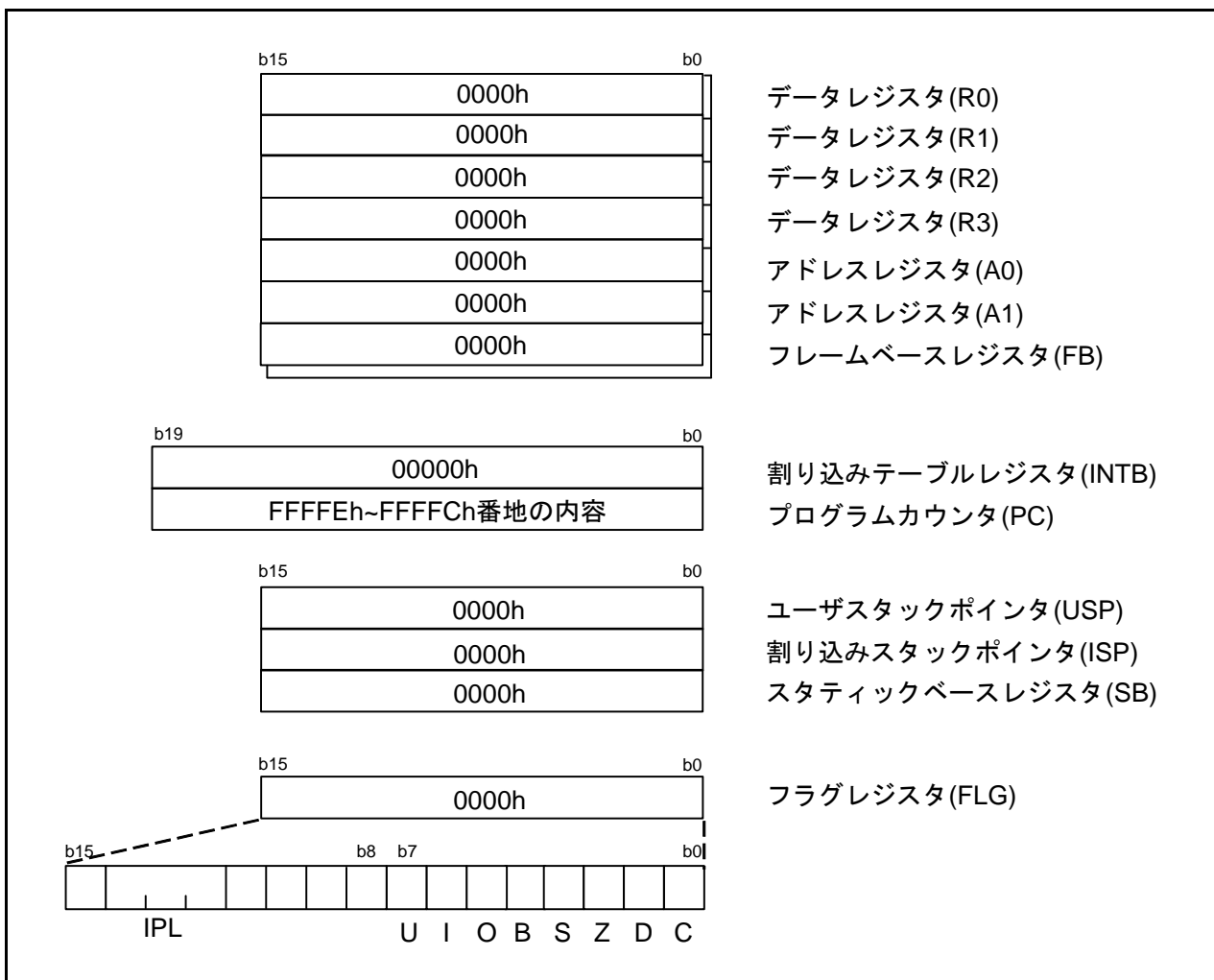


図 6.2 リセット後のCPUレジスタの状態

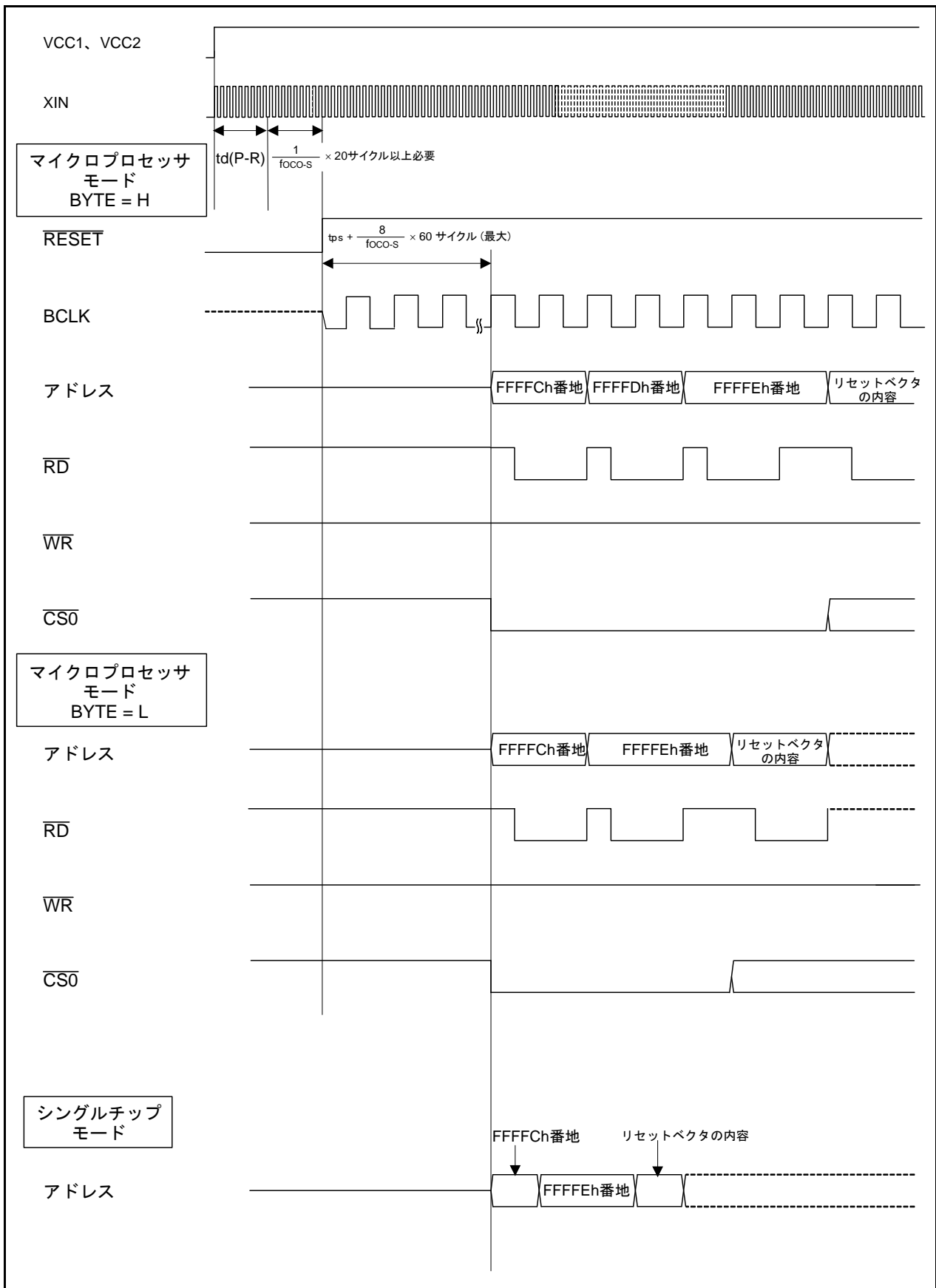


図 6.3 リセットシーケンス

6.4.2 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子、CPU、SFRが初期化されます。

$\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ハードウェアリセット後、RSTFRレジスタのHWRビットが“1”（ハードウェアリセット検出）になります。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへの書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

ハードウェアリセットを発生させる手順は次のとおりです。

電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) $t_w(\text{RSTL})$ 待つ
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) $\frac{1}{f_{\text{OCO-S}}} \times 20$ サイクル待つ
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

図 6.4 にリセット回路の例を示します。

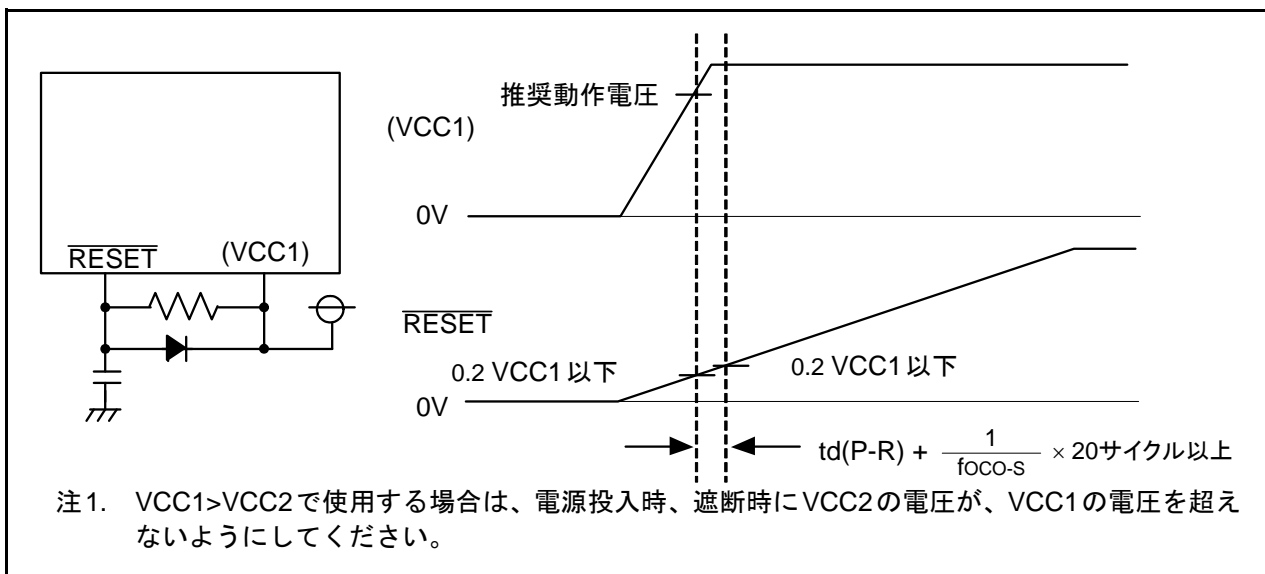


図 6.4 リセット回路の例

6.4.3 パワーオンリセット機能

パワーオンリセットは、VCC1がVdet0以上のシステムで使用できます。

抵抗を介して $\overline{\text{RESET}}$ 端子をVCC1に接続し、VCC1を立ち上がり傾き t_{rth} で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。

次にVCC1端子に入力する電圧がVdet0以上になると、fOCO-Sのカウントを開始します。fOCO-Sを32回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

パワーオンリセット後、RSTFRレジスタのCWRビットが“0”(コールドスタート)になります。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合は、OFS1番地のLVDSビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)、VDSSEL1ビットを“0”(Vdet0_2)にしてください。この場合、電圧監視0リセットが有効(VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”)になります。プログラムでこれらを無効にしないでください。

電圧監視0リセットの設定手順などは「7. 電圧検出回路」を参照してください。

図 6.5 にパワーオンリセット回路例と動作を示します。なお、 $\overline{\text{RESET}}$ 端子にコンデンサを接続する場合も、 $\overline{\text{RESET}}$ 端子の電圧は常に V_{IH} を満たしてください。

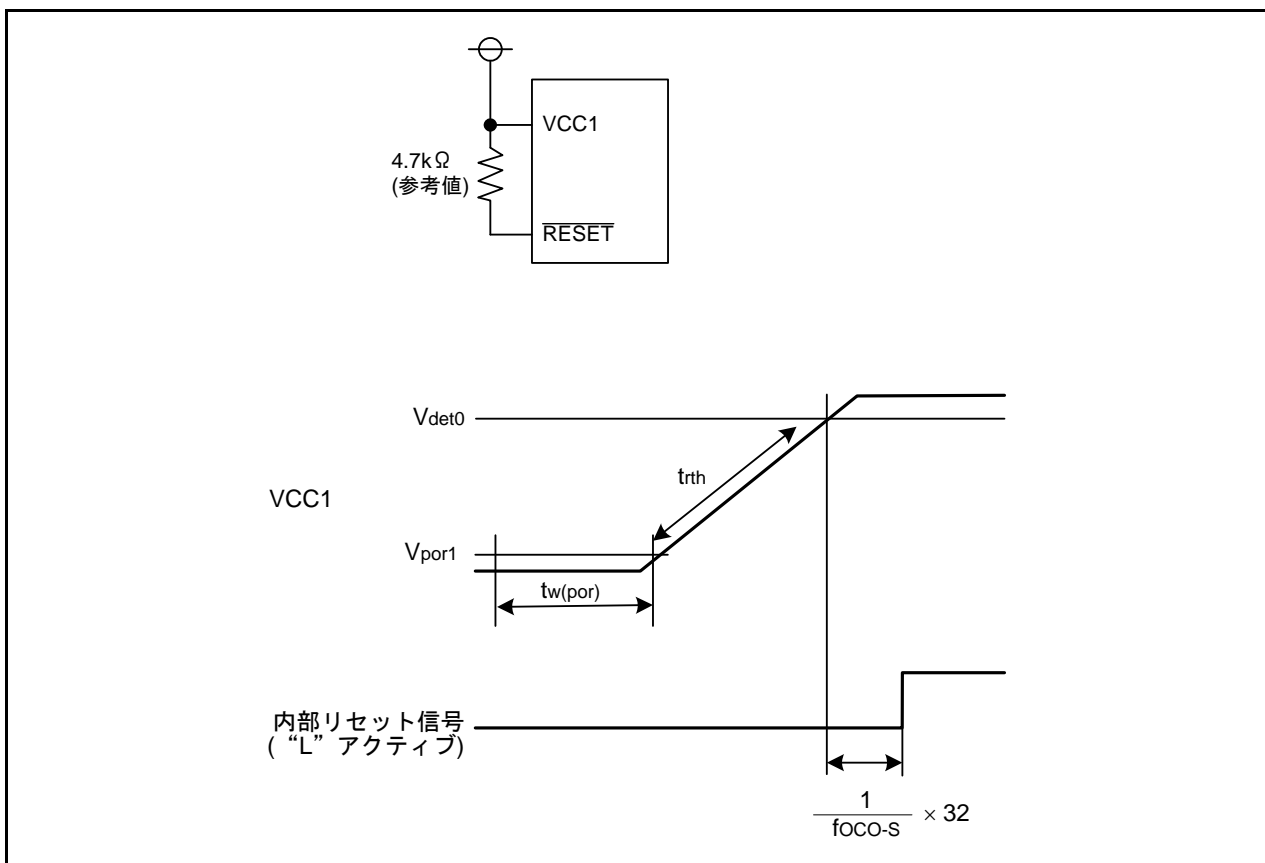


図 6.5 パワーオンリセット回路例と動作

6.4.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC1端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC1端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC1端子に入力する電圧がVdet0以上になると、fOCO-Sのカウントを開始します。fOCO-Sを32回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

電圧監視0リセット後、RSTFRレジスタのCWRビットが“0”(コールドスタート)になります。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC1端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.5 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC1端子に入力する電圧を監視します。監視する電圧はVdet1です。

VW1CレジスタのVW1C6ビットが“1”(Vdet1通過時に電圧監視1リセット)の場合、VCC1端子に入力する電圧がVdet1以下になると端子、CPU、SFRが初期化されます。CPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。tps + CPUクロックの60サイクル経つとリセットベクタで示される番地からプログラムを実行します。

電圧監視1リセット後RSTFRレジスタのLVD1Rビットが“1”(電圧監視1リセット検出)になります。電圧監視1リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。

電圧監視1リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.6 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC1端子に入力する電圧を監視します。監視する電圧はVdet2です。

VW2CレジスタのVW2C6ビットが“1”(Vdet2通過時に電圧監視2リセット)の場合、VCC1端子に入力する電圧がVdet2以下になると端子、CPU、SFRが初期化されます。CPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。tps + CPUクロックの60サイクル経つとリセットベクタで示される番地からプログラムを実行します。

電圧監視2リセット後RSTFRレジスタのLVD2Rビットが“1”(電圧監視2リセット検出)になります。電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。

電圧監視2リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.7 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。

発振停止検出リセット後RSTFRレジスタのOSDRビットが“1”(発振停止検出リセット検出)になります。発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。また、内部RAMへ書き込み中にメインクロック発振回路の停止を検出すると、内部RAMは不定となります。

発振停止検出リセットはハードウェアリセットまたは電圧監視0リセットで解除されます。

発振停止検出機能の詳細は「8.7 発振停止/再発振検出機能」を参照してください。

6.4.8 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセット後RSTFRレジスタのWDRビットが“1”(ウォッチドッグタイマリセット検出)になります。ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「15. ウォッチドッグタイマ」を参照してください。

6.4.9 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ソフトウェアリセット後RSTFRレジスタのSWRビットが“1”(ソフトウェアリセット検出)になります。ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

内部RAMは初期化されません。

6.4.10 コールド/ウォームスタート判定機能

VCC1がRAM保持電圧以下になったかどうかを検出する機能です。検出の基準になる電圧はVdet0です。このため、コールド/ウォームスタート判定機能は電圧監視0リセットを使用します。「7.4.2.1 電圧監視0リセット」に従って電圧監視0リセット関連ビットを設定してください。

RSTFRレジスタのCWRビットは、電源投入時“0”(コールドスタート)です。また、パワーオンリセットまたは電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”(ウォームスタート)を書くと“1”になり、ハードウェアリセット、電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセットでは変化しません。

コールド/ウォームスタート判定機能では、OFS1番地のVDSEL1ビットでVdet0レベルを選択できません。

- パワーオンリセットまたは電圧監視0リセットを使用する場合

VDSEL1ビットを“0”(Vdet0_2)にしてください

- ユーザシステムとしては、パワーオンリセットと電圧監視0リセットの両方とも必要ない場合

VDSEL1ビットは“0”または“1”を選択できます。

VDSEL1ビットが“1”(Vdet0_0)の場合、電圧監視0リセットとその解除の両方をVdet0_0基準で行いますので、電圧監視0リセット解除後、ハードウェアリセットしてください。

図 6.6にコールド/ウォームスタート判定機能の動作例を示します。

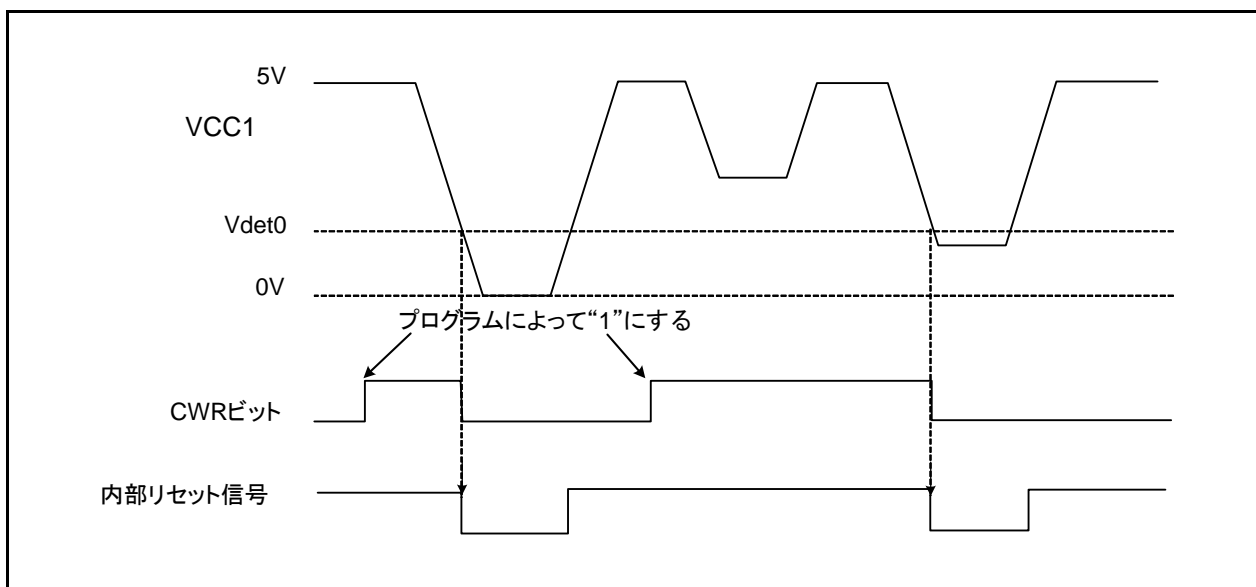


図 6.6 コールド/ウォームスタート判定機能の動作例

6.5 リセット使用上の注意事項

6.5.1 電源立ち上がり勾配

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源VCC1立ち上がり勾配(電圧範囲0V~2.0V)	0.05			V/ms
	電源VCC1立ち上がり勾配 (電圧範囲2.0V~VCC1)			5.5	V/ms

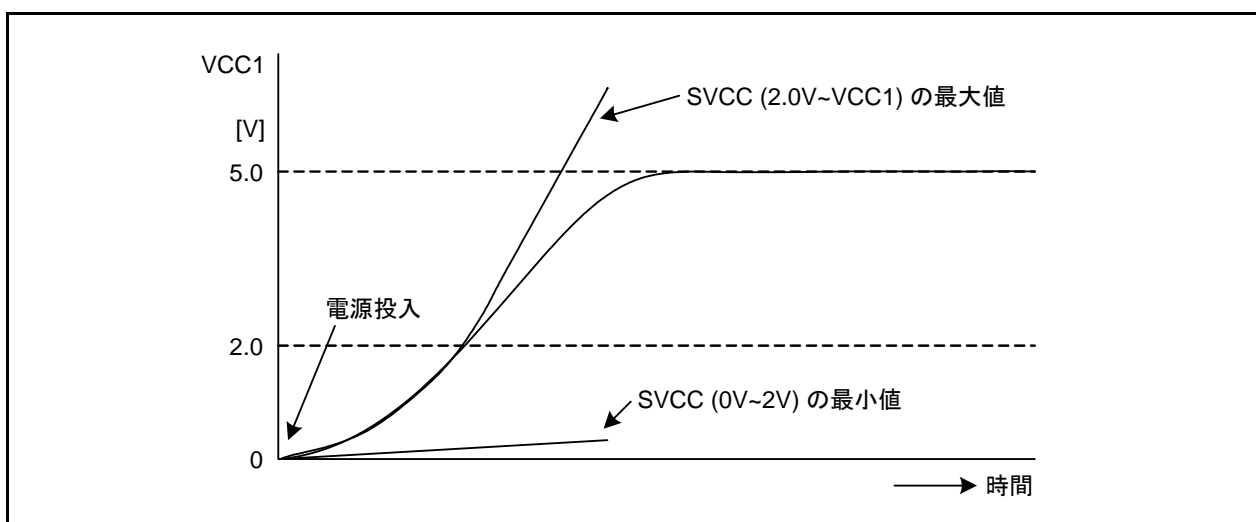


図 6.7 SVCCのタイミング例 ($3.6V < VCC1$)

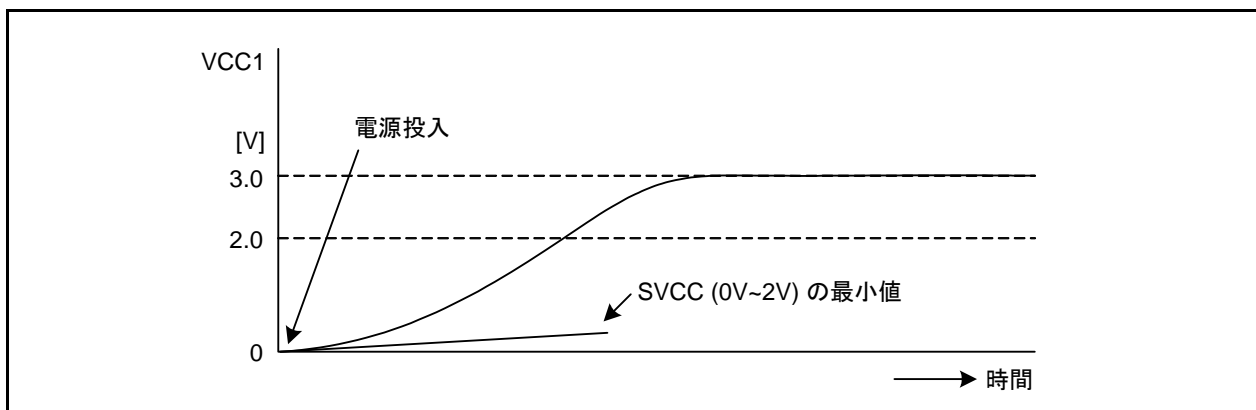


図 6.8 SVCCのタイミング例 ($VCC1 \leq 3.6V$)

6.5.2 パワーオンリセット

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合はOFS1番地のLYDASビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)、VDSEL1ビットを“0”(Vdet0_2)にしてください。この場合、電圧監視0リセットが有効(VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”)になります。プログラムでこれらが無効にしないでください。

6.5.3 OSDRビット (発振停止検出リセット検出フラグ)

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”(未検出)になります。

6.5.4 VCC1 < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”(ハードウェアリセット後、電圧監視0リセット有効)の場合でもVCC1 < Vdet0の状態、ハードウェアリセットすると、ハードウェアリセットの解除時に電圧監視0リセットは行われません。

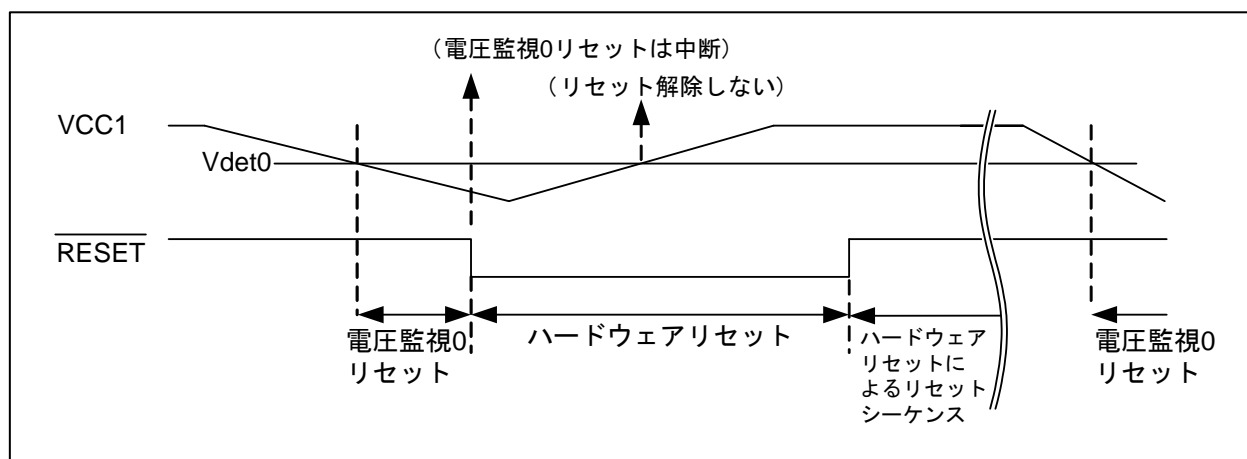


図 6.9 VCC1 < Vdet0の場合のハードウェアリセット

7. 電圧検出回路

7.1 概要

電圧検出回路はVCC1端子に入力する電圧を監視する回路です。VCC1入力電圧をプログラムで監視できます。また、電圧監視0リセット、電圧監視1割り込み、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表 7.1 に電圧検出回路の仕様を、図 7.1 に電圧検出回路ブロック図を示します。

表 7.1 電圧検出回路の仕様

項目		電圧検出0	電圧検出1	電圧検出2
VCC1監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFS1番地で2レベルから選択可能	VD1LSレジスタで3レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VCR1レジスタのVC13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCC1でリセット; VCC1 > Vdet0でCPU動作再開	電圧監視1リセット Vdet1 > VCC1でリセット; tps + fOCO-Sの8分周クロックの60サイクル後にCPU動作再開	電圧監視2リセット Vdet2 > VCC1でリセット; tps + fOCO-Sの8分周クロックの60サイクル後にCPU動作再開
	割り込み	なし	電圧監視1割り込み デジタルフィルタ有効時はVdet1 > VCC1、VCC1 > Vdet1の両方で割り込み要求; デジタルフィルタ無効時はVdet1 > VCC1、VCC1 > Vdet1のどちらかで割り込み要求	電圧監視2割り込み デジタルフィルタ有効時はVdet2 > VCC1、VCC1 > Vdet2の両方で割り込み要求; デジタルフィルタ無効時はVdet2 > VCC1、VCC1 > Vdet2のどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fOCO-Sのn分周)×3 n: 1、2、4、8	(fOCO-Sのn分周)×3 n: 1、2、4、8

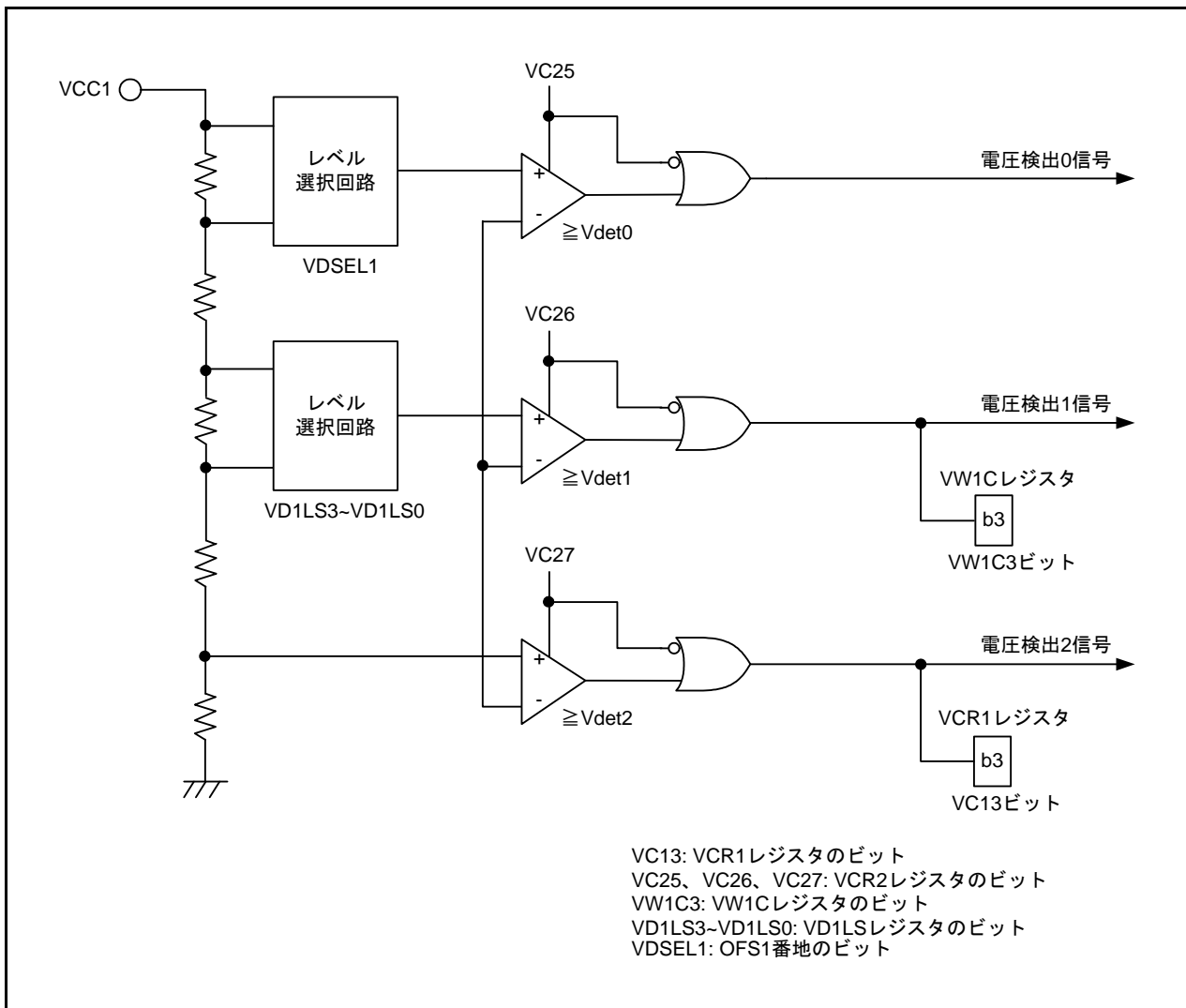


図 7.1 電圧検出回路ブロック図

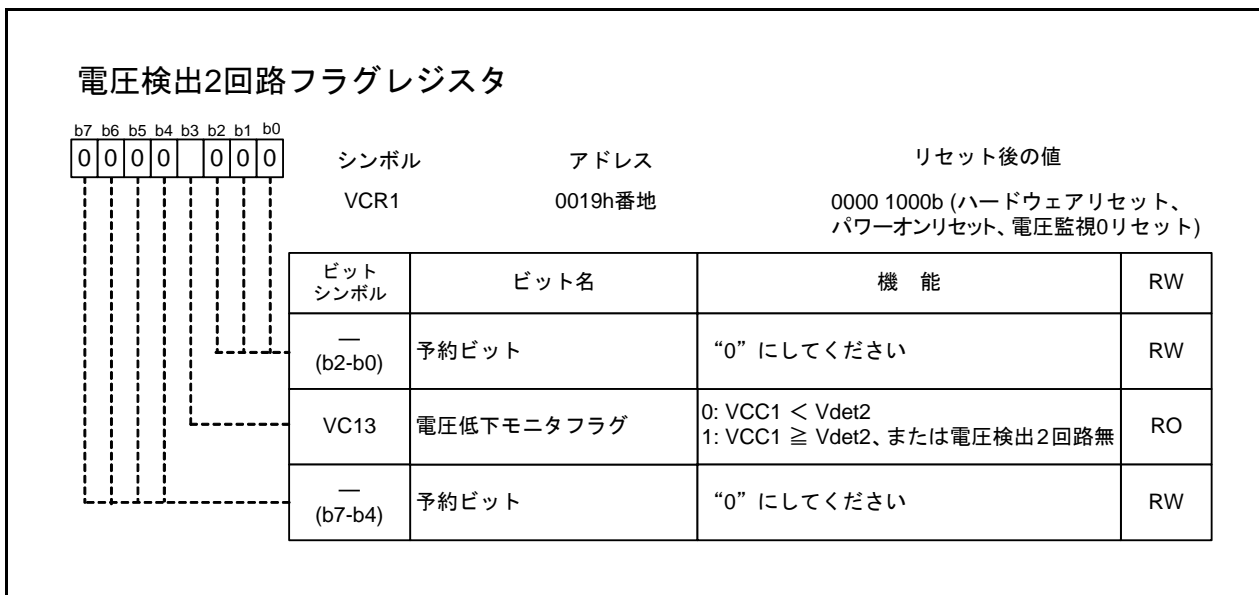
7.2 レジスタの説明

表 7.2 に電圧検出回路のレジスタを示します。リセット後の値は、ハードウェアリセットの場合です。詳細は各レジスタの説明を参照してください。

表 7.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b
001Ah	電圧検出回路動作許可レジスタ	VCR2	00h
0026h	電圧監視機能選択レジスタ	VWCE	00h
0028h	電圧検出1レベル選択レジスタ	VD1LS	0000 1010b
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 XX10b
002Bh	電圧監視1回路制御レジスタ	VW1C	1000 1010b
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b

7.2.1 電圧検出2回路フラグレジスタ (VCR1)



電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC13 (電圧低下モニタフラグ) (b3)

VWCEレジスタのVW12Eビットが“1”(電圧監視1、2回路有効)かつVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき、VC13ビットは有効です。

[“0”になる条件]

- VCC1 < Vdet2 (VW12Eビットが“1”かつVC27ビットが“1”の場合)

[“1”になる条件]

- VCC1 ≥ Vdet2 (VW12Eビットが“1”かつVC27ビットが“1”の場合)
- VCR2レジスタのVC27ビットが“0”(電圧検出2回路無効)

7.2.2 電圧検出回路動作許可レジスタ (VCR2)

電圧検出回路動作許可レジスタ																			
<table border="1" style="display: inline-table;"> <tr> <td>b7</td><td>b6</td><td>b5</td><td>b4</td><td>b3</td><td>b2</td><td>b1</td><td>b0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td> </tr> </table>	b7	b6	b5	b4	b3	b2	b1	b0	0	0	0	0	0	0	0	0	シンボル VCR2	アドレス 001Ah番地	リセット後の値 0000 0000b (注1) 0010 0000b (注2)
b7	b6	b5	b4	b3	b2	b1	b0												
0	0	0	0	0	0	0	0												
ビットシンボル	ビット名	機能	RW																
— (b4-b0)	予約ビット	“0” にしてください。	RW																
VC25	電圧検出0許可ビット	0: 電圧検出0回路無効 1: 電圧検出0回路有効	RW																
VC26	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	RW																
VC27	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	RW																

注1. OFS1番地のLVDASビットが“1”かつハードウェアリセット
 注2. 下記のいずれかのリセット後
 ・電圧監視0リセット
 ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
 ・パワーオンリセット

VCR2レジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。

VCR2レジスタの値は、電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC25 (電圧検出0許可ビット) (b5)

電圧監視0リセットを使用する場合、VC25ビットを“1” (電圧検出0回路有効)にしてください。VC25ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

VC26 (電圧検出1許可ビット) (b6)

VWCEレジスタのVW12Eビットが“1” (電圧監視1、2回路有効)、かつVC26ビットが“1” (電圧検出1回路有効)のとき、電圧検出1回路が有効になります。次のときVW12EビットとVC26ビットをともに“1”にしてください。

- 電圧監視1割り込み/リセットを使用する
- VW1CレジスタのVW1C2ビット、VW1C3ビットを使用する

VC26ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

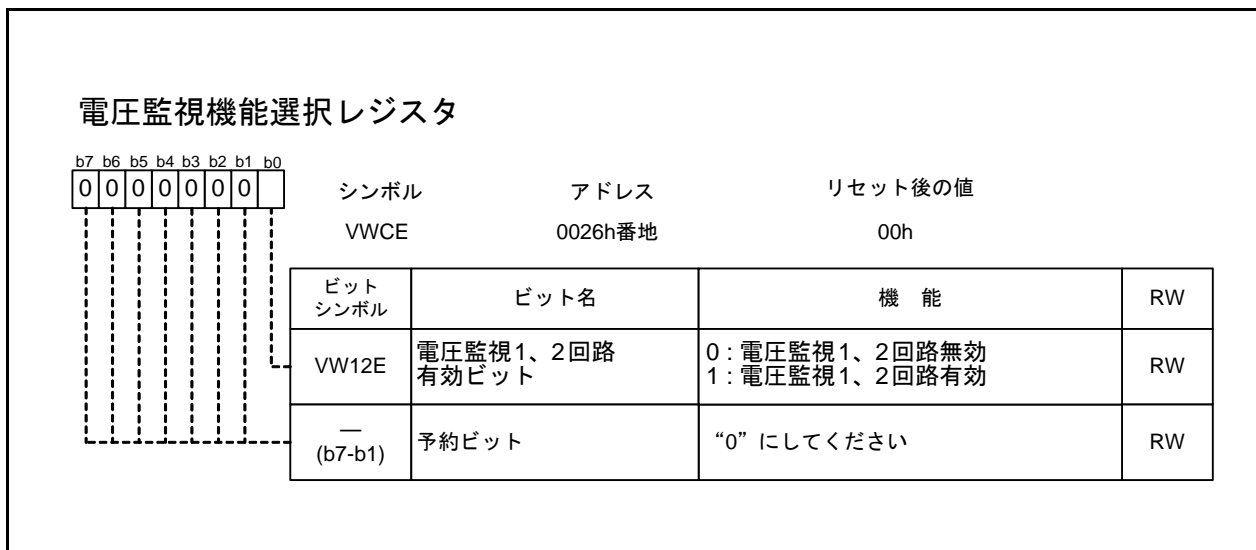
VC27 (電圧検出2許可ビット) (b7)

VWCEレジスタのVW12Eビットが“1” (電圧監視1、2回路有効)、かつVC27ビットが“1” (電圧検出2回路有効)のとき、電圧検出2回路が有効になります。次のときVW12EビットとVC27ビットをともに“1”にしてください。

- 電圧監視2割り込み/リセットを使用する
- VCR1レジスタのVC13ビットを使用する
- VW2CレジスタのVW2C2ビットを使用する

VC27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

7.2.3 電圧監視機能選択レジスタ (VWCE)

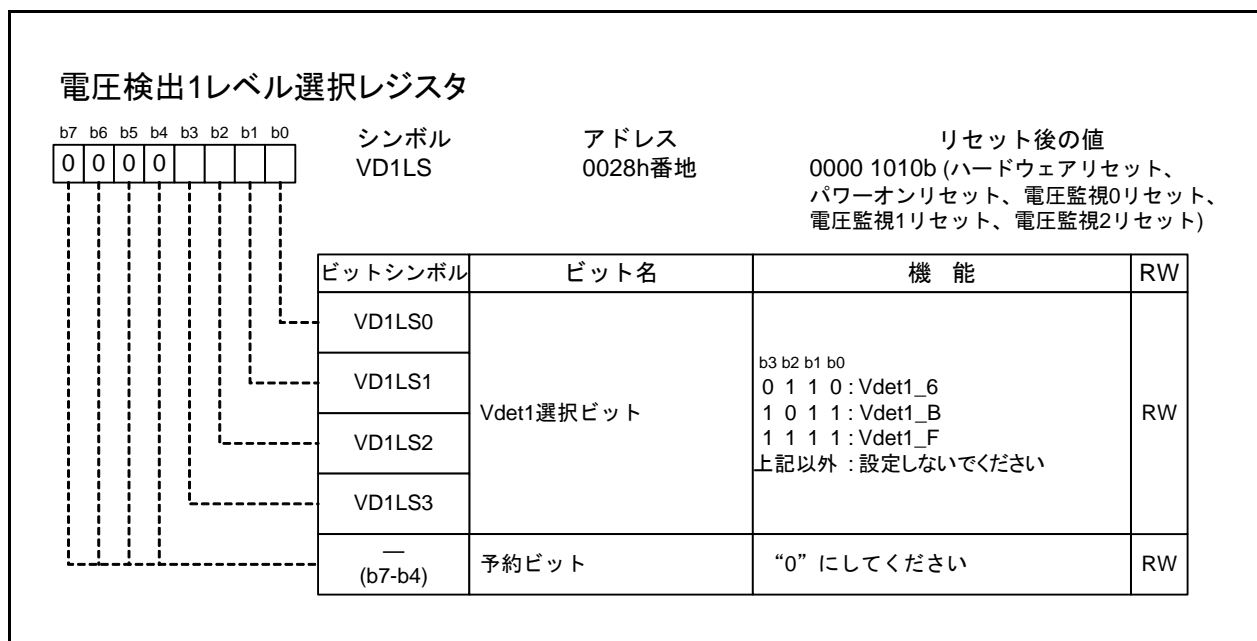


VWCEレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW12E (電圧監視1、2回路有効ビット) (b0)

VCR2レジスタのVC26ビットまたはVC27ビットまたは両方を“1”(有効)にする場合、VW12Eビットを“1”(有効)にしてください。

7.2.4 電圧検出1レベル選択レジスタ (VD1LS)



VD1LSレジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。また、VWCEレジスタのVW12Eビットが“1”のときに書き換えてください。

発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VD1LSレジスタの値は、VWCEレジスタのVW12Eビットの影響を受けます。表 7.3にVD1LSレジスタの値を示します。VD1LSレジスタに値を設定した後、VW12Eビットを“0”にし、再び“1”にすると以前設定した値に戻ります。

表 7.3 VD1LSレジスタの値

VW12Eビット	VD1LSレジスタの値
0	0000 1010b
1	VD1LSレジスタに設定した値 (VD1LSレジスタに何も設定していない場合は“0000 0111b”)

VD1LS3~VD1LS0 (Vdet1 選択ビット) (b3~b0)

電圧検出1回路を使用する場合、リセット後の値のままでは使用できません。上記VD1LSレジスタ図に示した値を設定してください。

電圧検出1回路を使用しない場合はリセット後の値のまま構いません。

7.2.5 電圧監視0回路制御レジスタ (VW0C)

電圧監視0回路制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
1	1	0	0	0	1		

シンボル
VW0C

アドレス
002Ah番地

リセット後の値
1000 XX10b (注1)
1100 XX11b (注2)

ビット シンボル	ビット名	機 能	RW
VW0C0	電圧監視0リセット許可 ビット	0: 禁止 1: 許可	RW
— (b1)	予約ビット	“1” にしてください。	RW
— (b2)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW
— (b3)	予約ビット	読んだ場合、その値は不定。	RO
— (b5-b4)	予約ビット	“0” にしてください。	RW
— (b7-b6)	予約ビット	“1” にしてください。	RW

注1. OFS1番地のLVDASビットが“1”かつハードウェアリセット
注2. 電圧監視0リセット、OFS1番地のLVDASビットが“0”かつハードウェアリセット、
パワーオンリセット

VW0C レジスタはPRCR レジスタのPRC3 ビットを“1” (書き込み許可)にした後で書き換えてください。

電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW0C0 (電圧監視0リセット許可ビット) (b0)

VW0C0 ビットはVCR2 レジスタのVC25 ビットが“1” (電圧検出0回路有効)のとき有効です。VC25 ビットが“0” (電圧検出0回路無効)のときは、VW0C0 ビットを“0” (禁止)にしてください。

ビット6

OFS1 番地のLVDAS ビットが“1”の場合、ハードウェアリセット後“0”になります。電圧監視0リセットを使用する場合は“1”にしてください。

7.2.6 電圧監視1回路制御レジスタ (VW1C)

電圧監視1回路制御レジスタ			
シンボル	アドレス	リセット後の値	
VW1C	002Bh番地	1000 1010b	
ビットシンボル	ビット名	機能	RW
VW1C0	電圧監視1割り込み／リセット許可ビット	0: 禁止 1: 許可	RW
VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW
VW1C2	電圧変化検出フラグ	0: 未検出 1: Vdet1通過検出	RW
VW1C3	電圧検出1信号モニタフラグ	0: VCC1 < Vdet1 1: VCC1 ≥ Vdet1または電圧検出1回路無効	RO
VW1F0	サンプリングクロック選択ビット	b5 b4	RW
VW1F1		0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	
VW1C6	電圧監視1回路モード選択ビット	0: Vdet1通過時に電圧監視1割り込み 1: Vdet1通過時に電圧監視1リセット	RW
VW1C7	電圧監視1割り込み／リセット発生条件選択ビット	0: VCC1がVdet1以上になるとき 1: VCC1がVdet1以下になるとき	RW

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1C2ビット、VW1C3ビットは電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

VW1C0 (電圧監視1割り込み/リセット許可ビット) (b0)

VW1C0ビットは、VWCEレジスタのVW12Eビットが“1”(電圧監視1、2回路有効)かつVCR2レジスタのVC26ビットが“1”(電圧検出1回路有効)のとき有効です。VC26ビットが“0”(電圧検出1回路無効)のときは、VW1C0ビットを“0”(禁止)にしてください。

VW1C1 (電圧監視1デジタルフィルタ無効モード選択ビット) (b1)

電圧監視1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合は、VW1C1ビットに“0”を書き込み後、“1”を書き込んでください。

VW1C2 (電圧変化検出フラグ) (b2)

VW1C2ビットはVCR2レジスタのVC26ビットが“1”(電圧検出1回路有効)のとき有効です。VW1C2ビットはプログラムで“1”を書いても変化しません。

[“0”になる条件]

- プログラムで“0”を書く

[“1”になる条件]

表 7.4 VW1C2ビットが“1”になる条件

ビット設定(注1)			VW1C2ビットが“1”になる条件
VW1C1	VW1C6	VW1C7	
0	0	0または1	VW1C3ビットが変化(“0”から“1”、“1”から“0”の両方)
	1	1	VW1C3ビットが“1”から“0”に変化
1	0	0	VW1C3ビットが“0”から“1”に変化
		1	VW1C3ビットが“1”から“0”に変化
	1	1	VW1C3ビットが“1”から“0”に変化

注1. 上記以外の組み合わせを設定しないでください。

VW1C3 (電圧検出1信号モニタフラグ) (b3)

VW1C3ビットは、VWCEレジスタのVW12Eビットが“1”(電圧監視1、2回路有効)かつVCR2レジスタのVC26ビットが“1”(電圧検出1回路有効)のとき有効です。

[“0”になる条件]

- $VCC1 < Vdet1$ (VW12Eビットが“1”かつVC26ビットが“1”の場合)

[“1”になる条件]

- $VCC1 \geq Vdet1$ (VW12Eビットが“1”かつVC26ビットが“1”の場合)
- VCR2レジスタのVC26ビットが“0”(電圧検出1回路無効)

なお、ハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセットの後は、VD1LSレジスタの値が変化するためVdet1の基準レベルが替わります。電圧検出1信号のレベルをモニタする場合は、VD1LSレジスタに値を再設定した後、VW1C3ビットを使用してください。

また、VWCEレジスタのVW12Eビットは、リセットで“0”になります。電圧検出1信号のレベルをモニタする場合は、VW12Eビットを再度“1”にしてください。

VW1C6 (電圧監視1回路モード選択ビット) (b6)

VW1C6ビットはVW1C0ビットが“1”(電圧監視1割り込み/リセット許可)のとき有効です。

VW1C7 (電圧監視1割り込み/リセット発生条件選択ビット) (b7)

VW1C6ビットが“0”(Vdet1通過時に電圧監視1割り込み)、かつVW1C1ビットが“1”(デジタルフィルタ無効)のとき、VW1C7ビットで電圧監視1割り込み/リセット発生条件が選択できます。

VW1C6ビットが“1”(Vdet1通過時に電圧監視1リセット)のとき、VW1C7ビットは“1”(Vdet1以下になるとき)にしてください(“0”にしないでください)。

VW1C1ビットが“0”(デジタルフィルタ有効)のとき、VW1C7ビットに関係なく、電圧監視1割り込みは、VCC1がVdet1以上になるとき、以下になるときの両方で発生します。

7.2.7 電圧監視2回路制御レジスタ (VW2C)

電圧監視2回路制御レジスタ				
		シンボル VW2C	アドレス 002Ch番地	リセット後の値 1000 0X10b
ビットシンボル	ビット名	機能	RW	
VW2C0	電圧監視2割り込み/ リセット許可ビット	0: 禁止 1: 許可	RW	
VW2C1	電圧監視2デジタルフィルタ 無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW	
VW2C2	電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	RW	
VW2C3	WDT検出フラグ	0: 未検出 1: ウォッチドッグタイマアンダフロー検出	RW	
VW2F0	サンプリングクロック選択 ビット	b5 b4	RW	
VW2F1		0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周		
VW2C6	電圧監視2回路モード選択 ビット	0: Vdet2通過時に電圧監視2割り込み 1: Vdet2通過時に電圧監視2リセット	RW	
VW2C7	電圧監視2割り込み/ リセット発生条件選択ビット	0: VCC1がVdet2以上になるとき 1: VCC1がVdet2以下になるとき	RW	

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2C3、VW2C2ビットは、電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2Cレジスタ(VW2C3ビットを除く)を書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

VW2C0 (電圧監視2割り込み/リセット許可ビット) (b0)

VW2C0ビットは、VWCEレジスタのVW12Eビットが“1”(電圧監視1、2回路有効)かつVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき有効です。VC27ビットが“0”(電圧検出2回路無効)のときは、VW2C0ビットを“0”(禁止)にしてください。

VW2C1 (電圧監視2デジタルフィルタ無効モード選択ビット) (b1)

電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合は、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。

VW2C2 (電圧変化検出フラグ) (b2)

VW2C2ビットはVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき有効です。VW2C2ビットはプログラムで“1”を書いても変化しません。

[“0”になる条件]

- プログラムで“0”を書く

[“1”になる条件]

表 7.5 VW2C2ビットが“1”になる条件

ビット設定(注1)			VW2C2ビットが“1”になる条件
VW2C1	VW2C6	VW2C7	
0	0	0または1	VC13ビットが変化(“0”から“1”、“1”から“0”の両方)
	1	1	VC13ビットが“1”から“0”に変化
1	0	0	VC13ビットが“0”から“1”に変化
		1	VC13ビットが“1”から“0”に変化
	1	1	VC13ビットが“1”から“0”に変化

VC13ビット: VCR1レジスタのビット

注1. 上記以外の組み合わせを設定しないでください。

VW2C6 (電圧監視2回路モード選択ビット) (b6)

VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効です。

VW2C7 (電圧監視2割り込み/リセット発生条件選択ビット) (b7)

VW2C6ビットが“0”(Vdet2通過時に電圧監視2割り込み)、かつVW2C1ビットが“1”(デジタルフィルタ無効)のとき、VW2C7ビットで電圧監視2割り込み/リセット発生条件が選択できます。

VW2C6ビットが“1”(Vdet2通過時に電圧監視2リセット)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

VW2C1ビットが“0”(デジタルフィルタ有効)のとき、VW2C7ビットに関係なく、電圧監視2割り込みは、VCC1がVdet2以上になるとき、以下になるときの両方で発生します。

7.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

なお、オプション機能選択領域を使用した選択は、シングルチップモードまたはメモリ拡張モードで使用できます。マイクロプロセッサモードではオプション機能選択領域を使用できません。マイクロプロセッサモードで使用する場合は、マイコン内部ROMを消去してから使用してください。

7.3.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地		シンボル	アドレス						
b7	b6	b5	b4	b3	b2	b1	b0	OFS1	FFFFh番地
		1				1			
ビットシンボル	ビット名		機能						
WDTON	ウォッチドッグタイマ起動選択ビット		0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態						
— (b1)	予約ビット		“1”にしてください						
ROMCR	ROMコードプロテクト解除ビット		0: ROMコードプロテクト解除 1: ROMCP1ビット有効						
ROMCP1	ROMコードプロテクトビット		0: ROMコードプロテクト有効 1: ROMコードプロテクト解除						
— (b4)	予約ビット		“1”にしてください						
VDSEL1	Vdet0選択ビット1		0: Vdet0_2 1: Vdet0_0						
LVDAS	電圧検出0回路起動ビット		0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効						
CSPROINI	リセット後カウントソース保護モード選択ビット		0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効						

VDSEL1 (Vdet0選択ビット1) (b5)

電圧検出0回路で使用するVdet0のレベルを選択できます。電圧検出0回路はVdet0を基準に動作します。パワーオンリセットまたは電圧監視0リセットを使用する場合は、VDSEL1ビットを“0”(Vdet0_2)にしてください。また、「6.4.10 コールド/ウォームスタート判定機能」を参照してください。VDSEL1ビットはシングルチップモードで有効です。ブートモードでは無効です。

LVDAS (電圧検出0回路起動ビット) (b6)

パワーオンリセットを使用する場合は、LVDASビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)にしてください。LVDASビットはシングルチップモードで有効です。ブートモードでは無効です。

7.4 動作説明

7.4.1 デジタルフィルタ

VCC1入力電圧の監視にデジタルフィルタを使用できます。電圧検出*i*回路 ($i=1\sim 2$)はVWiCレジスタのVWiC1ビットを“0”(デジタルフィルタ有効)にするとデジタルフィルタが有効になります。

サンプリングクロックはfOCO-Sの1、2、4、8分周から選択できます。デジタルフィルタを使用する場合、CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にしてください。

デジタルフィルタは、サンプリングクロックごとにVCC1入力電圧のレベルをサンプリングします。サンプリング時にレベルが2度続けて一致すると、次のサンプリングタイミングで、内部リセット信号が“L”になる、または電圧監視*i*割り込み要求が発生します。したがって、デジタルフィルタを使用するとVCC1入力電圧のレベルがVdet*i*を通過してから、リセットまたは割り込みが発生するまで、最大でサンプリングクロックの3サイクルかかります。

なお、ストップモードではfOCO-Sが停止しますので、デジタルフィルタが動作しません。ストップモードからの復帰に電圧検出*i*回路を使用する場合はVWiCレジスタのVWiC1ビットを“1”(デジタルフィルタ無効)にしてください。

図 7.2にデジタルフィルタの動作例を示します。

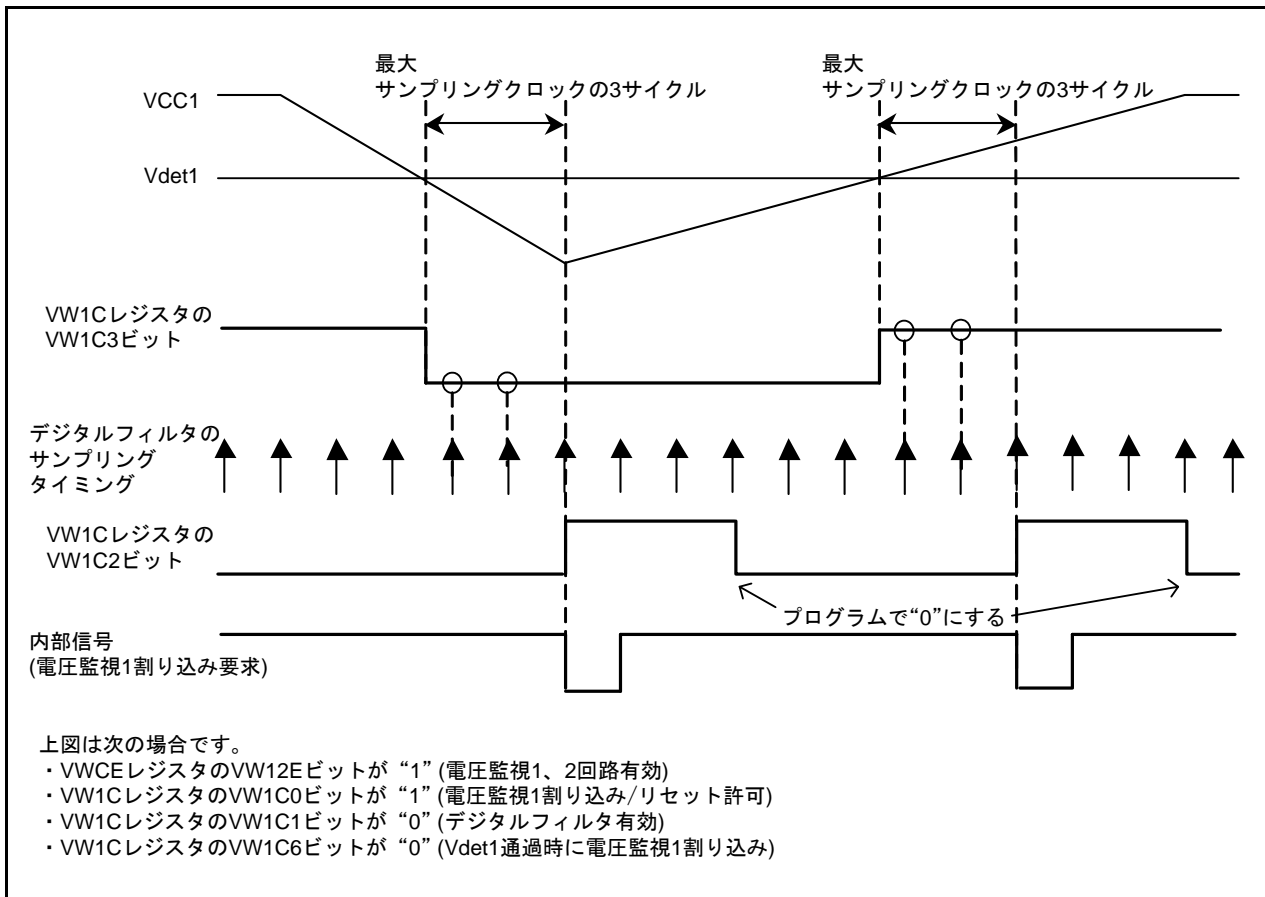


図 7.2 デジタルフィルタの動作例

7.4.2 電圧検出0回路

VCR2レジスタのVC25ビットが“1” (電圧検出0回路有効)のとき、VCC1端子に入力する電圧が上昇または下降してVdet0を通過したか監視します。Vdet0のレベルはOFS1番地のVDSEL1ビットで選択できます。

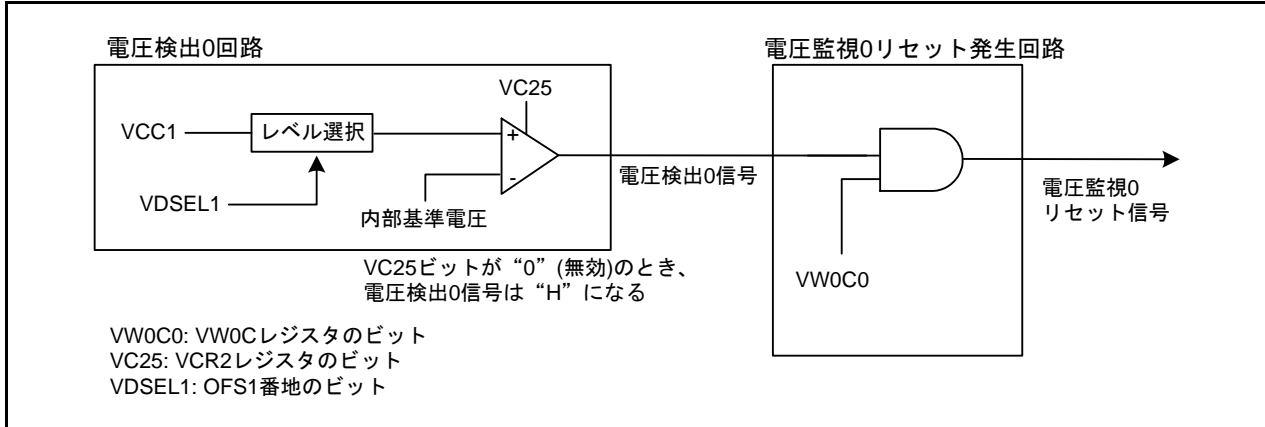


図 7.3 電圧監視0リセット発生回路のブロック図

7.4.2.1 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1番地のVDSEL1ビットを“0” (Vdet0_2)にしてください。

OFS1番地のLVDASビットが“1” (ハードウェアリセット後、電圧監視0リセット無効)の場合、表 7.6の手順で関連ビットを設定してください。OFS1番地のLVDASビットが“0” (ハードウェアリセット後、電圧監視0リセット有効)の場合、表 7.6の手順は必要ありません。

表 7.6 電圧監視0リセット関連ビットの設定手順

手順	処理
1	VCR2レジスタのVC25ビットを“1” (電圧検出0回路有効)にする
2	td(E-A)待つ
3	VW0CレジスタのVW0C0ビットを“1” (電圧監視0リセット許可)にする

電圧監視0リセットが発生するとRSTFRレジスタのCWRビットが“0” (コールドスタート)になります。リセット後の状態などは「6.4.4 電圧監視0リセット」を参照してください。

図 7.4に電圧監視0リセット動作例を示します。

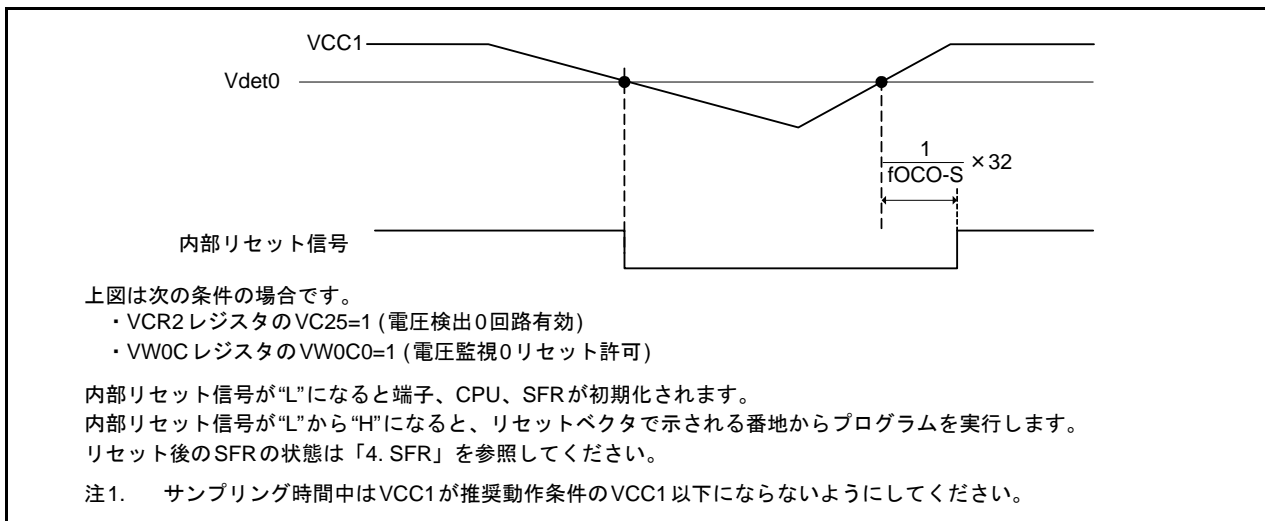


図 7.4 電圧監視0リセット動作例

7.4.3 電圧検出1回路

VWCEレジスタのVW12Eビットが“1”（電圧監視1、2回路有効）、かつVCR2レジスタのVC26ビットが“1”（電圧検出1回路有効）のとき、VCC1端子に入力する電圧が上昇または下降してVdet1を通過したか監視します。

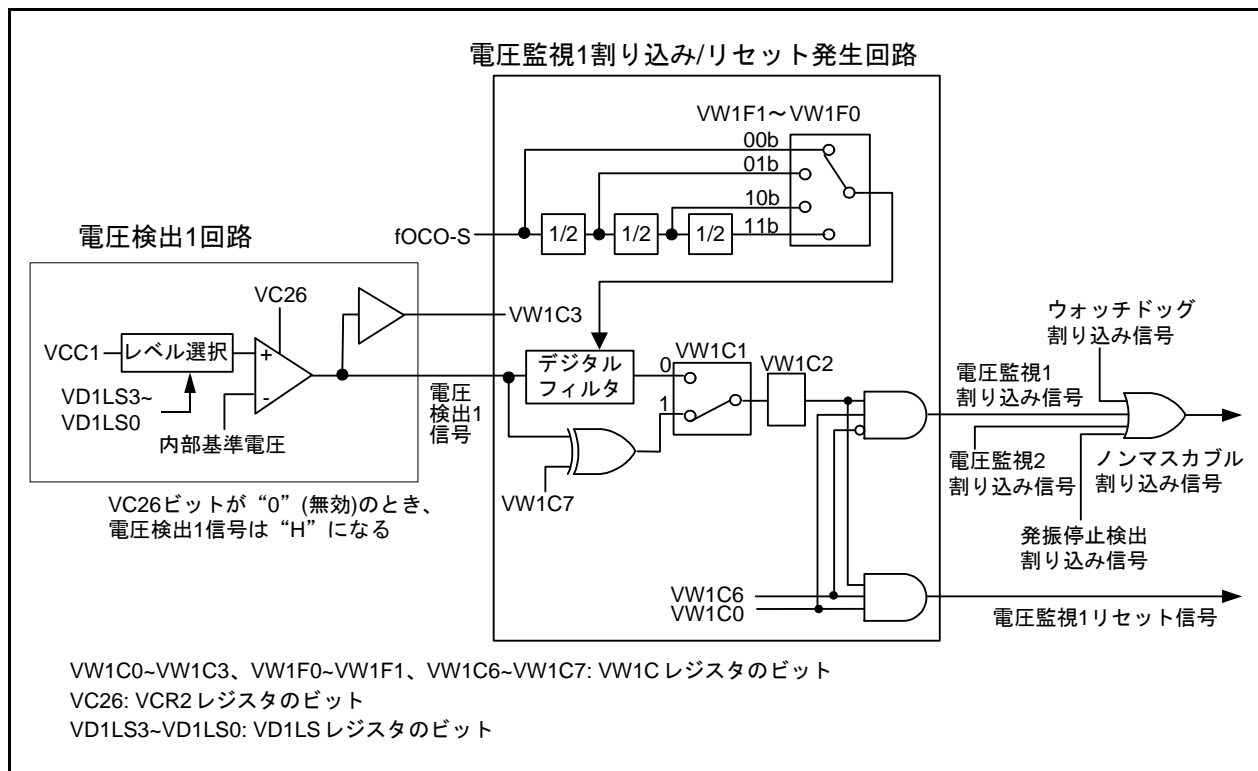


図 7.5 電圧監視1割り込み/リセット発生回路のブロック図

7.4.3.1 Vdet1のモニタ

VWCEレジスタのVW12Eビットを“1”（電圧監視1、2回路有効）にし、かつVCR2レジスタのVC26ビットを“1”（電圧検出1回路有効）にしてください。td(E-A)経過後、VW1CレジスタのVW1C3ビットでVdet1をモニタできます。

7.4.3.2 電圧監視1割り込み、電圧監視1リセット

表 7.7に電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順を示します。

表 7.7 電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1	VWCEレジスタのVW12Eビットを“1”(電圧監視1、2回路有効)にする			
2	VD1LSレジスタのVD1LS3~VD1LS0ビットでVdet1を選択する			
3	VCR2レジスタのVC26ビットを“1”(電圧検出1回路有効)にする			
4	td(E-A)待つ			
5	VW1CレジスタのVW1F0~VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW1CレジスタのVW1C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
6 (注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする		VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする	
7 (注2)	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込み)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセット)にする	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込み)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセット)にする
8	VW1CレジスタのVW1C2ビットを“0”(Vdet1通過未検出)にする			
9	CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にする		—	
10	デジタルフィルタのサンプリングクロックの3サイクル待つ		—(待ち時間なし)	
11	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み/リセット許可)にする			

注1. 電圧監視1リセットではVW1C7ビットを“1”(Vdet1以下になるとき)にしてください。

注2. VW1C0ビットが“0”のとき、手順5、6と7は同時に(1命令で)実行しても構いません

注3. 電圧監視1割り込み/リセットが無効(VW1CレジスタのVW1C0ビットが“0”、VCR2レジスタのVC26ビットが“0”)の状態から設定するとき、手順11の電圧監視1割り込み/リセットを許可するまでに $VCC1 < Vdet1$ (または $VCC1 > Vdet1$)を検出した場合は、割り込みは発生しません。手順9から手順11の間に $VCC1 < Vdet1$ (または $VCC1 > Vdet1$)を検出した場合は、VW1C2ビットが“1”になります。

手順9から手順11の間の検出結果を活かす場合、手順11のあとVW1C2ビットを読み、“1”の場合は検出したときに実行する処理を実施してください。

手順9から手順11の間の検出結果を無視してよい場合、手順11の後で、VW1C2ビットを“0”にしてください。

電圧監視1割り込みまたは電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

電圧監視1リセットが発生するとRSTFRレジスタのLVD1Rビットが“1”(電圧監視1リセット検出)になります。リセット後の状態などは「6.4.5 電圧監視1リセット」を参照してください。

図 7.6に電圧監視1割り込み、電圧監視1リセット動作例を示します。

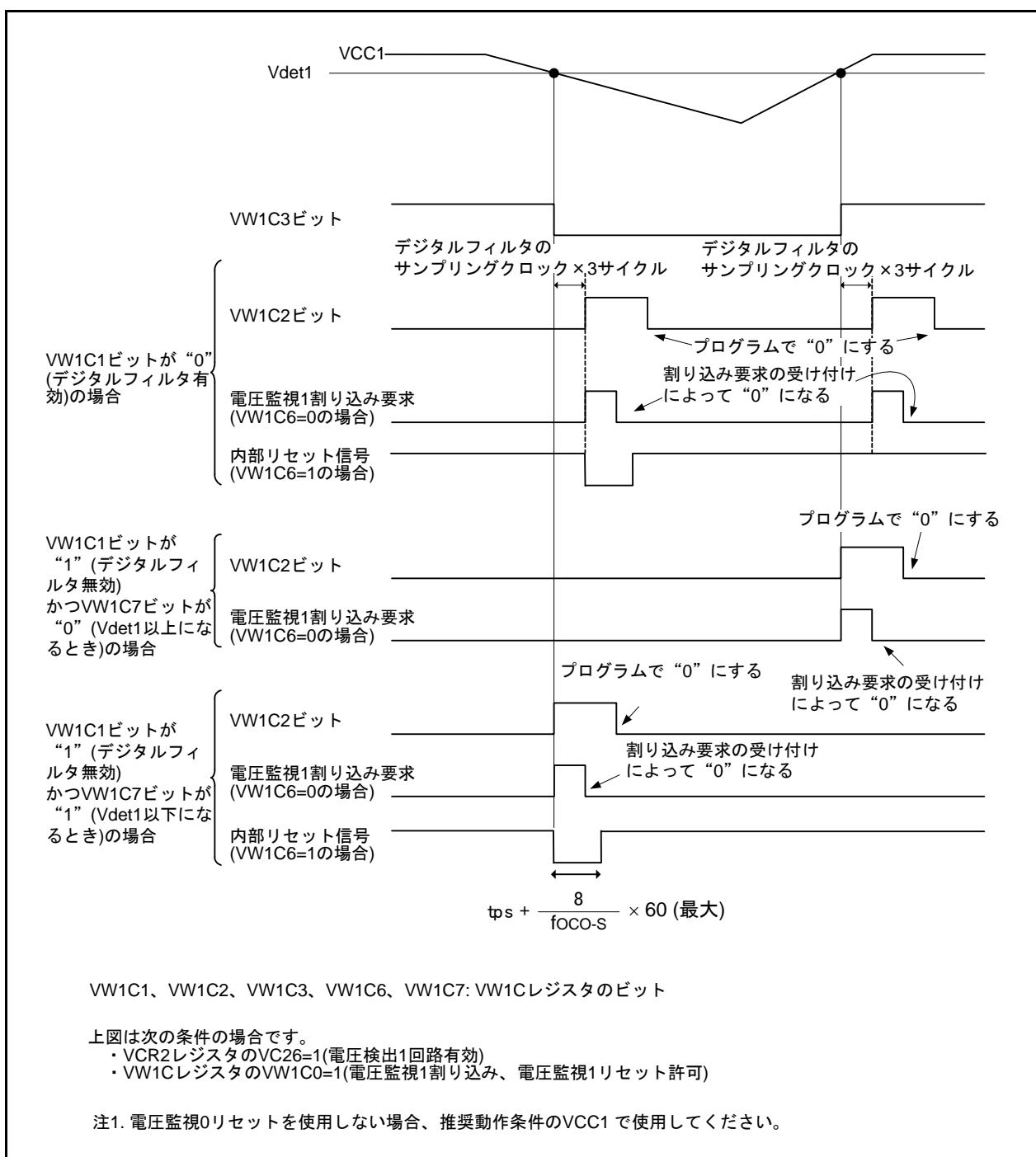


図 7.6 電圧監視1割り込み、電圧監視1リセット動作例

7.4.4 電圧検出2回路

VWCEレジスタのVW12Eビットが“1”（電圧監視1、2回路有効）、かつVCR2レジスタのVC27ビットが“1”（電圧検出2回路有効）のとき、VCC1端子の入力する電圧が上昇または下降してVdet2を通過したか監視します。

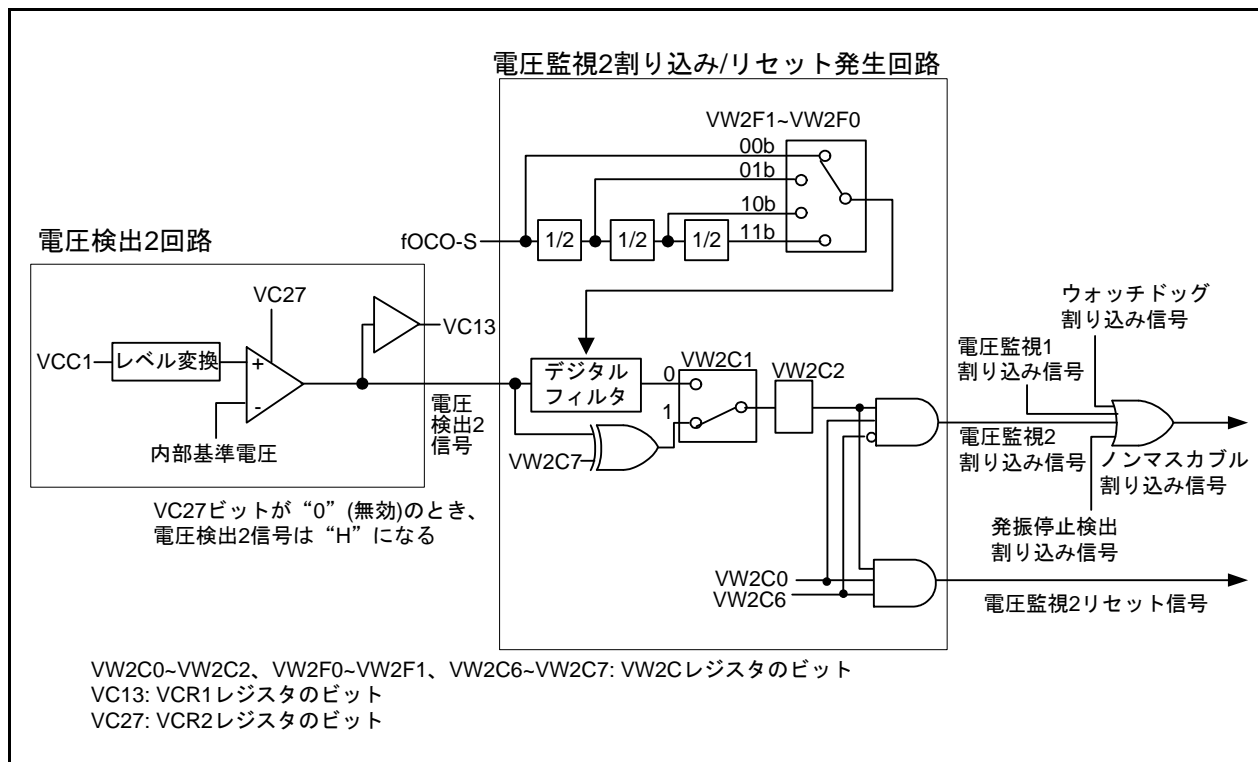


図 7.7 電圧監視2割り込み/リセット発生回路のブロック図

7.4.4.1 Vdet2のモニタ

VWCEレジスタのVW12Eビットを“1”（電圧監視1、2回路有効）にし、かつVCR2レジスタのVC27ビットを“1”（電圧検出2回路有効）にしてください。td(E-A)経過後、VCR1レジスタのVC13ビットでVdet2をモニタできます。

7.4.4.2 電圧監視2割り込み、電圧監視2リセット

表 7.8に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を示します。

表 7.8 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VWCEレジスタのVW12Eビットを“1”(電圧監視1、2回路有効)にする			
2	VCR2レジスタのVC27ビットを“1”(電圧検出2回路有効)にする			
3	td(E-A)待つ			
4	VW2CレジスタのVW2F0~VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
5 (注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
6 (注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込み)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセット)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込み)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセット)にする
7	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
8	CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にする		—	
9	デジタルフィルタのサンプリングクロックの3サイクル待つ		—(待ち時間なし)	
10	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順4、5と6は同時に(1命令で)実行しても構いません。

注3. 電圧監視2割り込み/リセットが無効(VW2CレジスタのVW2C0ビットが“0”、VCR2レジスタのVC27ビットが“0”)の状態から設定するとき、手順10の電圧監視2割り込み/リセットを許可するまでにVCC1 < Vdet2 (またはVCC1 > Vdet2)を検出した場合は、割り込みは発生しません。手順8から手順10の間にVCC1 < Vdet2 (またはVCC1 > Vdet2)を検出した場合は、VW2C2ビットが“1”になります。

手順8から手順10の間の検出結果を活かす場合、手順10のあとVW2C2ビットを読み、“1”の場合は検出したときに実行する処理を実施してください。

手順8から手順10の間の検出結果を無視してよい場合、手順10の後で、VW2C2ビットを“0”にしてください。

電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

電圧監視2リセットが発生するとRSTFRレジスタのLVD2Rビットが“1”(電圧監視2リセット検出)になります。リセット後の状態などは「6.4.6 電圧監視2リセット」を参照してください。

図 7.8に電圧監視2割り込み、電圧監視2リセット動作例を示します。

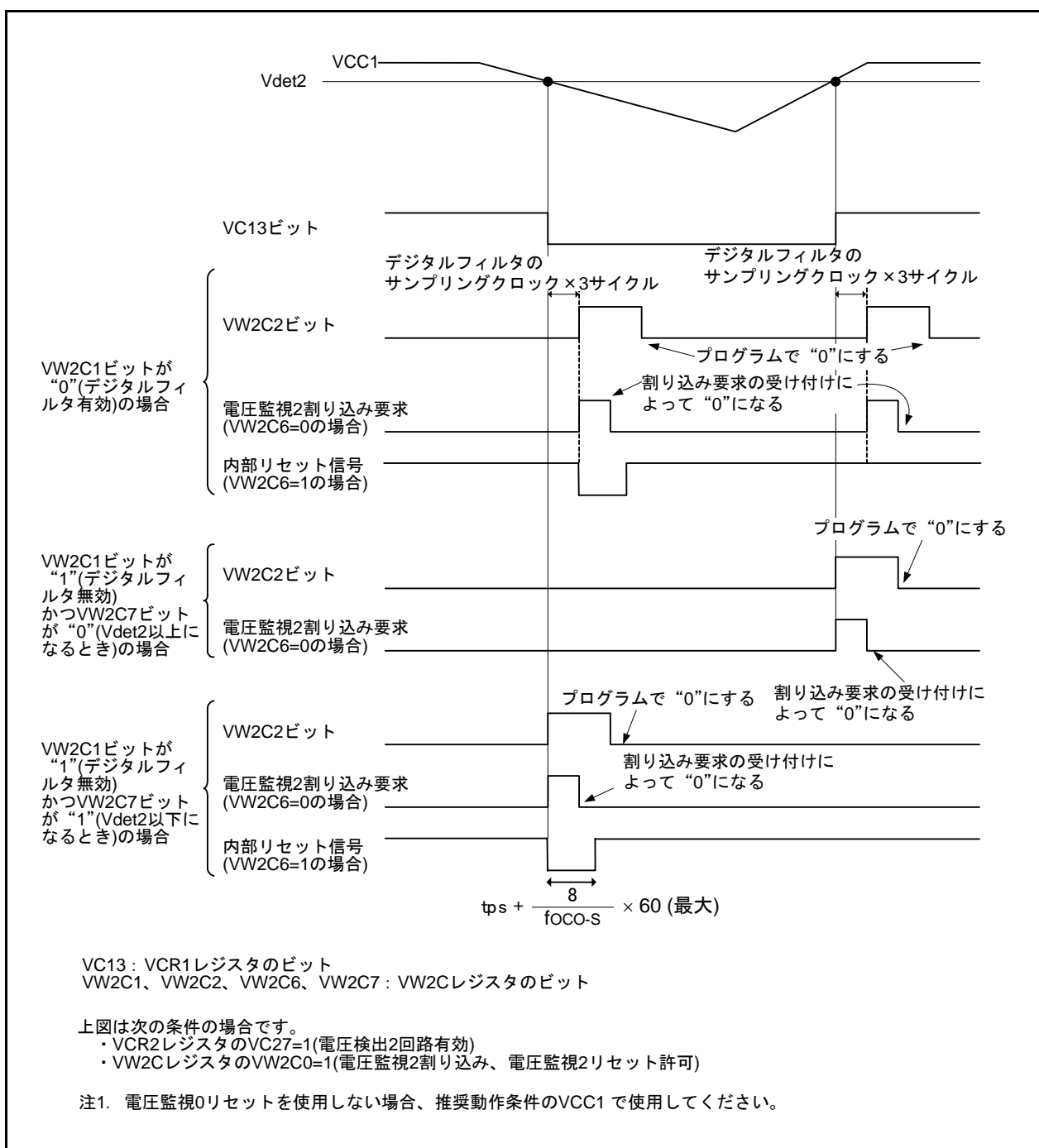


図 7.8 電圧監視2割り込み、電圧監視2リセット動作例

7.5 割り込み

電圧監視1割り込み、電圧監視2割り込みはノンマスクブル割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視1割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

電圧監視1の検出フラグは、VW1CレジスタのVW1C2ビットです。電圧監視2の検出フラグは、VW2CレジスタのVW2C2ビットです。VW1C2、VW2C2ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8. クロック発生回路

8.1 概要

CPUや周辺機能の動作クロックを発生する機能です。クロック発生回路として、次の回路があります。

- メインクロック発振回路
- PLL周波数シンセサイザ
- 125kHz オンチップオシレータ
- サブクロック発振回路

表 8.1 にクロック発生回路の仕様を示します。また、図 8.1 にシステムクロック発生回路のブロック図を示します。

表 8.1 クロック発生回路の仕様

項目	メインクロック 発振回路	PLL周波数 シンセサイザ	125kHz オンチップオシレータ	サブクロック 発振回路
用途	<ul style="list-style-type: none"> • CPUの クロック源 • 周辺機能の クロック源 	<ul style="list-style-type: none"> • CPUの クロック源 • 周辺機能の クロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • メインクロック発振停止時のCPU、周辺機能のクロック源 • CPUクロック停止時のウォッチドッグタイマのカウンタソース 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源
クロック周波数	f(XIN)	f(PLL)	fOCO-S	f(XCIN)
接続できる 発振子	<ul style="list-style-type: none"> • セラミック 共振子 • 水晶発振子 	-(注1)	-	水晶発振子
発振子の 接続端子	XIN、XOUT	-(注1)	-	XCIN、XCOUT
発振の開始、 停止機能	あり	あり	あり	あり
リセット後の 状態	発振	停止	発振	停止
その他	外部で生成 されたクロック を入力可能	-(注1)	-	外部で生成 されたクロック を入力可能

注1. PLL周波数シンセサイザは基準クロック源としてメインクロック発振回路を使用します。したがって、これらの項目はメインクロック発振回路に準じます。

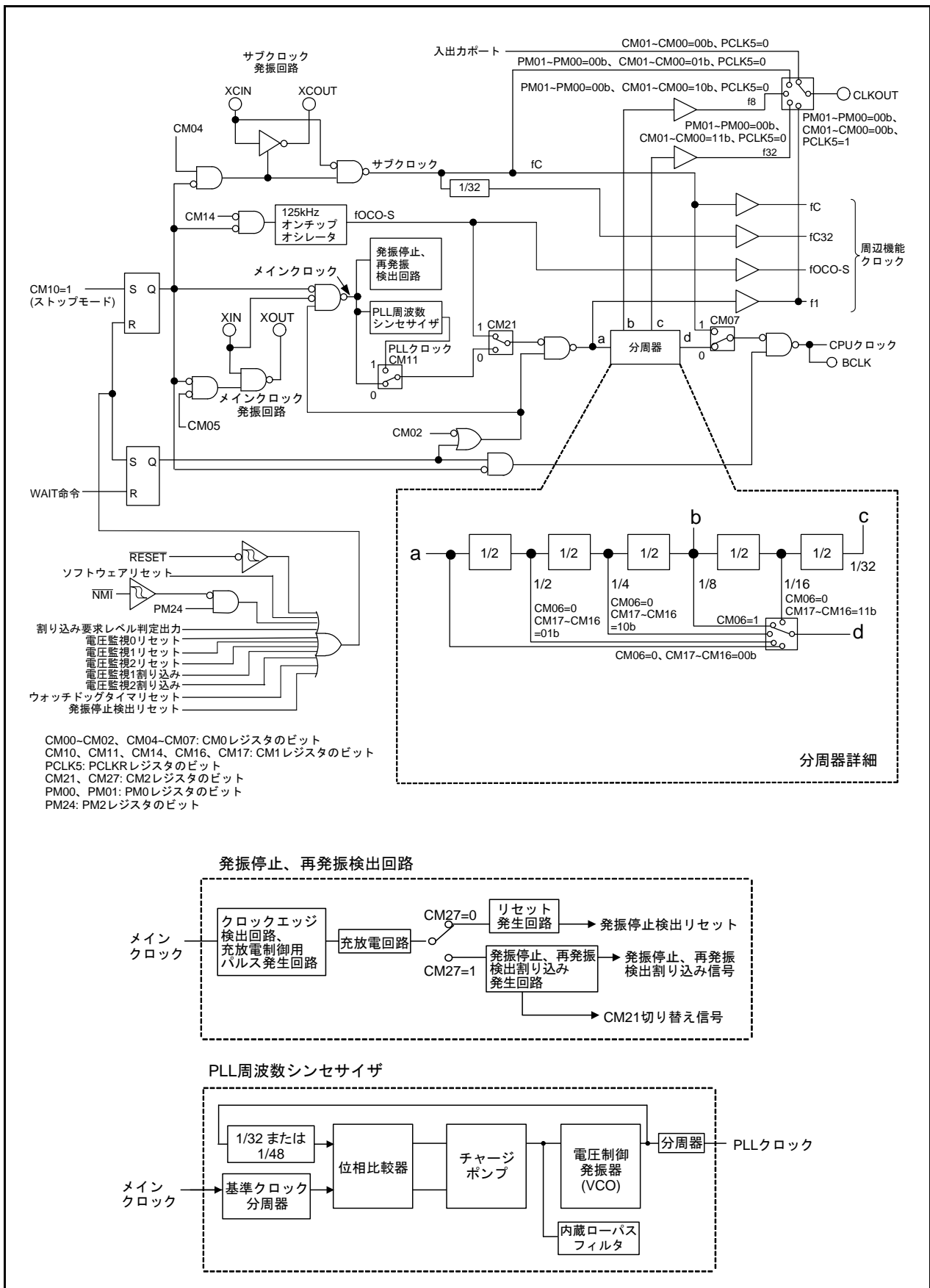


図 8.1 システムクロック発生回路

表 8.2 入出力端子

端子名	入出力	機能
XIN	入力	メインクロック発振回路を構成する
XOUT	出力	
XCIN	入力(注1)	サブクロック発振回路を構成する
XCOU	出力(注1)	
CLKOUT	出力	クロック出力 (シングルチップモード時)
BCLK	出力	BCLK出力 (メモリ拡張モード、マイクロプロセッサモード時)

注1. 端子を共用するポートの方向ビットは“0” (入力モード)にしてください。

8.2 レジスタの説明

表 8.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注1)
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b

注1. CM20、CM21、CM27ビットは発振停止検出リセットでは変化しません。

8.2.1 プロセッサモードレジスタ0 (PM0)

プロセッサモードレジスタ0			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
PM0	0004h番地	0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)	
ビットシンボル	ビット名	機能	RW
PM00	プロセッサモードビット	b1 b0 0 0: シングルチップモード 0 1: メモリ拡張モード	RW
PM01		1 0: 設定しないでください 1 1: マイクロプロセッサモード	RW
PM02	R/Wモード選択ビット	0: RD、BHE、WR 1: RD、WRH、WRL	RW
PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”	RW
PM04	マルチプレクスバス空間選択ビット	b5 b4 0 0: マルチプレクスバスを使用しない (CSの全空間はセパレートバス)	RW
PM05		0 1: CS2の空間に割り当てる 1 0: CS1の空間に割り当てる 1 1: CSの全空間に割り当てる	RW
PM06	ポートP4_0~P4_3機能選択ビット	0: アドレス出力 1: ポート機能 (アドレスは出力されません)	RW
PM07	BCLK出力禁止ビット	0: 出力する 1: 出力しない (端子はハイインピーダンスになります)	RW

PM0レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PM01~PM00ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

PM02、PM05~PM04、PM06、PM07ビットは、PM01~PM00ビットが“01b”(メモリ拡張モード)、または“11b”(マイクロプロセッサモード)のとき有効です。

PM07 (BCLK出力禁止ビット) (b7)

メモリ拡張モード時、マイクロプロセッサモード時に有効です。BCLK端子からCPUクロックと同一周波数のBCLK信号を出力できます。

8.2.2 システムクロック制御レジスタ 0 (CM0)

システムクロック制御レジスタ 0			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	CM0	0006h番地	0100 1000b
	ビットシンボル	ビット名	機能
	CM00	クロック出力機能選択ビット (シングルチップモード時のみ有効)	b1 b0 0 0: 入出力ポート 0 1: fCを出力 1 0: f8を出力 1 1: f32を出力
	CM01		
	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックf1停止しない 1: ウェイトモード時、周辺機能クロックf1停止する
	CM03	XCIN-XCOUT駆動能力選択ビット	0: Low 1: High
	CM04	ポートXC切り替えビット	0: 入出力ポート 1: XCIN-XCOUT発振機能
	CM05	メインクロック停止ビット	0: 発振 1: 停止
	CM06	メインクロック分周比選択ビット0	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード
	CM07	システムクロック選択ビット	0: メインクロック、PLLクロック またはオンチップオシレータクロック 1: サブクロック

CM0レジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM01~CM00 (クロック出力機能選択ビット) (b1~b0)

CLKOUT端子の出力を選択できます。シングルチップモード、かつPCLKRレジスタのPCLK5ビットが“0” (CM01~CM00ビットで選択)の場合に有効です。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。表 8.4にシングルチップモード時のCLKOUT端子の機能を示します。

表 8.4 シングルチップモード時のCLKOUT端子の機能

PCLKR レジスタ PCLK5 ビット	CM0 レジスタ		CLKOUT 端子の出力
	CM01 ビット	CM00 ビット	
0	0	0	入出力ポート
0	0	1	fCを出力
0	1	0	f8を出力
0	1	1	f32を出力
1	0	0	f1を出力

上記以外の組み合わせを設定しないでください。

CM02 (ウェイトモード時周辺機能クロック停止ビット) (b2)

ウェイトモード時に周辺機能クロックの f_1 を停止させる機能です。周辺機能クロックの f_C 、 f_{C32} 、 f_{OCO-S} は CM02 ビットの影響を受けません。

PM2 レジスタの PM21 ビットが“1” (クロック変更禁止) の場合、CM02 ビットに書いても変化しません。

CM03 (XCIN-XCOUT 駆動能力選択ビット) (b3)

サブクロックの発振が安定しているとき、駆動能力を Low にすると、消費電力が少なくなります。

CM04 ビットが“0” (P8_6、P8_7 は入出力ポート) の間、またはストップモードへ遷移したとき、CM03 ビットは“1” (High) になります。

CM04 (ポート XC 切り替えビット) (b4)

CM04 ビットが“0” (P8_6、P8_7 は入出力ポート) の間、CM03 ビットは“1” (High) になります。

CM05 (メインクロック停止ビット) (b5)

CM05 ビットはメインクロックを停止させるためのビットです。メインクロックを停止させるのは次の場合です。

- 低消費電力モードにする
- 125kHz オンチップオシレータ低消費電力モードにする

CM05 ビットはメインクロックが停止したかどうかの検出には使用できません。メインクロックの停止検出は「8.7 発振停止/再発振検出機能」を参照してください。

PM2 レジスタの PM21 ビットが“1” (クロック変更禁止) の場合、CM05 ビットに書いても変化しません。

CM06 (メインクロック分周比選択ビット 0) (b6)

次の条件のとき、CM06 ビットは“1” (8分周モード) になります。

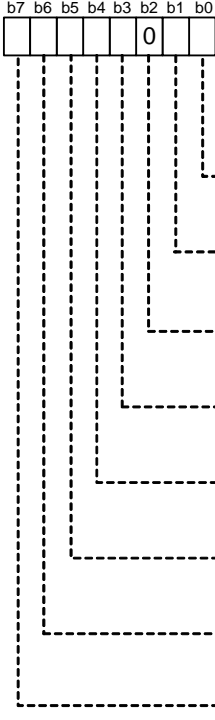
- ストップモードに遷移
- CM2 レジスタの CM21 ビットが“0” (メインクロックまたは PLL クロック) かつ CM05 ビットが“1” (メインクロック停止) のとき

CM07 (システムクロック選択ビット) (b7)

CPU クロック源と周辺機能クロック f_1 は、CM07 ビット、CM1 レジスタの CM11 ビット、CM2 レジスタの CM21 ビットの組み合わせで決まります。CM07 ビットが“0” (CPU クロック源はメインクロック、PLL クロックまたはオンチップオシレータクロック) の場合、CM11 ビットと CM21 ビットの組み合わせで CPU クロック源と周辺機能クロック f_1 が選択できます。CM07 ビットが“1” (CPU クロック源はサブクロック) の場合、CPU クロック源は f_C で、CM11 ビットと CM21 ビットの組み合わせで周辺機能クロック f_1 が選択できます。

PM21 ビットを“1” (クロック変更禁止) にする場合、CM07 ビットを“0” (メインクロック) にした後で、PM21 ビットを“1” にしてください。PM21 ビットが“1” の場合、CM07 ビットに書いても変化しません。

8.2.3 システムクロック制御レジスタ1 (CM1)

システムクロック制御レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル CM1	アドレス 0007h番地	リセット後の値 0010 0000b
	ビット シンボル	ビット名	機 能
	CM10	全クロック停止制御ビット	0: クロック発振 1: 全クロック停止(ストップモード)
	CM11	システムクロック選択ビット1	0: メインクロック 1: PLLクロック
	— (b2)	予約ビット	“0” にしてください
	CM13	XIN-XOUT帰還抵抗 選択ビット	0: 内蔵帰還抵抗接続 1: 内蔵帰還抵抗未接続
	CM14	125 kHzオンチップオシレータ 発振停止ビット	0: 125 kHzオンチップオシレータ発振 1: 125 kHzオンチップオシレータ停止
	CM15	XIN-XOUT駆動能力選択ビット	0: Low 1: High
	CM16	メインクロック分周比 選択ビット1	b7 b6 0 0: 分周なしモード 0 1: 2分周モード 1 0: 4分周モード 1 1: 16分周モード
	CM17		
			RW

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM10 (全クロック停止制御ビット) (b0)

CM11ビットが“1”(PLLクロック)、またはCM2レジスタのCM20ビットが“1”(発振停止/再発振検出機能有効)の場合、CM10ビットを“1”にしないでください。

次の場合、CM10ビットに書いても変化しません(ストップモードになりません)。

- PM2レジスタのPM21ビットが“1”(クロック変更禁止)
- CSPRレジスタのCSPROビットが“1”(ウォッチドッグタイマのカウントソース保護モード有効)
- PLC0レジスタのPLC07ビットが“1”(PLL動作)
- $\overline{\text{NMI}}$ 端子に“L”を入力

CM11 (システムクロック選択ビット1) (b1)

CM11ビットはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)のとき有効です。

CM07ビットが“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)の場合、CM11ビットでCPUクロック源と周辺機能クロック f1 が選択できます。CM07ビットが“1”(CPUクロック源はサブクロック)の場合、CM11ビットで周辺機能クロック f1 が選択できます。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM11ビットに書いても変化しません。

CM13 (XIN-XOUT 帰還抵抗選択ビット) (b3)

CM13 ビットは、メインクロックをまったく使用しない場合、または XIN 端子に外部で生成したクロックを供給する場合に使用できます。XIN-XOUT 端子間にセラミック共振子または水晶発振子を接続する場合は、CM13 ビットを“0” (内蔵帰還抵抗接続) にしてください (CM13 ビットを“1”にしないでください)。

CM10 ビットが“1” (ストップモード) のときは、CM13 ビットの値に関わらず帰還抵抗は未接続になります。

CM14 (125kHz オンチップオシレータ発振停止ビット) (b4)

CM14 ビットは、CM21 ビットが“0” (メインクロックまたは PLL クロック) のとき、“1” (125kHz オンチップオシレータ停止) にできます。CM21 ビットを“1” (オンチップオシレータクロック) にすると、CM14 ビットは“0” (125kHz オンチップオシレータ発振) になり、“1” を書いても変化しません (125kHz オンチップオシレータは停止しません)。

CSPR レジスタの CSPRO ビットが“1” (ウォッチドッグタイマのカウントソース保護モード有効) のとき、CM14 ビットは“0” (125kHz オンチップオシレータ発振) になり、“1” を書いても変化しません (125kHz オンチップオシレータは停止しません)。

CM15 (XIN-XOUT 駆動能力選択ビット) (b5)

次の条件のとき、CM15 ビットが“1” (駆動能力 High) に固定されます。

- ストップモードに遷移
- CM2 レジスタの CM21 ビットを“0” (メインクロックまたは PLL クロック) かつ CM0 レジスタの CM05 ビットを“1” (メインクロック停止) にしたとき

CM17~CM16 (メインクロック分周比選択ビット 1) (b7~b6)

CM06 ビットが“0” (CM17~CM16 ビット有効) の場合に有効です。

8.2.4 発振停止検出レジスタ (CM2)

発振停止検出レジスタ			
ビットシンボル	ビット名	機能	RW
CM20	発振停止/再発振検出許可ビット	0: 発振停止/再発振検出機能無効 1: 発振停止/再発振検出機能有効	RW
CM21	システムクロック選択ビット2	0: メインクロックまたはPLLクロック 1: オンチップオシレータクロック	RW
CM22	発振停止/再発振検出フラグ	0: メインクロック停止/再発振を未検出 1: メインクロック停止/再発振を検出	RW
CM23	XINモニタフラグ	0: メインクロック発振 1: メインクロック停止	RO
— (b5-b4)	予約ビット	“0” にしてください	RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CM27	発振停止/再発振検出時の動作選択ビット	0: 発振停止検出リセット 1: 発振停止/再発振検出割り込み	RW

CM2レジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。CM20、CM21、CM27ビットは、発振停止検出リセット時は変化しません。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM20 (発振停止/再発振検出許可ビット) (b0)

ストップモードへ遷移する場合、CM20ビットを“0”（発振停止/再発振検出機能無効）にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”（有効）にしてください。

PM2レジスタのPM21ビットが“1”（クロック変更禁止）の場合、CM20ビットに書いても変化しません。

CM21 (システムクロック選択ビット2) (b1)

CM07ビットが“0”（CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック）の場合、CM21ビットでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”（CPUクロック源はサブクロック）の場合、CM21ビットで周辺機能クロックf1が選択できます。

CM20ビットが“1”（発振停止/再発振検出機能有効）で、かつCM23ビットが“1”（メインクロック停止）のとき、CM21ビットを“0”（メインクロックまたはPLLクロック）にしないでください。

CM20ビットが“1”（発振停止/再発振検出機能有効）、CM27ビットが“1”（発振停止/再発振検出割り込み）、かつCPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”（オンチップオシレータクロック）になります。詳細は「8.7 発振停止/再発振検出機能」を参照してください。

CM22 (発振停止/再発振検出フラグ) (b2)

["0"になる条件]

- プログラムで“0”を書く

["1"になる条件]

- メインクロック停止検出
- メインクロック再発振検出
(プログラムで“1”を書いても変化しない)

CM22ビットが“0”から“1”に変化すると発振停止/再発振検出割り込み要求が発生します。割り込みルーチンで発振停止/再発振検出割り込みと他の割り込みとの要因判別のために使用してください。

CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止/再発振検出割り込みは発生しません。また、発振停止/再発振検出割り込み要求が受け付けられても、“0”になりません。

CM23 (XIN モニタフラグ) (b3)

発振停止/再発振検出割り込みルーチンで、CM23 ビットを数回読むことによりメインクロックの状態を判定してください。

8.2.5 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ		シンボル	アドレス	リセット後の値
		PCLKR	0012h番地	0000 0011b
ビットシンボル	ビット名	機能	RW	
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止タイマ、マルチマスタI ² C-busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW	
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~UART7、SI/O3、SI/O4のクロック源)	0 : f2SIO 1 : f1SIO	RW	
— (b4-b2)	予約ビット	“0”にしてください	RW	
PCLK5	クロック出力機能拡張ビット (シングルチップ時有効)	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW	
— (b7-b6)	予約ビット	“0”にしてください	RW	

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCLK5 (クロック出力機能拡張ビット) (b5)

シングルチップモード時有効です。CLKOUT端子の出力を選択できます。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。「表 8.4 シングルチップモード時のCLKOUT端子の機能」を参照してください。

8.2.6 PLL制御レジスタ0 (PLC0)

PLL制御レジスタ0																																												
ビット シンボル	シンボル PLC0	アドレス 001Ch番地	リセット後の値 0X01 X010b																																									
b7	<table border="1"> <thead> <tr> <th>ビット シンボル</th> <th>ビット名</th> <th>機能</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>PLC00</td> <td rowspan="5">PLL通倍率選択ビット</td> <td>b2 b1 b0 0 0 0: 設定しないでください</td> <td>RW</td> </tr> <tr> <td>PLC01</td> <td>0 0 1: 2通倍</td> <td>RW</td> </tr> <tr> <td rowspan="2">PLC02</td> <td>0 1 0: 4通倍</td> <td rowspan="2">設定しないでください</td> <td>RW</td> </tr> <tr> <td>0 1 1: 6通倍</td> </tr> <tr> <td></td> <td>1 0 0: 8通倍</td> </tr> <tr> <td></td> <td>1 0 1:]</td> </tr> <tr> <td>— (b3)</td> <td>予約ビット</td> <td>読んだ場合、その値は不定</td> <td>RO</td> </tr> <tr> <td>PLC04</td> <td rowspan="3">基準周波数カウンタ設定ビット</td> <td>b5 b4 0 0: 分周なし</td> <td>RW</td> </tr> <tr> <td rowspan="2">PLC05</td> <td>0 1: 2分周</td> <td>RW</td> </tr> <tr> <td>1 0: 4分周</td> </tr> <tr> <td></td> <td>1 1: 設定しないでください</td> </tr> <tr> <td>— (b6)</td> <td>何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。</td> <td></td> <td>—</td> </tr> <tr> <td>PLC07</td> <td>動作許可ビット</td> <td>0: PLL停止 1: PLL動作</td> <td>RW</td> </tr> </tbody> </table>	ビット シンボル	ビット名	機能	RW	PLC00	PLL通倍率選択ビット	b2 b1 b0 0 0 0: 設定しないでください	RW	PLC01	0 0 1: 2通倍	RW	PLC02	0 1 0: 4通倍	設定しないでください	RW	0 1 1: 6通倍		1 0 0: 8通倍		1 0 1:]	— (b3)	予約ビット	読んだ場合、その値は不定	RO	PLC04	基準周波数カウンタ設定ビット	b5 b4 0 0: 分周なし	RW	PLC05	0 1: 2分周	RW	1 0: 4分周		1 1: 設定しないでください	— (b6)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—	PLC07	動作許可ビット	0: PLL停止 1: PLL動作	RW	
ビット シンボル		ビット名	機能	RW																																								
PLC00		PLL通倍率選択ビット	b2 b1 b0 0 0 0: 設定しないでください	RW																																								
PLC01			0 0 1: 2通倍	RW																																								
PLC02			0 1 0: 4通倍	設定しないでください	RW																																							
			0 1 1: 6通倍																																									
			1 0 0: 8通倍																																									
		1 0 1:]																																										
— (b3)	予約ビット	読んだ場合、その値は不定	RO																																									
PLC04	基準周波数カウンタ設定ビット	b5 b4 0 0: 分周なし	RW																																									
PLC05		0 1: 2分周	RW																																									
		1 0: 4分周																																										
	1 1: 設定しないでください																																											
— (b6)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—																																									
PLC07	動作許可ビット	0: PLL停止 1: PLL動作	RW																																									

PLC0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLC02~PLC00 (PLL通倍率選択ビット) (b2~b0)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC02~PLC00ビットに書いても変化しません。

PLC05~PLC04 (基準周波数カウンタ設定ビット) (b5~b4)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC05~PLC04ビットに書いても変化しません。

PLC07 (動作許可ビット) (b7)

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC07ビットに書いても変化しません。

8.2.7 プロセッサモードレジスタ 2 (PM2)

プロセッサモードレジスタ 2			
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“1” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット	0: NMI割り込み禁止 1: NMI割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

PM2レジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PM21 (システムクロック保護ビット) (b1)

CPUクロックを保護するための機能です。（「8.6 システムクロック保護機能」参照）

PM21ビットを“1”にすると次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

PM21ビットが“1”のときは、WAIT命令を実行しないでください。

PM21ビットは、一度“1”にするとプログラムでは“0”にできません（“0”を書いても変化しません）。

PM25 (周辺機能クロックfC供給許可ビット) (b5)

リアルタイムクロック、CEC機能、リモコン信号受信機能にfC供給するビットです（「図 8.5 周辺機能クロック」参照）。

8.3 クロック発生回路で生成するクロック

クロック発生回路で生成するクロックを説明します。

8.3.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、メインクロックは動作していますが、CPUクロック源にはなっていません。

メインクロック発振回路はXIN-XOUT端子間にセラミック共振子または水晶発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図8.2にメインクロックの接続回路例を示します。

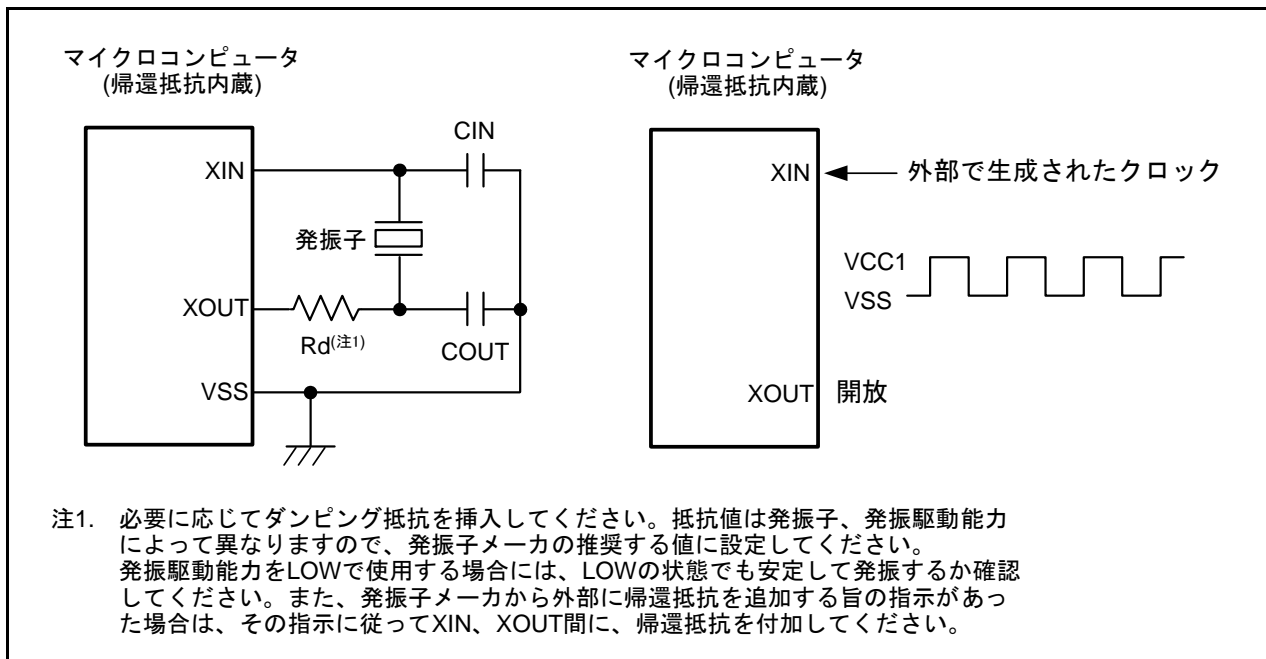


図 8.2 メインクロックの接続回路例

CPUクロックのクロック源をサブクロック (fC) またはオンチップオシレータクロック (fOCO-S) に切り替えた後、CM0レジスタのCM05ビットを“1” (メインクロック発振回路の発振停止) にすると、XOUTは“H”になります。このとき、内蔵している帰還抵抗は接続したままです。XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

メインクロック発振回路をまったく使用しない場合、CM1レジスタのCM13ビットで帰還抵抗未接続を選択できます。

メインクロック発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

メインクロック発振開始

- (1) CM15ビットを“1” (駆動能力High) にする (XIN-XOUT間にセラミック共振子または水晶発振子を接続している場合)
- (2) CM05ビットを“0” (メインクロック発振) にする
- (3) メインクロック発振安定時間を待つ (外部クロックをXIN端子から入力する場合は、外部クロックを入力する)

メインクロックの発振停止

- (1) CM2レジスタのCM20ビットを“0” (発振停止/再発振検出機能無効) にする
- (2) CM05ビットを“1” (停止) にする
- (3) (外部クロックをXIN端子から入力する場合) 外部クロックを停止させる

8.3.2 PLL クロック

PLL クロックは、PLL 周波数シンセサイザが生成するクロックです。CPU クロックと周辺機能クロックのクロック源になります。

リセット後、PLL 周波数シンセサイザは停止しています。

メインクロックを PLC0 レジスタの PLC05~PLC04 ビットで選択した値で分周し、PLC02~PLC00 ビットで選択した値で逡倍したものが PLL クロックになります。分周後のクロック周波数が 2MHz~5MHz になるように PLC05~PLC04 ビットを設定してください。図 8.3 にメインクロックと PLL クロックの関係を示します。

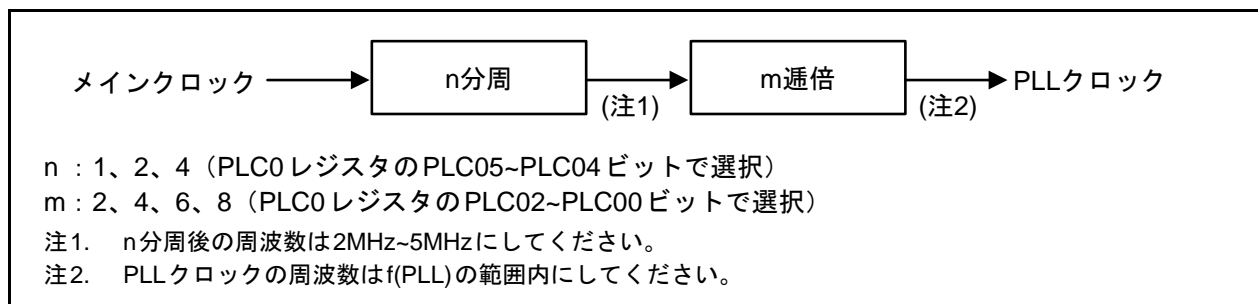


図 8.3 メインクロックと PLL クロックの関係

表 8.5 PLL クロックの周波数設定例

メインクロック	設定値		PLL クロック
	PLC05~PLC04 ビット	PLC02~PLC00 ビット	
10MHz	01b (2分周)	010b (4逡倍)	20MHz
5MHz	00b (分周なし)	010b (4逡倍)	
12MHz	10b (4分周)	100b (8逡倍)	24MHz
6MHz	01b (2分周)	100b (8逡倍)	

8.3.3 125kHz オンチップオシレータクロック (fOCO-S)

125kHz オンチップオシレータが供給する約 125kHz のクロックです。CPU クロックと周辺機能クロックのクロック源になります。また、CSPR レジスタの CSPRO ビットが“1” (カウントソース保護モード) の場合、ウォッチドッグタイマのカウントソースになります (「15.4.2 カウントソース保護モード有効時」参照)。

リセット後、fOCO-S の 8 分周が CPU クロックになります。

CM2 レジスタの CM20 ビットが“1” (発振停止/再発振検出機能有効)、かつ CM27 ビットが“1” (発振停止/再発振検出割り込み) の場合、メインクロックが停止したときに、自動的に 125kHz オンチップオシレータが動作を開始し、クロックを供給します。

fOCO-S の発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

fOCO-S の発振開始

(1) CM1 レジスタの CM14 ビットを“0” (125kHz オンチップオシレータ発振) にする

(2) tsu(fOCO-S) 待つ

fOCO-S の発振停止

(1) CM1 レジスタの CM14 ビットを“1” (125kHz オンチップオシレータ停止) にする

なお、CM21 ビットが“1” (CPU クロック源はオンチップオシレータ) のとき、CM14 ビットは“0” (125kHz オンチップオシレータ発振) になります。

8.3.4 サブクロック (fC)

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマB、リアルタイムクロック、CEC機能、リモコン信号受信機能のカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT 端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図 8.4にサブクロックの接続回路例を示します。

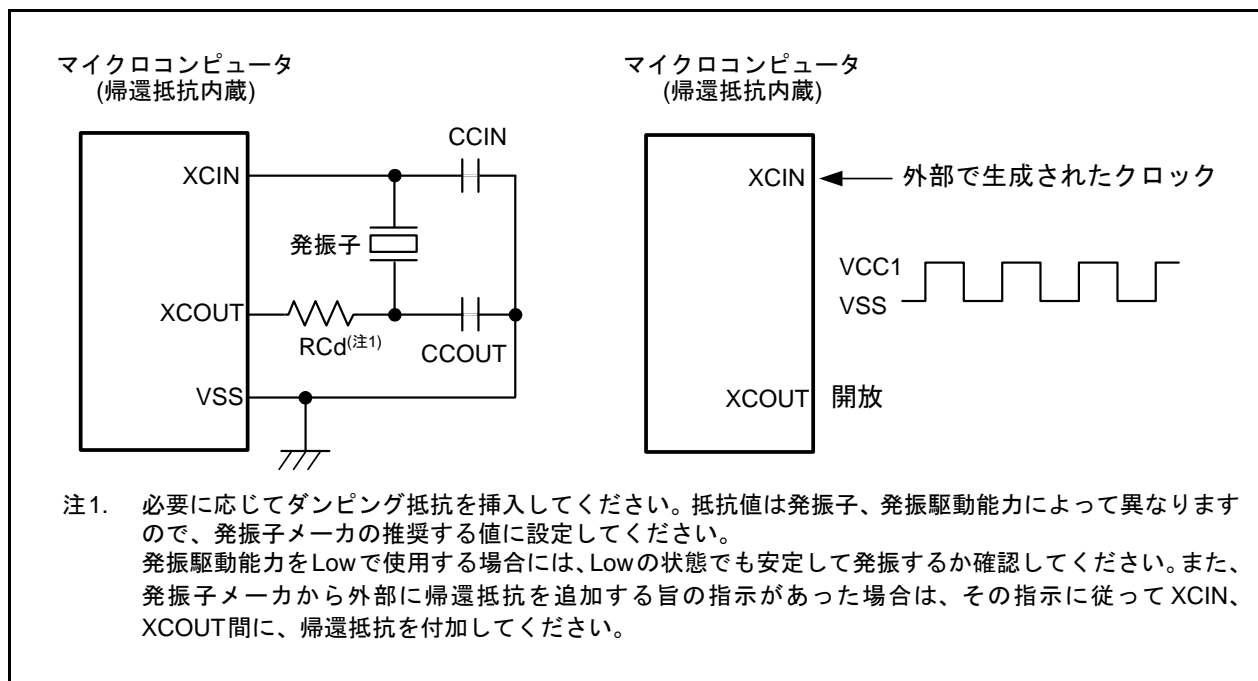


図 8.4 サブクロックの接続回路例

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロック発振開始は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

- (1) PUR2レジスタのPU21ビットを“0” (P8_4、P8_6、P8_7はプルアップなし)にする
- (2) PD8レジスタのPD8_6、PD8_7ビットを“0” (ポートP8_6、P8_7は入力ポート)にする
- (3) CM04ビットを“1” (XCIN-XCOUT発振機能)にする。CM03ビットを“1” (XCIN-XCOUT駆動能力High)にする。
- (4) サブクロック発振安定時間を待つ (外部クロックをXCIN端子から入力する場合は、外部クロックを入力する)

8.4 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

8.4.1 CPUクロックとBCLK

CPUクロックは、CPUとウォッチドッグタイマの動作クロックです。また、 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタのサンプリングクロックにもなります。

CPUクロックのクロック源としてメインクロック、PLLクロック、fOCO-S、またはfCが選択できます(「表 9.2 通常動作モードのクロック」参照)。

CPUクロックのクロック源としてメインクロック、PLLクロック、またはfOCO-Sを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択できます。

CPUクロックのクロック源としてfCを選択した場合は分周せず、fCがそのままCPUのクロックになります。

リセット後、fOCO-Sの8分周がCPUクロックになります。また、ストップモードへの遷移時、またはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつCM05ビットが“1”(メインクロック停止)のとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

BCLKはバスの基準クロックです。

メモリ拡張モード時、またはマイクロプロセッサモード時、PM0レジスタのPM07ビットを“0”(出力する)にすると、BCLK端子からCPUクロックと同一周波数のBCLK信号を出力できます。

8.4.2 周辺機能クロック (f1、fOCO-S、fC32、fC)

f1、fOCO-S、fC32は周辺機能の動作クロックになります。

f1は次のいずれかです。

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

f1はタイマA、タイマB、PWM機能、リアルタイムクロック、リモコン信号受信機能、UART0~UART2、UART5~UART7、SI/O3、SI/O4、マルチマスタI²C-busインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックf1を停止する)にした後にWAIT命令を実行した場合、f1は停止します。

fOCO-SはタイマA、タイマBで使用できます。また、リセット、電圧検出回路、ウォッチドッグタイマでも使用します。fOCO-SはCM1レジスタのCM14ビットが“0”(125kHz オンチップオシレータ発振)のとき使用できます。

fC32はfCを32分周したもので、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

fCは、PM2レジスタのPM25ビットが“1”(周辺機能クロックfC供給許可)の場合、リアルタイムクロック、リモコン信号受信機能、CEC機能のカウントソースになります。fCはサブクロックが供給されているときに使用できます。

図 8.5に周辺機能クロックを示します。

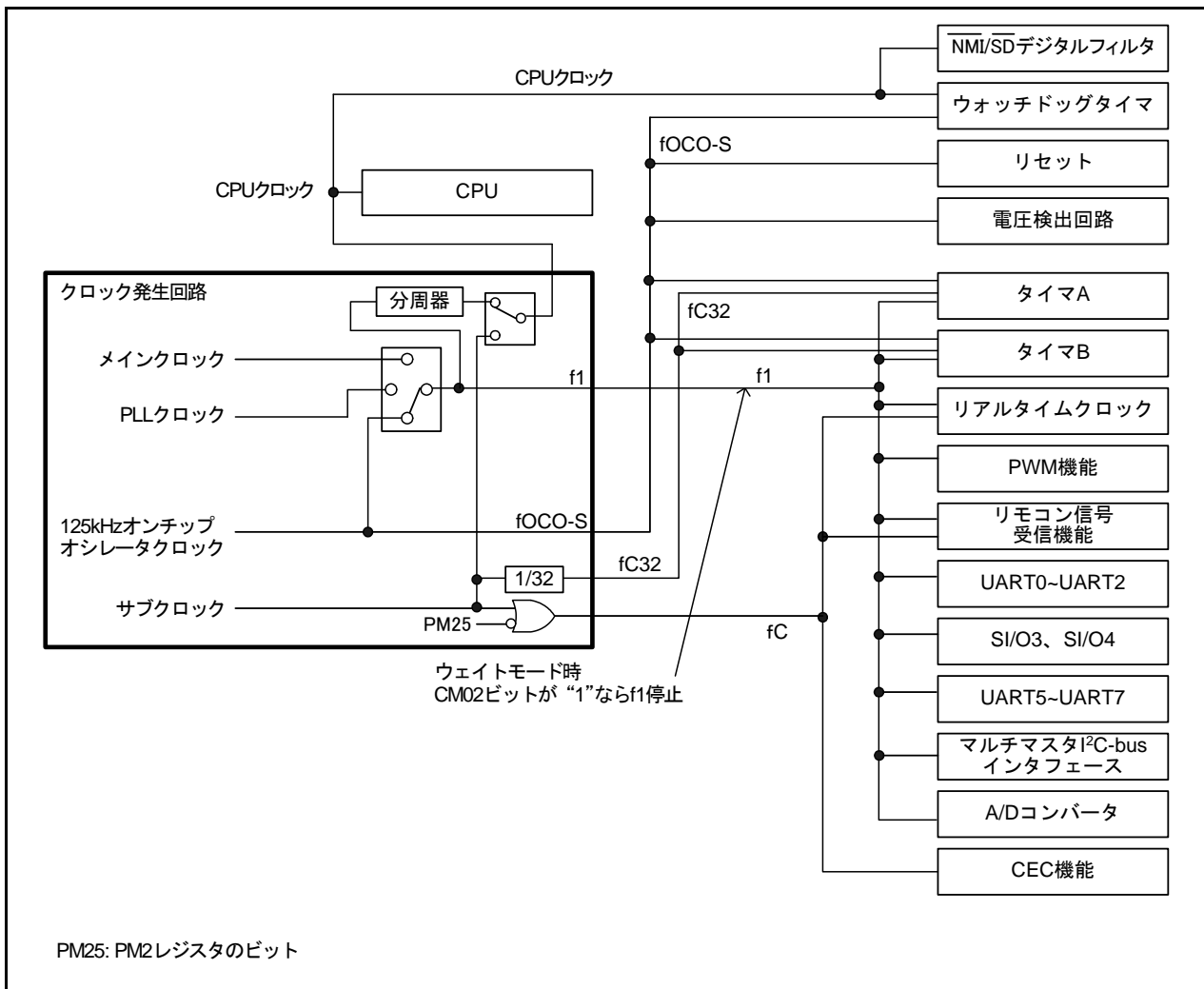


図 8.5 周辺機能クロック

8.5 クロック出力機能

シングルチップモード時、CLKOUT 端子から f1、f8、f32、または fC を出力できます。CM0 レジスタの CM01~CM00 ビットと PCLKR レジスタの PCLK5 ビットで選択してください。f8 は f1 の 8 分周と同一周波数、f32 は f1 の 32 分周と同一周波数です。

8.6 システムクロック保護機能

CPU クロックのクロック源にメインクロックを選択しているとき、プログラム暴走で CPU クロックが停止しないようにクロックの変更を禁止する機能です。

PM2 レジスタの PM21 ビットを“1” (クロックの変更禁止) にすると、次のビットに書き込んでも変化しません。

- CM0 レジスタの CM02 ビット (ウェイトモード時の周辺機能クロック f1)
- CM0 レジスタの CM05 ビット (メインクロックを停止させないため)
- CM0 レジスタの CM07 ビット (CPU クロックのクロック源)
- CM1 レジスタの CM10 ビット (ストップモードに遷移しない)
- CM1 レジスタの CM11 ビット (CPU クロックのクロック源)
- CM2 レジスタの CM20 ビット (発振停止/再発振検出機能の設定)
- PLC0 レジスタの全ビット (PLL 周波数シンセサイザの設定)

システムクロック保護機能を使用する場合、CM0 レジスタの CM05 ビットが“0” (メインクロック発振)、CM07 ビットが“0” (CPU クロックのクロック源はメインクロック) の状態で次の処理をしてください。

- (1) PRCR レジスタの PRC1 ビットを“1” (PM2 レジスタ書き込み許可) にする
- (2) PM2 レジスタの PM21 ビットを“1” (クロック変更禁止) にする
- (3) PRCR レジスタの PRC1 ビットを“0” (PM2 レジスタ書き込み禁止) にする

PM21 ビットが“1” のとき、WAIT 命令を実行しないでください。

8.7 発振停止/再発振検出機能

発振停止/再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止/再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

発振停止/再発振検出時にはリセットまたは発振停止/再発振検出割り込みが発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

表 8.6に発振停止/再発振検出機能の仕様を示します。

表 8.6 発振停止/再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止/再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止/再発振検出時の動作	CM27ビットが“0”の場合: 発振停止検出リセット発生 CM27ビットが“1”の場合: 発振停止/再発振検出割り込み発生

8.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作

CM20ビットが“1”(発振停止/再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「4. SFR」、「6. リセット」参照)。

この状態はハードウェアリセット、または電圧監視0リセットによって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

8.7.2 CM27 ビットが“1” (発振停止/再発振検出割り込み) の場合の動作

CM20 ビットが“1” (発振停止/再発振検出機能有効) のときに、メインクロックの停止または再発振を検出した場合、表 8.7 に示す状態になります。

高速モード、中速モード、低速モードでは CM21 ビットが“1” になります。したがって、高速モード、中速モードは 125kHz オンチップオシレータモードになります。CM07 ビットは変化しませんので、低速モードは低速モードのままですが、周辺機能クロックのクロック源は fOCO-S になります。

PLL 動作モードでは CM21 ビットは変化しませんので、割り込みルーチン内で 125kHz オンチップオシレータモードにしてください。

表 8.7 CM27 ビットが“1” の場合の発振停止/再発振検出後の状態

条件		検出後の状態
メインクロック 発振停止を検出	高速モード 中速モード	<ul style="list-style-type: none"> • 発振停止/再発振検出割り込み要求が発生する • CM14 ビット=0 (125kHz オンチップオシレータ発振) • CM21 ビット=1 (fOCO-S が CPU クロックと周辺機能クロックのクロック源)(注1) • CM22 ビット=1 (メインクロック停止を検出) • CM23 ビット=1 (メインクロック停止)
	低速モード 125kHz オンチップ オシレータモード	
	PLL 動作モード	
メインクロック 再発振を検出	—	<ul style="list-style-type: none"> • 発振停止/再発振検出割り込み要求が発生する • CM14 ビット=0 (125kHz オンチップオシレータ発振) • CM21 ビットは変化しない • CM22 ビット=1 (メインクロック再発振を検出) • CM23 ビット=0 (メインクロック発振)

CM14 ビット : CM1 レジスタのビット

CM21、CM22、CM23 ビット : CM2 レジスタのビット

注1. 低速モード時の CPU クロックは fC

8.7.3 発振停止/再発振検出機能使用方法

発振停止検出後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図 8.6 にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。

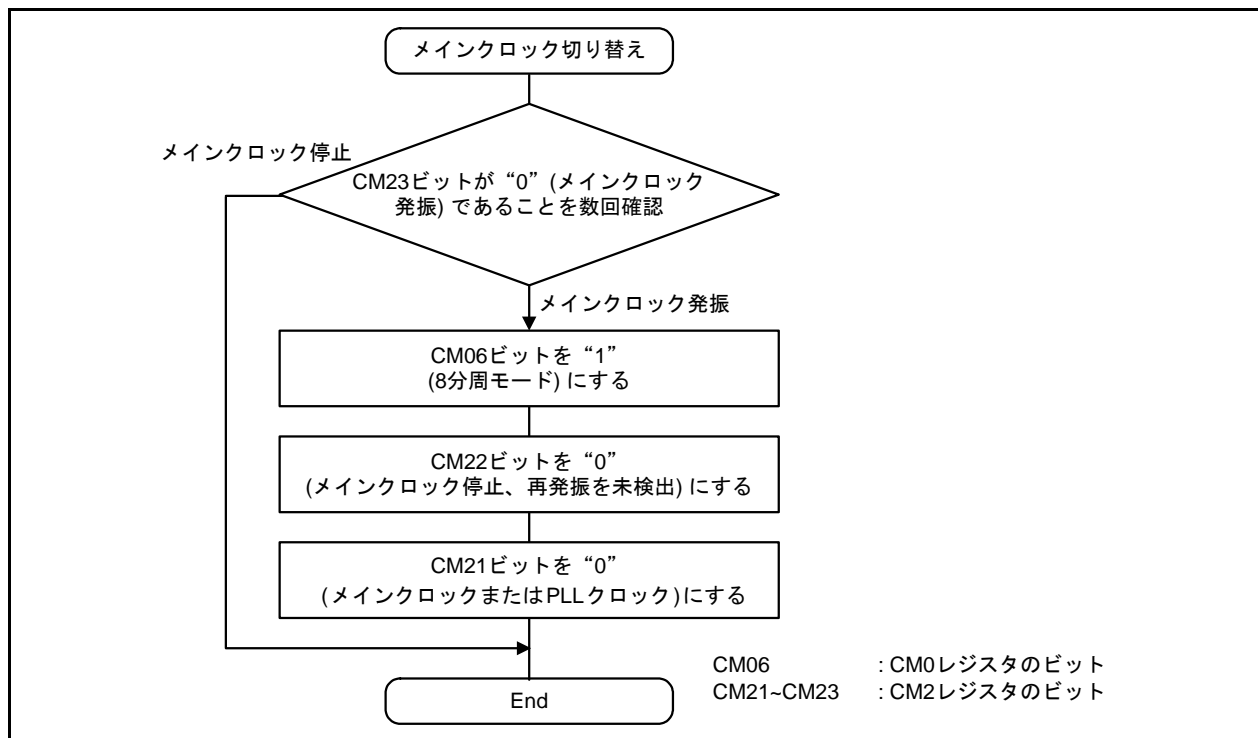


図 8.6 オンチップオシレータクロックからメインクロックへの切り替え手順

発振停止/再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止/再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止/再発振検出割り込みが許可されます。

8.8 割り込み

発振停止/再発振検出割り込みはノンマスカブル割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視1割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

発振停止/再発振検出の検出フラグは、CM2レジスタのCM22ビットです。CM22ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8.9 クロック発生回路使用上の注意事項

8.9.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/64A グループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビット、CM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表 8.8 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ PCLK5ビット	CM0レジスタ CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

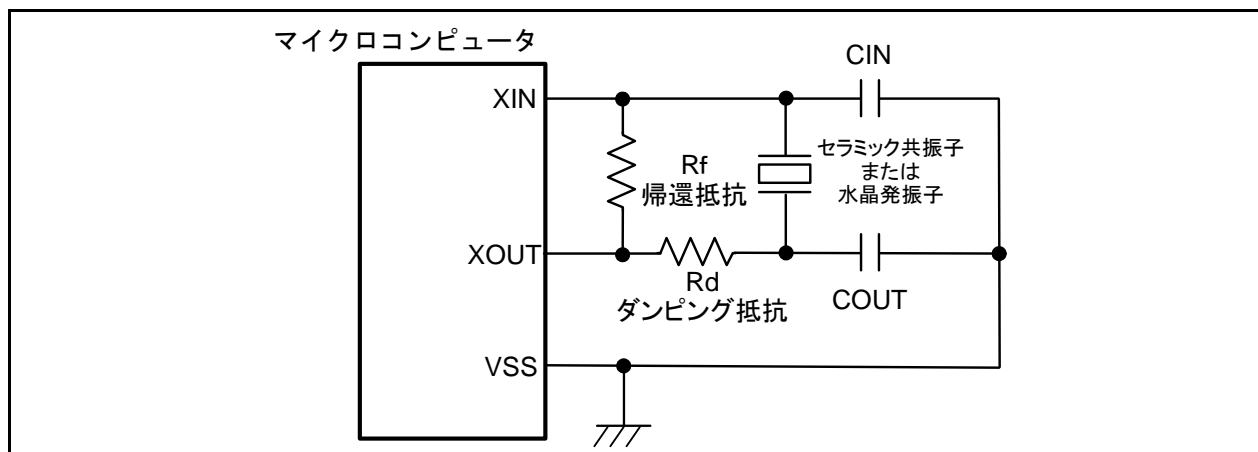


図 8.7 発振回路例

8.9.2 発振回路のノイズ対策

8.9.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

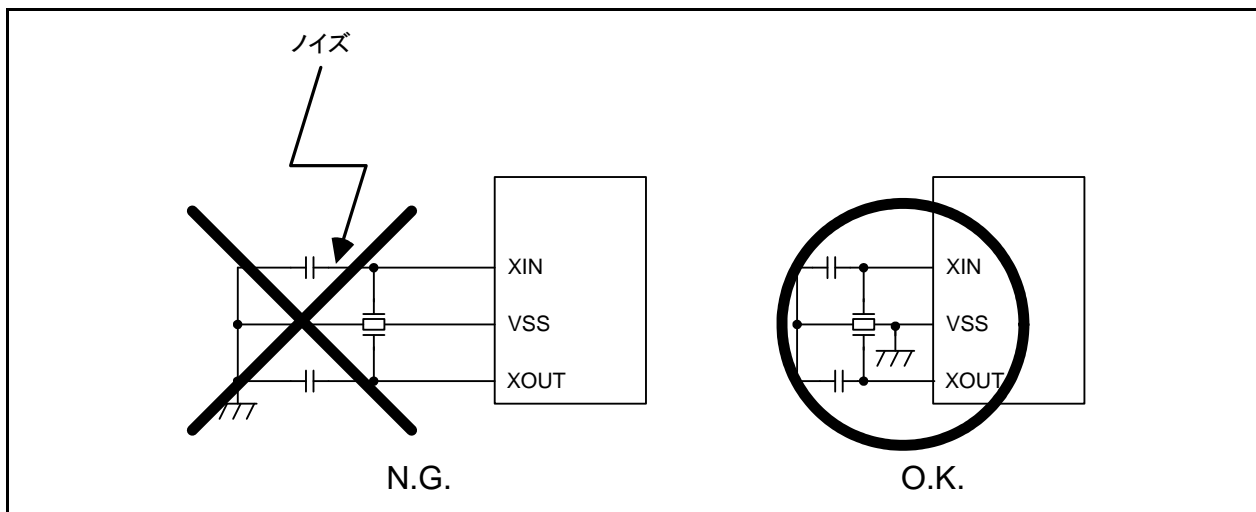


図 8.8 クロック入出力端子の配線

- 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

8.9.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

- 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

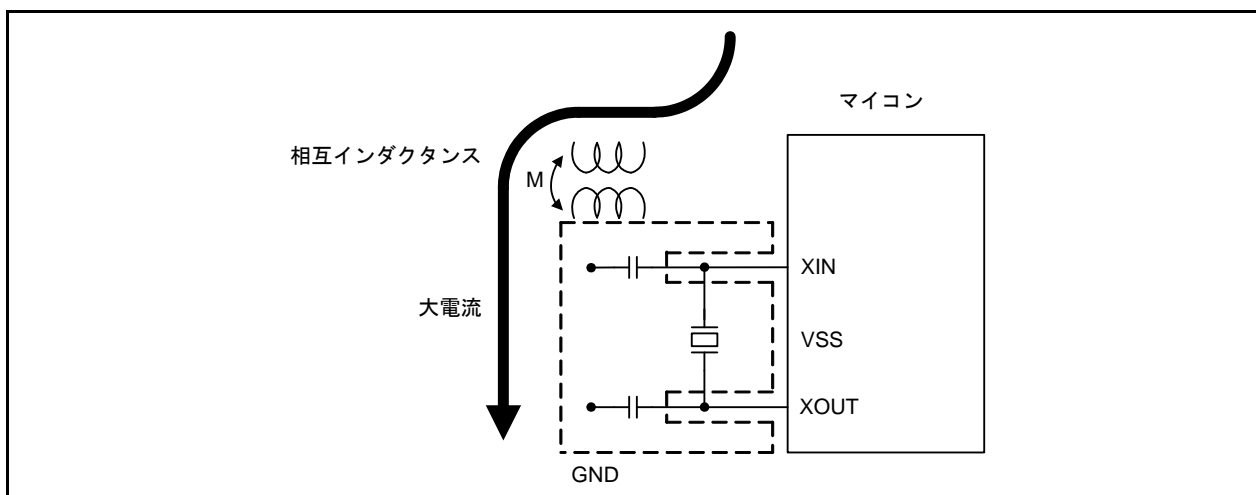


図 8.9 大電流が流れる信号線の配線

8.9.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化する TAiOUT 端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

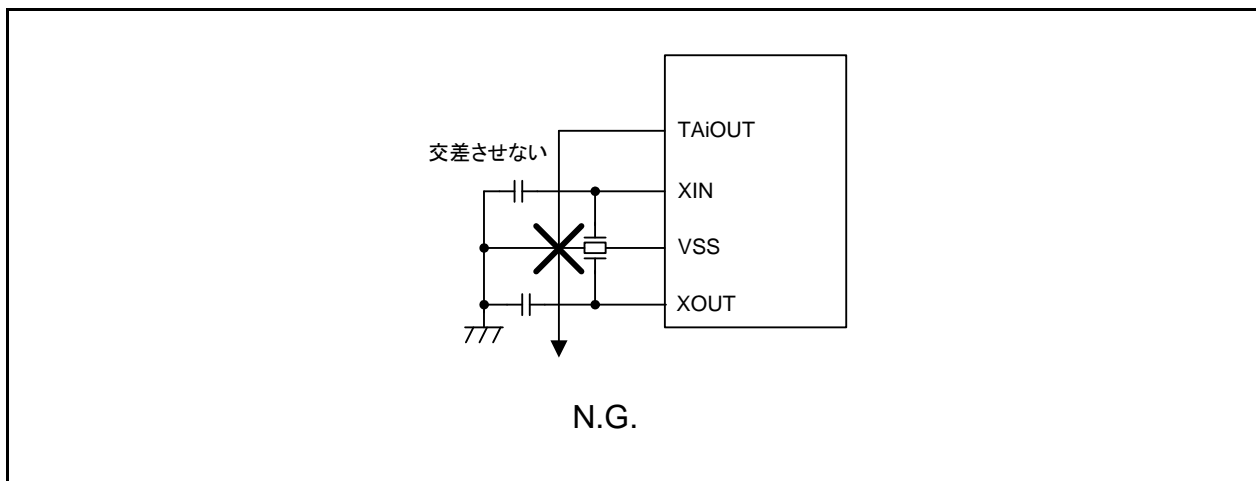


図 8.10 高速にレベル変化する信号線の配線

8.9.3 CPUクロック

(テクニカルアップデート番号: TN-M16C-109-0309)

外部で生成したクロックを XIN 端子に入力し、かつ CPU クロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

8.9.4 発振停止/再発振検出機能

- 次の場合は、CM20 ビットを“0” (発振停止/再発振検出機能無効) にした後、それぞれの状態に遷移してください。

CM05 ビットを“1” (メインクロック停止) にする場合

CM10 ビットを“1” (ストップモード) にする場合

- 発振停止/再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02 ビットを“0” (ウェイトモード時周辺機能クロック f1 を停止しない) にしてください。
- メインクロックの周波数が 2MHz 以下の場合、この機能は使用できませんので、CM20 ビットを“0” (発振停止/再発振検出機能無効) にしてください。

8.9.5 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 8.9 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数(VCC1)			10	kHz
V _{p-p(ripple)}	電源リップル許容振幅電圧	(VCC1=5V時)		0.5	V
		(VCC1=3V時)		0.3	V
VCC(ΔV/ΔT)	電源リップル立ち上がり/立ち下がり勾配	(VCC1=5V時)		0.3	V/ms
		(VCC1=3V時)		0.3	V/ms

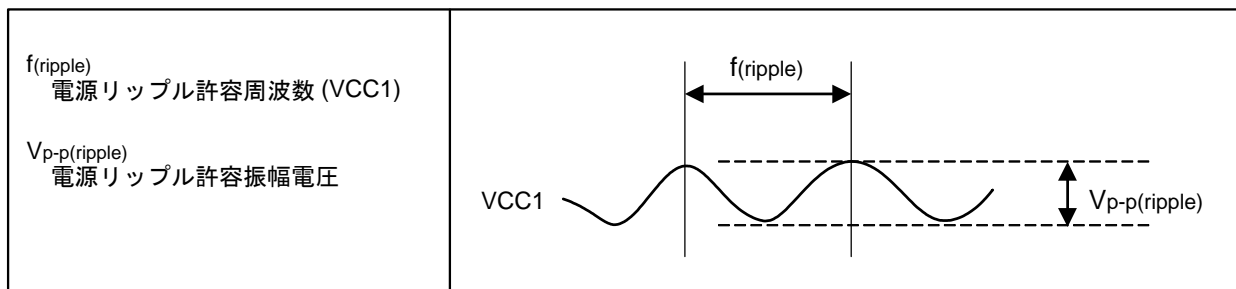


図 8.11 電源変動のタイミング図

8.9.6 PLLクロックの発振開始

(テクニカルアップデート番号: TN-16C-A177A/J)

下の製品では、次の制限があります。

R5F364AENFA、R5F364AENFB、R5F364AEDFA、R5F364AEDFB、R5F364A6NFA、
R5F364A6NFB、R5F364A6DFA、R5F364A6DFB

8.9.6.1 電圧検出0、1、2回路使用時

VCR2レジスタのVC25、VC26、VC27ビットのいずれかが“1”のときは、PLC0レジスタのPLC07ビットを“0”から“1”にしないでください。

電圧検出回路またはパワーオンリセットを使用する際、PLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) VC25、VC26、VC27ビットをすべて“0” (電圧検出回路無効) にする
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) VC25、VC26、VC27ビットのうち、必要なものを“1” (電圧検出回路有効) にする

8.9.6.2 125kHzオンチップオシレータモードまたは125kHzオンチップオシレータ低消費電力モードで動作時

8分周または16分周 (CM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択) で、PLC0レジスタのPLC07ビットを“0”から“1”にしてください。

8.9.6.3 タイマA、タイマBのカウントソース

PLLクロックを使用する場合は、タイマA、タイマBのカウントソースにfOCO-Sを選択しないでください。

8.9.6.4 ウォッチドッグタイマのカウントソースにfOCO-Sを選択時

PLC0レジスタのPLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) WDTRレジスタに“00h”を書いて“FFh”を書く (ウォッチドッグタイマリフレッシュ)
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) WDTRレジスタに“00h”を書いて“FFh”を書く (ウォッチドッグタイマリフレッシュ)

9. パワーコントロール

9.1 概要

マイコンの消費電流を少なくするための手段を紹介します。

9.2 レジスタの説明

クロック関連のレジスタは「8. クロック発生回路」を参照してください。

表 9.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ 0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0222h	フラッシュメモリ制御レジスタ 2	FMR2	XXXX 0000b

9.2.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0			
ビット シンボル	ビット名	機 能	RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択 ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックビット無効選択 ビット	0: ロックビット有効 1: ロックビット無効	RW
FMSTP	フラッシュメモリ停止 ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ 初期化)	RW
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	予約ビット	ユーザブートモード以外では “0” にしてください。 ユーザブートモードでは “1” にしてください。	RW
FMR06	プログラムステータス フラグ	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータス フラグ	0: 正常終了 1: エラー終了	RO

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。

また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)

9.2.2 フラッシュメモリ制御レジスタ 2 (FMR2)

フラッシュメモリ制御レジスタ 2			
ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0” にしてください	RW
FMR22	スローリードモード許可ビット	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード許可ビット	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

FMR22 (スローリードモード許可ビット) (b2)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え (CPU 書き換えモード) を行う場合は FMR22 ビットは“0” (スローリードモード禁止) にしてください。

FMR22 ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA 転送が入らないようにしてください。

FMR23 ビットは、FMR22 ビットを“1” (スローリードモード許可) にした後で、“1” (低消費電流リードモード許可) にしてください。また、FMR23 ビットを“0” (低消費電流リードモード禁止) にした後で、FMR22 ビットを“0” (スローリードモード禁止) にしてください。また、FMR22 ビットと FMR23 ビットを同時に変更しないでください。

FMR23 (低消費電流リードモード許可ビット) (b3)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え (CPU 書き換えモード) を行う場合は FMR23 ビットは“0” (低消費電流リードモード禁止) にしてください。

低消費電流リードモードは CM0 レジスタの CM07 ビットが“1” (CPU クロックはサブクロック) のときに使用できます。

FMR23 ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA 転送が入らないようにしてください。

FMR23 ビットは、FMR22 ビットを“1” (スローリードモード許可) にした後で、“1” (低消費電流リードモード許可) にしてください。また、FMR23 ビットを“0” (低消費電流リードモード禁止) にした後で、FMR22 ビットを“0” (スローリードモード禁止) にしてください。FMR22 ビットと FMR23 ビットを同時に変更しないでください。

次のいずれかが当てはまる場合は、FMR23 ビットを“1” (低消費電流リードモード許可) にしないでください。

- CM07 ビットが“0” (CPU クロックはサブクロック以外)
- FMR22 ビットが“0” (スローリードモード禁止)
- FMSTP ビットが“1” (フラッシュメモリ停止)
- FMSTP ビットを“1”から“0”にした後の復帰動作中 (tps)

FMR23ビットが“1”のとき、次の処理をしないでください (FMR23ビットを“0”にした後、処理してください)。

- CPUクロックの変更
- FMSTPビットを“1”(フラッシュメモリ停止)にする
- ウェイトモードまたはストップモードに遷移
- 次のコマンドを実行
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック

9.3 クロック

マイコンの消費電力は、動作しているクロックの数と周波数に関係があります。動作しているクロックが少ないほど、また、周波数が低いほど消費電力は少なくなります。

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

9.3.1 通常動作モード

通常動作モードでは、CPUクロック、周辺機能クロックがともに供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は少なくなります。また、不要な発振回路を停止させるとさらに消費電力は少なくなります。

9.3.1.1 高速モード、中速モード

高速モードでは、メインクロックの1分周(分周なし)がCPUクロックとなります。

中速モードでは、メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。

高速モード、中速モードとも、メインクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。また、fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

9.3.1.2 PLL動作モード

PLLクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。また、PLLクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

PLL動作モードへは中速モードから遷移できます。また、PLL動作モードからは中速モードに遷移できます。ウェイトモード、ストップモードを含む他のモードに遷移するときは、中速モードに遷移した後、他のモードに遷移してください(「図9.1 クロックのモードの状態遷移」参照)。

9.3.1.3 125kHz オンチップオシレータモード

fOCO-S の1分周 (分周なし)、2、4、8、16分周が CPU クロックになります。また、fOCO-S の1分周と同一周波数の f1 が周辺機能クロックになります。

fC が供給されている場合は、fC、fC32 が周辺機能クロックとして使用できます。fOCO-S が周辺機能クロックとして使用できます。

9.3.1.4 125kHz オンチップオシレータ低消費電力モード

125kHz オンチップオシレータモードにした後、メインクロックを停止させた状態です。fOCO-S の1分周 (分周なし)、2、4、8、16分周が CPU クロックになります。また、fOCO-S の1分周と同一周波数の f1 が周辺機能クロックになります。

fC が供給されている場合は fC、fC32 が周辺機能クロックとして使用できます。fOCO-S が周辺機能クロックとして使用できます。

9.3.1.5 低速モード

fC が CPU クロックとなります。

CM21 ビットが“0”かつ CM11 ビットが“0” (メインクロック) の場合はメインクロックの1分周と同一周波数の f1 が周辺機能クロックになります。CM21 ビットが“0”かつ CM11 ビットが“1” (PLL クロック) の場合は PLL クロックの1分周と同一周波数の f1 が周辺機能クロックになります。CM21 ビットが“1” (オンチップオシレータクロック) の場合は fOCO-S の1分周 (分周なし) と同一周波数の f1 が周辺機能クロックになります。

fC、fC32 が周辺機能クロックとして使用できます。fOCO-S が供給されている場合は fOCO-S が周辺機能クロックとして使用できます。

9.3.1.6 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。fC が CPU クロックとなります。また、CM21 ビットが“1” (オンチップオシレータクロック) の場合、fOCO-S の1分周 (分周なし) と同一周波数の f1 が周辺機能クロックになります。

fC、fC32 が周辺機能クロックとして使用できます。fOCO-S が供給されている場合は fOCO-S が周辺機能クロックとして使用できます。

表 9.2 通常動作モードのクロック

モード	CPUクロック	周辺機能クロック (注2)		
		f1	fC、fC32	fOCO-S
高速モード	メインクロックの1分周(注1)	メインクロックの1分周	使用可	使用可
中速モード	メインクロックのn分周(注1)			
PLL動作モード	PLLクロックのn分周(注1)			
125kHzオンチップオシレータモード	fOCO-Sのn分周(注1)	fOCO-Sの1分周	使用可	使用可
125kHzオンチップオシレータ低消費電力モード	fOCO-Sのn分周(注1)	fOCO-Sの1分周	使用可	使用可
低速モード	fC	次のいずれか メインクロックの1分周 (CM21=0かつCM11=0の場合) PLLクロックの1分周 (CM21=0かつCM11=1の場合) fOCO-Sの1分周 (CM21=1の場合)	使用可	使用可
低消費電力モード	fC	fOCO-Sの1分周 (CM21=1の場合)	使用可	使用可

CM11: CM1レジスタのビット

CM21: CM2レジスタのビット

注1. CM0レジスタのCM06ビットと、CM1レジスタのCM17~CM16ビットで選択

注2. 周辺機能クロックは、各クロックが供給されている場合、使用可能です。供給方法は「8. クロック発生回路」を参照してください。

表 9.3 クロック関連ビットの設定とモード

モード	CM2 レジスタ	CM1 レジスタ		CM0 レジスタ		
	CM21	CM14	CM11	CM07	CM05	CM04
高速、中速モード	0	—	0	0	0	—
PLL 動作モード	0	—	1	0	0	—
125kHz オンチップオシレータモード	1	0	0	0	0	—
125kHz オンチップオシレータ 低消費電力モード	1	0	0	0	1	—
低速モード	—	—	0	1	0	1
低消費電力モード	—	—	0	1	1	1

— : 0 または 1

表 9.4 クロック分周関連ビットの選択(注1)

分周	CM1 レジスタ	CM0 レジスタ
	CM17~CM16	CM06
分周なし(注2)	00b	0
2分周	01b	0
4分周	10b	0
8分周	—	1
16分周	11b	0

— : 00b~11bのいずれでもよい

注1. 高速、中速モード、PLL 動作モード、125kHz オンチップオシレータモード、125kHz オンチップオシレータ低消費電力モードの場合です。

注2. 高速モードは分周なしの設定にしてください。

9.3.2 モード遷移手順

図 9.1 にクロックのモードの状態遷移を示します。図 9.1 の矢印はモード間の遷移が可能なことを示します。

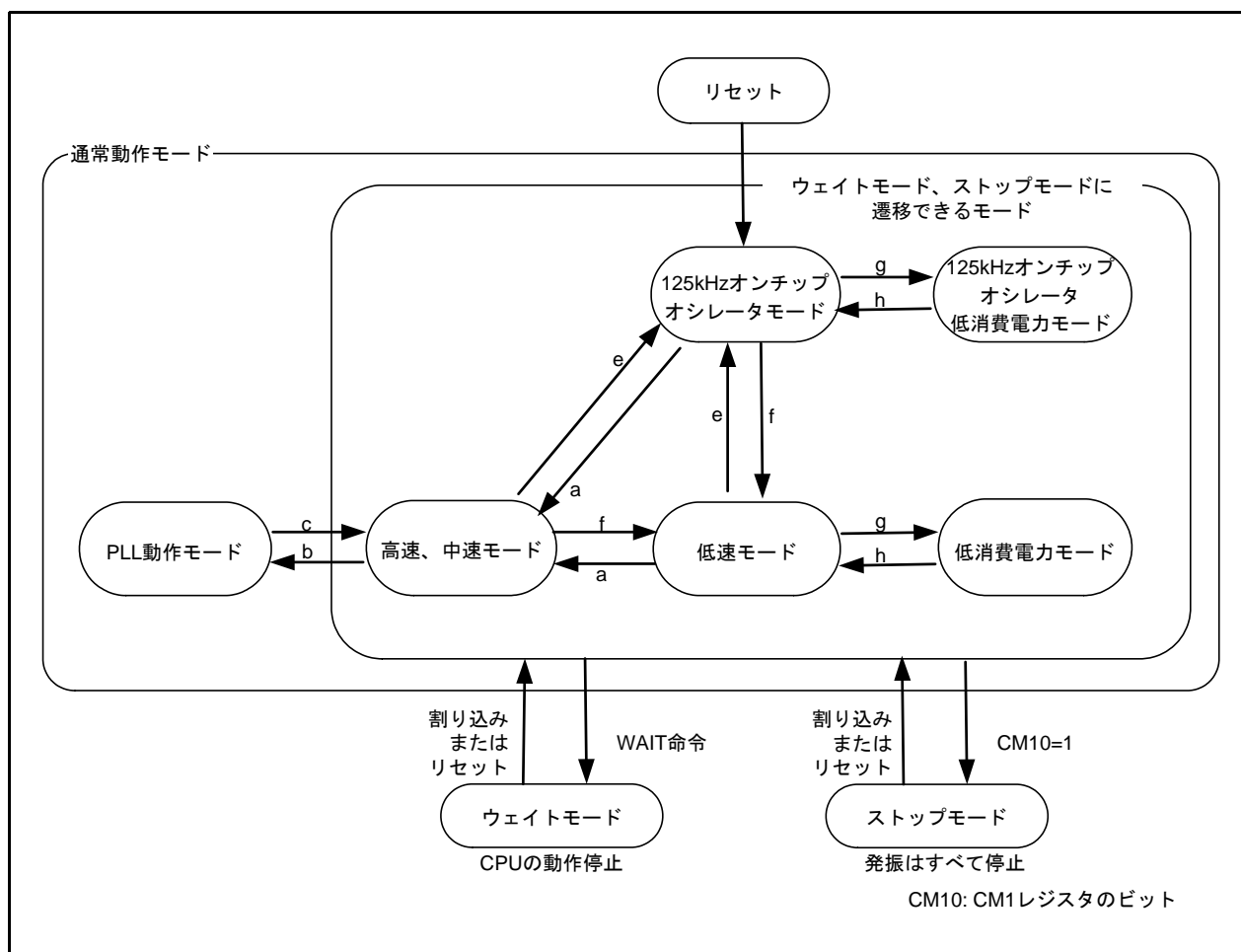


図 9.1 クロックのモードの状態遷移

クロックの発振開始、停止、通常動作モード内のモード遷移は次のようにしてください。

- モードを遷移する場合は、遷移先のクロックが十分安定した後で遷移してください。
- クロックを停止する場合は、モードを遷移し終わった後で停止してください。モードの遷移と遷移元のクロックの停止を同時に行わないでください。
- PLL動作モード、高速、中速モード、125kHzオンチップオシレータモードから他のモードに遷移する場合、または他のモードからこれらのモードに遷移する場合は、これらのモードを8分周または16分周にしてください。
- PLL動作モード、高速、中速モードで分周を切り替える場合は図 9.2 に示す順序で分周を切り替えてください。
- モード遷移は後述の a~c、e~h に示す手順に従って実行してください。ただし、各レジスタ、ビットのアクセス方法などは「9.2 レジスタの説明」を参照してください。なお、a~c、e~h の記号は「図 9.1 クロックのモードの状態遷移」、「図 9.2 分周切り替えの状態遷移」の矢印の a~c、e~h に対応しています。
- 発振開始/停止の方法は「8.3.1 メインクロック」から「8.3.4 サブクロック (fC)」を参照してください。

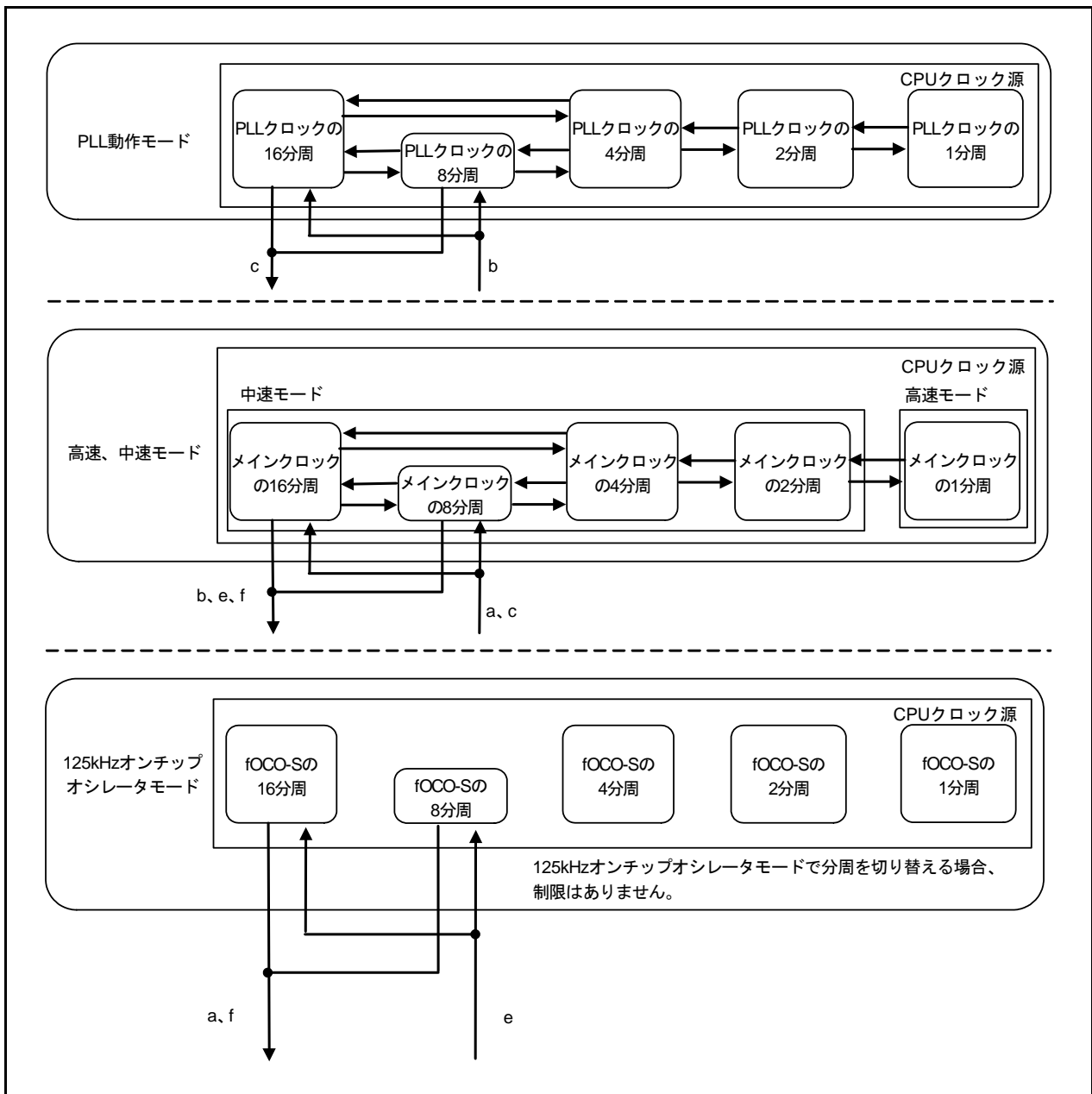


図 9.2 分周切り替えの状態遷移

- a. 125kHz オンチップオシレータ、低速モードから高速モードまたは中速モードに遷移
 - (1)メインクロック発振、安定待ち。「8.3.1 メインクロック」参照
 - (2)CM06、CM17~CM16ビットで8分周または16分周モードを選択する
 - (3)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0”(CPUクロック源はメインクロック)にする

- b. 高速、中速モードからPLL動作モードに遷移
 - (1)PLC0レジスタのPLC05~PLC04、PLC02~PLC00ビットで通倍率等を設定する
 - (2)PLC07ビットを“1”(PLL動作)にする
 - (3)PLLクロックが安定するまで(tsu(PLL))待つ
 - (4)CM06、CM17~CM16ビットで8分周または16分周モードを選択する
 - (5)CM11ビットを“1”、CM21ビットを“0”、CM07ビットを“0”(CPUクロック源はPLLクロック)にする

- c. PLL動作モードから高速モードまたは中速モードに遷移
 - (1)CM06、CM17~CM16ビットで8分周または16分周モードを選択する
 - (2)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0”(CPUクロック源はメインクロック)にする
 - (3)PLC07ビットを“0”(PLL停止)にする

- e. 高速、中速、低速モードから125kHzオンチップオシレータモードに遷移
 - (1)125kHzオンチップオシレータ発振、安定待ち。「8.3.3 125kHzオンチップオシレータクロック(fOCO-S)」参照
 - (2)CM06、CM17~CM16ビットで8分周または16分周モードを選択する
 - (3)CM21ビットを“1”(CPUクロック源はオンチップオシレータクロック)にする
 - (4)CM07ビットを“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)にする

- f. 高速、中速、125kHzオンチップオシレータモードから低速モードに遷移
 - (1)サブクロック発振、安定待ち。「8.3.4 サブクロック(fC)」参照
 - (2)CM06、CM17~CM16ビットで8分周または16分周モードを選択する
 - (3)CM07ビットを“1”(CPUクロック源はサブクロック)にする

- g. 125kHzオンチップオシレータモードから125kHzオンチップオシレータ低消費電力モードに遷移。または低速モードから低消費電力モードに遷移。
 - (1)メインクロック発振停止。「8.3.1 メインクロック」参照

- h. 125kHzオンチップオシレータ低消費電力モードから125kHzオンチップオシレータモードに遷移。または低消費電力モードから低速モードに遷移。
 - (1)メインクロック発振、安定待ち。「8.3.1 メインクロック」参照

9.3.3 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPU、ウォッチドッグタイマ、 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタが停止します。ただし、CSPRレジスタのCSPROビットが“1”(カウンタソース保護モード有効)の場合、ウォッチドッグタイマは動作します。クロック発生回路は停止しませんので、周辺機能クロックが供給されている周辺機能は動作します。

9.3.3.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合、ウェイトモード時にf1が停止しますので消費電力が低減できます。f1以外の周辺機能クロック(fOCO-S、fC、fC32)はCM02ビットでは停止しません。

9.3.3.2 ウェイトモードへの遷移

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると、消費電力が低減できます。

ウェイトモードを使用する場合、以下の手順で遷移してください。

- (1) Iフラグを“0”にする
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ウェイトモードからの復帰に使用する周辺機能が停止している場合、動作させる。
- (3) ウェイトモードからの復帰に使用しない割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセット、 $\overline{\text{NMI}}$ 割り込み、電圧監視1割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”にする)
- (4) Iフラグを“1”にする
- (5) WAIT命令を実行する

9.3.3.3 ウェイトモード時の端子の状態

表 9.5 にウェイトモード時の端子の状態を示します。

表 9.5 ウェイトモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0~A19、D0~D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{BHE}}$	ウェイトモードに入る直前の状態を保持	バス制御端子にはなりません
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$	H	
$\overline{\text{HLDA}}$ 、 $\overline{\text{BCLK}}$	H	
ALE	L	
入出力ポート	ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません
	f1、f8、f32 選択時	停止しません CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

9.3.3.4 ウェイトモードからの復帰

リセットまたは割り込みにより、ウェイトモードから復帰します。表 9.6 にウェイトモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

周辺機能割り込みは CM02 ビットの影響を受けます。CM02 ビットが“0” (ウェイトモード時、周辺機能クロック f1 を停止しない) の場合は、周辺機能割り込みをウェイトモードからの復帰に使用できます。CM02 ビットが“1” (ウェイトモード時、周辺機能クロック f1 を停止する) の場合は、周辺機能クロック f1 を使用する周辺機能は停止します。したがって、外部信号、f1 以外の周辺機能クロック

(fOCO-S、fC、fC32) によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

また、電圧検出回路のデジタルフィルタは fOCO-S を使用しますので、デジタルフィルタ無効、または fOCO-S が供給されているときウェイトモードからの復帰に使用できます。

表 9.6 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
		CM02=0の場合	CM02=1の場合
割り込み	INT	使用可	使用可
	キー入力	使用可	使用可
	タイマA、 タイマB	すべてのモードで使用可	fOCO-S または fC32 が供給され、かつそのクロックがカウントソースのとき使用可。 イベントカウンタモードで外部信号をカウント時、使用可
	リモコン信号受信機能	使用可	fC が供給され、かつ fC がカウントソースのとき使用可。 fOCO-S または fC32 が供給され、かつそのクロックがタイマ B1 または タイマ B2 のカウントソースで、リモコン信号受信機能のカウントソースがタイマ B1 または タイマ B2 のアンダフローのとき使用可
	シリアル インタフェース	内部クロックまたは外部クロックで使用可	外部クロックで使用可
	マルチマスタ I ² C-bus インタ フェース	I ² C-bus インタフェース割り込み、SCL/SDA 割り込みとも使用可	SCL/SDA 割り込み使用可
	CEC 機能	使用可	fC が供給され、かつ fC がカウントソースのとき使用可
	A/D コンバータ	単発モードまたは単掃引モードで使用可	使用しないでください
	リアルタイム クロック	fC が供給され、かつ fC がカウントソースのとき使用可	
電圧監視1、 電圧監視2	デジタルフィルタ無効 (VW1C レジスタの VW1C1 ビットが“1”、VW2C レジスタの VW2C1 ビットが“1”) のとき使用可。または、デジタルフィルタ有効 (VW1C レジスタの VW1C1 ビットが“0”、VW2C レジスタの VW2C1 ビットが“0”) かつ fOCO-S 供給 (CM1 レジスタの CM14 ビットが“0”) のとき使用可		
	NMI	デジタルフィルタ無効 (NMIDF レジスタの NMIDF2~NMIDF0 ビットが“000b”) のとき使用可	
リセット	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	
	電圧監視1リセット 電圧監視2リセット	デジタルフィルタ無効 (VW1C レジスタの VW1C1 ビットが“1”、VW2C レジスタの VW2C1 ビットが“1”) のとき使用可。または、デジタルフィルタ有効 (VW1C レジスタの VW1C1 ビットが“0”、VW2C レジスタの VW2C1 ビットが“0”) かつ fOCO-S 供給 (CM1 レジスタの CM14 ビットが“0”) のとき使用可	
	ウォッチドッグタイマ	カウントソース保護モード有効 (CSPR レジスタの CSPRO ビットが“1”) のとき使用可	

割り込みで復帰する場合、割り込み要求が発生して CPU クロックの供給を開始すると、割り込みルーチンを実行します。

割り込みでウェイトモードから復帰したときの CPU クロックは、WAIT 命令実行時の CPU クロックと同じクロックです。

9.3.4 ストップモード

ストップモードでは、すべての発振回路が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC1端子とVCC2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。VCC1端子とVCC2端子に印加する電圧を2.7V以下にする場合、 $VCC1 \geq VCC2 \geq VRAM$ にしてください。

また、外部信号によって動作する周辺機能は動作します。

9.3.4.1 ストップモードへの遷移

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力High)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止/再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

ストップモードを使用する場合、以下の手順で遷移してください。

- (1)Iフラグを“0”にする
- (2)ストップモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ストップモードからの復帰に使用する周辺機能が停止している場合は、動作させる。
- (3)ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、 \overline{NMI} 割り込み、電圧監視1割り込みまたは電圧監視2割り込みで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“000b”にする)
- (4)Iフラグを“1”にする。
- (5)CM1レジスタのCM10ビットを“1”にする。

9.3.4.2 ストップモード時の端子の状態

表 9.7にストップモード時の端子の状態を示します。

表 9.7 ストップモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0~A19、D0~D15、 $\overline{CS0}$ ~ $\overline{CS3}$ 、 \overline{BHE}	ストップモードに入る直前の状態を保持	バス制御端子にはなりません
\overline{RD} 、 \overline{WR} 、 \overline{WRL} 、 \overline{WRH}	H	
\overline{HLDA} 、 \overline{BCLK}	H	
ALE	不定	
入出力ポート	ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT f1、f8、f32、fC 選択時	CLKOUT端子にはなりません	ストップモードに入る直前の状態を保持
XOUT	H	
XCIN、XCOUT	ハイインピーダンス	

9.3.4.3 ストップモードからの復帰

リセットまたは割り込みにより、ストップモードから復帰します。表 9.8 にストップモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

表 9.8 ストップモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
割り込み	周辺機能 割り込み	$\overline{\text{INT}}$	使用可
		キー入力	使用可
		タイマA、タイマB	イベントカウンタモードで外部信号をカウント時、使用可
		シリアルインタフェース	外部クロックを選択時、使用可
		マルチマスタ I ² C-bus インタフェース	SCL/SDA 割り込み使用可
	電圧監視1 割り込み	デジタルフィルタ無効 (VW1C レジスタの VW1C1 ビットが“1”) のとき使用可	
	電圧監視2 割り込み	デジタルフィルタ無効 (VW2C レジスタの VW2C1 ビットが“1”) のとき使用可	
	NMI	デジタルフィルタ無効 (NMIDF レジスタの NMIDF2~NMIDF0 ビットが“000b”) のとき使用可	
リセット	ハードウェアリセット	使用可	
	電圧監視0 リセット	使用可	

ハードウェアリセット、電圧監視0 リセット、 $\overline{\text{NMI}}$ 割り込み、電圧監視1 割り込みまたは電圧監視2 割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタの ILVL2~ILVL0 ビットをすべて“000b” (割り込み禁止) にした後、CM10 ビットを“1”にしてください。

割り込みで復帰する場合、割り込み要求が発生して、CPU クロックの供給が開始されると割り込みルーチンを実行します。

割り込みでストップモードから復帰した場合の CPU クロックは、ストップモード遷移前の CPU クロックによって異なります。表 9.9 にストップモードから復帰後の CPU クロックを示します。

表 9.9 ストップモードから復帰後の CPU クロック

ストップモード遷移前の CPU クロック	ストップモードから復帰後の CPU クロック
メインクロックの1分周 (分周なし)、2分周、4分周、8分周、または16分周	メインクロックの8分周
fOCO-S の1分周 (分周なし)、2分周、4分周、8分周、または16分周	fOCO-S の8分周
fC	fC

9.4 フラッシュメモリのパワーコントロール

9.4.1 フラッシュメモリの停止

フラッシュメモリを停止すると、消費電流が少なくなります。フラッシュメモリを停止するので、フラッシュメモリ以外の領域でプログラムを実行してください。図 9.3 にフラッシュメモリの停止/再開手順を示します。このフローチャートに従って操作してください。

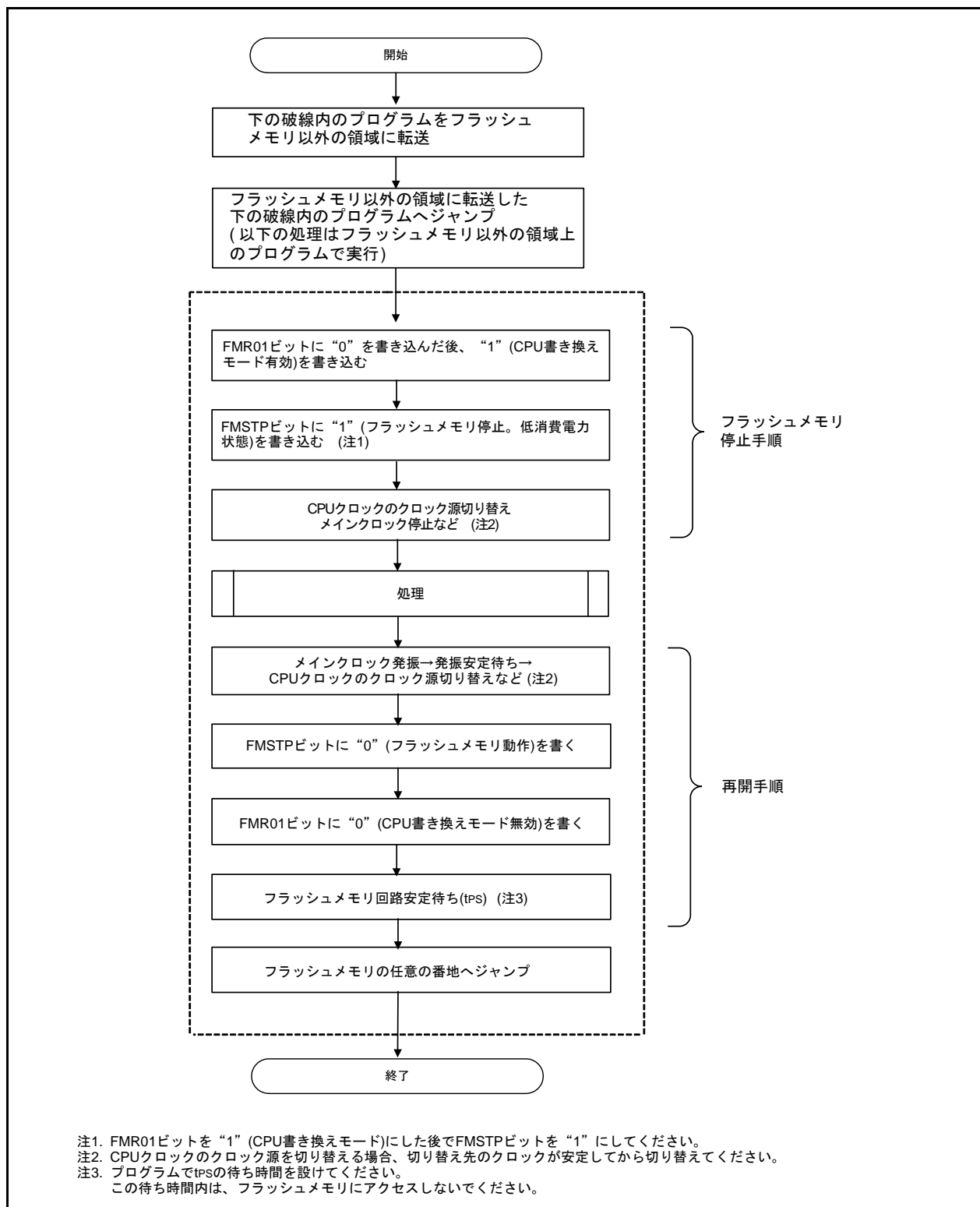


図 9.3 フラッシュメモリの停止/再開手順

9.4.2 フラッシュメモリの読み出し

FMR2 レジスタの FMR22、FMR23 ビットを使って、フラッシュメモリを読み出す際の消費電流を低減できます。

9.4.2.1 スローリードモード

$f(\text{BCLK}) \leq f(\text{SLOW_R})$ 、かつ PM1 レジスタの PM17 ビットが“1” (1 ウェイト) のとき使用できます。125kHz オンチップオシレータクロックまたはサブクロックが CPU クロックのクロック源の場合は、ウェイトは不要です。(テクニカルアップデート番号: TN-16C-A179A/J)

図 9.4 にスローリードモードの設定、解除を示します。

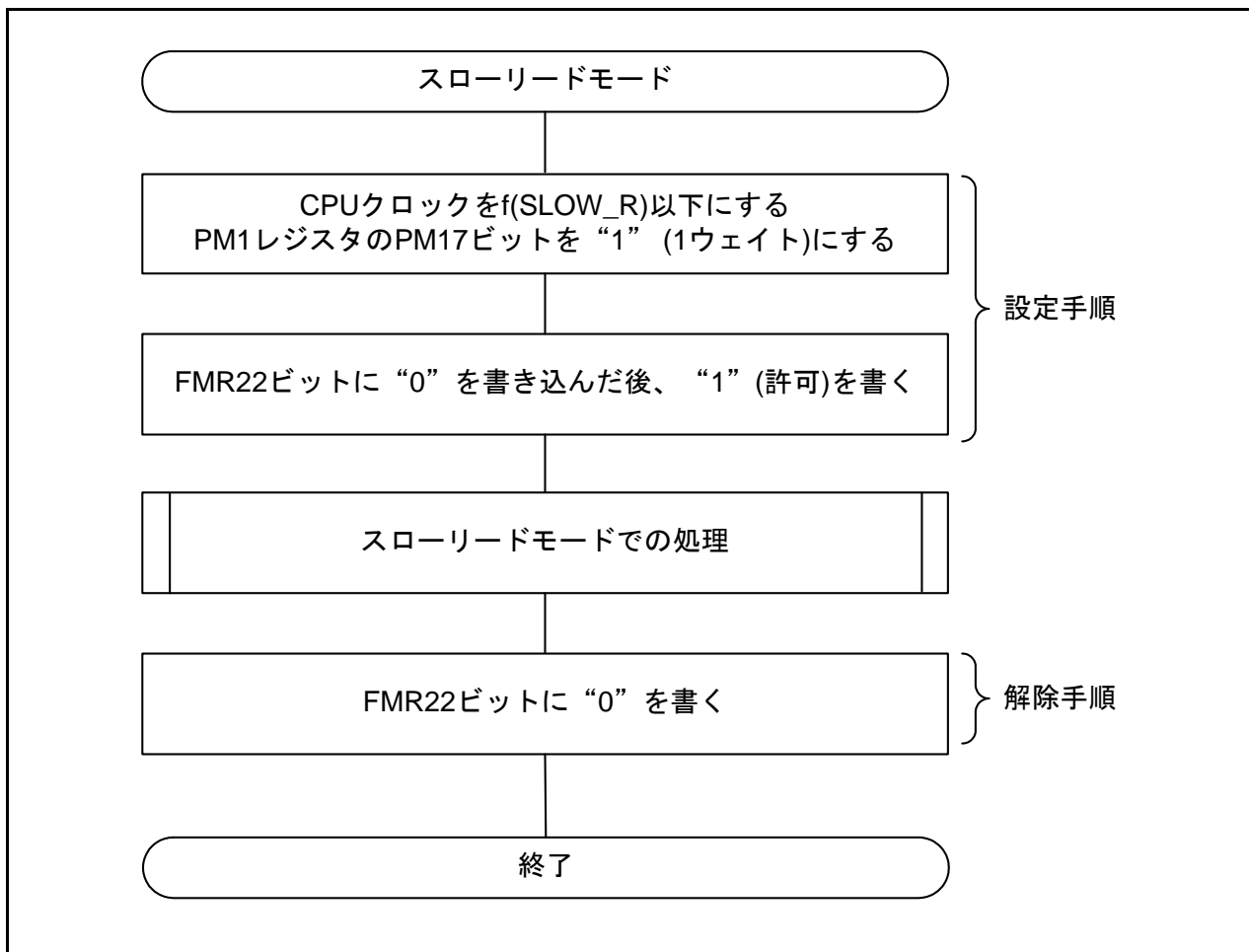


図 9.4 スローリードモードの設定、解除

9.4.2.2 低消費電流リードモード

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のとき使用できます。図9.5に低消費電流リードモードの設定、解除を示します。

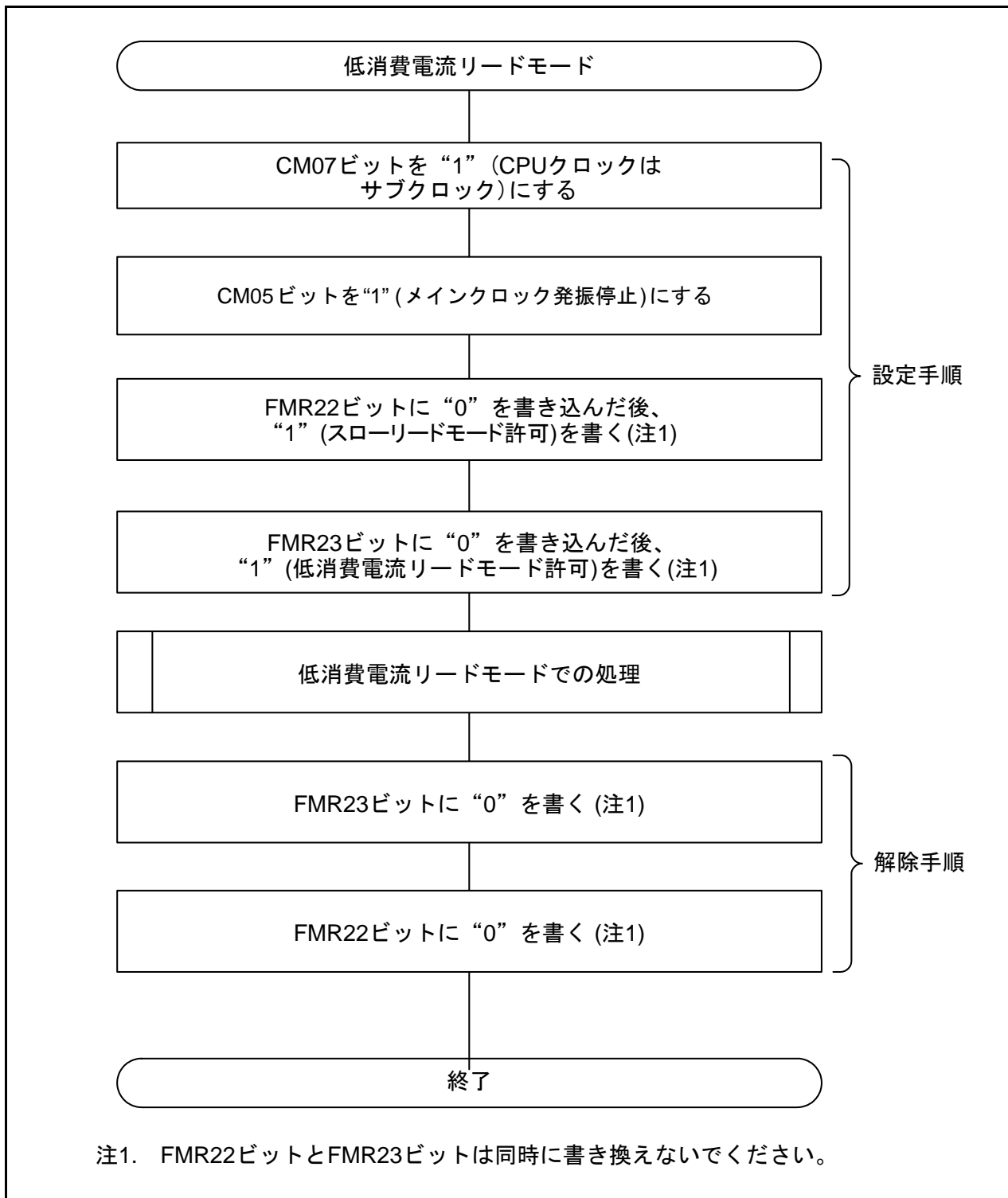


図 9.5 低消費電流リードモードの設定、解除

9.5 消費電力を少なくするためのポイント

消費電力を少なくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

9.5.1 ポート

ウェイトモードまたはストップモードに遷移しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに遷移してください。

9.5.2 A/Dコンバータ

A/D変換を行わない場合、ADCON1レジスタのADSTBYビットを“0” (A/D動作停止)にしてください。

9.5.3 D/Aコンバータ

D/A変換を行わない場合、DACONレジスタのDAiEビット (i=0~1)を“0” (出力禁止)にし、DAiレジスタを“00h”にしてください。

9.5.4 周辺機能の停止

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

9.5.5 発振駆動能力の切り替え

発振が安定している場合、駆動能力を“Low”にしてください。

9.6 パワーコントロール使用上の注意事項

9.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

9.6.2 ウェイトモード

- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューはWAIT命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにWAIT命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
          WAIT          ;ウェイトモードに遷移
          NOP          ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。
 - PLL動作モード (中速モードに遷移した後、PLC07ビットを“0” (PLL停止)にする)
 - 低消費電流リードモード (FMR2レジスタのFMR23ビットを“0” (低消費電流リードモード禁止)にする)
 - CPU書き換えモード (FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止にする)
- PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。PLC07ビットが“1” (PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

9.6.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上 $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ (i=0~4)のMR0ビットを“0” (パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1” (ストップモード)にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

ストップモードに遷移するときのプログラム例を示します。

```

例:      FSET   I
          BSET   0, CM1      ;ストップモードに遷移
          JMP.B  L2          ;JMP.B 命令を挿入

L2:
          NOP                    ;NOP命令を4つ以上
          NOP
          NOP
          NOP
  
```

- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

9.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図 9.5 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

9.6.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

10. プロセッサモード

10.1 概要

プロセッサモードは、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードを選択できます。表 10.1 にプロセッサモードの特長を示します。

表 10.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部 RAM、内部 ROM	全端子が入出力ポートまたは周辺機能入出力端子
メモリ拡張モード	SFR、内部 RAM、内部 ROM、外部領域 (注1)	一部の端子がバス制御端子 (注1)
マイクロプロセッサモード	SFR、内部 RAM、外部領域 (注1)	一部の端子がバス制御端子 (注1)

注1. 詳細は、「11. バス」を参照してください。

表 10.2 入出力端子

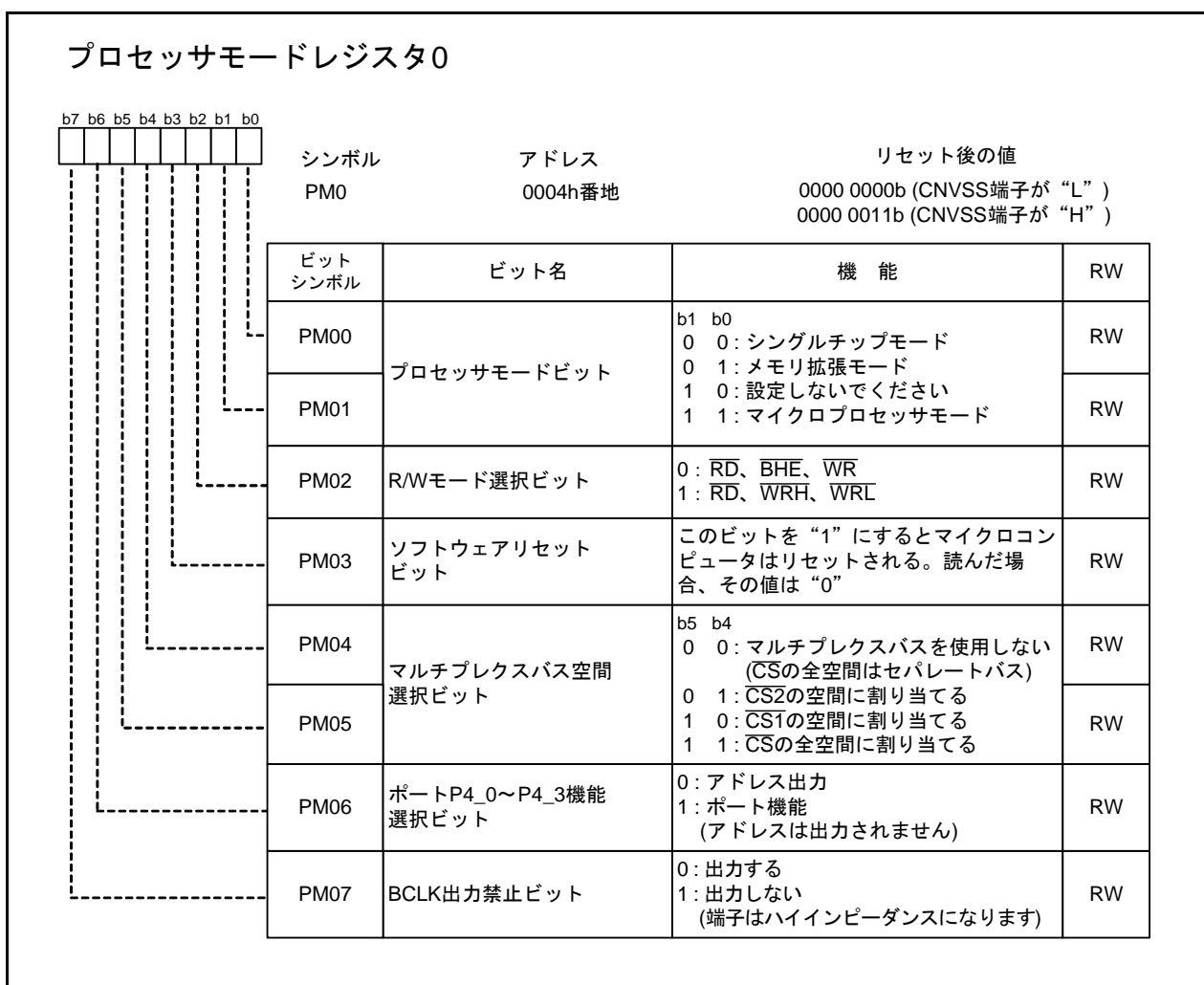
端子名	入出力	機能
CNVSS	入力	プロセッサモード選択

10.2 レジスタの説明

表 10.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ 0	PM0	0000 0000b (CNVSS 端子が“L”) 0000 0011b (CNVSS 端子が“H”)
0005h	プロセッサモードレジスタ 1	PM1	0000 1000b
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b

10.2.1 プロセッサモードレジスタ 0 (PM0)



このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。
PM01~PM00 ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
PM02、PM05~PM04、PM06、PM07 ビットは、PM01~PM00 ビットが“01b” (メモリ拡張モード)、または“11b” (マイクロプロセッサモード)のとき有効です。

PM01~PM00 (プロセッサモードビット) (b1~b0)

PM01~PM00 ビットを書き換える場合、PM07~PM02 ビットと同時に書き換えないでください。
(テクニカルアップデート番号: TN-M16C-71-0104)

10.2.2 プロセッサモードレジスタ1 (PM1)

プロセッサモードレジスタ1			
ビットシンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0			
0			
シンボル	アドレス	リセット後の値	
PM1	0005h番地	0000 1000b	
PM10	CS2領域切り替えビット (データフラッシュ有効ビット)	0: 0E000h~0FFFFhはCS2領域 1: 0E000h~0FFFFhはデータフラッシュ	RW
PM11	ポートP3_7~P3_4機能選択 ビット	0: アドレス出力 1: ポート機能	RW
PM12	ウォッチドッグタイマ機能選択 ビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット	RW
PM13	内部領域拡張ビット0	「PM13 (内部予約領域拡張ビット0) (b3)」 参照	RW
PM14	メモリ空間拡張ビット	b5 b4 0 0: 1Mバイトモード(拡張なし) 0 1: 設定しないでください	RW
PM15		1 0: 設定しないでください 1 1: 4Mバイトモード	RW
— (b6)	予約ビット	“0” にしてください	RW
PM17	ウェイトビット	0: ウェイトなし 1: ウェイトあり(1ウェイト)	RW

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。
PM12ビットはプログラムで“1”を書くと“1”になります（“0”を書いても変化しません）。
PM11、PM15~PM14ビットは、PM01~PM00ビットが“01b”（メモリ拡張モード）、または“11b”（マイクロプロセッサモード）のとき有効です。

PM10 (CS2領域切り替えビット(データフラッシュ有効ビット)) (b0)

0E000h~0FFFFh番地の機能を選択するビットです。表 10.4にデータフラッシュ (0E000h~0FFFFh番地)を示します。

表 10.4 データフラッシュ (0E000h~0FFFFh番地)

PM1レジスタのPM10ビット		0	1
プロセッサモード	シングルチップモード	予約領域	データフラッシュ
	メモリ拡張モード	外部領域	データフラッシュ
	マイクロプロセッサモード	外部領域	予約領域

データフラッシュにはブロック A (0E000h~0EFFFh番地)、ブロック B (0F000h~0FFFFh)があります。
PM10ビットでデータフラッシュを選択すると、ブロック A、ブロック B両方が使用できます。

PM10ビットは、FMR0レジスタのFMR01ビットが“1”（CPU書き換えモード）の期間、自動的に“1”になります。

PM13 (内部予約領域拡張ビット0) (b3)

RAM、プログラムROM1、外部領域の使用できる範囲を選択します。

PM13ビットが“0”の場合は、RAMとプログラムROM1にサイズ制限がありますが、外部領域を大きく使えます。

PM13ビットが“1”の場合は、RAMの全領域と、プログラムROM1の80000h~CFFFFh番地が使えます。表10.5にPM13ビットの機能を、表10.6に80000h~CFFFFh番地の機能を示します。

表 10.5 PM13ビットの機能

アクセス領域		ビット設定		
		PM13=0	PM13=1	
内部	RAM	最大00400h~03FFFh番地 (15Kバイト)を使用可能 (04000h~0CFFFh番地は使用できない)	全領域を使用可能	
	プログラムROM1	最大D0000h~FFFFFFh番地 (192Kバイト)を使用可能 (40000h~CFFFFh番地は使用できない)	最大80000h~FFFFFFh番地を使用可能 (40000h~7FFFFh番地は使用できない)	
外部	メモリ拡張モード	04000h~0CFFFh番地	使用可能	予約領域
		40000h~7FFFFh番地	使用可能	使用可能
		80000h~CFFFFh番地	使用可能	予約領域
	マイクロプロセッサモード	04000h~0CFFFh番地	使用可能	予約領域
		40000h~7FFFFh番地	使用可能	使用可能
		80000h~CFFFFh番地	使用可能	使用可能

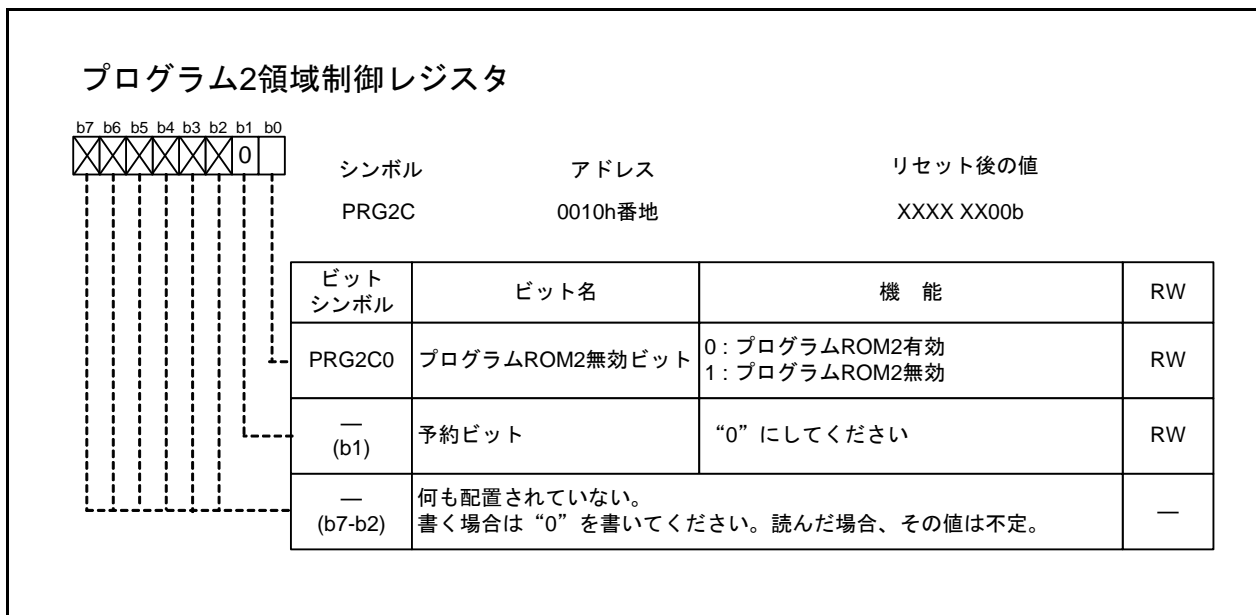
PM13: PM1レジスタのビット

表 10.6 80000h~CFFFFh番地の機能

PM1レジスタのPM13ビット		0	1
プロセッサモード	シングルチップモード	予約領域	プログラムROM1があればプログラムROM1。なければ予約領域
	メモリ拡張モード	外部領域	
	マイクロプロセッサモード	外部領域	外部領域

PM13ビットは、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、自動的に“1”になります。

10.2.3 プログラム2領域制御レジスタ (PRG2C)



このレジスタはPRCRレジスタのPRC6ビットを“1” (書き込み許可) にした後で書き換えてください。

PRG2C0 (プログラムROM2無効ビット) (b0)

10000h~13FFFh番地の機能を選択するビットです。表 10.7にプログラムROM2 (10000h~13FFFh番地) を示します。

表 10.7 プログラムROM2 (10000h~13FFFh番地)

PRG2CレジスタのPRG2C0ビット		0	1
プロセッサモード	シングルチップモード	プログラムROM2	予約領域
	メモリ拡張モード	プログラムROM2	外部領域
	マイクロプロセッサモード	予約領域	外部領域

プログラムROM2はオンチップデバッグモニタ領域、ユーザブートコード領域を含みます。(「30.7.1 ユーザブート機能」参照。)

10.3 動作説明

10.3.1 プロセッサモードの設定

プロセッサモードの設定は、CNVSS 端子と、PM0 レジスタの PM01~PM00 ビットで行います。
ハードウェアリセット、パワーオンリセット、または電圧監視 0 リセットでは、CNVSS 端子の入力レベルで選択したプロセッサモードになります。表 10.8 にハードウェアリセット、パワーオンリセット、または電圧監視 0 リセット後のプロセッサモードを示します。

表 10.8 ハードウェアリセット、パワーオンリセット、または電圧監視 0 リセット後のプロセッサモード

CNVSS 端子の入力レベル	プロセッサモード	PM0 レジスタの PM01~PM00 ビット
VSS	シングルチップモード	00b (シングルチップモード)
VCC1	マイクロプロセッサモード	11b (マイクロプロセッサモード)

プログラムで PM01~PM00 ビットを書き換えると、CNVSS 端子の入力レベルにかかわらず、PM01~PM00 ビットに対応するモードになります。ただし、CNVSS 端子に VCC1 を入力し、ハードウェアリセット、パワーオンリセット、または電圧監視 0 リセットした場合、PM01、PM00 ビットにかかわらず、内部 ROM はアクセスできません。表 10.9 に PM01~PM00 ビットの設定値に対するプロセッサモードを示します。

内部 ROM でのマイクロプロセッサモードへの移行、内部 ROM と重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

表 10.9 PM01~PM00 ビットの設定値に対するプロセッサモード

PM01~PM00 ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
10b	設定しないでください
11b	マイクロプロセッサモード

図 10.1 にシングルチップモード時のメモリ配置を示します。

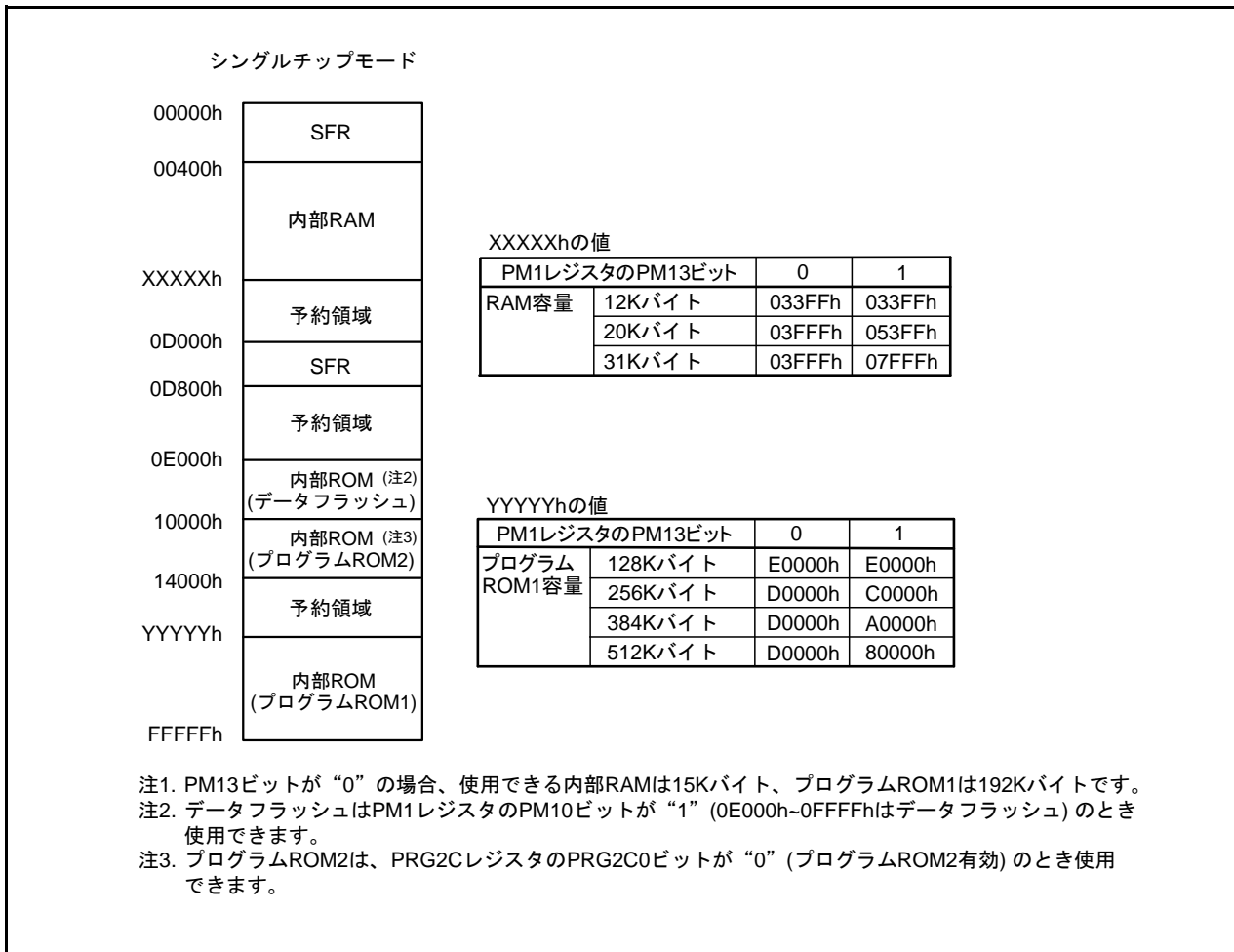


図 10.1 シングルチップモード時のメモリ配置

11. バス

11.1 概要

バスは、マイコン内部の内部バスと、メモリ拡張モードまたはマイクロプロセッサモードで外部デバイスをアクセスする際に使用する外部バスがあります。

表 11.1 バスの仕様

項目	内容
内部バス	<ul style="list-style-type: none"> •すべてのプロセッサモードで使用 •セパレートバス •データバス幅16ビット •ソフトウェアウェイト 0~1ウェイト挿入可
外部バス	<ul style="list-style-type: none"> •メモリ拡張モード、マイクロプロセッサモードで使用 •セパレートバス/マルチプレクスバス切り替え可 •データバス幅切り替え可 (8ビット/16ビット) •アドレスバス本数切り替え可 (12本/16本/20本) •チップセレクト4出力 $\overline{CS0}$~$\overline{CS3}$ •リード、ライト信号組み合わせを選択可 (\overline{RD}、\overline{BHE}、\overline{WR}、または \overline{RD}、\overline{WRL}、\overline{WRH}) •\overline{RDY}あり •ソフトウェアウェイト 0~3ウェイト挿入可 •メモリ空間拡張機能(4Mバイトまで拡張可。「12. メモリ空間拡張機能」参照) •3V、5Vインタフェース

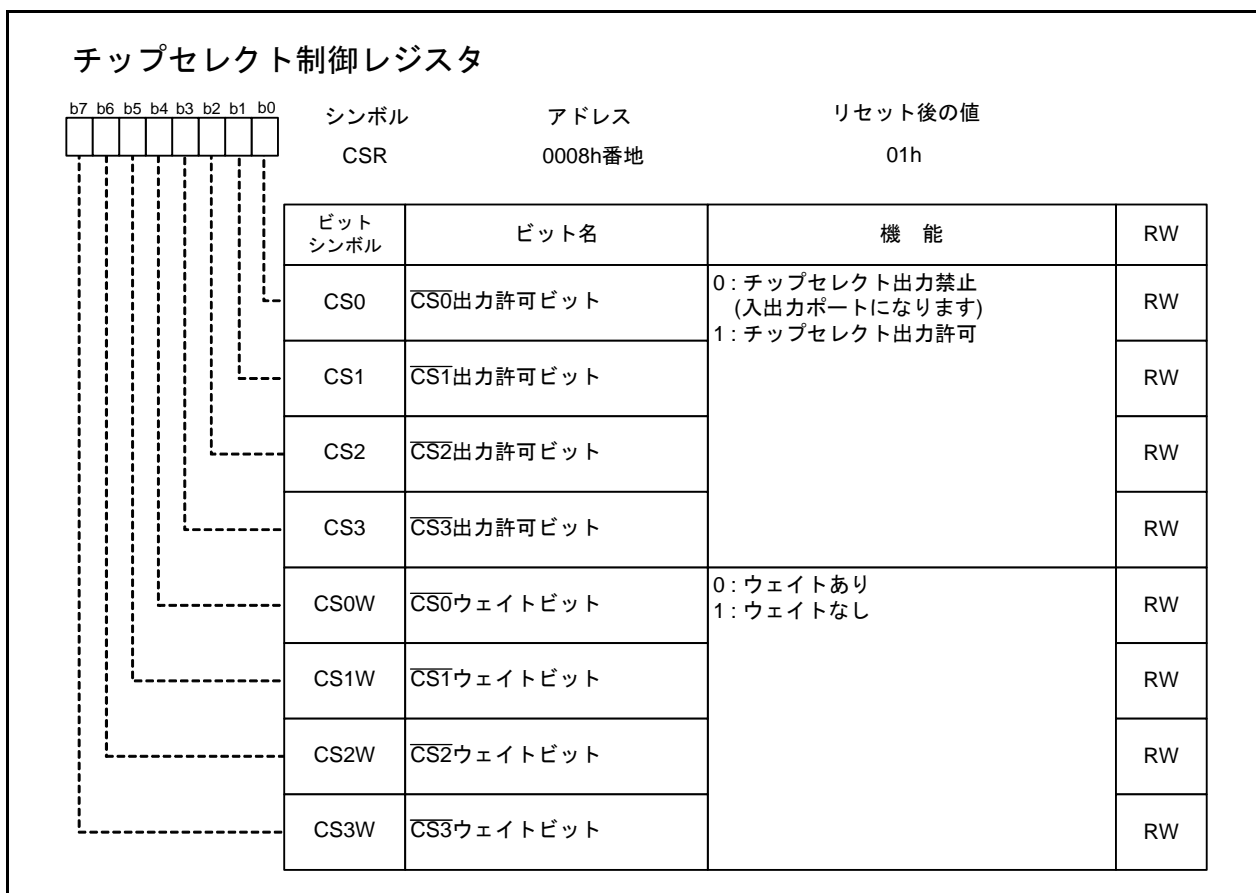
11.2 レジスタの説明

表 11.2 にバスに関係あるレジスタを示します。PM0、PM1 レジスタは「10. プロセッサモード」を、FMR1 レジスタは「30. フラッシュメモリ」を参照してください。

表 11.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	0000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0008h	チップセレクト制御レジスタ	CSR	01h
001Bh	チップセレクト拡張制御レジスタ	CSE	00h
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb

11.2.1 チップセレクト制御レジスタ (CSR)

CSiW (\overline{CSi} ウェイトビット) (i=0~3) (b7~b4)

次の場合はCSiW ビットを“0” (ウェイトあり) にしてください。

- \overline{CSi} (i=0~3) の示す領域に \overline{RDY} 信号を使用する
- \overline{CSi} (i=0~3) の示す領域にマルチプレクスバスを使用する
- メモリ拡張モードまたはマイクロプロセッサモードで、PM1 レジスタのPM17ビットが“1” (ウェイトあり)

CSiW ビットが“0” (ウェイトあり) のとき、CSE レジスタのCSEi1W~CSEi0W ビットでウェイト数を選択できます。

11.2.2 チップセレクト拡張制御レジスタ (CSE)

チップセレクト拡張制御レジスタ

ビット シンボル	ビット名	機 能	RW
CSE00W	CS $\bar{0}$ ウェイト拡張ビット	b1 b0 0 0: 1ウェイト (1 ϕ +1 ϕ) 0 1: 2ウェイト (1 ϕ +2 ϕ) 1 0: 3ウェイト (1 ϕ +3 ϕ) 1 1: 設定しないでください	RW
CSE01W		RW	
CSE10W	CS $\bar{1}$ ウェイト拡張ビット	b3 b2 0 0: 1ウェイト (1 ϕ +1 ϕ) 0 1: 2ウェイト (1 ϕ +2 ϕ) 1 0: 3ウェイト (1 ϕ +3 ϕ) 1 1: 設定しないでください	RW
CSE11W		RW	
CSE20W	CS $\bar{2}$ ウェイト拡張ビット	b5 b4 0 0: 1ウェイト (1 ϕ +1 ϕ) 0 1: 2ウェイト (1 ϕ +2 ϕ) 1 0: 3ウェイト (1 ϕ +3 ϕ) 1 1: 設定しないでください	RW
CSE21W		RW	
CSE30W	CS $\bar{3}$ ウェイト拡張ビット	b7 b6 0 0: 1ウェイト (1 ϕ +1 ϕ) 0 1: 2ウェイト (1 ϕ +2 ϕ) 1 0: 3ウェイト (1 ϕ +3 ϕ) 1 1: 設定しないでください	RW
CSE31W		RW	

CSRレジスタのCS \bar{i} Wビット(i=0~3)を“0”(ウェイトあり)にしてから、CSE \bar{i} 1W~CSE \bar{i} 0Wビットを書いてください。また、CS \bar{i} Wビットを“1”(ウェイトなし)にする場合は、CSE \bar{i} 1W~CSE \bar{i} 0Wビットを“00b”に戻した後、CS \bar{i} Wビットを“1”にしてください。

11.3 動作説明

11.3.1 内部バス、外部バス共通事項

11.3.1.1 基準クロック

内部バス、外部バスはともに BCLK を基準に動作します。ただし、アクセスする領域や、ウェイトの影響を受けます。詳細は「11.3.2.1 内部バスのソフトウェアウェイト」、「11.3.5.9 ソフトウェアウェイト」を参照してください。

11.3.1.2 バスホールド

次の場合は内部バス、外部バス共にホールド状態になります。

•フラッシュメモリを EW1 モードで書き換える際の、自動書き込み、自動消去中
バスがホールド状態になると、次のような影響が出ます。

- CPU 停止
- DMAC 停止
- CSPR レジスタの CSPRO ビットが“0” (カウントソース保護モード無効) の場合、ウォッチドッグタイマ停止
- 入出力ポートの状態保持

なお、バスの使用優先順位は高い方から順に、バスホールド、DMAC、CPU となります。ただし、CPU が奇数番地をワード単位でアクセスしている場合、2 回に分けられたアクセスの間、DMA はバス使用权を得ることはできません。図 11.1 にバスの使用優先順位を示します。

バスホールド > DMAC > CPU

図 11.1 バスの使用優先順位

11.3.2 内部バス

マイコンの内部領域をアクセスする際に使用します。

11.3.2.1 内部バスのソフトウェアウェイト

ソフトウェアウェイト関連ビットのうち、PM1レジスタのPM17ビットは、内部メモリと外部領域の両方に影響を与えます。表 11.3 にソフトウェアウェイト関連ビットとバスサイクル(SFR、内部メモリ)を示します。

内部ROMのうち、データフラッシュはPM17ビットとFMR1レジスタのFMR17ビットの両方の影響を受けます。

表 11.3 ソフトウェアウェイト関連ビットとバスサイクル(SFR、内部メモリ)

領域	ソフトウェアウェイト関連ビットの設定		ソフトウェアウェイト	バスサイクル	
	FMR1レジスタ FMR17ビット	PM1レジスタ PM17ビット			
SFR	—	—	1ウェイト	BCLKの2サイクル(注1)	
内部RAM	—	0	なし	BCLKの1サイクル(注1)	
		1	1ウェイト	BCLKの2サイクル	
内部ROM	プログラムROM1 プログラムROM2	—	なし	BCLKの1サイクル(注1)	
		1	1ウェイト	BCLKの2サイクル	
	データフラッシュ	0	—	1ウェイト	BCLKの2サイクル(注1)
		1	0	なし	BCLKの1サイクル
		1	1ウェイト	BCLKの2サイクル	

—: “0”でも“1”でも影響ない

注1. リセット後の状態

11.3.3 外部バス

メモリ拡張モードまたはマイクロプロセッサモードで、外部デバイスをアクセスする際に使用します。

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子となります。バス制御端子にはA0~A19、D0~D15、 $\overline{CS0}$ ~ $\overline{CS3}$ 、 \overline{RD} 、 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 \overline{ALE} 、 \overline{RDY} 、 \overline{HOLD} 、 \overline{HLDA} 、BCLKがあります。

11.3.4 外部バス形式

バスの形式は、PM0レジスタのPM05~PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。表 11.4 にセパレートバスとマルチプレクスバスの相違を示します。

11.3.4.1 セパレートバス

データとアドレスを分離するバスの形式です。

11.3.4.2 マルチプレクスバス

データとアドレスをマルチプレクスするバスの形式です。

- BYTE端子に“H”を入力している(データバス幅8ビット)場合
D0~D7がA0~A7とマルチプレクスされます。
- BYTE端子に“L”を入力している(データバス幅16ビット)場合
D0~D7がA1~A8とマルチプレクスされます。D8~D15はマルチプレクスされません。
D8~D15は使用しないでください。マルチプレクスバスに接続した外部デバイスは、マイクロコンピュータの偶数番地のみに配置されます。

表 11.4 セパレートバスとマルチプレクスバスの相違

端子名(注1)	セパレートバス	マルチプレクスバス	
		BYTE=H	BYTE=L
P0_0~P0_7/D0~D7		(注2)	(注2)
P1_0~P1_7/D8~D15		入出力ポート P1_0~P1_7	(注2)
P2_0/A0 (/D0)			
P2_1~P2_7/A1~A7 (/D1~D7/D0~D6)			
P3_0/A8 (/D7)			

注1. 上記以外のバス制御信号は「表 11.8 プロセッサモードと端子の機能表」を参照してください。

注2. PM0レジスタのPM05~PM04ビットの設定、アクセスする領域によって違います。詳細は「表 11.8 プロセッサモードと端子の機能表」を参照してください。

11.3.5 外部バス制御

外部デバイスのアクセスに必要な信号とソフトウェアウェイトについて説明します。

11.3.5.1 アドレスバス

アドレスバスはA0~A19の20本あります。アドレスバス幅はPM0レジスタのPM06ビットとPM1レジスタのPM11ビットによって12ビット、16ビット、20ビットから選択できます。表 11.5 にPM06ビット、PM11ビットの設定値とアドレスバス幅を示します。

表 11.5 PM06ビット、PM11ビットの設定値とアドレスバス幅

設定値(注1)	端子の機能	アドレスバス幅
PM11=1	P3_4~P3_7	12ビット
PM06=1	P4_0~P4_3	
PM11=0	A12~A15	16ビット
PM06=1	P4_0~P4_3	
PM11=0	A12~A15	20ビット
PM06=0	A16~A19	

注1. この表で示す値以外を設定しないでください。

なお、シングルチップモードからメモリ拡張モードに変更した場合、アドレスバスは外部領域をアクセスするまで不定です。

11.3.5.2 データバス

BYTE端子に“H”を入力している(データバス幅が8ビット)場合、D0~D7の8本がデータバスに、BYTE端子に“L”を入力している(データバス幅が16ビット)場合、D0~D15の16本がデータバスになります。

BYTE端子の入力レベルは変更しないでください。

11.3.5.3 チップセレクト信号

チップセレクト信号(以下、 \overline{CS} と称す)は \overline{CS}_i ($i=0\sim 3$)端子から出力されます。CSRレジスタの CS_i ビットによって、端子の機能を入出力ポートにするか \overline{CS} にするかを選択できます。

1Mバイトモードでは \overline{CS}_i 端子から出力される \overline{CS}_i 信号によって外部領域を最大4つに分割できます。4Mバイトモードでは \overline{CS}_i 端子から \overline{CS}_i 信号またはバンク番号が出力されます。詳細は「12. メモリ空間拡張機能」を参照してください。

図 11.2に1Mバイトモードでのアドレスバスと \overline{CS}_i 信号の出力例(セパレートバス、ウェイトなし)を示します。

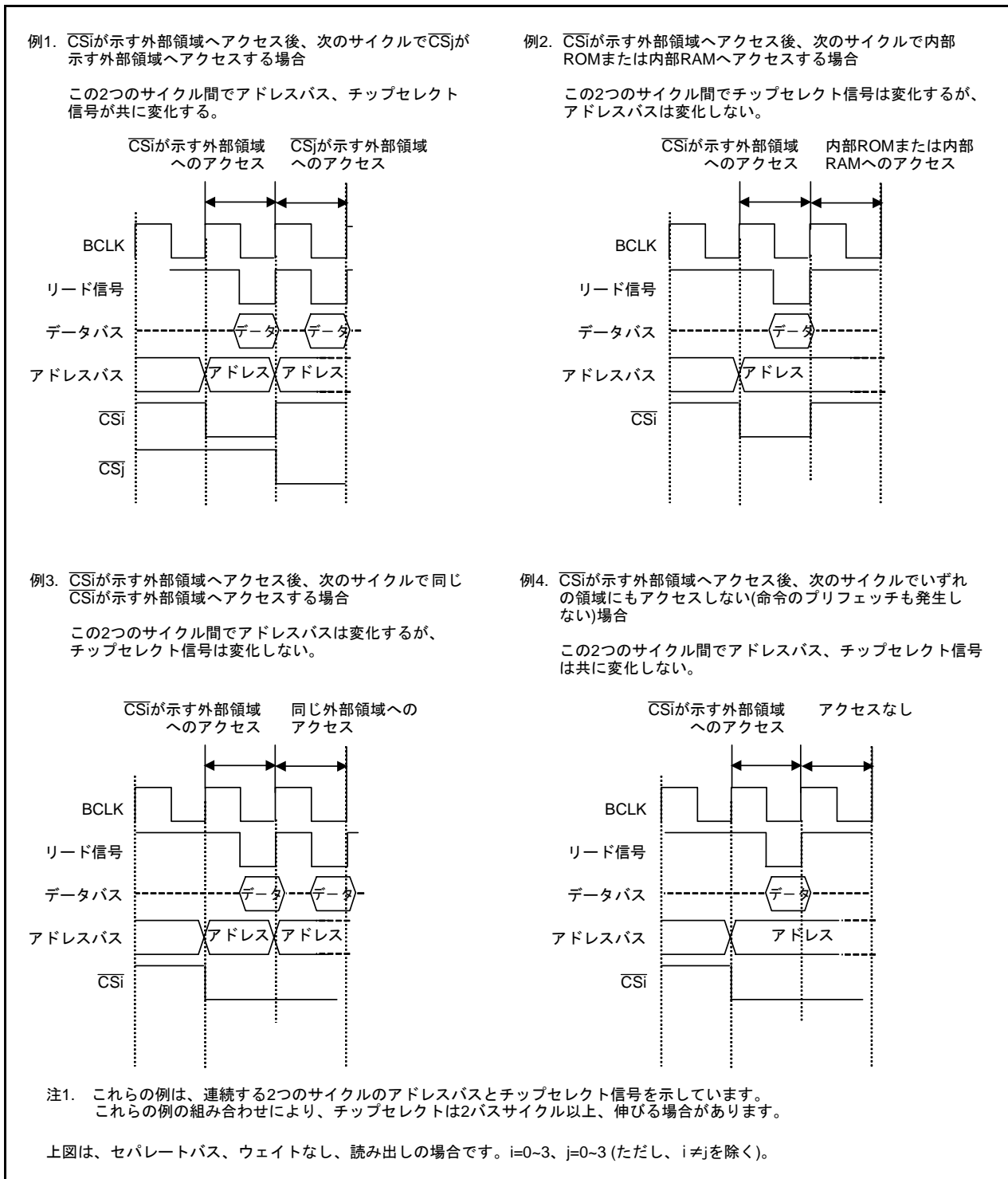


図 11.2 1Mバイトモードでのアドレスバスと \overline{CS}_i 信号の出力例

11.3.5.4 リード信号、ライト信号

データバス幅が16ビットの場合、リード信号、ライト信号はPM0レジスタのPM02ビットによって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。データバス幅が8ビットの場合、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせにしてください。表 11.6に \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作、表 11.7に \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作を示します。

表 11.6 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE端子に "L"を入力)	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地ともにデータを書く

表 11.7 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE端子に "L"を入力)	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地の1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地の1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地ともにデータを書く
	L	H	L	L	偶数番地、奇数番地ともにデータを読む
8ビット (BYTE端子に "H"を入力)	H	L	-(注1)	HまたはL	1バイトのデータを書く
	L	H	-(注1)	HまたはL	1バイトのデータを読む

注1. 使用しないでください。

11.3.5.5 ALE 信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE 信号の立ち下がりでもアドレスをラッチしてください。

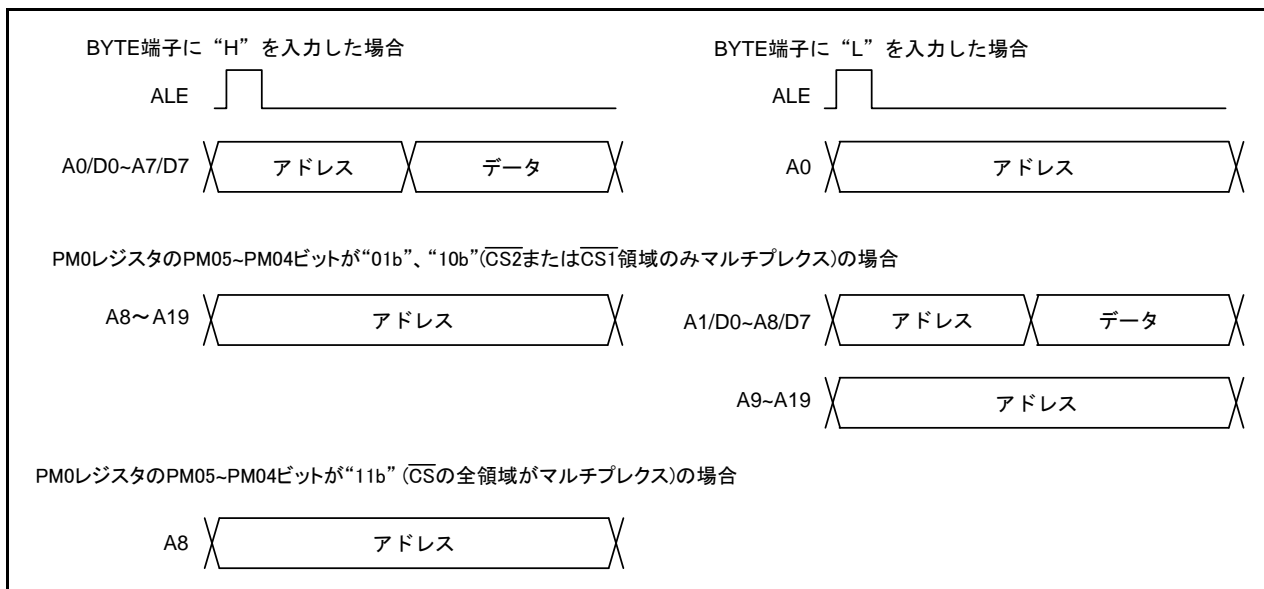


図 11.3 ALE 信号とアドレスバス、データバス

11.3.5.6 $\overline{\text{RDY}}$ 信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後の BCLK の立ち下がり時に $\overline{\text{RDY}}$ 端子へ“L”が入力されている場合、バスサイクルにウェイトが挿入されます。 $\overline{\text{RDY}}$ 信号によるウェイト中、次の信号は $\overline{\text{RDY}}$ 信号を受け付けたときの状態を保持します。

A0~A19、D0~D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$

その後、BCLK の立ち下がり時に $\overline{\text{RDY}}$ 端子へ“H”が入力されていると、残りのバスサイクルを実行します。図 11.4 に $\overline{\text{RDY}}$ 信号によってリードサイクルにウェイトが挿入された例を示します。

$\overline{\text{RDY}}$ 信号を使用する場合、CSR レジスタの対応するビット (CS3W~CS0W ビット) を“0” (ウェイトあり) にしてください。 $\overline{\text{RDY}}$ 信号を使用しない場合、 $\overline{\text{RDY}}$ 端子をプルアップしてください。

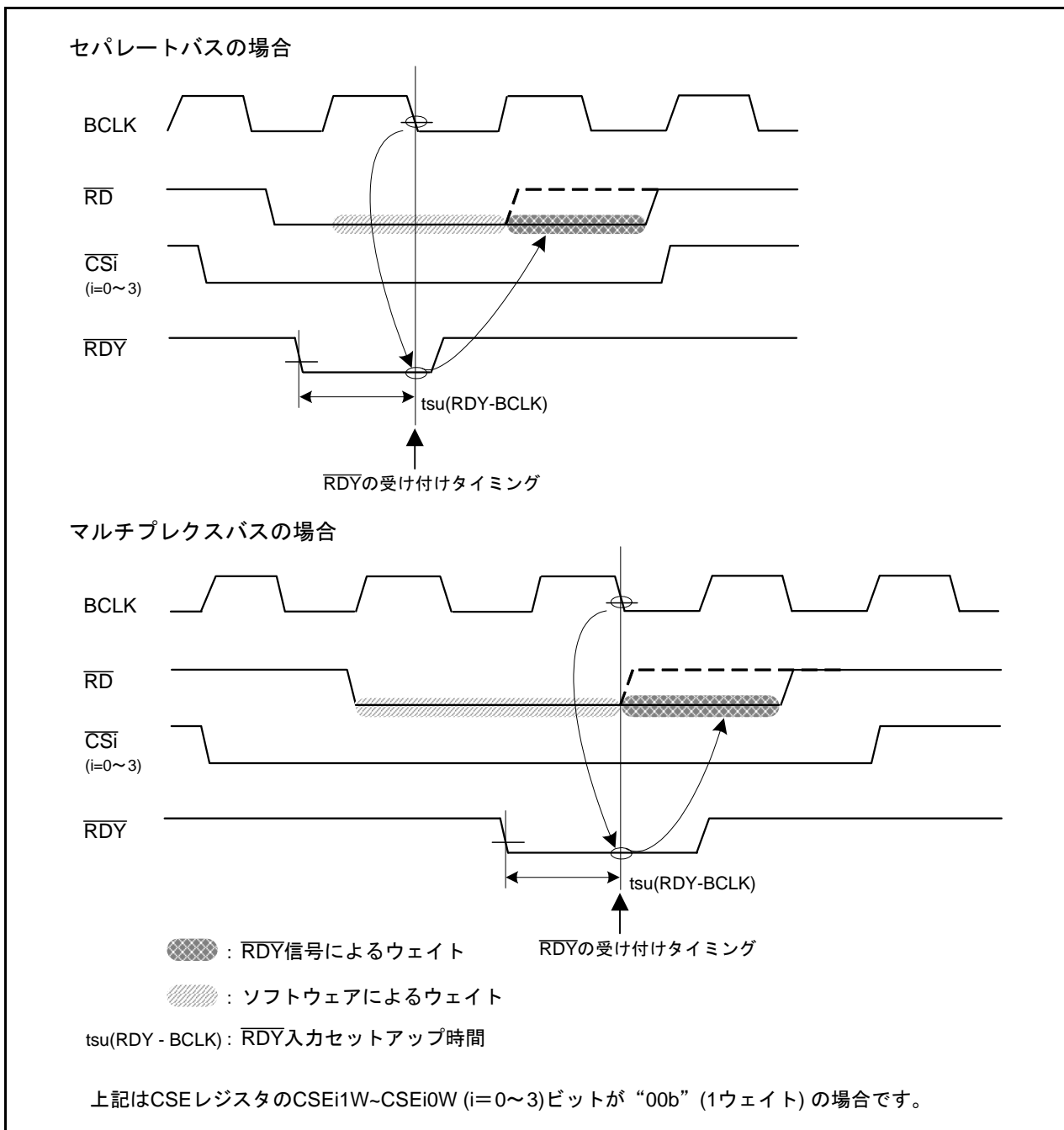


図 11.4 $\overline{\text{RDY}}$ 信号によってリードサイクルにウェイトが挿入された例

11.3.5.7 BCLK出力

PM0 レジスタの PM07 ビットを“0” (出力する) にすると、CPU クロックと同一周波数のクロックが BCLK として BCLK 端子から出力されます。詳細は「8.4 CPU クロックと周辺機能クロック」を参照してください。

表 11.8 プロセッサモードと端子の機能表

プロセッサモード	メモリ拡張モードまたはマイクロプロセッサモード				メモリ拡張モード
PM05~PM04 ビット	00b(セパレートバス)		01b (CS2領域はマルチプレクスバス それ以外はセパレートバス) 10b (CS1領域はマルチプレクスバス それ以外はセパレートバス)		11b (CSの全空間がマルチプレクスバス) (注1、2、3)
データバス幅 BYTE 端子	8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
P0_0~P0_7	D0~D7	D0~D7	D0~D7 (注6)	D0~D7 (注6)	入出力ポート
P1_0~P1_7	入出力ポート	D8~D15	入出力ポート	D8~D15 (注6、7)	入出力ポート
P2_0	A0	A0	A0/D0 (注4)	A0	A0/D0
P2_1~P2_7	A1~A7	A1~A7	A1~A7/D1~D7 (注4)	A1~A7/D0~D6 (注4)	A1~A7/D1~D7
P3_0	A8	A8	A8	A8/D7 (注4)	不定値を出力
P3_1~P3_3	A9~A11				入出力ポート
P3_4~P3_7	PM11=0	A12~A15			入出力ポート
	PM11=1	入出力ポート			
P4_0~P4_3	PM06=0	A16~A19			入出力ポート
	PM06=1	入出力ポート			
P4_4	CS0=0	入出力ポート			
	CS0=1	CS0			
P4_5	CS1=0	入出力ポート			
	CS1=1	CS1			
P4_6	CS2=0	入出力ポート			
	CS2=1	CS2			
P4_7	CS3=0	入出力ポート			
	CS3=1	CS3			
P5_0	PM02=0	WR			
	PM02=1	– (注5)	WRL	– (注5)	WRL
P5_1	PM02=0	BHE			
	PM02=1	– (注5)	WRH	– (注5)	WRH
P5_2	RD				
P5_3	BCLK				
P5_4	HLDA				
P5_5	HOLD				
P5_6	ALE				
P5_7	RDY				

入出力ポート: 入出力ポートまたは周辺機能入出力端子として機能する

PM11: PM1 レジスタのビット

PM06、PM05~PM04、PM02: PM0 レジスタのビット

CS3~CS0: CSR レジスタのビット

注1. PM01~PM00ビットが“01b” (メモリ拡張モード) で、PM05~PM04ビットを“11b” (マルチプレクスバスをCSの全空間に割り当てる) にする場合、BYTE 端子に“H”を入力 (外部データバスは8ビット) してください。

注2. CNVSS端子にVCC1を入力している場合、リセット後、PM05~PM04ビットを“11b”にしないでください。

注3. メモリ拡張モードで、PM05~PM04ビットを“11b”にした場合、P3_1~P3_7、P4_0~P4_3は入出力ポートとなりますので、アクセスできる領域はCSごとに256バイトです。

注4. セパレートバスではアドレスバスになります。

注5. データバス幅8ビットの場合、PM02ビットは“0” (RD、BHE、WR) にしてください。

注6. マルチプレクスバスを使用する領域をアクセスする場合、書き込み時は不定値を出力します。

注7. マルチプレクスバスではD8~D15を使用しないでください。

11.3.5.8 内部領域をアクセスしたときの外部バスの状態

表 11.9 に内部領域をアクセスしたときの外部バスの状態、図 11.5 に SFR をアクセスした場合のバスタイミング例を示します。

表 11.9 内部領域をアクセスしたときの外部バスの状態

項目	SFR をアクセスしたときの状態	内部ROM、RAM をアクセスしたときの状態
A0~A19	アドレスを出力	直前にアクセスされた外部領域または SFR のアドレスを保持
D0~D15	リード時	ハイインピーダンス
	ライト時	不定
RD、WR、WRL、WRH	RD、WR、WRL、WRH を出力	"H" を出力
BHE	BHE を出力	直前にアクセスされた外部領域または SFR の状態を保持
CS0~CS3	"H" を出力	"H" を出力
ALE	"L" を出力	"L" を出力

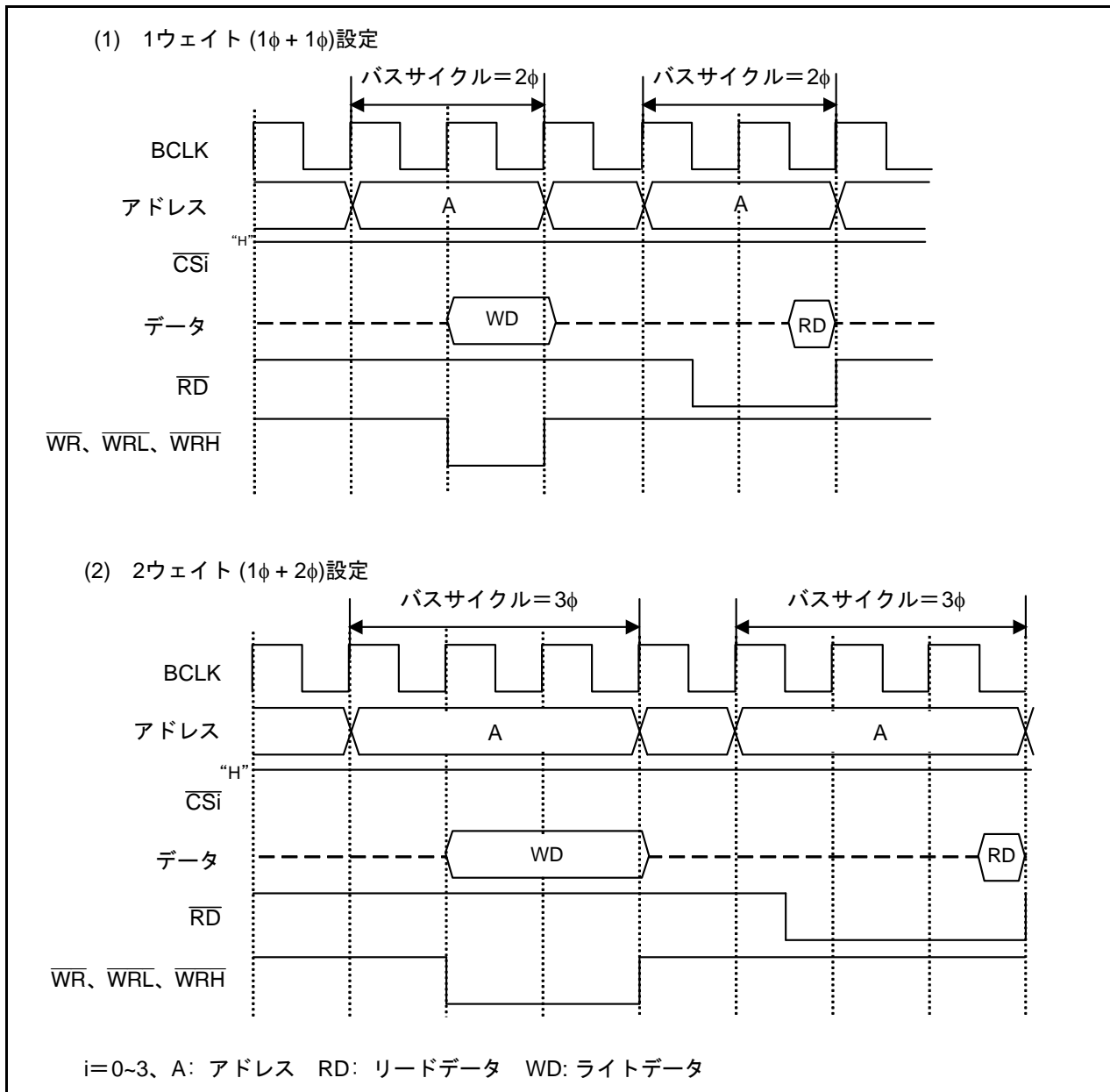


図 11.5 SFR をアクセスした場合のバスタイミング例

11.3.5.9 ソフトウェアウェイト

ソフトウェアウェイト関連ビットのうち、PM1レジスタのPM17ビットは、内部メモリと外部領域の両方に影響を与えます。

外部領域は、PM17ビットの他、 \overline{CSi} ($i=0\sim3$) ごとにCSRレジスタのCSiWビット、CSEレジスタのCSEi1W~CSEi0Wビットによって、ソフトウェアウェイトを挿入できます。なお、RDY信号を使用する場合、CSiWビットの該当するビットを“0”(ウェイトあり)にしてください。詳細は「表 11.10 ソフトウェアウェイト関連ビットとバスサイクル(外部領域)」を参照してください。

表 11.10 ソフトウェアウェイト関連ビットとバスサイクル(外部領域)

領域	バス形式	ソフトウェアウェイト関連ビットの設定			ソフトウェアウェイト (サイクル)	バスサイクル
		PM17	CSiW	CSEi1W、CSEi0W		
外部領域	セパレートバス	0	1	00b	なし	BCLKの1サイクル (リード)
						BCLKの2サイクル (ライト)
		—	0	00b	1ウェイト (1φ+1φ)	BCLKの2サイクル(注4)
		—	0	01b	2ウェイト (1φ+2φ)	BCLKの3サイクル
		—	0	10b	3ウェイト (1φ+3φ)	BCLKの4サイクル
		1	0 (注3)	00b	1ウェイト (1φ+1φ)	BCLKの2サイクル
	マルチプレクスバス	—	0 (注2)	00b	1ウェイト(注5)	BCLKの3サイクル
		—	0 (注2)	01b	2ウェイト	BCLKの3サイクル
		—	0 (注2)	10b	3ウェイト	BCLKの4サイクル
		1	0 (注2、3)	00b	1ウェイト(注5)	BCLKの3サイクル

i=0~3

—:“0”でも“1”でも影響ない

PM17 :PM1レジスタのビット

CSiW :CSRレジスタのビット(注1)

CSEi1W、CSEi0W :CSEレジスタのビット

注1. RDY信号を使用する場合CSiWビットを“0”(ウェイトあり)にしてください。

注2. マルチプレクスバスでアクセスする場合は、CSiWビットを“0”(ウェイトあり)にしてください。

注3. PM17ビットが“1”で外部領域をアクセスする場合は、CSiWビットを“0”(ウェイトあり)にしてください。

注4. リセット後、PM17ビットは“0”(ウェイトなし)、CS0W~CS3Wビットはすべて“0”(ウェイトあり)、CSEレジスタは“00h”(CS0~CS3は1ウェイト)ですので、外部領域はすべて1ウェイトになります。

注5. マルチプレクスバスで1ウェイトに設定した場合、2ウェイトと同じバスサイクルになります。

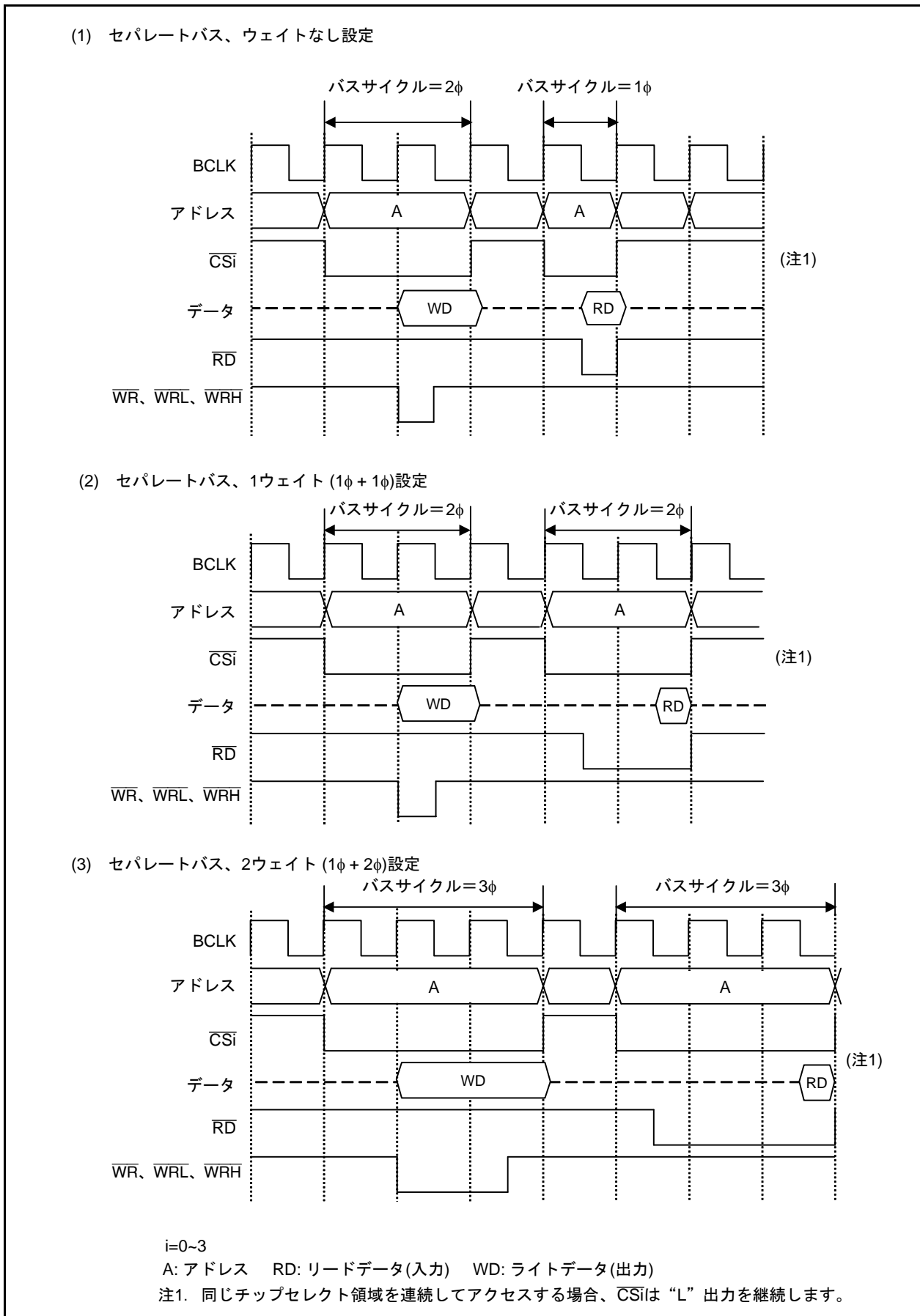


図 11.6 ソフトウェアウェイトを使用した場合のバスタイミング例 (1/2)

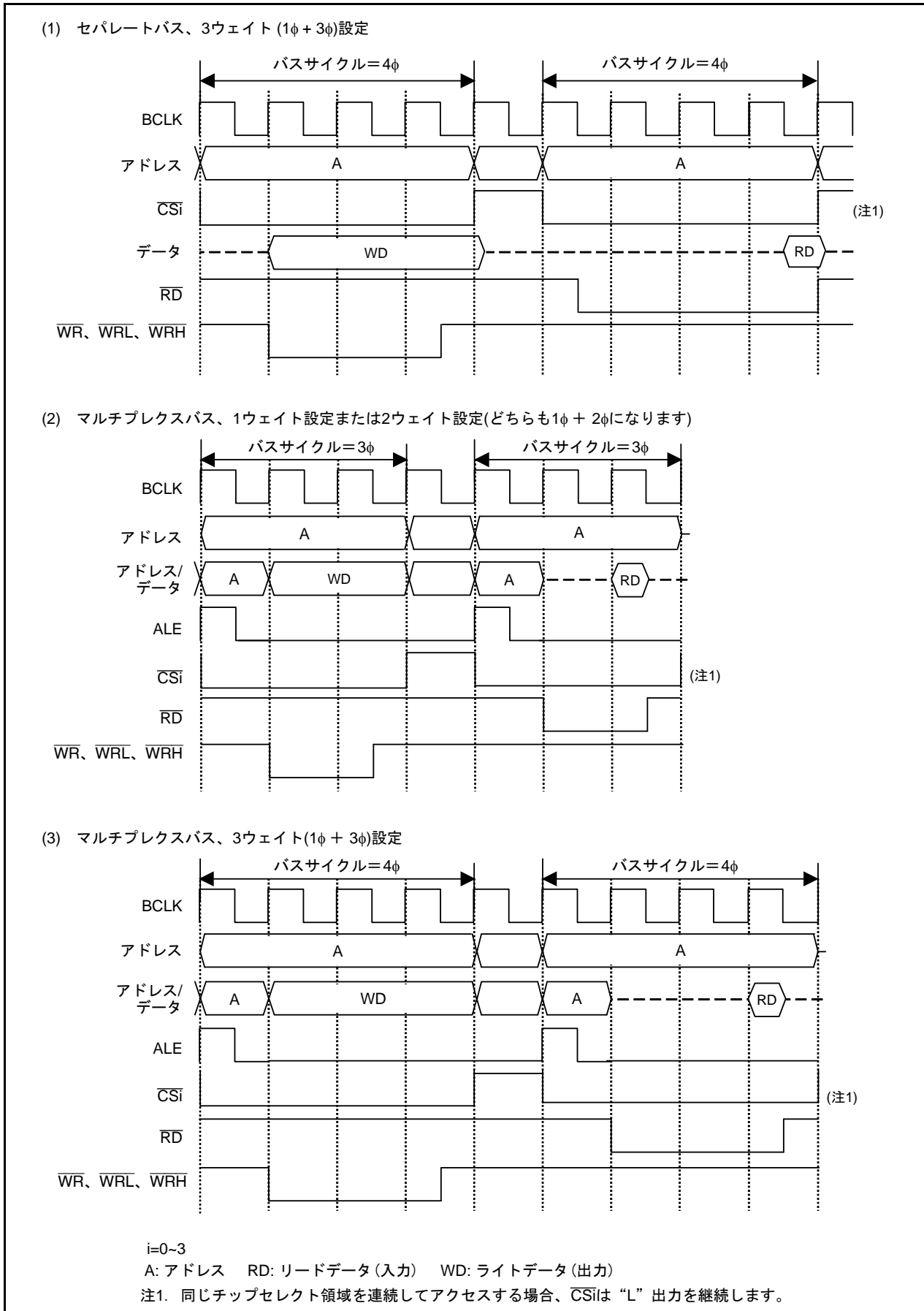


図 11.7 ソフトウェアウェイトを使用した場合のバスタイミング例 (2/2)

11.4 バス使用上の注意事項

11.4.1 データフラッシュ読み出し

2.7V \leq VCC1 \leq 3.0Vかつf(BCLK) \geq 16MHzの場合、または3.0V $<$ VCC1 \leq 5.5Vかつf(BCLK) \geq 20MHzの場合は、データフラッシュを読み出す際に1ウェイトが必要です。PM17ビットまたはFMR17ビットで1ウェイトにしてください。

11.4.2 外部バス

CNVSS端子に“H”を入力して、ハードウェアリセット、パワーオンリセットまたは電圧監視0リセットすると、内部ROMは読めません。

11.4.3 SFR書き込み直後の外部アクセス

SFR書き込みと外部デバイスアクセスが連続した場合、ライト信号と $\overline{\text{CSi}}$ 信号が同時に切り替わりますので、ライト信号が遅れないように各信号の容量を調整してください。

11.4.4 $\overline{\text{HOLD}}$

$\overline{\text{HOLD}}$ 入力は使用できません。 $\overline{\text{HOLD}}$ 端子は抵抗を介してVCC2に接続(プルアップ)してください。

12. メモリ空間拡張機能

12.1 概要

メモリ空間拡張機能について説明します。メモリ拡張モードまたはマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張できます。表 12.1 にメモリ空間拡張機能の仕様を示します。なお、この章では、 \overline{CSi} ($i=0\sim 3$)信号によってアクセスできる外部領域を \overline{CSi} 領域と称します。

表 12.1 メモリ空間拡張機能の仕様

項目	内容
1Mバイトモード	<ul style="list-style-type: none"> メモリ空間 1Mバイト (拡張なし) \overline{CSi}信号でアクセスできる外部領域 (\overline{CSi}領域) を指定
4Mバイトモード	<ul style="list-style-type: none"> メモリ空間 4Mバイト データをアクセスする場合のバンク番号を選択 アクセスする番地に4000h番地分のオフセット追加可能 \overline{CSi}端子の機能はアクセスする領域によって異なる

$i=0\sim 3$

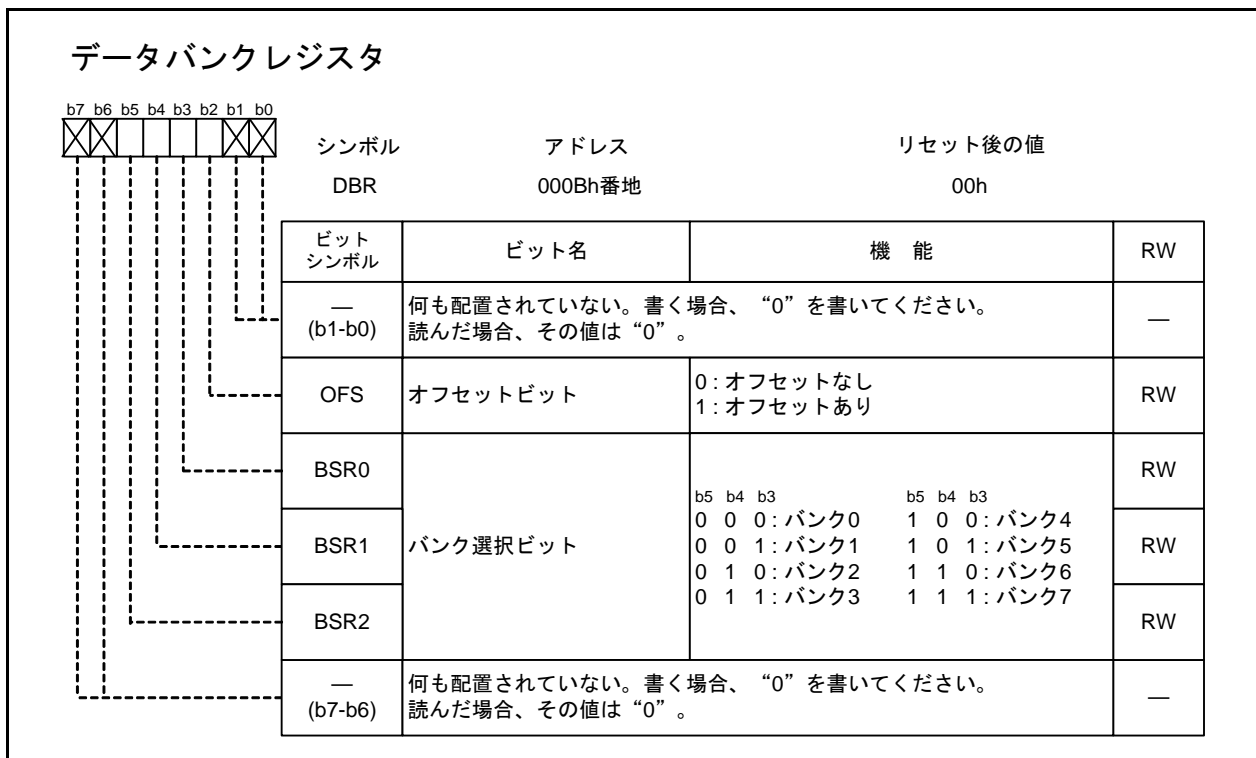
12.2 レジスタの説明

表 12.2 にメモリ空間拡張機能に関係あるレジスタを示します。PM1 レジスタは「10. プロセッサモード」を参照してください。

表 12.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
000Bh	データバンクレジスタ	DBR	00h

12.2.1 データバンクレジスタ (DBR)



DBRレジスタは、PM0レジスタのPM01~PM00ビットが“01b”(メモリ拡張モード)または、“11b”(マイクロプロセッサモード)の場合に有効です。

DBRレジスタは、PM1レジスタのPM15~PM14ビットが“11b”(4Mバイトモード)のとき書き込めます。

12.3 動作説明

12.3.1 1Mバイトモード

メモリ空間が1Mバイトのモードです。1Mバイトモードでは、 \overline{CSi} 信号によってアクセスできる外部領域を指定します。

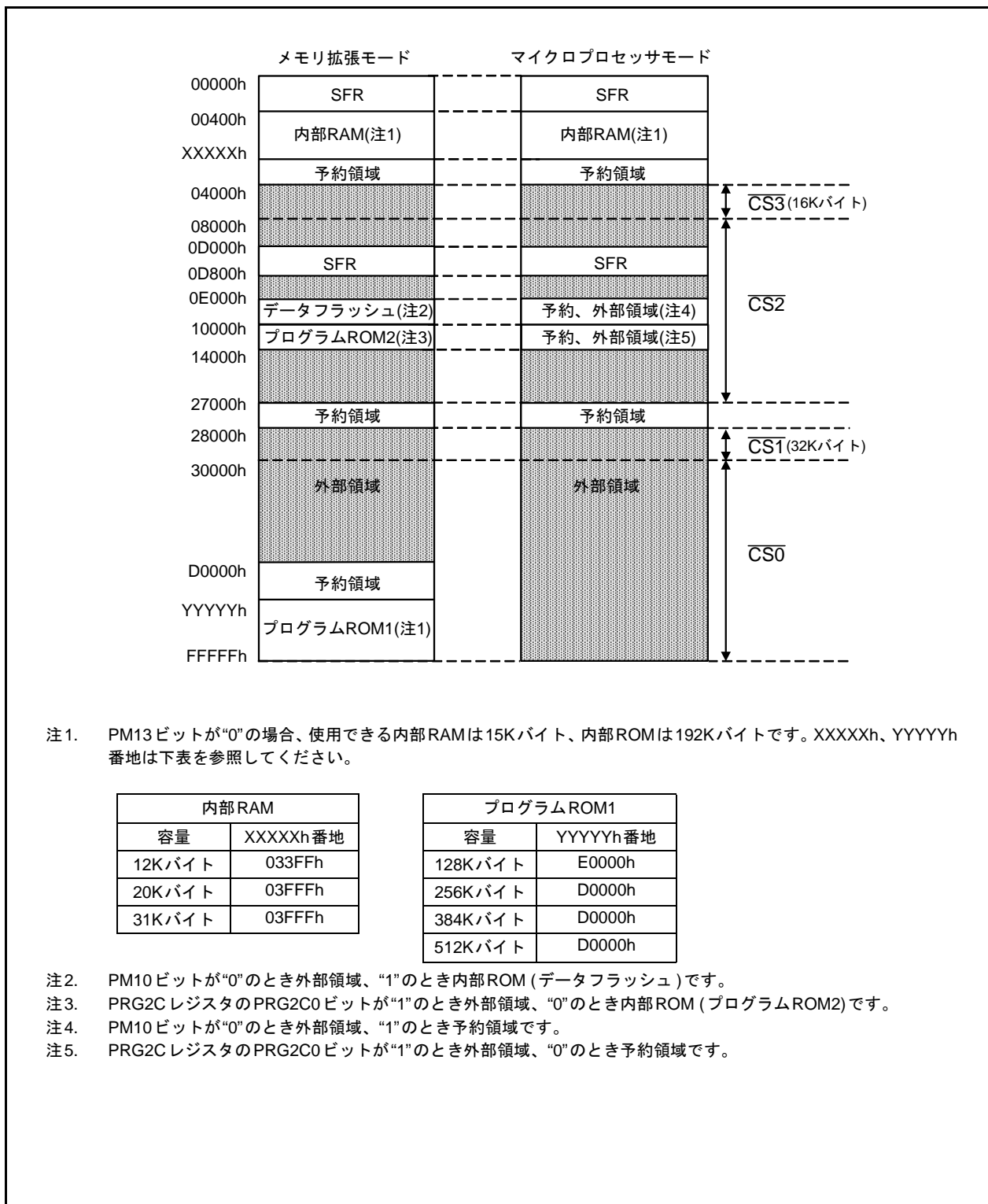


図 12.1 1Mバイトモード時のメモリ配置、CS領域 (PM13=0)

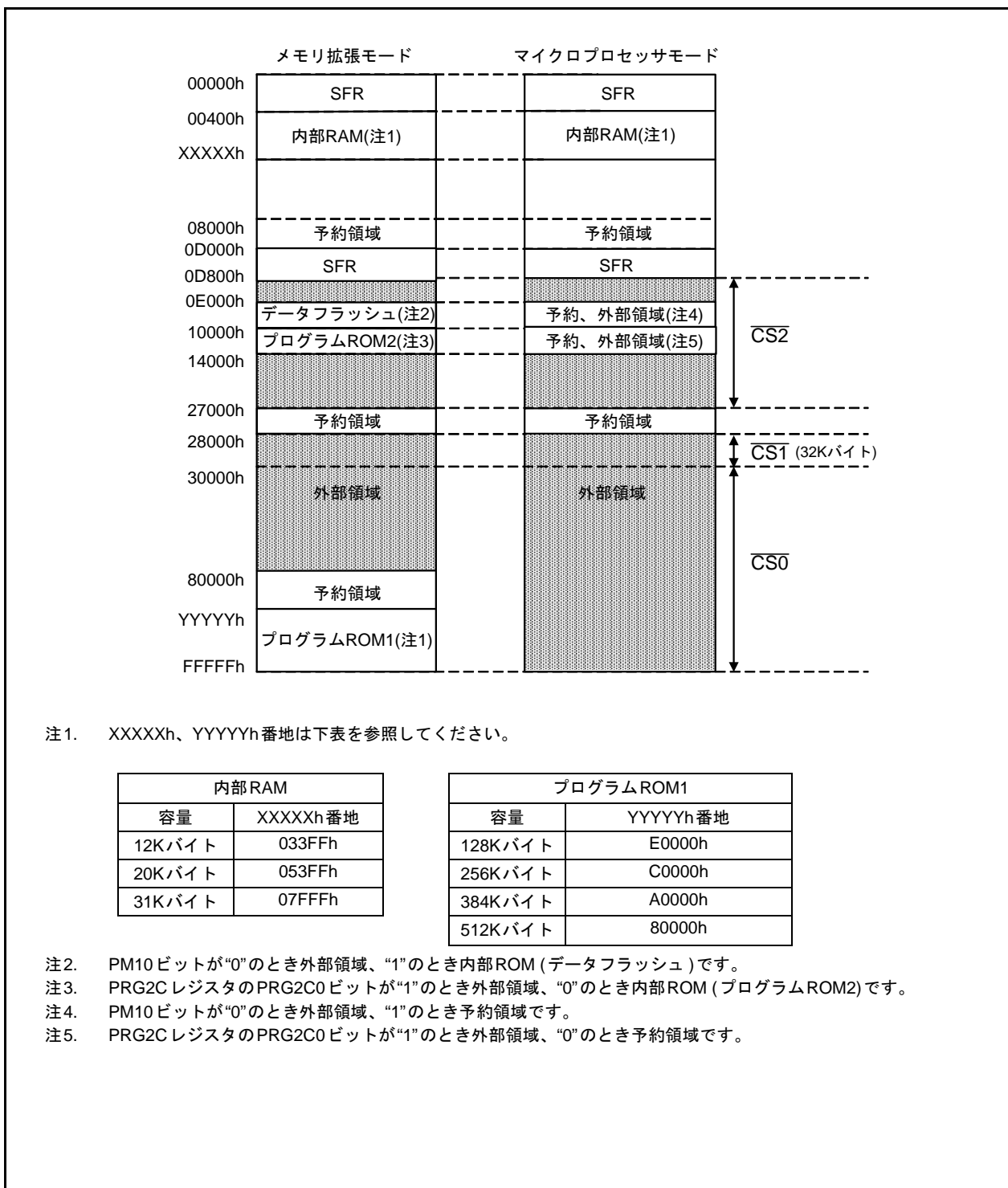


図 12.2 1Mバイトモード時のメモリ配置、CS領域 (PM13=1)

12.3.2 4Mバイトモード

メモリ空間が4Mバイトのモードです。DBRレジスタのBSR2~BSR0ビットでデータをアクセスする場合のバンク番号を選択できます。OFSビットを“1”(オフセットあり)にすると、アクセスする番地に40000h番地分のオフセットを追加できます。

4Mバイトモードでは、アクセスする領域によって、 \overline{CSi} 端子の機能が異なります。

12.3.2.1 04000h~3FFFFh番地、C0000h~FFFFFFh番地

- \overline{CSi} 端子から \overline{CSi} 信号を出力(1Mバイトモードと同じ動作。ただし、 \overline{CSi} 領域は3FFFFh番地まで)

12.3.2.2 40000h~BFFFFh番地

- $\overline{CS0}$ 端子は“L”を出力
- $\overline{CS3}$ ~ $\overline{CS1}$ 端子は、BSR2~BSR0ビットに設定した値(バンク番号)を出力

図 12.3~図 12.4に4Mバイトモード時のメモリ配置、 \overline{CS} 領域を示します。
なお、バンク0~6はデータ専用の領域です。プログラムはバンク7または \overline{CSi} 領域に配置してください。

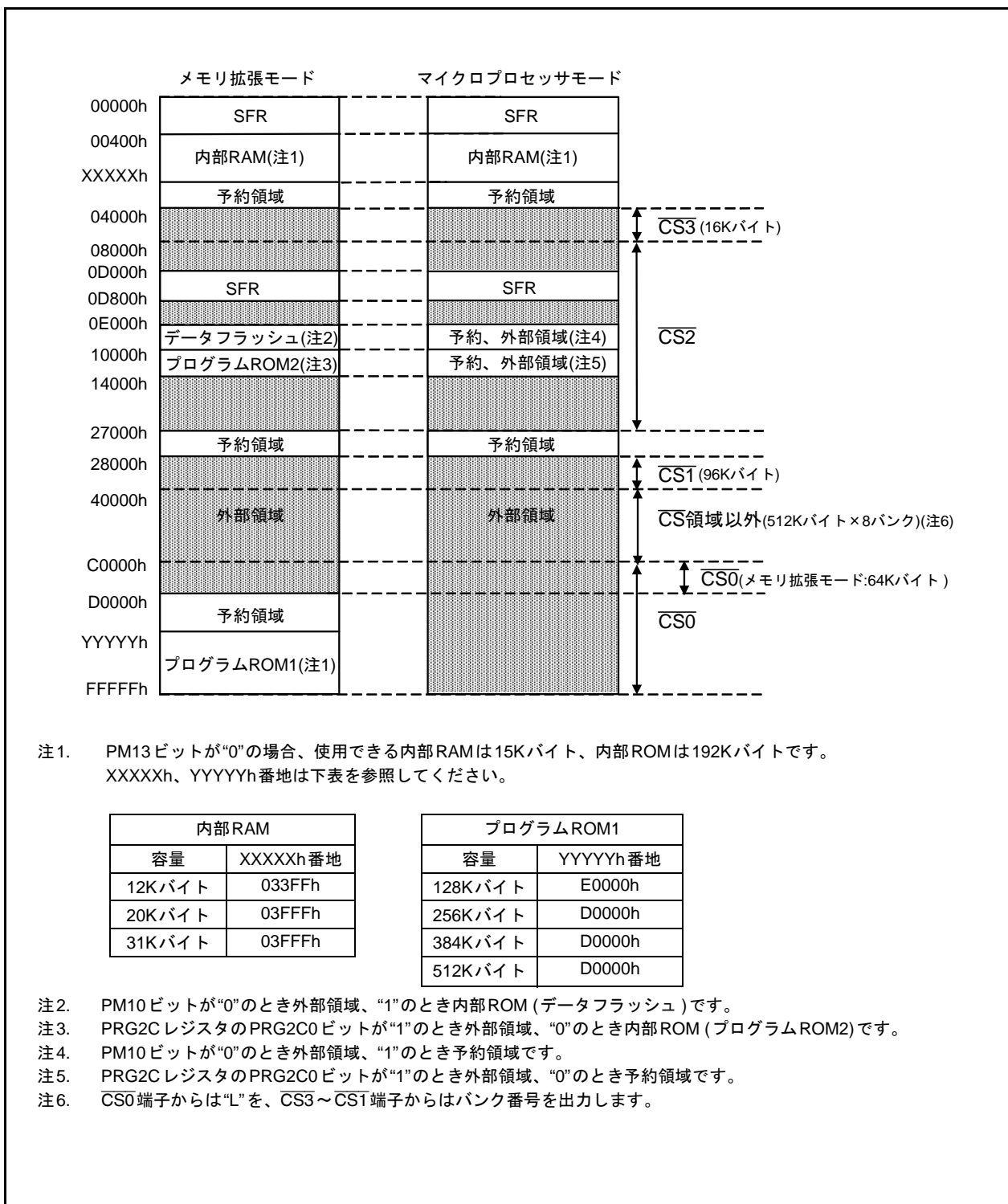


図 12.3 4Mバイトモード時のメモリ配置、CS領域 (PM13=0)

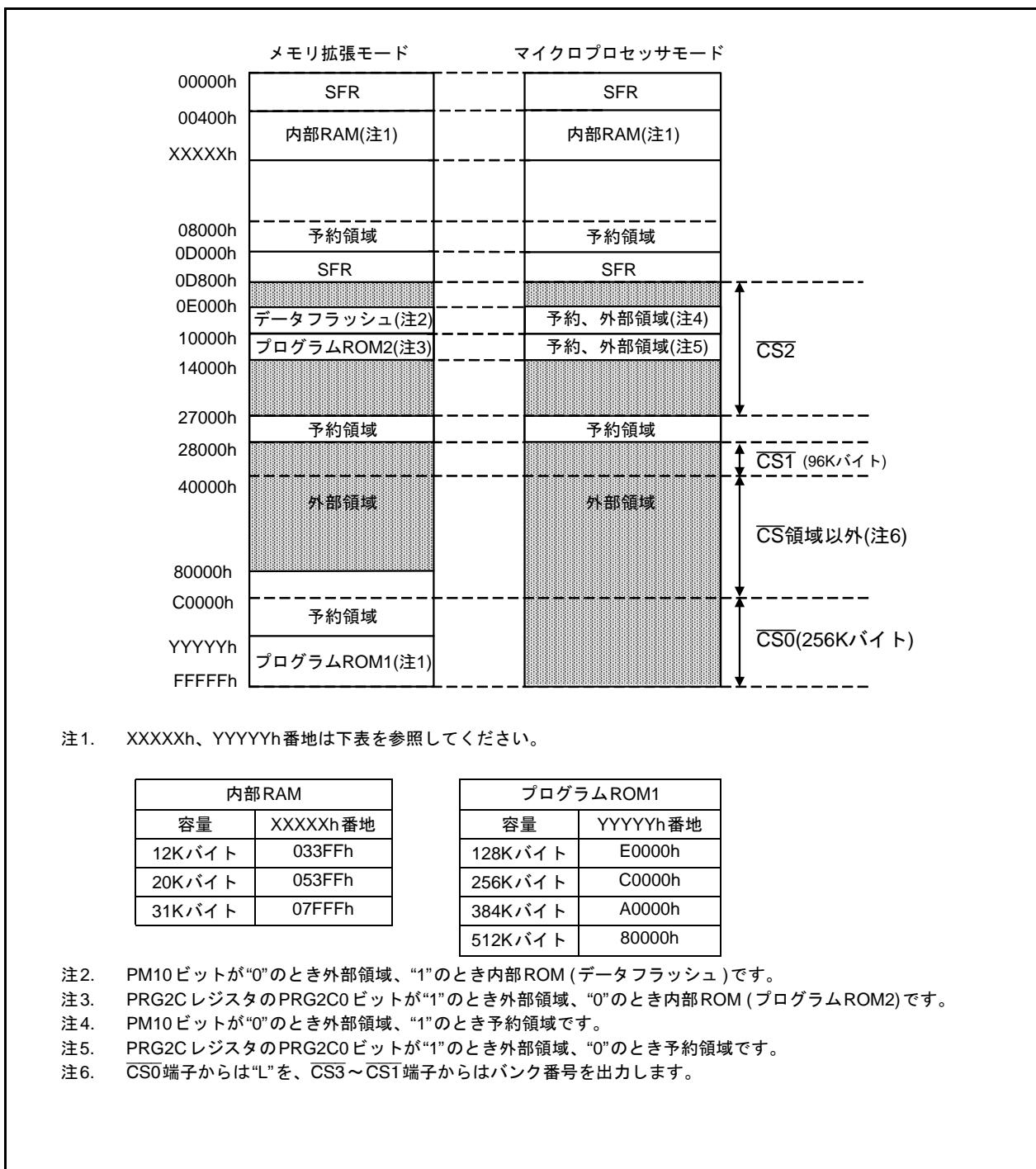


図 12.4 4Mバイトモード時のメモリ配置、CS領域 (PM13=1)

図 12.5 に 4M バイトモード時の外部メモリ接続例を示します。この例では、4M バイト ROM の \overline{CS} 端子をマイクロコンピュータの $\overline{CS0}$ 端子と接続します。4M バイト ROM アドレス入力 AD21 端子、AD20 端子、AD19 端子はマイクロコンピュータの $\overline{CS3}$ 端子、 $\overline{CS2}$ 端子、 $\overline{CS1}$ 端子とそれぞれ接続します。アドレス入力 AD18 端子はマイクロコンピュータの A19 端子と接続します。図 12.6~図 12.8 に図 12.5 の接続例における 4M バイト ROM とマイクロコンピュータのアドレスの関係を示します。

マイクロプロセッサモード、または PM1 レジスタの PM13 ビットが“0”でメモリ拡張モードの場合、512K バイトごとにバンクがあります。DBR レジスタの OFS ビットを“1” (オフセットあり) にすることで、40000h 番地のオフセットが付きバンク境界部分のデータであっても、連続してアクセスできます。

PM13 ビットが“1”でメモリ拡張モードの場合、512K バイトのバンクを OFS ビットで切り替えることによって 256K バイトごとにアクセスできます。

SRAM は、チップセレクト信号 S2 が“H”で、 $\overline{S1}$ が“L”であることがアクセス条件ですので、S2 には $\overline{CS0}$ を $\overline{S1}$ には $\overline{CS2}$ をそれぞれ接続できます。もし、両極性のチップセレクト信号入力端子 ($\overline{S1}$ 、S2) を持たない場合は、外部で $\overline{CS0}$ 、 $\overline{CS2}$ をデコードしてください。

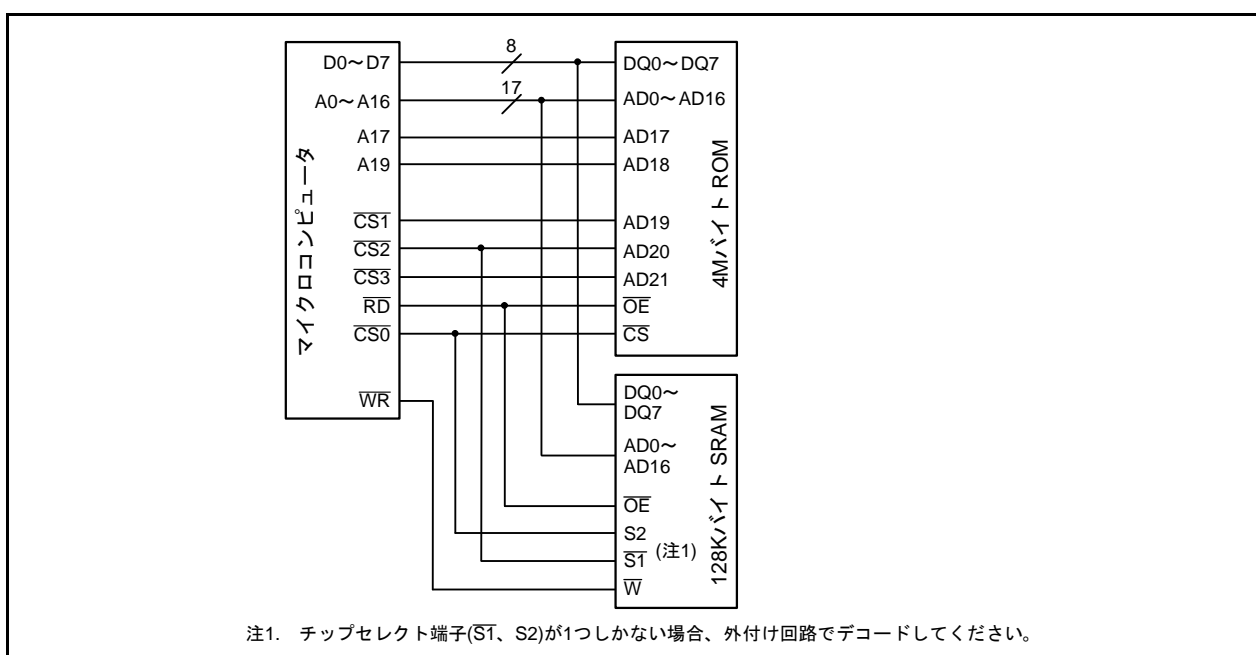


図 12.5 4M バイトモード時の外部メモリ接続例



図 12.6 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係 (1/3)

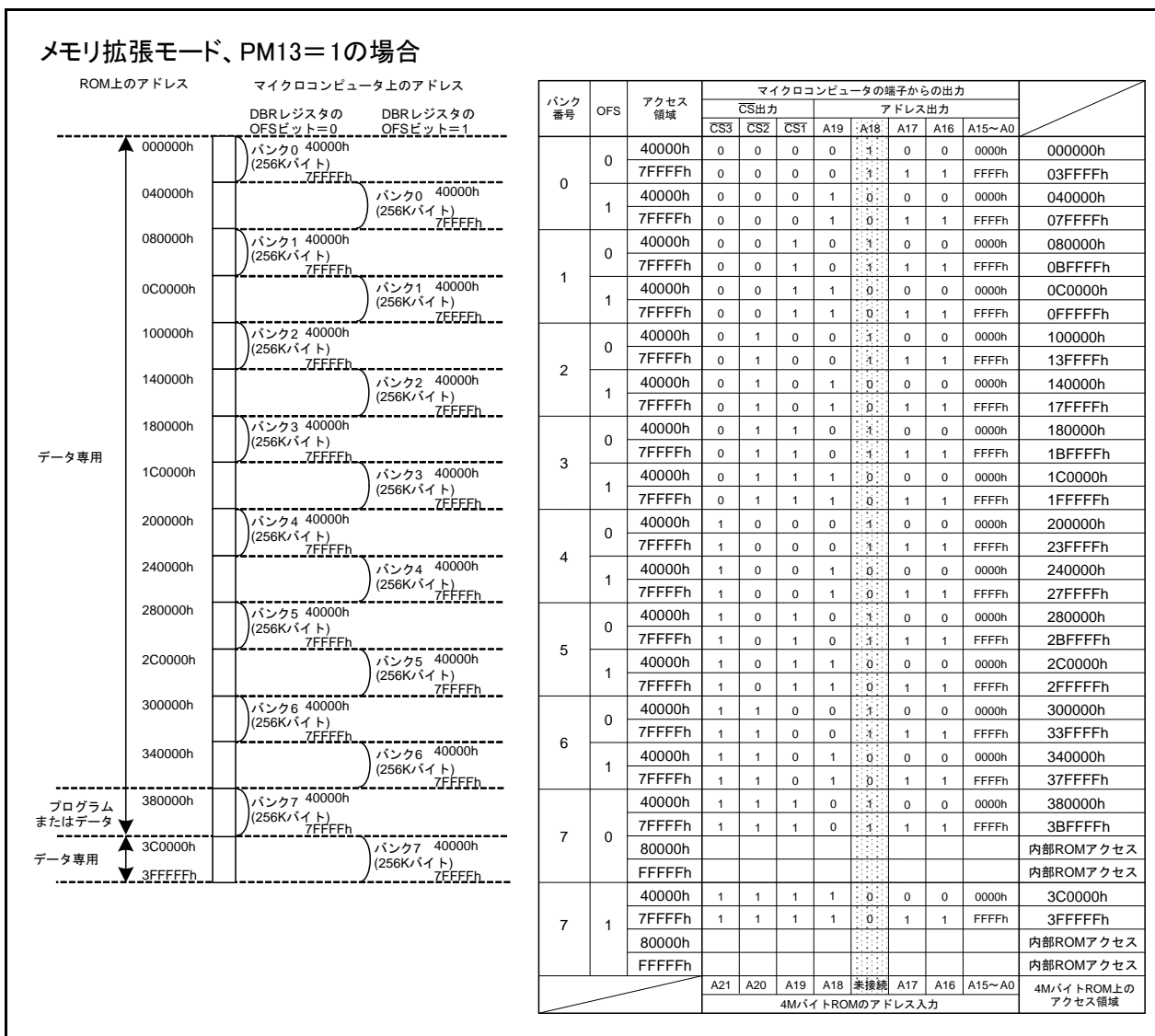


図 12.7 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係 (2/3)

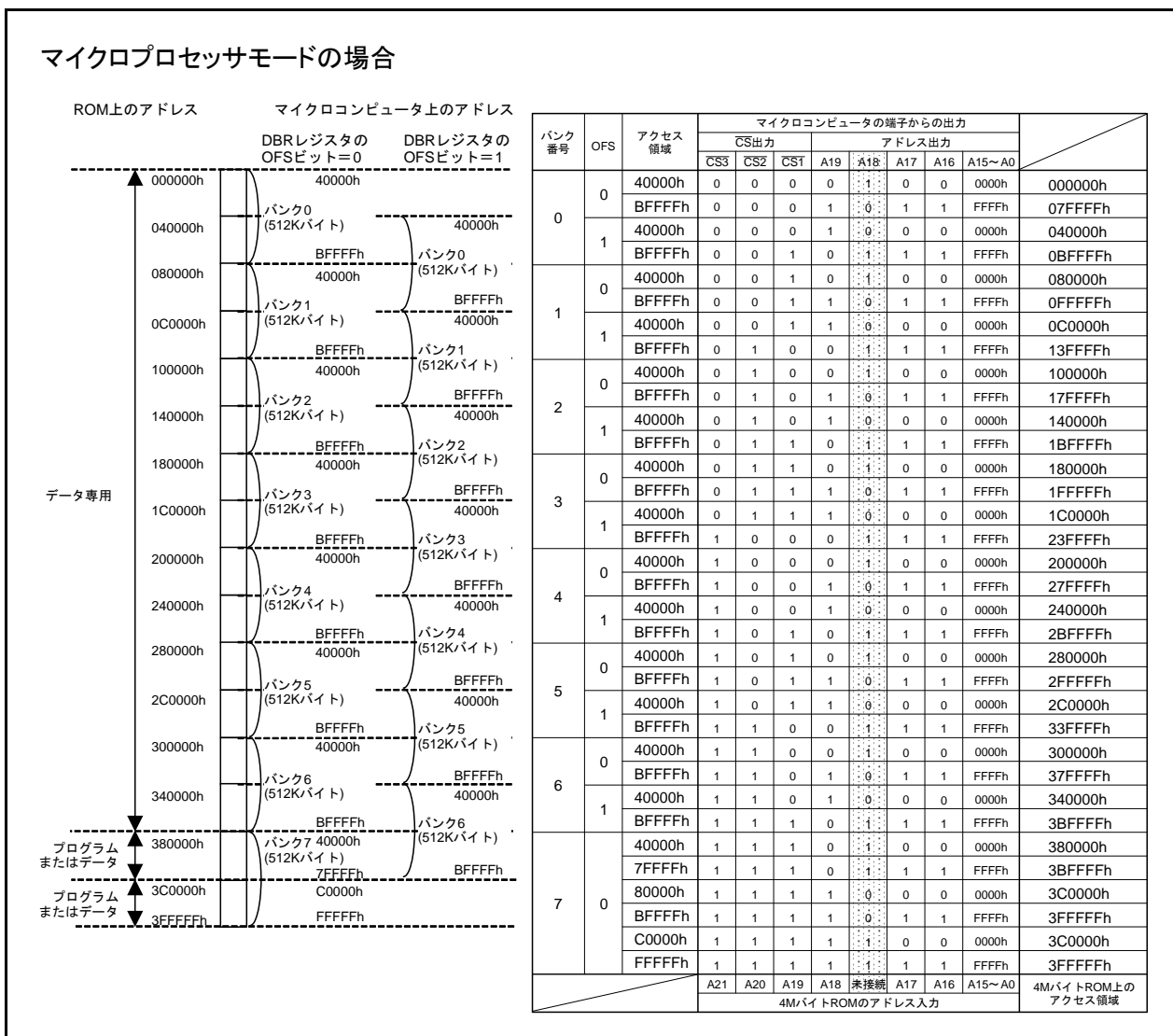


図 12.8 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(3/3)

13. プログラマブル入出力ポート

13.1 概要

プログラマブル入出力ポート (以下、入出力ポートと称す)の仕様を表 13.1に示します。

各端子は、入出力ポート、周辺機能の入出力、またはバス制御端子として機能します。

周辺機能の設定方法は、各機能説明を参照してください。また、周辺機能の入出力端子として使用する場合は、「13.4 周辺機能の入出力」を参照してください。

バス制御端子として使用する場合は、「11.3.5 外部バス制御」を参照してください。

表 13.1 プログラマブル入出力ポートの仕様

項目		仕様
本数	合計	88本
	CMOS出力	85本
	Nチャンネルオープンドレイン出力	3本
入出力レベル	VCC2レベル	P0~P5
	VCC1レベル	P6~P10
入出力選択		1本ごとにプログラムで選択
選択機能		プルアップ抵抗を4本単位で選択

表 13.2 入出力端子

端子名	入出力	機能
P0_0~P0_7、P1_0~P1_7、 P2_0~P2_7、P3_0~P3_7、 P4_0~P4_7、P5_0~P5_7、 P6_0~P6_7	入出力	入出力ポート CMOS出力、プルアップ抵抗選択可能
P7_0~P7_7	入出力	入出力ポート P7_0、P7_1はNチャンネルオープンドレイン出力、プルアップ抵抗なし。 P7_2~P7_7はCMOS出力、プルアップ抵抗選択可能。
P8_0~P8_7	入出力	入出力ポート P8_0~P8_4、P8_6、P8_7はCMOS出力、プルアップ抵抗選択可能。 P8_5はNチャンネルオープンドレイン出力、プルアップ抵抗なし。
P9_0~P9_7、 P10_0~P10_7	入出力	入出力ポート CMOS出力、プルアップ抵抗選択可能

13.2 入出力ポート、端子の構成

図 13.1~図 13.11、および表 13.3~表 13.11 に入出力ポートの構成、図 13.12 に端子の構成を示します。

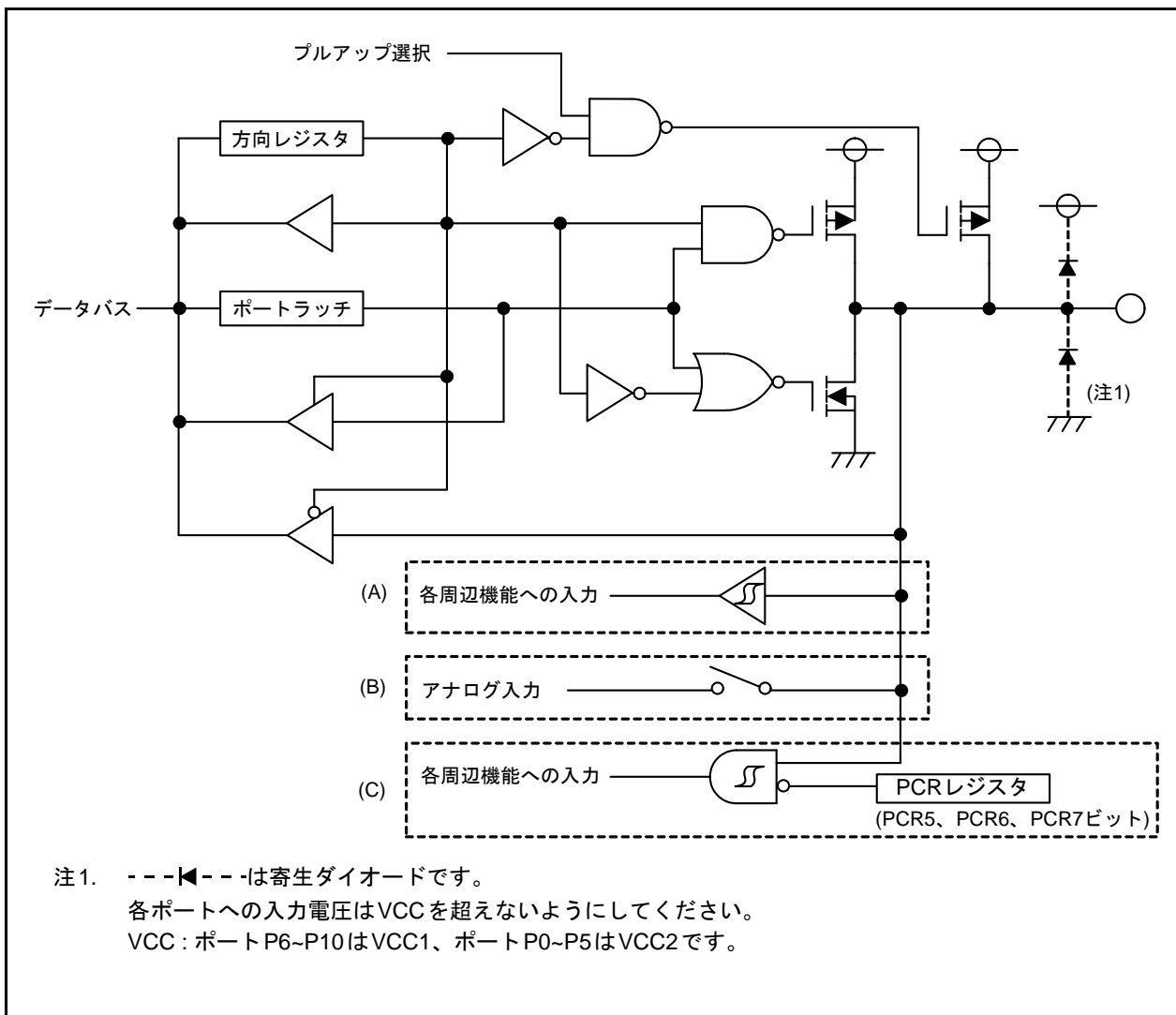


図 13.1 入出力ポートの構成 (基本)

表 13.3 入出力ポートの構成 (基本)

ポート	周辺機能入出力		
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)	周辺機能入力 図中回路 (C)
P3_0~P3_7、P4_0~P4_3、P5_0~P5_4、P5_6	なし	なし	なし
P0_0~P0_7、P2_0~P2_3、P2_6、P2_7、 P10_0~P10_3	なし	あり	なし
P5_5	あり (HOLD)	なし	なし
P8_2~P8_4、P9_1、P9_7	あり	なし	なし
P2_4、P2_5、P10_4~P10_7	なし	あり	あり

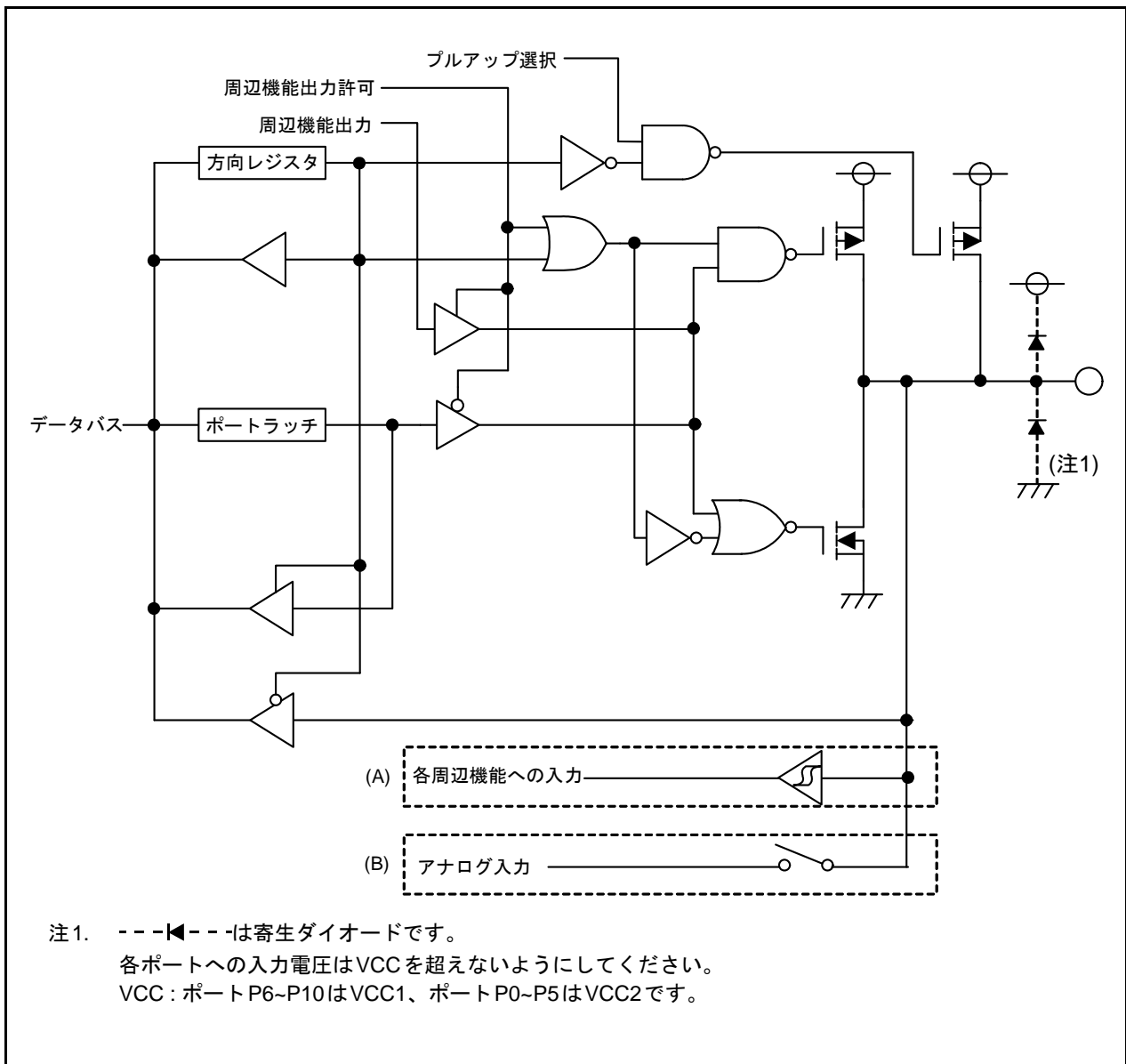


図 13.2 入出力ポートの構成 (基本 周辺機能出力あり)

表 13.4 入出力ポートの構成 (基本 周辺機能出力あり)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P9_6	なし	あり
P4_4、P6_0、P6_4、P7_3~P7_5、P8_1、 P9_0、P9_2	あり	なし
P5_7	あり (RDY)	なし
P9_5	あり	あり

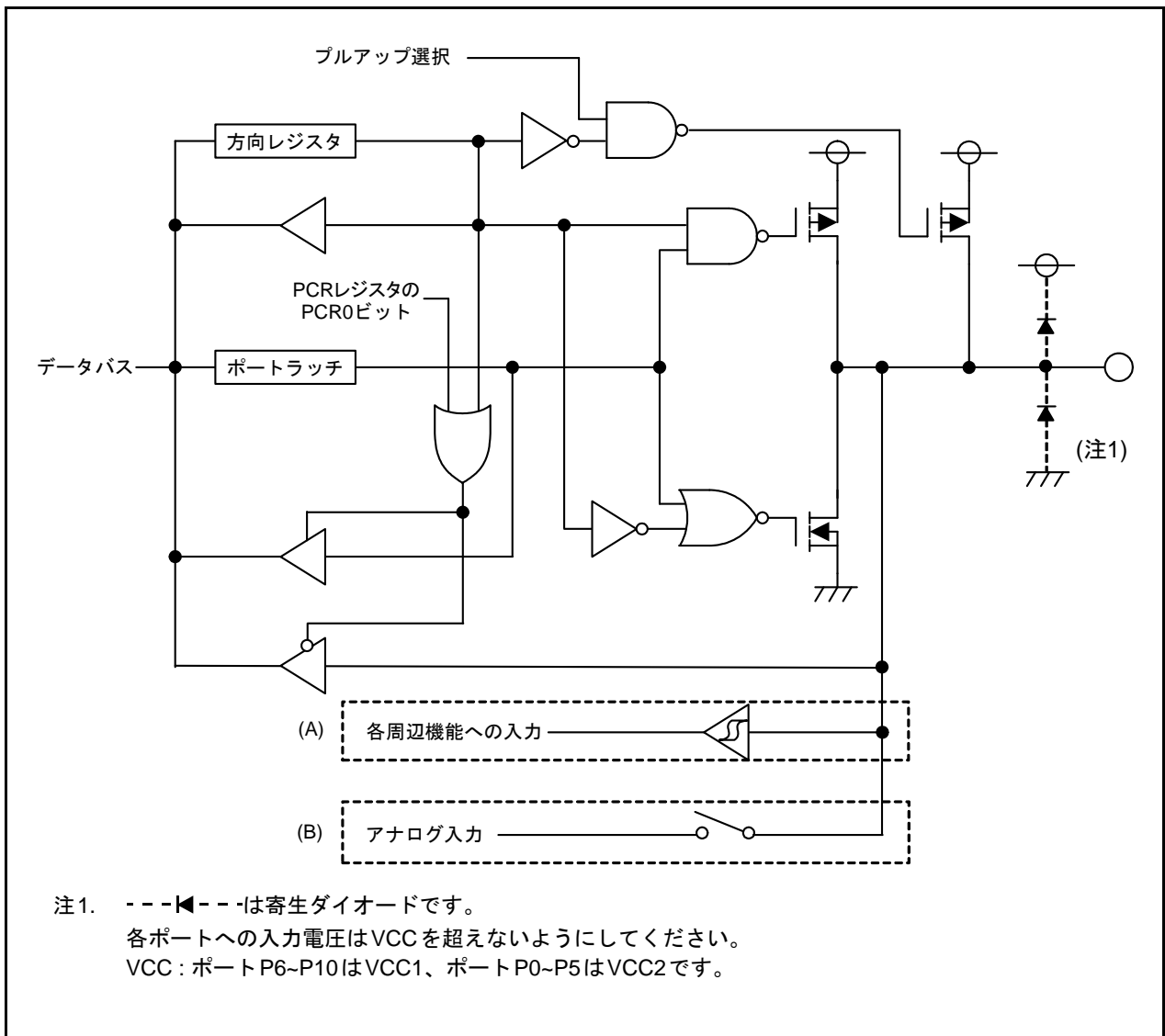


図 13.3 入出力ポートの構成 (ポートP1)

表 13.5 入出力ポートの構成 (ポートP1)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P1_4	なし	なし
P1_5~P1_7	あり	なし

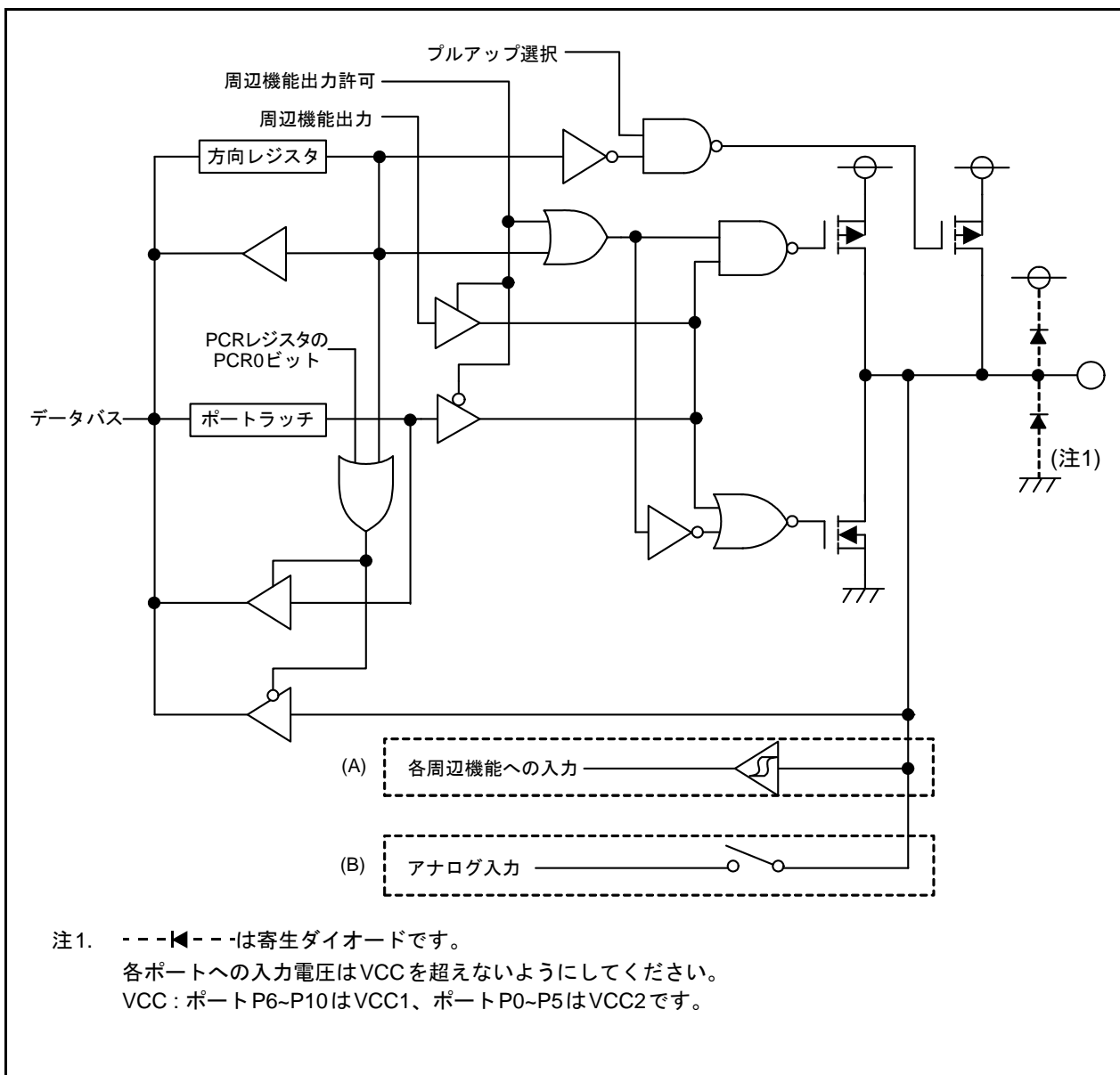


図 13.4 入出力ポートの構成 (ポートP1 周辺機能出力あり)

表 13.6 入出力ポートの構成 (ポートP1 周辺機能出力あり)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P1_0	あり	なし

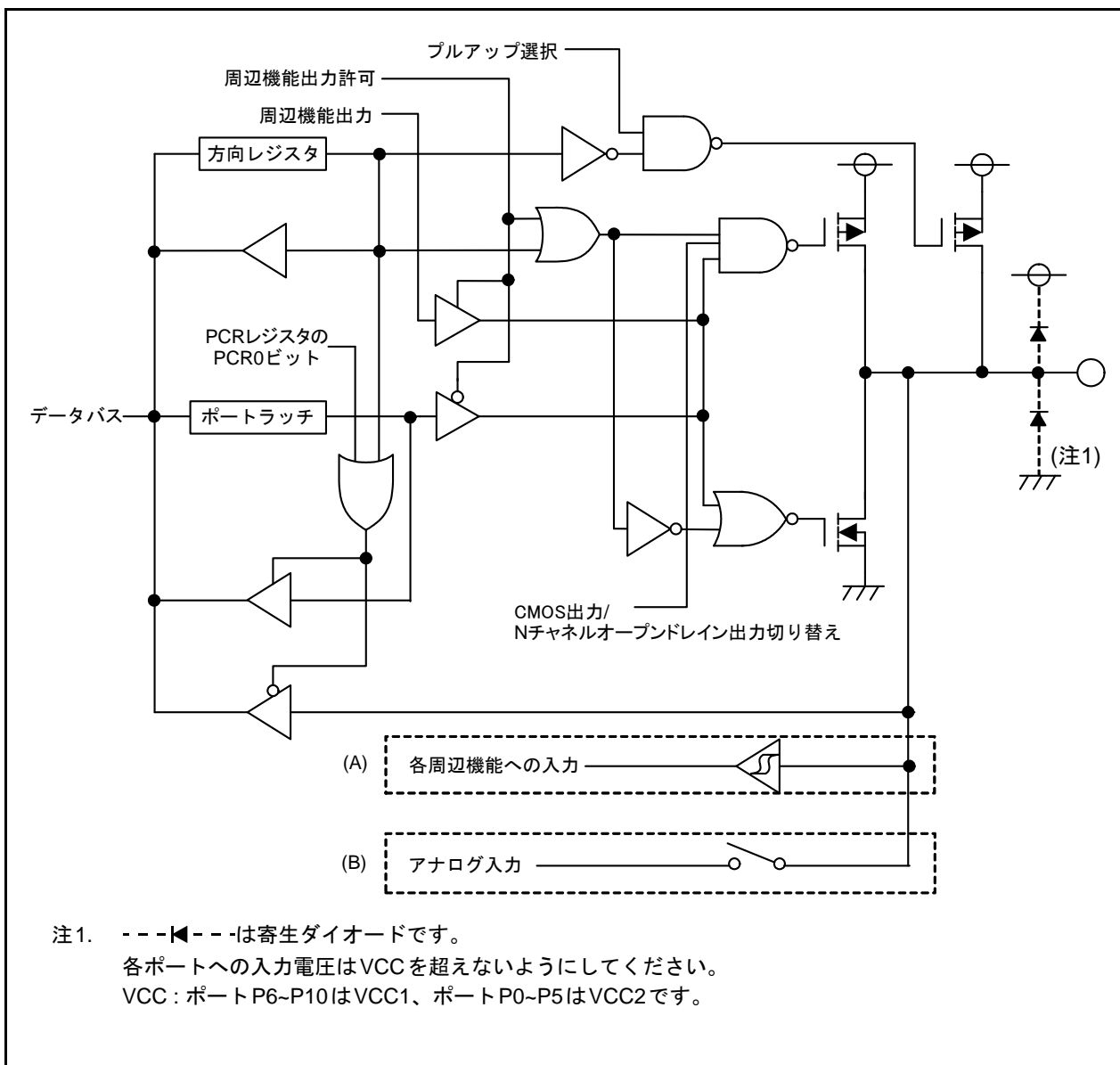


図 13.5 入出力ポートの構成 (ポートP1、CMOS出力/Nチャンネルオープンドレイン出力切り替え)

表 13.7 入出力ポートの構成 (ポートP1、CMOS出力/Nチャンネルオープンドレイン出力切り替え)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P1_1~P1_3	あり	なし

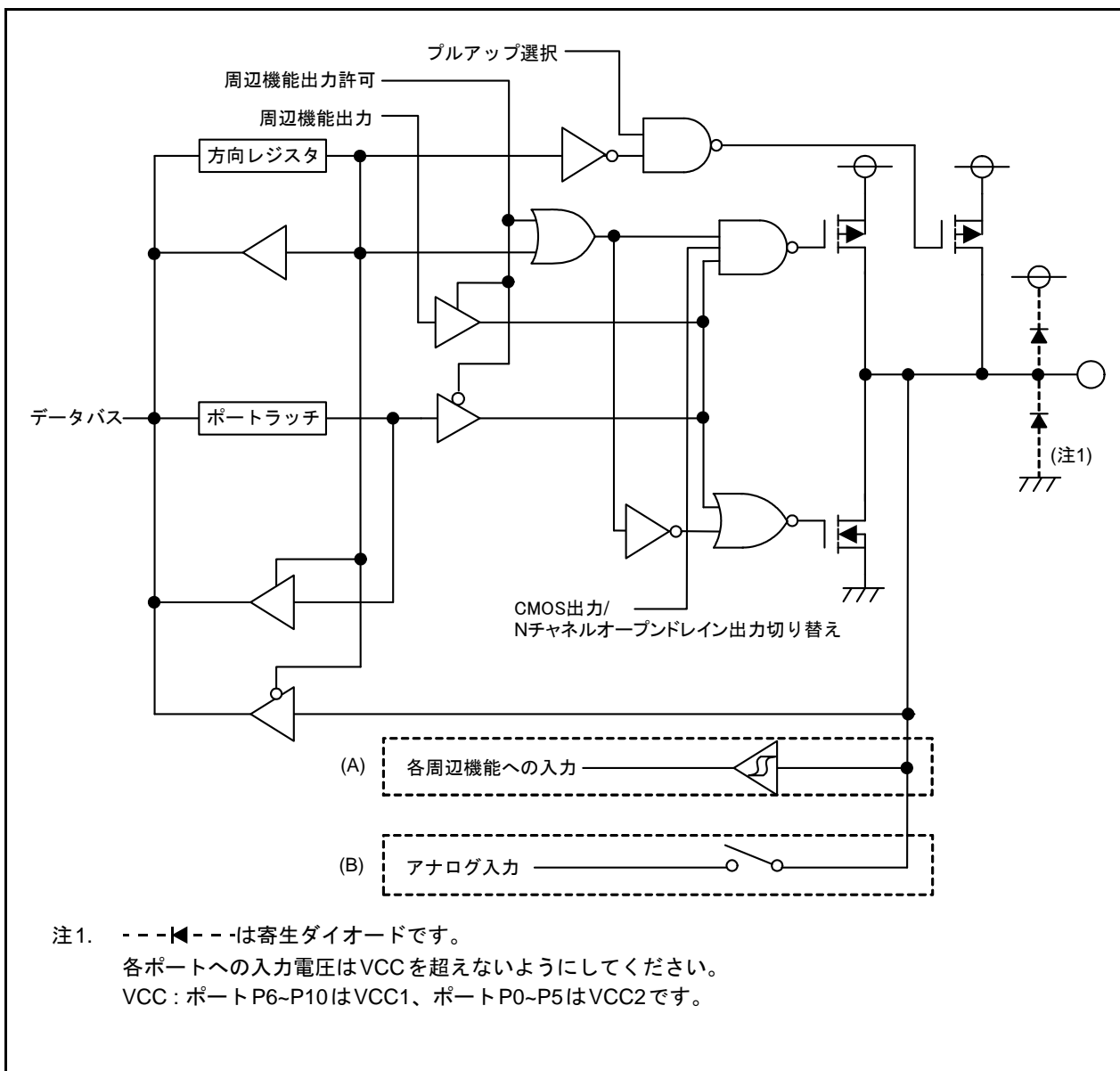


図 13.6 入出力ポートの構成 (CMOS出力/Nチャンネルオープンドレイン出力切り替え)

表 13.8 入出力ポートの構成 (CMOS出力/Nチャンネルオープンドレイン出力切り替え)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P4_5、P6_1~P6_3、P6_5~P6_7、P7_2、P7_6、 P7_7、P8_0	あり	なし

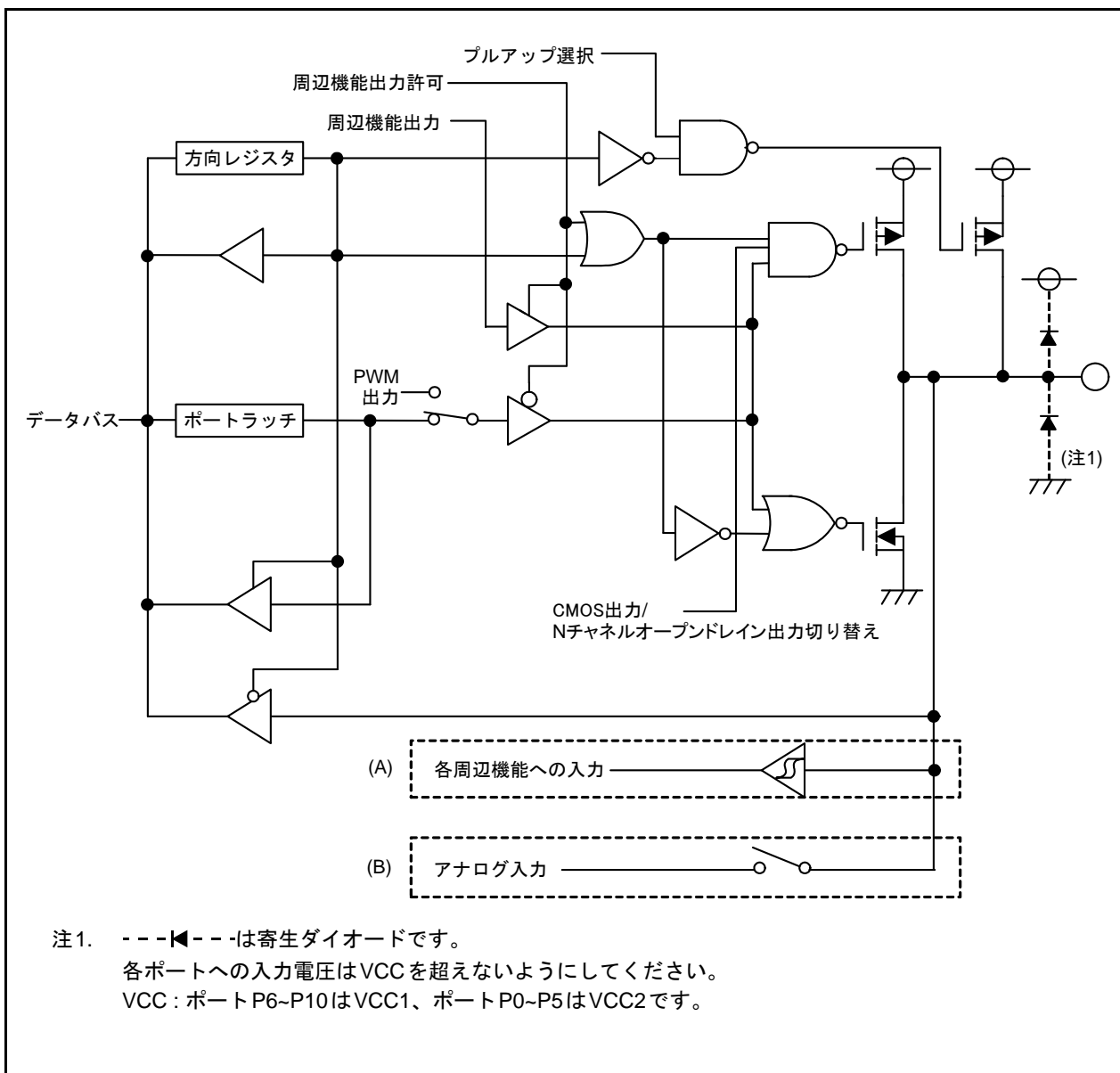


図 13.7 入出力ポートの構成 (CMOS出力/Nチャネルオープンドレイン出力切り替え、PWM)

表 13.9 入出力ポートの構成 (CMOS出力/Nチャネルオープンドレイン出力切り替え、PWM)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P4_6、P4_7	あり	なし

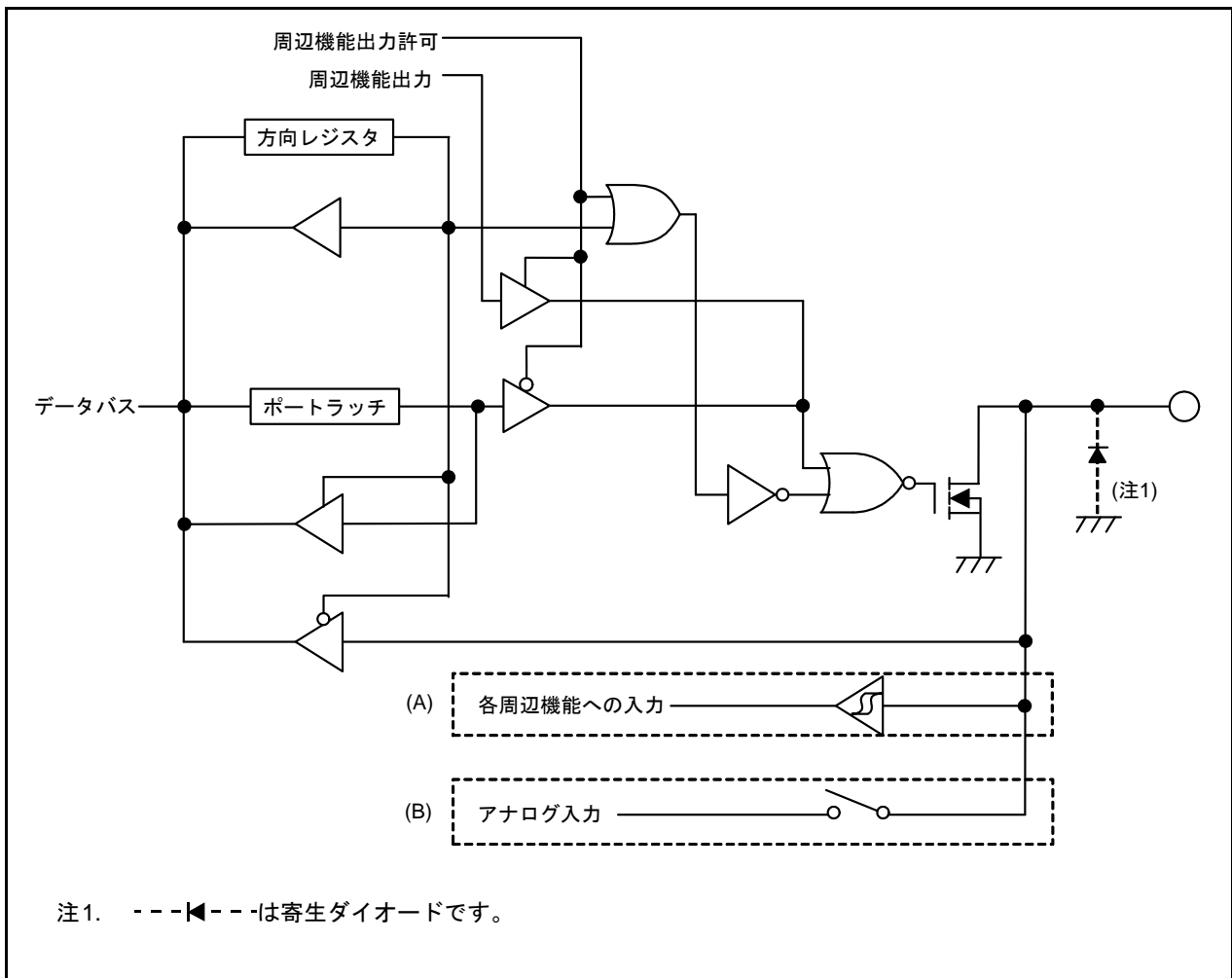


図 13.8 入出力ポートの構成 (Nチャンネルオープンドレイン出力)

表 13.10 入出力ポートの構成 (Nチャンネルオープンドレイン出力)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P7_0、P7_1	あり	なし

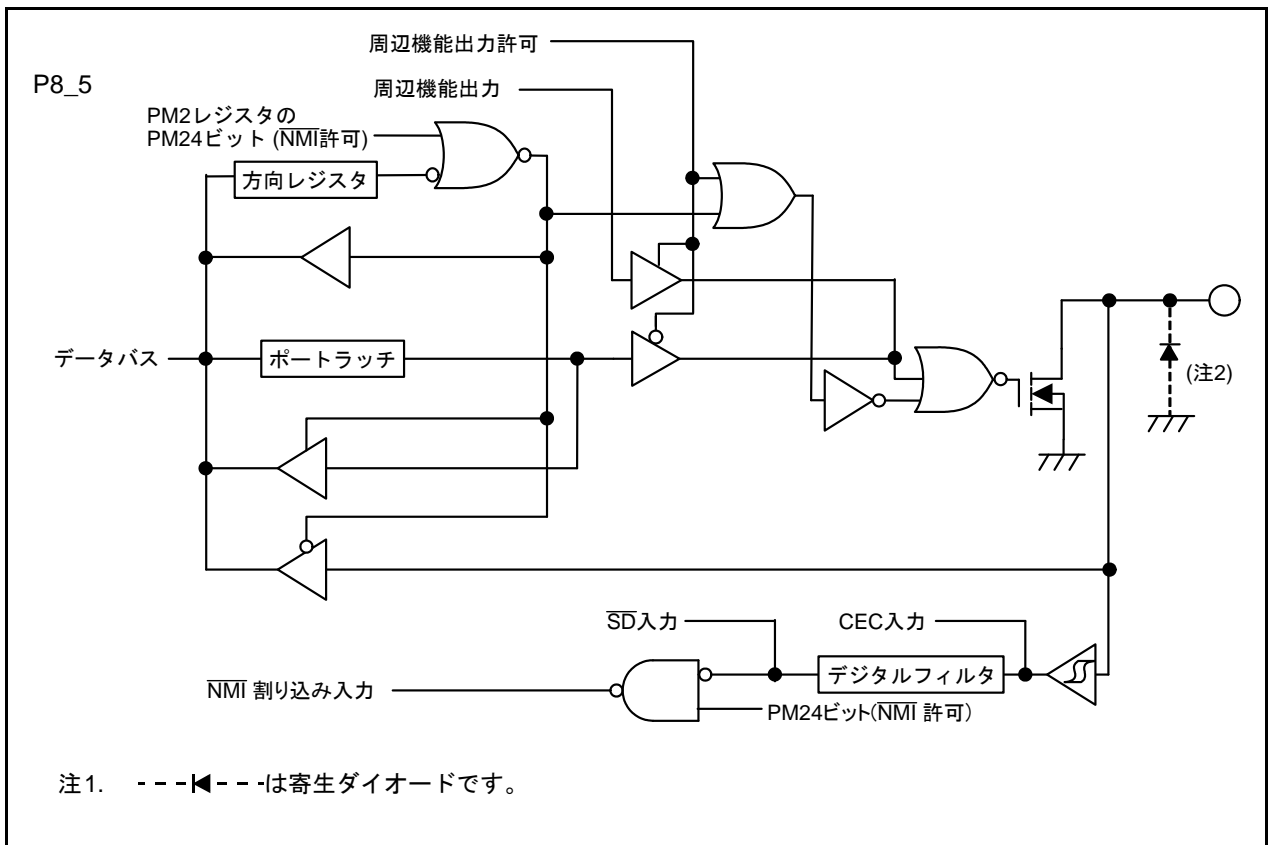


図 13.9 入出力ポートの構成 (NMI)

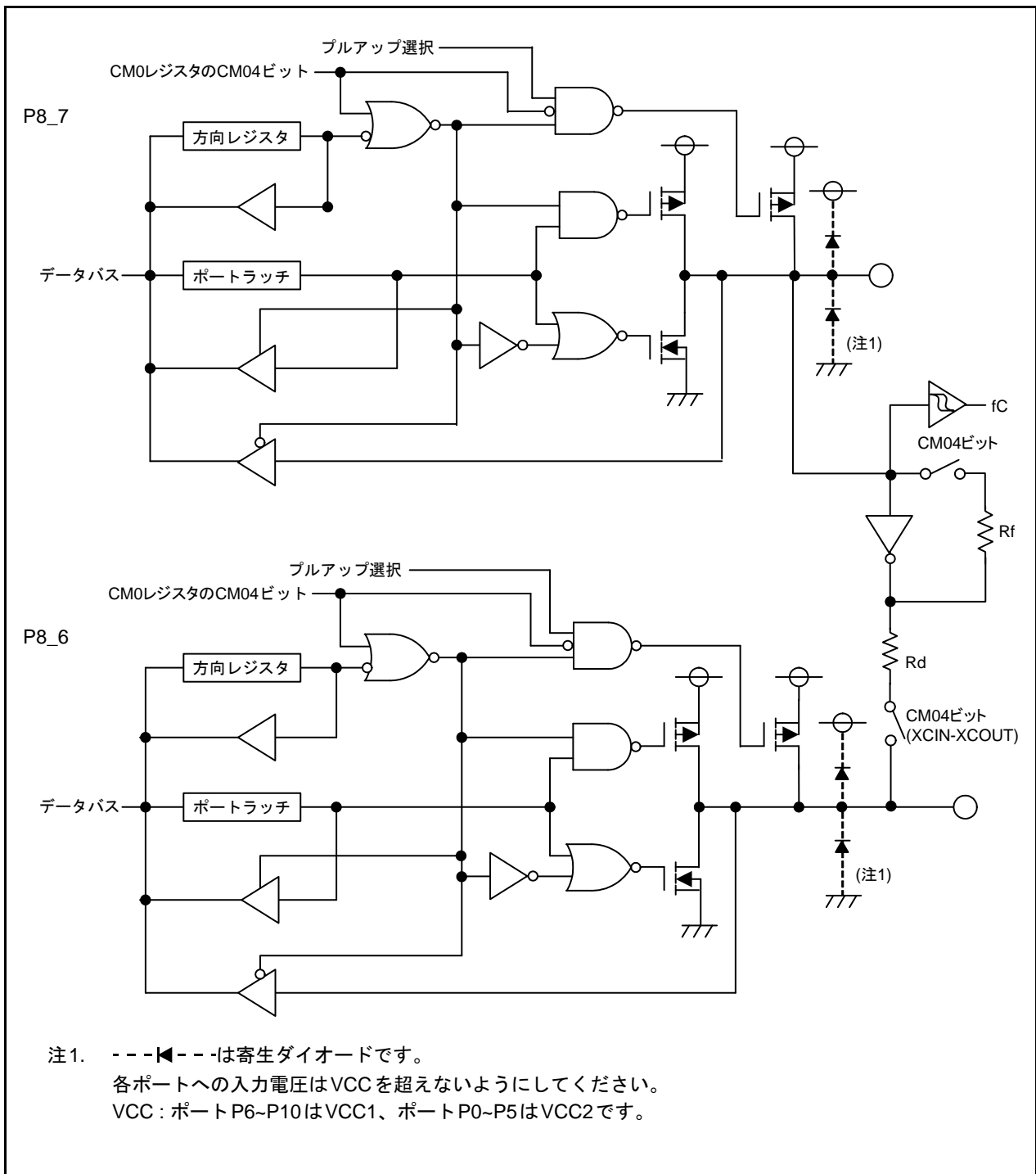


図 13.10 入出力ポートの構成 (XC)

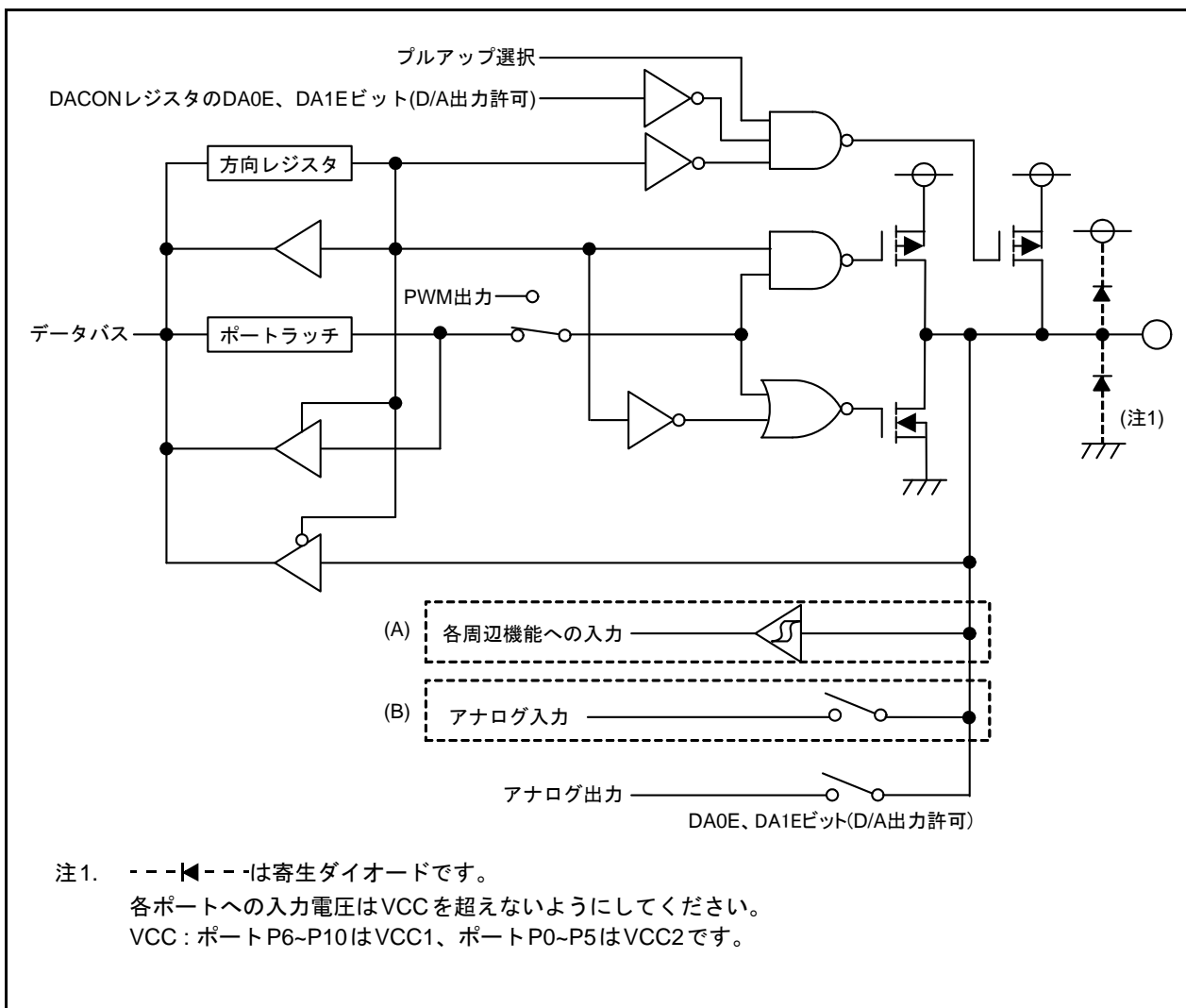


図 13.11 入出力ポートの構成 (D/A)

表 13.11 入出力ポートの構成 (D/A)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P9_3、P9_4	あり	なし

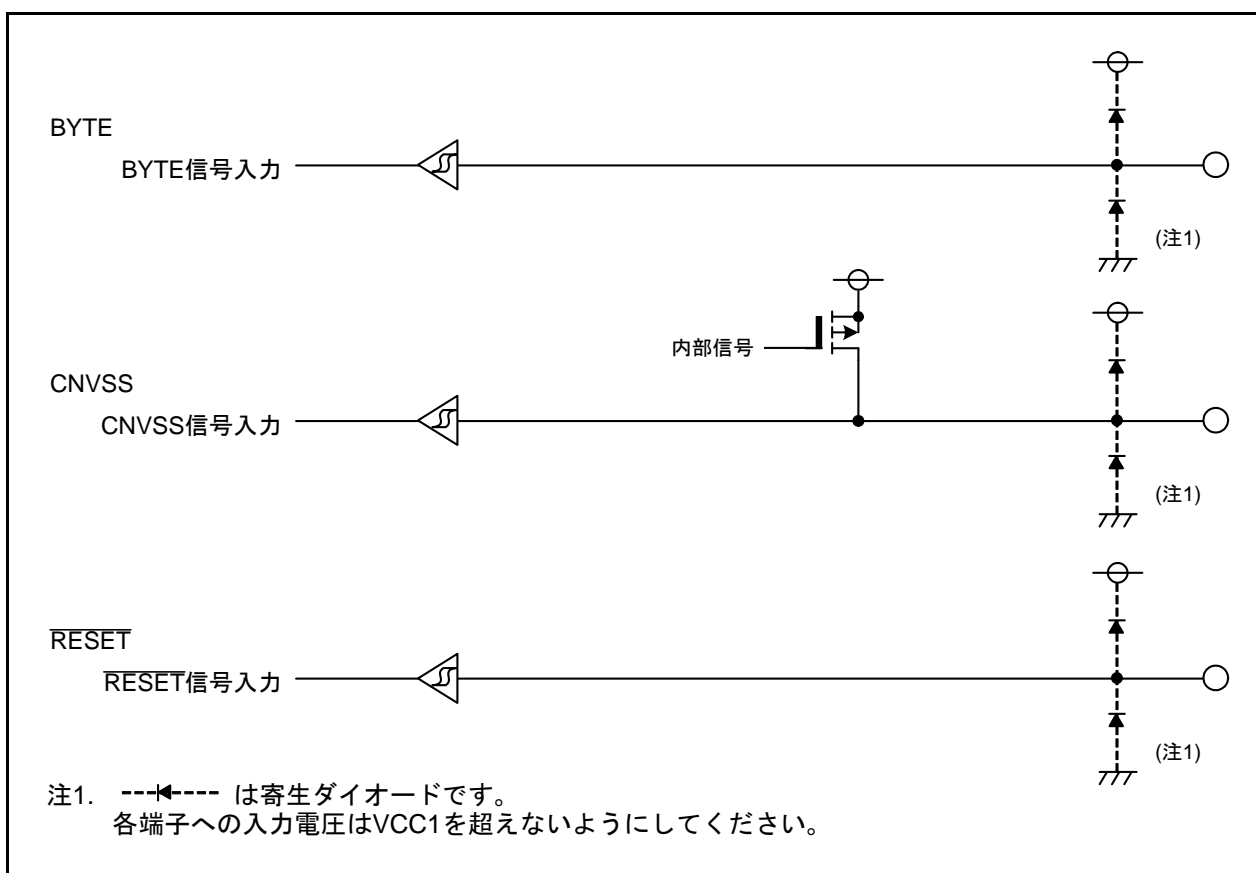


図 13.12 端子の構成

13.3 レジスタの説明

表 13.12 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	0000 0000b (注1) 0000 0010b
0362h	プルアップ制御レジスタ2	PUR2	00h
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0369h	NMI/SD デジタルフィルタレジスタ	NMIDF	XXXX X000b
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F6h	ポートP10方向レジスタ	PD10	00h

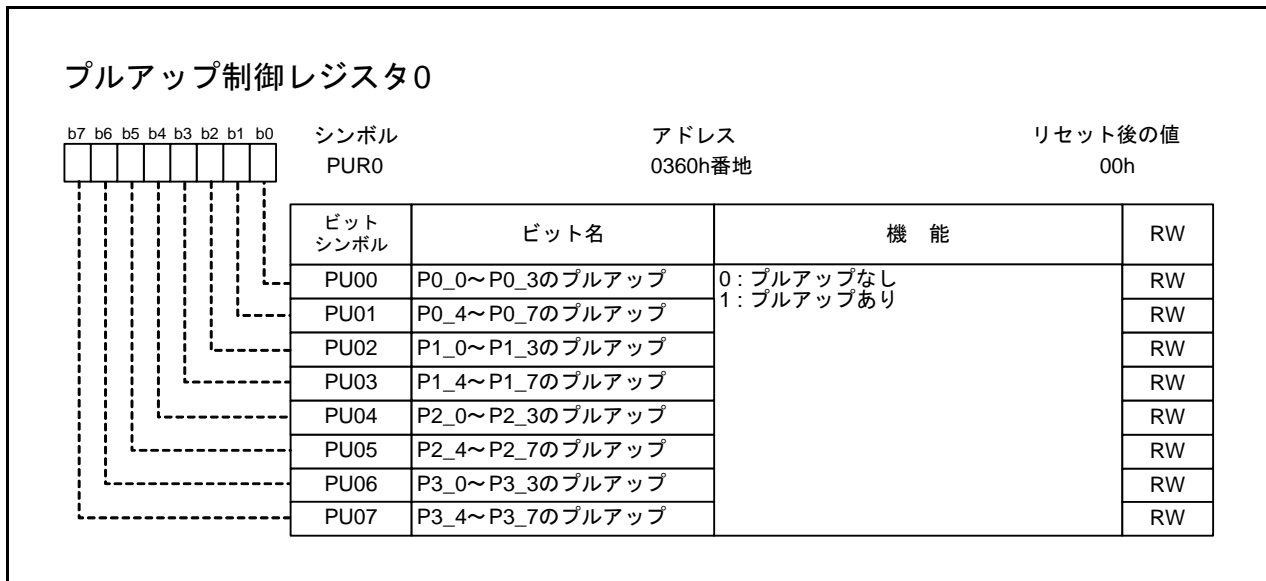
注1. ハードウェアリセット、パワーオンリセット、または電圧監視0リセットでは次のようになります。

- CNVSS端子に“L”を入力している場合、“00000000b”
- CNVSS端子に“H”を入力している場合、“00000010b”

電圧監視1リセット、電圧監視2リセット、ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- PM0レジスタのPM01~PM00ビットが“00b”(シングルチップモード)の場合、“00000000b”
- PM0レジスタのPM01~PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

13.3.1 プルアップ制御レジスタ 0 (PUR0)



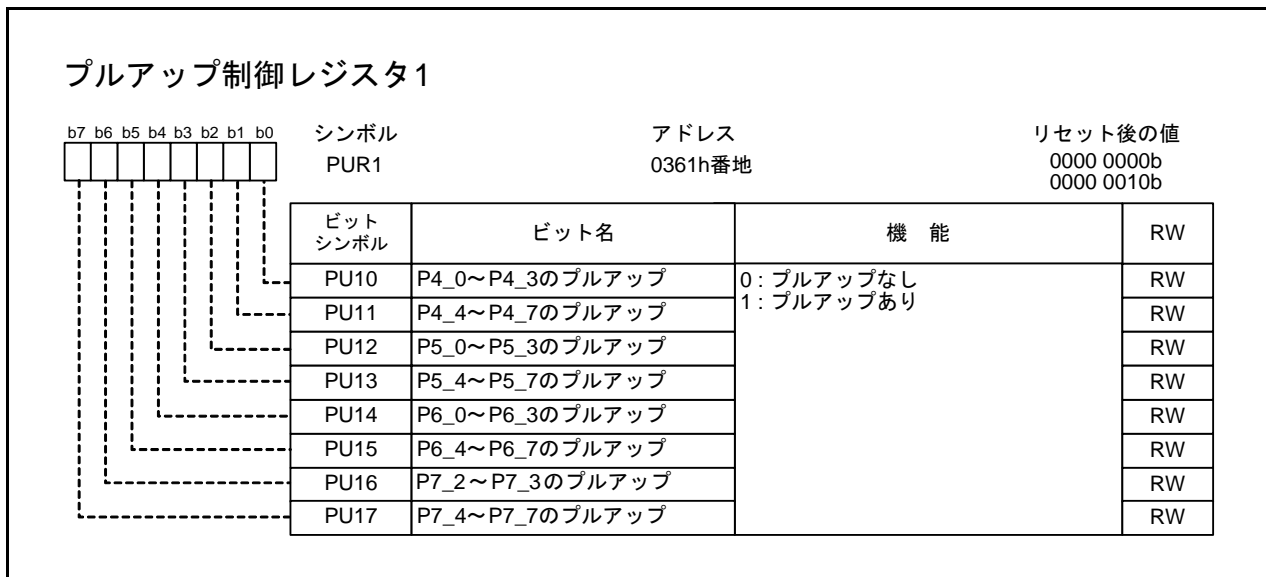
メモリ拡張モード時またはマイクロプロセッサモード時、レジスタの値は変更できますが、プルアップされません。

PU0i (i=0~7) (b7~b0)

PU0i ビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされま

す。

13.3.2 プルアップ制御レジスタ 1 (PUR1)



ハードウェアリセット、パワーオンリセット、または電圧監視0リセットでは次のようになります。

- CNVSS 端子に“L”を入力している場合、“00000000b”
- CNVSS 端子に“H”を入力している場合、“00000010b”

電圧監視1リセット、電圧監視2リセット、ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- PM0 レジスタのPM01~PM00 ビットが“00b” (シングルチップモード) の場合、“00000000b”
- PM0 レジスタのPM01~PM00 ビットが“01b” (メモリ拡張モード) または“11b” (マイクロプロセッサモード) の場合、“00000010b”

PU10 (P4_0~P4_3のプルアップ) (b0)

PU11 (P4_4~P4_7のプルアップ) (b1)

PU12 (P5_0~P5_3のプルアップ) (b2)

PU13 (P5_4~P5_7のプルアップ) (b3)

PU_i (i=0~3) ビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされます。

メモリ拡張モード時またはマイクロプロセッサモード時、このビットの値は変更できますが、プルアップされません。

PU14 (P6_0~P6_3のプルアップ) (b4)

PU15 (P6_4~P6_7のプルアップ) (b5)

PU17 (P7_4~P7_7のプルアップ) (b7)

PU_i (i=4, 5, 7) ビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされます。

PU16 (P7_2~P7_3のプルアップ) (b6)

PU16 ビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされません。

P7_0、P7_1 端子には、プルアップはありません。

13.3.3 プルアップ制御レジスタ2 (PUR2)

プルアップ制御レジスタ2			
ビット シンボル	ビット名	機 能	RW
PU20	P8_0~P8_3のプルアップ	0 : プルアップなし 1 : プルアップあり	RW
PU21	P8_4、P8_6、P8_7のプルアップ		RW
PU22	P9_0~P9_3のプルアップ		RW
PU23	P9_4~P9_7のプルアップ		RW
PU24	P10_0~P10_3のプルアップ		RW
PU25	P10_4~P10_7のプルアップ		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

PU20 (P8_0~P8_3のプルアップ) (b0)

PU22 (P9_0~P9_3のプルアップ) (b2)

PU23 (P9_4~P9_7のプルアップ) (b3)

PU24 (P10_0~P10_3のプルアップ) (b4)

PU25 (P10_4~P10_7のプルアップ) (b5)

PU2i (i=0, 2~5)ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

PU21 (P8_4、P8_6~P8_7のプルアップ) (b1)

PU21ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

P8_5端子は、プルアップはありません。

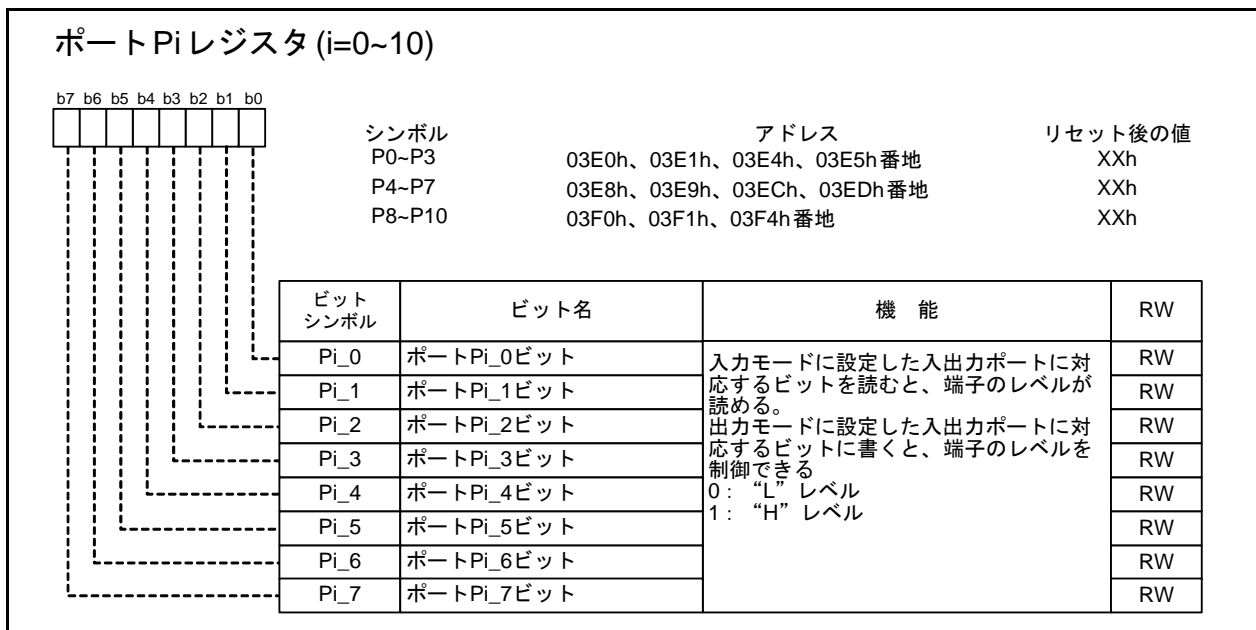
13.3.4 ポート制御レジスタ (PCR)

ポート制御レジスタ				
		シンボル PCR	アドレス 0366h番地	リセット後の値 0000 0XX0b
ビット シンボル	ビット名	機 能	RW	
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポータラッチを読む 1: 入力ポート、出力ポートにかかわらず、 ポータラッチを読む	RW	
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—	
— (b3)	予約ビット	“0”にしてください。	RW	
PCR4	CEC出力許可ビット	0: CEC出力禁止 1: CEC出力許可	RW	
PCR5	INT6入力許可ビット	0: 許可 1: 禁止	RW	
PCR6	INT7入力許可ビット	0: 許可 1: 禁止	RW	
PCR7	キー入力許可ビット	0: 許可 1: 禁止	RW	

PCR0 (ポートP1制御ビット) (b0)

PCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

13.3.5 ポートPiレジスタ (Pi) (i=0~10)



外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。

入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

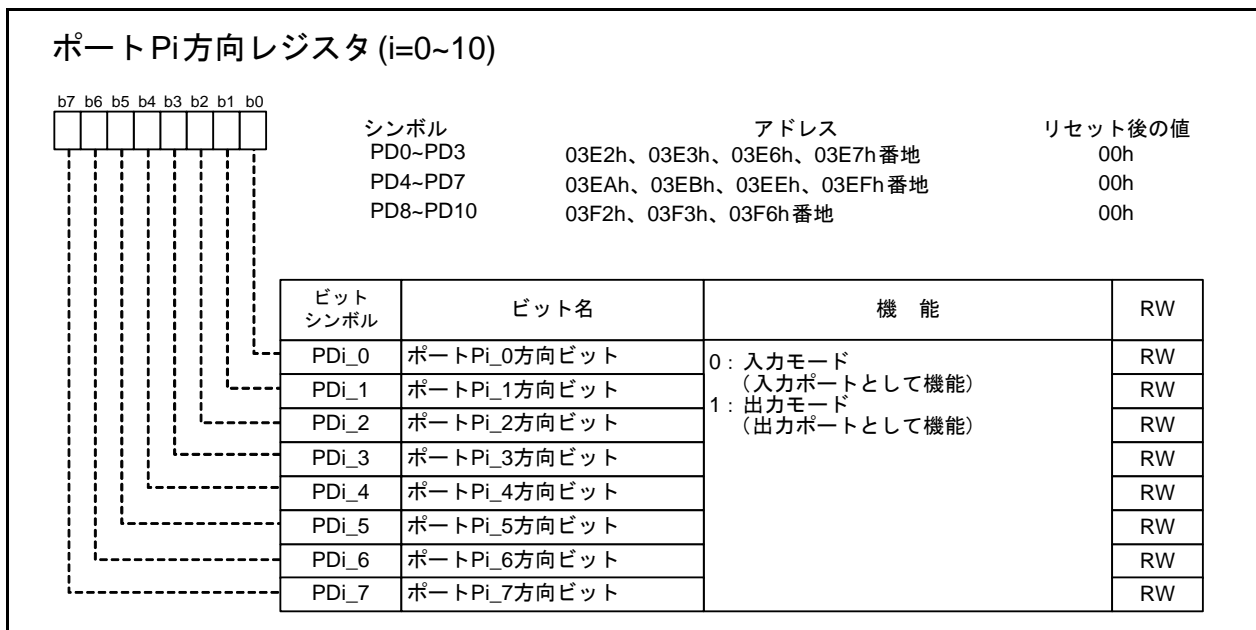
出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子 (A0~A19、D0~D15、CS0~CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK) になっている端子のPiレジスタは変更できません (値を書いても変化しません)。

P7_0、P7_1、P8_5はNチャンネルオープンドレインポートのため、“1”にするとハイインピーダンスとなります。

CM0レジスタのCM04ビットが“1”(XCIN-XCOUT発振機能)、かつPD8レジスタのPD8_6、PD8_7ビットが“0”(入力モード)の場合、P8レジスタのP8_6、P8_7ビットの値は不定です。

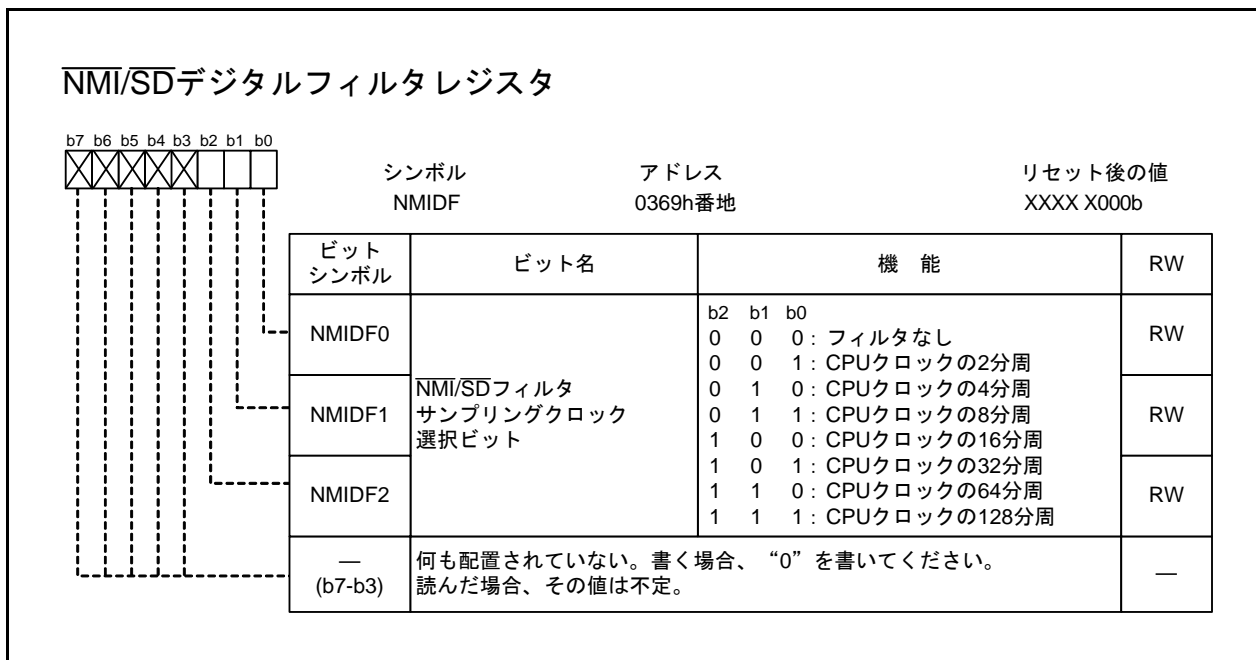
13.3.6 ポートPi方向レジスタ (PDi) (i=0~10)



PD9レジスタは、PRCRレジスタのPRC2ビットを“1” (書き込み許可)にした次の命令で書いてください。

PDiレジスタで、入出力ポートを入力に使用するか、出力に使用するかを選択してください。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子 (A0~A19、D0~D15、CS0~CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK) になっている端子のPDレジスタは変更できません (値を書いても変化しません)。

13.3.7 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタレジスタ (NMIDF)

NMIDFレジスタは、次の状態に変更してください。

- PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止)
- INVC0レジスタのINV02、INV03ビットがともに“0” (三相モータ制御用タイマ機能を使用しない、三相モータ制御用タイマ出力禁止)

なお、PM24ビットは一度“1” ($\overline{\text{NMI}}$ 割り込み許可) にすると、プログラムでは“0”にできません。したがって、PM24ビットを“1”にする前にNMIDFレジスタを変更してください

13.4 周辺機能の入出力

13.4.1 周辺機能入出力とポート方向ビット

プログラマブル入出力ポートは、周辺機能の入出力と端子を共用する場合があります(「表 1.4~表 1.5 端子名一覧」参照)。周辺機能の入出力は、端子を共用するポートの方向ビットの影響を受けるものがあります。表 13.13に周辺機能の入出力として機能する場合の方向ビットの設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 13.13 周辺機能の入出力として機能する場合の方向ビットの設定

周辺機能の入出力		端子を共用しているポートの方向ビットの設定
入力		“0”(入力モード)にしてください
出力	PWM機能	“1”(出力モード)にしてください
	D/Aコンバータ	“0”(入力モード)にしてください
	その他	“0”でも“1”でもよい(方向ビットの設定に関係なく、出力になる)

13.4.2 周辺機能入出力の優先順位

複数の周辺機能が端子を共用している場合があります。この場合、たとえば、ある端子を共用する周辺機能Aと周辺機能Bが動作すると次のようになります。

- その端子が周辺機能Aの入力端子と、周辺機能Bの入力端子の機能を持つ場合
同じ信号をそれぞれの入力信号として入力します。ただし、周辺機能A、Bがその信号を受け付けるタイミングは周辺機能A、Bの内部の遅延などによって異なります。
- その端子が周辺機能Aの出力端子と、周辺機能Bの入力端子の機能を持つ場合
周辺機能Aは出力信号を端子から出力します。その信号を周辺機能Bが入力します。

13.4.3 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタ

$\overline{\text{NMI}}/\overline{\text{SD}}$ 入力機能には、デジタルフィルタがあります。サンプリングクロックは NMIDF レジスタの NMIDF2~NMIDF0 ビットで選択できます。サンプリングクロックごとに $\overline{\text{NMI}}$ のレベルをサンプリングし、レベルが3度続けて一致した時点で、内部に伝えます。

$\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタを使用する場合は、ウェイトモード、ストップモードに遷移しないでください。

ポート P8_5 入力はデジタルフィルタの影響を受けません。

図 13.13 に $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタの構成を、図 13.14 に $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタ動作例を示します。

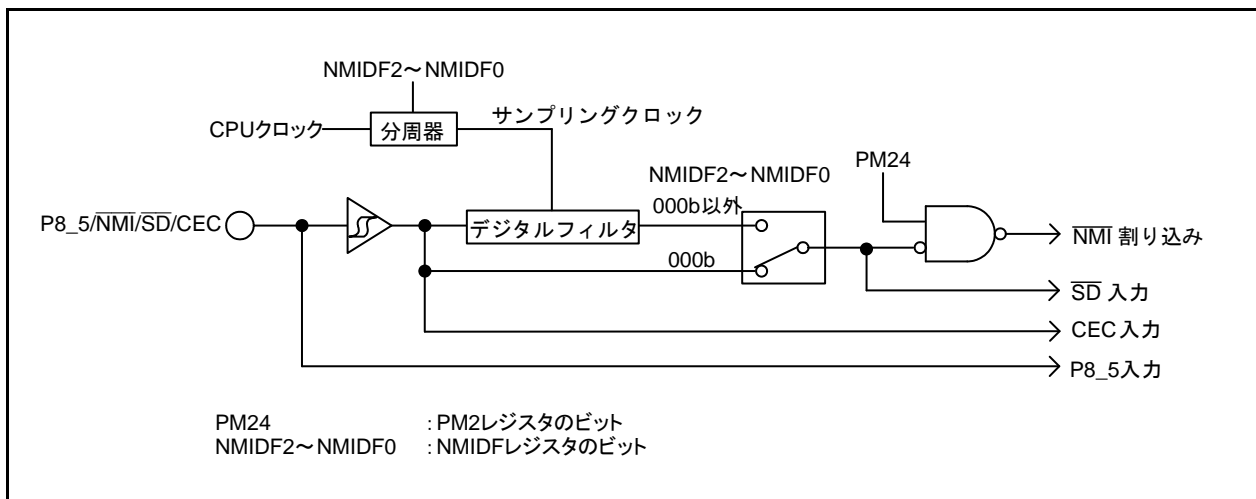


図 13.13 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタの構成

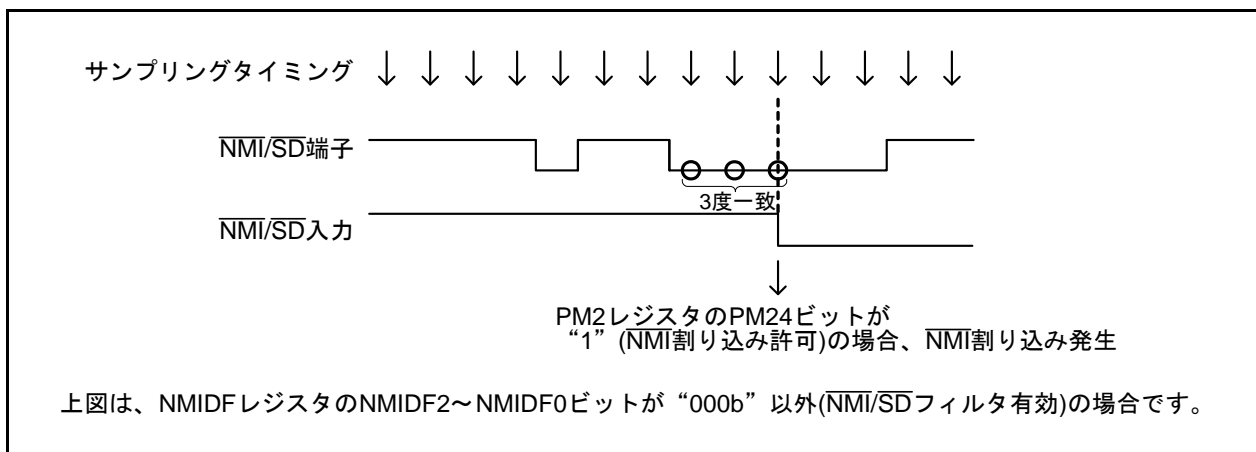


図 13.14 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタ動作例

13.4.4 CNVSS 端子

ウォッチドッグタイマリセット、ハードウェアリセット、パワーオンリセットまたは電圧監視 0 リセット後、CNVSS 端子の内蔵プルアップ抵抗が ON になります。このため、最大で fOCO-S の 2 サイクルの期間、CNVSS 端子は "H" レベルを出力します。シングルチップモードで使用する場合は、抵抗を介して VSS に接続してください。

13.5 未使用端子の処理

表 13.14 シングルチップモード時の未使用端子の処理例

端子名	処理内容(注2)
ポート P0~P5	次のいずれか ・入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) ・入力モードに設定し、端子ごとに抵抗を介してVCC2に接続(プルアップ) ・出力モードに設定し、端子を開放(注1)
ポート P6~P10	次のいずれか ・入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) ・入力モードに設定し、端子ごとに抵抗を介してVCC1に接続(プルアップ) ・出力モードに設定し、端子を開放(注1、3)
XOUT(注4)	開放
XIN	抵抗を介してVCC1に接続(プルアップ)
AVCC	VCC1に接続
AVSS、VREF、BYTE	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの値が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの値を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. ポートP7_0、P7_1、P8_5はNチャンネルオープンドレイン出力です。
ポートP7_0、P7_1、P8_5を出力モードに設定する場合は“L”を出力してください。
- 注4. XIN端子に外部クロックを入力している場合、または抵抗を介してVCC1に接続している場合。

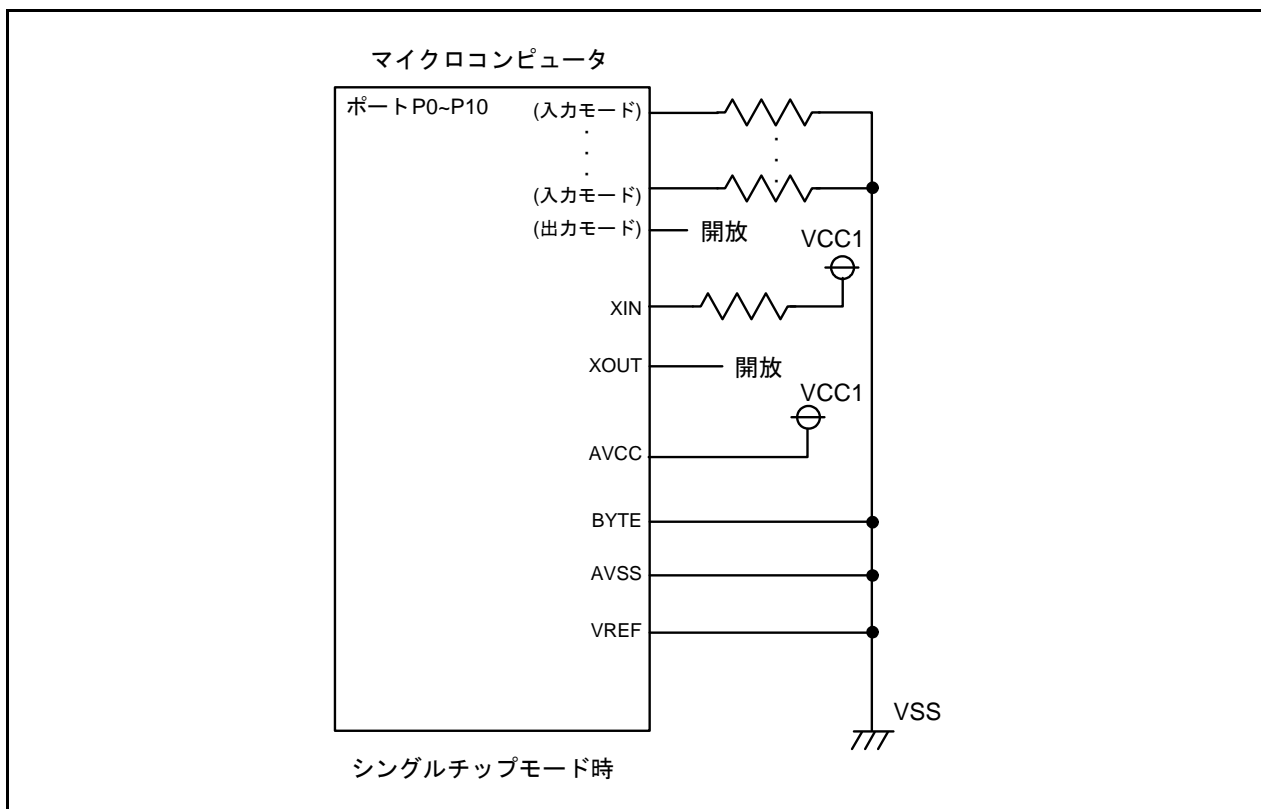


図 13.15 未使用端子の処理例(シングルチップモード時)

表 13.15 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容(注2)
ポートP0~P5	次のいずれか <ul style="list-style-type: none"> • 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) • 入力モードに設定し、端子ごとに抵抗を介してVCC2に接続(プルアップ) • 出力モードに設定し、端子を開放(注1、3)
ポートP6~P10	次のいずれか <ul style="list-style-type: none"> • 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) • 入力モードに設定し、端子ごとに抵抗を介してVCC1に接続(プルアップ) • 出力モードに設定し、端子を開放(注1、4)
BHE、ALE、HLDA、XOUT(注5)、BCLK(注6)	開放
HOLD、RDY	抵抗を介してVCC2に接続(プルアップ)
XIN	抵抗を介してVCC1に接続(プルアップ)
AVCC	VCC1に接続
AVSS、VREF	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの値が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの値を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. CNVSS端子にVSSレベルを印加している場合、リセットからプログラムによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。
- 注4. ポートP7_0、P7_1、P8_5はNチャンネルオープンドレイン出力です。
ポートP7_0、P7_1、P8_5を出力モードに設定する場合は“L”を出力してください。
- 注5. XIN端子に外部クロックを入力している場合、または抵抗を介してVCC1に接続している場合。
- 注6. PM0レジスタのPM07ビットを“1”(BCLK出力しない)にした場合、抵抗を介してVCC2に接続(プルアップ)してください。

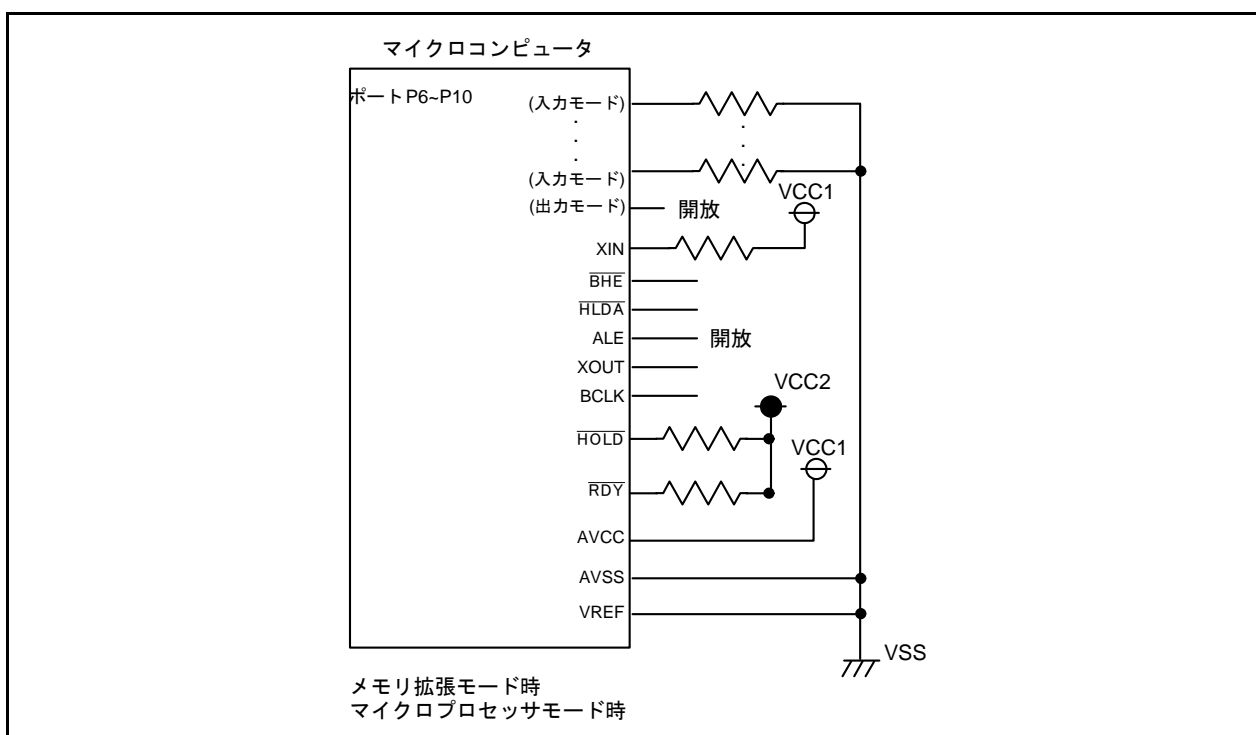


図 13.16 未使用端子の処理例(メモリ拡張モード、マイクロプロセッサモード時)

13.6 プログラマブル入出力ポート使用上の注意事項

13.6.1 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、
P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

13.6.2 SI/O3、SI/O4の影響

SiCレジスタのSMi2ビットを“1”(SOUTi出力禁止)にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

14. 割り込み

14.1 概要

表 14.1に割り込みの概要を、表 14.2に入出力端子を示します。表 14.2に示す端子は、外部割り込みの入力端子です。周辺機能割り込みに関係する端子は各周辺機能を参照してください。

表 14.1 割り込みの概要

割り込みの分類	割り込み	機能
ソフトウェア	未定義命令(UND 命令) オーバフロー (INTO 命令) BRK 命令 INT 命令	命令の実行で割り込みが発生する ノンマスクブル割り込み(注2)
ハードウェア	特殊 NMI ウォッチドッグタイマ 発振停止/再発振検出 電圧監視1 電圧監視2 アドレス一致 シングルステップ(注1) \overline{DBC} (注1)	マイクロコンピュータのハードウェアによる割り込み ノンマスクブル割り込み(注2)
	周辺機能	\overline{INT} 、タイマなど (「14.6.2 可変ベクタテーブル」参照)

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

表 14.2 入出力端子

端子名	入出力	機能
\overline{NMI}	入力(注1)	\overline{NMI} 割り込み入力
\overline{INTi}	入力(注1)	\overline{INTi} 割り込み入力
$\overline{KI0-KI3}$	入力(注1)	キー入力

i=0~7

注1. 端子を共用するポートの方向ビットは“0”(入力モード)にしてください。

14.2 レジスタの説明

表 14.3 レジスタ一覧(1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
0042h	INT7割り込み制御レジスタ	INT7IC	XX00 X000b
0043h	INT6割り込み制御レジスタ	INT6IC	XX00 X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXX X000b
0048h	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	UART5バス衝突検出割り込み制御レジスタ、CEC1割り込み制御レジスタ	U5BCNIC、CEC1IC	XXXX X000b
006Ch	UART5送信割り込み制御レジスタ、CEC2割り込み制御レジスタ	S5TIC、CEC2IC	XXXX X000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6バス衝突検出割り込み制御レジスタ、リアルタイムクロック周期割り込み制御レジスタ	U6BCNIC、RTCTIC	XXXX X000b

表 14.4 レジスタ一覧(2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Fh	UART6送信割り込み制御レジスタ、リアルタイムクロックコンペア割り込み制御レジスタ	S6TIC、RTCCIC	XXXX X000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7バス衝突検出 割り込み制御レジスタ、リモコン信号受信機能0割り込み制御レジスタ	U7BCNIC、PMC0IC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ、リモコン信号受信機能1割り込み制御レジスタ	S7TIC、PMC1IC	XXXX X000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
007Bh	I2C-bus インタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA 割り込み制御レジスタ	SCLDAIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
0366h	ポート制御レジスタ	PCR	0000 0XX0b
0369h	NMI/SD デジタルフィルタレジスタ	NMIDF	XXXX X000b

14.2.1 プロセッサモードレジスタ 2 (PM2)

プロセッサモードレジスタ 2			
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“1” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット	0: $\overline{\text{NMI}}$ 割り込み禁止 1: $\overline{\text{NMI}}$ 割り込み許可	RW
PM25	周辺機能クロックIC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

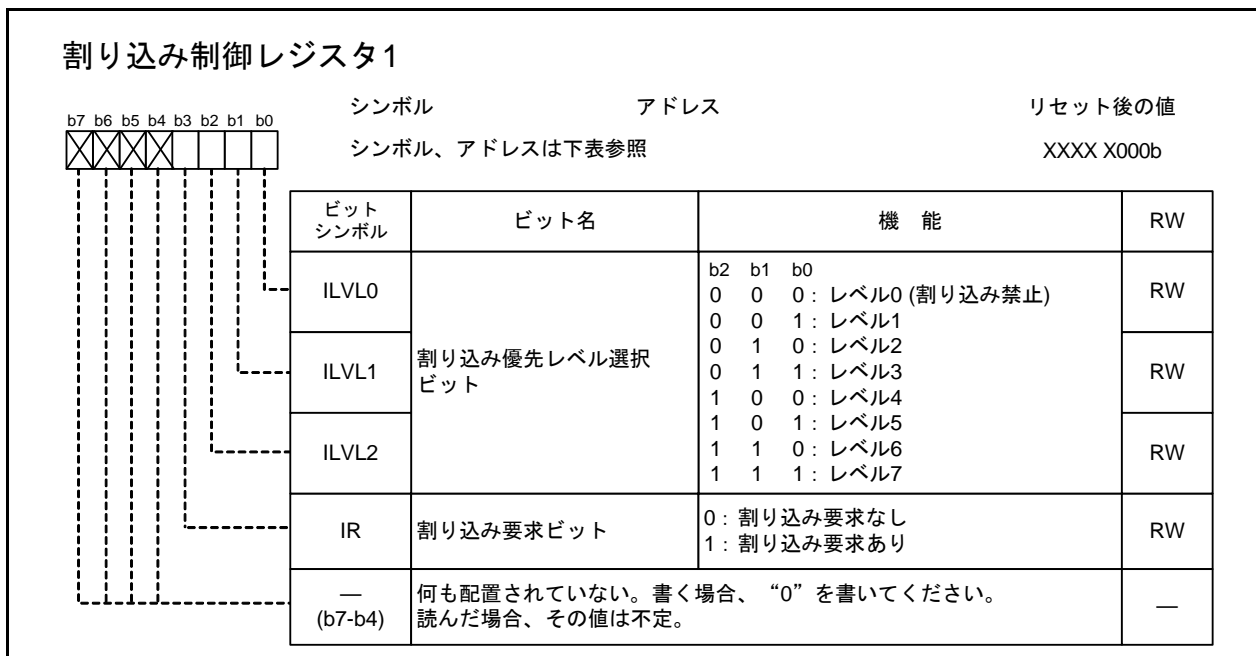
PM2レジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PM24 ($\overline{\text{NMI}}$ 割り込み許可ビット) (b4)

一度“1”にすると、プログラムでは“0”にできません（“0”を書いても変化しません）。

14.2.2 割り込み制御レジスタ1

(TB5IC、TB4IC/U1BCNIC、TB3IC/U0BCNIC、BCNIC、DM0IC~DM3IC、KUPIC、ADIC、S0TIC~S2TIC、S0RIC~S2RIC、TA0IC~TA4IC、TB0IC~TB2IC、U5BCNIC/CEC1IC、S5TIC/CEC2IC、S5RIC~S7RIC、U6BCNIC/RTCTIC、S6TIC/RTCCIC、U7BCNIC/PMC0IC、S7TIC/PMC1IC、IICIC、SCLDAIC)



シンボル	アドレス
TB5IC	0045h 番地
TB4IC/U1BCNIC	0046h 番地
TB3IC/U0BCNIC	0047h 番地
BCNIC	004Ah 番地
DM0IC	004Bh 番地
DM1IC	004Ch 番地
DM2IC	0069h 番地
DM3IC	006Ah 番地
KUPIC	004Dh 番地
ADIC	004Eh 番地
S0TIC	0051h 番地
S1TIC	0053h 番地
S2TIC	004Fh 番地
S0RIC	0052h 番地
S1RIC	0054h 番地
S2RIC	0050h 番地
TA0IC	0055h 番地
TA1IC	0056h 番地

シンボル	アドレス
TA2IC	0057h 番地
TA3IC	0058h 番地
TA4IC	0059h 番地
TB0IC	005Ah 番地
TB1IC	005Bh 番地
TB2IC	005Ch 番地
U5BCNIC/CEC1IC	006Bh 番地
S5TIC/CEC2IC	006Ch 番地
S5RIC	006Dh 番地
S6RIC	0070h 番地
S7RIC	0073h 番地
U6BCNIC/RTCTIC	006Eh 番地
S6TIC/RTCCIC	006Fh 番地
U7BCNIC/PMC0IC	0071h 番地
S7TIC/PMC1IC	0072h 番地
IICIC	007Bh 番地
SCLDAIC	007Ch 番地

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。

複数の割り込み要因がレジスタを共用している場合は、IFSR2A、IFSR3A レジスタで選択してください。

IR (割り込み要求ビット) (b3)

IRビットが“0”のときに“1”を書かないでください。

14.2.3 割り込み制御レジスタ2 (INT7IC、INT6IC、INT3IC、S4IC/INT5IC、S3IC/INT4IC、INT0IC~INT2IC)

割り込み制御レジスタ2		シンボル	アドレス	リセット後の値
		シンボル、アドレスは下表参照		XX00 X000b
ビットシンボル	ビット名	機能		RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	0 0 0: レベル0 (割り込み禁止)	RW
ILVL1		0 0 1: レベル1	RW	
ILVL2		0 1 0: レベル2	RW	
		0 1 1: レベル3	RW	
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	RW	
POL	極性切り替えビット	0: 立ち下がりエッジを選択 1: 立ち上がりエッジを選択	RW	
— (b5)	予約ビット	“0” にしてください。		RW
— (b7-b6)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。			—

シンボル	アドレス
INT7IC	0042h
INT6IC	0043h
INT3IC	0044h
S4IC/INT5IC	0048h
S3IC/INT4IC	0049h

シンボル	アドレス
INT0IC	005Dh
INT1IC	005Eh
INT2IC	005Fh

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。複数の割り込み要因がレジスタを共用している場合は、IFSRレジスタで選択してください。

ILVL2~ILVL0 (割り込み優先レベル選択ビット) (b2~b0)

メモリ拡張モード、マイクロプロセッサモード時は、INT6IC、INT7ICレジスタのILVL2~ILVL0ビットを“000b” (割り込み禁止) にしてください。

BYTE端子が“L”でメモリ拡張モード、マイクロプロセッサモード時は、INT3IC、INT4IC、INT5ICレジスタのILVL2~ILVL0ビットを“000b” (割り込み禁止) にしてください。

IR (割り込み要求ビット) (b3)

IRビットは“0”のときに“1”を書かないでください。

POL (極性切り替えビット) (b4)

IFSRレジスタのIFSRiビット (i=0~5) が“1” (両エッジ) の場合、INTiICレジスタのPOLビットを“0” (立ち下がりエッジ) にしてください。

IFSR3AレジスタのIFSR30、IFSR31ビットが“1” (両エッジ) の場合、INT6IC、INT7ICレジスタのPOLビットを“0” (立ち下がりエッジ) にしてください。

IFSRレジスタのIFSR6ビットが“0” (SI/O3選択) 時はS3ICレジスタの、IFSR7ビットが“0” (SI/O4選択) 時はS4ICレジスタのPOLビットを“0” (立ち下がりエッジ) にしてください。

14.2.4 割り込み要因選択レジスタ3 (IFSR3A)

割り込み要因選択レジスタ3			シンボル	アドレス	リセット後の値
ビットシンボル	ビット名	機能	IFSR3A	0205h番地	00h
b7	IFSR30	INT6割り込み極性切り替えビット	0	0	0
b6					
b5	IFSR31	INT7割り込み極性切り替えビット	0	0	0
b4					
b3	IFSR33	割り込み要因切り替えビット	0	0	0
b2					
b1	IFSR34	割り込み要因切り替えビット	0	0	0
b0					
— (b2)	予約ビット	"0" にしてください。			
	IFSR35	割り込み要因切り替えビット	0	0	0
	IFSR36	割り込み要因切り替えビット	0	0	0
	予約ビット	"0" にしてください。			
	— (b7)	予約ビット			

IFSR31、IFSR30 ($\overline{\text{INT7}}$ 、 $\overline{\text{INT6}}$ 割り込み極性切り替えビット) (b1、b0)

“1” (両エッジ) を選択する場合、対応するINT6IC、INT7ICレジスタのPOLビットを“0” (立ち下がリエッジ) にしてください。

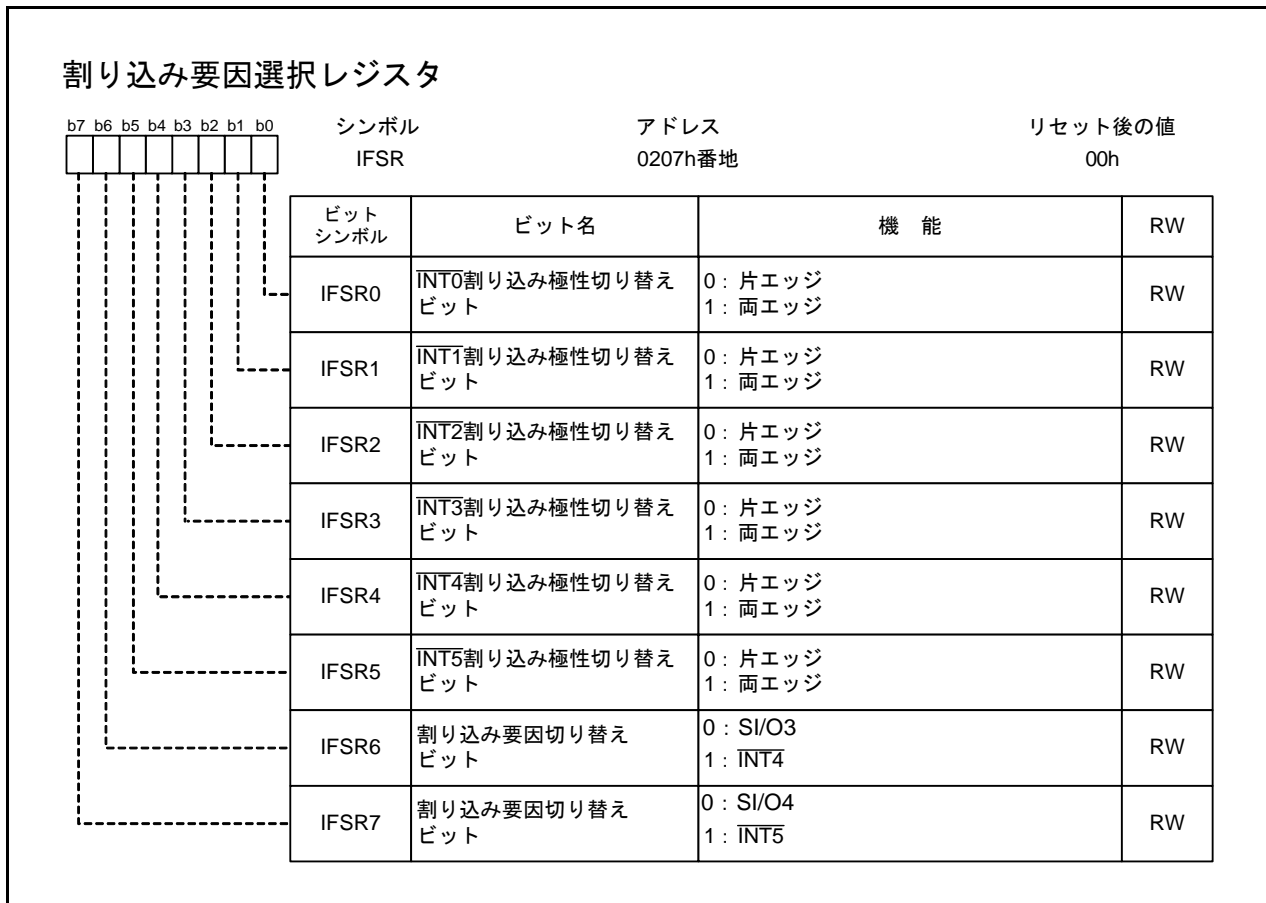
14.2.5 割り込み要因選択レジスタ2 (IFSR2A)

割り込み要因選択レジスタ2

シンボル IFSR2A アドレス 0206h番地 リセット後の値 00h

ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0” にしてください。	RW
IFSR22	割り込み要因切り替えビット	0: 未使用 1: I ² C-busインタフェース	RW
IFSR23	割り込み要因切り替えビット	0: 未使用 1: SCL/SDA	RW
IFSR24	割り込み要因切り替えビット	0: UART7スタート/ストップ コンディション検出、バス衝突検出 1: リモコン信号受信機能0	RW
IFSR25	割り込み要因切り替えビット	0: UART7送信、NACK 1: リモコン信号受信機能1	RW
IFSR26	割り込み要因切り替えビット	0: タイマB3 1: UART0スタート/ストップ コンディション検出、バス衝突検出	RW
IFSR27	割り込み要因切り替えビット	0: タイマB4 1: UART1スタート/ストップ コンディション検出、バス衝突検出	RW

14.2.6 割り込み要因選択レジスタ (IFSR)

IFSR5~IFSR0 ($\overline{INT5}$ ~ $\overline{INT0}$ 割り込み極性切り替えビット) (b5~b0)

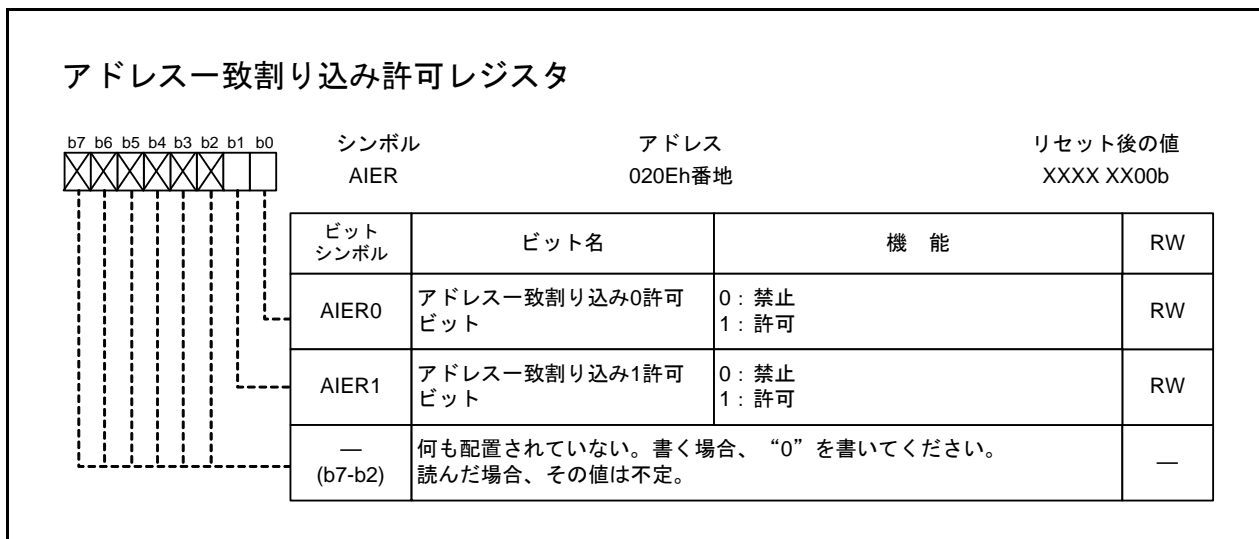
“1” (両エッジ) を選択する場合は、対応する $\overline{INT0IC}$ ~ $\overline{INT5IC}$ レジスタの POL ビットを“0” (立ち下がりエッジ) にしてください。

IFSR7、IFSR6 (割り込み要因切り替えビット) (b7、b6)

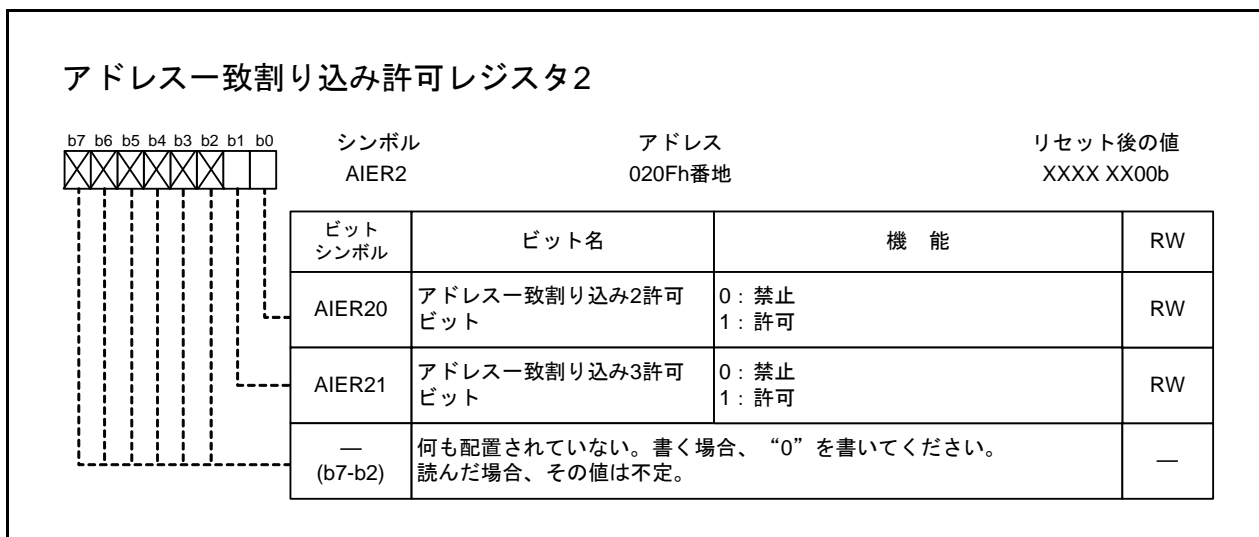
メモリ拡張モード、マイクロプロセッサモード時で、データバス幅が16ビット (BYTE端子が“L”) の時は、“0” (SI/O3、SI/O4) にしてください。

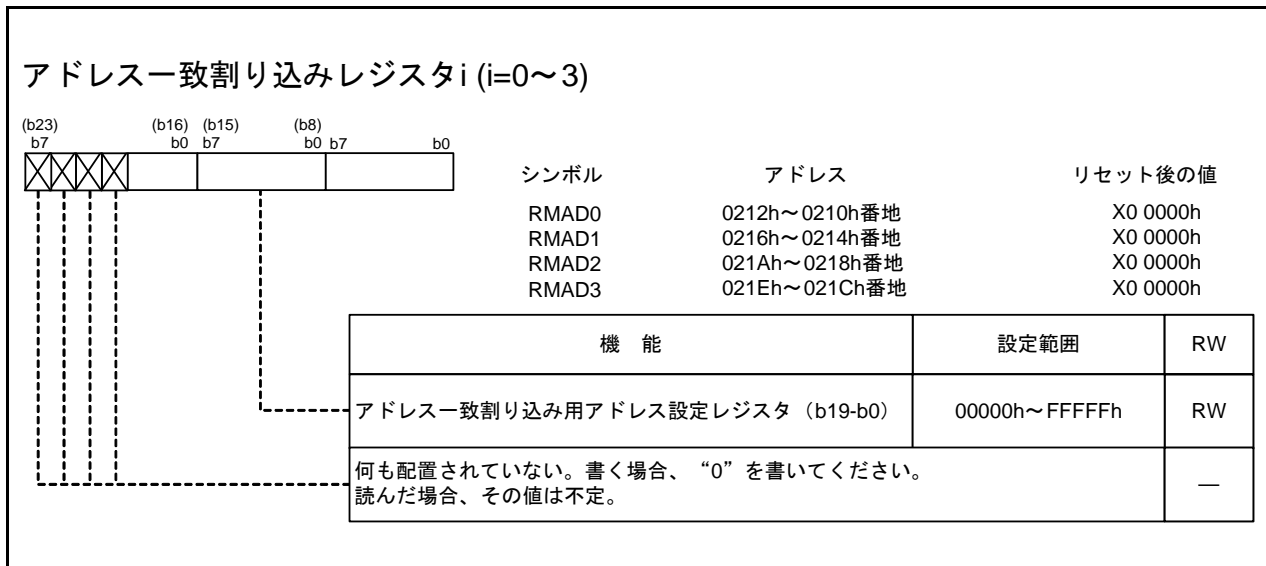
“0” (SI/O3、SI/O4) を選択する場合は、対応する S3IC、S4IC レジスタの POL ビットを“0” (立ち下がりエッジ) にしてください。

14.2.7 アドレス一致割り込み許可レジスタ (AIER)



14.2.8 アドレス一致割り込み許可レジスタ2 (AIER2)



14.2.9 アドレス一致割り込みレジスタ*i* (RMAD*i*) (*i*=0~3)

14.2.10 ポート制御レジスタ (PCR)

ポート制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCR	アドレス 0366h番地	リセット後の値 0000 0XX0b
	ビット シンボル	ビット名	機 能
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、 ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不足。		—
— (b3)	予約ビット	“0”にしてください。	RW
PCR4	CEC出力許可ビット	0: CEC出力禁止 1: CEC出力許可	RW
PCR5	$\overline{\text{INT6}}$ 入力許可ビット	0: 許可 1: 禁止	RW
PCR6	$\overline{\text{INT7}}$ 入力許可ビット	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット	0: 許可 1: 禁止	RW

PCR5 ($\overline{\text{INT6}}$ 入力許可ビット) (b5)

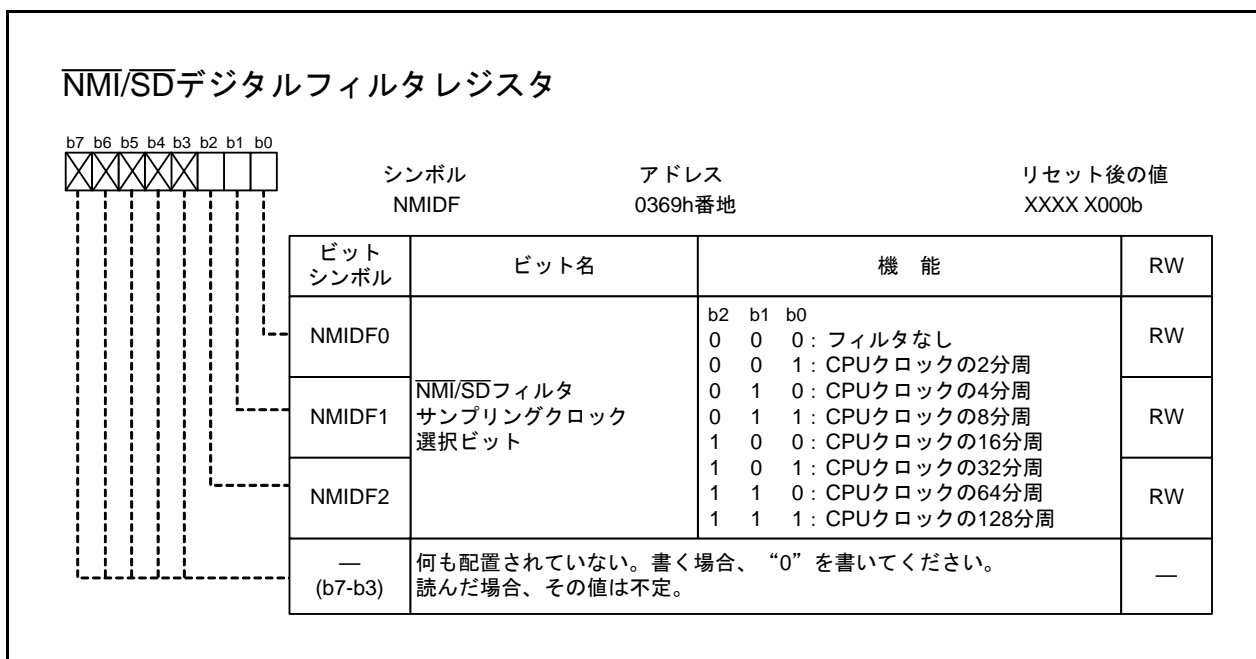
AN2_4端子をアナログ入力に使用する場合は、PCR5ビットを“1” ($\overline{\text{INT6}}$ 入力禁止)にしてください。

PCR6 ($\overline{\text{INT7}}$ 入力許可ビット) (b6)

AN2_5端子をアナログ入力に使用する場合は、PCR6ビットを“1” ($\overline{\text{INT7}}$ 入力禁止)にしてください。

PCR7 (キー入力許可ビット) (b7)

AN4~AN7端子をアナログ入力に使用する場合は、PCR7ビットを“1” (キー入力禁止)にしてください。

14.2.11 $\overline{\text{NMI}}/\overline{\text{SD}}$ デジタルフィルタレジスタ (NMIDF)

NMIDFレジスタは、次の状態に変更してください。

- PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止)
- INVC0レジスタのINV02、INV03ビットがともに“0” (三相モータ制御用タイマ機能を使用しない、三相モータ制御用タイマ出力禁止)

なお、PM24ビットは一度“1” ($\overline{\text{NMI}}$ 割り込み許可) にすると、プログラムでは“0”にできません。したがって、PM24ビットを“1”にする前にNMIDFレジスタを変更してください

14.3 割り込みの分類

図 14.1に割り込みの分類を示します。

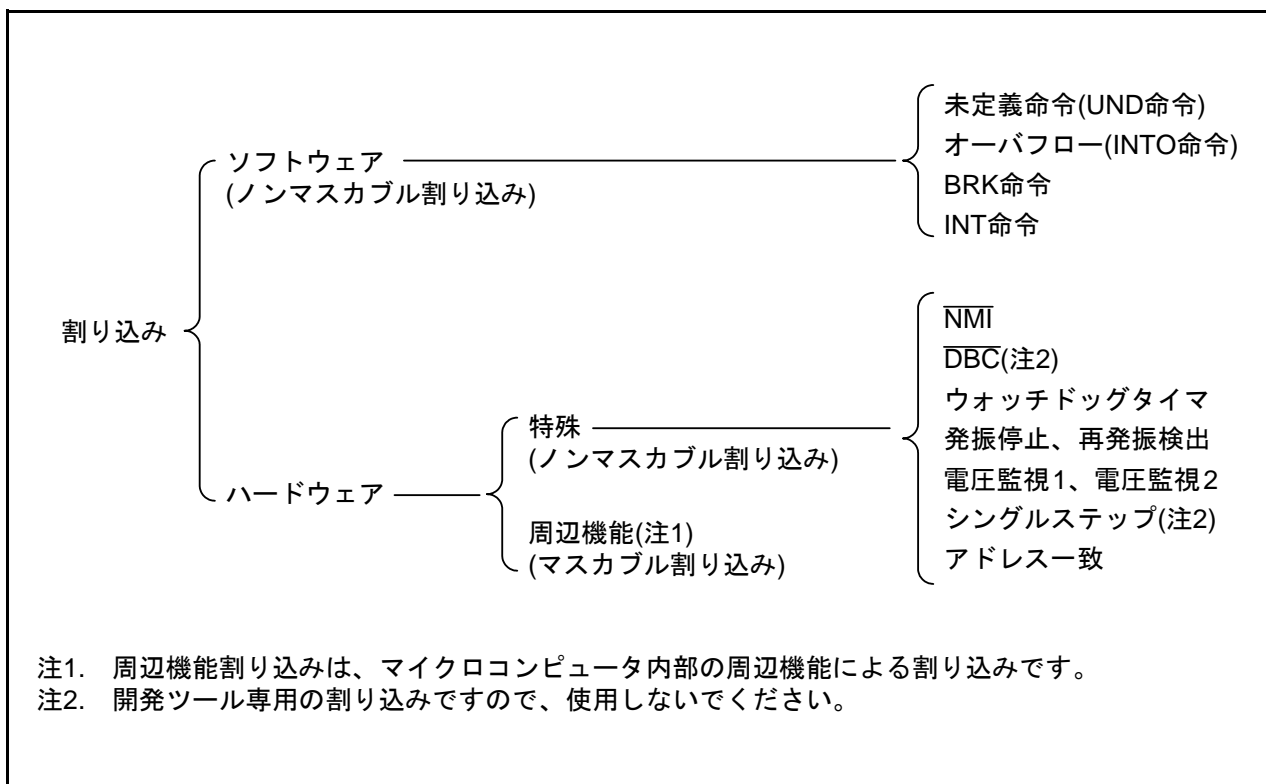


図 14.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

14.4 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

14.4.1 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

14.4.2 オーバフロー割り込み

オーバフロー割り込みは、FLG レジスタの O フラグが“1” (演算の結果がオーバフロー) の場合、INTO 命令を実行すると発生します。演算によって O フラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

14.4.3 BRK 割り込み

BRK 割り込みは、BRK 命令を実行すると発生します。

14.4.4 INT 命令割り込み

INT 命令割り込みは、INT 命令を実行すると発生します。INT 命令で指定できるソフトウェア割り込み番号は 0~63 です。ソフトウェア割り込み番号 2~31、41~51、59、60 は周辺機能割り込みに割り当てられますので、INT 命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号 0~31 では、命令実行時に U フラグを退避し、U フラグを“0” (ISP を選択) にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいた U フラグを復帰します。ソフトウェア割り込み番号 32~63 では、命令実行時 U フラグは変化せず、そのとき選択されている SP を使用します。

14.5 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

14.5.1 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

14.5.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「14.9 $\overline{\text{NMI}}$ 割り込み」を参照してください。

14.5.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

14.5.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマをリフレッシュしてください。

ウォッチドッグタイマの詳細は「15. ウォッチドッグタイマ」を参照してください。

14.5.1.4 発振停止/再発振検出割り込み

発振停止/再発振検出機能による割り込みです。発振停止/再発振検出機能の詳細は「8. クロック発生回路」を参照してください。

14.5.1.5 電圧監視1、電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

14.5.1.6 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

14.5.1.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「14.11 アドレス一致割り込み」を参照してください。

14.5.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 14.6 ~ 表 14.7 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

14.6 割り込みと割り込みベクタ

1 ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 14.2 に割り込みベクタを示します。

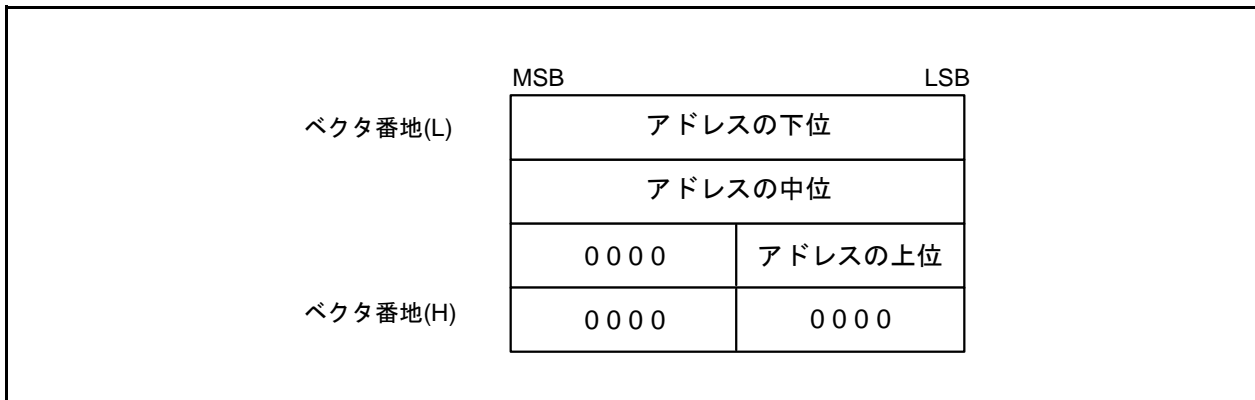


図 14.2 割り込みベクタ

14.6.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表 14.5 に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能やOFS1番地に使用します。詳細は「30. フラッシュメモリ」を参照してください。

表 14.5 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	参照先
未定義命令(UND命令)	FFFDCh~FFFDfH	M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル
オーバフロー(INTO命令)	FFFE0h~FFFE3h	
BRK命令(注2)	FFFE4h~FFFE7h	
アドレス一致	FFFE8h~FFFEbH	14.11 アドレス一致割り込み
シングルステップ(注1)	FFFECh~FFFEfH	—
ウォッチドッグタイマ、 発振停止/再発振検出、 電圧監視1、電圧監視2	FFFF0h~FFFF3h	15. ウォッチドッグタイマ、 8. クロック発生回路、 7. 電圧検出回路
DBC(注1)	FFFF4h~FFFF7h	—
NMI	FFFF8h~FFFFbH	14.9 NMI割り込み
リセット	FFFFCh~FFFFfH	6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE6h番地の値がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行

14.6.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。INTB レジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表 14.6 可変ベクタテーブル(1/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT 命令割り込み (注5)	+0~+3 (0000h~0003h) ~ +252 ~+255 (00FCh~00FFh)	0~63	M16C/60、M16C/20、 M16C/Tiny シリーズソフトウェア マニュアル
BRK 命令 (注5)	+0~+3 (0000h~0003h)	0	
INT7	+8~+11 (0008h~000Bh)	2	14.8 INT 割り込み
INT6	+12~+15 (000Ch~000Fh)	3	
INT3	+16~+19 (0010h~0013h)	4	
タイマ B5	+20~+23 (0014h~0017h)	5	18. タイマ B
タイマ B4、UART1 スタート/ストップコン ディション検出、バス衝突検出 (注4)	+24~+27 (0018h~001Bh)	6	18. タイマ B 23. シリアルインタフェース UARTi (i=0~2, 5~7)
タイマ B3、UART0 スタート/ストップコン ディション検出、バス衝突検出 (注4)	+28~+31 (001Ch~001Fh)	7	
SI/O4、INT5 (注2)	+32~+35 (0020h~0023h)	8	14.8 INT 割り込み
SI/O3、INT4 (注2)	+36~+39 (0024h~0027h)	9	24. シリアルインタフェース SI/O3、SI/O4
UART2 スタート/ストップコンディション 検出、バス衝突検出	+40~+43 (0028h~002Bh)	10	23. シリアルインタフェース UARTi (i=0~2, 5~7)
DMA0	+44~+47 (002Ch~002Fh)	11	16. DMAC
DMA1	+48~+51 (0030h~0033h)	12	
キー入力割り込み	+52~+55 (0034h~0037h)	13	14.10 キー入力割り込み
A/D コンバータ	+56~+59 (0038h~003Bh)	14	27. A/D コンバータ
UART2 送信、NACK2 (注3)	+60~+63 (003Ch~003Fh)	15	23. シリアルインタフェース UARTi (i=0~2, 5~7)
UART2 受信、ACK2 (注3)	+64~+67 (0040h~0043h)	16	
UART0 送信、NACK0 (注3)	+68~+71 (0044h~0047h)	17	
UART0 受信、ACK0 (注3)	+72~+75 (0048h~004Bh)	18	
UART1 送信、NACK1 (注3)	+76~+79 (004Ch~004Fh)	19	
UART1 受信、ACK1 (注3)	+80~+83 (0050h~0053h)	20	
タイマ A0	+84~+87 (0054h~0057h)	21	17. タイマ A
タイマ A1	+88~+91 (0058h~005Bh)	22	
タイマ A2	+92~+95 (005Ch~005Fh)	23	
タイマ A3	+96~+99 (0060h~0063h)	24	
タイマ A4	+100~+103 (0064h~0067h)	25	
タイマ B0	+104~+107 (0068h~006Bh)	26	18. タイマ B
タイマ B1	+108~+111 (006Ch~006Fh)	27	
タイマ B2	+112~+115 (0070h~0073h)	28	

注1. INTB レジスタが示す番地からの相対番地です。

注2. IFSR レジスタの IFSR6、IFSR7 ビットで選択してください。

注3. I²C モード時に NACK、ACK が割り込み要因になります。

注4. IFSR2A レジスタの IFSR26、IFSR27 ビットで選択してください。

注5. I フラグによる禁止はできません。

表 14.7 可変ベクタテーブル(2/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT0	+116~+119 (0074h~0077h)	29	14.8 INT割り込み
INT1	+120~+123 (0078h~007Bh)	30	
INT2	+124~+127 (007Ch~007Fh)	31	
DMA2	+164~+167 (00A4h~00A7h)	41	16. DMAC
DMA3	+168~+171 (00A8h~00ABh)	42	
UART5スタート/ストップコンディション 検出、バス衝突検出、CEC1 (注3)	+172~+175 (00ACh~00AFh)	43	23. シリアルインタフェース UARTi (i=0~2, 5~7) 26. CEC (Consumer Electronics Control) 機能
UART5送信、NACK5、CEC2 (注2、3)	+176~+179 (00B0h~00B3h)	44	
UART5受信、ACK5 (注2)	+180~+183 (00B4h~00B7h)	45	
UART6スタート/ストップコンディション 検出、バス衝突検出、リアルタイムクロック 周期(注4)	+184~+187 (00B8h~00BBh)	46	20. リアルタイムクロック 23. シリアルインタフェース UARTi (i=0~2, 5~7)
UART6送信、NACK6、リアルタイムク ロックコンペア (注2、4)	+188~+191 (00BCh~00BFh)	47	
UART6受信、ACK6 (注2)	+192~+195 (00C0h~00C3h)	48	
UART7スタート/ストップコンディション 検出、バス衝突検出、リモコン信号受信機 能0 (注5)	+196~+199 (00C4h~00C7h)	49	22. リモコン信号受信機能 23. シリアルインタフェース UARTi (i=0~2, 5~7)
UART7送信、NACK7、リモコン信号受信 機能1 (注2、5)	+200~+203 (00C8h~00CBh)	50	
UART7受信、ACK7 (注2)	+204~+207 (00CCh~00CFh)	51	
I ² C-bus インタフェース割り込み (注6)	+236~+239 (00ECh~00EFh)	59	25. マルチマスタ I ² C-bus インタ フェース
SCL/SDA 割り込み (注6)	+240~+243 (00F0h~00F3h)	60	

注1. INTBレジスタが示す番地からの相対番地です。

注2. I²Cモード時にNACK、ACKが割り込み要因になります。

注3. IFSR3AレジスタのIFSR33、IFSR34ビットで選択してください。

注4. IFSR3AレジスタのIFSR35、IFSR36ビットで選択してください。

注5. IFSR2AレジスタのIFSR24、IFSR25ビットで選択してください。

注6. IFSR2AレジスタのIFSR22、IFSR23ビットで選択してください。

14.7 割り込み制御

14.7.1 マスカブル割り込みの制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、**FLG** レジスタの **I** フラグ、**IPL**、各割り込み制御レジスタの **ILVL2~ILVL0** ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの **IR** ビットに示されます。

14.7.1.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスカブル割り込みは許可され、“0”（禁止）にするとすべてのマスカブル割り込みは禁止されます。

14.7.1.2 IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられた後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

14.7.1.3 ILVL2~ILVL0ビット、IPL

割り込み優先レベルは、**ILVL2~ILVL0** ビットで設定できます。

表 14.8 に割り込み優先レベルの設定、表 14.9 に **IPL** により許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、**ILVL2~ILVL0** ビット、**IPL** はそれぞれ独立しており、互いに影響を与えることはありません。

表 14.8 割り込み優先レベルの設定

ILVL2~ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い ↓ 高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 14.9 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

14.7.2 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図 14.3 に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
 - Iフラグは“0”(割り込み禁止)
 - Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
 - Uフラグは“0”(ISPを指定)
 ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

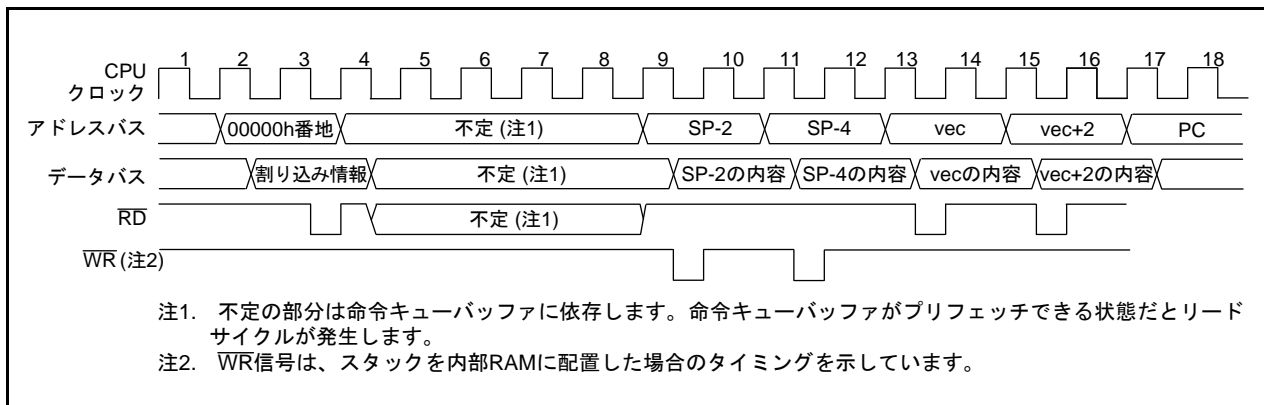


図 14.3 割り込みシーケンスの実行時間

14.7.3 割り込み応答時間

図 14.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 14.4 の(a))と割り込みシーケンスを実行する時間(図 14.4 の(b))で構成されます。

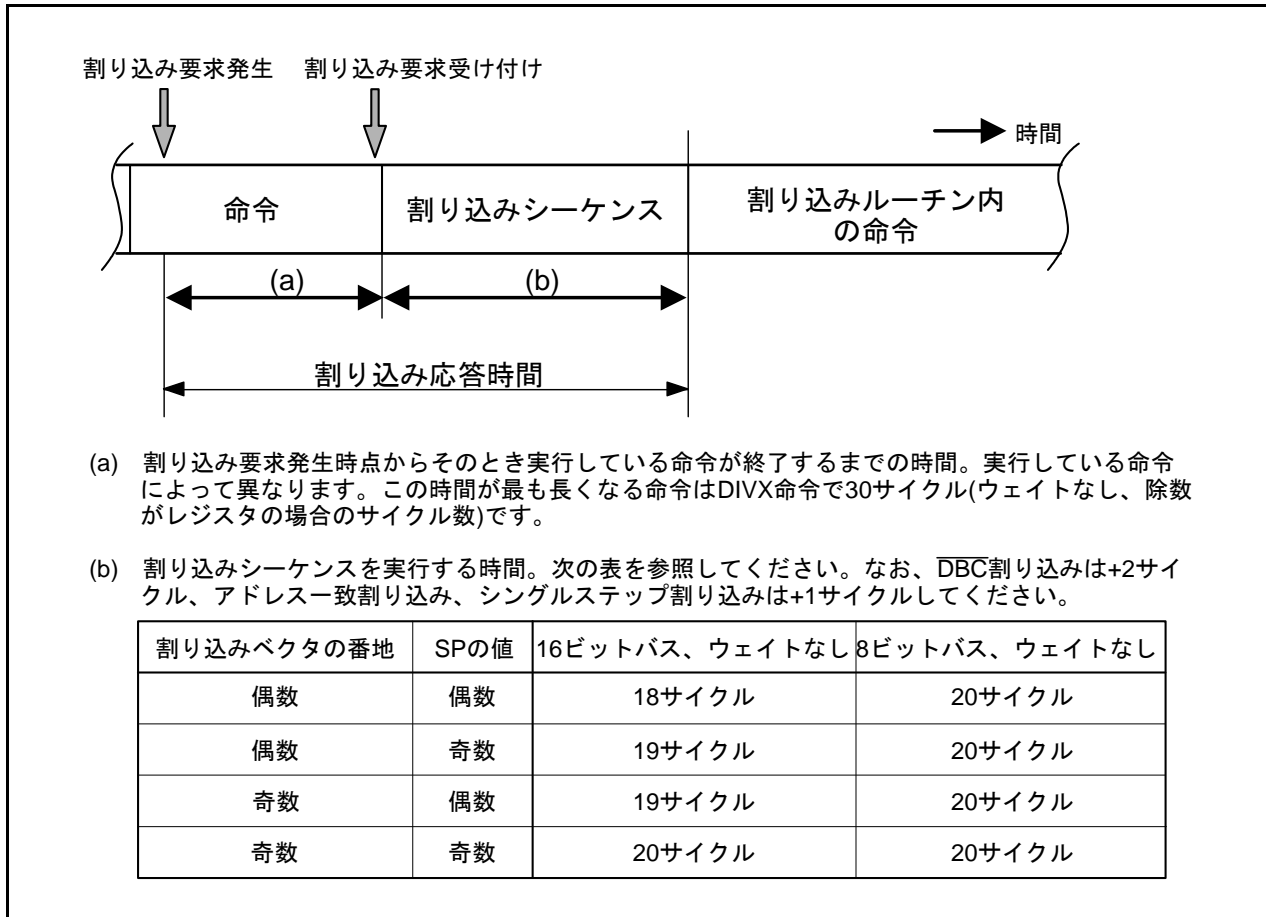


図 14.4 割り込み応答時間

14.7.4 割り込み要求受け付け時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 14.10 に示す値がIPLに設定されます。表 14.10 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 14.10 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

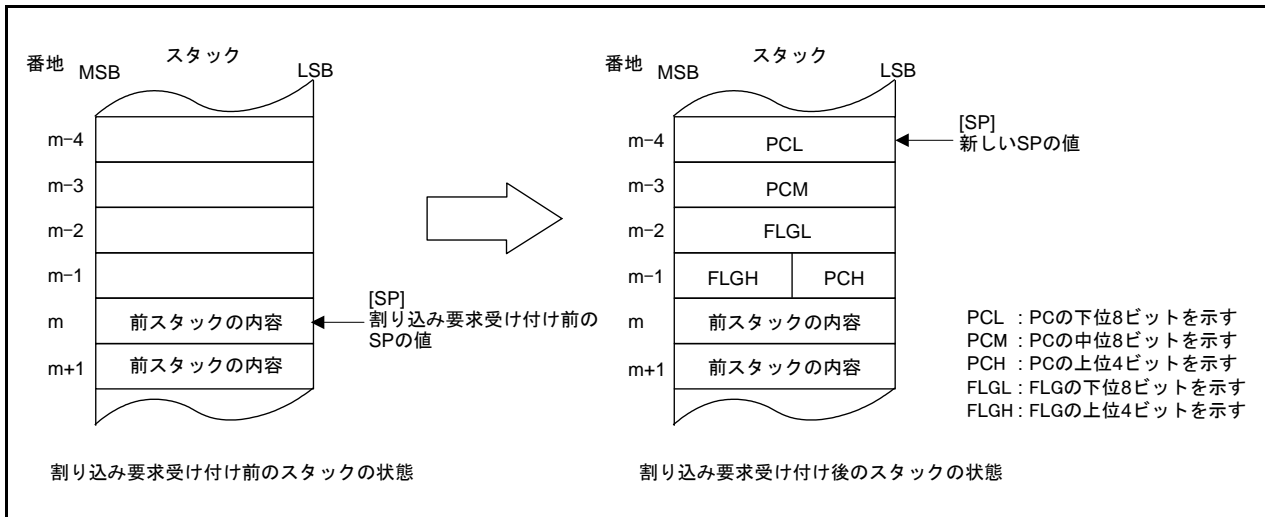
割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、NMI、発振停止/再発振検出、電圧監視1、電圧監視2	7
ソフトウェア、アドレス一致、 \overline{DBC} 、シングルステップ	変化しない

14.7.5 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

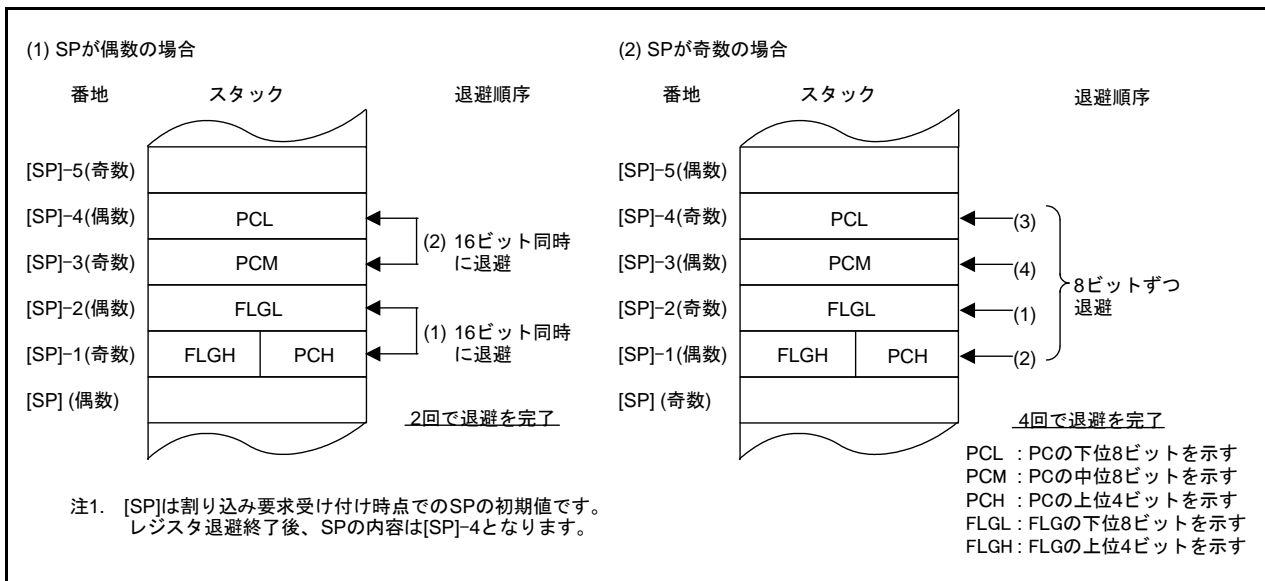
スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図 14.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。



割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図 14.6にレジスタ退避動作を示します。

注1. ソフトウェア番号32~63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。



14.7.6 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

14.7.7 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺機能割り込み)の優先レベルは、ILVL2~ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図 14.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

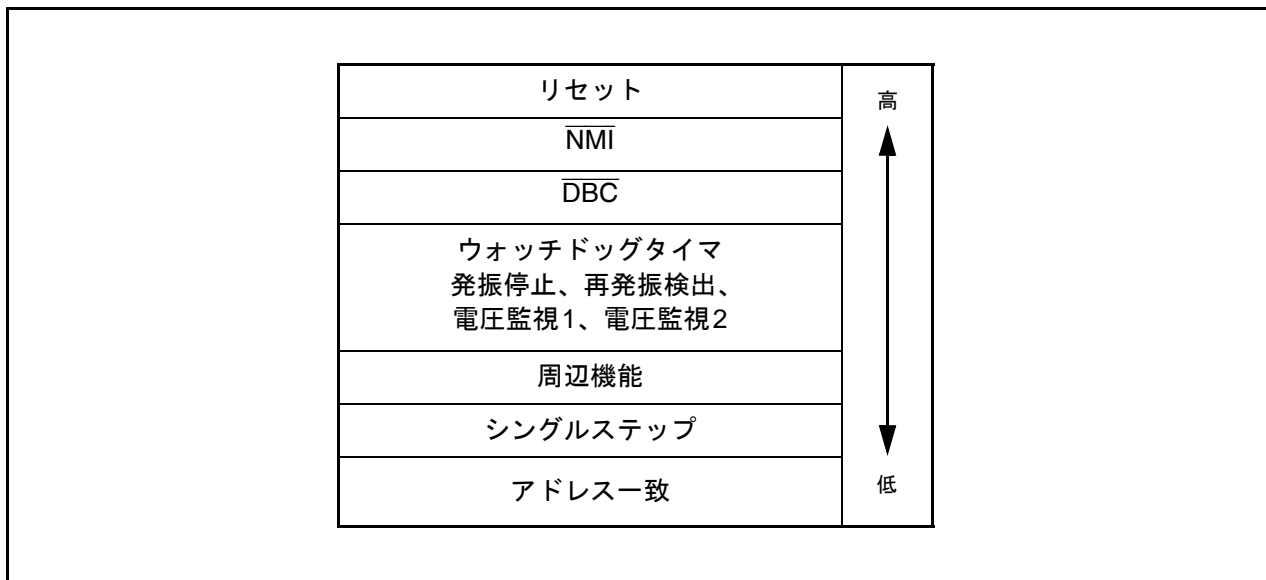


図 14.7 ハードウェア割り込みの割り込み優先順位

14.7.8 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図 14.8に割り込み優先レベル判定回路1を、図 14.9に割り込み優先レベル判定回路2を示します。

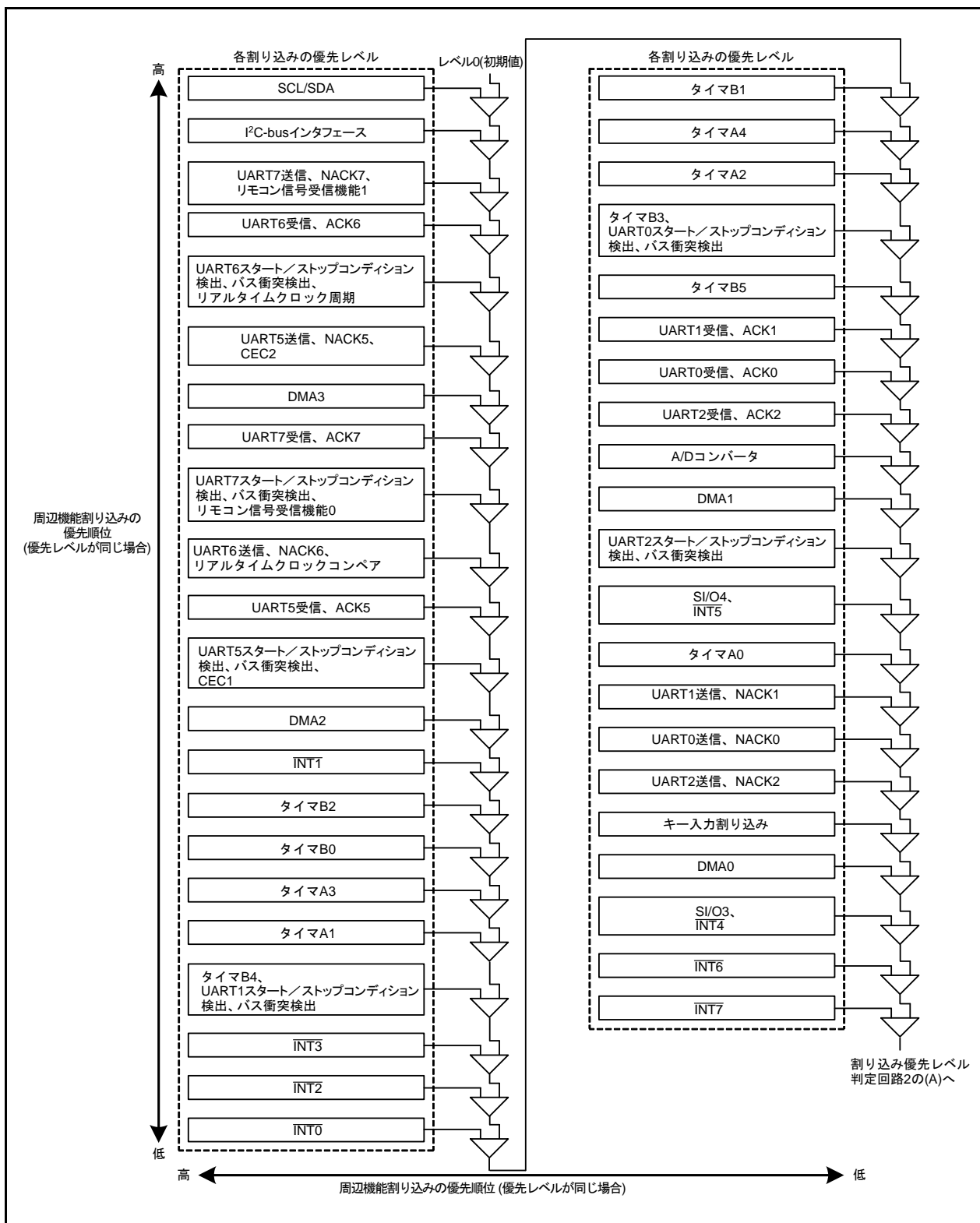


図 14.8 割り込み優先レベル判定回路1

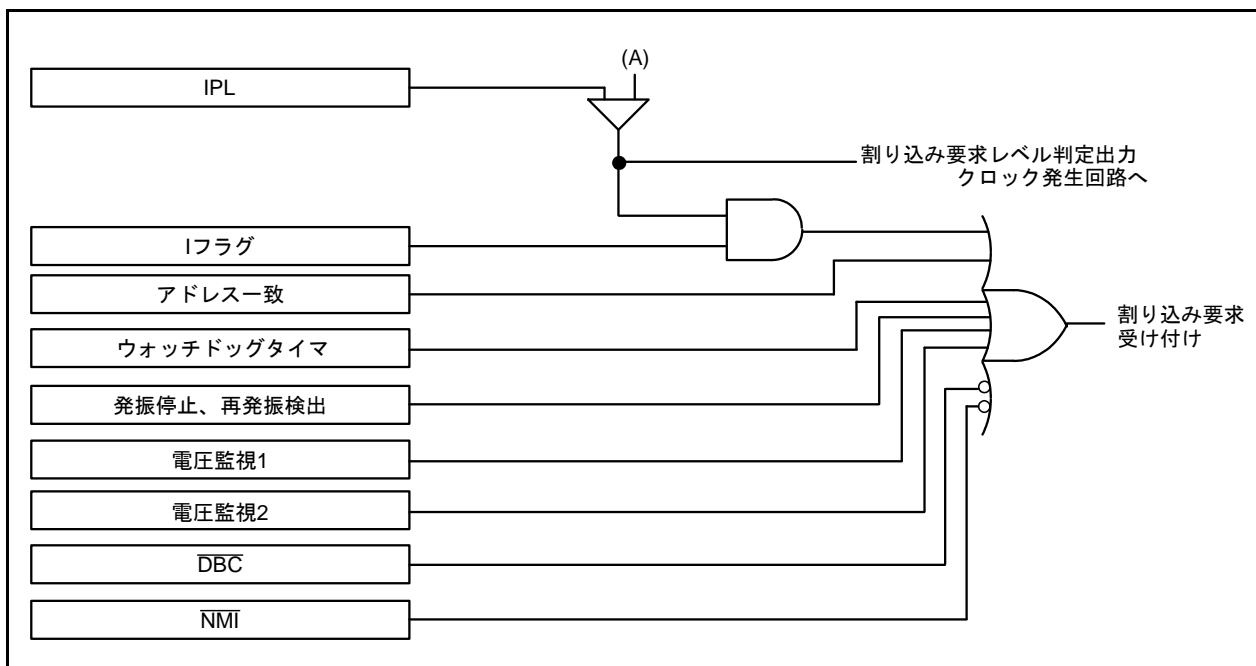


図 14.9 割り込み優先レベル判定回路2

14.7.9 多重割り込み

割り込みルーチンへ分岐したときの状態は次のとおりです。

- Iフラグ = 0 (割り込み禁止)
- IRビット = 0 (割り込み要求なし)
- 割り込み優先レベル = IPL

割り込みルーチン内でIフラグを“1” (割り込み許可)にすることによって、IPLより高い優先順位を持つ割り込み要求を受け付けることができます。

なお、優先順位が低いために受け付けられなかった割り込み要求 (IRビット)は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、次の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の > 復帰されたIPL
割り込み優先レベル

14.8 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT}}_i$ 割り込み ($i=0\sim 7$)は外部入力による割り込みです。極性をIFSRレジスタのIFSR i ビット、IFSR3AレジスタのIFSR30、IFSR31ビットで選択できます。

$\overline{\text{INT}}_4$ とSI/O3、 $\overline{\text{INT}}_5$ とSI/O4は、ベクタや割り込み制御レジスタを共用しています。 $\overline{\text{INT}}_4$ 割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1” ($\overline{\text{INT}}_4$)に、 $\overline{\text{INT}}_5$ 割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1” ($\overline{\text{INT}}_5$)にしてください。

IFSR6、IFSR7ビットを変更した後、対応するIRビットを“0” (割り込み要求なし)にしてから、割り込みを許可してください。

$\overline{\text{INT}}_6$ 割り込みを使用するときは、PCRレジスタのPCR5ビットを“0” ($\overline{\text{INT}}_6$ 入力許可)に、 $\overline{\text{INT}}_7$ 割り込みを使用するときは、PCRレジスタのPCR6ビットを“0” ($\overline{\text{INT}}_7$ 入力許可)にしてください。

14.9 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。 $\overline{\text{NMI}}$ 割り込みを使用する場合は、PM2レジスタのPM24ビットを“1”($\overline{\text{NMI}}$ 割り込み許可)にしてください。 $\overline{\text{NMI}}$ 入力にはデジタルフィルタがあります。デジタルフィルタは「13. プログラムラブル入出力ポート」を参照してください。図 14.10に $\overline{\text{NMI}}$ 割り込みのブロック図を示します。

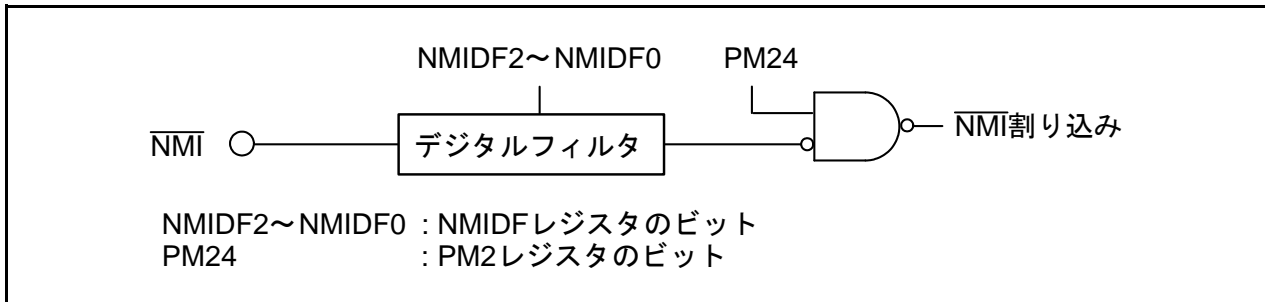


図 14.10 $\overline{\text{NMI}}$ 割り込みのブロック図

14.10 キー入力割り込み

PCRレジスタのPCR7ビットが“0”($\overline{\text{KI0}}\sim\overline{\text{KI3}}$ キー入力許可)の場合、P10_4~P10_7のうち、PD10レジスタのPD10_4~PD10_7ビットを“0”(入力)にしている端子のいずれかの入力が“L”レベルになると、KUPICレジスタのIRビットが“1”(キー入力割り込み要求あり)になります。 $\overline{\text{KI0}}\sim\overline{\text{KI3}}$ 端子のいずれかをキー入力割り込み入力に使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。なお、PD10_4~PD10_7ビットを“0”(入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力はキー入力割り込みとして検知されません。

キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

図 14.11にキー入力割り込みのブロック図を示します。

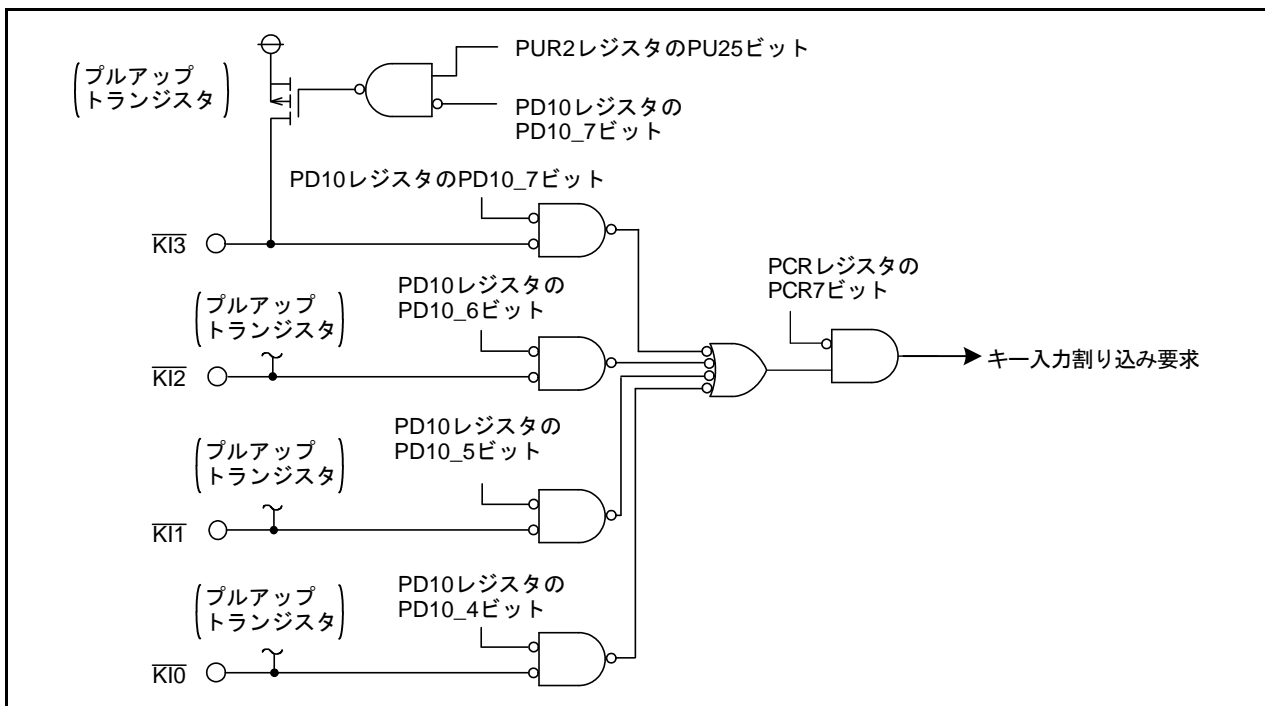


図 14.11 キー入力割り込みのブロック図

14.11 アドレス一致割り込み

RMADi レジスタ (i=0~3) で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADi レジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIER レジスタの AIER0、AIER1 ビット、AIER2 レジスタの AIER20、AIER21 ビットで選択できます。アドレス一致割り込みは、I フラグ、IPL の影響を受けません。アドレス一致割り込み要求を受け付けたときに退避される PC の値(「14.7.5 レジスタ退避」参照)は、RMADi レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの値を書き換えて REIT 命令で復帰する
- スタックを POP 命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 14.11 アドレス一致割り込み要求受け付け時に退避される PC の値

RMADi レジスタで示される番地の命令	退避される PC の値
<ul style="list-style-type: none"> • 16ビットオペコード命令 • 8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest=A0またはA1)	RMADi レジスタで示される番地+2
上記以外	RMADi レジスタで示される番地+1

退避される PC の値: 「14.7.5 レジスタ退避」参照

表 14.12 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

14.12 ノンマスカブル割り込み要因の判別

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視1割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。表 14.13 にノンマスカブル割り込みの要因判別に使用するビットを示します。

表 14.13 ノンマスカブル割り込みの要因判別に使用するビット

割り込み	検出フラグ	
	ビット位置	機能
ウォッチドッグタイマ	VW2CレジスタのVW2C3ビット (ウォッチドッグタイマアンダフロー検出)	0: 未検出 1: 検出
発振停止/再発振検出	CM2レジスタのCM22ビット (発振停止/再発振検出)	
電圧監視1	VW1CレジスタのVW1C2ビット (Vdet1通過検出)	
電圧監視2	VW2CレジスタのVW2C2ビット (Vdet2通過検出)	

14.13 割り込み使用上の注意事項

14.13.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

14.13.2 SPの設定

割り込みを受け付ける前に、SP (USP、ISP) に値を設定してください。リセット後、SP (USP、ISP) は“0000h”です。そのため、SP (USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、すべての割り込みが禁止されています。

14.13.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”($\overline{\text{NMI}}$ 割り込み禁止) にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットに“1”を設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットに“1”を設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

14.13.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタの IR ビットが“1” (割り込み要求あり) になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを“0” (割り込み要求なし) にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IR ビットを“0” (割り込み要求なし) にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 14.12 に割り込み要因の変更手順例を示します。

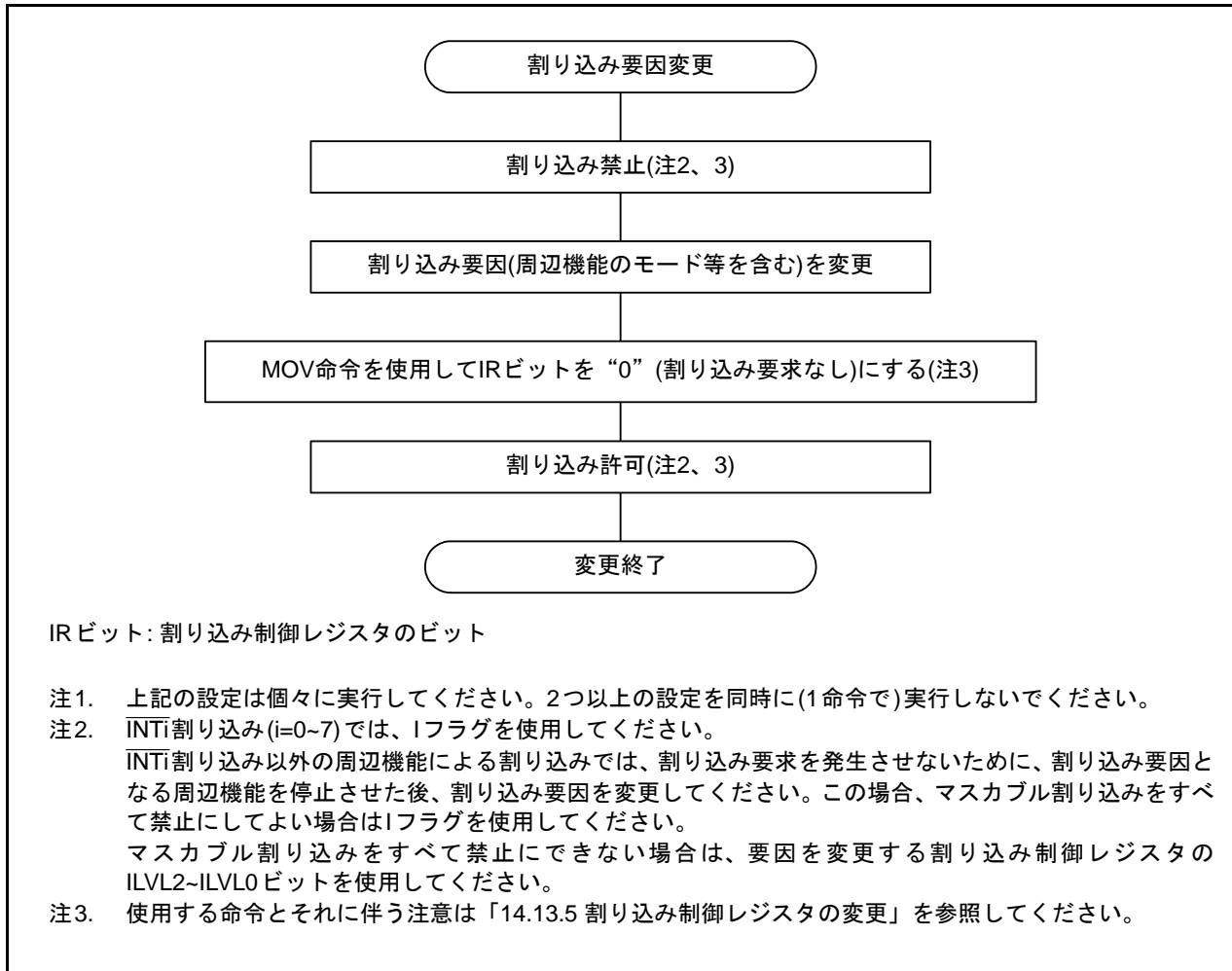


図 14.12 割り込み要因の変更手順例

14.13.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所を変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「14.13.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I           ;割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0    ;ダミーリード
  FSET    I           ;割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  POPC    FLG        ;割り込み許可
```

14.13.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。

AND、OR、BCLR、BSET、MOV

このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

14.13.7 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT}}0\sim\overline{\text{INT}}7$ 端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。
- $\text{INT}0\text{IC}\sim\text{INT}7\text{IC}$ レジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビット、IFSR3AレジスタのIFSR31~IFSR30ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

15. ウォッチドッグタイマ

15.1 概要

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表 15.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.4.8 ウォッチドッグタイマリセット」を参照してください。

図 15.1にウォッチドッグタイマのブロック図を示します。

表 15.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	fOCO-S
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 (OFS1番地のWDTONビットで選択) <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDT5レジスタへの書き込みによりカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード、バスホールド	なし
ウォッチドッグタイマカウンタリフレッシュタイミング	<ul style="list-style-type: none"> リセット (「6. リセット」参照) WDTRレジスタに“00h”、“FFh”を書く アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比 16分周または128分周 (WDCレジスタのWDC7ビットで選択) ただし、CM0レジスタのCM07ビットが“1” (サブクロック) の場合は2分周 カウントソース保護モード 有効または無効 (OFS1番地のCSPROINIビットとCSPRレジスタのCSPROビットで選択) 	

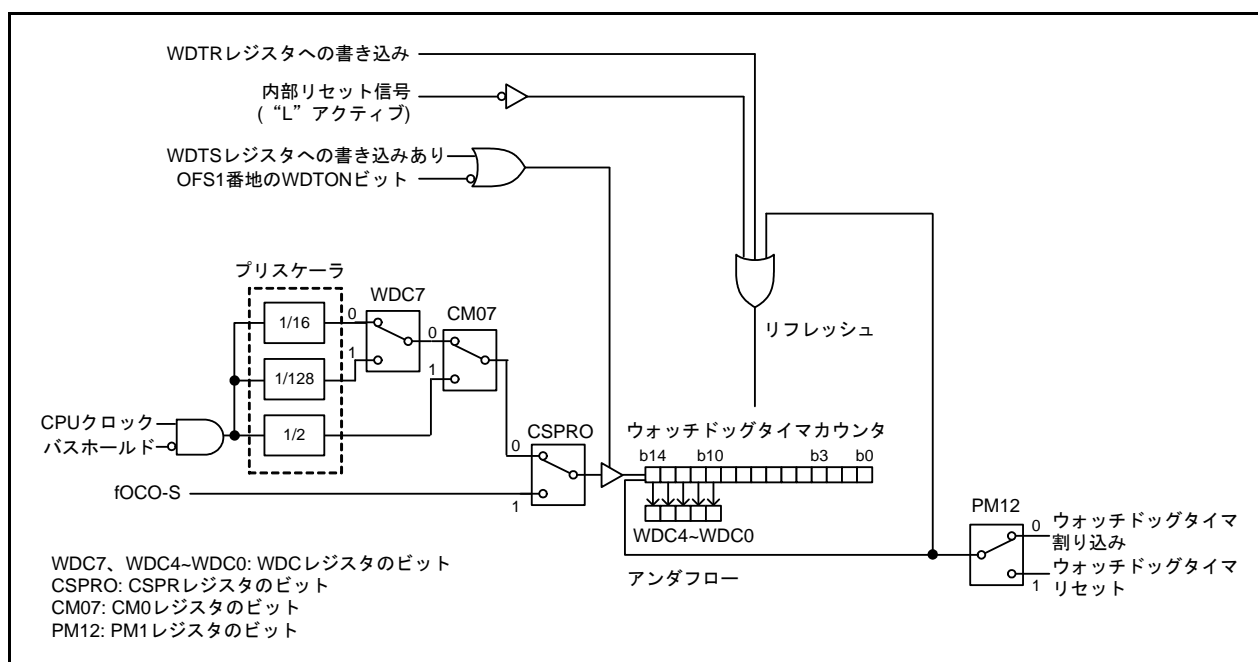


図 15.1 ウォッチドッグタイマのブロック図

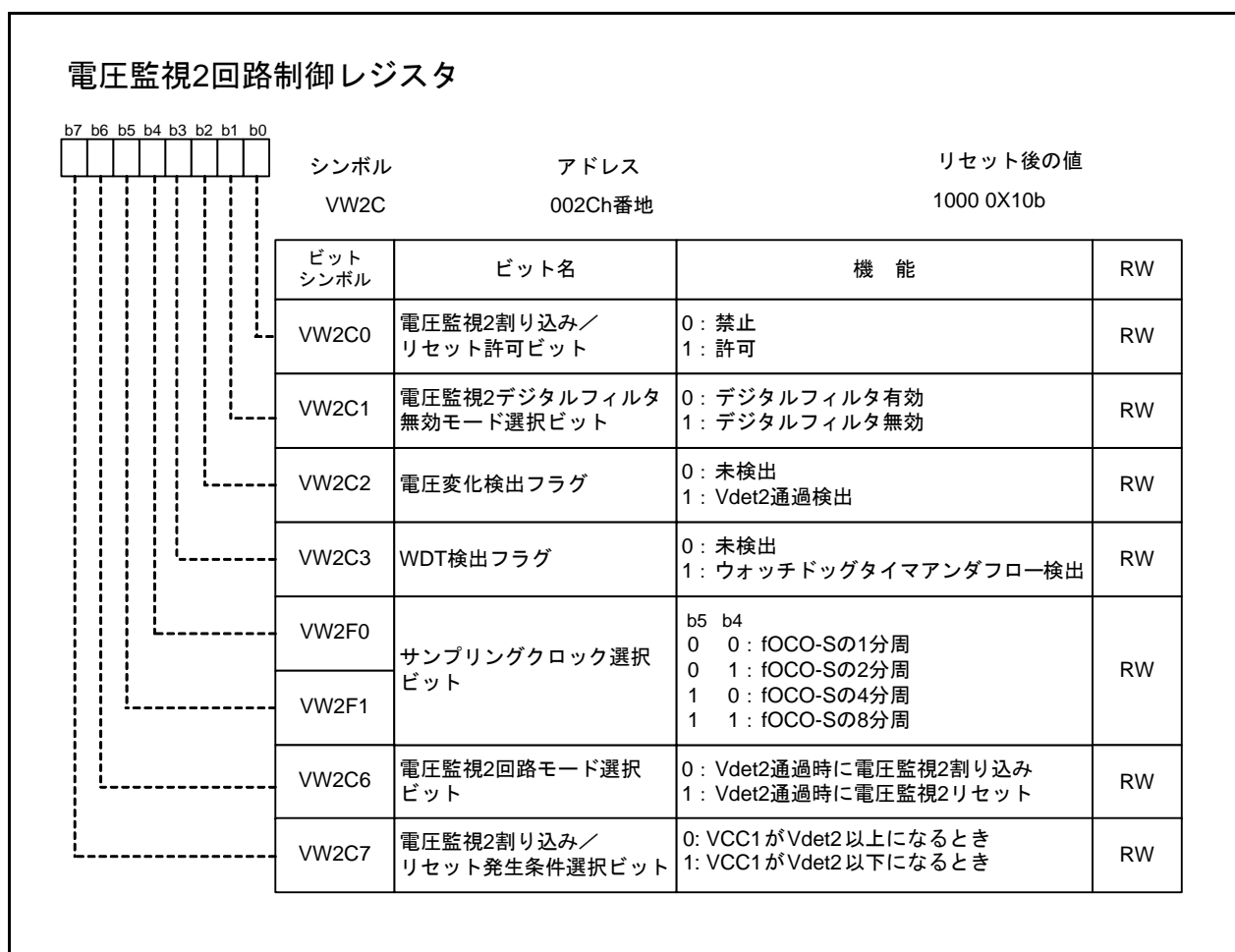
15.2 レジスタの説明

表 15.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注1)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb

注1. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

15.2.1 電圧監視2回路制御レジスタ (VW2C)



VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2C3、VW2C2ビットは、電圧監視1リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2Cレジスタ(VW2C3ビットを除く)を書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

VW2C3 (WDT 検出フラグ) (b3)

割り込みルーチンでウォッチドッグタイマ、発振停止/再発振検出、電圧監視1、電圧監視2の要因判別に使用してください。

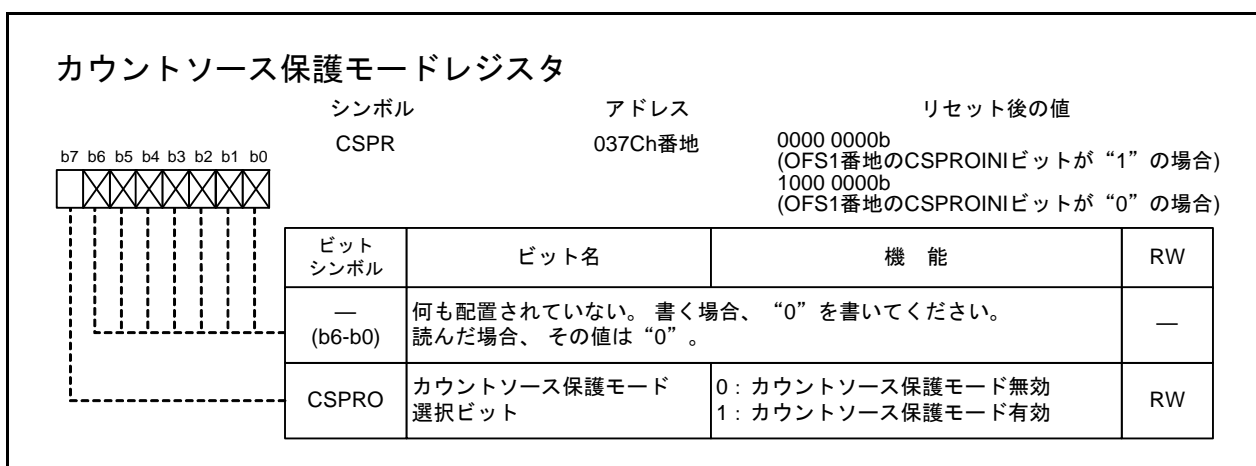
["0"]になる条件]

- プログラムで“0”を書く

["1"]になる条件]

- ウォッチドッグタイマのアンダフロー検出
(プログラムで“1”を書いても変化しません)

15.2.2 カウントソース保護モードレジスタ (CSPR)



CSPRO (カウントソース保護モード選択ビット) (b7)

CSPRO ビットは、ウォッチドッグタイマのカウント開始前に選択してください。カウント開始後、CSPRO ビットを変更しないでください。

["0"]になる条件]

- OFS1番地のCSPROINIビットが“1”の状態でのリセット
(プログラムで“0”を書いても変化しません)

["1"]になる条件]

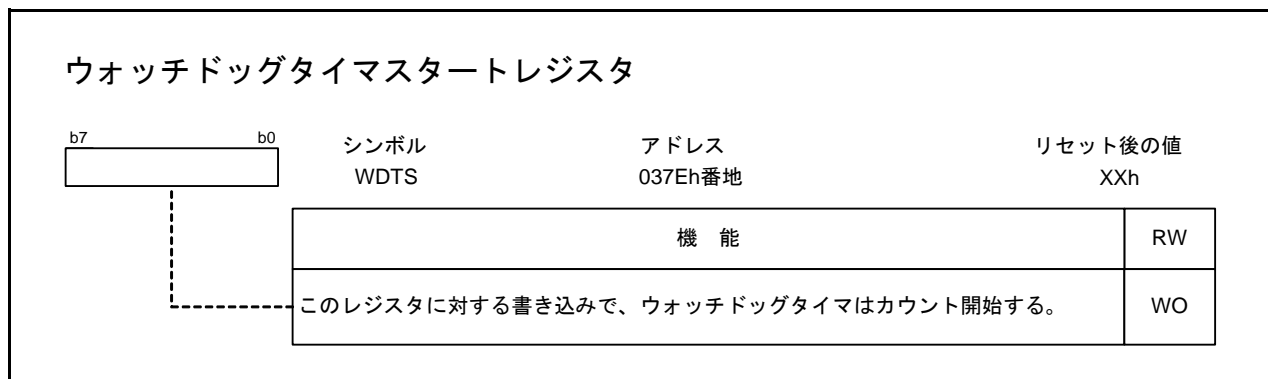
- OFS1番地のCSPROINIビットが“0”
 - プログラムで“0”を書いた後、続いて“1”を書く
- なお、“0”の書き込みと“1”の書き込みの間に、割り込み、DMA転送が入らないようにしてください。

15.2.3 ウォッチドッグタイマリフレッシュレジスタ (WDTR)



ウォッチドッグタイマ割り込み発生後は、WDTRレジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

15.2.4 ウォッチドッグタイマスタートレジスタ (WDTS)



OFS1番地のWDTONビットが“1”(リセット後、ウォッチドッグタイマは停止)の場合、有効です。

15.2.5 ウォッチドッグタイマ制御レジスタ (WDC)

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	X						

シンボル
WDC

アドレス
037Fh番地

リセット後の値
00XX XXXXb

ビット シンボル	ビット名	機 能	RW
WDC0	ウォッチドッグタイマの上位ビット (b14~b10)が読める		RO
WDC1			RO
WDC2			RO
WDC3			RO
WDC4			RO
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
— (b6)	予約ビット	“0”にしてください。	RW
WDC7	プリスケアラ選択ビット	0: 16分周 1: 128分周	RW

WDC4~WDC0 (b4~b0)

CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)でウォッチドッグタイマの値を読み出す場合は、WDC4~WDC0ビットを3回以上読み出して判定してください。

15.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

なお、オプション機能選択領域を使用した選択は、シングルチップモードまたはメモリ拡張モードで使用できます。マイクロプロセッサモードではオプション機能選択領域を使用できません。マイクロプロセッサモードで使用する場合は、マイコン内部ROMを消去してから使用してください。

15.3.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地							
b7	b6	b5	b4	b3	b2	b1	b0
		1				1	
シンボル OFS1							
アドレス FFFFh番地							
ビット シンボル	ビット名		機 能				
WDTON	ウォッチドッグタイマ起動選択ビット		0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態				
— (b1)	予約ビット		“1”にしてください				
ROMCR	ROMコードプロテクト解除ビット		0: ROMコードプロテクト解除 1: ROMCP1ビット有効				
ROMCP1	ROMコードプロテクトビット		0: ROMコードプロテクト有効 1: ROMコードプロテクト解除				
— (b4)	予約ビット		“1”にしてください				
VDSEL1	Vdet0選択ビット1		0: Vdet0_2 1: Vdet0_0				
LVDAS	電圧検出0回路起動ビット		0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効				
CSPROINI	リセット後カウントソース保護モード選択ビット		0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効				

WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときはWDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

15.4 動作説明

15.4.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表 15.3にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表 15.3 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	<p>CM0レジスタのCM07ビットが“0”(メインクロック、PLLクロックfOCO-S)の場合 $\text{プリスケアラの分周値}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)$ (注1) CPUクロック n: 16または128(WDCレジスタのWDC7ビットで選択) 例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms</p> <p>CM0レジスタのCM07ビットが“1”(サブクロック)の場合 $\text{プリスケアラの分周値}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)$ (注1) CPUクロック</p>
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」参照) WDTRレジスタに“00h”、“FFh”を書く アンダフロー
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択</p> <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマカウンタとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマカウンタとプリスケアラがカウントを開始
カウント停止条件	<ul style="list-style-type: none"> ストップモード ウェイトモード バスホールド (解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「6.4.8 ウォッチドッグタイマリセット」参照)

注1. WDTRレジスタに“00h”、“FFh”を書くと、ウォッチドッグタイマはリフレッシュされますが、プリスケアラは初期化されません。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。プリスケアラはリセット後、初期化されています。

15.4.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはfOCO-Sです。

表 15.4にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表 15.4 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	fOCO-S (125 kHz オンチップオシレータは自動で発振開始)
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) fOCO-S (周期は約32.8ms)
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」参照) WDTR レジスタに“00h”、“FFh”を書く アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1 番地の WDTON ビットで選択 <ul style="list-style-type: none"> WDTON ビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマカウンタとプリスケーラは停止しており、WDTS レジスタに書くことにより、カウントを開始 WDTON ビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマカウンタとプリスケーラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、バスホールドでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.4.8 ウォッチドッグタイマリセット」参照)

CSPR レジスタの CSPRO ビットが“1”(カウントソース保護モード有効)の場合、ウォッチドッグタイマカウンタの下位3ビットを使用しないため、4096 サイクルでアンダフローします。

また、CSPRO ビットを“1”(カウントソース保護モード有効)にすると、各ビットは次のようになります。

- CM1 レジスタの CM14 ビットが“0”(125kHz オンチップオシレータ発振)になる。また、“1”を書いても変化せず、125kHz オンチップオシレータは停止しない。
- PM1 レジスタの PM12 ビットが“1”(ウォッチドッグタイマカウンタのアンダフロー時、ウォッチドッグタイマリセット)になる。
- CM1 レジスタの CM10 ビットに“1”を書いても変化せず、ストップモードに遷移しない。

15.5 割り込み

ウォッチドッグタイマ割り込みはノンマスクابل割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視1割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

ウォッチドッグタイマの検出フラグは、VW2CレジスタのVW2C3ビットです。VW2C3ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

15.6 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

16. DMAC

16.1 概要

DMAC (ダイレクト・メモリ・アクセス・コントローラ) はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ (8ビットまたは16ビット) を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード (16ビット) または1バイト (8ビット) のデータ転送を完了するまでの動作を高速に行えます。表 16.1にDMACの仕様、図 16.1にDMACブロック図を示します。

表 16.1 DMACの仕様

項目	仕様	
チャンネル数	4チャンネル(サイクルスチール方式)	
転送空間	<ul style="list-style-type: none"> • 1Mバイトの任意の空間から固定番地 • 固定番地から1Mバイトの任意の空間 • 固定番地から固定番地 	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA要求要因(注1)	43要因 INT0~INT7端子の立ち下がリエッジ (8) INT0~INT7端子の両エッジ (8) タイマA0~タイマA4割り込み要求 (5) タイマB0~タイマB5割り込み要求 (6) UART0~UART2、UART5~UART7送信割り込み要求 (6) UART0~UART2、UART5~UART7受信/ACK割り込み要求 (6) SI/O3、SI/O4割り込み要求 (2) A/D変換 割り込み要求 (1) ソフトウェアトリガ (1)	
チャンネル優先順位	DMA0 > DMA1 > DMA2 > DMA3 (DMA0が最優先)	
転送単位	8ビットまたは16ビット	
転送番地方向	順方向または固定(転送元と転送先の両方を順方向にしないでください)	
転送モード	単転送	DMAi転送カウンタがアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	DMAi転送カウンタがアンダフローしたとき	
DMA転送開始	DMiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される	
DMA転送停止	単転送	<ul style="list-style-type: none"> • DMAEビットを“0”(禁止)にする • DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング	DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiレジスタまたはDARiレジスタのうち、順方向に指定された方のレジスタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード	
DMA転送サイクル数	SFR、内部RAM間:3サイクル	

注1. 選択できる要因はチャンネルによって異なります。
i=0~3

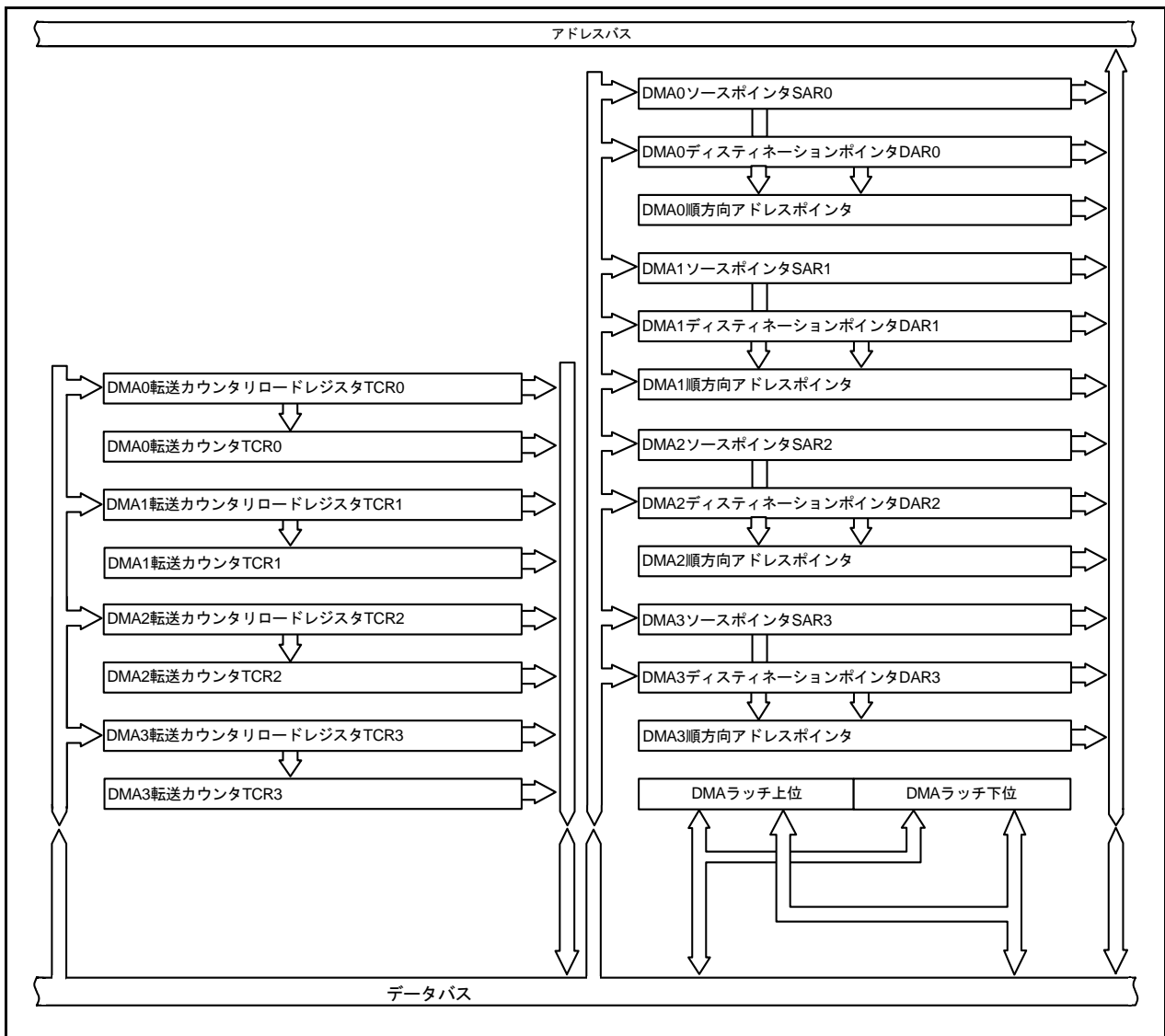


図 16.1 DMAC ブロック図

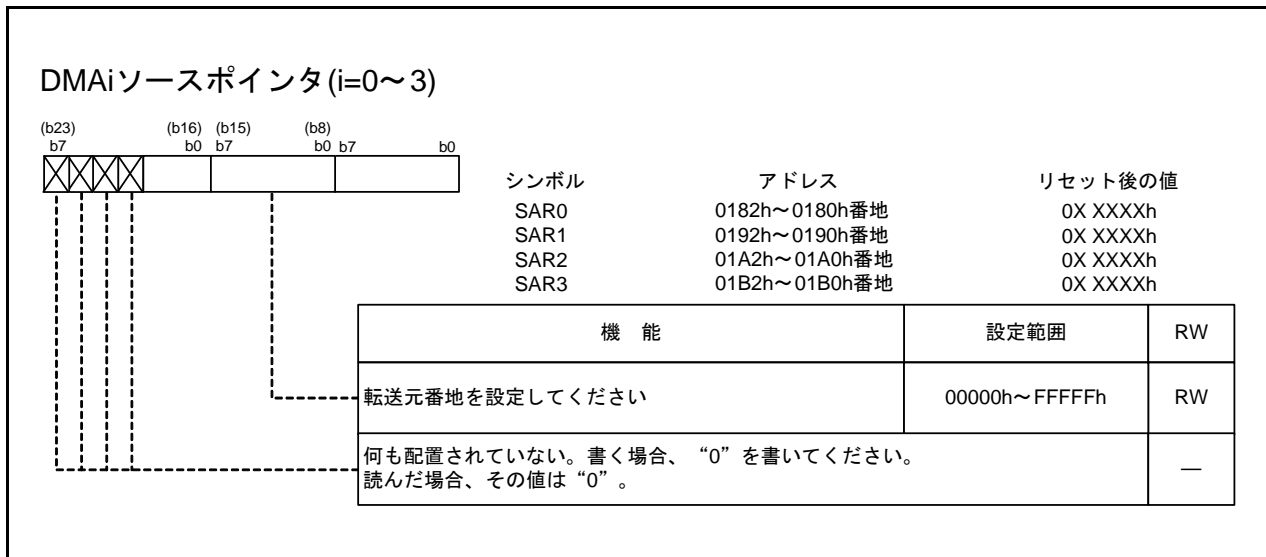
16.2 レジスタの説明

表 16.2にDMACのレジスタを示します。これらのレジスタをDMACでアクセスしないでください。

表 16.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
0390h	DMA2 要因選択レジスタ	DM2SL	00h
0392h	DMA3 要因選択レジスタ	DM3SL	00h
0398h	DMA0 要因選択レジスタ	DM0SL	00h
039Ah	DMA1 要因選択レジスタ	DM1SL	00h

16.2.1 DMAi ソースポインタ (SARi) (i=0~3)



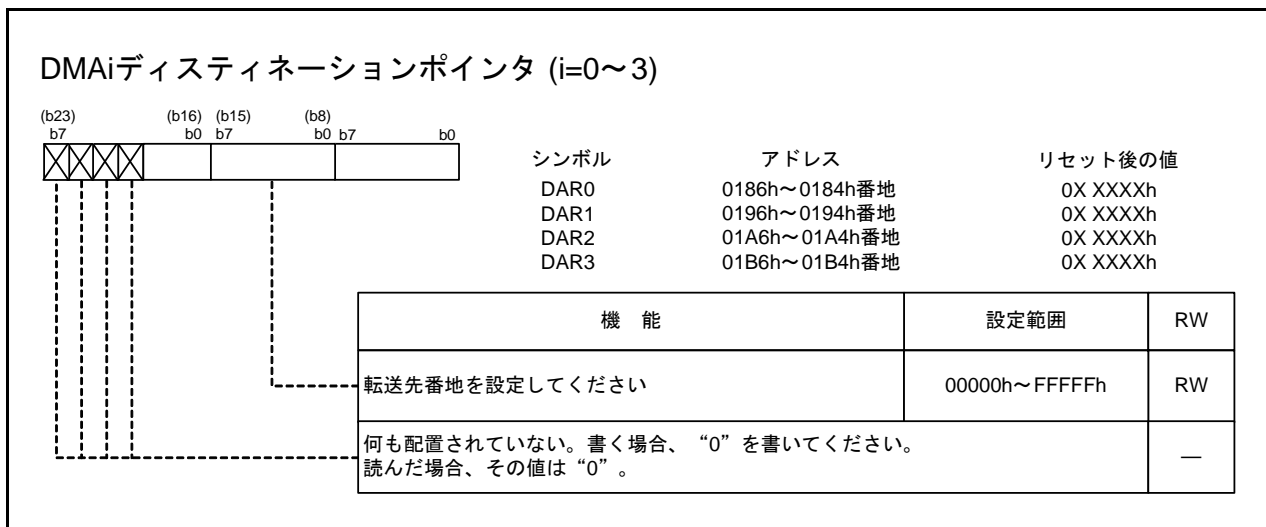
DMiCONレジスタのDSDビットが“0” (固定)の場合、SARiレジスタには、DMiCONレジスタのDMAEビットが“0” (DMA禁止)のとき書いてください。

DSDビットが“1” (順方向)の場合は、いつでも書けます。

DSDビットが“1”かつDMAEビットが“1” (DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

16.2.2 DMAi ディスティネーションポインタ (DARi) (i=0~3)



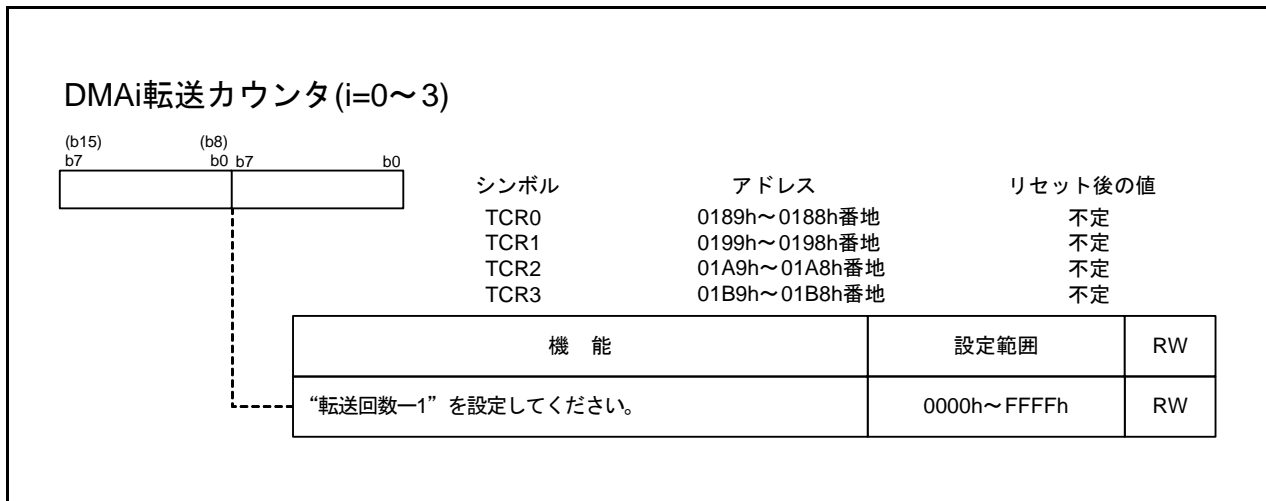
DMiCONレジスタのDADビットが“0” (固定)の場合、DARiレジスタには、DMiCONレジスタのDMAEビットが“0” (DMA禁止)のとき書いてください。

DADビットが“1” (順方向)の場合は、いつでも書けます。

DADビットが“1”かつDMAEビットが“1” (DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

16.2.3 DMAi 転送カウンタ (TCRi) (i=0~3)

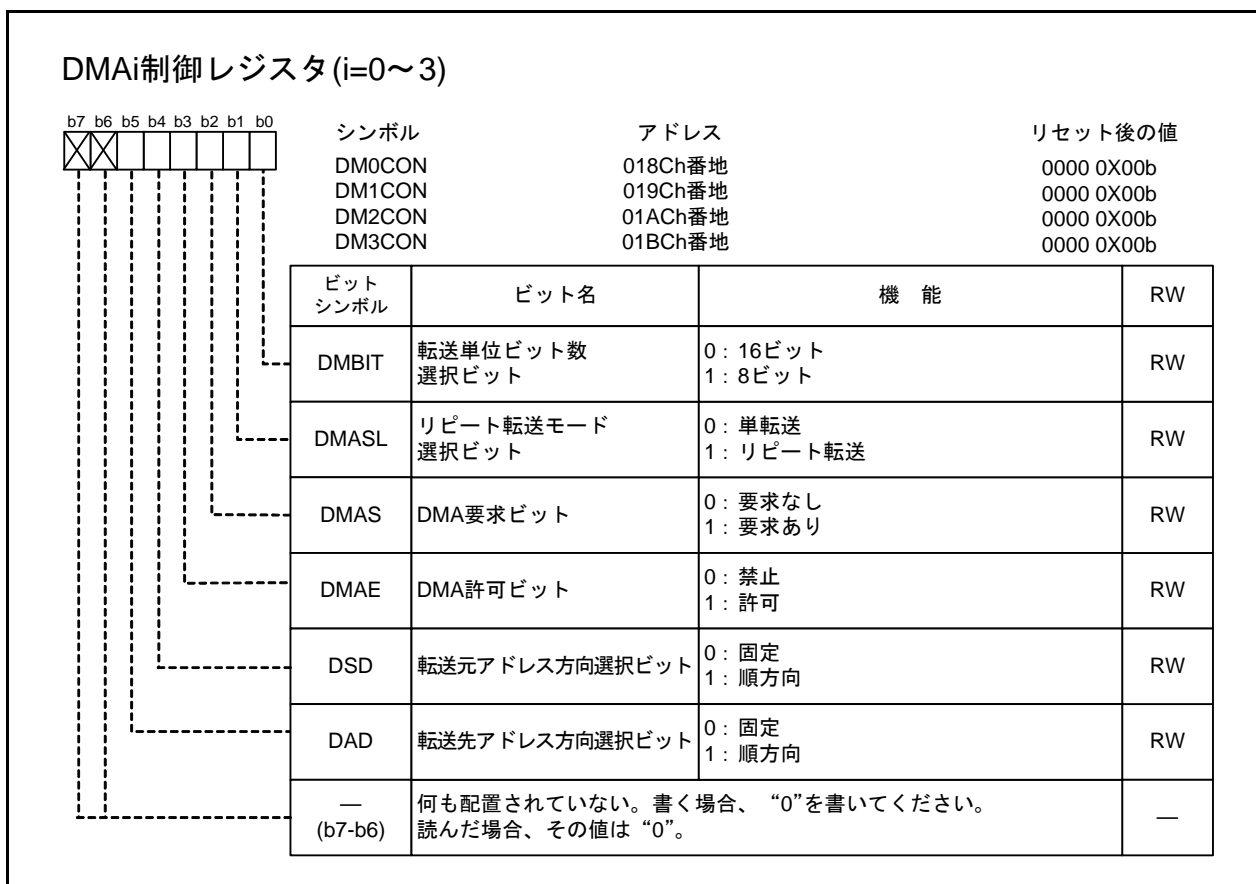


TCRi レジスタに書いた値はDMAi 転送カウンタリロードレジスタに格納されます。

DMAi 転送カウンタリロードレジスタの値は、次のタイミングでDMAi 転送カウンタへ転送されます。

- DMiCON レジスタのDMAE ビットに“1” (DMA 許可) を書く
(単転送モード、リピータ転送モードとも)
- DMAi 転送カウンタがアンダフロー (リピータ転送モード時)

16.2.4 DMAi制御レジスタ (DMiCON) (i=0~3)

**DMAS (DMA 要求ビット) (b2)**

[“0”になる条件]

- プログラムで“0”を書く
- データ転送開始

[“1”になる条件]

- DMA 要求検出
(プログラムで“1”を書いても変化しません)

DMAE (DMA 許可ビット) (b3)

[“0”になる条件]

- プログラムで“0”を書く
- DMA 転送カウンタアンダフロー (単転送モード時)

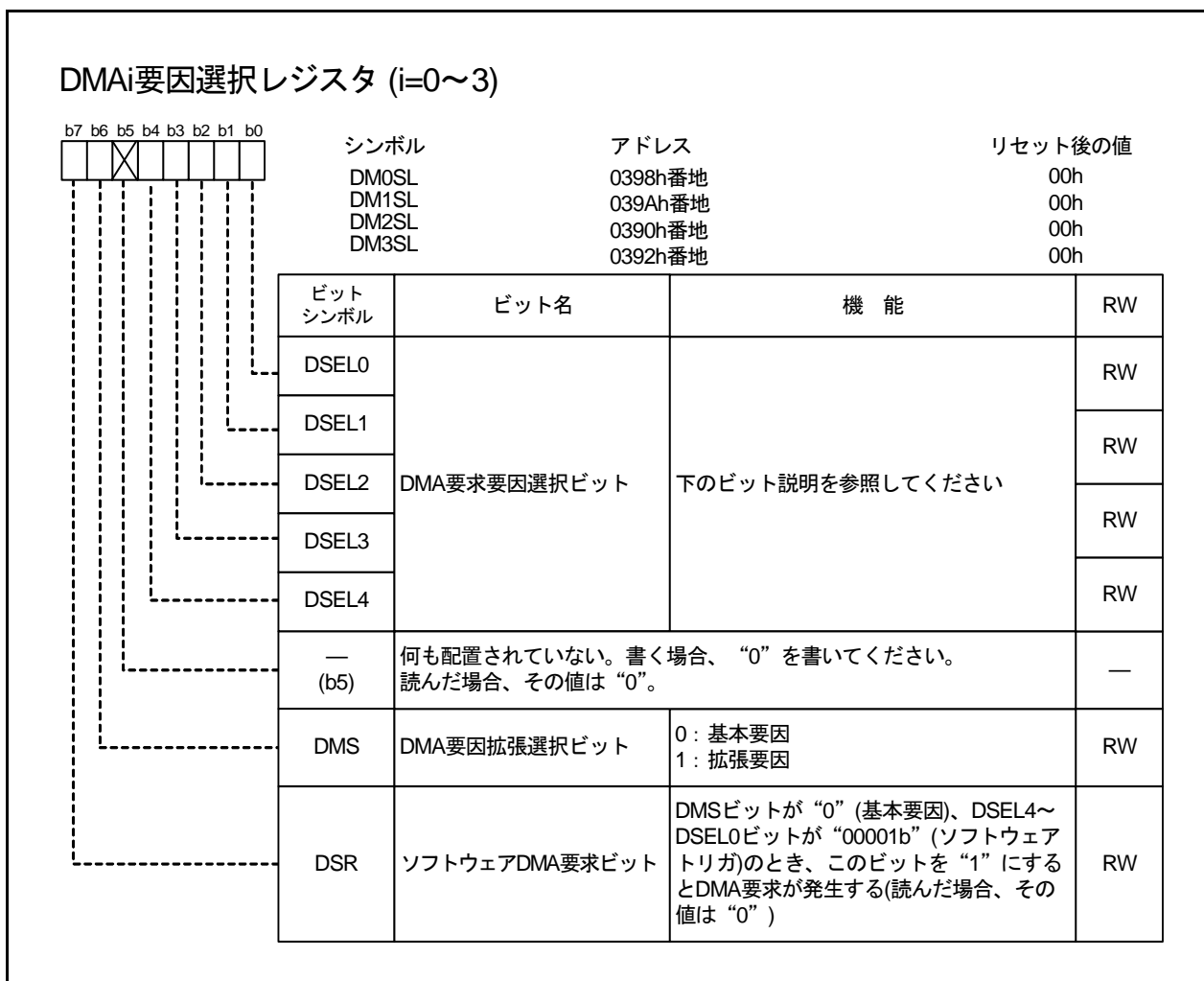
[“1”になる条件]

- プログラムで“1”を書く

DSD (転送元アドレス方向選択ビット) (b4)**DAD (転送先アドレス方向選択ビット) (b5)**

DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

16.2.5 DMAi 要因選択レジスタ (DMiSL) (i=0~3)



DSEL4~DSEL0 (DMA 要求要因選択ビット) (b4~b0)

DMAiの要求要因は、DMS ビットとDSEL4~DSEL0ビットの組み合わせで表 16.3~表 16.6のとおり選択できます。表 16.3~表 16.6にDMA 要求要因を示します。

表 16.3 DMA0のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT0端子の立ち下がリエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	INT0端子の両エッジ
0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1送信	-
1 0 0 0 0 b	UART1受信	INT4端子の立ち下がリエッジ
1 0 0 0 1 b	UART5送信	INT4端子の両エッジ
1 0 0 1 0 b	UART5受信	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

表 16.4 DMA1のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT1端子の立ち下がリエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	SI/O3
0 0 1 1 0 b	タイマA4	SI/O4
0 0 1 1 1 b	タイマB0	INT1端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信/ACK0	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信/ACK2	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1受信/ACK1	-
1 0 0 0 0 b	UART1送信	INT5端子の立ち下がリエッジ
1 0 0 0 1 b	UART5送信	INT5端子の両エッジ
1 0 0 1 0 b	UART5受信/ACK5	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信/ACK6	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信/ACK7	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

表 16.5 DMA2のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT2端子の立ち下がリエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	INT2端子の両エッジ
0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1送信	-
1 0 0 0 0 b	UART1受信	INT6端子の立ち下がリエッジ
1 0 0 0 1 b	UART5送信	INT6端子の両エッジ
1 0 0 1 0 b	UART5受信	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

表 16.6 DMA3のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT3端子の立ち下がリエッジ	-
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	-
0 0 0 1 1 b	タイマA1	-
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	SI/O3
0 0 1 1 0 b	タイマA4	SI/O4
0 0 1 1 1 b	タイマB0	INT3端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	-
0 1 0 1 1 b	UART0受信/ACK0	-
0 1 1 0 0 b	UART2送信	-
0 1 1 0 1 b	UART2受信/ACK2	-
0 1 1 1 0 b	A/Dコンバータ	-
0 1 1 1 1 b	UART1受信/ACK1	-
1 0 0 0 0 b	UART1送信	INT7端子の立ち下がリエッジ
1 0 0 0 1 b	UART5送信	INT7端子の両エッジ
1 0 0 1 0 b	UART5受信/ACK5	-
1 0 0 1 1 b	UART6送信	-
1 0 1 0 0 b	UART6受信/ACK6	-
1 0 1 0 1 b	UART7送信	-
1 0 1 1 0 b	UART7受信/ACK7	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

16.3 動作説明

16.3.1 DMA 許可

DMiCON レジスタ (i=0~3) の DMAE ビットを“1” (許可) にした後のデータ転送開始時に、DMAi は次のように動作します。また、DMAE ビットが“1”の状態でも再度“1”を書いた場合も同様の動作をします。

- DMiCON レジスタの DSD ビットが“1” (順方向) の場合は、SARi レジスタの値を順方向アドレスポインタへリロードする。DMiCON レジスタの DAD ビットが“1” (順方向) の場合は、DARi レジスタの値を順方向アドレスポインタへリロードする。
- DMAi 転送カウンタリロードレジスタの値を DMAi 転送カウンタへリロードする。

16.3.2 DMA 要求

DMAC は、チャンネルごとに DMiSL レジスタ (i=0~3) の DMS ビット、DSEL4~DSEL0 ビットで選択した要因をトリガとして、DMA 要求が発生できます。表 16.7 に DMAS ビットが変化するタイミングを示します。

DMAS ビットは、DMAE ビットの状態にかかわらず、DMA 要求が発生すると“1” (要求あり) になります。DMAE ビットが“1” (許可) の場合、データ転送が開始される直前に DMAS ビットは“0” (要求なし) になります。また、プログラムで“0”にできますが“1”にはできません (“1”を書いても変化しません)。

DMAE ビットが“1”であれば、DMA 要求発生後、すぐにデータ転送が開始されるので、プログラムで DMAS ビットを読んでも、ほとんどの場合“0”が読めます。DMAC が許可されていることを判断するには、DMAE ビットを読んでください。また、DMA 転送サイクルよりも DMA 要求が発生するサイクルが短い場合、転送要求回数と転送回数が一致しない場合があります。

なお、DMA 要因に周辺機能を選択した場合、割り込み制御レジスタとの関係は次のとおりです。

- DMA 転送は I フラグ、割り込み制御レジスタの影響を受けません。割り込み要求が受け付けられない場合でも、DMA 要求は受け付けられます。
- DMA 転送の受け付けでは、割り込み制御レジスタの IR ビットは変化しません。

表 16.7 DMAS ビットが変化するタイミング

DMA 要因	DMiCON レジスタの DMAS ビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSL レジスタの DSR ビットを“1”にしたとき	<ul style="list-style-type: none"> • データ転送開始直前 • プログラムで“0”を書いたとき
外部要因	INT0~INT7 端子の入力エッジが DMiSL レジスタの DSEL4~DSEL0 ビットと DMS ビットで選択したものと一致したとき	
周辺機能	DMiSL レジスタの DSEL4~DSEL0 ビットと DMS ビットで選択した周辺機能の、割り込み要求が発生するタイミング (割り込み制御レジスタの IR ビットが“0”なら、“1”に変化するタイミング)	

i=0~3

16.3.3 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。

図 16.2 にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1バスサイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。たとえば、転送単位が16ビットで、転送元番地、転送先番地がともに奇数番地の場合(図 16.2の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

16.3.3.1 転送元番地、転送先番地の影響

転送単位、データバスがともに16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスがともに16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

16.3.3.2 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

16.3.3.3 メモリ拡張モード、マイクロプロセッサモードの場合

メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウェイトや $\overline{\text{RDY}}$ 信号の影響により、バスサイクル自体が長くなります。

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子に“H”を入力している場合)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

外部領域では $\overline{\text{RDY}}$ 信号の影響を受けます。詳細は「11.3.5.6 $\overline{\text{RDY}}$ 信号」を参照してください。

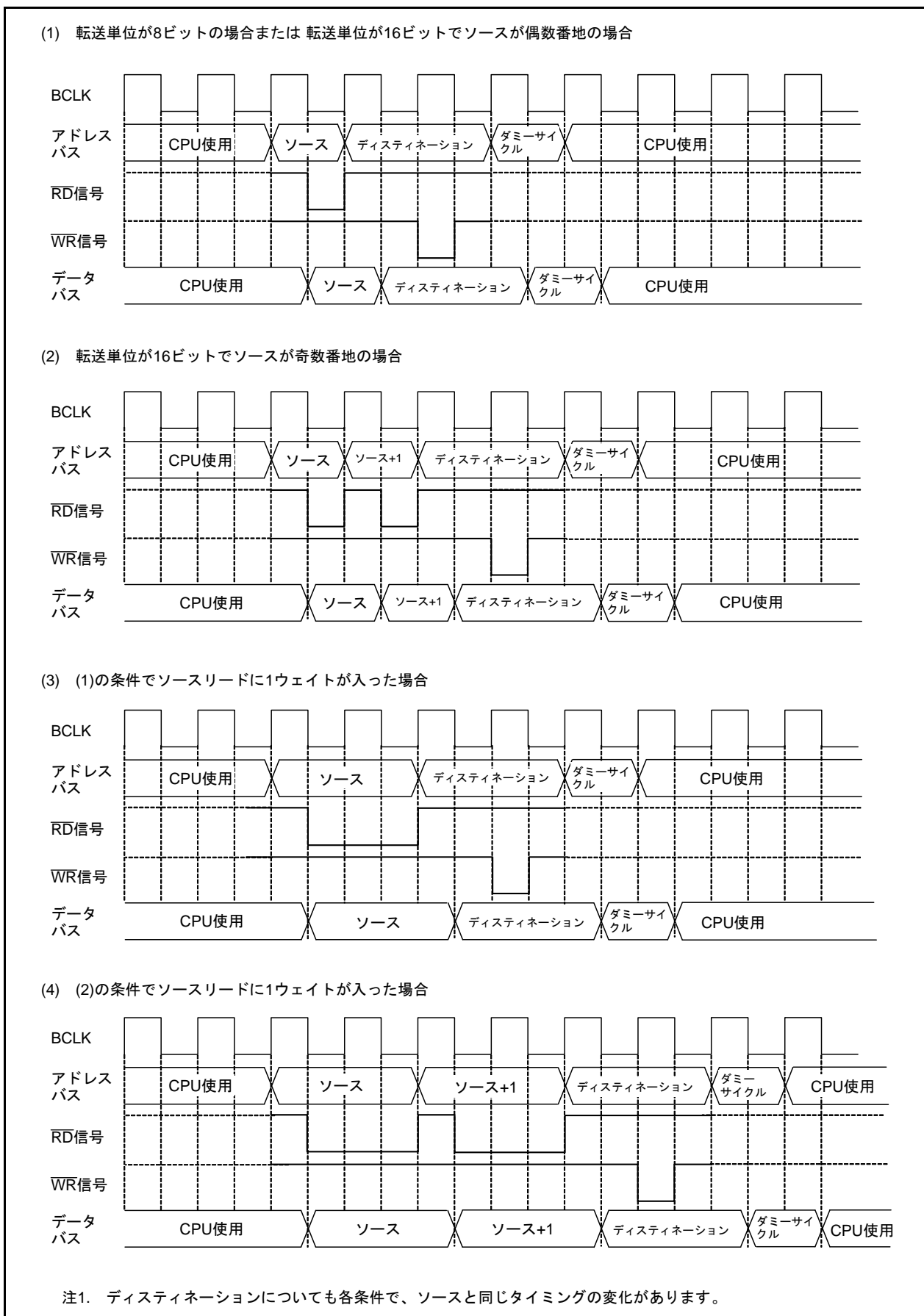


図 16.2 ソースリードサイクル例

16.3.4 DMAC 転送サイクル数

DMAC 転送サイクル数は次のとおり計算できます。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表 16.8 DMAC 転送サイクル数

転送単位	バス	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=1)	16ビット (BYTE=L)	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット (BYTE=H)	偶数	—	—	1	1
		奇数	—	—	1	1
16ビット転送 (DMBIT=0)	16ビット (BYTE=L)	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット (BYTE=H)	偶数	—	—	2	2
		奇数	—	—	2	2

—: この条件はありません

DMBIT: DMiCON レジスタのビット (i=0~3)

表 16.9 係数j、k (1)

	内部領域			外部領域		
	内部ROM、RAM		SFR	マルチプレクスバス		
	ウェイト なし	ウェイト あり	1ウェイト	ウェイトあり(注1)		
				1ウェイト	2ウェイト	3ウェイト
j	1	2	2	3	3	4
k	1	2	2	3	3	4

注1. CSE レジスタの設定値に依存します。

表 16.10 係数j、k (2)

	外部領域			
	セパレートバス			
	ウェイト なし	ウェイトあり(注1)		
		1ウェイト (1φ+1φ)	2ウェイト (1φ+2φ)	3ウェイト (1φ+3φ)
j	1	2	3	4
k	2	2	3	4

注1. CSE レジスタの設定値に依存します。

16.3.5 単転送モード

単転送モードでは、DMA_i転送カウンタがアンダフローすると転送が終了します。図 16.3に単転送モードの動作例を示します。

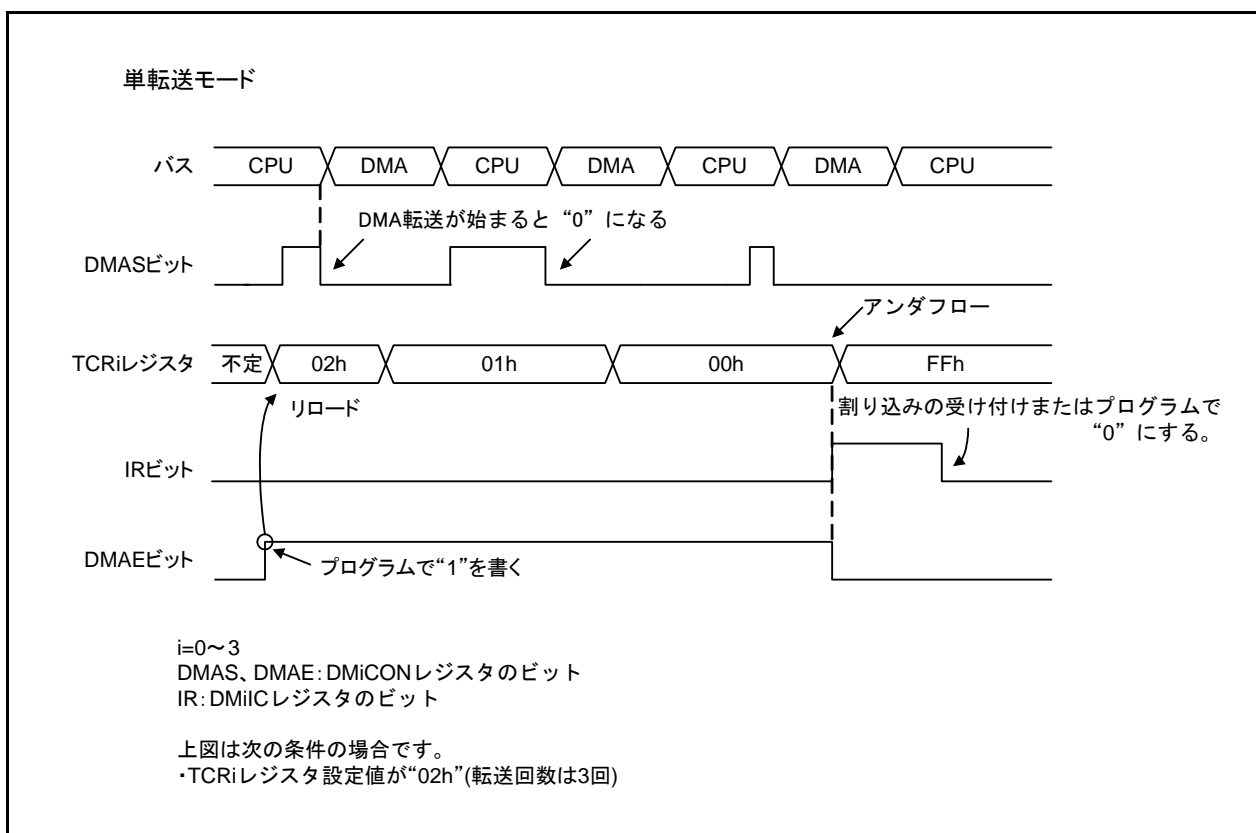


図 16.3 単転送モードの動作例

16.3.6 リピート転送モード

リピート転送モードでは、DMA_i転送カウンタがアンダフローした後、DMA_i転送カウンタリロードレジスタの値がDMA_i転送カウンタにリロードされ、DMA転送を継続します。図 16.4 にリピート転送モードの動作例を示します。

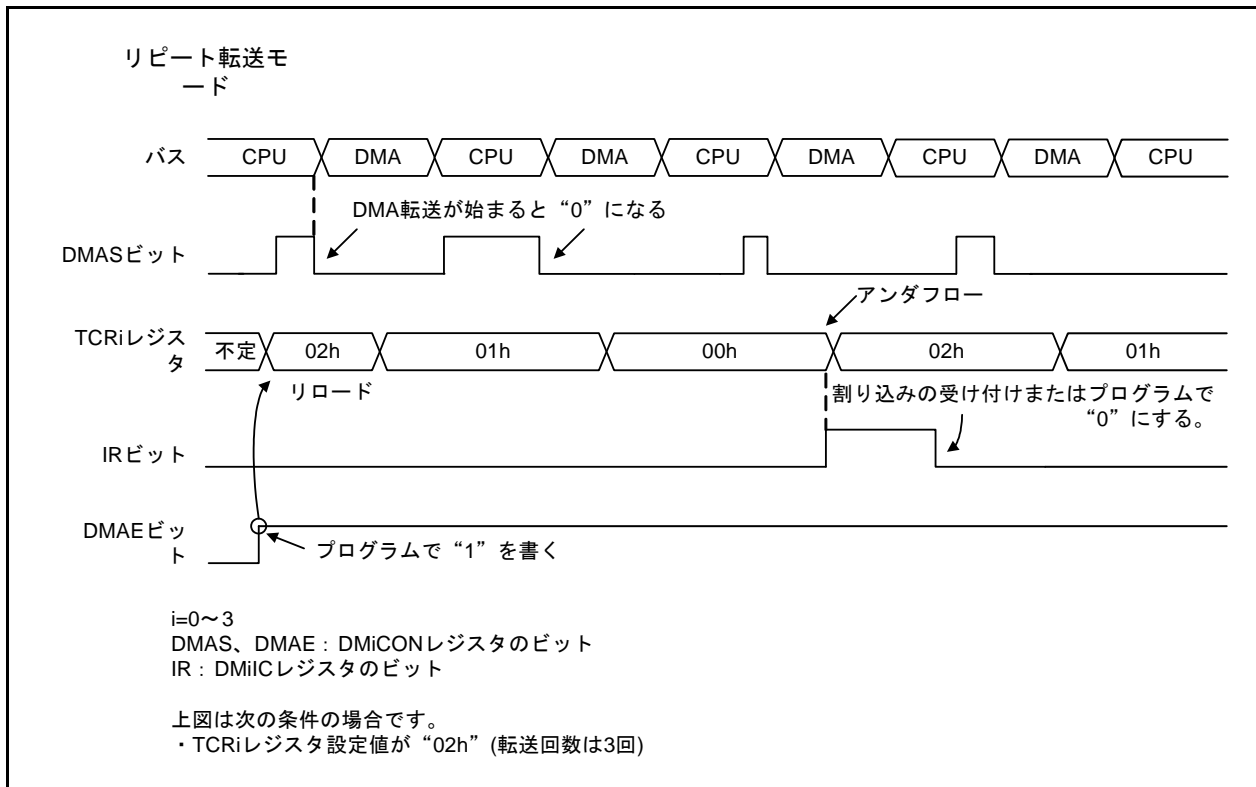


図 16.4 リピート転送モードの動作例

16.3.7 チャンネルの優先順位とDMA転送タイミング

DMA0~DMA3のうち、複数のチャンネルが許可されている場合、複数のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図16.5に外部要因によるDMA転送例を示します。

図16.5ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図16.5のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

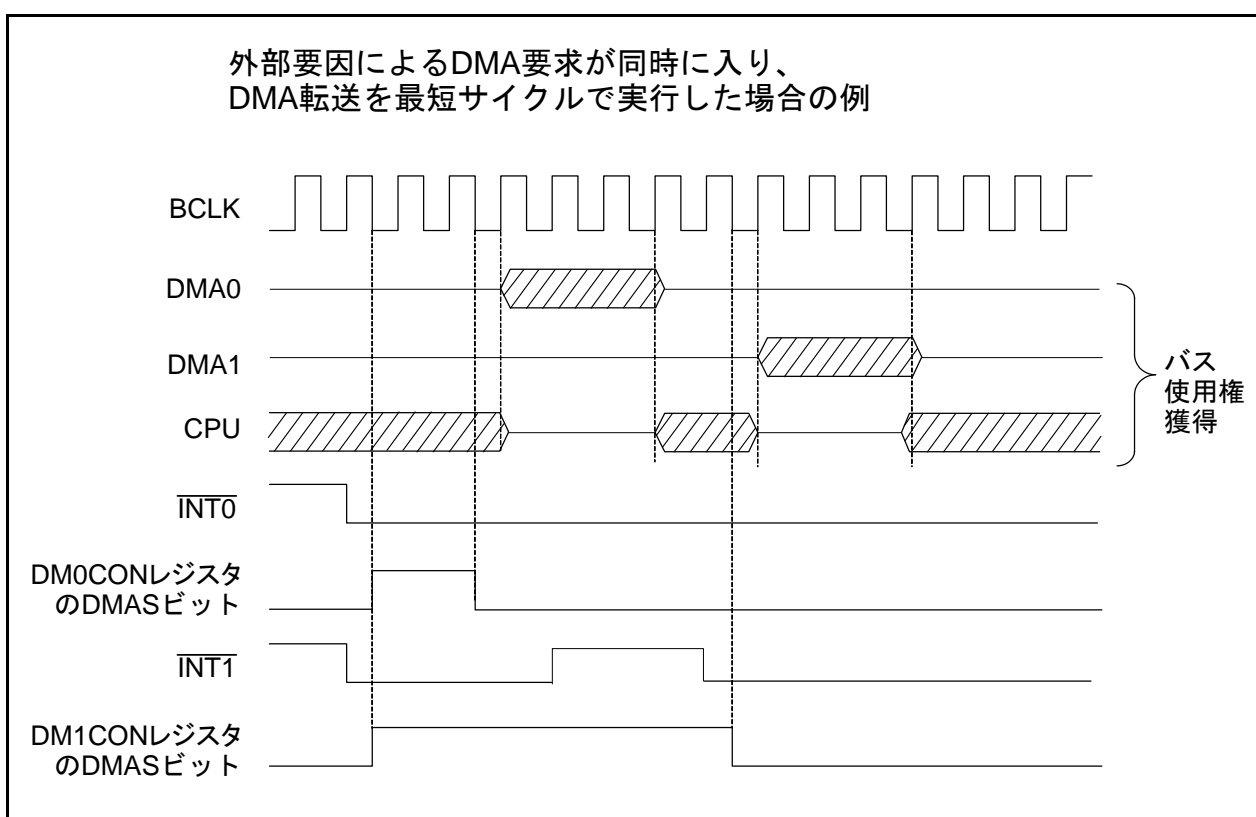


図 16.5 外部要因によるDMA転送例

16.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。
また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。

表 16.11 DMACの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Bh	DMA0 割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1 割り込み制御レジスタ	DM1IC	XXXX X000b
0069h	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。また、「14.13 割り込み使用上の注意事項」も参照してください。

16.5 DMAC 使用上の注意事項

16.5.1 DMiCON レジスタの DMAE ビットへの書き込み (i=0~3)

(テクニカルアップデート番号: TN-M16C-92-0301)

(a) に示す条件のときは、(b) に示す手順で書いてください。

(a) 条件

- DMAE ビットが“1” (DMA_i がアクティブ状態) のとき、再度、DMAE ビットへ“1” を書く。
- DMAE ビットへの書き込みと同時に DMA 要求が発生する可能性がある。

(b) 手順

- (1) DMiCON レジスタの DMAE ビットと DMAS ビットに同時に“1” を書く (注1)。
- (2) DMA_i が初期状態 (注2) になっていることを、プログラムで確認する。
DMA_i が初期状態になっていない場合は、(1)(2) を繰り返す。

注1. DMAS ビットは“1” を書いても変化しません。“0” を書くと“0” (DMA 要求なし) になります。したがって、DMAE ビットへ“1” を書くために、DMiCON レジスタへ書く場合、DMAS へ書く値を“1” にしておく、DMAS は書く直前の状態を保持できます。

DMAE ビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMAS へ書く値を“1” にしておく、命令実行中に発生した DMA 要求を保持できます。

注2. TCR_i レジスタの値で確認してください。

TCR_i レジスタを読んで、DMA 転送開始前に TCR_i レジスタへ書いた値 (DMAE ビット書き込み後に DMA 要求が発生した場合は「TCR_i レジスタへ書いた値-1」) が読めれば初期状態になっている、転送途中の値になっていなければ初期状態になっていない、と判断できます。

16.5.2 DMA 要求要因の変更

DMiSL レジスタの DMS ビットまたは DSEL4~DSEL0 ビットを変更すると、DMiCON レジスタの DMAS ビットが“1” (DMA 要求あり) になることがあります。DMS ビットまたは DSEL4~DSEL0 ビットを変更した後は、DMAS ビットを“0” (DMA 要求なし) にしてください。

17. タイマA

17.1 概要

タイマAにはタイマA0~A4があります。すべてのタイマは独立して動作します。表 17.1にタイマAの仕様を、表 17.2にタイマAの仕様の相違を、図 17.1にタイマA、Bカウントソースを、図 17.2にタイマA構成を、図 17.3にタイマAブロック図を、表 17.3に入出力端子を示します。

表 17.1 タイマAの仕様

項目	内容
構成	16ビットタイマ × 5
動作モード	<ul style="list-style-type: none"> タイマモード 内部カウントソースをカウントするモード イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード パルス幅変調モード (PWMモード) 任意の幅と周期のパルスを連続して出力するモード プログラマブル出力モード 任意の“H”幅、“L”幅のパルスを連続して出力するモード (タイマA1、A2、A4)
割り込み要因	オーバフロー/アンダフロー × 5

表 17.2 タイマAの仕様の相違

項目	タイマ				
	A0	A1	A2	A3	A4
イベントカウンタモード (二相パルス処理)	なし	なし	あり	あり	あり
プログラマブル出力モード	なし	あり	あり	なし	あり

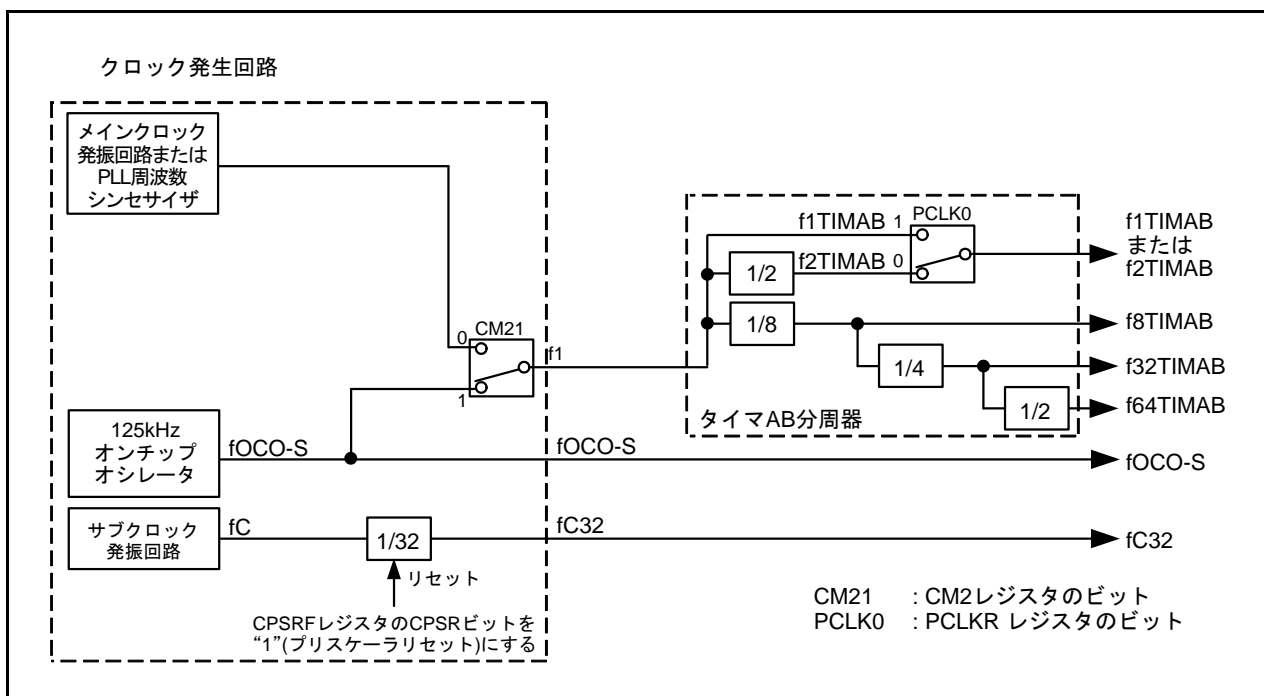


図 17.1 タイマA、Bカウントソース

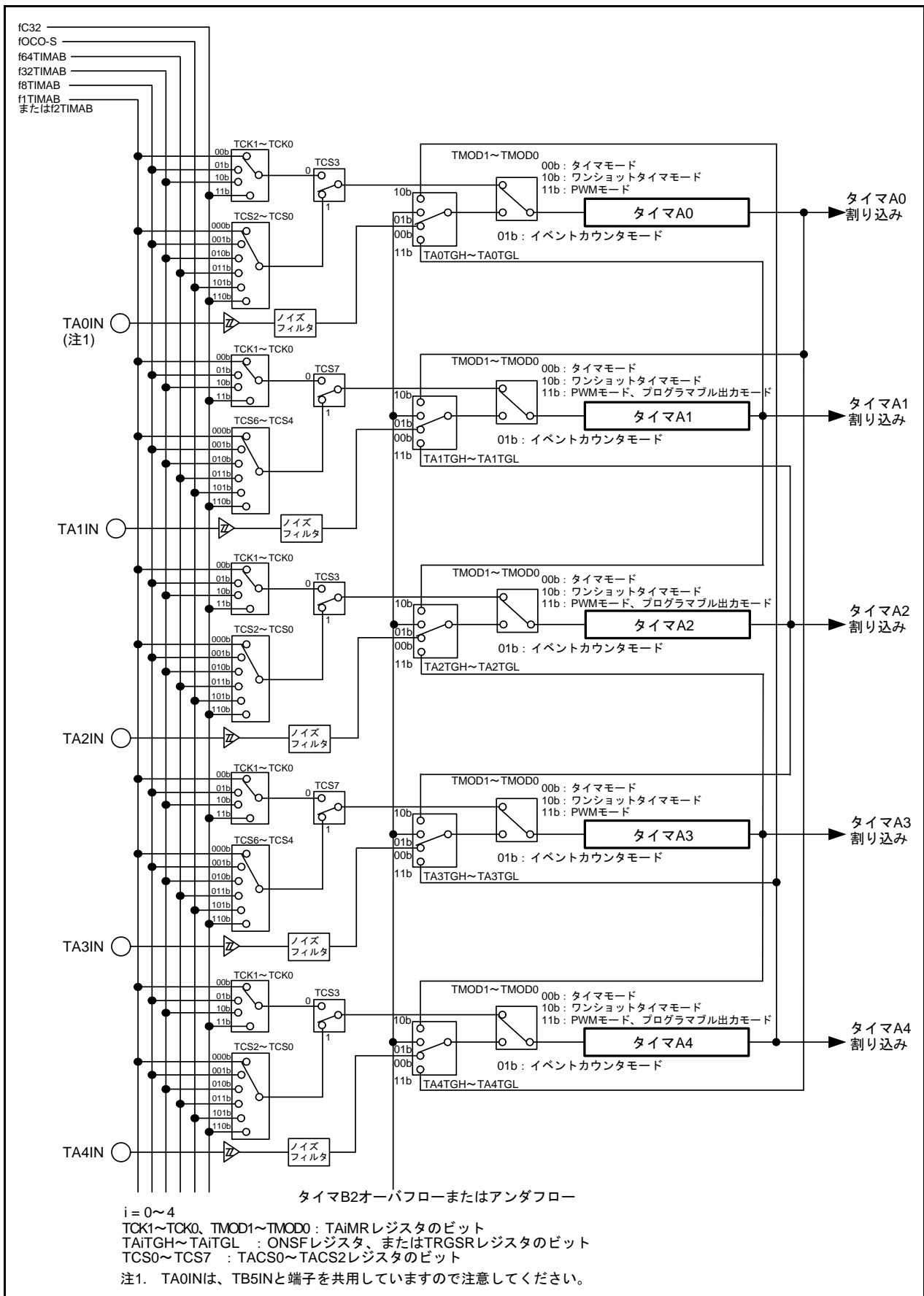


図 17.2 タイマA構成

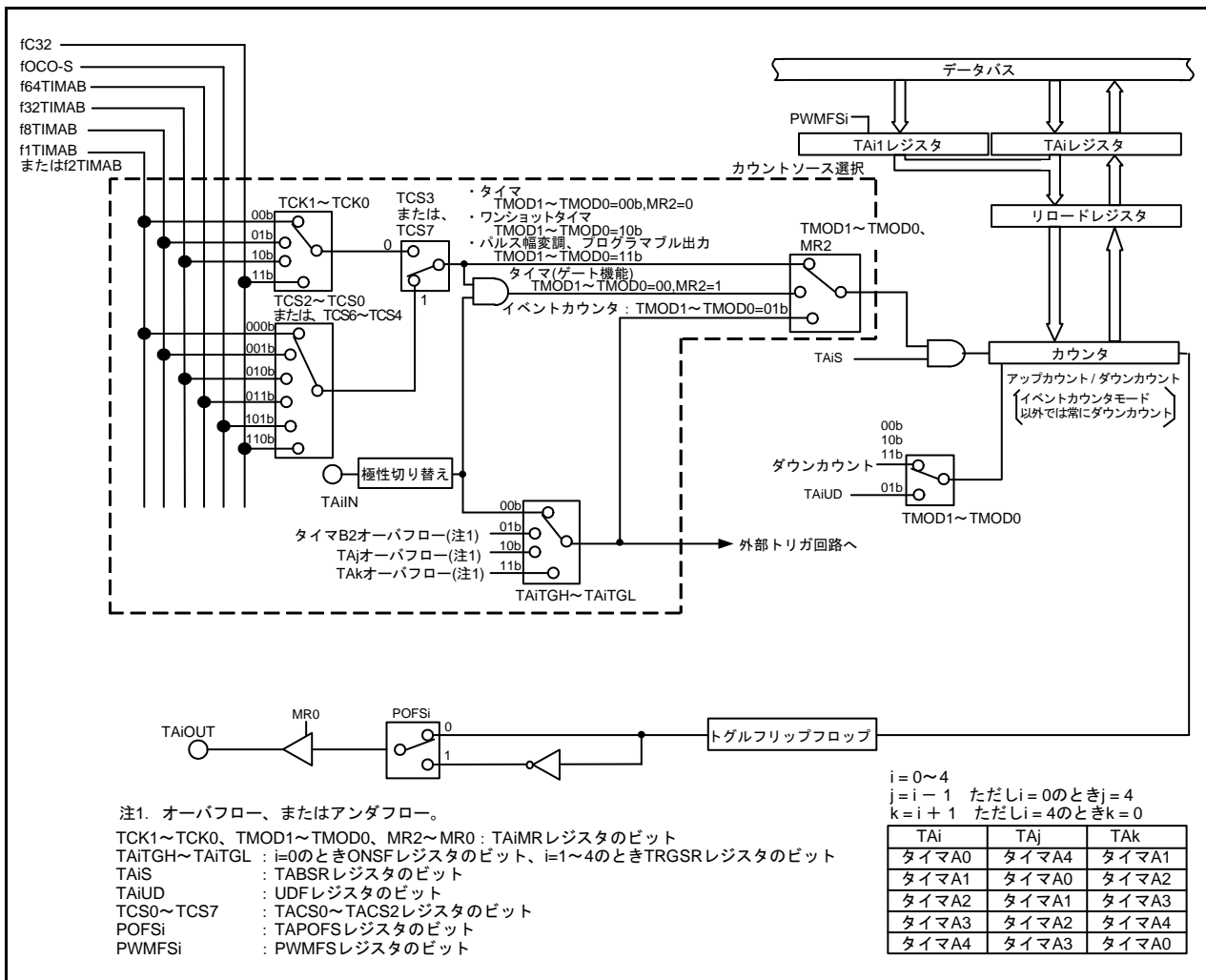


図 17.3 タイマAブロック図

表 17.3 入出力端子

端子名	入出力	機能
TAiIN	入力 (注1)	ゲート入力 (タイマモード) カウントソース入力 (イベントカウンタモード) 二相パルス入力 (イベントカウンタモード (二相パルス信号処理)) トリガ入力 (ワンショットタイマモード、PWMモード、プログラマブル出力モード)
TAiOUT	出力 (注2)	パルス出力 (タイマモード、イベントカウンタモード、ワンショットタイマモード、PWMモード、プログラマブル出力モード)
	入力 (注1)	二相パルス入力 (イベントカウンタモード (二相パルス信号処理))
ZP	入力 (注1)	Z相 (カウンタ初期化) 入力 (イベントカウンタモード (二相パルス信号処理))

i=0~4、ただし、二相パルス入力はi=2, 3, 4、プログラマブル出力モードはi=1, 2, 4

注1. TAIIN、TAiOUT、ZP 端子を入力で使用する場合、端子を共用するポートの方向ビットを“0” (入力モード)にしてください。

注2. TA0OUTはNチャネルオープンドレイン出力

17.2 レジスタの説明

タイマA関連レジスタを表 17.4 レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 17.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
01D0h	タイマAカウントソース選択レジスタ0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ2	TACS2	X0h
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0320h	カウント開始フラグ	TABSR	00h
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h

17.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b
0 0 0 0 0			
ビット シンボル	ビット名	機 能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止 タイマ、マルチマスタI ² C-bus インタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~ UART7、SI/O3、SI/O4のクロ ック源)	0 : f2SIO 1 : f1SIO	RW
— (b4-b2)	予約ビット	“0”にしてください	RW
PCLK5	クロック出力機能拡張ビット (シングルチップ時有効)	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
— (b7-b6)	予約ビット	“0”にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

17.2.2 時計用プリスケアラリセットフラグ (CPSRF)

時計用プリスケアラリセットフラグ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル CPSRF	アドレス 0015h番地	リセット後の値 0XXX XXXXb
X X X X X X X X			
ビット シンボル	ビット名	機 能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラ リセットフラグ	このビットを“1”にすると時計用プリ スケアラが初期化される。 (読んだ場合、その値は“0”)	RW

17.2.3 タイマAカウントソース選択レジスタ*i* (TACSi) (*i*=0~2)

タイマAカウントソース選択レジスタ0、タイマAカウントソース選択レジスタ1

シンボル		アドレス		リセット後の値
TACS0~TACS1		01D0h~01D1h番地		00h
b7 b6 b5 b4 b3 b2 b1 b0				
ビットシンボル	ビット名	機能		RW
TCS0	TAiカウントソース選択ビット	b2 b1 b0	0 0 0 : f1TIMABまたはf2TIMAB	RW
			0 0 1 : f8TIMAB	
			0 1 0 : f32TIMAB	
TCS1			0 1 1 : f64TIMAB	RW
			1 0 0 : 設定しないでください	
TCS2			1 0 1 : fOCO-S	RW
			1 1 0 : fC32	
			1 1 1 : 設定しないでください	
TCS3	TAiカウントソース選択肢指定ビット	0 : TCK0~TCK1有効、TCS0~TCS2無効 1 : TCK0~TCK1無効、TCS0~TCS2有効		RW
TCS4		b6 b5 b4	0 0 0 : f1TIMABまたはf2TIMAB	RW
			0 0 1 : f8TIMAB	
			0 1 0 : f32TIMAB	
TCS5	TAjカウントソース選択ビット		0 1 1 : f64TIMAB	RW
			1 0 0 : 設定しないでください	
TCS6			1 0 1 : fOCO-S	RW
			1 1 0 : fC32	
			1 1 1 : 設定しないでください	
TCS7	TAjカウントソース選択肢指定ビット	0 : TCK0~TCK1有効、TCS4~TCS6無効 1 : TCK0~TCK1無効、TCS4~TCS6有効		RW

TACS0レジスタ : *i*=0、*j*=1、TACS1レジスタ : *i*=2、*j*=3

タイマAカウントソース選択レジスタ2

シンボル		アドレス		リセット後の値
TACS2		01D2h番地		X0h
b7 b6 b5 b4 b3 b2 b1 b0				
ビットシンボル	ビット名	機能		RW
TCS0	TA4カウントソース選択ビット	b2 b1 b0	0 0 0 : f1TIMABまたはf2TIMAB	RW
			0 0 1 : f8TIMAB	
			0 1 0 : f32TIMAB	
TCS1			0 1 1 : f64TIMAB	RW
			1 0 0 : 設定しないでください	
TCS2			1 0 1 : fOCO-S	RW
			1 1 0 : fC32	
			1 1 1 : 設定しないでください	
TCS3	TA4カウントソース選択肢指定ビット	0 : TCK0~TCK1有効、TCS0~TCS2無効 1 : TCK0~TCK1無効、TCS0~TCS2有効		RW
— (b7-b4)	何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。			—

TCS2~TCS0 (TAiカウントソース選択ビット) (b2~b0) (*i*=0, 2, 4)TCS6~TCS4 (TAjカウントソース選択ビット) (b6~b4) (*j*=1, 3)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

17.2.4 16ビットパルス幅変調モード機能選択レジスタ (PWMFS)

16ビットパルス幅変調モード機能選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0 0 X X X X X X X	シンボル PWMFS	アドレス 01D4h番地	リセット後の値 0XX0 X00Xb
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PWMFS1	タイマA1プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
PWMFS2	タイマA2プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PWMFS4	タイマA4プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b6-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7)	予約ビット	“0” にしてください。	RW

PWMFS1 (タイマA1プログラマブル出力モード選択ビット) (b1)

PWMFS2 (タイマA2プログラマブル出力モード選択ビット) (b2)

PWMFS4 (タイマA4プログラマブル出力モード選択ビット) (b4)

TAiMRレジスタのTMOD1~TMOD0ビットが“11b”(PWMモードまたはプログラマブル出力モード)、かつMR3ビットが“0”(16ビットPWMモード)のとき有効です。

17.2.5 タイマA波形出力機能選択レジスタ (TAPOFS)

タイマA波形出力機能選択レジスタ			
	シンボル TAPOFS	アドレス 01D5h番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機 能	RW
POFS0	TA0OUT出力極性制御ビット	0: 出力波形 “H” アクティブ 1: 出力波形 “L” アクティブ (出力反転)	RW
POFS1	TA1OUT出力極性制御ビット		RW
POFS2	TA2OUT出力極性制御ビット		RW
POFS3	TA3OUT出力極性制御ビット		RW
POFS4	TA4OUT出力極性制御ビット		RW
— (b7-b5)	何も設定されていない。 書く場合 “0” を書いてください。読んだ場合、その値は不定。		—

17.2.6 タイマA出力波形変更許可レジスタ (TAOW)

タイマA出力波形変更許可レジスタ			
シンボル	アドレス	リセット後の値	
TAOW	01D8h番地	XXX0 X00Xb	
ビットシンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—
TA1OW	タイマA1出力波形変更許可ビット	0: 変更禁止 1: 変更許可	RW
TA2OW	タイマA2出力波形変更許可ビット	0: 変更禁止 1: 変更許可	RW
— (b3)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—
TA4OW	タイマA4出力波形変更許可ビット	0: 変更禁止 1: 変更許可	RW
— (b7-b5)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—

プログラマブル出力モードで有効です。

出力中に出力波形の周期や幅を変更する場合は、次の手順で変更してください。

- (1)TAiOW ビット (i=1, 2, 4)を“0” (出力波形変更禁止)にする
- (2)TAi、TAi1 レジスタの両方またはいずれかに値を書く
- (3)TAiOW ビットを“1” (出力波形変更許可)にする

TAiOUT 出力の立ち上がりエッジ (POFSi ビットが“1”の場合は立ち下がりエッジ)のカウンツソース 1 サイクル分前に、TAiOW ビットが“1” (出力波形変更許可)ならば、更新後の値がリロードされます。TAiOW ビットが“0” (出力波形変更禁止)ならば、更新前の値をリロードします。

17.2.7 タイマAiレジスタ (TAi) (i=0~4)

タイマAiレジスタ (i=0~4)			
	シンボル	アドレス	リセット後の値
	TA0	0327h~0326h番地	不定
	TA1	0329h~0328h番地	不定
	TA2	032Bh~032Ah番地	不定
	TA3	032Dh~032Ch番地	不定
	TA4	032Fh~032Eh番地	不定
モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、 カウンタ周期： $\frac{(n+1)}{fj}$	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、 アップカウント時、FFFFh-n+1回カウント ダウンカウント時、n+1回カウント	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、 パルス幅： $\frac{n}{fj}$	0000h~FFFFh	WO
パルス幅変調モード (16ビットPWMモード)	設定値をnとすると、 PWMの周期： $\frac{(2^{16}-1)}{fj}$ PWMのパルス幅： $\frac{n}{fj}$	0000h~FFFEh	WO
パルス幅変調モード (8ビットPWMモード)	上位番地の設定値をn、下位番地の設定 値をmとすると PWMの周期： $\frac{(2^8-1) \times (m+1)}{fj}$ PWMパルスのパルス幅： $\frac{(m+1)n}{fj}$	00h~FEh (上位番地) 00h~FFh (下位番地)	WO
プログラマブル出力 モード	TAiレジスタ設定値をm、TAi1レジスタ設 定値をnとすると、次の波形を出力する “H”幅： $\frac{m}{fj}$ “L”幅： $\frac{n}{fj}$	0000h~FFFFh	WO

fj: カウントソースの周波数

16ビット単位でアクセスしてください。TAiレジスタへはMOV命令を使用して書いてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

ワンショットタイマモード

TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、このとき、パルス出力ありを選択していても、TAiOUT端子からパルスは出力されません。

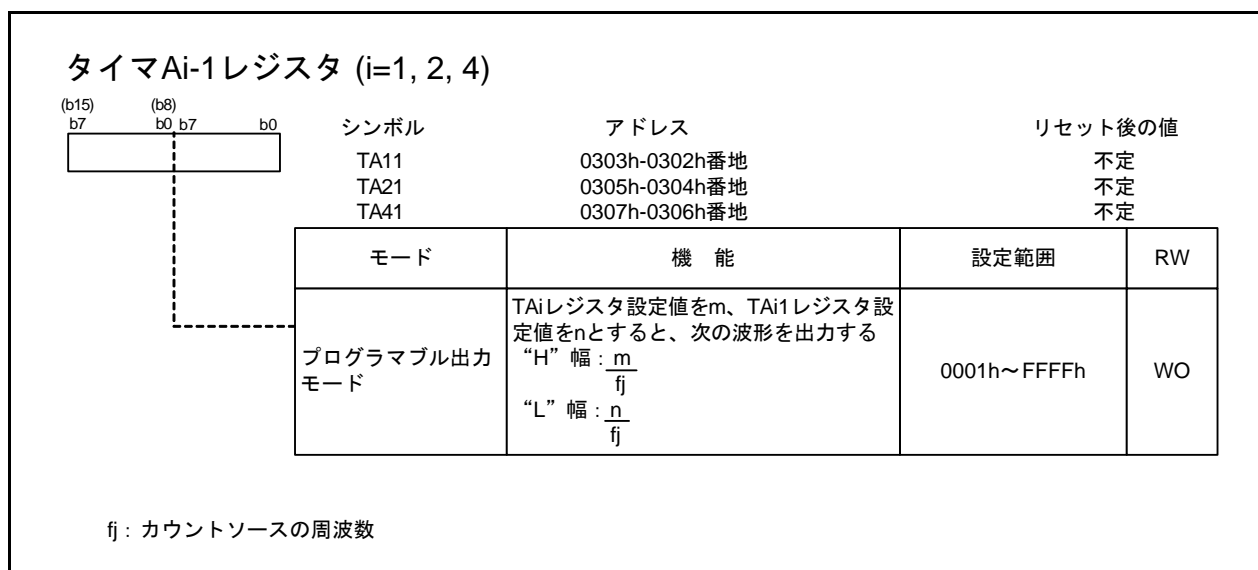
パルス幅変調モード(16ビットPWMモード)

TAiレジスタを“0000h”にした場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。

パルス幅変調モード(8ビットPWMモード)

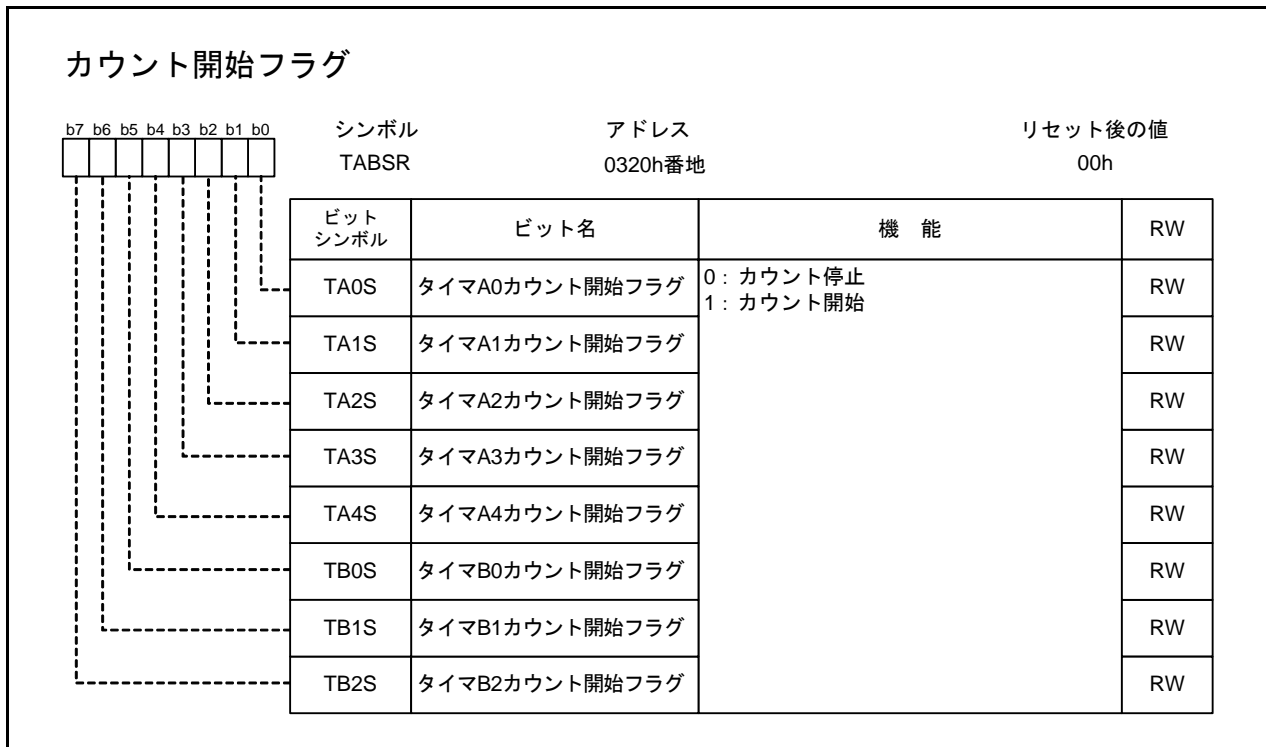
8ビットプリスケアラ(下位8ビット)と8ビットパルス幅変調器(上位8ビット)として動作します。TAiレジスタの上位8ビットに“00h”を設定した場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。

17.2.8 タイマAi-1レジスタ (TAi1) (i=1, 2, 4)



16ビット単位でアクセスしてください。MOV命令を使用して書いてください。

17.2.9 カウント開始フラグ (TABSR)



17.2.10 ワンショット開始フラグ(ONSF)

ワンショット開始フラグ		シンボル	アドレス	リセット後の値
		ONSF	0322h番地	00h
ビットシンボル	ビット名	機能		RW
TA0OS	タイマA0ワンショット開始フラグ	このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。		RW
TA1OS	タイマA1ワンショット開始フラグ			RW
TA2OS	タイマA2ワンショット開始フラグ			RW
TA3OS	タイマA3ワンショット開始フラグ			RW
TA4OS	タイマA4ワンショット開始フラグ			RW
TAZIE	Z相入力有効ビット			0: Z相入力無効 1: Z相入力有効
TA0TGL	タイマA0イベント/トリガ選択ビット	b7 b6 0 0: TA0IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA4を選択 1 1: タイマA1を選択	RW	
TA0TGH			RW	

TAiOS (タイマAiワンショット開始フラグ) (i=0~4) (b4~b0)

ワンショットタイマモードで有効。TAiMRレジスタのMR2ビットが“0” (TAiOSビット有効)の場合、TABSRRレジスタのTAiSビットを“1” (カウント開始)にした後、このビットを“1”にすると、タイマAiのカウントを開始します。

TAZIE (Z相入力有効ビット) (b5)

タイマA3のイベントカウンタモード(二相パルス信号処理)で使用するビットです。詳細は、「17.3.4.3 二相パルス信号処理でのカウンタ初期化」を参照してください。

TA0TGH~TA0TGL (タイマA0イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード(二相パルス信号処理を使用しない)のイベント
- ワンショットタイマモード、PWMモードのトリガ

ただし、TA0MRレジスタのMR2ビットが“1” (TA0TGH~TA0TGLビットでトリガ選択)の場合。

TA0TGH~TA0TGLビットが“00b”の場合、TA0MRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TA0TGH~TA0TGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

17.2.11 トリガ選択レジスタ (TRGSR)

トリガ選択レジスタ		シンボル	アドレス	リセット後の値
		TRGSR	0323h番地	00h
ビットシンボル	ビット名	機能		RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0	0 0: TA1IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA0を選択 1 1: タイマA2を選択	RW
TA1TGH		RW		
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2	0 0: TA2IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA1を選択 1 1: タイマA3を選択	RW
TA2TGH		RW		
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4	0 0: TA3IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA2を選択 1 1: タイマA4を選択	RW
TA3TGH		RW		
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6	0 0: TA4IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA3を選択 1 1: タイマA0を選択	RW
TA4TGH		RW		

TA1TGH~TA1TGL (タイマA1イベント/トリガ選択ビット) (b1~b0)

TA2TGH~TA2TGL (タイマA2イベント/トリガ選択ビット) (b3~b2)

TA3TGH~TA3TGL (タイマA3イベント/トリガ選択ビット) (b5~b4)

TA4TGH~TA4TGL (タイマA4イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード (二相パルス信号処理を使用しない) のイベント
- ワンショットタイマモード、PWMモード、プログラマブル出力モードのトリガ

ただし、TAiMRレジスタのMR2ビットが“1” (TAiTGH~TAiTGLビットでトリガ選択) の場合。

TAiTGH~TAiTGLビットが“00b”の場合、TAiMRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します (IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

17.2.12 アップダウンフラグ(UDF)

アップダウンフラグ		シンボル UDF	アドレス 0324h番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機 能		RW					
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント		RW					
TA1UD	タイマA1アップダウンフラグ			RW					
TA2UD	タイマA2アップダウンフラグ			RW					
TA3UD	タイマA3アップダウンフラグ			RW					
TA4UD	タイマA4アップダウンフラグ			RW					
TA2P	タイマA2二相パルス信号 処理機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可		RW					
TA3P	タイマA3二相パルス信号 処理機能選択ビット			RW					
TA4P	タイマA4二相パルス信号 処理機能選択ビット			RW					

TA_iUD (タイマA_iアップダウンフラグ) (i=0~4) (b₄~b₀)

イベントカウンタモード(二相パルス信号処理機能を使用しない場合)時、有効になります。

TA2P (タイマA2二相パルス信号処理機能選択ビット) (b₅)TA3P (タイマA3二相パルス信号処理機能選択ビット) (b₆)TA4P (タイマA4二相パルス信号処理機能選択ビット) (b₇)

二相パルス信号処理機能を使用しない場合、“0”にしてください。

17.2.13 タイマAiモードレジスタ (TAiMR) (i=0~4)

タイマAiモードレジスタ (i=0~4)				
		シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機 能	RW	
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード 0 1: イベントカウンタモード	RW	
TMOD1		1 0: ワンショットタイマモード 1 1: パルス幅変調 (PWM)モード、 またはプログラマブル出力モード	RW	
MR0	動作モードによって機能が異なる		RW	
MR1		RW		
MR2		RW		
MR3		RW		
TCK0	動作モードによって機能が異なる		RW	
TCK1		RW		

17.3 動作説明

17.3.1 複数モードに関わる共通事項

17.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

たとえば、停止しているカウンタは、カウント開始条件が揃った後、最初のカウンタソースのカウントタイミングからカウントを開始します。したがって、カウント開始条件が揃ってから、カウント開始するまで、遅延があります。図 17.4 にワンショットタイマモードの出力例を示します。

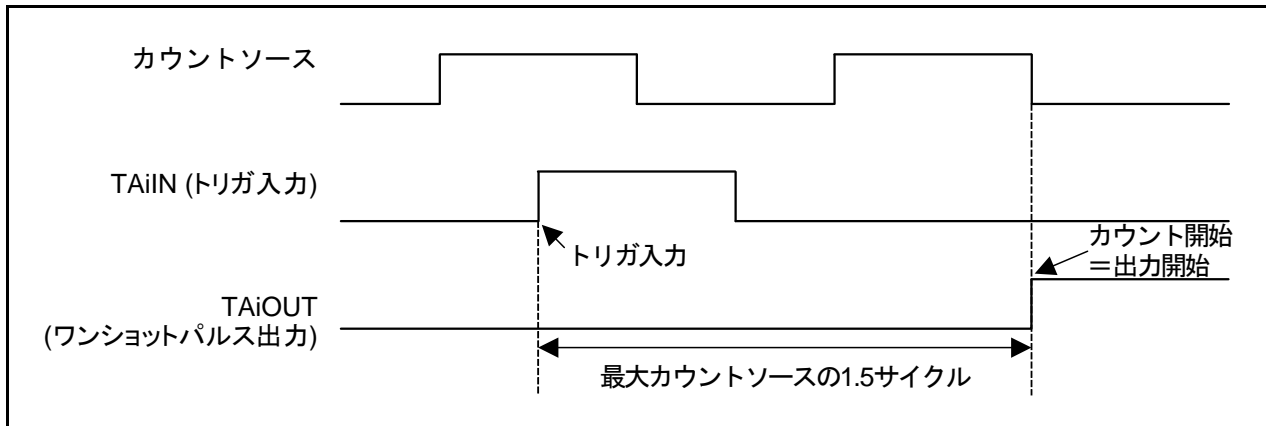


図 17.4 ワンショットタイマモードの出力例

17.3.1.2 カウンタリロードタイミング

タイマ A_i は TA_i レジスタに設定された値 (n とします) からカウントを開始します。 TA_i レジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタは n からカウンタソースをダウンカウントします。そして、“0000h” になった次のカウンタソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます (アップカウントの場合は同様に“FFFFh” になった次のカウンタソースで、リロードレジスタの値をリロードします)。

TA_i レジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウンタソースが入力されるまで
 TA_i レジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウンタソースが入力された後
 TA_i レジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
 カウンタはカウント中の値を引き続きカウントし、“0000h” (または“FFFFh”) になった次のカウンタソースでリロードレジスタの値をリロードする。

17.3.1.3 カウントソース

タイマモード、ワンショットタイマモード、PWMモード、プログラマブル出力モードでは、内部のクロックをカウントします(「図 17.1 タイマA、B カウントソース」参照)。表 17.5 にタイマA カウントソースを示します。

f1は次のいずれかです。(「8. クロック発生回路」参照)

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

表 17.5 タイマAカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS6~TCS4	TCK1~TCK0	
f1TIMAB	1	0	—	00b	f1
		1	000b	—	
f2TIMAB	0	0	—	00b	f1の2分周
		1	000b	—	
f8TIMAB	—	0	—	01b	f1の8分周
		1	001b	—	
f32TIMAB	—	0	—	10b	f1の32分周
		1	010b	—	
f64TIMAB	—	1	011b	—	f1の64分周
fOCO-S	—	1	101b	—	fOCO-S
fC32	—	0	—	11b	fC32
		1	110b	—	

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TACS0~TACS2レジスタのビット

TCK1~TCK0: TAI*M*R (i=0~4)レジスタのビット

17.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 17.6 にタイマモードの仕様を、表 17.7 にタイマモード時の使用レジスタと設定値を、図 17.5 にタイマモード時の動作例を示します。

表 17.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$\frac{(n+1)}{fj}$ n: TAIレジスタの設定値 0000h~FFFFh fj: カウントソースの周波数
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の期間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 17.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMR レジスタのMR0ビットが“1” (パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	- (設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	“00b”にしてください
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMR レジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

タイマモード タイマAiモードレジスタ (i=0~4)				
b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
[] [] [] [] [] [] [] []		TA0MR~TA4MR	0336h~033Ah番地	00h
ビットシンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1 b0		RW
		0 0: タイマモード		
TMOD1				RW
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)		RW
MR1	ゲート機能選択ビット	b4 b3		RW
MR2		0 0: ゲート機能なし (TAiIN端子は入出力ポート) 0 1: TAiIN端子に“L”が入力されている 期間カウントする 1 0: TAiIN端子に“H”が入力されている 期間カウントする 1 1: TAiIN端子に“H”が入力されている 期間カウントする		RW
MR3	タイマモードでは“0”にしてください			RW
TCK0	カウントソース選択ビット	b7 b6		RW
TCK1		0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32		

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

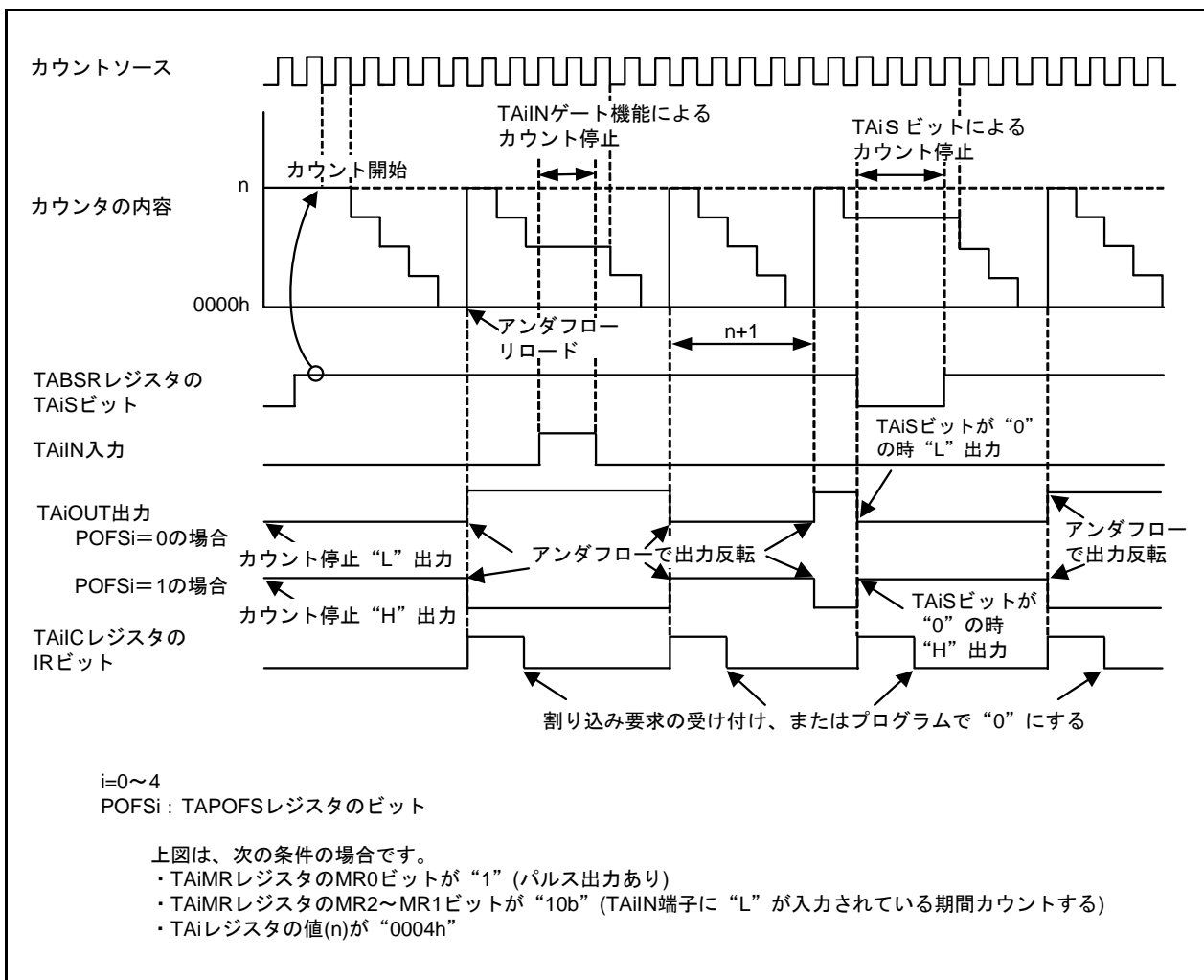


図 17.5 タイマモード時の動作例

17.3.3 イベントカウンタモード (二相パルス信号処理を使用しない場合)

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。

タイマA2、A3、A4は二相の外部信号をカウントできます。(「17.3.4 イベントカウンタモード(二相パルス信号処理を使用する場合)」参照。)

表 17.8にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、表 17.9にイベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)を、図 17.6にイベントカウンタモード時の動作例を示します。

表 17.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TAIiN 端子に入力された外部信号(有効エッジを選択可能) • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー ($j = i - 1$、ただし $i=0$ のとき $j=4$) • タイマAkのオーバフローまたはアンダフロー ($k = i + 1$、ただし $i=4$ のとき $k=0$)
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントをプログラムで選択可能 • オーバフローまたはアンダフロー時は、リロードレジスタの値をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 $FFFFh - n + 1$ • ダウンカウント時 $n + 1$ n: TAIレジスタの設定値 $0000h \sim FFFFh$
カウント開始条件	TABSR レジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	入出力ポートまたはカウントソース入力
TAiOUT 端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない • パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。 TAiSビットが“0”(カウント停止)の間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の間は“H”を出力)

i=0~4

表 17.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントソースを選択してください
TRGSR	TAiTGH~TAiTGL	カウントソースを選択してください
UDF	TAiUD	カウント動作を選択してください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用しない場合)
タイマAiモードレジスタ (i=0~4)

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0336h~033Ah番地	00h

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
	TMOD0	動作モード選択ビット	RW
	TMOD1		RW
	MR0	パルス出力機能選択ビット	RW
	MR1	カウント極性選択ビット	RW
	MR2	イベントカウンタモードでは“0”にしてください	RW
	MR3	イベントカウンタモードでは“0”にしてください	RW
	TCK0	カウント動作タイプ選択ビット	RW
	TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可	RW

MR1 (カウント極性選択ビット) (b3)

ONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

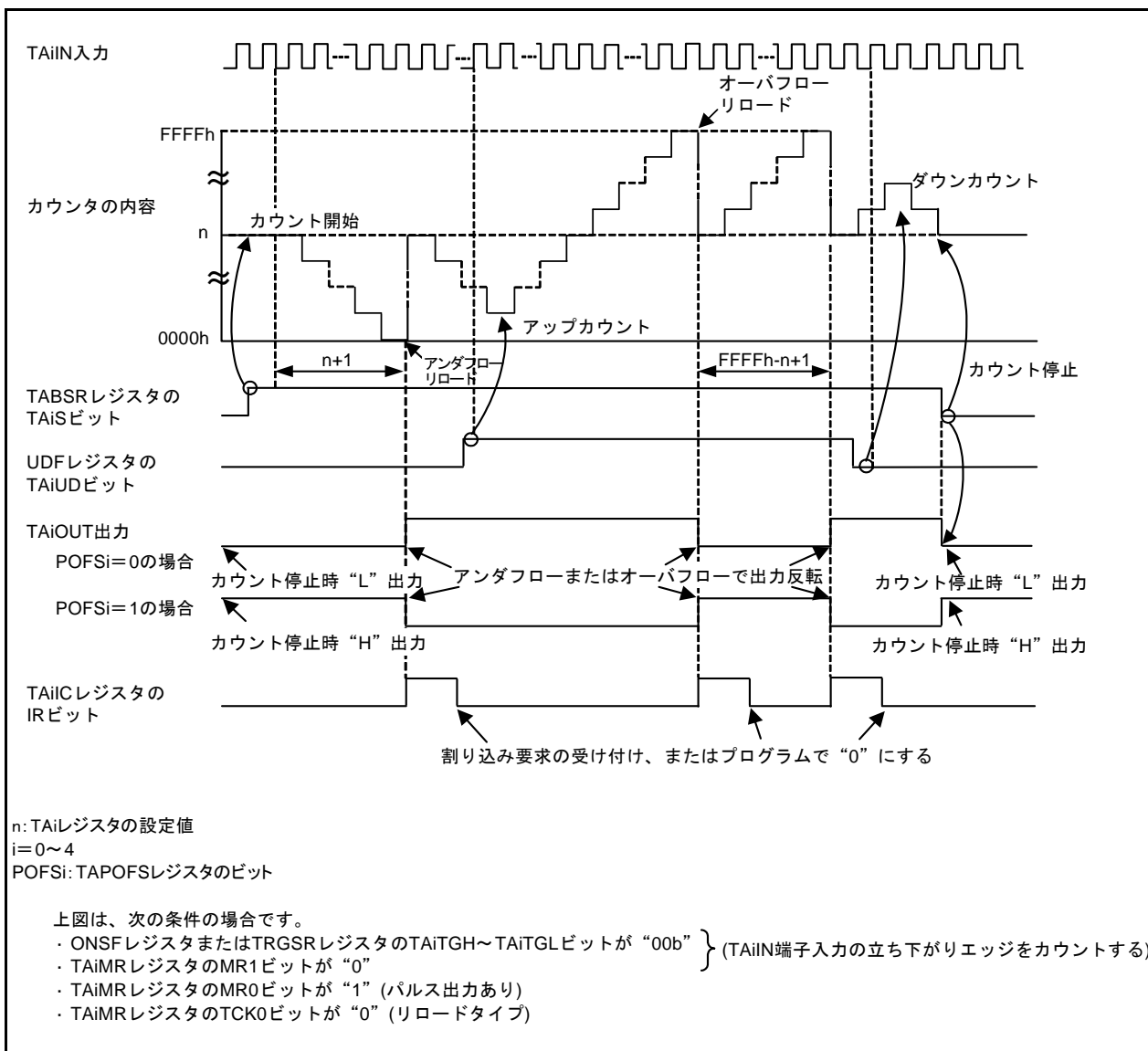


図 17.6 イベントカウンタモード時の動作例

17.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)

二相パルス信号をカウントするモードです。タイマA2、A3、A4が使用できます。表 17.10 にイベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合) を、表 17.11 にイベントカウンタモード (二相パルス信号処理を使用する場合) 時の使用レジスタと設定値を示します。

表 17.10 イベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの値をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 $FFFFh - n + 1$ • ダウンカウント時 $n + 1$ n: TAi レジスタの設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタのTAiS ビットを“1” (カウント開始) にする
カウント停止条件	TAiS ビットを“0” (カウント停止) にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4 レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 通常処理動作、または4通倍処理動作を選択 (タイマA3) • Z相入力によるカウンタ初期化 (タイマA3) • Z相入力により、タイマのカウント値を“0”にする

i=2~4

表 17.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	“0”にしてください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	タイマA3でZ相入力を使用するとき“1”にしてください
	TA0TGH~TA0TGL	-(設定しないでよい)
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“1”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=2~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用する場合)
 タイマAiモードレジスタ (i=2~4)

ビット シンボル	ビット名	機 能	RW
シンボル TA2MR~TA4MR アドレス 0338h~033Ah番地 リセット後の値 00h			
b7			
b6			
b5	0		
b4	1		
b3	0		
b2	0		
b1	0		
b0	1		
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット	0: 通常処理動作 1: 4逓倍処理動作	RW

TCK1 (二相パルス処理動作選択ビット) (b7)

タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

17.3.4.1 通常処理動作

TAjOUT 端子 (j=2, 3) の入力信号が“H”の期間、TAjIN 端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。

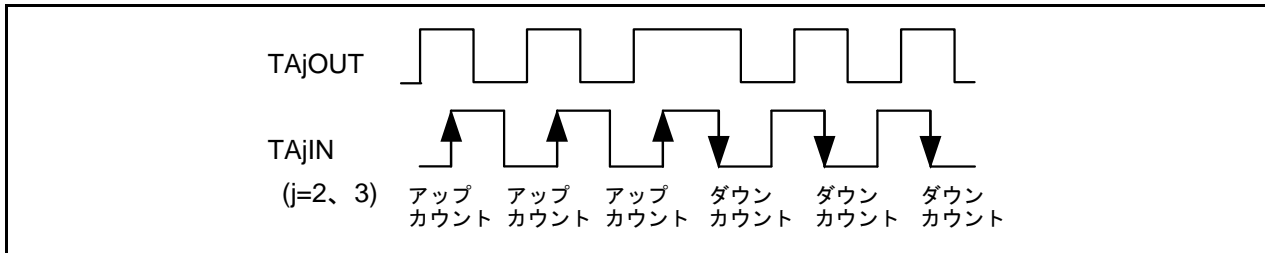


図 17.7 通常処理動作

17.3.4.2 4 通倍処理動作

TAkOUT 端子 (k=3, 4) の入力信号が“H”の期間に TAkIN 端子の入力信号が立ち上がる位相関係の場合、TAkOUT、TAkIN 端子の入力信号の立ち上がり、立ち下りをアップカウントします。TAkOUT 端子の入力信号が“H”の期間に TAkIN 端子の入力信号が立ち下がる位相関係の場合、TAkOUT、TAkIN 端子の入力信号の立ち上がり、立ち下りをダウンカウントします。

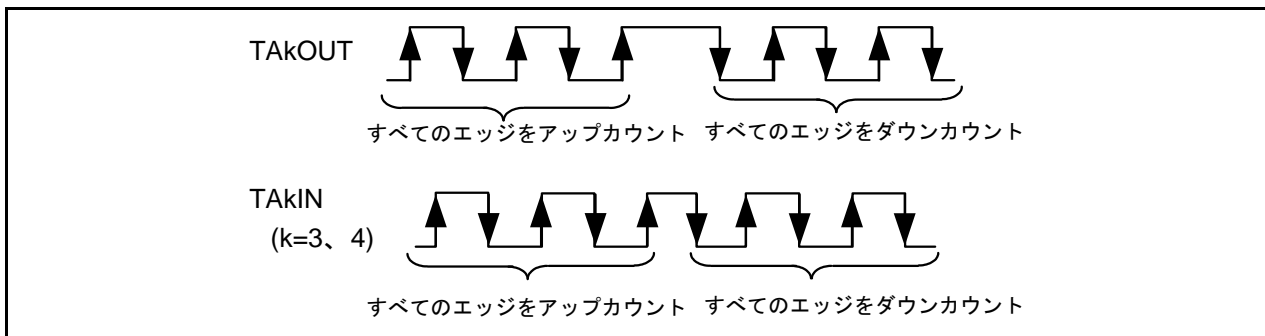


図 17.8 4 通倍処理動作

17.3.4.3 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0000h”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図17.9 二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバーフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

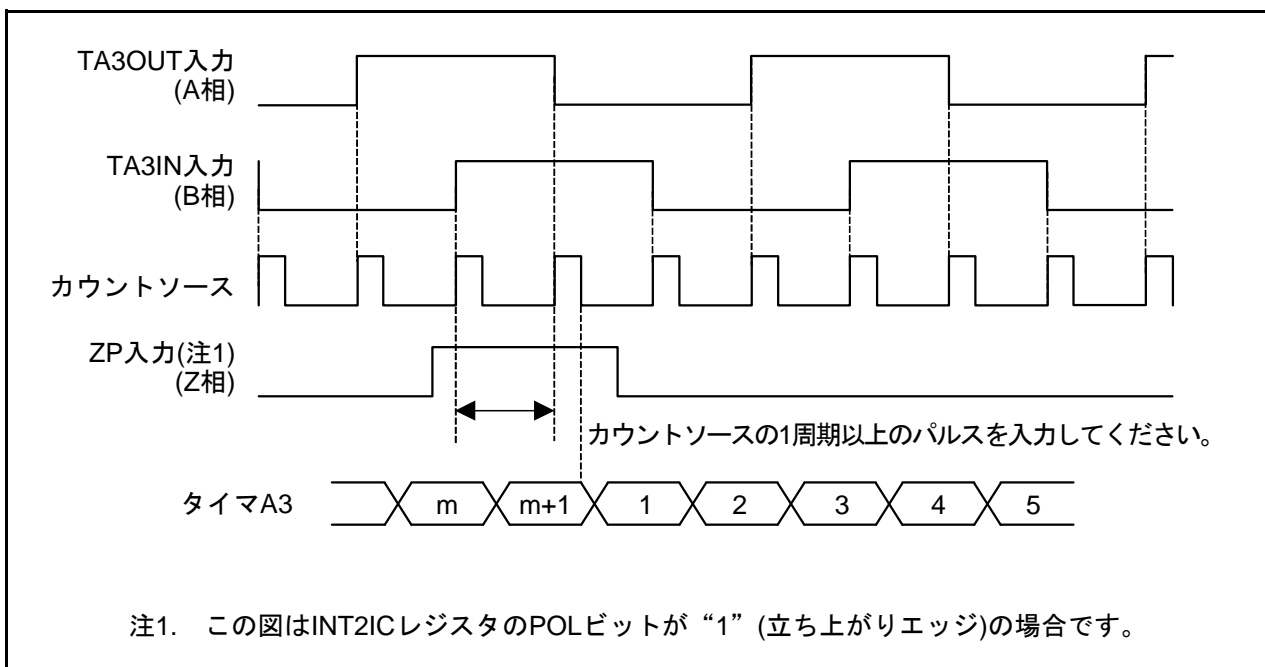
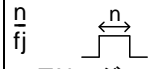


図 17.9 二相パルス(A相、B相)とZ相の関係

17.3.5 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。表 17.12 にワンショットタイマモードの仕様を、表 17.13 にワンショットタイマモード時の使用レジスタと設定値を、図 17.10 にワンショットタイマモード時の動作例を示します。

表 17.12 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • カウンタが“0000h”になるタイミングでリロードしてカウントを停止 • カウント中にトリガが発生した場合、リロードしてカウントを継続
パルス幅	 <p>n: TAIレジスタの設定値 0000h~FFFFh ただし、“0000h”を設定した場合、カウンタは動作しない fj: カウントソースの周波数</p>
カウント開始条件	TABSRレジスタのTAISビットが“1” (カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> • TAIIN端子からの外部トリガ入力 • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー (j = i - 1、ただしi=0のときj=4) • タイマAkのオーバフローまたはアンダフロー (k = i + 1、ただしi=4のときk=0) • ONSFレジスタのTAIOSビットを“1” (ワンショット開始)にする
カウント停止条件	<ul style="list-style-type: none"> • カウント値が“0000h”になりリロードした後 • TAI Sビットを“0” (カウント停止)にする
割り込み要求発生タイミング	カウント値が“0000h”になるタイミング
TAIIN端子機能	入出力ポートまたはトリガ入力
TAIOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAIレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAIレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中(ただし、1回目のカウントソース入力後) TAIレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力 • 出力極性制御 TAIOUT端子の出力極性を反転(TAISビットが“0” (カウント停止)の期間は“H”を出力)

i=0~4

表 17.13 ワンショットタイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	MR2ビットが“0”でカウントを開始するとき“1”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

ワンショットタイマモード タイマAiモードレジスタ (i=0~4)		シンボル	アドレス	リセット後の値
		TA0MR~TA4MR	0336h~033Ah番地	00h
ビット シンボル	ビット名	機 能		RW
TMOD0	動作モード選択ビット	b1 b0 1 0: ワンショットタイマモード		RW
TMOD1				RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)		RW
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり		RW
MR2	トリガ選択ビット	0: TAiOSビットが有効 1: TAiTGH~TAiTGLビットで選択		RW
MR3	ワンショットタイマモードでは“0”にしてください			RW
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32		RW
TCK1				

MR1 (外部トリガ選択ビット) (b3)

MR2ビットが“1”、かつONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

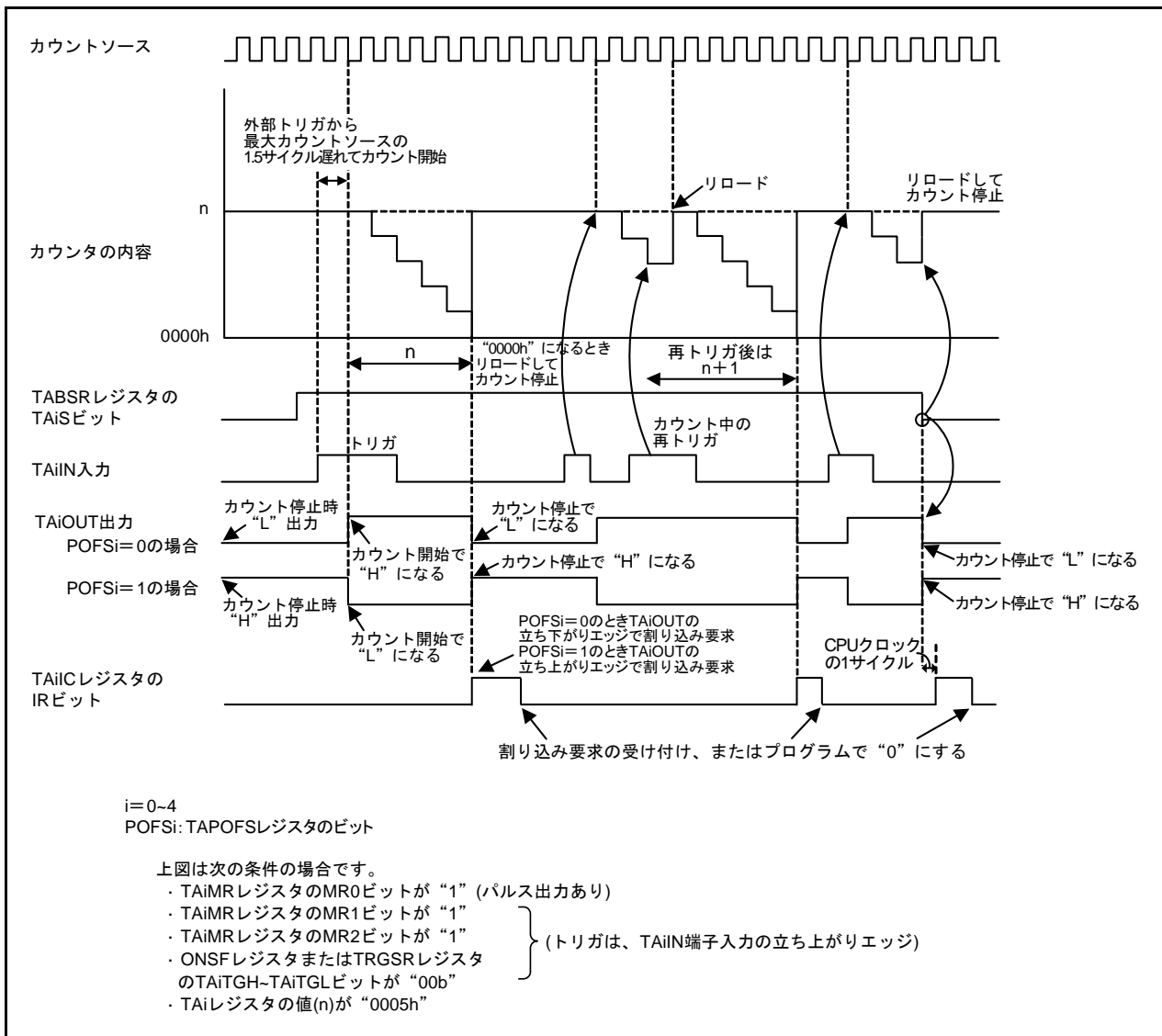
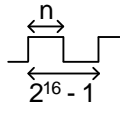
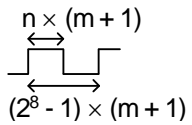


図 17.10 ワンショットタイマモード時の動作例

17.3.6 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。表 17.14 にパルス幅変調モードの仕様を、表 17.15 にパルス幅変調モード時の使用レジスタと設定値を、図 17.11 に16ビットパルス幅変調モードの動作例を、図 17.12 に8ビットパルス幅変調モードの動作例を示します。

表 17.14 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^{16}-1)}{f_j}$ <p>n:TAiレジスタの設定値 fj:カウントソースの周波数</p>
8ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n \times (m+1)}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^8-1) \times (m+1)}{f_j}$ <p>m:TAiレジスタの下位番地の設定値 n:TAiレジスタの上位番地の設定値 fj:カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSRレジスタのTAiSビットを“1”(カウント開始)にする • TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー(j=i-1、ただしi=0のときj=4)、 タイマAkのオーバフローまたはアンダフロー(k=i+1、ただしi=4のときk=0)
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 17.15 パルス幅変調モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	- (設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	PWMのパルス幅、周期を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

パルス幅変調モード タイマAiモードレジスタ (i=0~4)		シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
b7	TMOD0 動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW	
b6			RW	
b5	MR0 パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW	
b4			RW	
b3	MR1 外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW	
b2	MR2 トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAITGH~TAITGLビットで選択	RW	
b1	MR3 16/8ビットPWMモード選択 ビット	0: 16ビットPWMモード 1: 8ビットPWMモード	RW	
b0	TCK0 カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW	
1				
1	TCK1			

MR1 (外部トリガ選択ビット) (b3)

MR2 ビットが“1”、かつ ONSF レジスタまたは TRGSR レジスタの TAITGH~TAITGL ビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

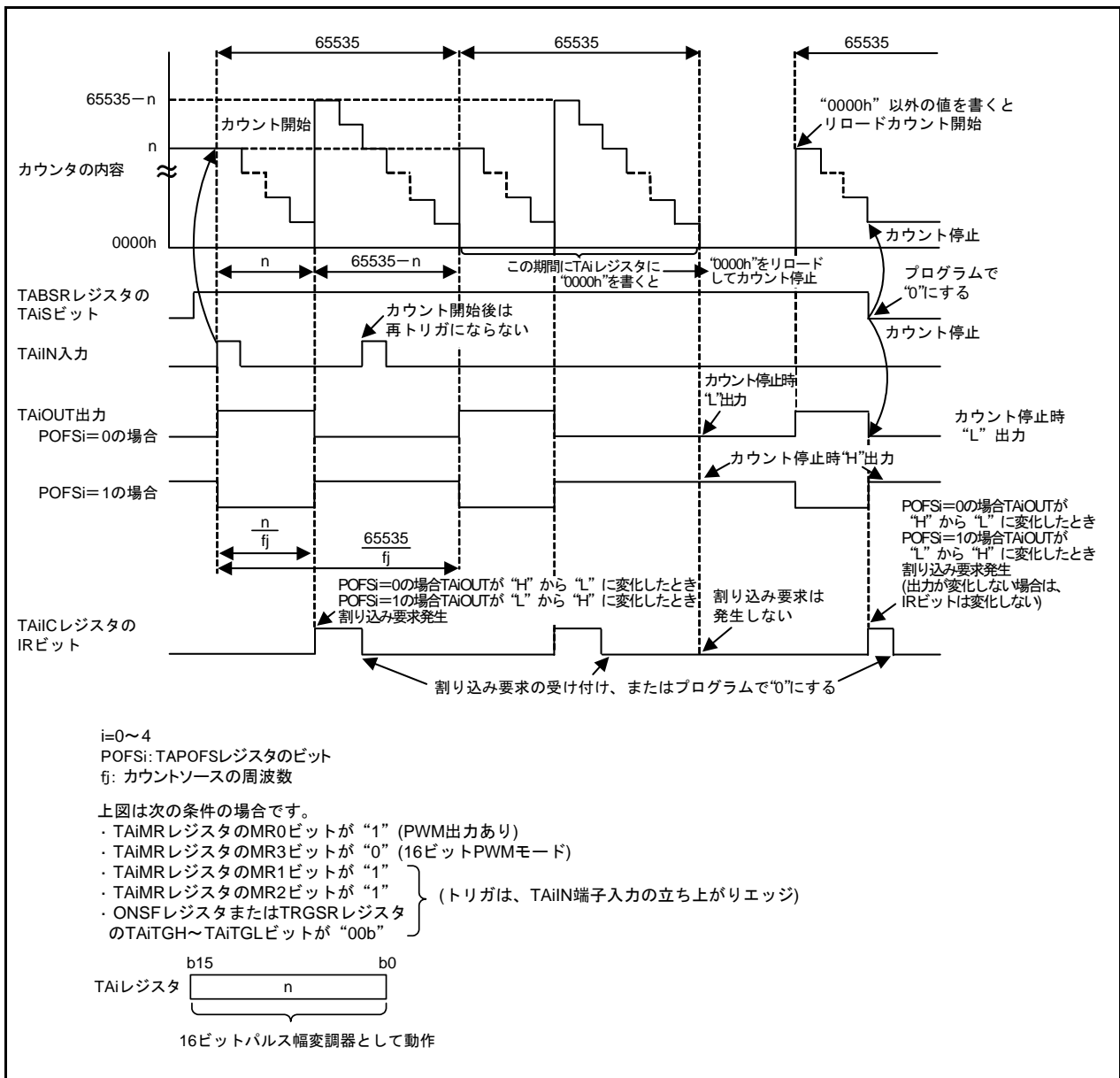


図 17.11 16ビットパルス幅変調モードの動作例

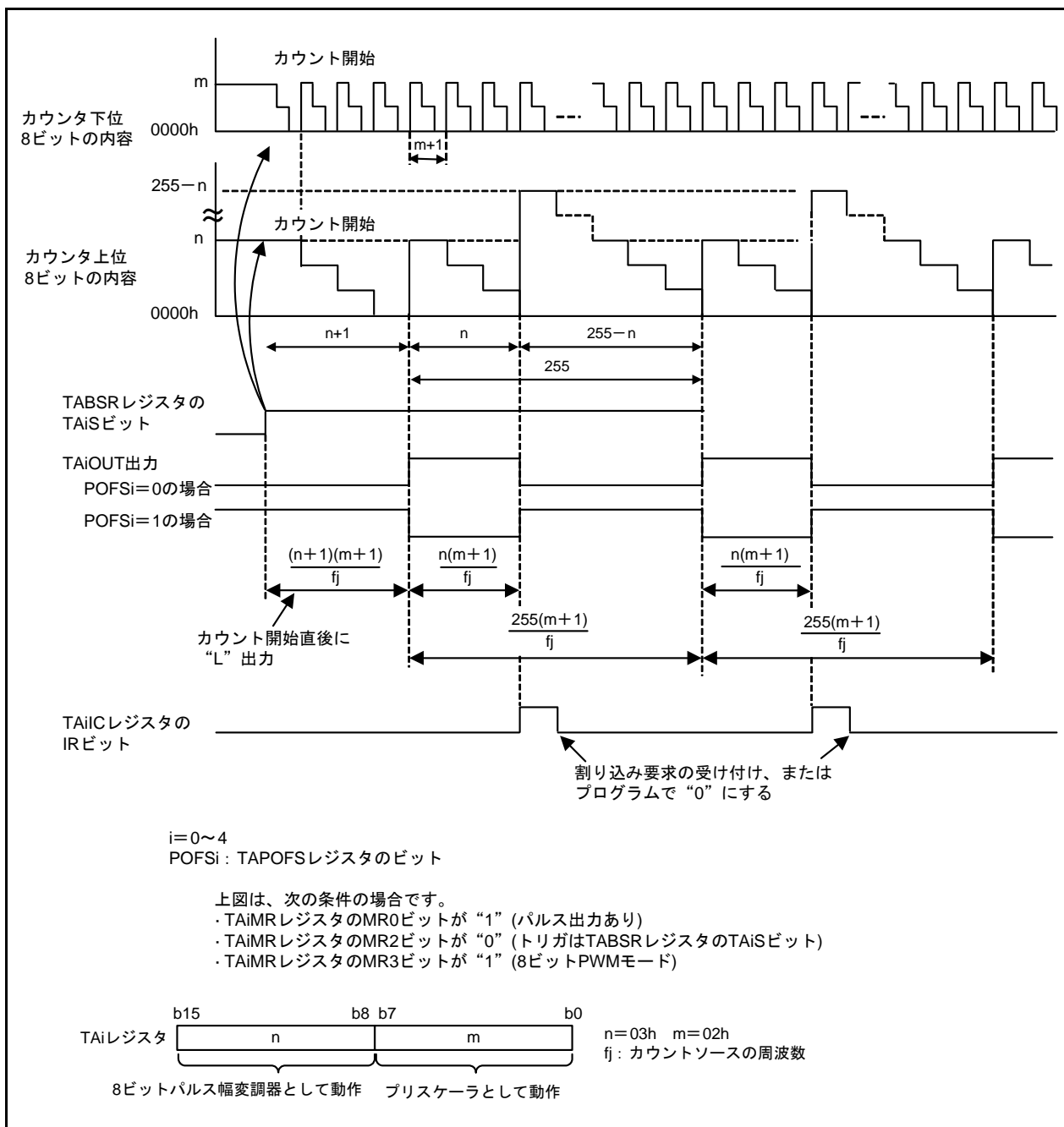
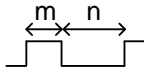


図 17.12 8ビットパルス幅変調モードの動作例

17.3.7 プログラマブル出力モード (タイマA1、A2、A4)

任意の“H”幅、“L”幅のパルスを連続して出力するモードです。表 17.16 にプログラマブル出力モードの仕様を、表 17.17 にプログラマブル出力モード時の使用レジスタと設定値を、図 17.13 にプログラマブル出力モード時の動作例を示します。

表 17.16 プログラマブル出力モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • パルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
パルス幅	<ul style="list-style-type: none"> • “H”幅 $\frac{m}{f_j}$  <ul style="list-style-type: none"> • “L”幅 $\frac{n}{f_j}$ <p>m:TAi レジスタの設定値 n:TAi1 レジスタの設定値 fj: カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSR レジスタのTAiS ビットを“1” (カウント開始)にする • TAiS ビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiS ビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー (j=i-1)、 タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4 のときk=0)
カウント停止条件	TAiS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	パルスの立ち上がり時
TAiIN 端子機能	入出力ポートまたはトリガ入力
TAiOUT 端子機能	パルス出力
タイマの読み出し	TAi、TAi1 レジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAi、TAi1 レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAi、TAi1 レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT 端子の出力極性を反転(TAiS ビットが“0” (カウント停止)の期間は“H”を出力)

i=1, 2, 4

表 17.17 プログラマブル出力モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“1”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	出力波形の変更を禁止するとき“0”に、許可するとき“1”にしてください
TAi1	15~0	“L”幅を設定してください(注2)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

プログラマブル出力モード タイマAiモードレジスタ (i=1, 2, 4)																			
シンボル TA0MR~TA4MR		アドレス 0336h~033Ah番地	リセット後の値 00h																
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>b7</td><td>b6</td><td>b5</td><td>b4</td><td>b3</td><td>b2</td><td>b1</td><td>b0</td> </tr> <tr> <td></td><td></td><td>0</td><td></td><td></td><td></td><td>1</td><td>1</td> </tr> </table>				b7	b6	b5	b4	b3	b2	b1	b0			0				1	1
b7	b6	b5	b4	b3	b2	b1	b0												
		0				1	1												
ビット シンボル	ビット名	機 能	RW																
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW																
			RW																
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW																
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW																
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAiTGH~TAiTGLビットで選択	RW																
MR3	プログラマブル出力モードでは、“0”にしてください		RW																
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW																
TCK1																			

MR1 (外部トリガ選択ビット) (b3)

MR2 ビットが“1”、かつ ONSF レジスタまたは TRGSR レジスタの TAiTGH~TAiTGL ビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

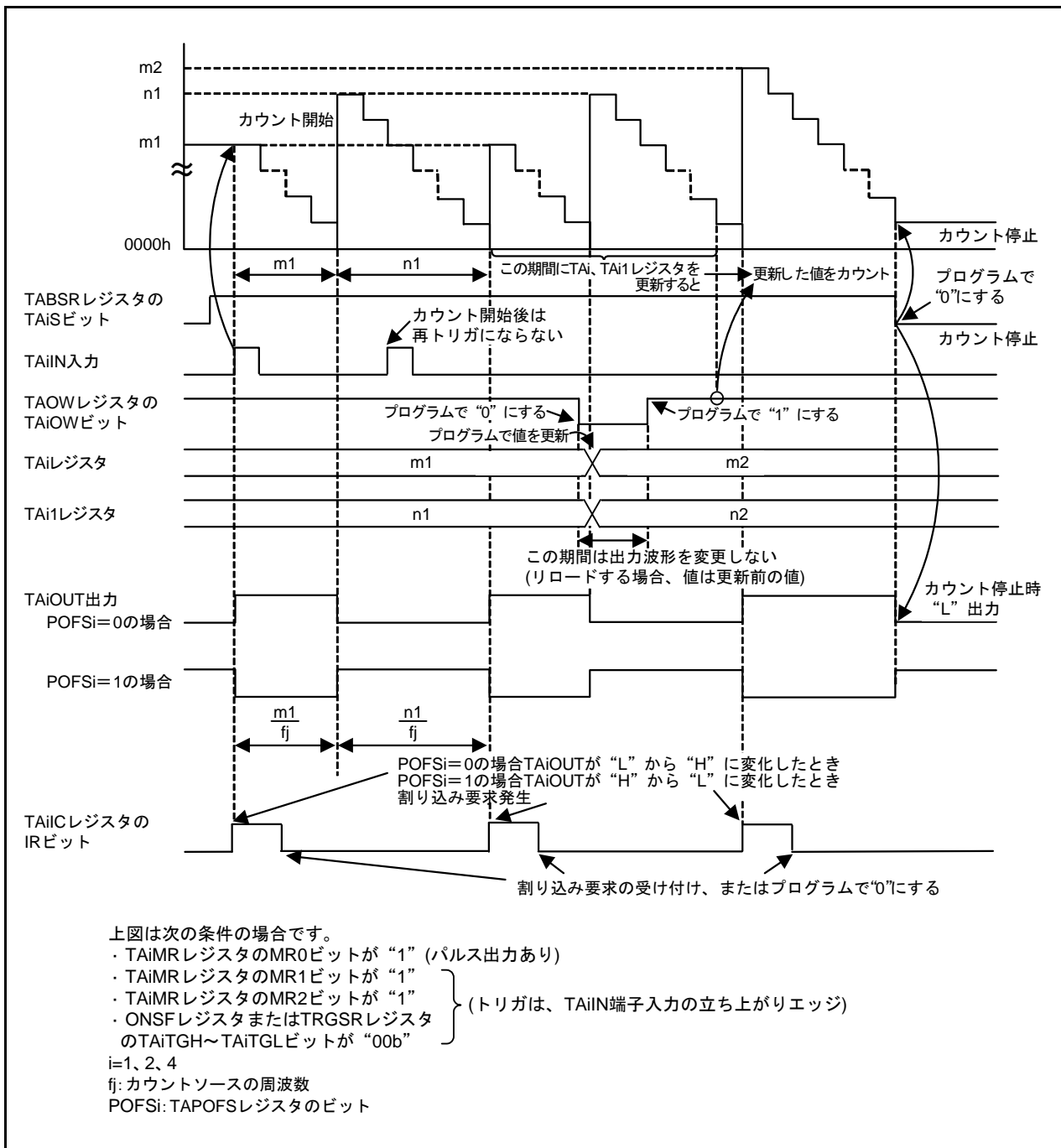


図 17.13 プログラマブル出力モード時の動作例

17.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 17.18にタイマAの割り込み関連レジスタを示します。

表 17.18 タイマAの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b

タイマAi割り込みでは、TAiMRレジスタのTMOD1ビットを“0”から“1”（タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWMモードまたはプログラマブル出力モード）に変更すると、TAiICレジスタのIRビットが“1”（割り込み要求あり）になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「14.13 割り込み使用上の注意事項」も参照してください。

- (1)TAiICレジスタのILVL2~ILVL0ビットを“000b”（割り込み禁止）にする。
- (2)TAiMRレジスタを設定する。
- (3)TAiICレジスタのIRビットを“0”（割り込み要求なし）にする。

17.5 タイマA使用上の注意事項

17.5.1 複数モードに関わる共通事項

17.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

17.5.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

17.5.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/CTS2/RTS2/TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/CTS5/RTS5/ \overline{U}

17.5.2 タイマA(タイマモード)

17.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

17.5.3 タイマA (イベントカウンタモード)

17.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TAi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

17.5.4 タイマA (ワンショットタイマモード)

17.5.4.1 カウントを中断した場合の状態

カウント中にTAiS ビットを“0” (カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの値をリロードします。
- TAiOUT 端子は、TAPOFS レジスタのPOFSi ビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiC レジスタのIR ビットが“1” (割り込み要求あり)になります。

17.5.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

17.5.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、IR ビットを“0”にしてください。

17.5.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

17.5.5 タイマA (パルス幅変調モード)

17.5.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、プログラムでIR ビットを“0”にしてください。

17.5.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

17.5.6 タイマA(プログラマブル出力モード)

17.5.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

17.5.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

18. タイマB

18.1 概要

タイマBにはタイマB0~B5があります。すべてのタイマは独立して動作します。表 18.1にタイマBの仕様、図 18.1にタイマA、Bカウントソース、図 18.2にタイマB構成、図 18.3にタイマBブロック図、表 18.2に入出力端子を示します。

表 18.1 タイマBの仕様

項目	内容
構成	16ビットタイマ×6
動作モード	<ul style="list-style-type: none"> タイマモード 内部カウントソースをカウントするモード イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード パルス周期測定モード、パルス幅測定モード 外部信号のパルス周期、またはパルス幅を測定するモード
割り込み要因	オーバフロー/アンダフロー/測定パルスの有効エッジ×6

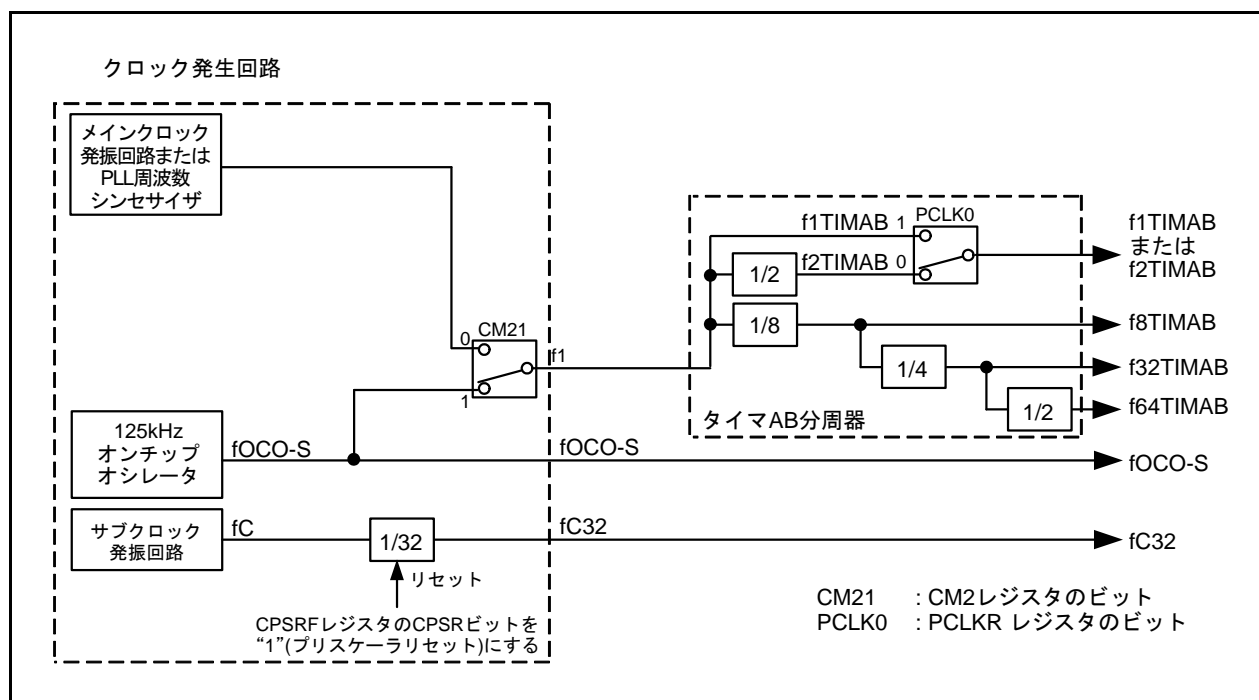


図 18.1 タイマA、Bカウントソース

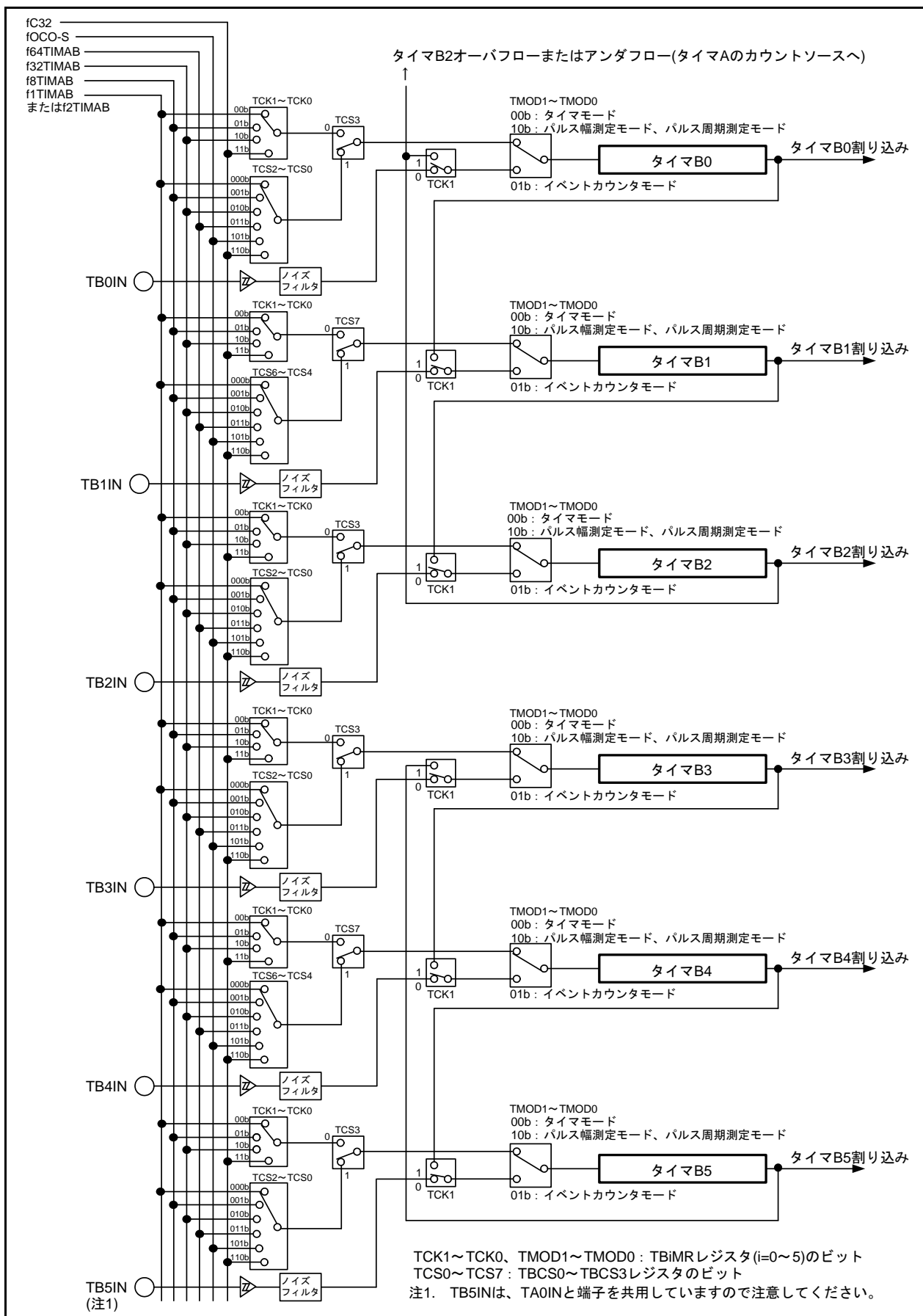


図 18.2 タイマB構成

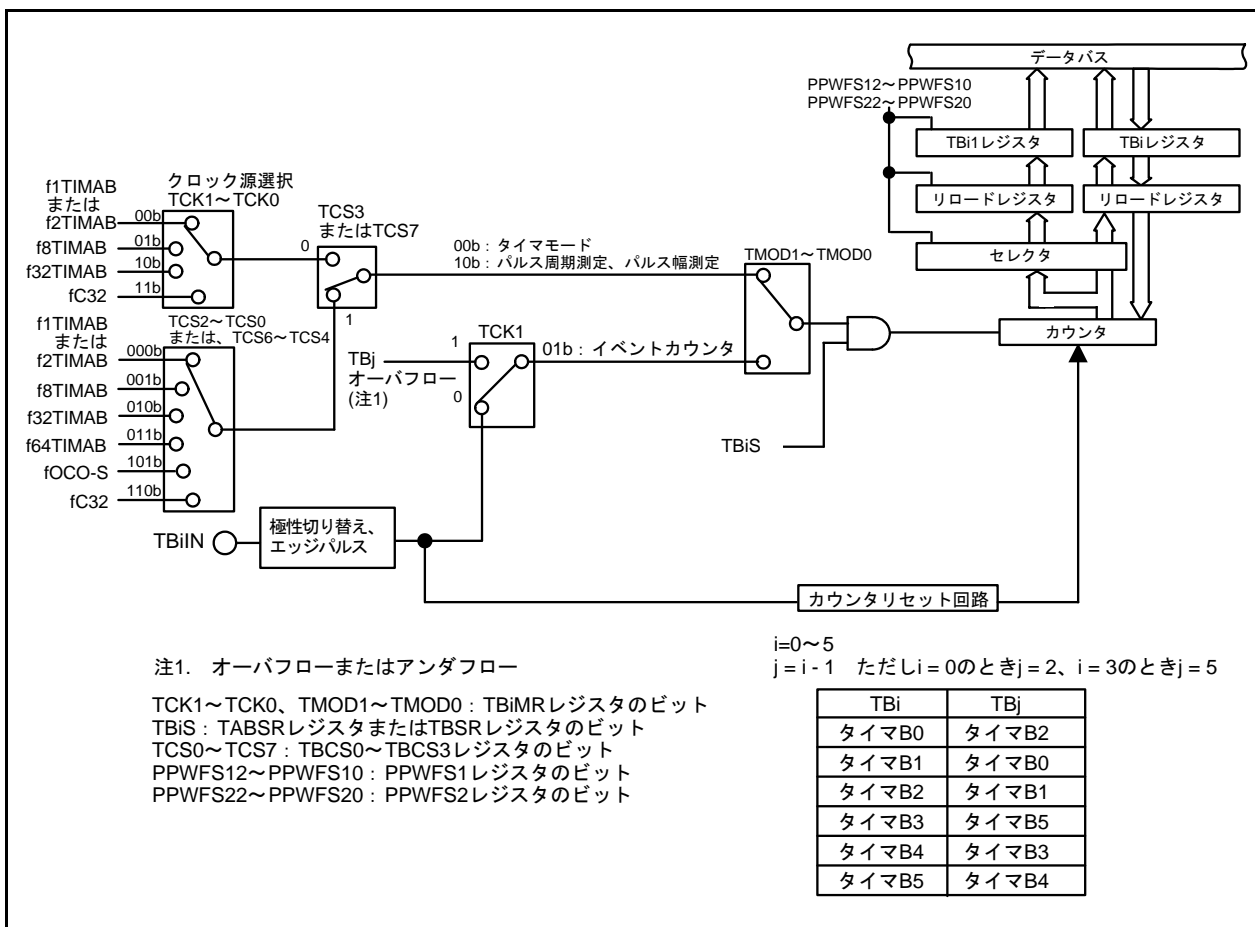


図 18.3 タイマBブロック図

表 18.2 入出力端子

端子名	入出力	機能
TBiIN	入力(注1)	カウントソース入力(イベントカウンタモード) 測定パルス入力(パルス周期測定モード、パルス幅測定モード)

$i=0\sim5$

注1. TBiIN端子を入力で使用する場合、端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

18.2 レジスタの説明

タイマB 関連レジスタを表 18.3~表 18.4 レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 18.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
01C0h	タイマB0-1レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	XXXX X000b
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	X0h
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	000X XXXXb
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
0320h	カウント開始フラグ	TABSR	00h
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh

表 18.4 レジスタ一覧 (2/2)

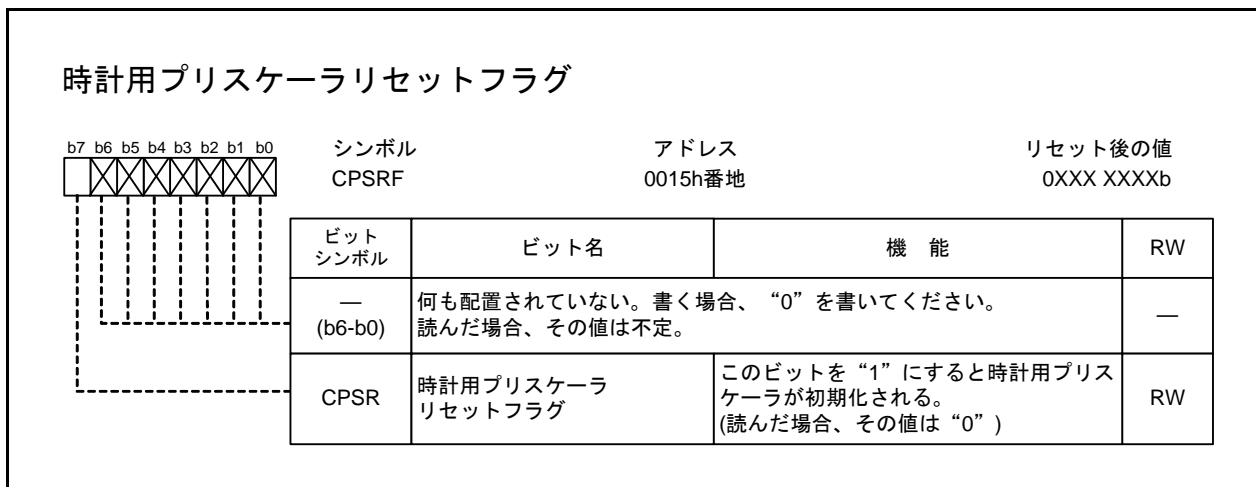
アドレス	レジスタ名	レジスタシンボル	リセット後の値
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b

18.2.1 周辺クロック選択レジスタ (PCLKR)

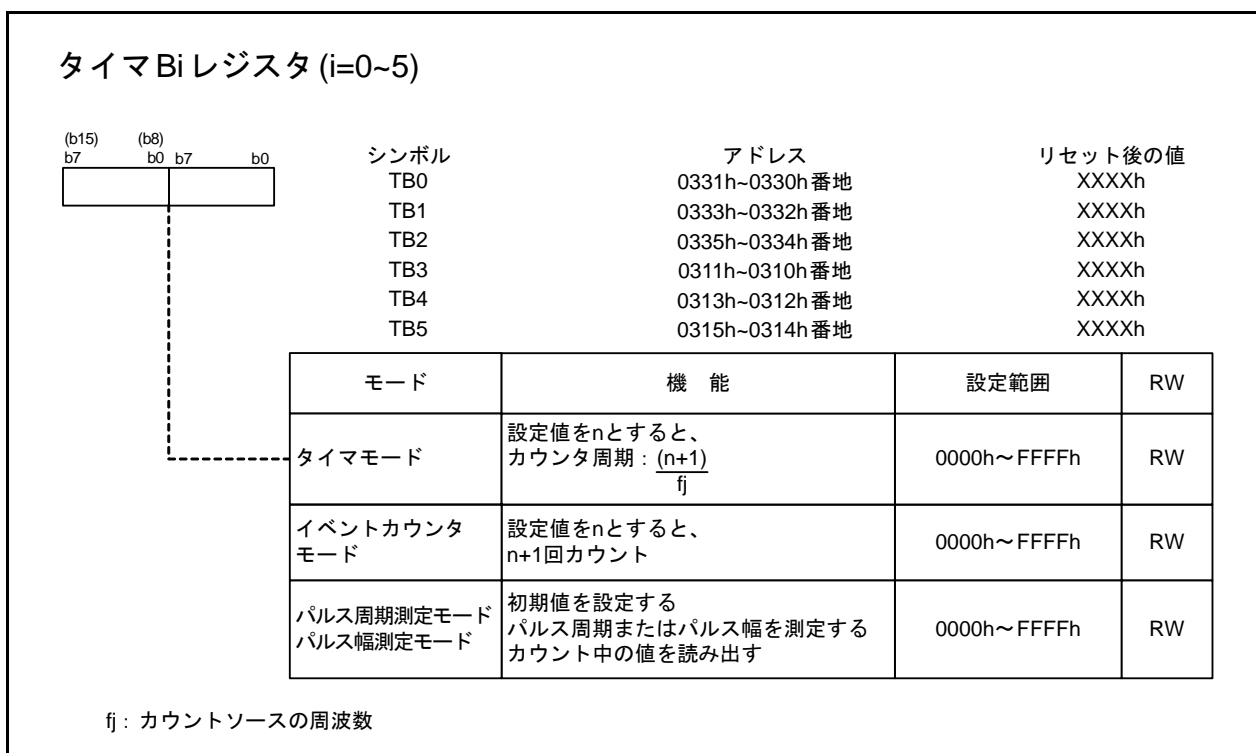
周辺クロック選択レジスタ		シンボル	アドレス	リセット後の値
		PCLKR	0012h番地	0000 0011b
ビットシンボル	ビット名	機能	RW	
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止 タイマ、マルチマスタI ² C-bus インタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW	
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~ UART7、SI/O3、SI/O4のクロッ ク源)	0 : f2SIO 1 : f1SIO	RW	
— (b4-b2)	予約ビット	“0”にしてください	RW	
PCLK5	クロック出力機能拡張ビット (シングルチップ時有効)	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW	
— (b7-b6)	予約ビット	“0”にしてください	RW	

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

18.2.2 時計用プリスケアラリセットフラグ(CPSRF)



18.2.3 タイマBiレジスタ (TBi) (i=0~5)



16ビット単位でアクセスしてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

パルス周期測定モード、パルス幅測定モード

TABSRまたはTBSRレジスタのTBiSビットが“0”(カウント停止)のときに設定してください。

TABSRまたはTBSRレジスタのTBiSビットが“1”(カウント開始)のときはROになります。

カウンタは測定パルスの有効エッジからカウントソースのカウントを開始し、次の有効エッジでカウント値をレジスタに転送し、カウントを続けます。

PPWFS1レジスタのPPWFS12~PPWFS10ビット、PPWFS2レジスタのPPWFS22~PPWFS20ビットが“0”のとき、TBiレジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“1”のとき、TBiレジスタを読むとカウント中のカウンタの値が読み出せます。

18.2.4 タイマBi-1レジスタ (TBi1) (i=0~5)

タイマBi-1レジスタ (i=0~5)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0	TB01	01C1h~01C0h番地	XXXXh
		TB11	01C3h~01C2h番地	XXXXh
		TB21	01C5h~01C4h番地	XXXXh
		TB31	01E1h~01E0h番地	XXXXh
		TB41	01E3h~01E2h番地	XXXXh
		TB51	01E5h~01E4h番地	XXXXh
		モード	機能	設定範囲
		パルス周期測定モード	パルス周期またはパルス幅を測定する	0000h~FFFFh
		パルス幅測定モード		
				RO

16ビット単位でアクセスしてください。

PPWFS1レジスタのPPWFS12~PPWFS10ビット、PPWFS2レジスタのPPWFS22~PPWFS20ビットが“1”のとき、TBi1レジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“0”のとき、TBi1レジスタの値は不定です。

18.2.5 パルス周期/幅測定モード機能選択レジスタ i (PPWFSi) (i=1, 2)

パルス周期/幅測定モード機能選択レジスタ 1				
		シンボル PPWFS1	アドレス 01C6h 番地	リセット後の値 XXXX X000b
ビット シンボル	ビット名	機 能	RW	
PPWFS10	タイマB0パルス周期/ 幅測定モード機能選択ビット	0: TB0レジスタに測定結果格納、 TB01レジスタを使わない 1: TB0レジスタでカウント値読み出し、 TB01レジスタに測定結果格納	RW	
PPWFS11	タイマB1パルス周期/ 幅測定モード機能選択ビット	0: TB1レジスタに測定結果格納、 TB11レジスタを使わない 1: TB1レジスタでカウント値読み出し、 TB11レジスタに測定結果格納	RW	
PPWFS12	タイマB2パルス周期/ 幅測定モード機能選択ビット	0: TB2レジスタに測定結果格納、 TB21レジスタを使わない 1: TB2レジスタでカウント値読み出し、 TB21レジスタに測定結果格納	RW	
— (b7-b3)	何も配置されていない。書く場合、0を書いてください。 読んだ場合、その値は不定。		—	

パルス周期/幅測定モード機能選択レジスタ 2				
		シンボル PPWFS2	アドレス 01E6h 番地	リセット後の値 XXXX X000b
ビット シンボル	ビット名	機 能	RW	
PPWFS20	タイマB3パルス周期/ 幅測定モード機能選択ビット	0: TB3レジスタに測定結果格納、 TB31レジスタを使わない 1: TB3レジスタでカウント値読み出し、 TB31レジスタに測定結果格納	RW	
PPWFS21	タイマB4パルス周期/ 幅測定モード機能選択ビット	0: TB4レジスタに測定結果格納、 TB41レジスタを使わない 1: TB4レジスタでカウント値読み出し、 TB41レジスタに測定結果格納	RW	
PPWFS22	タイマB5パルス周期/ 幅測定モード機能選択ビット	0: TB5レジスタに測定結果格納、 TB51レジスタを使わない 1: TB5レジスタでカウント値読み出し、 TB51レジスタに測定結果格納	RW	
— (b7-b3)	何も配置されていない。書く場合、0を書いてください。 読んだ場合、その値は不定。		—	

パルス周期測定モードまたはパルス幅測定モードのとき有効です。

18.2.6 タイマBカウントソース選択レジスタ*i* (TBCSi) (*i*=0~3)

タイマBカウントソース選択レジスタ0、タイマBカウントソース選択レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TBCS0
TBCS2

アドレス
01C8h番地
01E8h番地

リセット後の値
00h
00h

ビットシンボル	ビット名	機能	RW
TCS0	T <i>Bi</i> カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB	RW
		0 0 1: f8TIMAB	
		0 1 0: f32TIMAB	
		0 1 1: f64TIMAB	
TCS1		1 0 0: 設定しないでください	RW
		1 0 1: fOCO-S	
		1 1 0: fC32	
TCS2		1 1 1: 設定しないでください	RW
TCS3	T <i>Bi</i> カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS0~TCS2無効 1: TCK0~TCK1無効、TCS0~TCS2有効	RW
TCS4	T <i>Bj</i> カウントソース選択ビット	b6 b5 b4 0 0 0: f1TIMABまたはf2TIMAB	RW
		0 0 1: f8TIMAB	
		0 1 0: f32TIMAB	
		0 1 1: f64TIMAB	
TCS5		1 0 0: 設定しないでください	RW
		1 0 1: fOCO-S	
		1 1 0: fC32	
TCS6		1 1 1: 設定しないでください	RW
TCS7	T <i>Bj</i> カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS4~TCS6無効 1: TCK0~TCK1無効、TCS4~TCS6有効	RW

TBCS0レジスタ : *i*=0, *j*=1、TBCS2レジスタ : *i*=3, *j*=4

タイマBカウントソース選択レジスタ1、タイマBカウントソース選択レジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TBCS1
TBCS3

アドレス
01C9h番地
01E9h番地

リセット後の値
X0h
X0h

ビットシンボル	ビット名	機能	RW
TCS0	T <i>Bi</i> カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB	RW
		0 0 1: f8TIMAB	
		0 1 0: f32TIMAB	
		0 1 1: f64TIMAB	
TCS1		1 0 0: 設定しないでください	RW
		1 0 1: fOCO-S	
		1 1 0: fC32	
TCS2		1 1 1: 設定しないでください	RW
TCS3	T <i>Bi</i> カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS0~TCS2無効 1: TCK0~TCK1無効、TCS0~TCS2有効	RW
— (b7-b4)	何も配置されていない。 書く場合0を書いてください。読んだ場合、その値は不定。		—

TBCS1レジスタ : *i*=2、TBCS3レジスタ : *i*=5

TCS2~TCS0 (T*Bi*カウントソース選択ビット) (b2~b0)

TCS6~TCS4 (T*Bj*カウントソース選択ビット) (b6~b4)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

18.2.7 カウント開始フラグ (TABSR) タイマB3, 4, 5カウント開始フラグ (TBSR)

シンボル		アドレス	リセット後の値												
TABSR		0320h番地	00h												
b7	b6	b5	b4	b3	b2	b1	b0								
ビットシンボル	ビット名	機能	RW												
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW												
TA1S	タイマA1カウント開始フラグ		RW												
TA2S	タイマA2カウント開始フラグ		RW												
TA3S	タイマA3カウント開始フラグ		RW												
TA4S	タイマA4カウント開始フラグ		RW												
TB0S	タイマB0カウント開始フラグ		RW												
TB1S	タイマB1カウント開始フラグ		RW												
TB2S	タイマB2カウント開始フラグ		RW												

シンボル		アドレス	リセット後の値												
TBSR		0300h番地	000X XXXXb												
b7	b6	b5	b4	b3	b2	b1	b0								
				X	X	X	X								
ビットシンボル	ビット名	機能	RW												
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—												
TB3S	タイマB3カウント開始フラグ	0: カウント停止 1: カウント開始	RW												
TB4S	タイマB4カウント開始フラグ		RW												
TB5S	タイマB5カウント開始フラグ		RW												

18.2.8 タイマBiモードレジスタ (TBiMR) (i=0~5)

シンボル		アドレス	リセット後の値
TB0MR~TB2MR		033Bh~033Dh 番地	00XX 0000b
TB3MR~TB5MR		031Bh~031Dh 番地	00XX 0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0	RW
		0 0: タイマモード 0 1: イベントカウンタモード	
TMOD1		1 0: パルス周期測定モード、 パルス幅測定モード	RW
		1 1: 設定しないでください	
MR0	動作モードによって機能が異なる		RW
MR1		RW	
— (b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	動作モードによって機能が異なる。		RO
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1		RW	

18.3 動作説明

18.3.1 複数モードに関わる共通事項

18.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

18.3.1.2 カウンタリロードタイミング

タイマBiはTBiレジスタに設定された値(nとします)からカウントを開始します。TBiレジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタはnからカウントソースをダウンカウントします。そして、“0000h”になった次のカウントソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます。

TBiレジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウントソースが入力されるまで
TBiレジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウントソースが入力された後
TBiレジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
カウンタはカウント中の値を引き続きカウントし、“0000h”になった次のカウントソースでリロードレジスタの値をリロードする。

18.3.1.3 カウントソース

タイマモード、パルス周期測定モード、パルス幅測定モードでは、内部のクロックをカウントします(「図 18.1 タイマA、B カウントソース」参照)。表 18.5 にタイマB カウントソースを示します。

f1 は次のいずれかです。(「8. クロック発生回路」参照)

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

表 18.5 タイマB カウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS6~TCS4	TCK1~TCK0	
f1TIMAB	1	0 1	— 000b	00b —	f1
f2TIMAB	0	0 1	— 000b	00b —	f1の2分周
f8TIMAB	—	0 1	— 001b	01b —	f1の8分周
f32TIMAB	—	0 1	— 010b	10b —	f1の32分周
f64TIMAB	—	1	011b	—	f1の64分周
fOCO-S	—	1	101b	—	fOCO-S
fC32	—	0 1	— 110b	11b —	fC32

PCLK0: PCLKR レジスタのビット

TCS7~TCS0: TBCS0~TBCS3 レジスタのビット

TCK1~TCK0: TBIMR (i=0~5) レジスタのビット

18.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 18.6にタイマモードの仕様、表 18.7にタイマモード時の使用レジスタと設定値、図 18.4にタイマモード時の動作例を示します。

表 18.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5

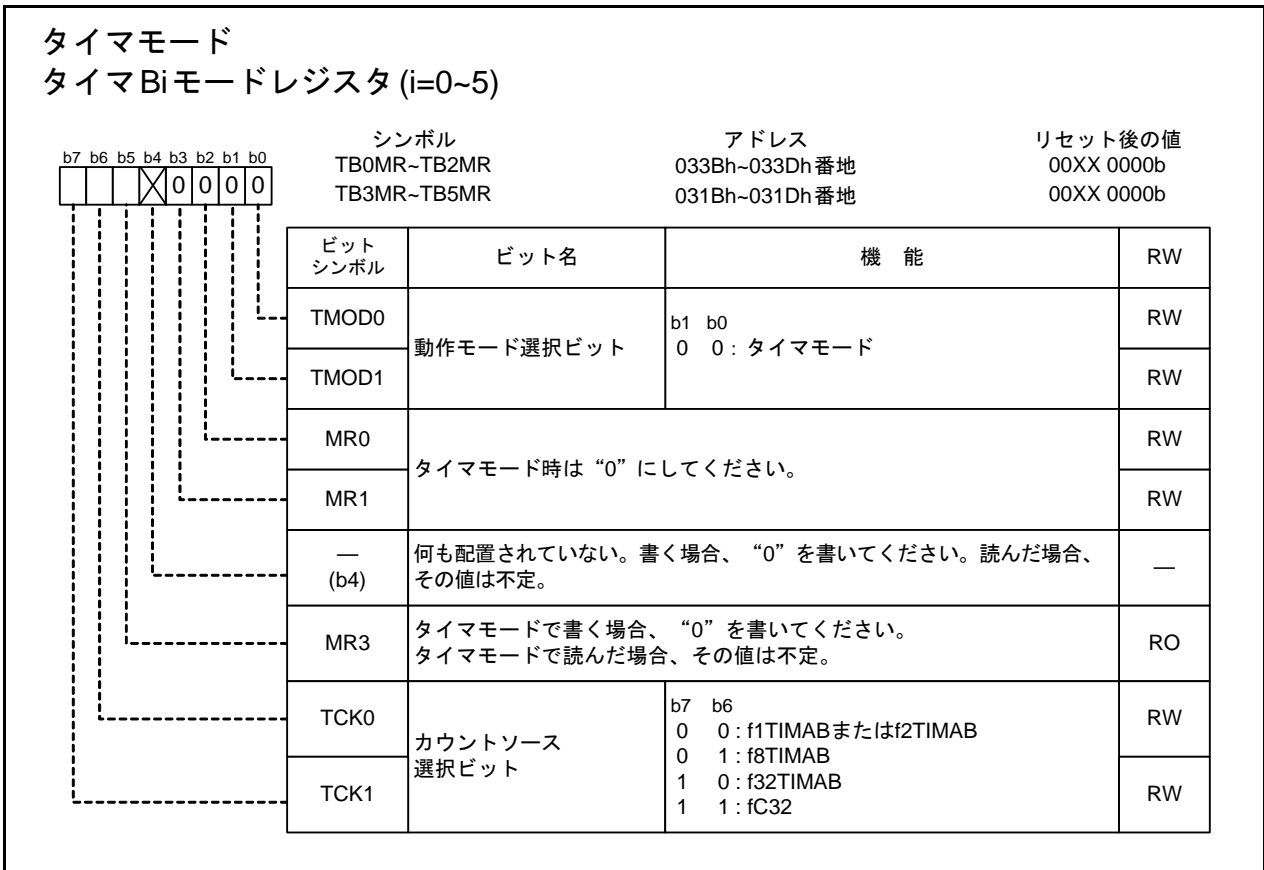
TBiS: TABSRまたはTBSRレジスタのビット

表 18.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	-(設定しないでよい)
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	“0”にしてください
TBCS0~TBCS3	7~0	カウントソースを選択してください
TABSR TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。



TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS3レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

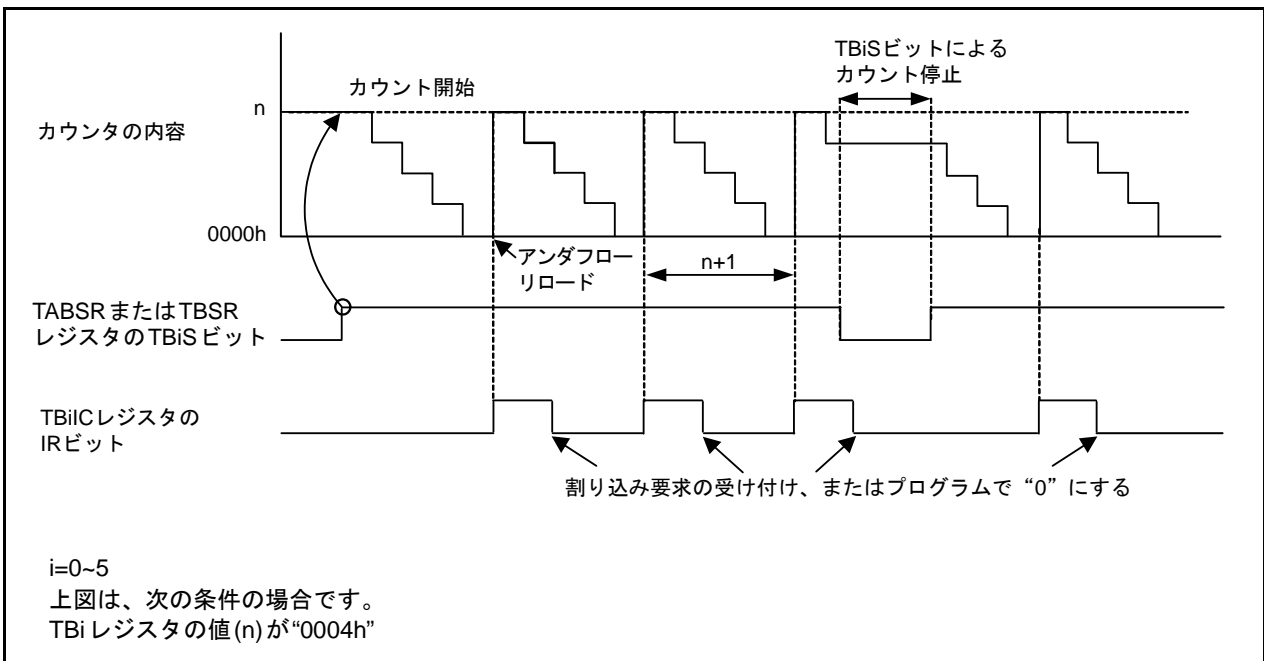


図 18.4 タイマモード時の動作例

18.3.3 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。表 18.8 にイベントカウンタモードの仕様、表 18.9 にイベントカウンタモード時の使用レジスタと設定値、図 18.5 にイベントカウンタモード時の動作例を示します。

表 18.8 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN端子に入力された外部信号(カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がり立ち上りをプログラムによって選択可) • タイマBjのオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時は、リロードレジスタの値をリロードしてカウントを継続
カウント回数	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5 j=i-1、ただしi=0のときj=2、i=3のときj=5

TBiS: TABSRまたはTBSRレジスタのビット

表 18.9 イベントカウンタモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	-(設定しないでよい)
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	“0”にしてください
TBCS0~TBCS3	7~0	-(設定しないでよい)
TABSR TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。

イベントカウンタモード タイマBiモードレジスタ (i=0~5)			
シンボル TB0MR~TB2MR TB3MR~TB5MR		アドレス 033Bh~033Dh 番地 031Bh~031Dh 番地	リセット後の値 00XX 0000b 00XX 0000b
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	カウント極性選択ビット	b3 b2 0 0: 外部信号の立ち下がりカウント 0 1: 外部信号の立ち上がりカウント 1 0: 外部信号の立ち上がり立ち下がり カウント 1 1: 設定しないでください	RW
MR1			RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。		RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		RW
TCK1	イベントクロック選択 ビット	0: TBiN端子からの入力 1: タイマBj (j=i-1 ただしi=0のときj=2、i=3のときj=5)	RW

MR1~MR0 (カウント極性選択ビット) (b3~b2)

TCK1 ビットが“0” (TBiN 端子からの入力) の場合に有効です。TCK1 ビットが“1” (タイマBj) の場合は、“0”でも“1”でも可。

TCK1 (イベントクロック選択ビット) (b7)

TCK1 ビットが“1”の場合、タイマBj (j=i-1 ただしi=0のときj=2、i=3のときj=5) の割り込み要求発生タイミングで、イベントが発生します (I フラグや IPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントは発生します)。

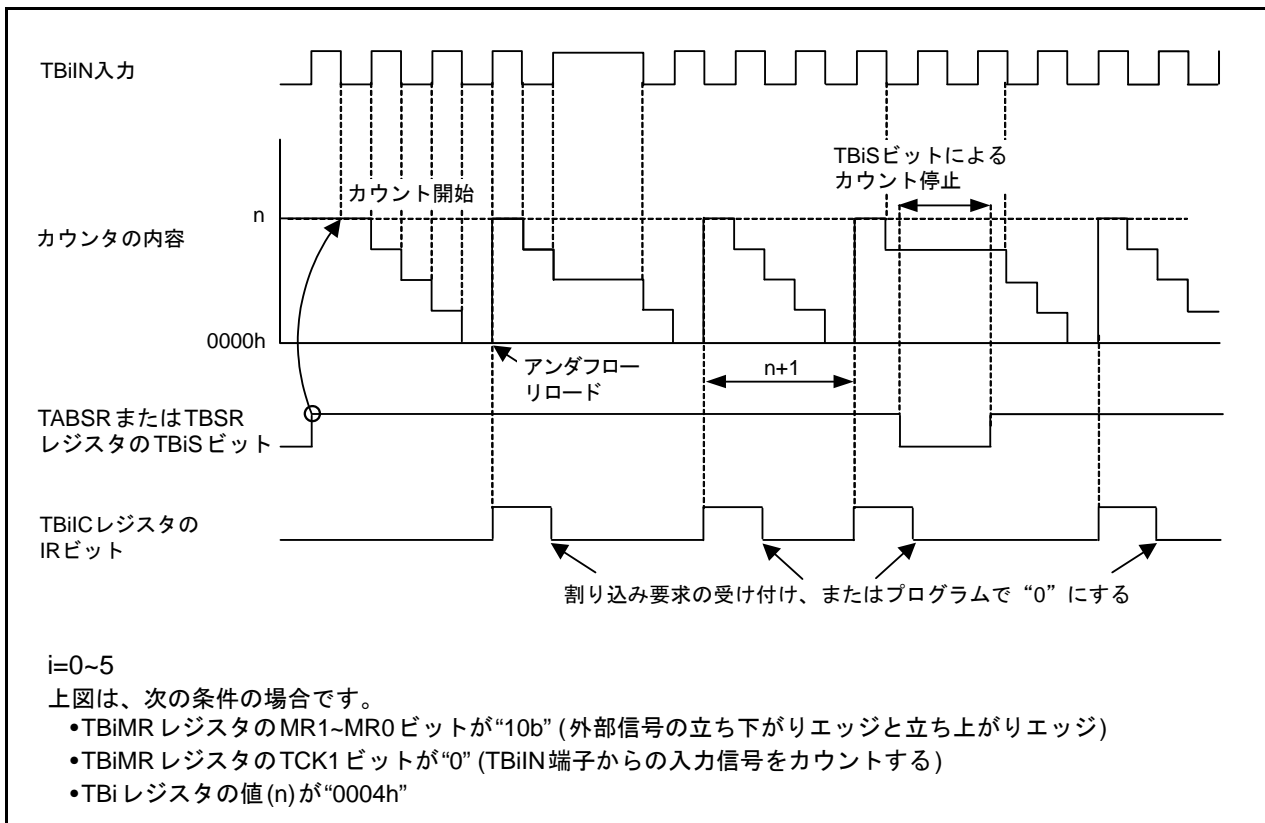


図 18.5 イベントカウンタモード時の動作例

18.3.4 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 18.10 にパルス周期測定モード、パルス幅測定モードの仕様、表 18.11 にパルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値、図 18.6 にパルス周期測定モード時の動作図、図 18.7 にパルス幅測定モード時の動作図を示します。

表 18.10 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TBiS ビットを “1” (カウント開始)にする
カウント停止条件	TBiS ビットを “0” (カウント停止)にする
割り込み要求発生タイミング (注3)	<ul style="list-style-type: none"> • 測定パルスの有効エッジ入力時(注1) • オーバフロー時。オーバフローと同時にTBiMR レジスタのMR3ビットが “1” (オーバフローあり)になる。
TBiIN端子機能	測定パルス入力
タイマの読み出し	PPWFS1、PPWFS2 レジスタのPPWFS12~PPWFS10、PPWFS22~PPWFS20 ビットが“0”の場合 TBi レジスタを読むと、リロードレジスタの値(測定結果)が読める(注2) PPWFS1、PPWFS2 レジスタのPPWFS12~PPWFS10、PPWFS22~PPWFS20 ビットが“1”の場合 TBi レジスタを読むとカウンタの値 (カウント中の値)が読める。 TBi1 レジスタを読むと、リロードレジスタの値(測定結果)が読める
タイマの書き込み	カウント停止中にTBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる

i=0~5

TBiS: TABSR または TBSR レジスタのビット

- 注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
- 注2. カウント開始後2回目の有効エッジ入力までは、TBi レジスタを読んでも値は不定です。
- 注3. タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

表 18.11 パルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“1”のとき、測定結果が読み出せます
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	カウント中のカウンタ値を読む場合、“1”にしてください
TBCS0~TBCS3	7~0	カウントソースを選択してください
TABSR、TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	初期値を設定してください。 タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“0”の場合、測定結果が読み出せません。 タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“1”の場合、カウント中のカウンタ値が読み出せます
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。

パルス周期測定モード、パルス幅測定モード
タイマBiモードレジスタ (i=0~5)

ビット シンボル	シンボル TB0MR~TB2MR TB3MR~TB5MR	アドレス 033Bh~033Dh 番地 031Bh~031Dh 番地	リセット後の値 00XX 0000b 00XX 0000b
	ビット名	機能	RW
	TMOD0	動作モード選択ビット b1 b0 1 0: パルス周期測定モード、パルス幅測定モード	RW
	TMOD1		RW
	MR0	測定モード選択ビット b3 b2 0 0: パルス周期測定 (測定/パルスの立ち下がりから次の立ち上がり間の測定) 0 1: パルス周期測定 (測定/パルスの立ち上がりから次の立ち上がり間の測定) 1 0: パルス幅測定 (測定/パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定) 1 1: 設定しないでください	RW
	MR1		RW
(b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。	—	—
	MR3	タイマBiオーバフローフラグ 0: オーバフローなし 1: オーバフローあり	RO
	TCK0	カウントソース選択ビット b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
	TCK1		RW

MR3 (タイマBiオーバフローフラグ) (b5)

リセット後は不定です。TBiMR レジスタに書くと、MR3 ビットは“0” (オーバフローなし) になります。MR3 ビットをプログラムで“1”にできません。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS3 レジスタのTCS3 ビット、またはTCS7 ビットが“0” (TCK0~TCK1 有効) の場合に有効。f1TIMAB または f2TIMAB は、PCLKR レジスタのPCLK0 ビットで選択してください。

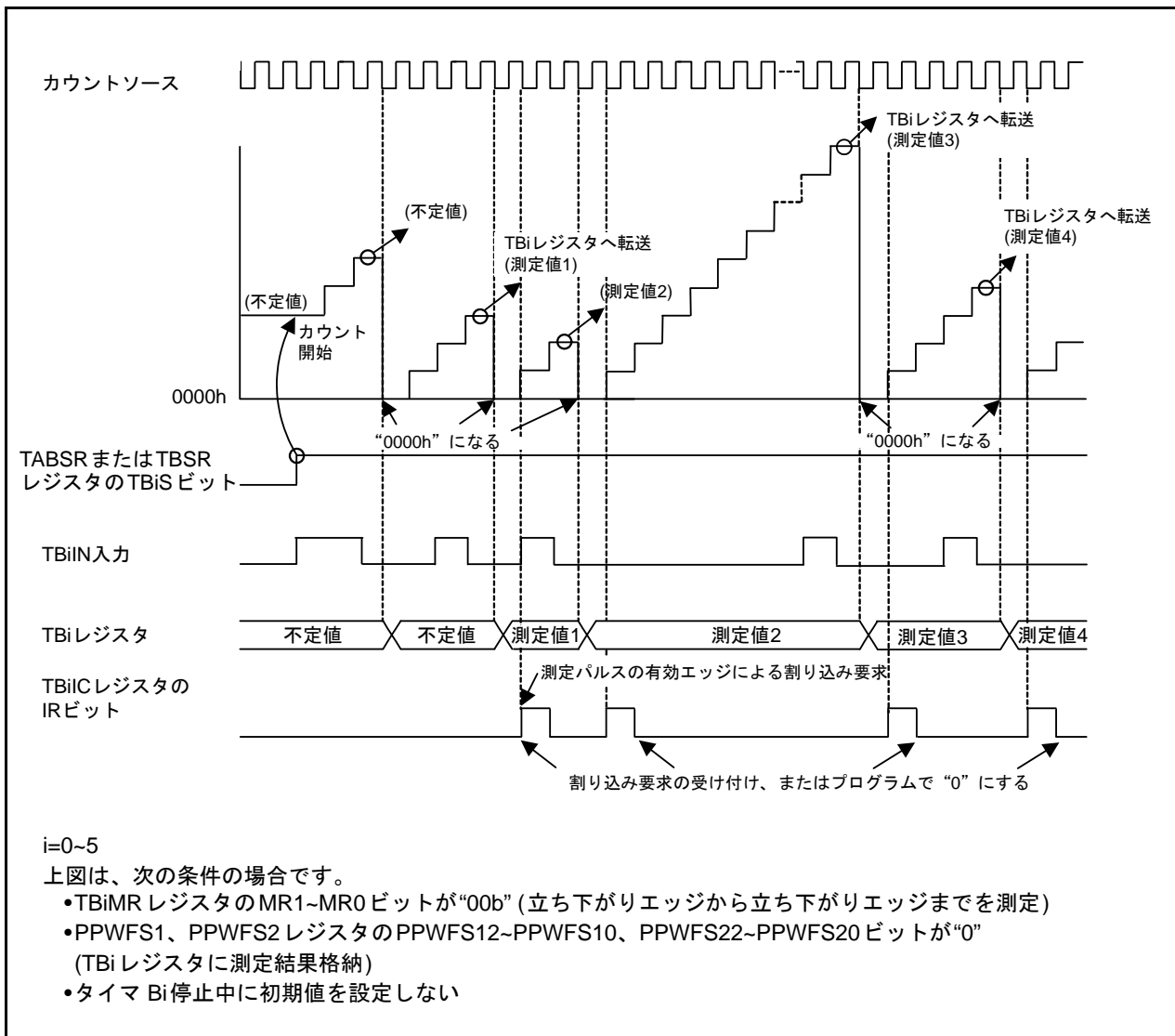


図 18.6 パルス周期測定モード時の動作図

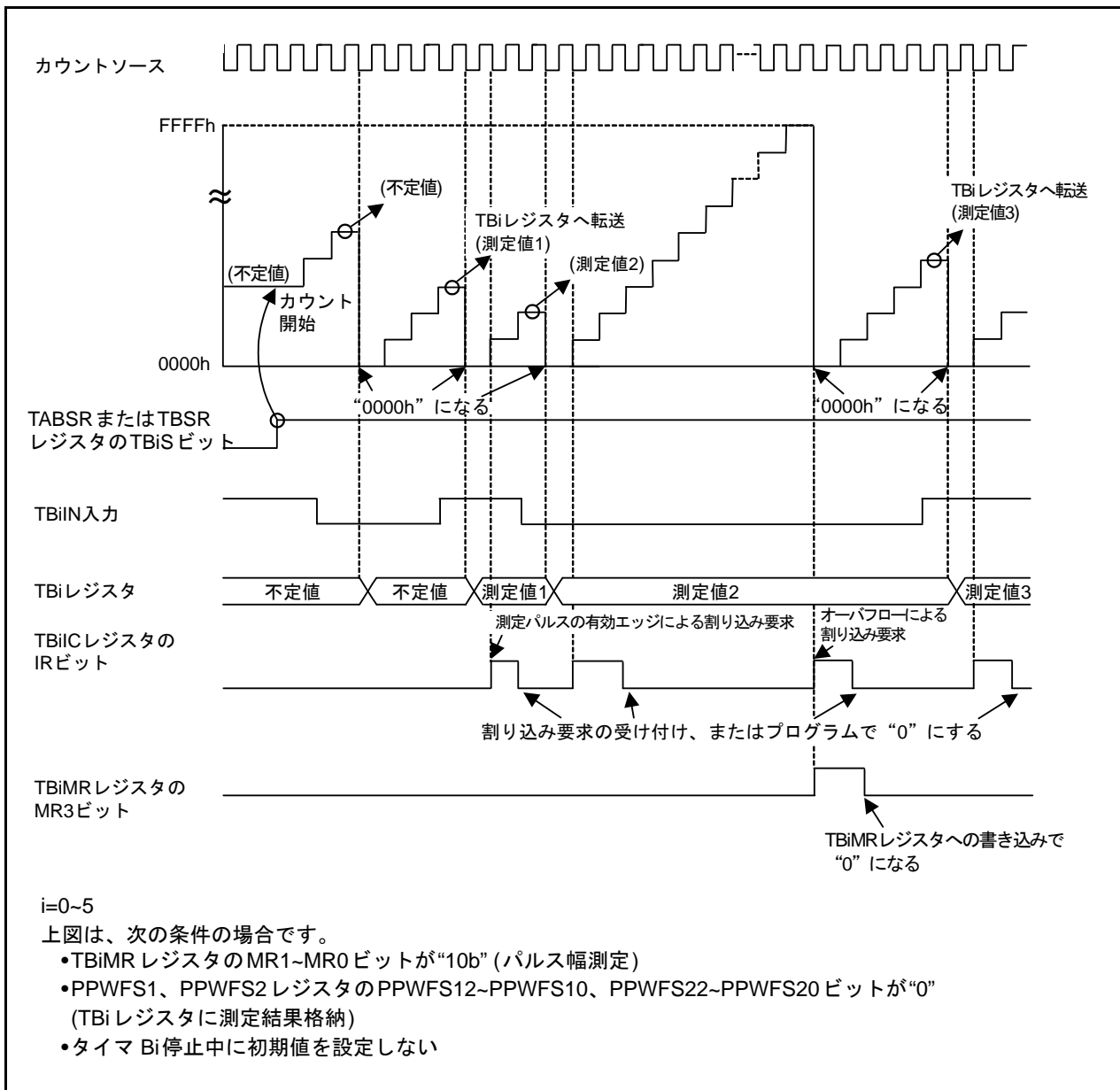


図 18.7 パルス幅測定モード時の動作図

18.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 18.12にタイマBの割り込み関連レジスタを示します。

表 18.12 タイマBの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

タイマB3、タイマB4は他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。タイマB3割り込みを使用する場合は、IFSR2AレジスタのIFSR26ビットを“0”(タイマB3)にしてください。タイマB4割り込みを使用する場合は、IFSR2AレジスタのIFSR27ビットを“0”(タイマB4)にしてください。

18.5 タイマB使用上の注意事項

18.5.1 複数モードに関わる共通事項

18.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR (i=0~5) レジスタ、TBCS0~TBCS3 レジスタ、TBi レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタによって、モードやカウントソース、カウンタ値等を設定した後、TABSР レジスタまたはTBSR レジスタのTBiS ビットを“1” (カウント開始) にしてください。

なお、TBiMR レジスタ、TBCS0~TBCS3 レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタは、リセット後に限らずTBiS ビットが“0” (カウント停止) の状態で、変更してください。

18.5.2 タイマB (タイマモード)

18.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

18.5.3 タイマB (イベントカウンタモード)

18.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

18.5.3.2 イベント

TBiMR レジスタのTCK1 ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します (I フラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1 ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

18.5.4 タイマB (パルス周期測定/パルス幅測定モード)

18.5.4.1 TBiMR レジスタのMR3 ビット

MR3 ビットを“0”にするために、TBiS ビットが“1” (カウント開始) の状態で、TBiMR レジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1 ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

18.5.4.2 割り込み

TBiIC レジスタ (i=0~5) のIR ビットは、測定パルスの有効エッジが入力されたときとタイマBi がオーバフローしたとき“1” (割り込み要求あり) になります。割り込み要求要因は、割り込みルーチン内でTBiMR レジスタのMR3 ビットで判断できます。

オーバフローだけの検出にはTBiIC レジスタのIR ビットを使用してください。MR3 ビットは、割り込み要因を判断するときだけ使用してください。

18.5.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

18.5.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

18.5.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

18.5.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

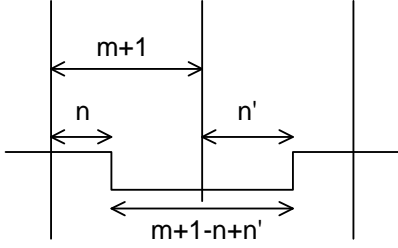
19. 三相モータ制御用タイマ機能

19.1 概要

タイマ A1、A2、A4、B2 を使用して三相モータ駆動波形を出力できます。

表 19.1 に三相モータ制御用タイマ機能の仕様を、図 19.1~図 19.2 に三相モータ制御用タイマ機能のブロック図を、表 19.2 に入出力端子を示します。

表 19.1 三相モータ制御用タイマ機能の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> •三角波変調 三相モード0 三角波変調の三相PWM波形を出力する。搬送波の1/2周期ごとに出力データを書き換えて出力波形を生成。 •三角波変調 三相モード1 三角波変調の三相PWM波形を出力する。搬送波の1周期ごとに出力データを書き換えて出力波形を生成。 •鋸波変調モード 鋸波変調の三相PWM波形を出力する。
三相PWM波形出力端子	6本 (U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力	SD端子に“L”を入力
使用タイマ	タイマA4、A1、A2 (ワンショットタイマモードで使用) タイマA4: U、 \bar{U} 相波形制御 タイマA1: V、 \bar{V} 相波形制御 タイマA2: W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ (8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 <ul style="list-style-type: none"> •1周期すべて“H”または“L”出力可能 •上側通電信号と下側通電信号の出力論理を独立設定可能
搬送波周期	三角波変調: $\frac{(m+1) \times 2}{f_i}$ 鋸波変調: $\frac{m+1}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh f_i : カウントソース (f_{1TIMAB} 、 f_{2TIMAB} 、 f_{8TIMAB} 、 $f_{32TIMAB}$ 、 $f_{64TIMAB}$ 、fOCO-S、 f_{C32})の周波数
三相PWM出力幅	三角波変調: $\frac{m+1-n+n'}{f_i}$  鋸波変調: $\frac{n}{f_i}$ n、n': TA4、TA1、TA2、(三相モード1のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。0001h~FFFFh f_i : カウントソース (f_{1TIMAB} 、 f_{2TIMAB} 、 f_{8TIMAB} 、 $f_{32TIMAB}$ 、 $f_{64TIMAB}$ 、fOCO-S、 f_{C32})の周波数
短絡防止時間(幅)	$\frac{p}{f_i}$ または短絡防止時間なし p: DTTレジスタ設定値。01h~FFh f_i : カウントソース (f_{1TIMAB} 、 f_{2TIMAB} 、 f_{1TIMAB} の2分周、 f_{2TIMAB} の2分周)の周波数
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
上下同時通電出力禁止機能	上下同時通電出力禁止機能あり。上下同時通電出力検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと~搬送波周期15回ごと選択

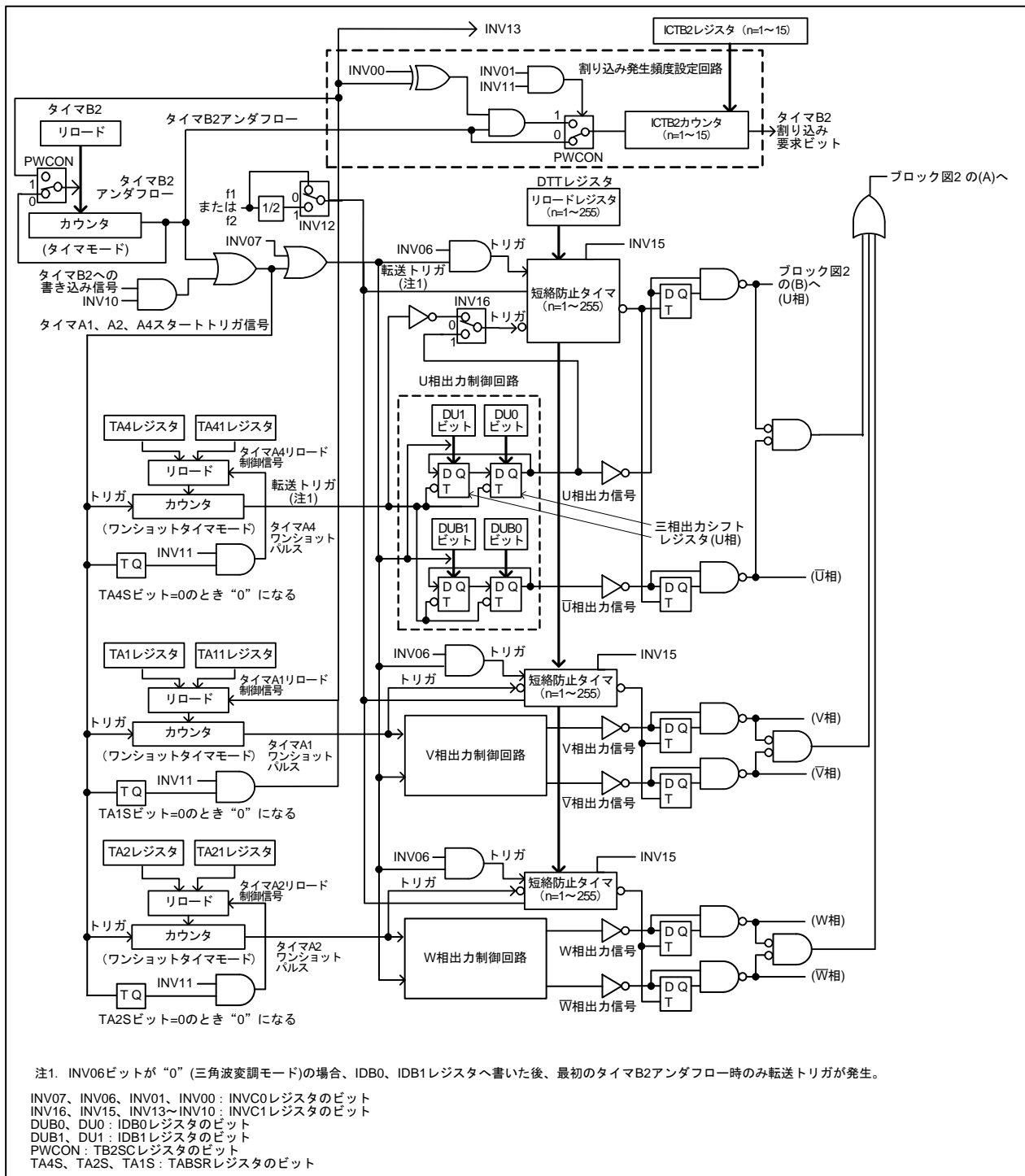


図 19.1 三相モータ制御用タイマ機能のブロック図1

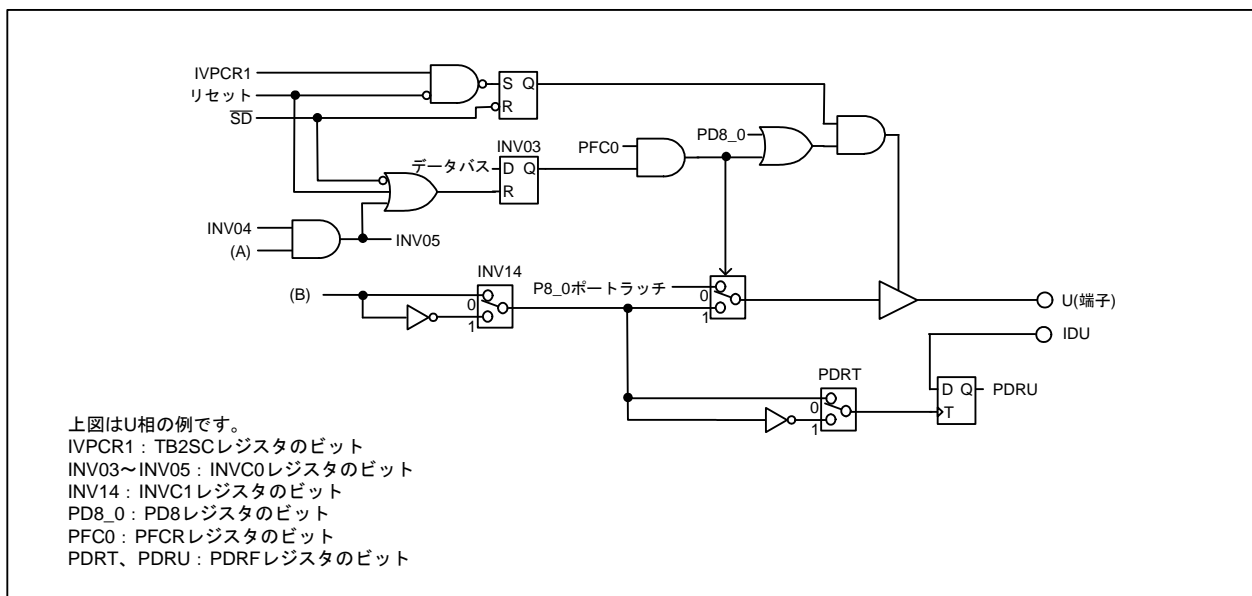


図 19.2 三相モータ制御用タイマ機能のブロック図2

表 19.2 入出力端子

端子名	入出力	機能
U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W}	出力	三相PWM波形出力
\bar{SD}	入力(注1)	強制遮断入力
IDU、IDV、IDW	入力(注2)	位置データ保持機能入力

注1. 端子を共用するポートの方向ビットを“0”(入力モード)にしてください。三相出力強制遮断機能を使用しない場合は、 \bar{SD} 端子に“H”を入力してください。

注2. 端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

19.2 レジスタの説明

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

三相モータ制御用タイマ機能ではタイマ A1、A2、A4、B2 を使用します。タイマ A1、A2、A4、B2 関連レジスタは「17. タイマA」、「18. タイマB」を参照してください。

表 19.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
01DAh	三相プロテクト制御レジスタ	TPRC	00h
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b

19.2.1 タイマB2レジスタ (TB2)

タイマB2レジスタ		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7	TB2	0335h-0334h番地	不定
		機能	設定範囲	RW
		設定値をnとすると、 カウンタ周期 $\frac{n+1}{fj}$ アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000h~FFFFh	RW
fj: カウントソースの周波数				

読み出し、書き込みは16ビット単位で実行してください。

搬送波の周期を決めるカウンタです。タイマB2のアンダフローがタイマA1、A2、A4のワンショットトリガになります。

三相モード1では、TB2SCレジスタのPWCONビットでTB2レジスタのリロードタイミングを選択できます。

19.2.2 タイマAi、Ai-1レジスタ (TAi、TAi1) (i=1, 2, 4)

タイマAi、Ai-1レジスタ (i=1, 2, 4)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7	TA1、TA2、TA4	0329h-0328h、032Bh-032Ah、032Fh-032Eh番地	不定
		TA11、TA21、TA41	0303h-0302h、0305h-0304h、0307h-0306h番地	不定
		機能	設定範囲	RW
		設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する。	0000h~FFFFh	WO

書き込みは16ビット単位で行ってください。これらのレジスタへの書き込みにはMOV命令を使用してください。

これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。

U、V、W相の波形を決めるカウンタです。タイマB2のアンダフローをトリガにして、ワンショットタイマモードで動作します。

鋸波変調モードと、三角波変調モードの三相モード0では、TA1、TA2、TA4レジスタを使用します。

三角波変調モードの三相モード1では、TA1、TA2、TA4、TA11、TA21、TA41レジスタを使用します。

INVC1レジスタのINV15ビットが“0”（短絡防止時間有効）の場合、上側通電信号と下側通電信号のうち、出力レベルが非アクティブからアクティブに変化する信号は、短絡防止タイマが停止するタイミングで変化します。

三相モード1の場合、最初にTAi1レジスタの値をカウントします。以降、TAiレジスタの値とTAi1レジスタの値を交互にカウントします。

19.2.3 三相PWM制御レジスタ0 (INVC0)

三相PWM制御レジスタ0		アドレス	リセット後の値
ビットシンボル	ビット名	0308h番地	00h
b7 b6 b5 b4 b3 b2 b1 b0	シンボル INVC0		
INVC0	ICTB2カウント条件選択ビット	b1 b0 0 0 } : タイマB2アンダフロー 0 1 } 1 0 : タイマA1リロード制御信号が "0" のときのタイマB2アンダフロー 1 1 : タイマA1リロード制御信号が "1" のときのタイマB2アンダフロー	RW RW
INVC2	三相モータ機能選択ビット	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する	RW
INVC3	三相モータ出力制御ビット	0: 三相モータ制御用タイマ出力禁止 1: 三相モータ制御用タイマ出力許可	RW
INVC4	上下同時通電出力禁止ビット	0: 上下同時通電出力許可 1: 上下同時通電出力禁止	RW
INVC5	上下同時通電出力検出フラグ	0: 未検出 1: 検出	RW
INVC6	変調モード選択ビット	0: 三角波変調モード 1: 鋸波変調モード	RW
INVC7	ソフトウェアトリガビット	このビットに“1”を書くと転送トリガが発生する。INVC6ビットが“1”の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は“0”。	RW

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、INVC0~INVC2、INVC4、INVC6ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

INVC7~INVC0 (ICTB2カウント条件選択ビット) (b7~b0)

INVC7レジスタのINVC7ビットが“1”（三相モード1）のとき有効。

INVC7ビットを“1”にする場合、ICTB2レジスタに値を設定した後、INVC7ビットを“1”にしてください。また、TABSレジスタのTA1Sビット（タイマA1カウント開始フラグ）を最初のタイマB2アンダフローまでに“1”にしてください。

INVC7ビットが“0”（三相モード0）の場合は、INVC7、INVC0ビットに関係なくタイマB2アンダフローをカウントします。

INVC2 (三相モータ機能選択ビット) (b2)

INVC2ビットを“1”にすると、短絡防止タイマやU,V,W相出力制御回路、ICTB2カウンタが動作します。

INV03 (三相モータ出力制御ビット) (b3)

["0" になる条件]

- INV04 ビットが "1" (上下同時通電出力禁止)かつ INV05 ビットが "1" (上下同時通電出力検出)
- INV03 ビットにプログラムで "0" を書く
- \overline{SD} 端子入力が "L"

INV05 (上下同時通電出力検出フラグ) (b5)

プログラムで "1" は書けません。INV05 ビットを "0" にする場合は、INV04 ビットに "0" を書いてください。

INV06 (変調モード選択ビット) (b6)

INV06 ビットの影響は下表のとおりです。

表 19.4 INV06 ビットの影響

項目	INV06 ビット=0 の場合	INV06 ビット=1 の場合
モード	三角波変調モード	鋸波変調モード
IDB0 レジスタ、IDB1 レジスタから三相出力シフトレジスタへの転送タイミング	IDB0 レジスタ、IDB1 レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0 の場合の短絡防止タイマトリガタイミング	タイマ A1、A2、A4 のワンショットパルスの立ち下がりに同期	タイマ A1、A2、A4 のワンショットパルスの立ち下がりと、転送トリガに同期
INV13 ビット	INV11=1 かつ INV06=0 のとき有効	無効

転送トリガ: タイマ B2 アンダフローと INV07 ビットへの書き込み、または INV10=1 のときのタイマ B2 停止中の TB2 レジスタへの書き込み

INV16、INV13、INV11: INVC1 レジスタのビット

19.2.4 三相PWM制御レジスタ1 (INVC1)

三相PWM制御レジスタ1		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	0	INVC1	0309h番地	00h
ビットシンボル	ビット名	機能		RW
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、タイマB2停止中のTB2レジスタへ書き込み		RW
INV11	タイマA1-1、A2-1、A4-1 制御ビット	0: 三相モード0 1: 三相モード1		RW
INV12	短絡防止タイマ カウントソース選択ビット	0: f1TIMABまたはf2TIMAB 1: f1TIMABの2分周またはf2TIMABの2分周		RW
INV13	搬送波状態検出フラグ	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”		RO
INV14	通電出力論理制御ビット	0: アクティブ“L” 1: アクティブ“H”		RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効		RW
INV16	短絡防止時間タイマ トリガ選択ビット	0: タイマ(A4、A1、A2)のワンショット パルスの立ち下がり 1: 三相出力シフトレジスタ(U、V、W相) 出力の立ち上がり		RW
— (b7)	予約ビット	“0” にしてください		RW

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

INV11 (タイマA1-1、A2-1、A4-1制御ビット) (b1)

INV11ビットの影響は下表のとおりです。

表 19.5 INV11ビットの影響

項目	INV11ビット=0の場合	INV11ビット=1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41 レジスタ	使用しない	使用する
INVC0レジスタの INV00ビット、 INV01ビット	無効。 INV00、INV01ビットの値に関係なく タイマB2アンダフローごとに ICTB2カウント	有効
INV13ビット	無効	INV11=1かつINV06=0のとき有効

INVC0レジスタのINV06ビットが“1”（鋸波変調モード）の場合は、INV11ビットを“0”（三相モード0）にしてください。また、INV11ビットが“0”の場合、TB2SCレジスタのPWCONビットを“0”（タイマB2のアンダフローでタイマB2リロード）にしてください。

INV13 (搬送波状態検出フラグ) (b3)

INV13ビットはINV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”(三相モード1)のときのみ有効です。

INV16 (短絡防止時間タイマトリガ選択ビット) (b6)

次の条件がすべて該当する場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にDij (i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記の条件のいずれかがあてはまらない場合はINV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

19.2.5 三相出力バッファレジスタ*i* (IDBi) (*i*=0, 1)

三相出力バッファレジスタ <i>i</i> (<i>i</i> =0, 1)		シンボル	アドレス	リセット後の値
		IDB0 IDB1	030Ah番地 030Bh番地	XX11 1111b XX11 1111b
ビットシンボル	ビット名	機能		RW
DUi	U相出力バッファ <i>i</i>	三相出力シフトレジスタの出力論理を書いてください。ここで書いた値は、各通電信号に以下のとおり反映されます。 0: アクティブ (ON) 1: 非アクティブ (OFF) 読んだ場合は三相出力シフトレジスタの値が読めます。		RW
DUBi	\bar{U} 相出力バッファ <i>i</i>			RW
DVi	V相出力バッファ <i>i</i>			RW
DVBi	\bar{V} 相出力バッファ <i>i</i>			RW
DWi	W相出力バッファ <i>i</i>			RW
DWBi	\bar{W} 相出力バッファ <i>i</i>			RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—

IDB0、IDB1 レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0 レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4 ワンショットパルスの立ち下がりIDB1 レジスタに書いた値が各相出力信号(内部信号)となります。

19.2.6 短絡防止タイマ (DTT)

短絡防止タイマ		シンボル	アドレス	リセット後の値
		DTT	030Ch番地	不定
機能		設定範囲	RW	
設定値を <i>n</i> とすると、トリガが入った後カウントソースを <i>n</i> 回カウントして停止する。		1~255	WO	

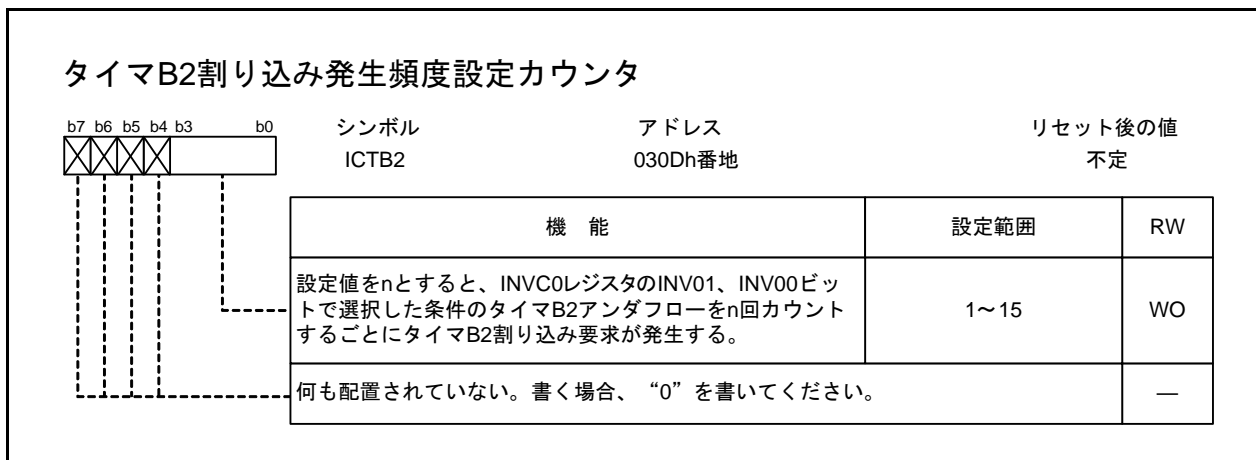
DTT レジスタへの書き込みはMOV 命令を使用してください。

上側トランジスタと下側トランジスタが同時に通電しないように、通電信号がアクティブになるタイミングを遅らせるためのワンショットタイマです。

INVC1 レジスタのINV15ビットが“0”(短絡防止時間有効)のとき有効です。INV15ビットが“1”(短絡防止時間無効)のとき短絡防止時間はありません。

トリガはINVC1 レジスタのINV16ビットで、カウントソースはINVC1 レジスタのINV12ビットで選択してください。

19.2.7 タイマB2割り込み発生頻度設定カウンタ (ICTB2)



ICTB2レジスタは、MOV命令を使用して書いてください。

INVC0レジスタのINV01ビットが“1”の場合は、TABSRレジスタのTB2Sビットが“0” (タイマB2カウント停止)のときに書いてください。INV01ビットが“0”の場合は、TB2Sビットが“1” (タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

INV01~INV00ビットが“11b”の場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

19.2.8 タイマB2特殊モードレジスタ (TB2SC)

タイマB2特殊モードレジスタ										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	TB2SC	033Eh番地	X000 0000b
ビットシンボル	ビット名	機能	RW							
PWCON	タイマB2リロード タイミング切り替えビット	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW							
IVPCR1	三相出力ポート \overline{SD} 制御 ビット1	0: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)禁止 1: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)許可	RW							
— (b6-b2)	予約ビット	“0” にしてください。	RW							
— (b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—							

このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PWCON (タイマB2リロードタイミング切り替えビット) (b0)

INVC1レジスタのINV11ビットが“0”(三相モード0)、またはINVC0レジスタのINV06ビットが“1”(鋸波変調モード)の場合は、PWCONビットを“0”(タイマB2アンダフロー)にしてください。

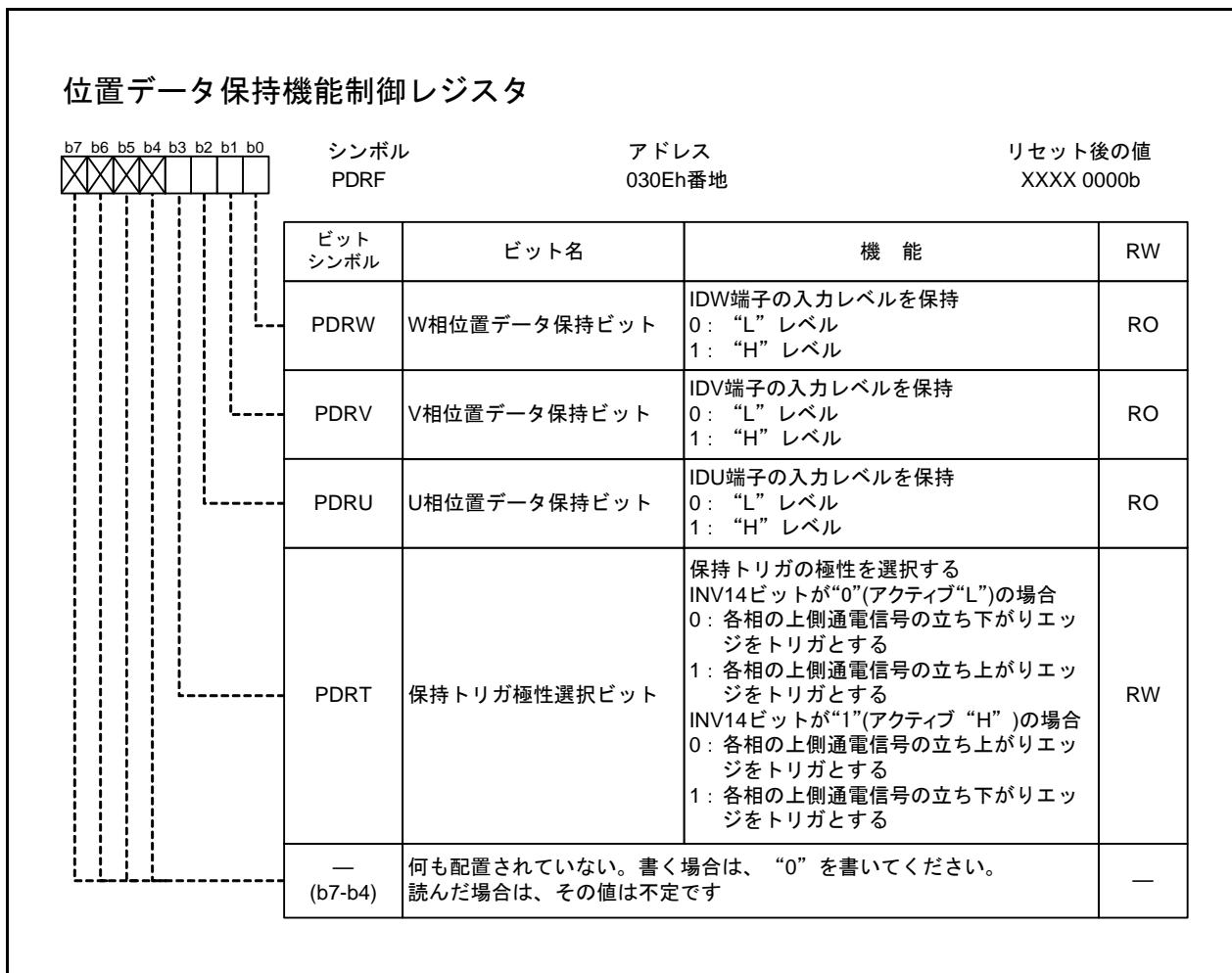
IVPCR1 (三相出力ポート \overline{SD} 制御ビット1) (b1)

対象端子は、U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} です。

IVPCR1ビットが“1”の場合、 \overline{SD} 端子に“L”が入力されると、対象端子の三相モータ制御用タイマ出力は禁止 (INVC0レジスタのINV03ビットが“0”)になります。このとき、対象端子は使用している機能に関係なくハイインピーダンスになります。

強制遮断後は、 \overline{SD} 端子に“H”を入力し、IVPCR1ビットを“0”にすると強制遮断が解除されます。

19.2.9 位置データ保持機能制御レジスタ (PDRF)



このレジスタは、三相モード時のみ有効です。

19.2.10 ポート機能制御レジスタ (PFCR)

ポート機能制御レジスタ			
ビットシンボル	ビット名	機能	RW
PFC0	ポートP8_0出力機能選択ビット	0: 入出力ポートP8_0 1: 三相PWM出力 (U相出力)	RW
PFC1	ポートP8_1出力機能選択ビット	0: 入出力ポートP8_1 1: 三相PWM出力 (\bar{U} 相出力)	RW
PFC2	ポートP7_2出力機能選択ビット	0: 入出力ポートP7_2 1: 三相PWM出力 (V相出力)	RW
PFC3	ポートP7_3出力機能選択ビット	0: 入出力ポートP7_3 1: 三相PWM出力 (\bar{V} 相出力)	RW
PFC4	ポートP7_4出力機能選択ビット	0: 入出力ポートP7_4 1: 三相PWM出力 (W相出力)	RW
PFC5	ポートP7_5出力機能選択ビット	0: 入出力ポートP7_5 1: 三相PWM出力 (\bar{W} 相出力)	RW
— (b7-b6)	何も配置されていない。書く場合は、“0”を書いてください。読んだ場合は、その値は“0”		—

このレジスタは、INVC0レジスタのINVC03ビットが“1” (三相モータ制御用タイマ出力許可) のときのみ有効です。このレジスタは、TPRCレジスタのTPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。

19.2.11 三相プロテクト制御レジスタ (TPRC)

三相プロテクト制御レジスタ			
ビットシンボル	ビット名	機能	RW
TPRC0	三相プロテクト制御ビット	PFCRレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—

TPRC0ビットはプログラムで“1” (書き込み許可) を書くと、その後“1” (書き込み許可) の状態が続きます。このビットで保護されるレジスタは次の手順で変更してください。

- (1) TPRC0ビットに“1”を書く
- (2) PFCRレジスタに値を書く
- (3) TPRC0ビットに“0” (書き込み禁止) を書く

19.3 動作説明

19.3.1 複数モードに関わる共通事項

19.3.1.1 搬送波周期制御

タイマB2で搬送波周期を制御します。三角波変調モードではタイマB2アンダフロー周期の2倍が、搬送波の周期になります。鋸波変調モードではタイマB2アンダフロー周期が、搬送波の周期になります。図19.3に搬送波周期とタイマB2の関係を示します。

タイマB2のアンダフローが三相PWM波形を制御するタイマA1、A2、A4のスタートトリガになります。ただし、INVC1レジスタのINV10ビットが“1”の場合は、タイマB2停止中にTB2レジスタに書き込んだときにもタイマA1、A2、A4のトリガが発生します。

三相モータ制御用タイマ機能では、タイマB2割り込み要求の発生頻度を選択できます。

三角波変調の三相モード0、鋸波変調モードでは、ICTB2レジスタ設定値を n とすると、タイマB2のアンダフローの n 回目ごとにタイマB2割り込み要求が発生します。

三角波変調の三相モード1では、ICTB2レジスタ設定値を n とすると、INVC0レジスタのINV01、INV00ビットで選択したタイミングの n 回目ごとにタイマB2割り込み要求が発生します。ただし、INV01、INV00ビットが“11b”の場合、最初の割り込みはタイマB2アンダフローの $n-1$ 回目で発生します。

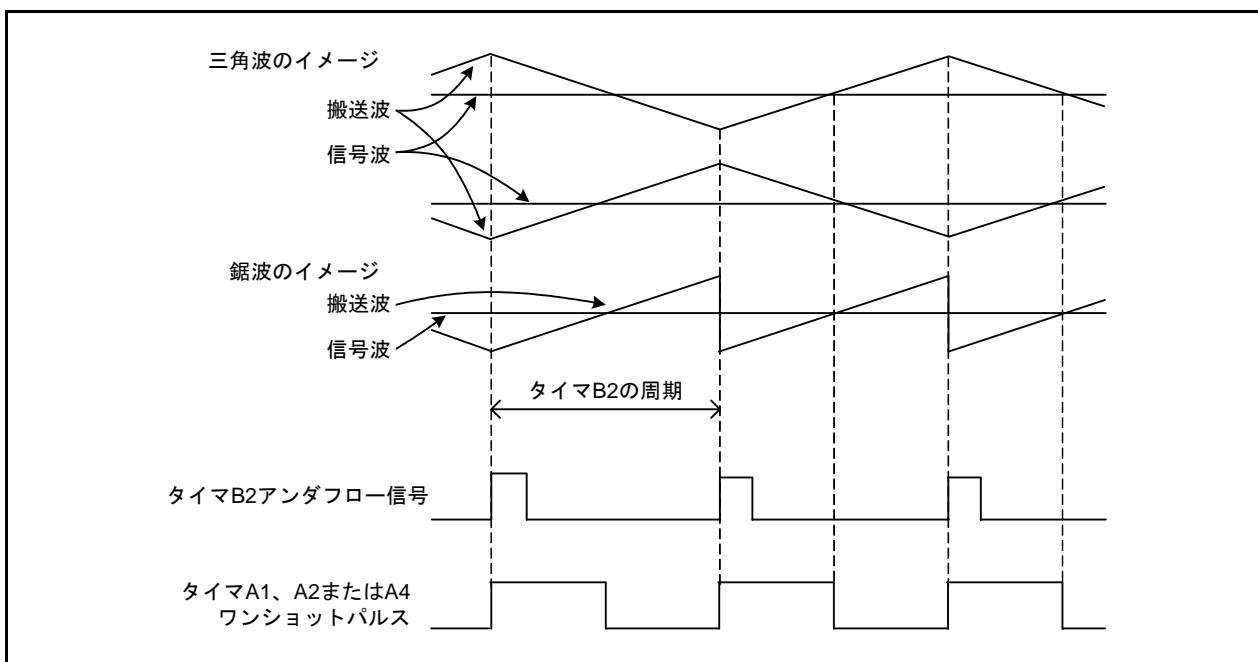


図 19.3 搬送波周期とタイマB2の関係

19.3.1.2 三相PWM波形制御

タイマA4でU相、 \bar{U} 相、タイマA1でV相、 \bar{V} 相、タイマA2でW相、 \bar{W} 相波形を制御します。タイマAi (i=1, 2, 4)は、INVC1レジスタのINV10ビットで選択したトリガでカウントを開始し、ワンショットパルス(内部信号)を発生します。ワンショットパルスの立ち下がリエッジで、各相出力信号が変化します。

三角波変調の三相モード1では、TAi1レジスタの値と、TAiレジスタの値を交互にカウントしワンショットパルスを発生します。

19.3.1.3 短絡防止時間制御

トランジスタのターンオフ遅れによって上下トランジスタが同時にONになるのを防ぐ、8ビットの短絡防止タイマが各相1本、合計3本あります。リロードレジスタは共用です。INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のとき、DTTレジスタで設定した短絡防止時間が有効です。INV15ビットが“1”(短絡防止時間無効)のとき、短絡防止時間はありません。

短絡防止タイマのカウントソースはINVC1レジスタのINV12ビットで選択してください。

短絡防止タイマのトリガはINVC1レジスタのINV16ビットで選択できます。

次の条件が両方該当する場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にIDBjレジスタのDij (i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記条件のいずれかが当てはまらない場合は、INV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち上がり)にしてください。

なお、鋸波変調モードでは転送トリガ発生時にも、短絡防止タイマのトリガが発生します。

19.3.1.4 三相PWM出力端子の出力レベル

各通電信号のアクティブ(ON)、非アクティブ(OFF)をIDB0、IDB1レジスタに設定してください。IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち上がり(内部信号)でIDB1レジスタに書いた値が各相出力信号となります。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー(三角波変調モードの場合)
- タイマB2アンダフロー(毎回)(鋸波変調モードの場合)
- タイマB2停止中のTB2レジスタへの書き込み(INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

INVC1レジスタのINV14ビットで、通電出力論理(アクティブレベル)を選択できます。

表 19.6 三相PWM出力端子の出力レベル

IDB0、IDB1レジスタの値	各相出力信号(内部信号)	INVC1レジスタのINV14ビットの設定	
		“0”(アクティブ“L”)	“1”(アクティブ“H”)
“0”(アクティブ(ON))	0	L	H
“1”(非アクティブ(OFF))	1	H	L

19.3.1.5 上下同時通電出力禁止機能

プログラムの間違いや暴走等によって上下通電出力が同時にアクティブにならないようにする機能です。INVC0レジスタのINV04ビットで上下同時通電出力を禁止しているときに、上下通電出力が同時にアクティブレベルになると、次のようになります。

- INVC0レジスタのINV03ビット: “0” (三相モータ制御用タイマ出力禁止)
- INVC0レジスタのINV05ビット: “1” (上下同時通電出力検出)
- U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子: ハイインピーダンス

19.3.1.6 三相PWM波形出力端子

U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子は、次の条件のとき、三相PWM波形を出力します。

- INVC0レジスタのINVC02ビットが“1” (三相モータ制御用タイマ機能)
- INVC03ビットが“1” (三相モータ制御用タイマ出力許可)
- PFCRレジスタのPFC5~PFC0ビットが“1” (三相PWM出力 (端子1本ごとの選択))

また、 \bar{SD} 端子による三相出力強制遮断機能があります。

19.3.1.7 三相PWM出力端子選択

U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子は、PFCR レジスタの PFCi (i=0~5) ビットが“1” (三相 PWM 出力) の場合、三相 PWM 波形を出力します。PFCi ビットが“0” (入出力ポート) の場合は、入出力ポート (または他の周辺機能の入出力) になります。したがって、6本のうちの一部の端子から三相 PWM 波形を出力し、残りの端子を入出力ポート (または他の周辺機能の入出力) として制御できます。

なお、PFCR レジスタは、TPRC レジスタの TPRC0 ビットが“1” (PFCR レジスタ書き込み許可) のとき変更できます。TPRC0 ビットを“1”にする、PFCR レジスタを書き換える、TPRC0 ビットを“0” (PFCR レジスタ書き込み禁止) にする、という手順で三相 PWM 波形出力端子の機能を変更すれば、暴走などで三相 PWM 波形出力端子の機能が書き換わることを防げます。

図 19.4 に三相出力/入出力ポート切り替え機能の動作例を示します。

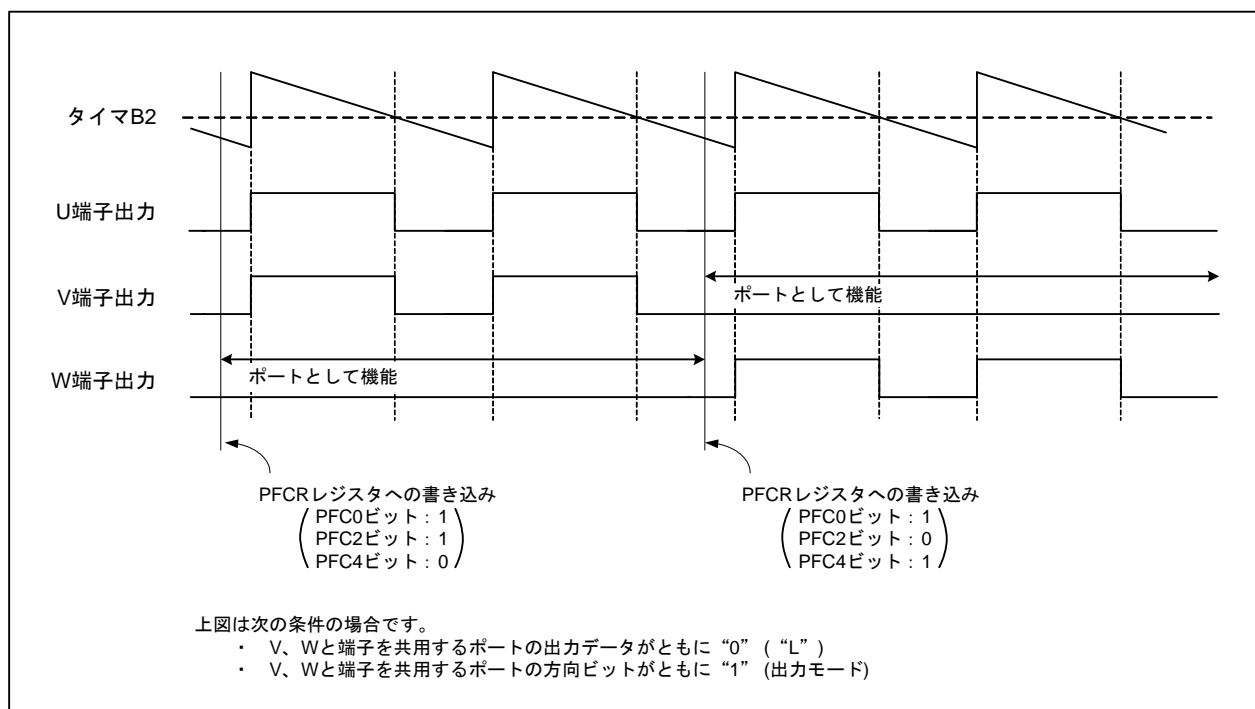


図 19.4 三相出力/入出力ポート切り替え機能の動作例

19.3.1.8 三相出力強制遮断機能

INVC0レジスタのINV02ビットが“1”（三相モータ制御用タイマ機能）、かつINV03ビットが“1”（三相モータ制御用タイマ出力許可）のとき、 \overline{SD} 端子に“L”を入力するとINVC0レジスタのINV03ビットが“0”（三相モータ制御用タイマ出力禁止）になり、U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 出力に当たる端子が一斉に次のように変化します。

- TB2SCレジスタのIVPCR1ビットが“1”（三相出力強制遮断許可）のとき
ハイインピーダンス状態
- TB2SCレジスタのIVPCR1ビットが“0”（三相出力強制遮断禁止）のとき
入出力ポートまたは他の周辺機能の入出力

なお、IVPCR1ビットが“1”のとき \overline{SD} 端子に“L”を入力すると、端子をU、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 出力以外の機能に使用している場合にもハイインピーダンス状態になります。

表 19.7にU、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の状態を示します。

表 19.7 U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の状態(注1)

ビット、端子の状態		U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の機能または状態
TB2SCレジスタのIVPCR1ビット	\overline{SD} 端子入力	
1	H	三相PWM出力
	L	ハイインピーダンス
0	H	三相PWM出力
	L	入出力ポートまたは他の周辺機能

注1. INVC02ビット、INVC03ビット、PFCiビットがすべて“1”の場合です。

\overline{SD} 端子にはデジタルフィルタがあります。NMIDFレジスタのNMIDF2~NMIDF0ビットが“000b”以外（デジタルフィルタ有効）の場合、サンプリングクロックごとに \overline{SD} 端子の入力をサンプリングし、レベルが3度続けて一致した時点で、内部に伝えます。「13.4.3 $\overline{NMI}/\overline{SD}$ デジタルフィルタ」を参照してください。

強制遮断後、端子の機能を三相PWM出力に戻す場合は、次のようにしてください。

- (1) \overline{SD} 端子に“H”を入力
- (2)デジタルフィルタサンプリングクロックの3サイクル以上待つ（デジタルフィルタ有効時）
- (3)INVC0レジスタのINV03ビットを“1”（三相モータ制御用タイマ出力許可）にする
- (4)INV03ビットが“1”になっていることを確認する（“0”なら(3)へ戻る）
- (5)IVPCR1ビットを“0”（三相出力強制遮断禁止）にする
- (6)IVPCR1ビットを“1”にする（再度、三相出力強制遮断を許可する場合）

三相出力強制遮断の機能を使用しない場合、 \overline{SD} 入力と端子を共用しているポートの方向ビットを“0”（入力ポート）にし、かつ \overline{SD} 端子に“H”を入力してください。

\overline{SD} 入力は \overline{NMI} 入力と端子を共用しています。 \overline{NMI} 割り込みを禁止する場合はPM2レジスタのPM24ビットを“0”（ \overline{NMI} 割り込み禁止）にしてください。

19.3.1.9 位置データ保持機能

位置データ保持機能は、U相、V相、W相用に3本あります。IDU、IDV、IDW入力レベルを保持する機能です。位置データを保持するためのトリガは、PDRFレジスタのPDRTビットで、各相の上側通電信号の立ち下がりエッジ又は立ち上がりエッジを選択できます。

たとえばU相の場合、U相波形出力のトリガで、IDU端子の状態をPDRFレジスタのPDRUビットに転送します。次のU相波形出力のトリガまでPDRUビットの値は保持されます。

図 19.5に位置データ保持機能の動作例 (U相)を示します。

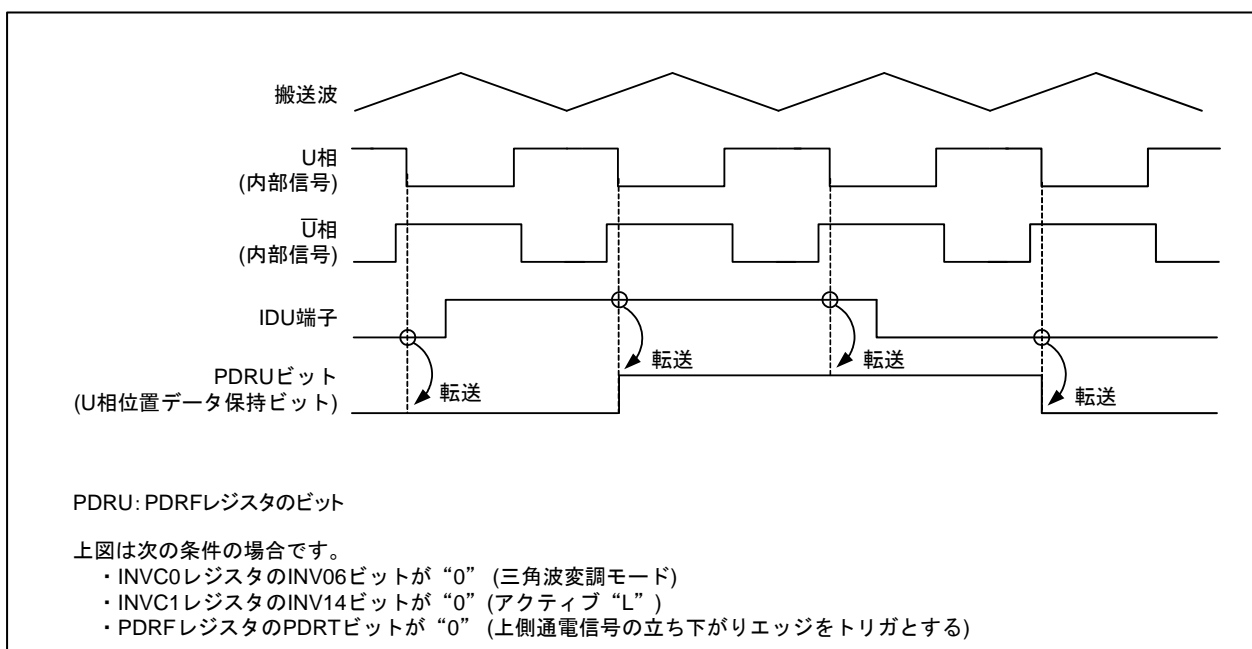
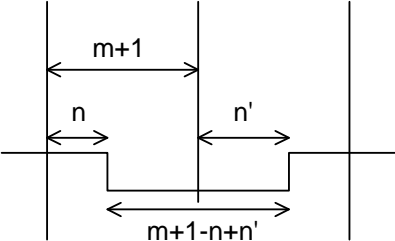


図 19.5 位置データ保持機能の動作例 (U相)

19.3.2 三角波変調 三相モード0

タイマB2の周期を動作基準周期として三角波変調を行います。表 19.8に三相モード0の仕様を、図 19.6に三相モード0の動作例を示します。

表 19.8 三相モード0の仕様

項目	仕様
搬送波周期	$\frac{(m+1) \times 2}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数
三相PWM出力幅	$\frac{m+1-n+n'}{f_i}$  n、n': TAIレジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数
三相モード0との相違	
動作基準周期	タイマB2の周期 (搬送波の1/2の周期)
タイマB2リロードタイミング	タイマB2アンダフロー
三相PWM波形制御	タイマAiスタートトリガごとにTAIレジスタの値をカウント (TAI1レジスタは使用しない)
タイマB2割り込み	ICTB2レジスタ設定値をnとすると、タイマB2のアンダフローのn回目ごとにタイマB2割り込み要求 (INVC0レジスタのINV00、INV01ビットの影響を受けない)
搬送波の前半/後半の判定	判定しない (INVC1レジスタのINV13ビットは無効)

i=1, 2, 4

表 19.9 三相モード0時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	無効 (設定値に関係なく ICTB2はタイマB2のアンダフローをカウント)
	INV01	
	INV02	"1" (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	"1" (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	"0" (三角波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	"0" (三相モード0)にしてください
	INV12	短絡防止タイマのカウントソースを選択してください
	INV13	無効
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	"0"にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込みの要求の発生頻度を設定してください
TB2SC	PWCON	"0"(タイマB2アンダフロー)にしてください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	b7-b2	"0"にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき"1"に、書き込まないとき"0"にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	(使用しない)
TB2	15~0	搬送波周期の1/2幅を設定してください
TRGSR	TA1TGH- TA1TGL	"01b" (V相出力制御回路を使用する場合)にしてください
	TA2TGH- TA2TGL	"01b" (W相出力制御回路を使用する場合)にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	"01b" (U相出力制御回路を使用する場合)にしてください

注1. この表は手順を示すものではありません。

表 19.10 三相モード0時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
	TB2S	カウント開始時“1”に、カウント停止時“0”にしてください
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード)にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAITGH、TAITGLビットで選択)にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード)にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i = 1, 2, 4

注1. この表は手順を示すものではありません。

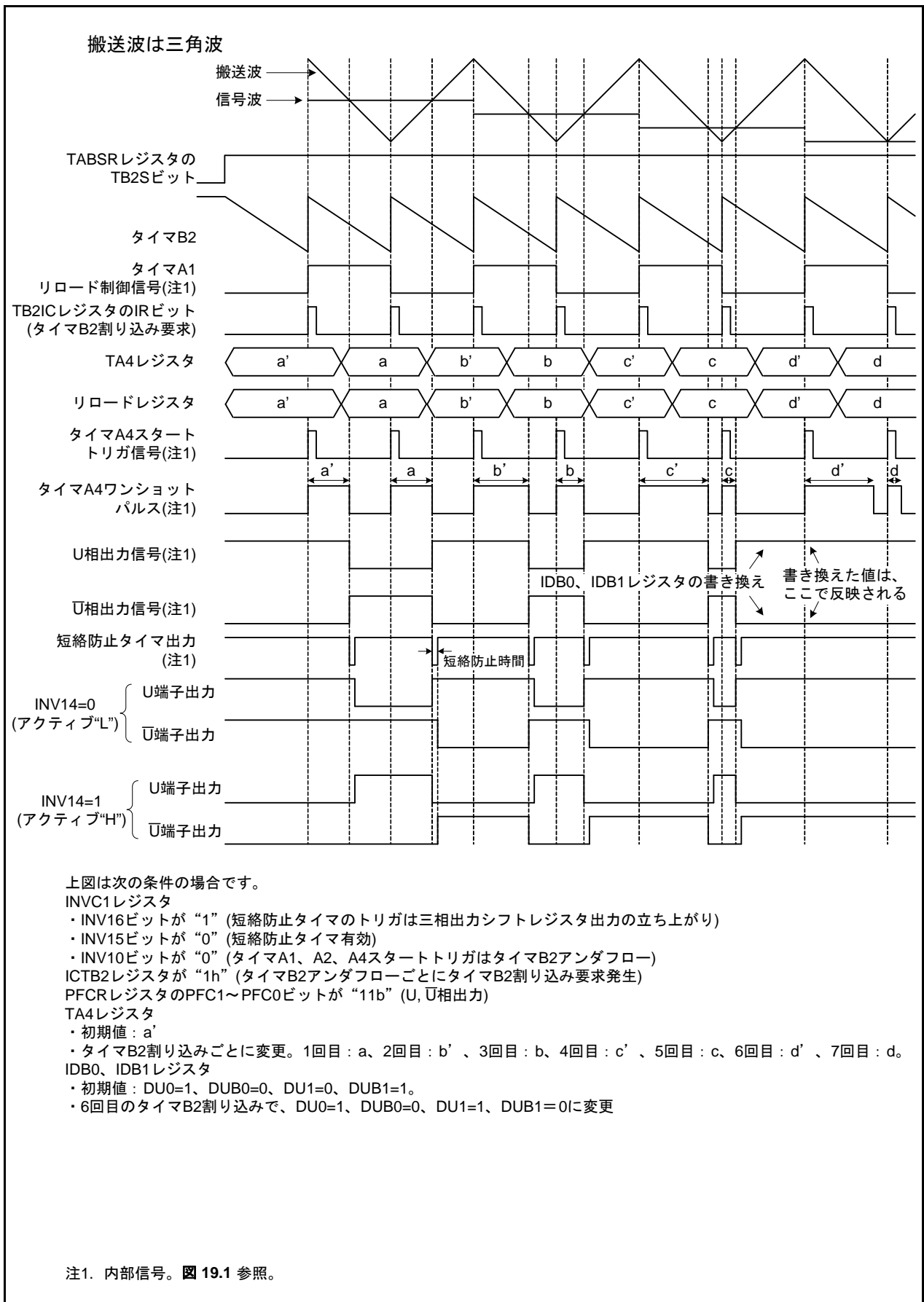


図 19.6 三相モード0の動作例

19.3.2.1 三相PWM波形出力タイミング制御

三相モード0では、タイマA1、A2、A4スタートトリガが発生すると、カウンタはTA_i (i=1, 2, 4)レジスタの値をカウントします。

19.3.2.2 三相PWM波形出力レベル制御

三角波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマA1、A2、A4ワンショットパルスの立ち下がりエッジごとにIDB0レジスタとIDB1レジスタの値が交互に各相出力信号となります。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

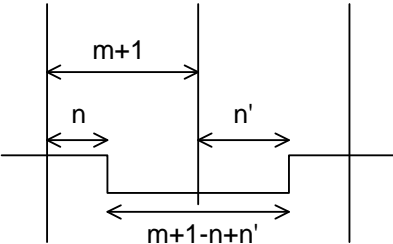
転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー
- タイマB2停止中のTB2レジスタへの書き込み (INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする (ソフトウェアトリガ)

19.3.3 三角波変調 三相モード1

タイマB2の2倍の周期を動作基準周期として三角波変調を行います。表 19.11 に三相モード1の仕様を、図 19.7 に三相モード1の動作例を示します。

表 19.11 三相モード1の仕様

項目	仕様	
搬送波周期	$\frac{(m+1) \times 2}{f_i}$ m: TB2 レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数	
三相PWM出力幅	$\frac{m+1-n+n'}{f_i}$  n, n': TAIレジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数	
三相モード0との相違	動作基準周期	タイマB2の2倍の周期 (搬送波の周期)
	タイマB2リロードタイミング	次のいずれかを選択 <ul style="list-style-type: none"> • タイマB2アンダフロー • 奇数回目のタイマA出力
	三相PWM波形制御	タイマAiスタートトリガごとにTAiレジスタの値と、TAi1レジスタの値を交互にカウント
	タイマB2割り込み	INVC0レジスタのINV00、INV01ビットで、ICTB2レジスタのカウントタイミングを選択 <ul style="list-style-type: none"> • タイマB2アンダフロー (毎回) • INVC1レジスタのINV13ビットが“0”のときのタイマB2アンダフロー • INV13ビットが“1”のときのタイマB2アンダフロー ICTB2レジスタ設定値をnとすると、INV00、INV01ビットで選択したタイミングのn回目ごとにタイマB2割り込み要求
	搬送波の前半/後半の判定	判定する (INVC1レジスタのINV13ビット有効)

i=1, 2, 4

表 19.12 三相モード1時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	ICTB2がカウントするタイミングを選択してください
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“0” (三角波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“1” (三相モード1)にしてください
	INV12	短絡防止タイマカウントソースを選択してください
	INV13	搬送波状態検出フラグ
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込み要求の発生頻度を設定してください
TB2SC	PWCON	タイマB2リロードタイミングを選択してください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	b7-b2	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	ワンショットパルス幅を設定してください
TB2	15~0	搬送波周期の1/2幅を設定してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

表 19.13 三相モード1時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TRGSR	TA1TGH- TA1TGL	"01b" (V相出力制御回路を使用する場合)にしてください
	TA2TGH- TA2TGL	"01b" (W相出力制御回路を使用する場合)にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	"01b" (U相出力制御回路を使用する場合)にしてください
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時"1"に、カウント停止時"0"にしてください
	TA2S	カウント開始時"1"に、カウント停止時"0"にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時"1"に、カウント停止時"0"にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	"10b" (ワンショットタイマモード)にしてください
	MR0	"0"にしてください
	MR1	"0"にしてください
	MR2	"1" (トリガはTAiTGH、TAiTGLビットで選択)にしてください
	MR3	"0"にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	"00b" (タイマモード)にしてください
	MR1-MR0	"00b"にしてください
	4	"0"にしてください
	MR3	"0"にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	"0"にしてください
UDF	TAiP	"0"にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

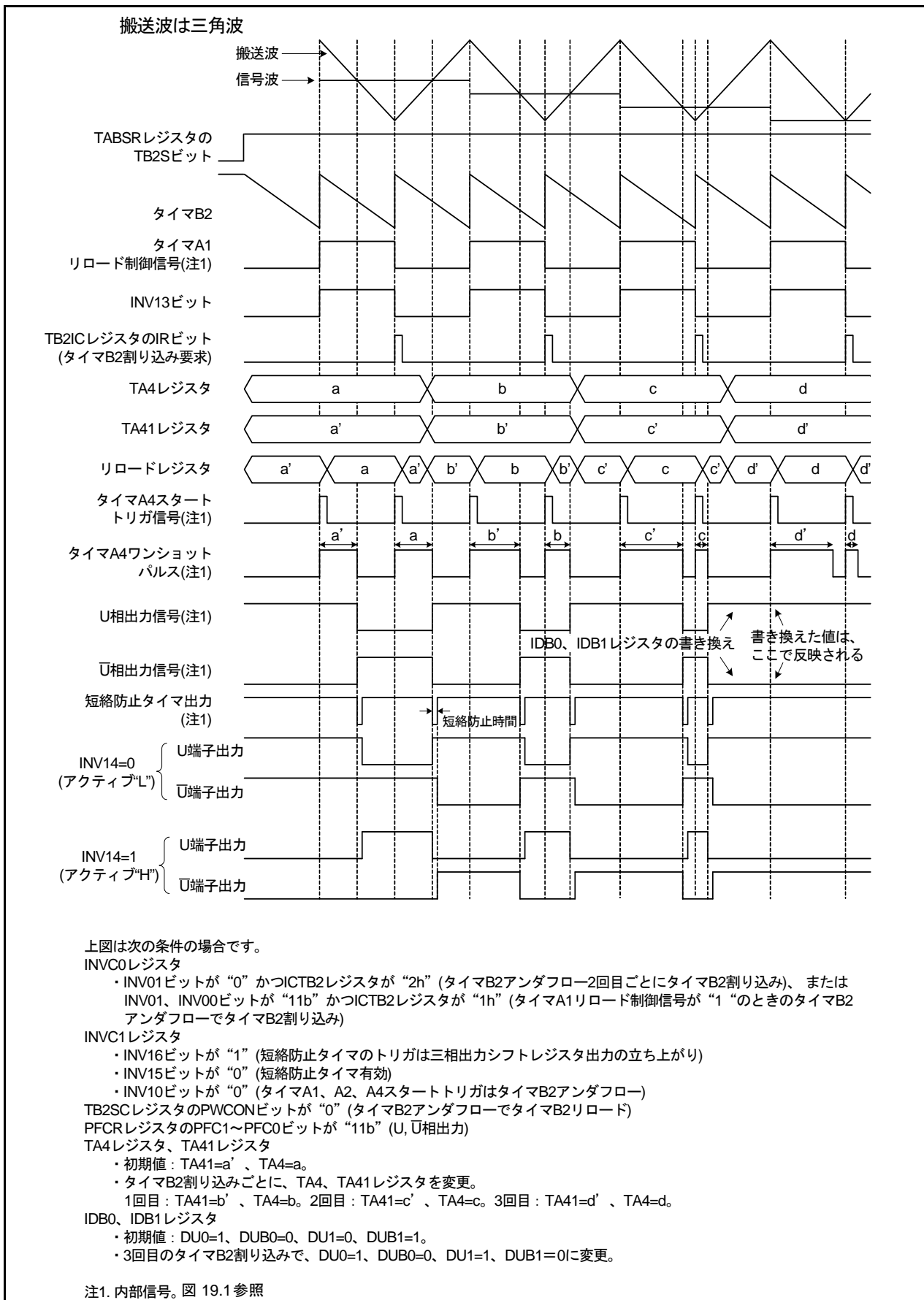


図 19.7 三相モード1の動作例

19.3.3.1 INVC1レジスタのINV13ビット

三相モード1では、搬送波の前半か後半かの判断に、INV13ビットを使用できます。INV13ビットはタイマA1リロード制御信号の状態を見るフラグです。タイマA1リロード制御信号はタイマA1停止中は“0”になり、タイマA1、A2、A4スタートトリガ信号ごとに値が反転します。したがって、タイマB2の1回目のアンダフローから搬送波の周期が始まったと考えると、INV13ビットが“1”のときは搬送波の前半、“0”のときは後半と判断できます。表 19.14にINV13ビットと他の部分の状態の関係を示します。

表 19.14 INV13ビットと他の部分の状態の関係

INV13ビット	1	0
タイマA1リロード制御信号		
ワンショットパルスのカウント値	TAi1レジスタの値	TAiレジスタの値
タイマB2アンダフロー	奇数回目	偶数回目
搬送波	前半	後半

i=1, 2, 4

19.3.3.2 三相PWM波形出力タイミング制御

三相モード1では、タイマA1、A2、A4スタートトリガが発生すると、TAi1レジスタの値が最初にカウントされます。以後、タイマA1、A2、A4スタートトリガごとに、TAi1レジスタの値とTAiレジスタの値が交互にカウントされます。

動作中に、TAiレジスタ、TAi1レジスタの値を書き換えた場合、更新した値は次の搬送波の周期から出力されます。図19.8に三相モード1 TAi、TAi1レジスタ更新タイミングを示します。

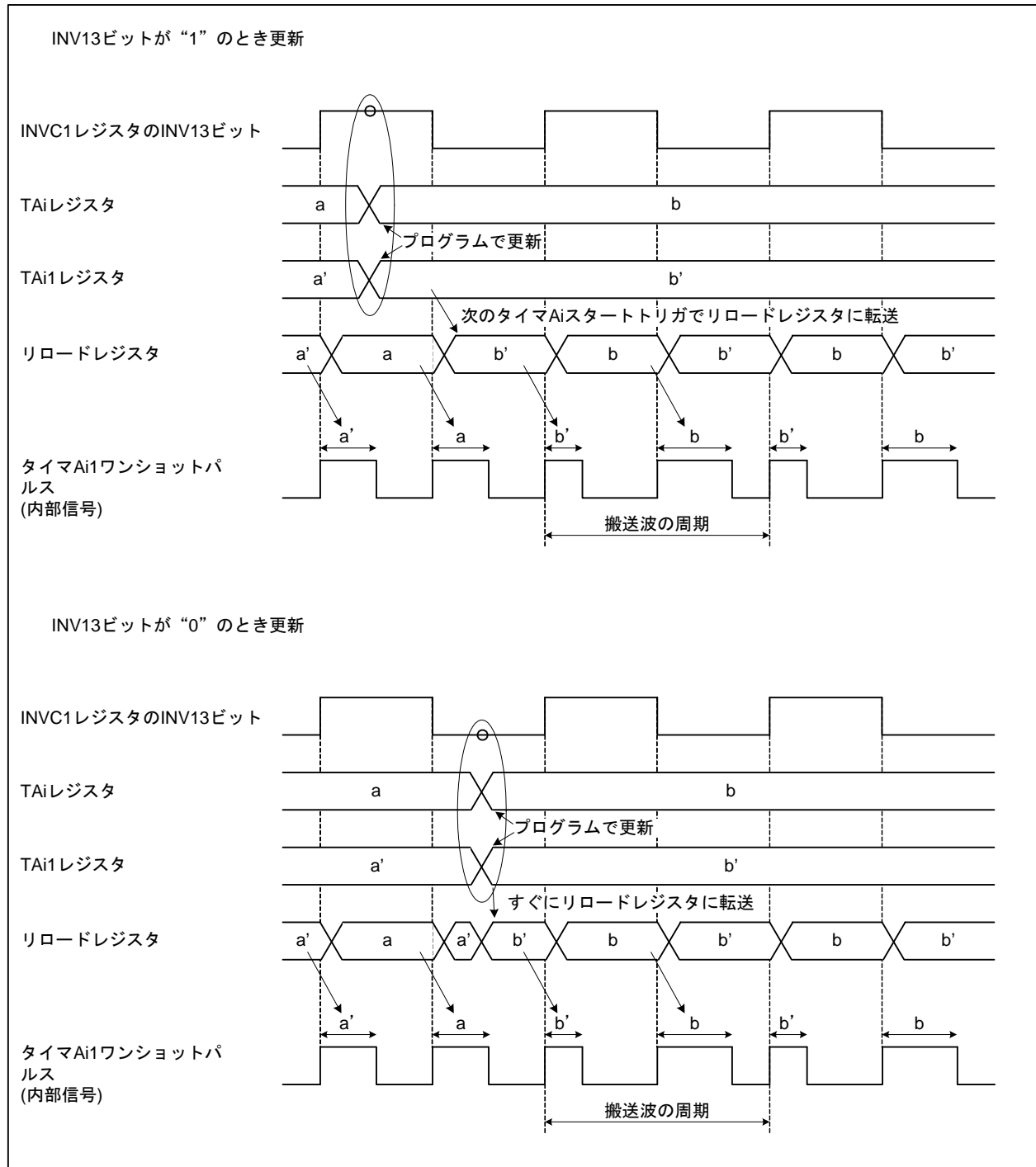


図 19.8 三相モード1 TAi、TAi1 レジスタ更新タイミング

19.3.3.3 搬送波制御

三相モード1では、TB2SCレジスタのPWCONビットでTB2レジスタのリロードタイミングを選択できます。

19.3.3.4 三相PWM波形出力レベル制御

三角波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマA1、A2、A4ワンショットパルスの立ち下がりエッジごとにIDB0レジスタとIDB1レジスタの値が交互に各相出力信号となります。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー
- タイマB2停止中のTB2レジスタへの書き込み (INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする (ソフトウェアトリガ)

19.3.4 鋸波変調モード

鋸波変調を行います。表 19.15 に鋸波変調モードの仕様を、図 19.9 に鋸波変調モードの動作例を示します。

表 19.15 鋸波変調モードの仕様

項目	仕様	
搬送波周期	$\frac{(m+1)}{f_i}$ m: TB2 レジスタ設定値。0000h~FFFFh f _i : カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32) の周波数	
三相PWM出力幅	$\frac{n}{f_i}$ n: TAI レジスタ設定値。0001h~FFFFh f _i : カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32) の周波数	
三角波変調モードとの動作の相違	動作基準周期	タイマB2の周期 (搬送波の周期)
	タイマB2リロードタイミング	タイマB2アンダフロー
	三相PWM波形制御	タイマAiスタートトリガごとにTAiレジスタの値をカウント (TAi1レジスタは使用しない) IDB0、IDB1レジスタに設定した出力レベルをタイマB2アンダフローごとに三相出力シフトレジスタに転送する
	タイマB2割り込み	ICTB2レジスタ設定値をnとすると、タイマB2のアンダフローのn回目ごとにタイマB2割り込み要求 (INVC0レジスタのINV00、INV01ビットの影響を受けない)
	短絡防止タイマのトリガ	転送トリガ (タイマB2アンダフローごとに発生) と、タイマAiワンショットパルスの立ち下がりの両方
	搬送波の前半/後半の判定	—

i=1, 2, 4

表 19.16 鋸波変調モード時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	無効 (設定値に関係なく ICTB2はタイマB2のアンダフローをカウント)
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“1” (鋸波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“0”にしてください
	INV12	短絡防止タイマカウントソースを選択してください
	INV13	無効
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込み要求の発生頻度を設定してください
TB2SC	PWCON	“0”(タイマB2アンダフロー)にしてください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	b7-b2	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	(使用しない)
TB2	15~0	搬送波周期を設定してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

表 19.17 鋸波変調モード時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TRGSR	TA1TGH- TA1TGL	“01b” (V相出力制御回路を使用する場合) にしてください
	TA2TGH- TA2TGL	“01b” (W相出力制御回路を使用する場合) にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	“01b” (U相出力制御回路を使用する場合) にしてください
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード) にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAiTGH、TAiTGLビットで選択) にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード) にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

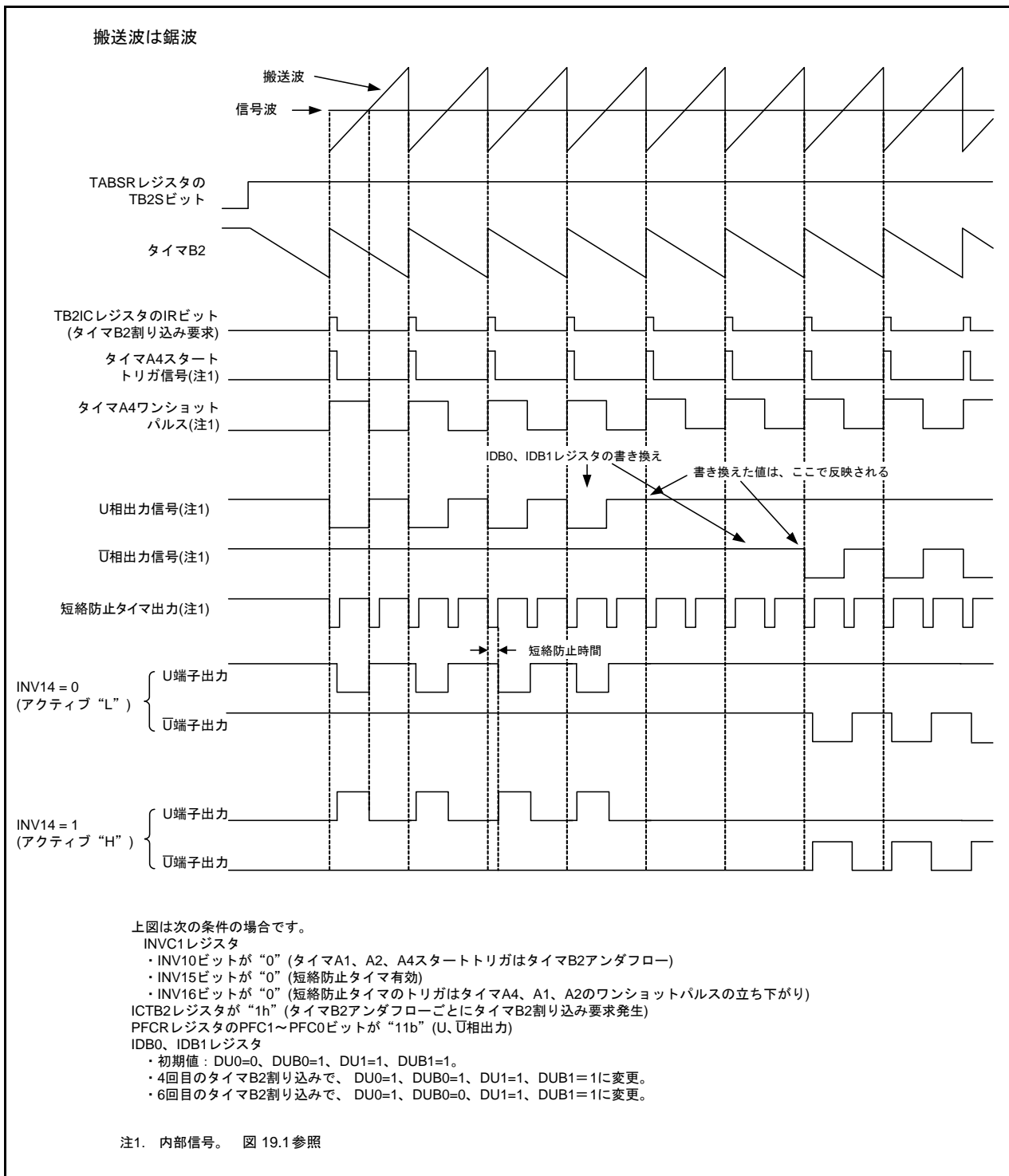


図 19.9 鋸波変調モードの動作例

19.3.4.1 三相PWM波形出力タイミング制御

鋸波変調モードでは、タイマA1、A2、A4スタートトリガが発生すると、カウンタはTA_i (i=1, 2, 4) レジスタの値をカウントします。

19.3.4.2 三相PWM波形出力レベル制御

鋸波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマB2のアンダフローによる転送トリガで三相出力シフトレジスタに転送、IDB0レジスタの値が各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタの値が各相出力信号となる、という動作を繰り返します。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- タイマB2のアンダフロー(毎回)
- タイマB2停止中のTB2レジスタへの書き込み(INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

19.4 割り込み

三相モータ制御用タイマ機能では、タイマ B2 割り込みと、タイマ A1、A2、A4 割り込みが使用できます。

19.4.1 タイマ B2 割り込み

ICTB2 レジスタ設定値を n とすると、タイマ B2 割り込み要求発生タイミングは次のとおりです。詳細は、各モードの仕様や動作例を参照してください。

三角波変調 三相モード0、鋸波変調:

タイマ B2 アンダフローの n 回目

三角波変調 三相モード1:

INVC0 レジスタの INV01~INV00 ビットで選択したタイミングの n 回目

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 19.18 にタイマ B2 割り込み関連レジスタを示します。

表 19.18 タイマ B2 割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
005Ch	タイマ B2 割り込み制御レジスタ	TB2IC	XXXX X000b

19.4.2 タイマ A1、A2、A4 割り込み

タイマ A_i ($i=1, 2, 4$) のワンショットパルス (内部信号) の立ち下がりエッジでタイマ A_i 割り込み要求が発生します。割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 19.19 にタイマ A1、A2、A4 割り込み関連レジスタレジスタを示します。

表 19.19 タイマ A1、A2、A4 割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0056h	タイマ A1 割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマ A2 割り込み制御レジスタ	TA2IC	XXXX X000b
0059h	タイマ A4 割り込み制御レジスタ	TA4IC	XXXX X000b

タイマ A_i 割り込みでは、TAiMR レジスタの TMOD1 ビットを“0”から“1” (タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWM モードまたはプログラマブル出力モード) に変更すると、TAiIC レジスタの IR ビットが“1” (割り込み要求あり) になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「14.13 割り込み使用上の注意事項」も参照してください。

- (1) TAiIC レジスタの ILVL2~ILVL0 ビットを“000b” (割り込み禁止) にする。
- (2) TAiMR レジスタを設定する。
- (3) TAiIC レジスタの IR ビットを“0” (割り込み要求なし) にする。

19.5 三相モータ制御用タイマ機能使用上の注意事項

19.5.1 タイマA、タイマB

タイマA、タイマBの使用上の注意事項を参照してください。

19.5.2 \overline{SD} 入力の影響

TB2SC レジスタの IVPCR1 ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可) のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、
P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

20. リアルタイムクロック

20.1 概要

リアルタイムクロックはカウントソースから1秒を作り、秒、分、時、午前/午後、日、1週間をカウントします。また、特定の秒、分、時との一致を検出します。

表 20.1にリアルタイムクロックの仕様を、図 20.1にリアルタイムクロックのブロック図を、表 20.2に入出力端子を示します。

表 20.1 リアルタイムクロックの仕様

項目	内容
カウントソース	f1、fC
カウント動作	<ul style="list-style-type: none"> • アップカウント • コンペアモードを使用しない場合、またはコンペア1モード カウンタ値継続使用、カウント継続 • コンペア2モード コンペア一致時、カウント値を“0”にしカウント継続 • コンペア3モード コンペア一致時、カウント値を“0”にしカウント停止
カウント開始条件	RTCCR1レジスタのTSTARTビットへの“1” (カウント開始) 書き込み
カウント停止条件	RTCCR1レジスタのTSTARTビットへの“0” (カウント停止) 書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 日データの更新 • 日データが“000b”になるとき • 時刻のデータとコンペアデータの一致
RTCOUT 端子機能	プログラマブル入出力ポート、またはコンペア出力
タイマの読み出し	RTCSEC、RTCMIN、RTCHR、RTCWKレジスタを読むと、カウンタ値が読める。 RTCSEC、RTCMIN、RTCHRレジスタの値はBCDコード
タイマの書き込み	RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときRTCSEC、RTCMIN、RTCHR、RTCWKレジスタに書き込める。 RTCSEC、RTCMIN、RTCHRレジスタに書き込む値はBCDコード
選択機能	<ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • コンペア出力

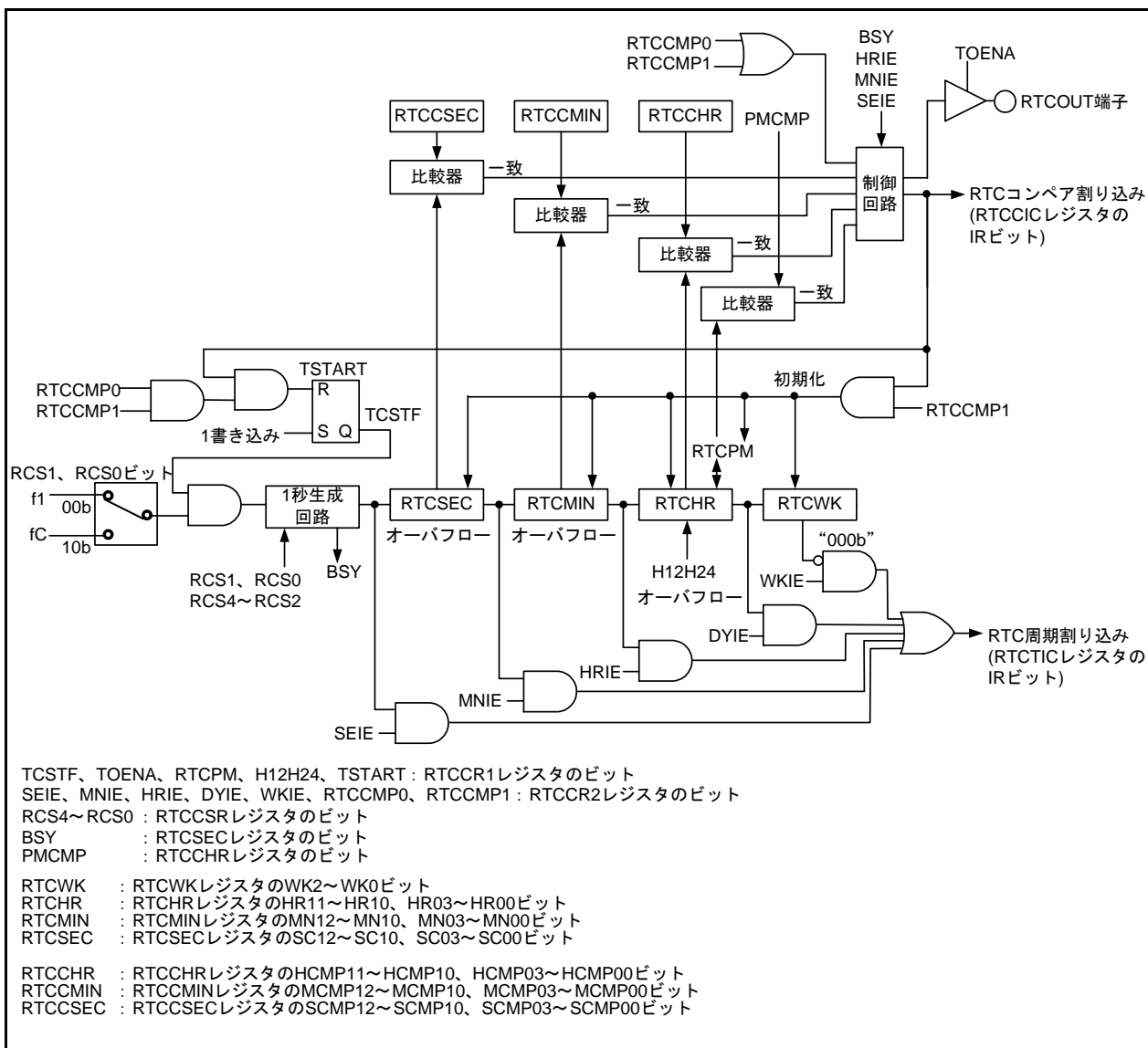


図 20.1 リアルタイムクロックのブロック図

表 20.2 入出力端子

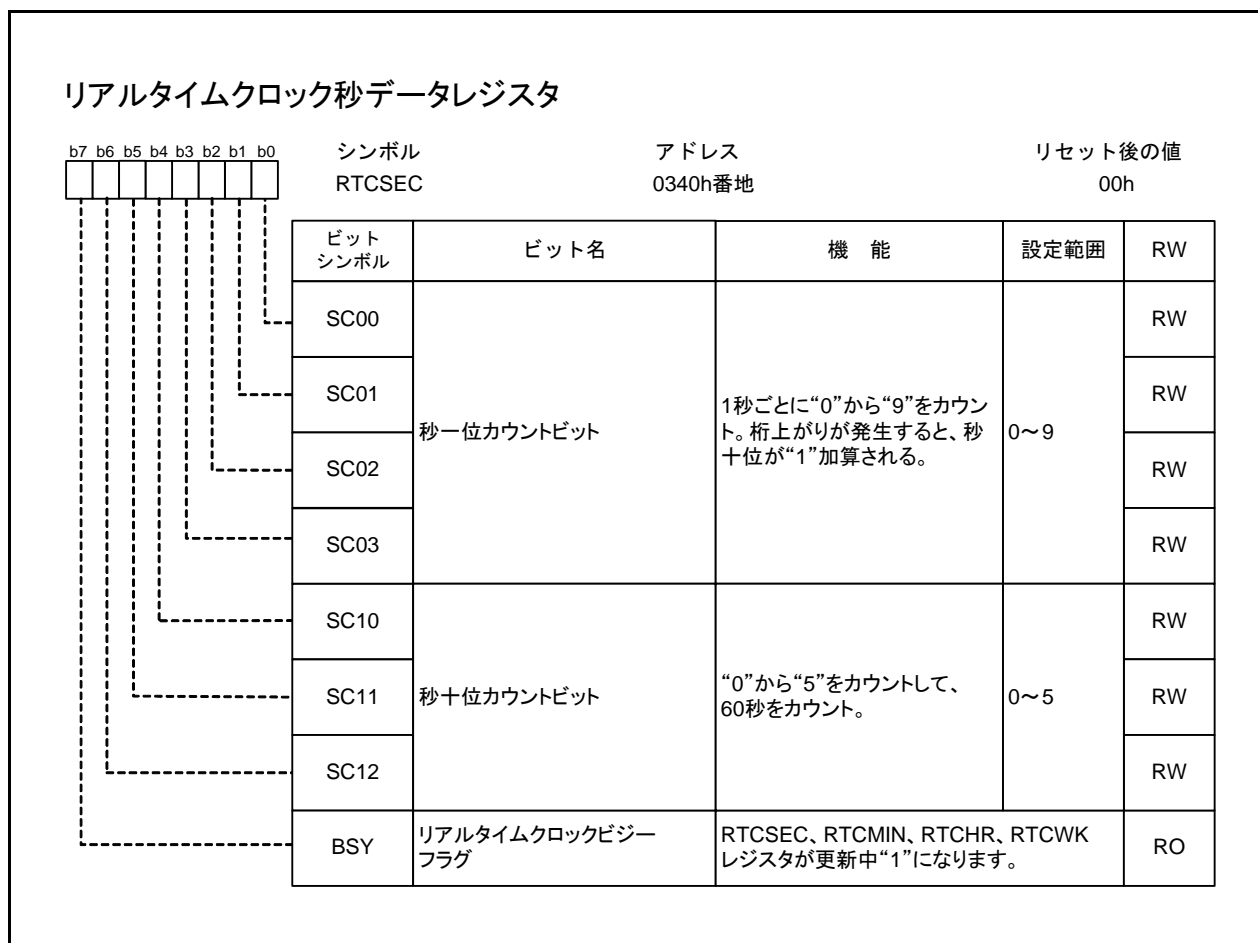
端子名	入出力	機能
RTCOUT	出力	コンペア出力

20.2 レジスタの説明

表 20.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b

20.2.1 リアルタイムクロック秒データレジスタ (RTCSEC)



SC03~SC00 (秒一位カウントビット) (b3~b0)

SC12~SC10 (秒十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

コンペア2モード、コンペア3モードでは、コンペア一致が起これると“00”になります。

RTCSECレジスタのSC12~SC10、SC03~SC00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。また、BSYビットが“0” (データ更新中ではない) のときに読み出してください。

BSY (リアルタイムクロックビジーフラグ) (b7)

データ更新中に“1”になります。次のビットはBSYビットが“0” (データ更新中ではない) のときに読み出してください。

- RTCSECレジスタのSC12~SC10、SC03~SC00ビット
- RTCMINレジスタのMN12~MN10、MN03~MN00ビット
- RTCHRレジスタのHR11~HR10、HR03~HR00ビット
- RTCWKレジスタのWK2~WK0ビット
- RTCCR1レジスタのRTCPMビット

20.2.2 リアルタイムクロック分データレジスタ (RTCMIN)

リアルタイムクロック分データレジスタ

ビットシンボル	ビット名	機能	設定範囲	RW
MN00	分一位カウントビット	1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。	0~9	RW
MN01				RW
MN02				RW
MN03				RW
MN10	分十位カウントビット	“0”から“5”をカウントして、60分をカウント。	0~5	RW
MN11				RW
MN12				RW
— (b7)	予約ビット	読んだ場合、その値は不定。		RO

シンボル: RTCMIN
アドレス: 0341h番地
リセット後の値: X000 0000b

ビットシンボル: b7 b6 b5 b4 b3 b2 b1 b0

MN03~MN00 (分一位カウントビット) (b3~b0)

MN12~MN10 (分十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペアー一致が起ると“00”になります。

RTCMINレジスタのMN12~MN10、MN03~MN00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

20.2.3 リアルタイムクロック時データレジスタ (RTCHR)

リアルタイムクロック時データレジスタ				
ビット シンボル	ビット名	機 能	設定範囲	RW
b7				
b6				
b5				
b4				
b3				
b2				
b1				
b0				
シンボル RTCHR		アドレス 0342h番地	リセット後の値 XX00 0000b	
HR00	時一位カウントビット	1時間ごとに“0”から“9”をカウント。桁上がりが発生すると、時十位が“1”加算される。	0~9	RW
HR01				RW
HR02				RW
HR03				RW
HR10	時十位カウントビット	H12H24ビットが“0” (12時間モード)のとき、“0”から“1”をカウント。 H12H24ビットが“1” (24時間モード)のとき、“0”から“2”をカウント。	0~2	RW
HR11				RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—
— (b7)	予約ビット	読んだ場合、その値は不定。		RO

HR03~HR00 (時一位カウントビット) (b3~b0)

HR11~HR10 (時十位カウントビット) (b5~b4)

RTCCR1 レジスタの H12H24 ビットが“0” (12時間モード) の場合はBCDコードで“00”~“11”を設定してください。H12H24 ビットが“1” (24時間モード) の場合はBCDコードで“00”~“23”を設定してください。

RTCMIN レジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペア一致が起こると“00”になります。

RTCHR レジスタの HR11~HR10、HR03~HR00 ビットは、RTCCR1 レジスタの TSTART ビットと TCSTF ビットがともに“0” (カウント停止) のときに書き込んでください。また、RTCSEC レジスタの BSY ビットが“0” (データ更新中ではない) のときに読み出してください。

20.2.4 リアルタイムクロック日データレジスタ (RTCWK)

リアルタイムクロック日データレジスタ

シンボル
RTCWK

アドレス
0343h番地

リセット後の値
XXXX X000b

ビット シンボル	ビット名	機 能	RW
WK0	日カウントビット	b2 b1 b0 0 0 0: 1日目	RW
WK1		0 0 1: 2日目	RW
WK2		0 1 0: 3日目 0 1 1: 4日目 1 0 0: 5日目 1 0 1: 6日目 1 1 0: 7日目	RW
		1 1 1: 設定しないでください	
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7)	予約ビット	読んだ場合、その値は不定。	RO

WK2~WK0 (日カウントビット) (b2~b0)

“000b” (1日目)~“110b” (7日目) を繰り返しカウントしますので、1週間がカウントできます。“111b”にはなりません。“111b”を設定しないでください。

RTCHR レジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペア一致が起こると“000b”になります。

RTCWK レジスタのWK2~WK0ビットは、RTCCR1 レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。また、RTCSEC レジスタのBSYビットが“0” (データ更新中ではない) のときに読み出してください。

20.2.5 リアルタイムクロック制御レジスタ1 (RTCCR1)

リアルタイムクロック制御レジスタ1				
b7 b6 b5 b4 b3 b2 b1 b0	シンボル RTCCR1	アドレス 0344h番地	リセット後の値 0000 X00Xb	
	ビット シンボル	ビット名	機 能	RW
	— (b0)	予約ビット	“0” にしてください。	RW
	TCSTF	リアルタイムクロック カウントステータスフラグ	0: カウント停止中 1: カウント中	RO
	TOENA	RTCOUT端子出力ビット	0: コンペア出力禁止 1: コンペア出力許可	RW
	— (b3)	予約ビット	“0” にしてください。	RW
	RTCST	リアルタイムクロック リセットビット	このビットを“1”にした後、“0”にすると リアルタイムクロックがリセットされます。	RW
	RTCPM	午前/午後ビット	0: 午前 1: 午後	RW
	H12H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	RW
	TSTART	リアルタイムクロックカウン ト開始ビット	0: カウント停止 1: カウント開始	RW

TCSTF (リアルタイムクロックカウントステータスフラグ) (b1)

TSTART (リアルタイムクロックカウント開始ビット) (b7)

TSTARTビットはカウント開始または停止を指示するためのビットです。TCSTFビットはカウントが開始または停止したことを示すビットです。

TSTARTビットを“1” (カウント開始) にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1” (カウント開始) になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0” (カウント停止) にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0” (カウント停止) になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

注1. RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR レジスタ

RTCRST (リアルタイムクロックリセットビット) (b4)

このビットを“1”にした後、“0”にすると次の状態になります。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR レジスタがリセット後の値になる
- RTCCR1 レジスタの TCSTF、RTCPM、H12H24、TSTART ビットが“0”になる

RTCPM (午前/午後ビット) (b5)

RTCPM ビットは、RTCCR1 レジスタの TSTART ビットと TCSTF ビットがともに“0” (カウント停止) のときに書き込んでください。また、RTCSEC レジスタの BSY ビットが“0” (データ更新中ではない) のときに読み出してください。

H12H24 ビットが“0” (12 時間モード) の場合も“1” (24 時間モード) の場合も有効です。したがって、H12H24 ビットが“1”で時刻を設定する場合は、次のように設定してください。

- RTCHR レジスタの HR11~HR10、HR03~HR00 ビットが“00”~“11”の場合、RTCPM ビットを“0”にする。
- RTCHR レジスタの HR11~HR10、HR03~HR00 ビットが“12”~“23”の場合、RTCPM ビットを“1”にする。

RTCPM ビットは、カウント動作中、次のように変化します。

- RTCPM ビットが“1” (午後) で、11 時 59 分 59 秒 (24 時間モードの場合は 23 時 59 分 59 秒) から、次の 00 時 00 分 00 秒になるとき、“0”になる。
- RTCPM ビットが“0” (午前) で、11 時 59 分 59 秒から、次の 00 時 00 分 00 秒 (24 時間モードの場合は 12 時 00 分 00 秒) になるとき“1”になる。

図 20.2 に時刻表現の定義を示します。

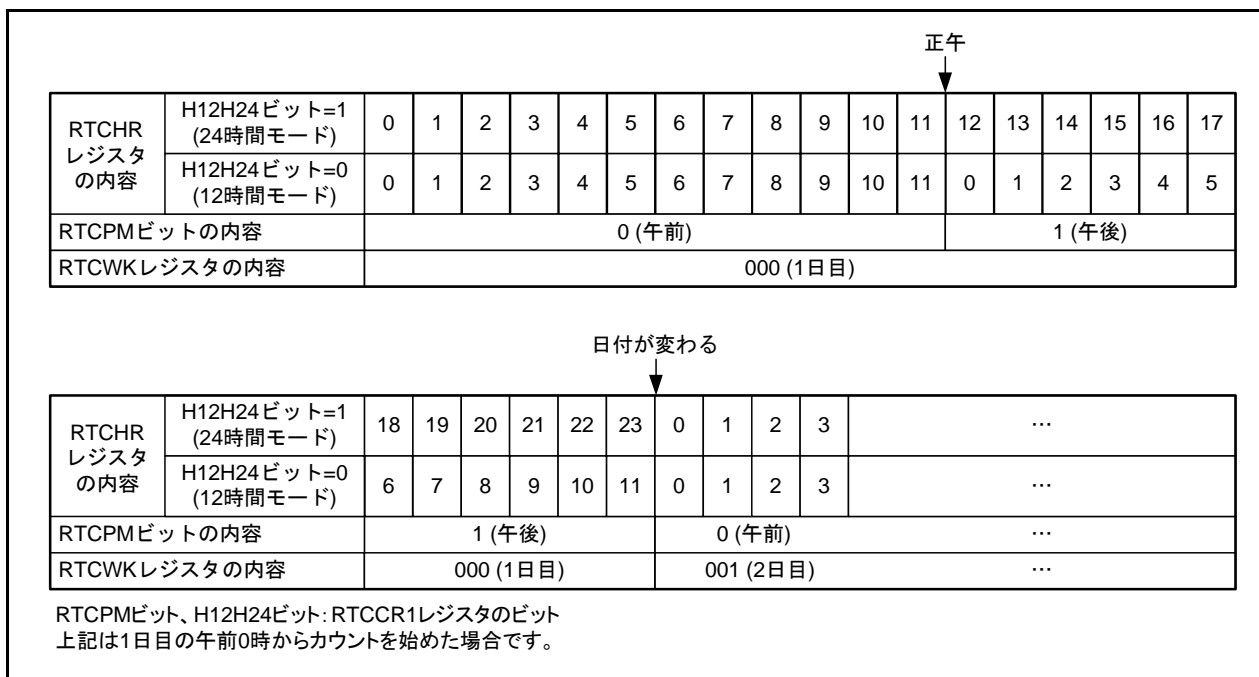


図 20.2 時刻表現

H12H24 (動作モード選択ビット) (b6)

H12H24 ビットは、RTCCR1 レジスタの TSTART ビットと TCSTF ビットがともに“0” (カウント停止) のときに書き込んでください。

20.2.6 リアルタイムクロック制御レジスタ 2 (RTCCR2)

リアルタイムクロック制御レジスタ2			
ビット シンボル	ビット名	機 能	RW
SEIE	秒周期割り込み許可ビット	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	RW
MNIE	分周期割り込み許可ビット	0: 分周期割り込み禁止 1: 分周期割り込み許可	RW
HRIE	時周期割り込み許可ビット	0: 時周期割り込み禁止 1: 時周期割り込み許可	RW
DYIE	日周期割り込み許可ビット	0: 日周期割り込み禁止 1: 日周期割り込み許可	RW
WKIE	週周期割り込み許可ビット	0: 週周期割り込み禁止 1: 週周期割り込み許可	RW
RTCCMP0	コンペアモード設定ビット	b6 b5 0 0: コンペアモード使用しない	RW
RTCCMP1		0 1: コンペア1モード 1 0: コンペア2モード 1 1: コンペア3モード	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

RTCCR2 レジスタは、RTCCR1 レジスタの TSTART ビットと TCSTF ビットがともに“0” (カウント停止) のときに書き込んでください。

RTCCMP1~RTCCMP0 ビットが“00b” (コンペアモード使用しない) の場合、秒、分、時、日、週のいずれかの周期で割り込み要求を発生させることができます。このとき SEIE、MNIE、HRIE、DYIE、WKIE ビットのうち、いずれか1ビットを“1” (割り込み許可) にしてください (複数ビットを“1”にしないでください)。表 20.4 に周期割り込み要因を示します。

表 20.4 周期割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	RTCWK レジスタの値が“000b”になる (1週間周期)	WKIE
日周期割り込み	RTCWK レジスタが更新 (1日周期) される	DYIE
時周期割り込み	RTCHR レジスタが更新 (1時間周期) される	HRIE
分周期割り込み	RTCMIN レジスタが更新 (1分周期) される	MNIE
秒周期割り込み	RTCSEC レジスタが更新 (1秒周期) される	SEIE

RTCCMP1~RTCCMP0 ビットが“01b”、“10b”、“11b” (コンペアモードのいずれか) の場合は、コンペアするものによって、次のようにしてください。

- 秒とコンペアする場合、SEIE ビットを“1” (割り込み許可) にしてください
- 分とコンペアする場合、SEIE、MNIE ビットをすべて“1”にしてください
- 時間、午前/午後とコンペアする場合、SEIE、MNIE、HRIE ビットをすべて“1”にしてください

20.2.7 リアルタイムクロックカウントソース選択レジスタ (RTCCSR)

リアルタイムクロックカウントソース選択レジスタ			
	シンボル RTCCSR	アドレス 0346h番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機 能	RW
RCS0	カウントソース選択ビット	b1 b0 0 0 : f1 0 1 : 設定しないでください 1 0 : fC 1 1 : 設定しないでください	RW
RCS1			RW
RCS2	カウントソース周波数指定ビット	b4 b3 b2 0 0 0 : fC、またはf1=4MHz 0 0 1 : f1=6MHz 0 1 0 : f1=8MHz 0 1 1 : f1=16MHz 1 0 0 : f1=20MHz 1 0 1 : f1=24MHz 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
RCS3			RW
RCS4			RW
— (b6-b5)			何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。
— (b7)	予約ビット	“0” にしてください	RW

RCS1~RCS0ビットが“10b” (fC) のとき、RCS4~RCS2ビットは“000b”にしてください。

RCS1~RCS0ビットが“00b” (f1) のとき、f1に合う周波数をRCS4~RCS2ビットで指定してください。

RTCCSRレジスタは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。

なお、fCを使用する場合は、PM2レジスタのPM25ビットを“1” (周辺機能クロック fC 供給許可) にしてください。fCの詳細は「8. クロック発生回路」を参照してください。

20.2.8 リアルタイムクロック秒コンペアデータレジスタ (RTCCSEC)

リアルタイムクロック秒コンペアデータレジスタ				
		シンボル RTCCSEC	アドレス 0348h番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機 能	設定範囲	RW
SCMP00	秒一位コンペアデータビット	コンペアデータ格納	0~9	RW
SCMP01				RW
SCMP02				RW
SCMP03				RW
SCMP10	秒十位コンペアデータビット	コンペアデータ格納	0~5	RW
SCMP11				RW
SCMP12				RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

SCMP03~SCMP00 (秒一位コンペアデータビット) (b3~b0)

SCMP12~SCMP10 (秒十位コンペアデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.2.9 リアルタイムクロック分コンペアデータレジスタ (RTCCMIN)

リアルタイムクロック分コンペアデータレジスタ				
		シンボル RTCCMIN	アドレス 0349h番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機 能	設定範囲	RW
MCMP00	分一位コンペアデータビット	コンペアデータ格納	0~9	RW
MCMP01				RW
MCMP02				RW
MCMP03				RW
MCMP10	分十位コンペアデータビット	コンペアデータ格納	0~5	RW
MCMP11				RW
MCMP12				RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

MCMP03~MCMP00 (分一位コンペアデータビット) (b3~b0)

MCMP12~MCMP10 (分十位コンペアデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.2.10 リアルタイムクロック時コンペアデータレジスタ (RTCCHR)

リアルタイムクロック時コンペアデータレジスタ				
		シンボル RTCCHR	アドレス 034Ah番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機 能	設定範囲	RW
HCMP00	時一位コンペアデータビット	コンペアデータ格納	0~9	RW
HCMP01				RW
HCMP02				RW
HCMP03				RW
HCMP10	時十位コンペアデータビット	コンペアデータ格納	0~2	RW
HCMP11				RW
PMCMP	午前/午後コンペアビット	0: 午前 1: 午後		RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

HCMP03~HCMP00 (時一位コンペアデータビット) (b3~b0)

HCMP11~HCMP10 (時十位コンペアデータビット) (b5~b4)

RTCCR1レジスタのH12H24ビットが“0”(12時間モード)の場合はBCDコードで“00”~“11”を設定してください。H12H24ビットが“1”(24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

PMCMP (午前/午後コンペアビット) (b6)

RTCCR1レジスタのH12H24ビットが“0”(12時間モード)の場合も“1”(24時間モード)の場合も有効です。したがってH12H24ビットが“1”の場合は次のように設定してください。

- HCMP11~HCMP10、HCMP03~HCMP00ビットが“00”~“11”の場合、PMCMPビットを“0”にする
 - HCMP11~HCMP10、HCMP03~HCMP00ビットが“12”~“23”の場合、PMCMPビットを“1”にする
- RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.3 動作説明

20.3.1 基本動作

RTCCSRレジスタで選択したカウントソースから1秒を作り、秒、分、時、午前/午後、日、1週間をカウントします。

カウントを始める時刻や日は、RTCSEC、RTCMIN、RTCHR、RTCWKレジスタ、RTCCR1レジスタのRTCPMビットで設定できます。また、現在の時刻や日をRTCSEC、RTCMIN、RTCHR、RTCWKレジスタ、RTCCR1レジスタのRTCPMビットから読み出せます。ただし、RTCSECレジスタのBSYビットが“1”（データ更新中）はこれらのレジスタを読み出さないでください。

秒、分、時、日、1週間の周期で割り込み要求を発生させることができます。RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“00b”（コンペアモードで使用しない）の場合、RTCCR2レジスタの秒、分、時、日、1週間のうち、いずれか1つの割り込みを許可してください。周期割り込み要求が発生するとRTCTICレジスタのIRビットが“1”（割り込み要求あり）になります。

図 20.3 にリアルタイムクロック基本動作例を、図 20.4 に時刻、日変更手順（コンペアモードを使用しない、またはコンペア1モード）を、図 20.5 に時刻、日変更手順（コンペア2モード、またはコンペア3モード）を示します。

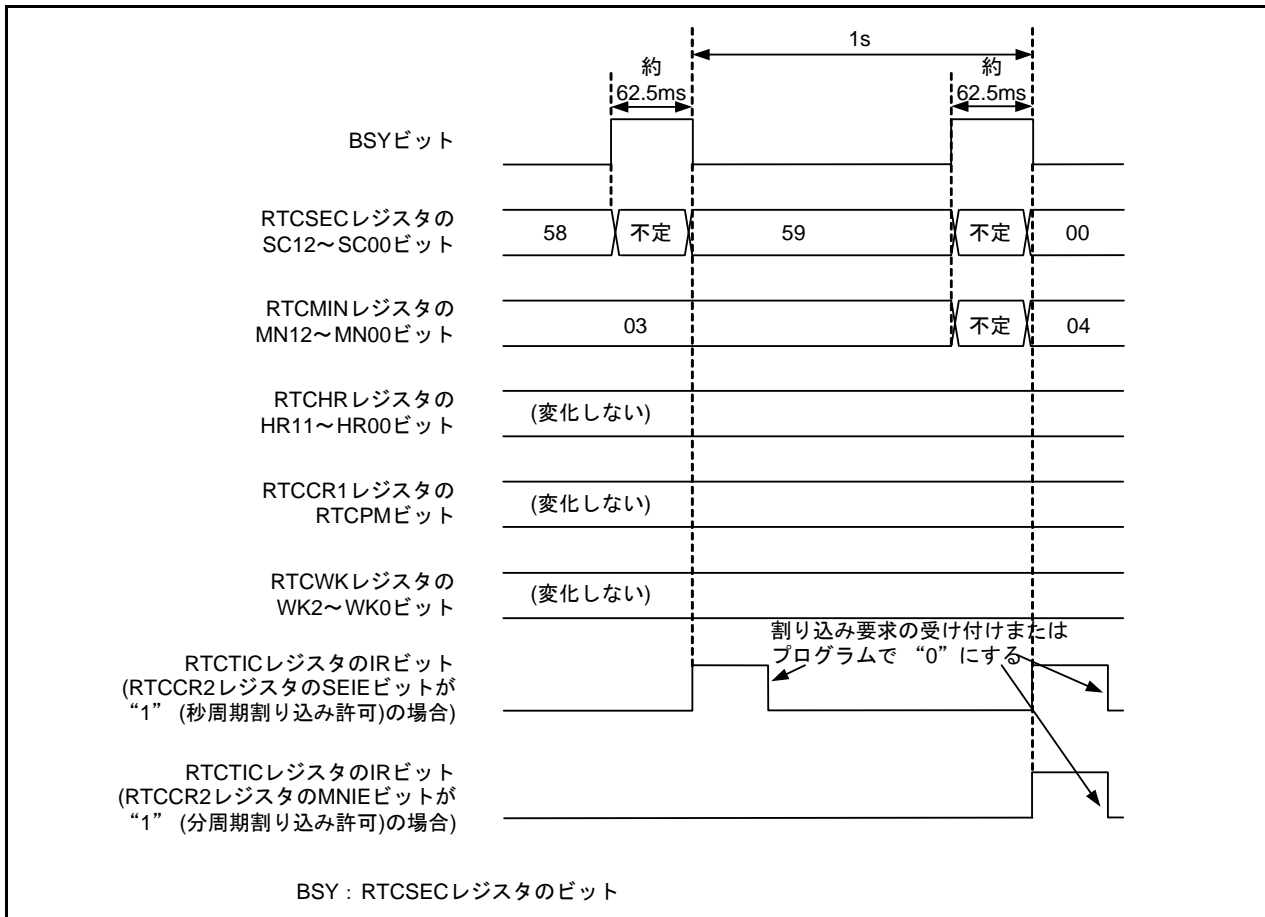


図 20.3 リアルタイムクロック基本動作例

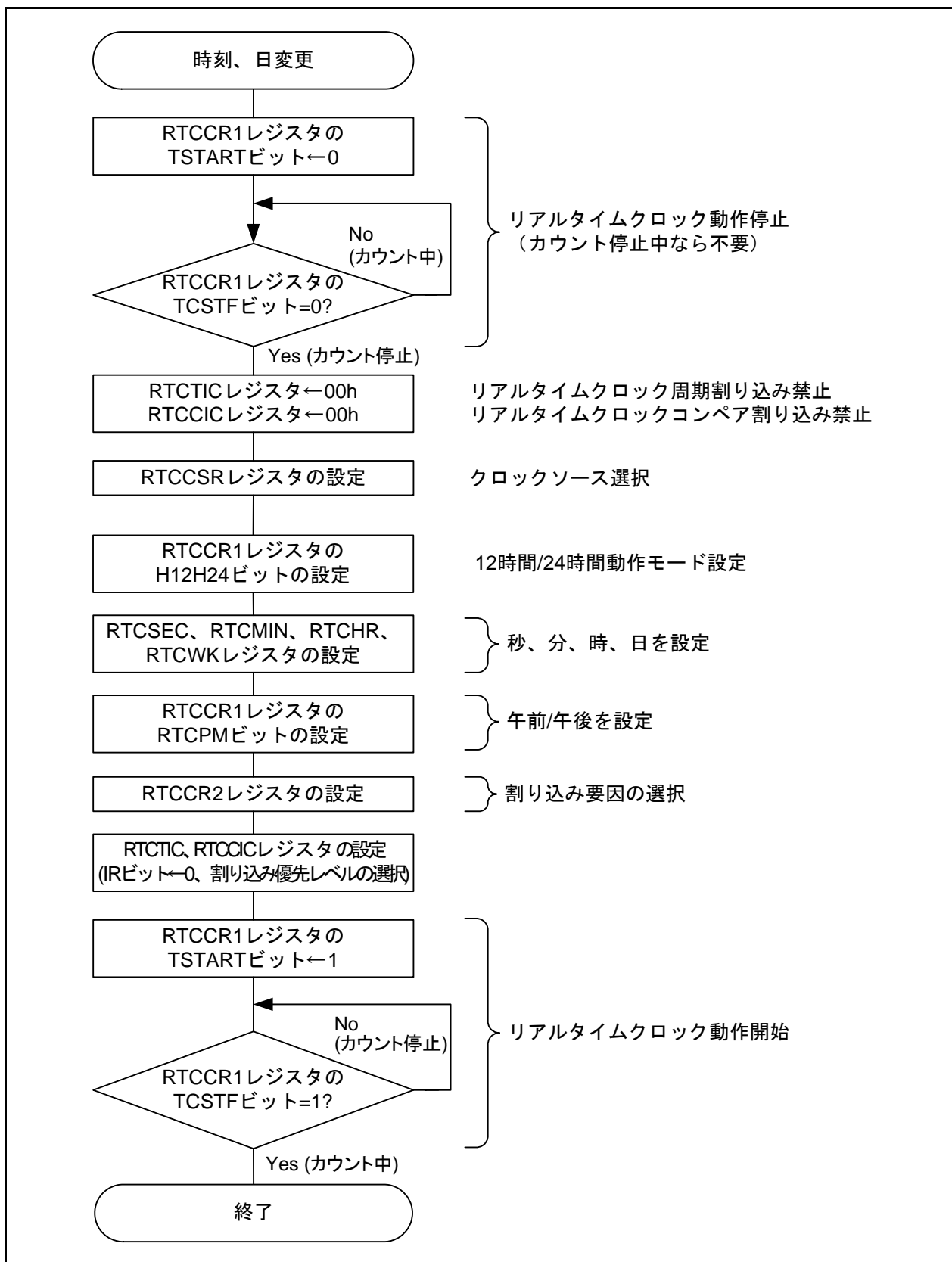


図 20.4 時刻、日変更手順 (コンペアモードを使用しない、またはコンペア1モード)

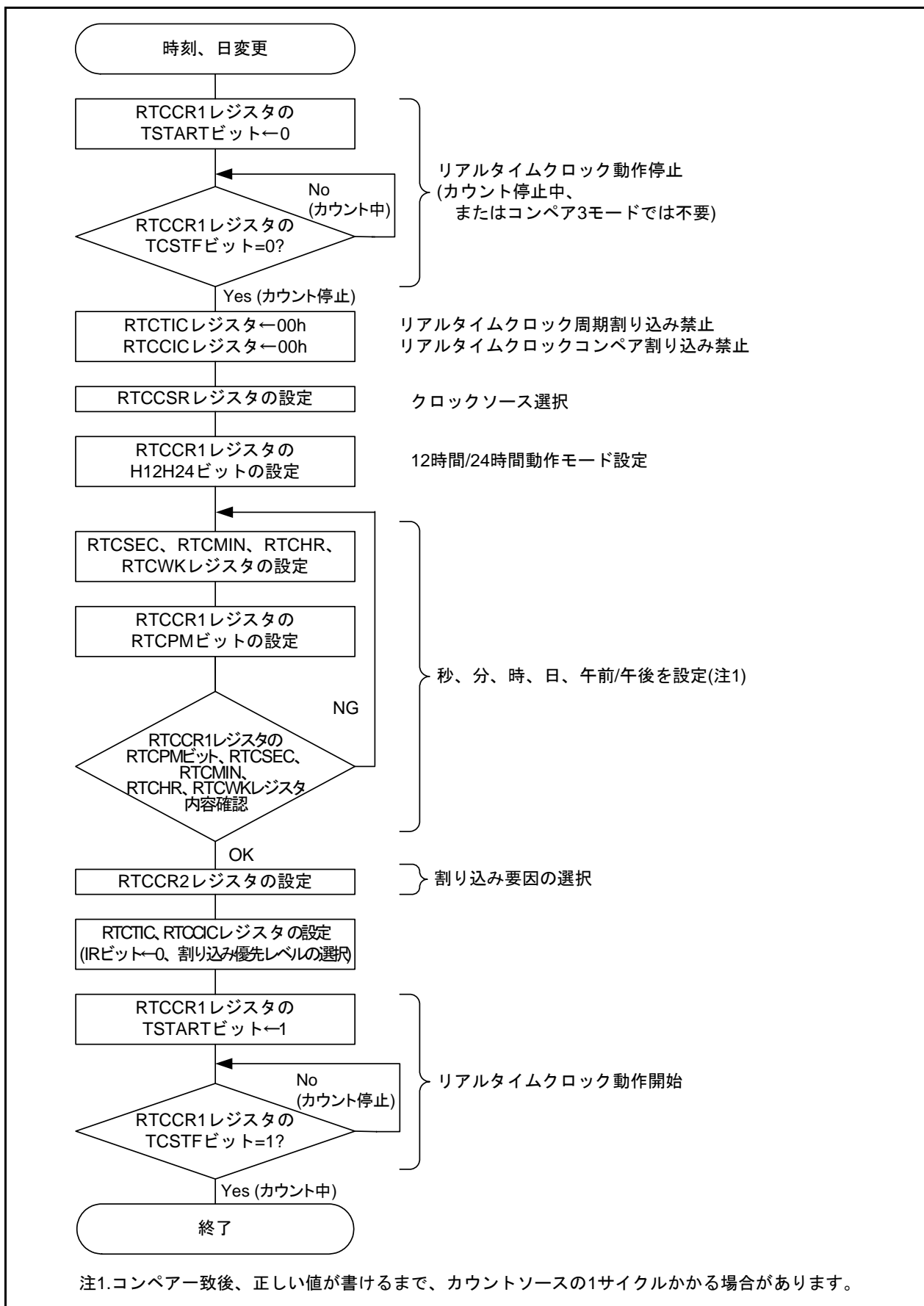


図 20.5 時刻、日変更手順 (コンペア2モード、またはコンペア3モード)

20.3.2 コンペアモード

時刻のデータ(注1)とコンペアデータ(注2)を比較し、一致を検出します。一致すると次のようになります。

- コンペア割り込み要求発生
詳細は「20.4 割り込み」を参照してください。
- RTCOUT端子の出力レベル反転
RTCCR1レジスタのTOENAビットが“1”(コンペア出力許可)の場合、コンペア一致を検出すると、RTCOUT端子の出力レベルを反転します。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット
RTCCMINレジスタのMN12~MN10、MN03~MN00ビット
RTCCHRレジスタのHR11~HR10、HR03~HR00ビット
RTCCR1レジスタのRTCPMビット

注2. コンペアデータのビットは次のとおりです。

RTCCSECレジスタのSCMP12~SCMP10、SCMP03~SCMP00ビット
RTCCMINレジスタのMCMP12~MCMP10、MCMP03~MCMP00ビット
RTCCHRレジスタのHCMP11~HCMP10、HCMP03~HCMP00ビット
RTCCHRレジスタのPMCMPビット

コンペアモードを使用する場合、比較するもの(秒、分、時)によって、RTCCR2レジスタのSEIE、MNIE、HRIEビットを“1”(割り込み許可)にしてください。詳細は「20.2.6 リアルタイムクロック制御レジスタ2(RTCCR2)」を参照してください。

コンペアモードには、コンペア1モード~コンペア3モードがあります。コンペア1モード~コンペア3モードはコンペア一致後の動作が違います。

- コンペア1モード
時刻のデータを継続使用し、カウントを継続します。
- コンペア2モード
時刻のデータをリセット後の値にし、カウントを継続します。
- コンペア3モード
時刻のデータをリセット後の値にし、カウンタを停止します。

図 20.6 にコンペアモードの違い、図 20.7 にカウント開始、停止の動作例、図 20.8 にコンペア 1 モードの動作例、図 20.9 にコンペア 2 モードの動作例、図 20.10 にコンペア 3 モードの動作例を示します。

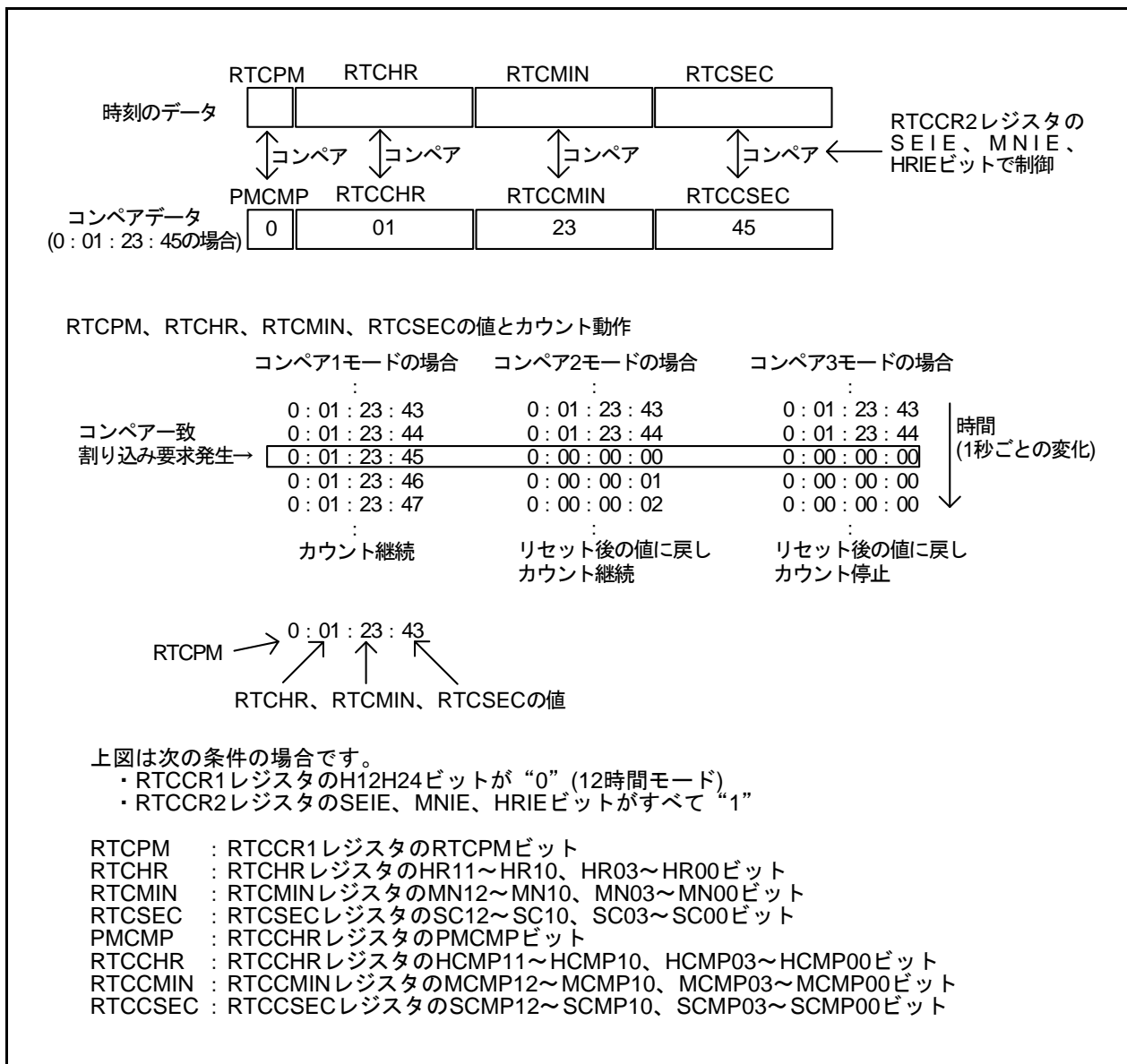


図 20.6 コンペアモードの違い

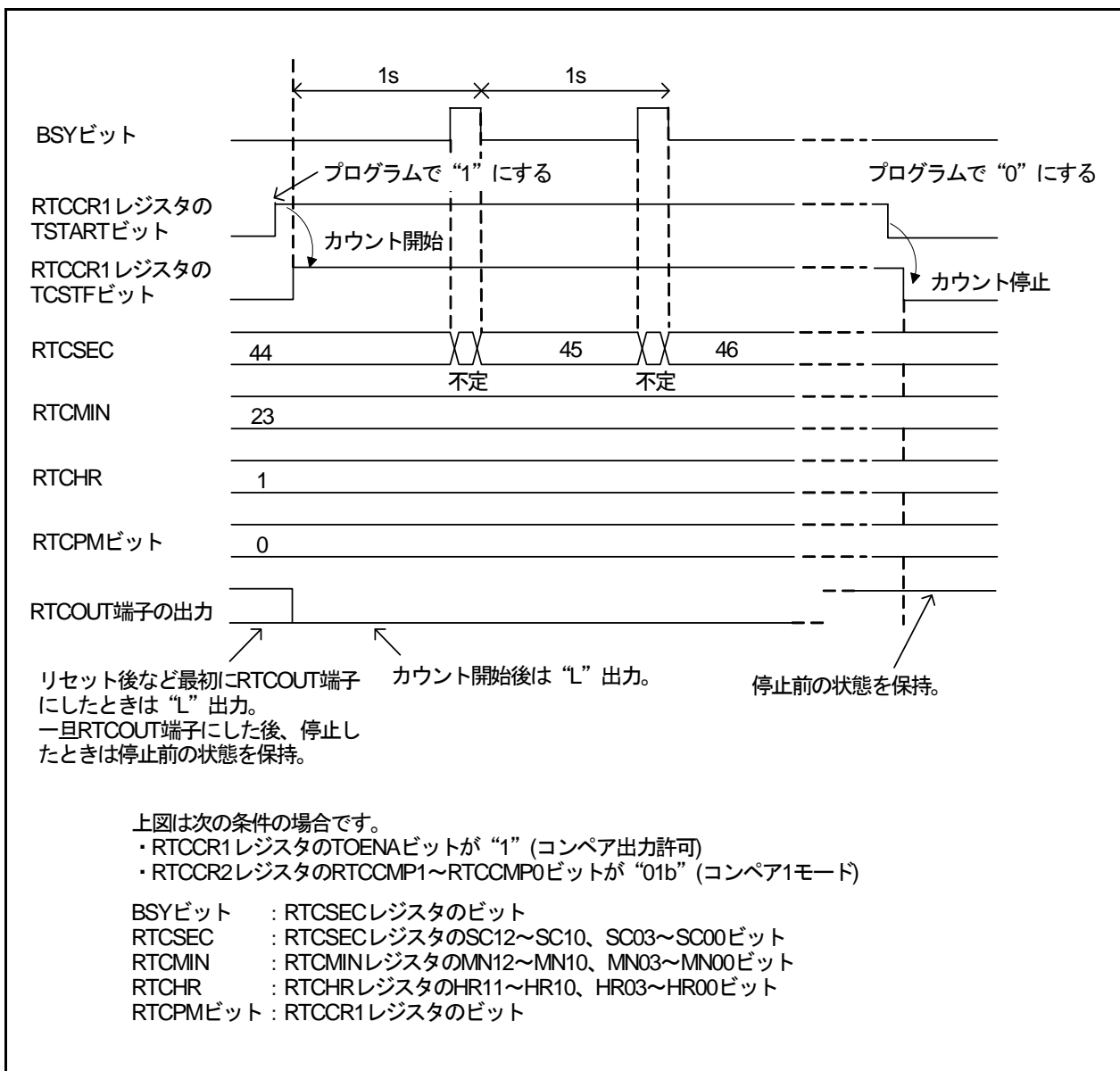


図 20.7 カウント開始、停止の動作例

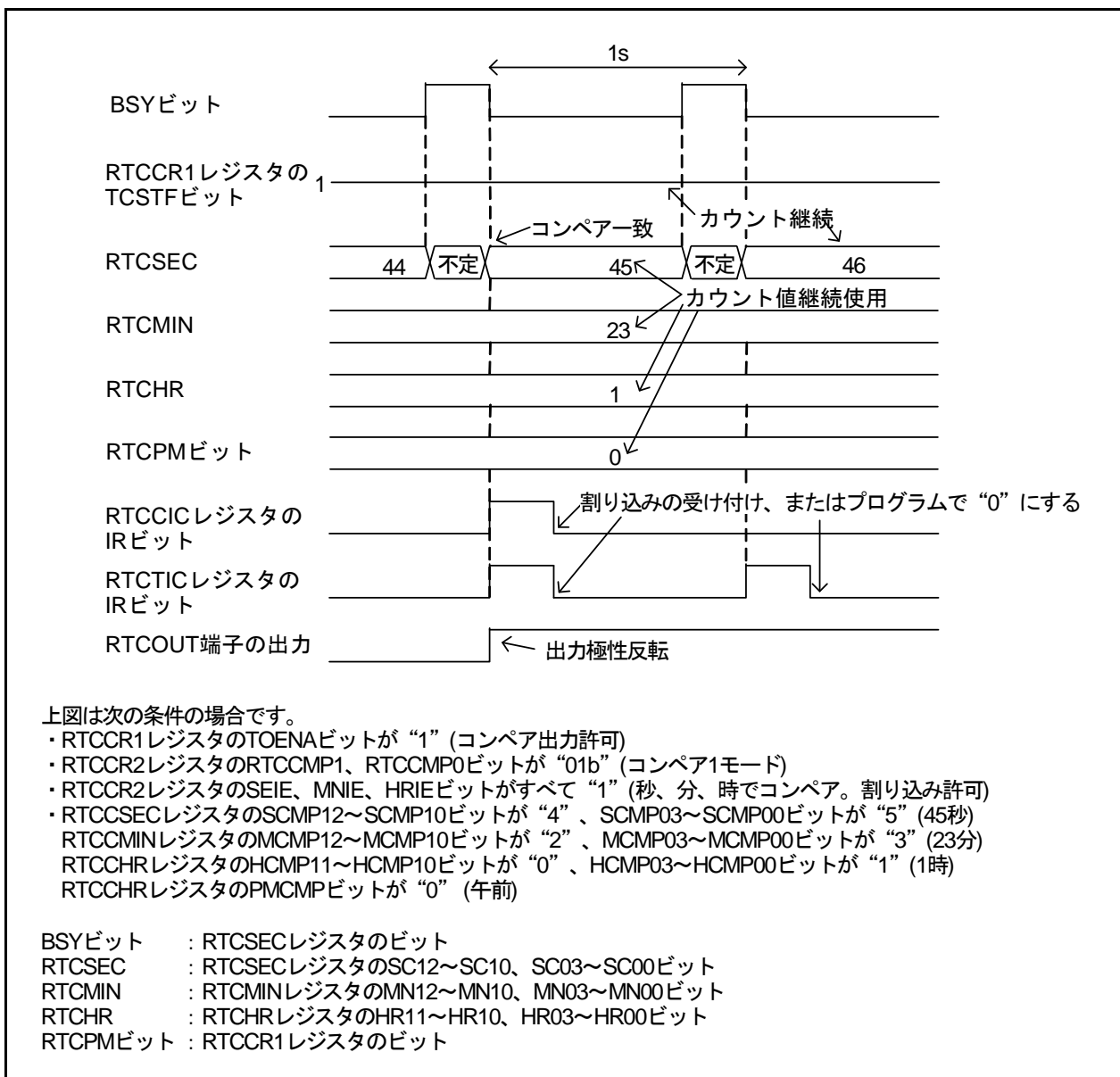


図 20.8 コンペアー1モードの動作例

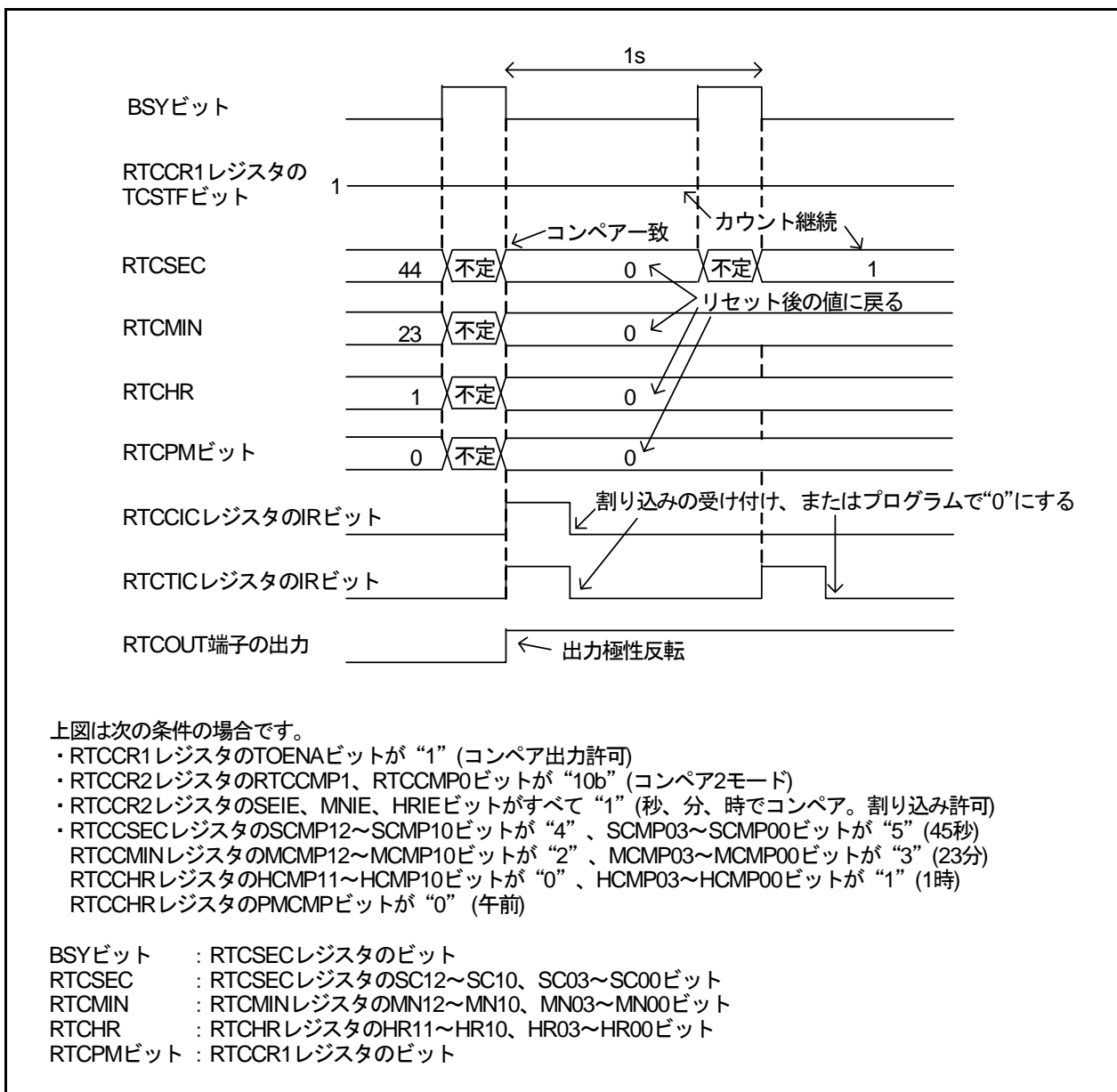


図 20.9 コンペア2モードの動作例



図 20.10 コンペア3モードの動作例

20.4 割り込み

リアルタイムクロックは次の2種類の割り込み要求を発生します。

- 秒、分、時、日、1週間の周期割り込み
- コンペア一致割り込み

周期割り込みの要因は「表 20.4 周期割り込み要因」を参照してください。割り込み要求発生タイミングは、各モードの仕様や動作例を参照してください。また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 20.5 にリアルタイムクロックの割り込み関連レジスタを示します。

表 20.5 リアルタイムクロックの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Eh	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
006Fh	リアルタイムクロックコンペア割り込み制御レジスタ	RTCCIC	XXXX X000b
0205h	割り込み要因選択レジスタ 3	IFSR3A	00h

リアルタイムクロックは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。周期割り込みを使用する場合は、IFSR3A レジスタのIFSR35 ビットを“1” (リアルタイムクロック周期) にしてください。コンペア割り込みを使用する場合は、IFSR3A レジスタのIFSR36 ビットを“1” (リアルタイムクロックコンペア) にしてください。

20.5 リアルタイムクロック使用上の注意事項

20.5.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

20.5.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、リアルタイムクロックが停止中に書いてください。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2レジスタ
- RTCCR1レジスタのH12H24ビット、RTCPMビット
- RTCCSRレジスタのRCS0~RCS4ビット

リアルタイムクロックが停止中とは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(リアルタイムクロック停止)の状態を指します。

また、RTCCR2レジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

「図 20.4 時刻、日変更手順(コンペアモードを使用しない、またはコンペア1モード)」 「図 20.5 時刻、日変更手順(コンペア2モード、またはコンペア3モード)」を参照してください。

20.5.3 レジスタ設定(コンペアデータ)

次のレジスタやビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- RTCCSEC、RTCCMIN、RTCCHRレジスタ

20.5.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法2

「図 20.11 時刻データ読み出し」に示す手順で読み出す。

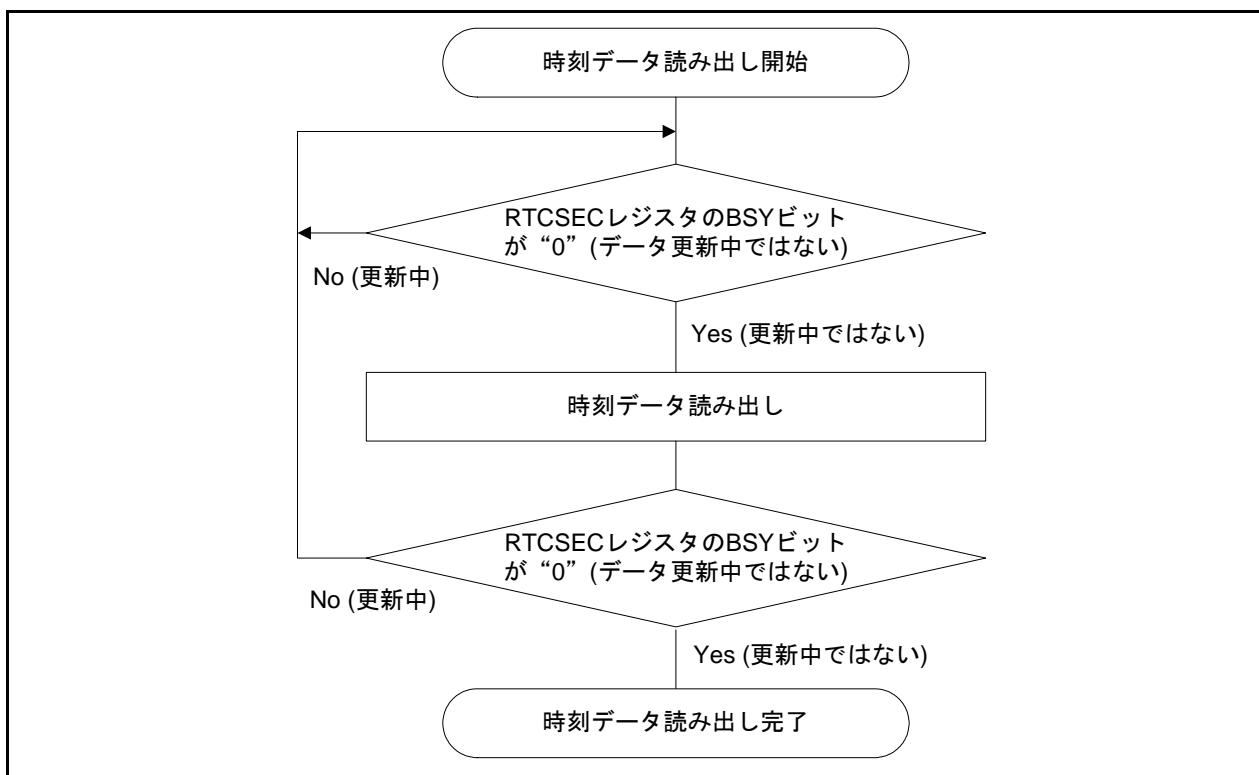


図 20.11 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット

RTCMINレジスタのMN12~MN10、MN03~MN00ビット

RTCHRレジスタのHR11~HR10、HR03~HR00ビット

RTCWKレジスタのWK2~WK0ビット

RTCCR1レジスタのRTCPMビット

21. PWM機能

21.1 概要

独立したPWM出力回路が2回路あります。表 21.1にPWM機能の仕様を、図 21.1にPWM機能のブロック図を、表 21.2に入出力端子を示します。

表 21.1 PWM機能の仕様

項目	内容
分解能	8ビット
カウントソース	f1の2分周、f1の4分周、f1の8分周、またはf1の16分周
PWM周期	$\frac{(2^8 - 1) \times (m + 1)}{f_j}$ (単位: s) m: PWMPREi レジスタの設定値 fj: カウントソースの周波数 (単位: Hz)
“H”のパルス幅	$\frac{(m + 1) \times n}{f_j}$ (単位: s) m: PWMPREi レジスタの設定値 n: PWMREGi レジスタの設定値 fj: カウントソースの周波数 (単位: Hz)
選択機能	出力端子選択 ポートP4またはポートP9を選択

i=0, 1

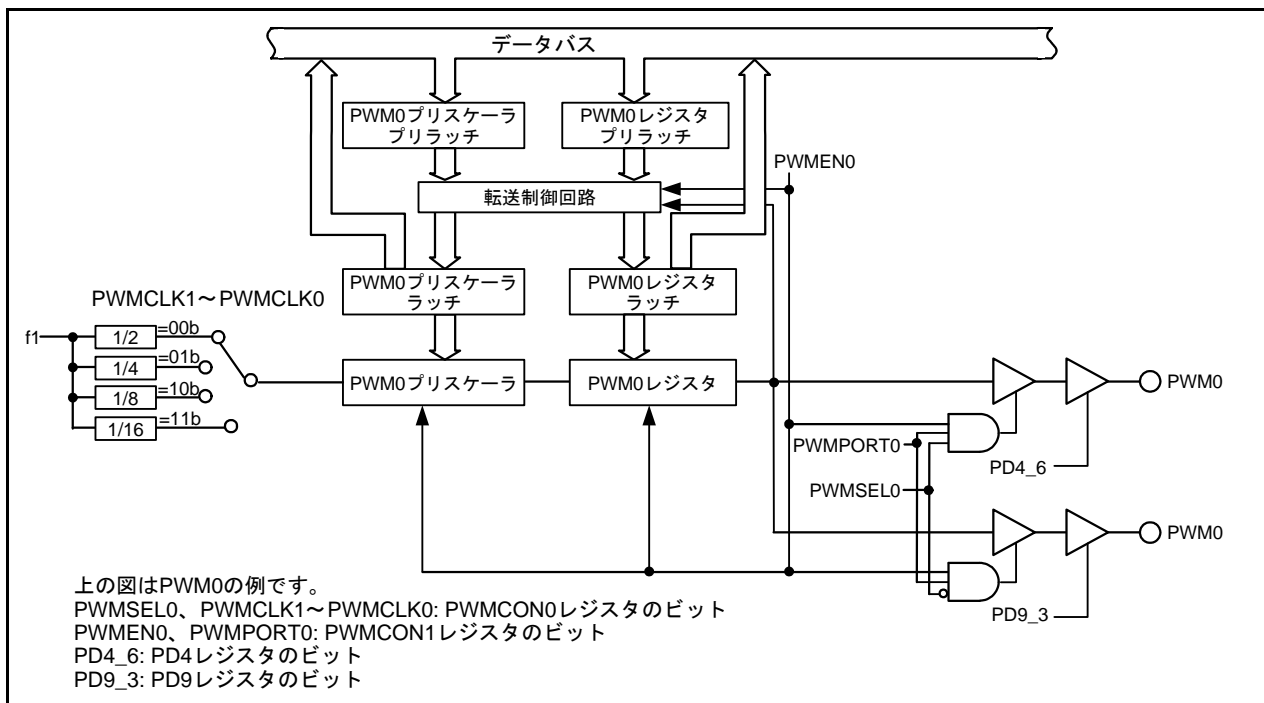


図 21.1 PWM機能のブロック図

表 21.2 入出力端子

端子名	入出力	機能
PWM0	出力(注1)	PWM出力
PWM1		

注1. 端子を共用するポートの方向ビットは“1” (出力モード)にしてください。

21.2 レジスタの説明

表 21.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0370h	PWM制御レジスタ0	PWMCON0	00h
0372h	PWM0プリスケータ	PWMPRE0	00h
0373h	PWM0レジスタ	PWMREG0	00h
0374h	PWM1プリスケータ	PWMPRE1	00h
0375h	PWM1レジスタ	PWMREG1	00h
0376h	PWM制御レジスタ1	PWMCON1	00h

21.2.1 PWM制御レジスタ0 (PWMCON0)

PWM制御レジスタ0			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PWMCON0	アドレス 0370h番地	リセット後の値 00h
	ビット シンボル	ビット名	機能
PWMSEL0	PWM0出力端子選択ビット	0 : PWM0をP9_3端子から出力 1 : PWM0をP4_6端子から出力	RW
PWMSEL1	PWM1出力端子選択ビット	0 : PWM1をP9_4端子から出力 1 : PWM1をP4_7端子から出力	RW
— (b5~b2)	予約ビット	“0”にしてください	RW
PWMCLK0	PWMカウントソース選択 ビット	b7 b6 0 0 : f1の2分周 0 1 : f1の4分周 1 0 : f1の8分周 1 1 : f1の16分周	RW
PWMCLK1		RW	

PWMCON0レジスタのPWMSELiビット(i=0, 1)、PWMCLKiビットは、PWMCON1レジスタのPWMENiビットが“0”(PWMi出力禁止)のときに変更してください。

PWMSEL0 (PWM0出力端子選択ビット) (b0)

PWMSEL1 (PWM1出力端子選択ビット) (b1)

PWM出力する端子を選択できます。詳細は「表 21.4 PWM端子の選択」を参照してください。

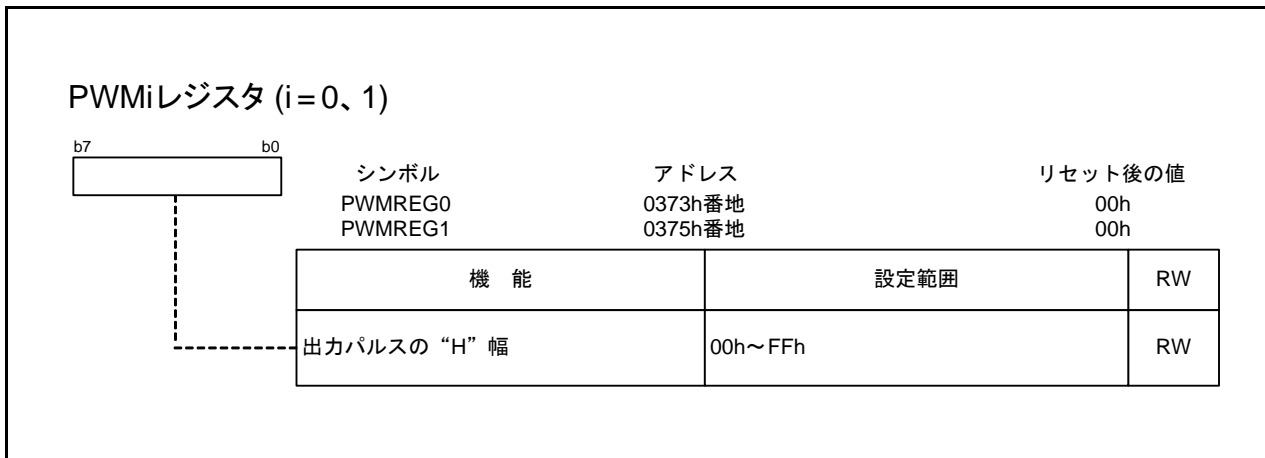
PWMCLK1~PWMCLK0 (PWMカウントソース選択ビット) (b7~b6)

PWMiプリスケアラのカウントソースを選択できます。カウントソースはPWM0、PWM1共通です。

21.2.2 PWMiプリスケアラ (PWMPREi) (i=0, 1)

PWMiプリスケアラ (i=0, 1)				
b7	b0	シンボル PWMPRE0 PWMPRE1	アドレス 0372h番地 0374h番地	リセット後の値 00h 00h
	機能	設定範囲	RW	
PWM周期	00h~FFh	RW		

21.2.3 PWMi レジスタ (PWMREGi) (i=0, 1)



PWMi (i=0, 1)の周期と、“H”の幅を設定するレジスタです。設定値とPWM周期、“H”の幅との関係は次のとおりです。

$$\text{PWM周期} = \frac{(2^8 - 1) \times (m + 1)}{f_j} \quad (\text{単位: s})$$

$$\text{“H”の幅} = \frac{(m + 1) \times n}{f_j} \quad (\text{単位: s})$$

f_j: PWMカウントソースの周波数 (単位: Hz)

m: PWMPREi レジスタの設定値

n: PWMREGi レジスタの設定値

PWMPREi レジスタに書いた値は、PWMi プリスケアラプリラッチに書き込まれます。PWMi プリスケアラプリラッチの値は、次のPWM周期の最初に、PWMi プリスケアララッチとPWMi プリスケアラに転送され波形に反映されます。

同様に、PWMREGi レジスタに書いた値は、PWMi レジスタプリラッチに書き込まれます。PWMi レジスタプリラッチの値は、次のPWM周期の最初に、PWMi レジスタラッチとPWMi レジスタに転送され波形に反映されます。

なお、PWMCON1 レジスタのPWMENi ビットが“0” (PWMi 出力禁止) のとき PWMPREi レジスタ、PWMREGi レジスタの値を変更すると、PWMENi ビットを“1” (PWMi 出力許可) にした後、変更前の値で1周期PWM出力します。

出力波形と転送タイミングは「21.3.2 動作例」を参照してください。

PWMENi ビットが“0” (PWMi 出力禁止) の場合、PWMPREi レジスタを読み出すと、PWMi プリスケアララッチの値が読めます。同様にPWMREGi レジスタを読み出すと、PWMi レジスタラッチの値が読めます(「図 21.1 PWM機能のブロック図」参照)。PWMENi ビットが“1” (PWMi 出力許可) の場合は、PWMPREi レジスタ、PWMREGi レジスタとも読み出すとその値は不定です。

21.2.4 PWM制御レジスタ1 (PWMCON1)

PWM制御レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PWMCON1	アドレス 0376h番地	リセット後の値 00h
0 0 0 0			
ビット シンボル	ビット名	機能	RW
PWMEN0	PWM0出力許可ビット	0: 出力禁止 1: 出力許可	RW
PWMEN1	PWM1出力許可ビット	0: 出力禁止 1: 出力許可	RW
PWMPORT0	PWM0ポート切り替え ビット	0: 入出力ポート 1: PWM0出力	RW
PWMPORT1	PWM1ポート切り替え ビット	0: 入出力ポート 1: PWM1出力	RW
— (b7~b4)	予約ビット	“0” にしてください	RW

PWMEN0 (PWM0出力許可ビット) (b0)

PWMEN1 (PWM1出力許可ビット) (b1)

PWM出力を開始するビットです。詳細は「表 21.4 PWM端子の選択」を参照してください。

PWMPORT0 (PWM0ポート切り替えビット) (b2)

PWMPORT1 (PWM1ポート切り替えビット) (b3)

PWM出力する端子を選択できます。詳細は「表 21.4 PWM端子の選択」を参照してください。

表 21.4 PWM端子の選択

ビットの設定			端子の機能または状態			
PWMCON0 レジスタ	PWMCON1 レジスタ					
PWMSELi ビット	PWMPORTi ビット	PWMENi ビット	P9_3	P9_4	P4_6	P4_7
0	0	0 または 1	入出力ポートまたはその 他の周辺機能の端子		入出力ポートまたはその 他の周辺機能の端子	
	1 (注1)	0	PWMi出力レベル保持 (注2)			
		1	PWMiパルス出力			
1	0	0 または 1	入出力ポートまたはその 他の周辺機能の端子		入出力ポートまたはその 他の周辺機能の端子	
	1 (注1)	0			PWMi出力レベル保持 (注2)	
		1			PWMiパルス出力	

i=0, 1

注1. 選択した端子に対応する方向ビットは“1” (出力モード)にしてください。

注2. PWMi出力後、PWMENiビットを“1”から“0”にすると、そのときのPWMi出力レベルを保持します。
リセット後は“L”を出力します。

21.3 動作説明

21.3.1 設定手順

PWMi ($i=0, 1$) 出力を開始するときは、各レジスタを次の手順で設定してください (SFR はすべてリセット後の状態になっているものとします。また、レジスタまたはビットのアクセス方法は各レジスタの説明を参照してください)。

- (1) PWMi出力に使用する端子に対応するポートの、出力データをポートP9またはP4レジスタに設定する。その後、対応するポートの方向ビットを“1”(出力モード)にする。
- (2) PWMCON0レジスタのPWMSELiビットでPWMiを出力する端子を選択する。また、PWMCLKiビットでカウントソースを選択する。
- (3) PWMPREiレジスタ、PWMREGiレジスタでPWM周期、“H”パルス幅を設定する
- (4) PWMCON1レジスタのPWMPORTiビットを“1”(PWMi機能)に、PWMENiビットを“1”(PWMi出力許可)にする

21.3.2 動作例

PWMi ($i=0, 1$) 出力中にPWMPREiレジスタ、PWMREGiレジスタに書いた値は、次の周期で波形に反映されます。

リセット後、最初の出力時は、“L”を出力した後、設定した波形を出力します。

PWMi出力後、PWMCON1レジスタのPWMENiビットを“1”(PWMi出力許可)から“0”(PWMi出力禁止)にすると、そのときのPWMi出力レベルを保持します。このときPWMPREi、PWMREGiレジスタには出力禁止前の値が残っています。PWMi出力停止中にPWMPREi、PWMREGiレジスタを書き換えてPWMENiビットを“1”にすると、最初に書き換える前のPWMPREi、PWMREGiレジスタの値に従って1周期出力し、2周期目から書き換えた後の値に従って出力します。

図 21.2~図 21.4にPWMi出力例を示します。

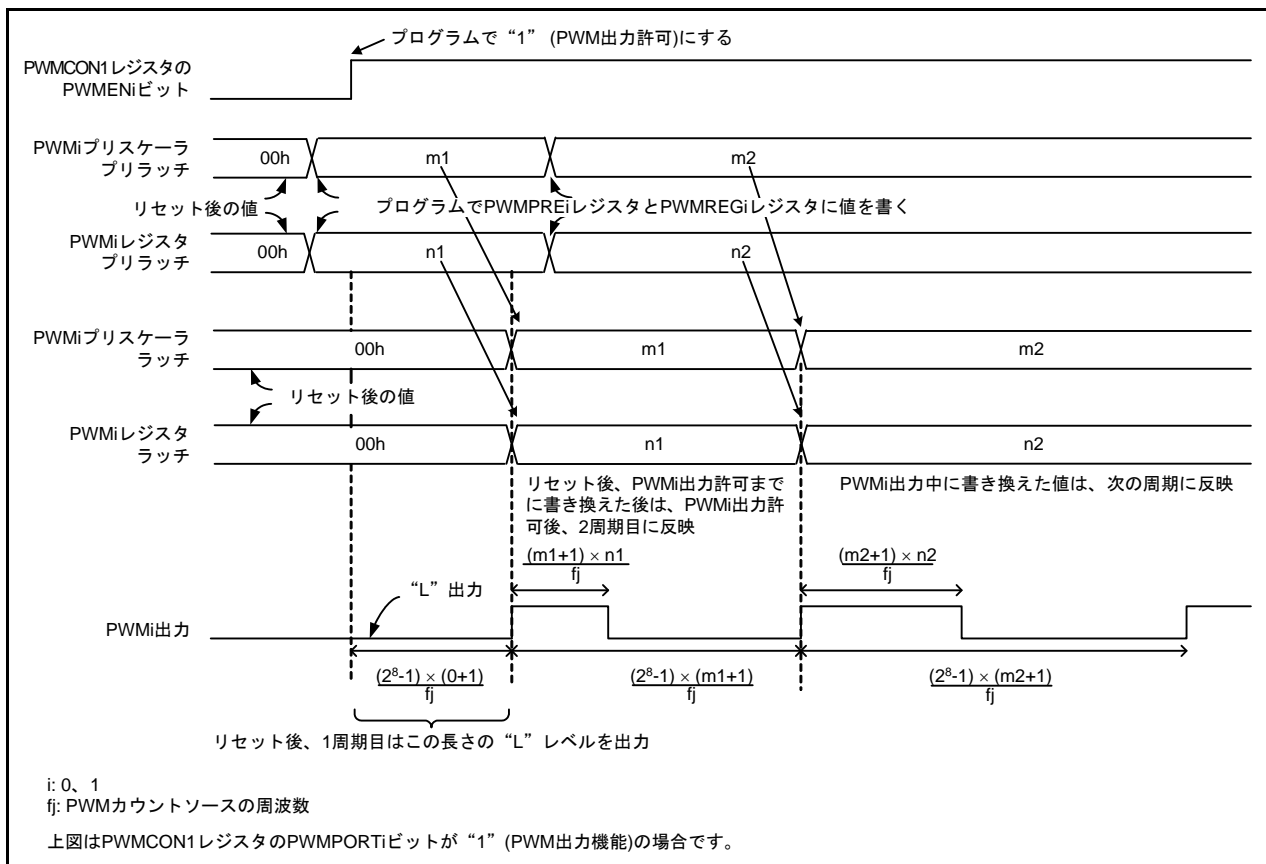


図 21.2 PWMi出力例(リセット後と、出力中の値の変更)

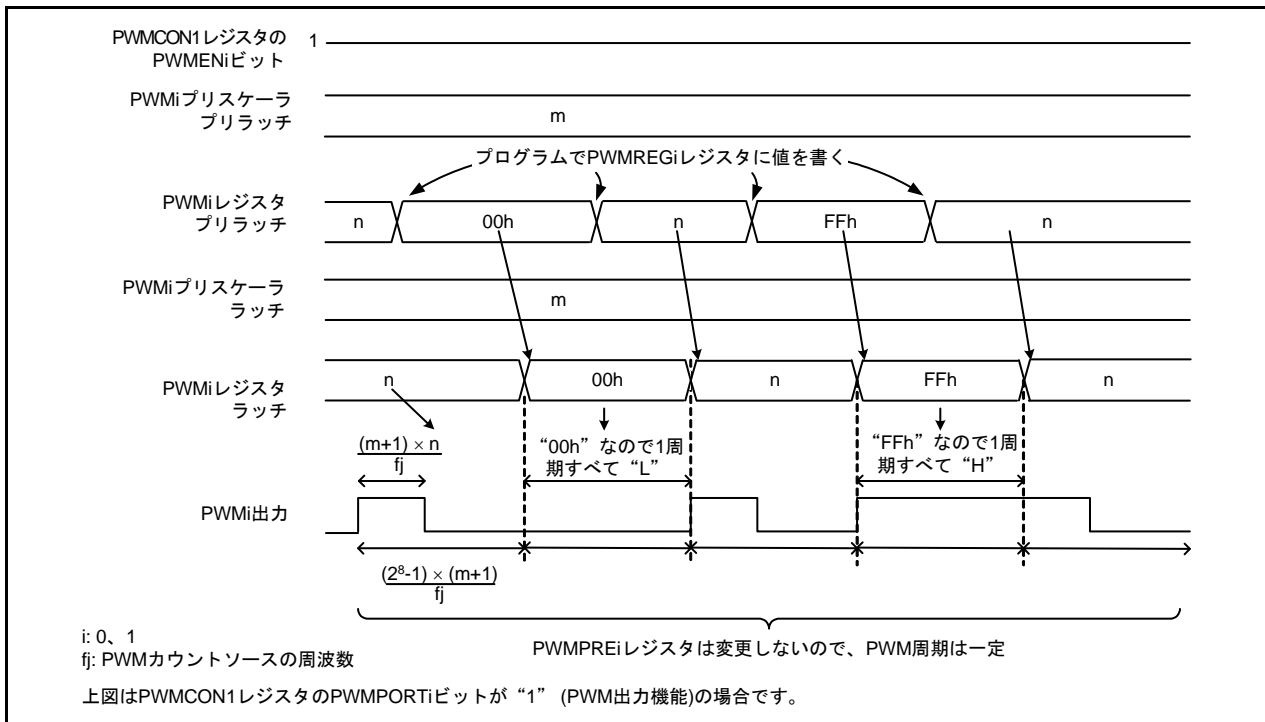


図 21.3 PWMi出力例(デューティ 0%、デューティ 100%出力)

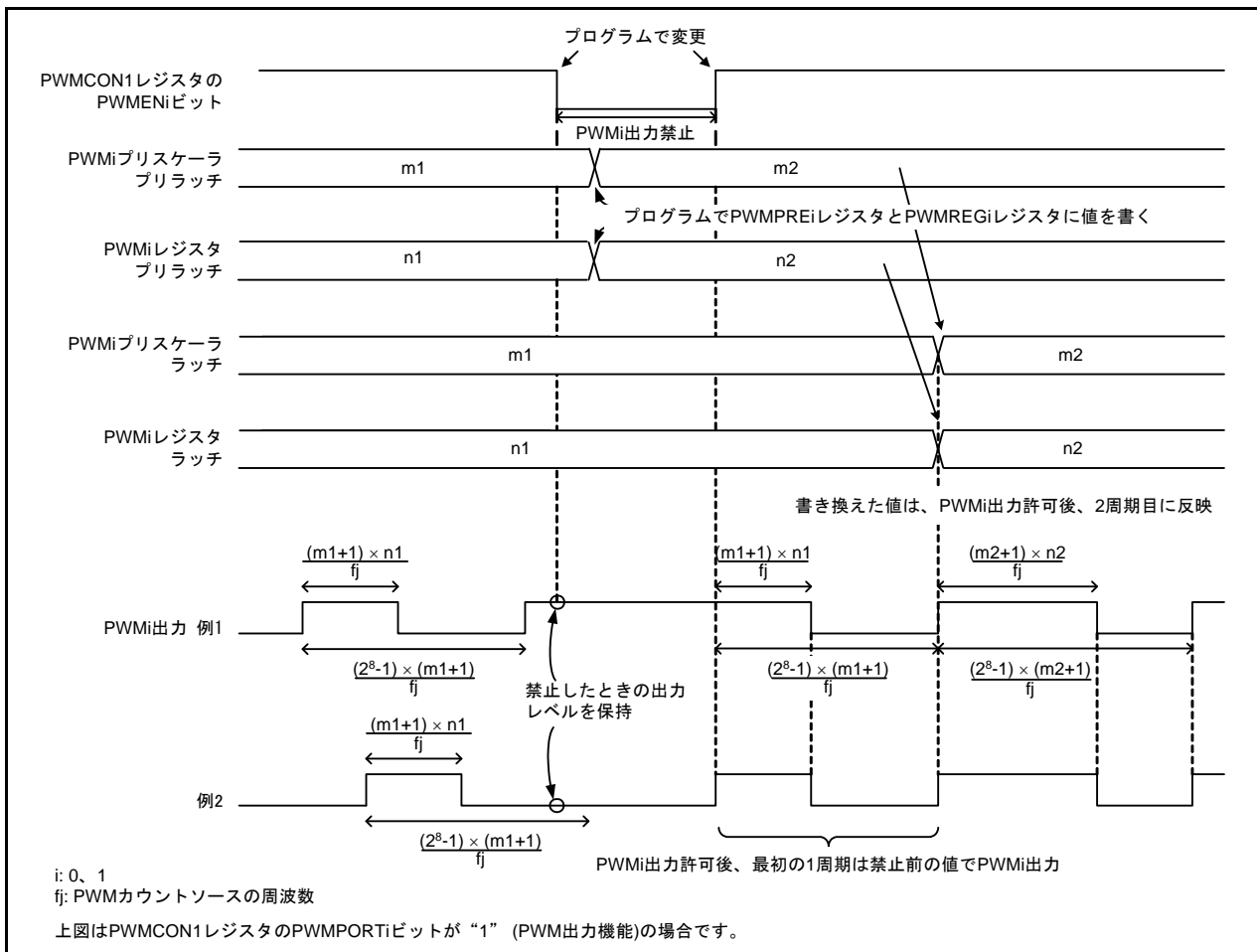


図 21.4 PWMi出力例(PWM出力禁止と出力再開)

22. リモコン信号受信機能

22.1 概要

リモコン信号受信機能には、外部パルスの幅や周期を検査する回路が2回路あります。

表 22.1 にリモコン信号受信機能の仕様を、図 22.1~22.3 にリモコン信号受信機能のブロック図を、表 22.2 に入出力端子を示します。

表 22.1 リモコン信号受信機能の仕様

項目		内容	
		PMC0回路	PMC1回路
カウントソース	クロック源	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB2アンダフロー • PMC1のカウントソース 	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB1アンダフロー • タイマB2アンダフロー
	分周	分周なし、8分周、32分周、または64分周	
カウント動作		アップカウント	
動作モード		<ul style="list-style-type: none"> • パターンマッチモード 外部パルスと指定したパターンとの一致を判定するモード • インプットキャプチャモード 外部パルスの幅や周期を測定するモード 	
パターンマッチモード	検査パターン	<ul style="list-style-type: none"> • ヘッダ • データ0 • データ1 • 特殊データ 	
	受信バッファ	6バイト(48ビット)	なし
	割り込み要求発生タイミング	<ul style="list-style-type: none"> • 受信エラー • データ受信完了 • ヘッダー一致 • データ0またはデータ1一致 • 特殊データ一致 • 受信バッファフル • コンペアー一致 	<ul style="list-style-type: none"> • 受信エラー • データ受信完了 • ヘッダー一致 • データ0またはデータ1一致
	選択機能	<ul style="list-style-type: none"> • 入力信号反転 • デジタルフィルタ 	
インプットキャプチャモード	測定項目	<ul style="list-style-type: none"> • パルスの周期(立ち上がりエッジ~立ち上がりエッジ) • パルスの周期(立ち下がりエッジ~立ち下がりエッジ) • パルスの幅 	
	割り込み要求発生タイミング	<ul style="list-style-type: none"> • タイマ測定 • カウンタオーバフロー 	
	選択機能	<ul style="list-style-type: none"> • 入力信号反転 • デジタルフィルタ • PMC0、PMC1の入力を個別にカウント、またはPMC0、PMC1の入力を同時にカウント 	

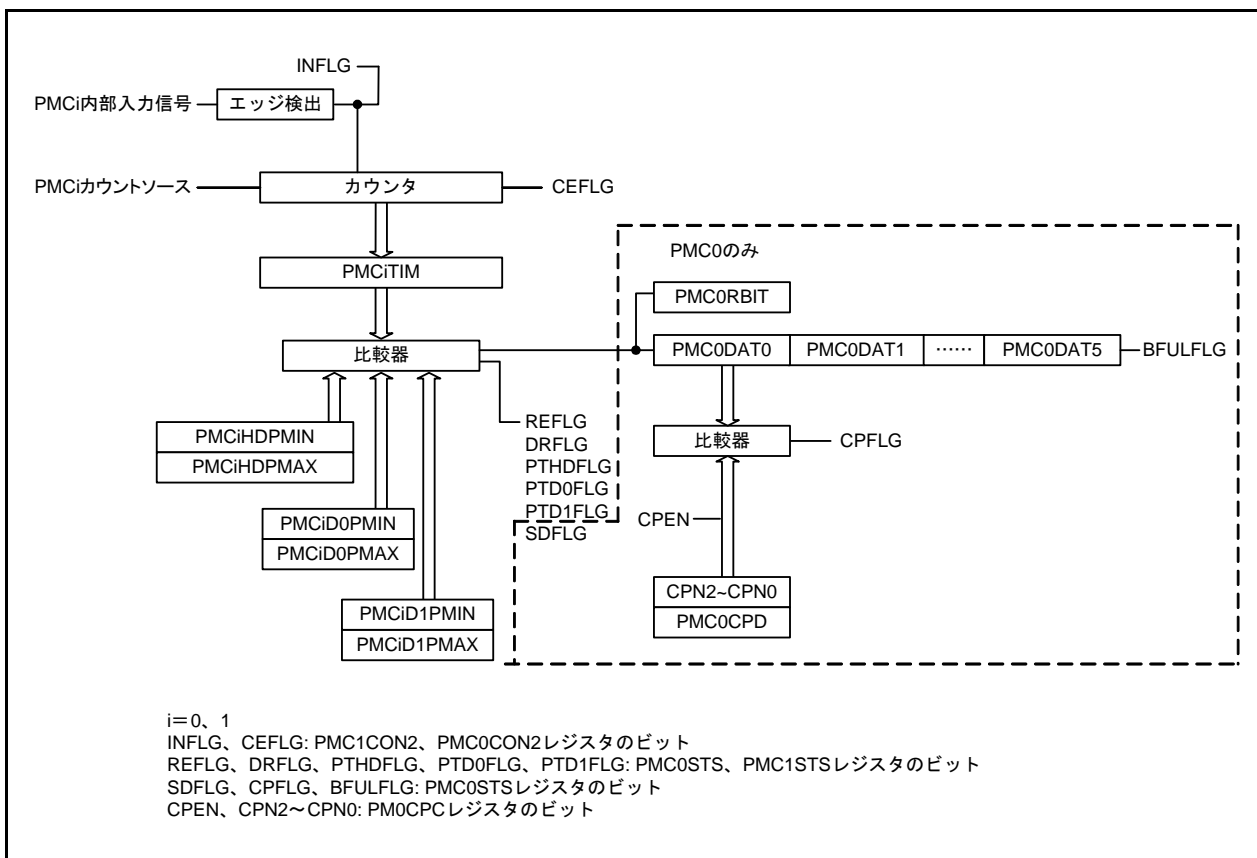


図 22.1 リモコン信号受信機能のブロック図(1/3)

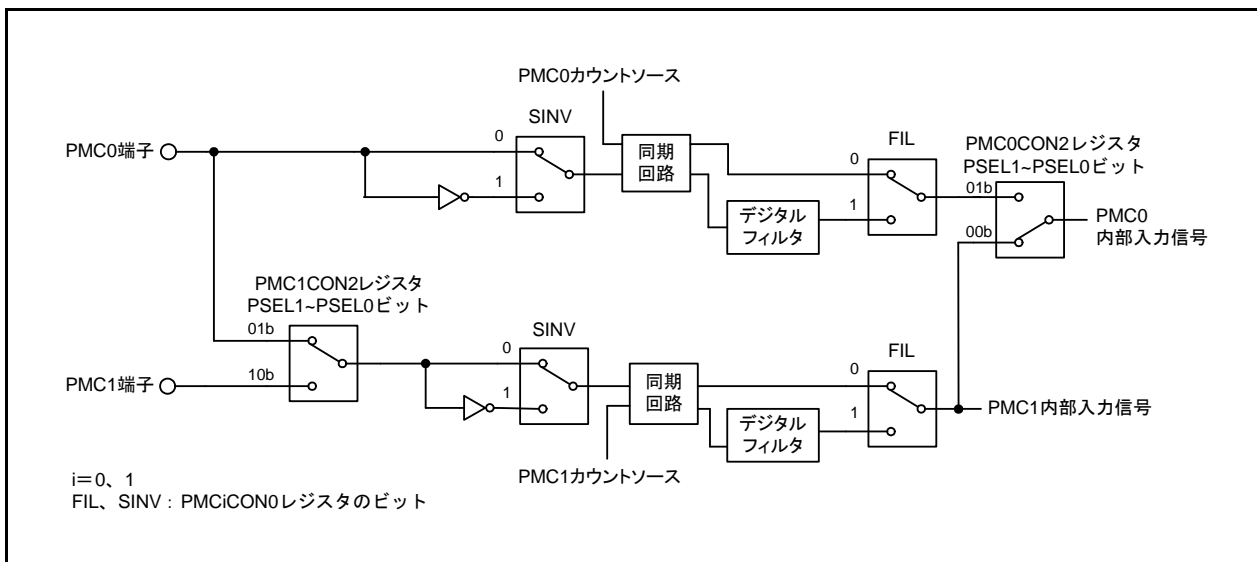


図 22.2 リモコン信号受信機能ブロック図(2/3) (PMCI入力)

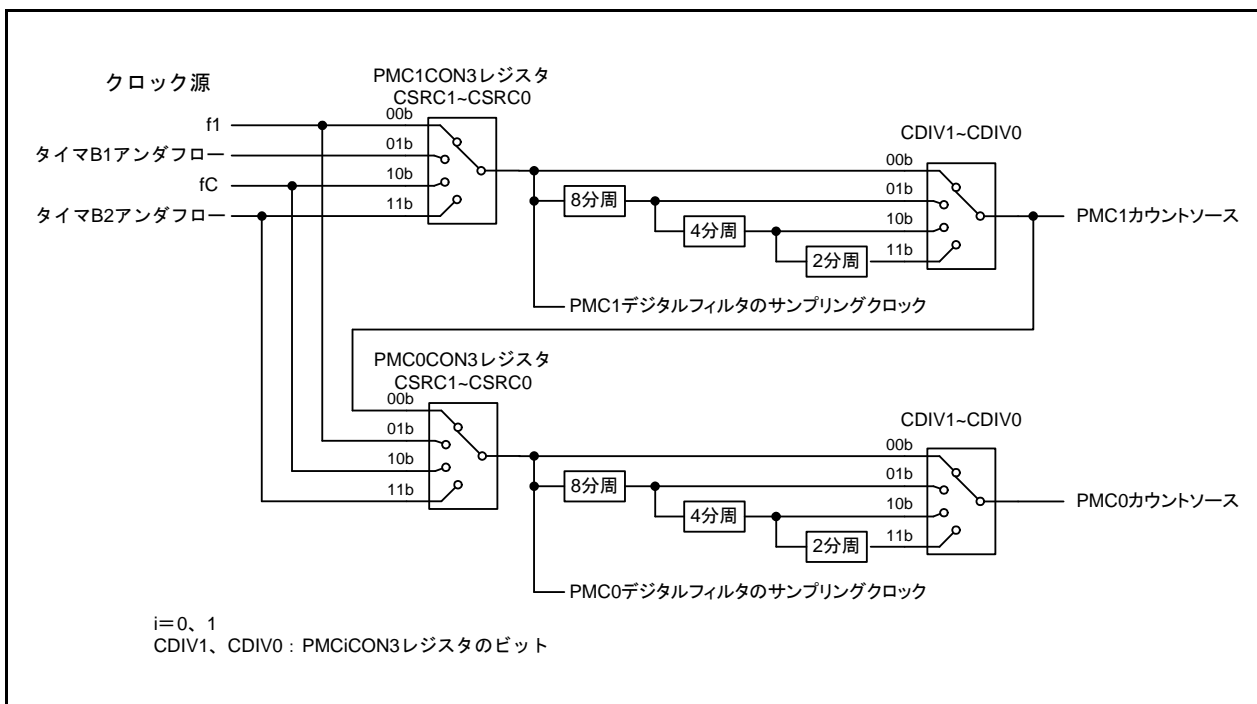


図 22.3 リモコン信号受信機能ブロック図(3/3) (PMCiカウントソース)

表 22.2 入出力端子

端子名	入出力	機能
PMC0	入力(注1)	外部パルス入力
PMC1		

注1. 端子を共用するポートの方向ビットは“0”(入力モード)にしてください。

22.2 レジスタの説明

表 22.3 レジスタ一覧(PMC0回路)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
01F0h	PMC0機能選択レジスタ0	PMC0CON0	00h
01F1h	PMC0機能選択レジスタ1	PMC0CON1	00XX 0000b
01F2h	PMC0機能選択レジスタ2	PMC0CON2	0000 00X0b
01F3h	PMC0機能選択レジスタ3	PMC0CON3	00h
01F4h	PMC0ステータスレジスタ	PMC0STS	00h
01F5h	PMC0割り込み要因レジスタ	PMC0INT	00h
01F6h	PMC0コンペア制御レジスタ	PMC0CPC	XXX0 X000b
01F7h	PMC0コンペア値設定レジスタ	PMC0CPD	00h
D080h	PMC0ヘッダパターン設定レジスタ (MIN)	PMC0HDPMIN	0000 0000b
D081h			XXXX X000b
D082h	PMC0ヘッダパターン設定レジスタ (MAX)	PMC0HDPMAX	0000 0000b
D083h			XXXX X000b
D084h	PMC0データ0パターン設定レジスタ (MIN)	PMC0D0PMIN	00h
D085h	PMC0データ0パターン設定レジスタ (MAX)	PMC0D0PMAX	00h
D086h	PMC0データ1パターン設定レジスタ (MIN)	PMC0D1PMIN	00h
D087h	PMC0データ1パターン設定レジスタ (MAX)	PMC0D1PMAX	00h
D088h	PMC0測定結果レジスタ	PMC0TIM	00h
D089h			00h
D08Ch	PMC0受信データ格納レジスタ0	PMC0DAT0	00h
D08Dh	PMC0受信データ格納レジスタ1	PMC0DAT1	00h
D08Eh	PMC0受信データ格納レジスタ2	PMC0DAT2	00h
D08Fh	PMC0受信データ格納レジスタ3	PMC0DAT3	00h
D090h	PMC0受信データ格納レジスタ4	PMC0DAT4	00h
D091h	PMC0受信データ格納レジスタ5	PMC0DAT5	00h
D092h	PMC0受信ビット数レジスタ	PMC0RBIT	XX00 0000b

表 22.4 レジスタ一覧(PMC1回路)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
01F8h	PMC1機能選択レジスタ0	PMC1CON0	XXX0 X000b
01F9h	PMC1機能選択レジスタ1	PMC1CON1	XXXX 0X00b
01FAh	PMC1機能選択レジスタ2	PMC1CON2	0000 00X0b
01FBh	PMC1機能選択レジスタ3	PMC1CON3	00h
01FCh	PMC1ステータスレジスタ	PMC1STS	X000 X00Xb
01FDh	PMC1割り込み要因レジスタ	PMC1INT	X000 X00Xb
D094h	PMC1ヘッダパターン設定レジスタ (MIN)	PMC1HDPMIN	0000 0000b
D095h			XXXX X000b
D096h	PMC1ヘッダパターン設定レジスタ (MAX)	PMC1HDPMAX	0000 0000b
D097h			XXXX X000b
D098h	PMC1データ0パターン設定レジスタ (MIN)	PMC1D0PMIN	00h
D099h	PMC1データ0パターン設定レジスタ (MAX)	PMC1D0PMAX	00h
D09Ah	PMC1データ1パターン設定レジスタ (MIN)	PMC1D1PMIN	00h
D09Bh	PMC1データ1パターン設定レジスタ (MAX)	PMC1D1PMAX	00h
D09Ch	PMC1測定結果レジスタ	PMC1TIM	00h
D09Dh			00h

22.2.1 PMCi機能選択レジスタ0 (PMCiCON0) (i = 0, 1)

PMCO機能選択レジスタ0		シンボル PMCOCON0	アドレス 01F0h番地	リセット後の値 00h									
b7	b6	b5	b4	b3	b2	b1	b0						
								ビットシンボル	ビット名	機能	RW		
								EN	PMCO動作許可ビット	0: 動作禁止 1: 動作許可	RW		
								SINV	入力信号極性反転ビット	0: 反転なし 1: 反転あり	RW		
								FIL	フィルタ有効ビット	0: フィルタ無効 1: フィルタ有効	RW		
								EHOLD	エラーフラグホールドビット	PMCOSTSレジスタのREFLGビットの状態を 0: 次のデータ受信まで保持 1: 次のデータ受信以降も保持	RW		
								HDEN	ヘッダパターン有効ビット	0: ヘッダ無効 1: ヘッダ有効	RW		
								SDEN	特殊データパターン有効ビット	0: 特殊データパターン無効 1: 特殊データパターン有効	RW		
								DRINT0	受信割り込み制御ビット	b7 b6 0 0: 受信完了時に割り込み要求発生 0 1: コンペア一致、かつ受信完了時に割り込み要求発生 1 0: 受信エラーなし、かつ受信完了時に割り込み要求発生 1 1: コンペア一致、かつ受信エラーなし、かつ受信完了時に割り込み要求発生	RW		
							DRINT1						

PMC1機能選択レジスタ0		シンボル PMC1CON0	アドレス 01F8h番地	リセット後の値 XXX0 X000b									
b7	b6	b5	b4	b3	b2	b1	b0						
								ビットシンボル	ビット名	機能	RW		
								EN	PMC1動作許可ビット	0: 動作禁止 1: 動作許可	RW		
								SINV	入力信号極性反転ビット	0: 反転なし 1: 反転あり	RW		
								FIL	フィルタ有効ビット	0: フィルタ無効 1: フィルタ有効	RW		
								— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—		
								HDEN	ヘッダパターン有効ビット	0: ヘッダ無効 1: ヘッダ有効	RW		
								— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—		

EN (PMCi動作許可ビット) (b0)

EN ビットはPMCiの動作開始、停止を制御するビットです。動作を開始または停止したことは、PMCiCON2レジスタのENFLGビットで確認してください。

EHOLD (エラーフラグホールドビット) (b3)

受信エラーが発生した場合に、PMC0STS レジスタの REFLG ビットが“1” (受信エラーあり) の状態をいつまで保持するかを選択できます。詳細は「22.2.5 PMCi ステータスレジスタ (PMCiSTS) (i=0, 1)」の「REFLG (受信エラーフラグ) (b1)」を参照してください。

HDEN (ヘッダパターン有効ビット) (b4)

HDEN ビットが“1” (ヘッダ有効) の場合、データ受信開始後 (DRFLG フラグが“1”) ヘッダを検出する前に、データ0、データ1または特殊データを検出すると次のようになります。

- PMCiSTS レジスタの REFLG ビットが“1” (エラー発生) になる
- PMCiSTS レジスタの PTD0FLG、PTD1FLG、SDFLG ビットは変化しない
- PMC0DAT0~PMC0DAT5 レジスタは変化しない

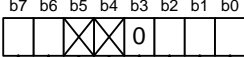
DRINT1~DRINT0 (受信割り込み制御ビット) (b7~b6)

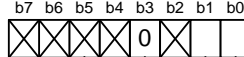
データ受信完了割り込み要求の発生条件を選択できます。

DRINT1~DRINT0 ビットを設定した後で、PMC0INT レジスタの DRINT ビットを“1” (受信完了割り込み許可) にしてください。

DRINT1 ビットを“1”にする場合、PMC0CON0 レジスタの EHOLD ビットを“1” (次のデータ受信以降も REFLG ビットの状態を保持) にしてください。

22.2.2 PMCi機能選択レジスタ1 (PMCiCON1) (i=0, 1)

PMCO機能選択レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0 	シンボル PMCOCON1	アドレス 01F1h番地	リセット後の値 00XX 0000b
ビットシンボル	ビット名	機能	RW
TYP0	受信モード選択ビット	b1 b0 0 0: 周期測定 (立ち上がりエッジ~立ち上がりエッジ) 0 1: パターンマッチモード時 “H”幅測定(立ち上がりエッジ~立ち下がりエッジ) インプットキャプチャモード時 周期測定(立ち下がりエッジ~立ち下がりエッジ)	RW
TYP1		1 0: パルス幅測定 (立ち上がりエッジ~立ち下がりエッジ、立ち下がりエッジ~立ち上がりエッジ) 1 1: 設定しないでください	
CSS	カウンタ開始制御ビット	0: カウンタは個別に動作する 1: カウンタは同時に動作する	RW
— (b3)	予約ビット	“0” にしてください	RW
— (b5-b4)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—
EXSDEN	特殊パターン検出ブロック選択ビット	0: PMCO 1: PMC1	RW
EXHDEN	ヘッダパターン検出ブロック選択ビット	0: PMCO 1: PMC1	RW

PMC1機能選択レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0 	シンボル PMC1CON1	アドレス 01F9h番地	リセット後の値 XXXX 0X00b
ビットシンボル	ビット名	機能	RW
TYP0	受信モード選択ビット	b1 b0 0 0: 周期測定 (立ち上がりエッジ~立ち上がりエッジ) 0 1: パターンマッチモード時 “H”幅測定(立ち上がりエッジ~立ち下がりエッジ) インプットキャプチャモード時 周期測定(立ち下がりエッジ~立ち下がりエッジ)	RW
TYP1		1 0: パルス幅測定 (立ち上がりエッジ~立ち下がりエッジ、立ち下がりエッジ~立ち上がりエッジ) 1 1: 設定しないでください	
— (b2)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
— (b7-b4)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—

EXSDEN (特殊パターン検出ブロック選択ビット) (b6)

EXHDEN (ヘッダパターン検出ブロック選択ビット) (b7)

パターンマッチモードで、PMC0 と PMC1 を連結動作させる場合に使用します。それ以外では“0”にしてください。

PMC0CON0 レジスタのHDENビットが“1” (ヘッダ有効) かつSDENビットが“1” (特殊データパターン有効) の場合、EXHDEN~EXSDEN ビットを“01b”または“10b”にしてください。「22.3.3.2 ヘッダ、特殊データ検出」を参照してください。

22.2.3 PMCi機能選択レジスタ2 (PMCiCON2) (i=0, 1)

PMCO機能選択レジスタ2											
b7	b6	b5	b4	b3	b2	b1	b0	シンボル PMCOCON2	アドレス 01F2h番地	リセット後の値 0000 00X0b	
					0			ビットシンボル	ビット名	機能	RW
								ENFLG	PMCOステータスフラグ	0: 停止 1: 動作中	RO
								— (b1)	予約ビット	読んだ場合、その値は不定。	RO
								— (b2)	予約ビット	“0” にしてください	RW
								INFLG	入力信号フラグ	0: PMCO内部入力信号のレベルが“L” 1: PMCO内部入力信号のレベルが“H”	RO
								CEFLG	カウンタオーバーフローフラグ	0: オーバフローなし 1: オーバフローあり	RO
								CEINT	カウンタオーバーフロー 割り込み許可ビット	0: 禁止 1: 許可	RW
								PSEL0	入力端子選択ビット	b7 b6 0 0: PMC1と同じ (PMC1CON2レジスタの PSEL1~PSEL0ビットで選択) 0 1: PMCO端子 1 0: 設定しないでください 1 1: 設定しないでください	RW
								PSEL1			

PMC1機能選択レジスタ2											
b7	b6	b5	b4	b3	b2	b1	b0	シンボル PMC1CON2	アドレス 01FAh番地	リセット後の値 0000 00X0b	
					0			ビットシンボル	ビット名	機能	RW
								ENFLG	PMC1ステータスフラグ	0: 停止 1: 動作中	RO
								— (b1)	予約ビット	読んだ場合、その値は不定。	RO
								— (b2)	予約ビット	“0” にしてください	RW
								INFLG	入力信号フラグ	0: PMC1内部入力信号のレベルが“L” 1: PMC1内部入力信号のレベルが“H”	RO
								CEFLG	カウンタオーバーフローフラグ	0: オーバフローなし 1: オーバフローあり	RO
								CEINT	カウンタオーバーフロー 割り込み許可ビット	0: 禁止 1: 許可	RW
								PSEL0	入力端子選択ビット	b7 b6 0 0: 何もしない 0 1: PMCO端子 1 0: PMC1端子 1 1: 設定しないでください	RW
								PSEL1			

CEFLG (カウンタオーバフローフラグ) (b4)

["0"になる条件]

- PMCiCON0 レジスタの EN ビットが "0" (PMCi 動作停止)
- PMCiCON1 レジスタの TYP1~TYP0 ビットで選択した測定タイミング

["1"になる条件]

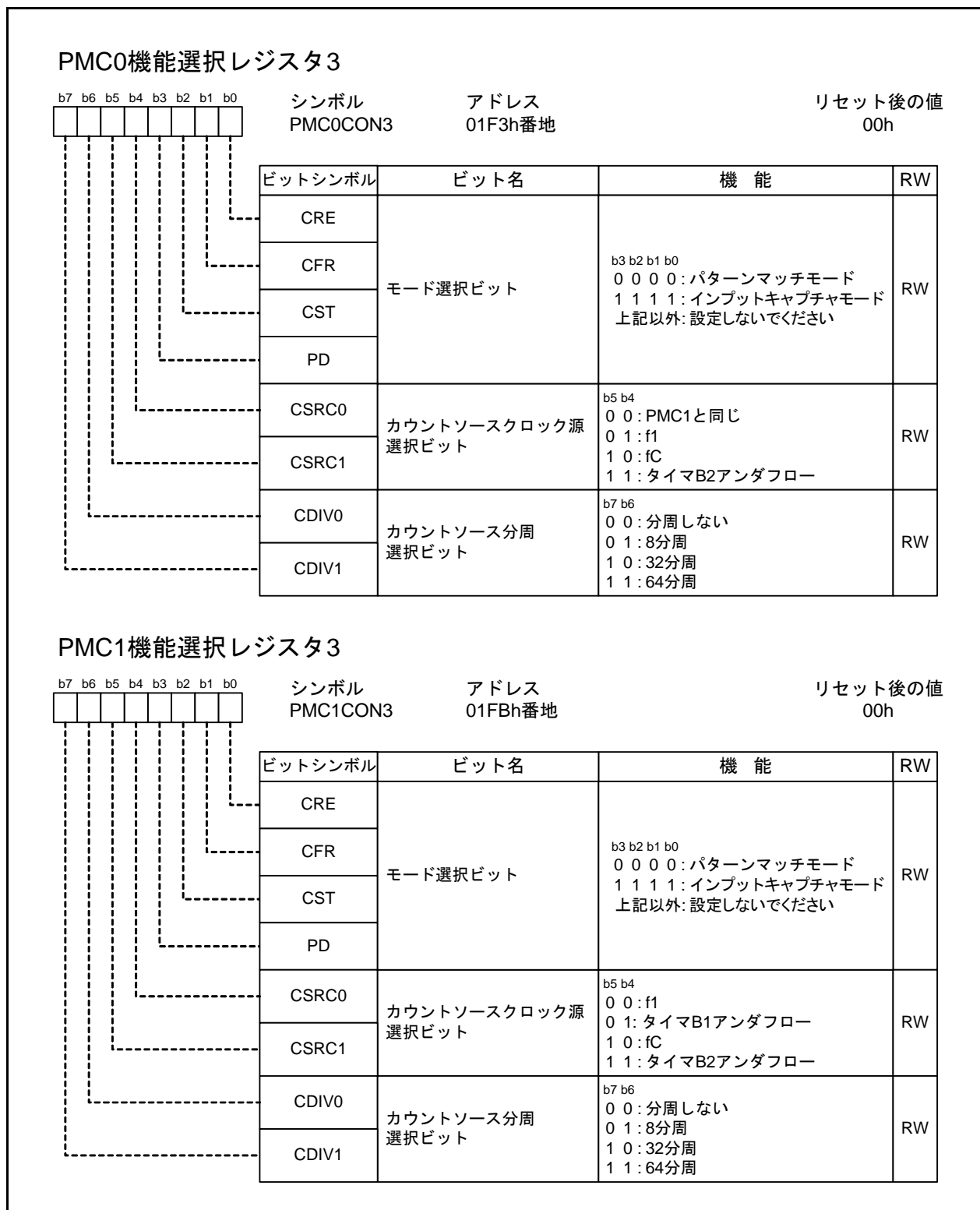
- カウンタオーバフロー (カウンタが "FFFFh" から "0000h" になった)

PSEL1~PSEL0 (入力端子選択ビット) (b7~b6)

PMCiCON0 レジスタの EN ビットと、PMCiCON2 レジスタの ENFLG ビットがともに "0" (PMCi 停止) のときに変更してください。

「図 22.2 リモコン信号受信機能ブロック図(2/3) (PMCi 入力)」、「22.3.1.2 PMCi 入力」を参照してください。

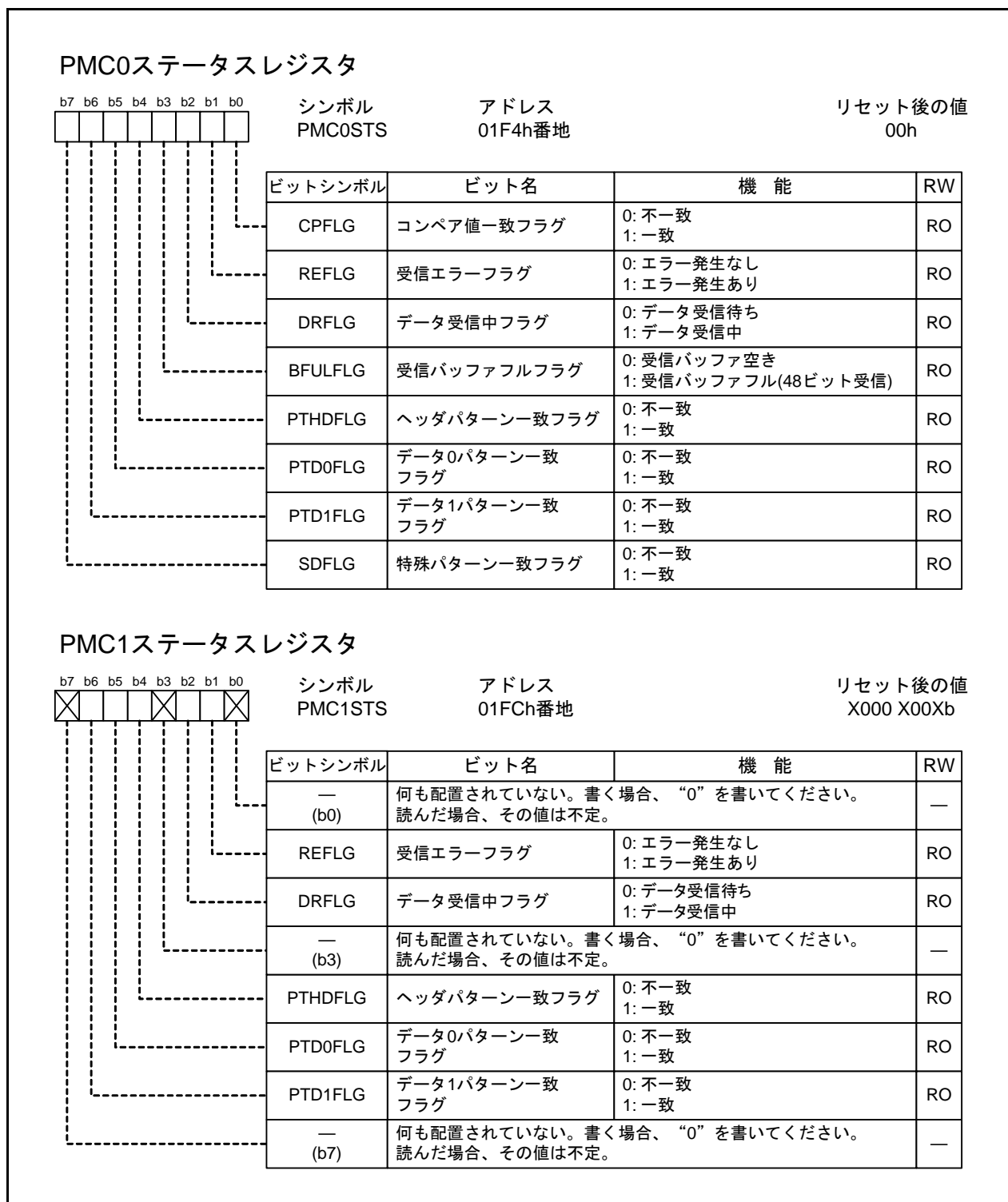
22.2.4 PMCi機能選択レジスタ3 (PMCiCON3) (i=0, 1)



CDIV1~CDIV0 (カウントソース分周選択ビット) (b7~b6)

PMC0CON3 レジスタのCSRC1~CSRC0ビットを“00b”(PMC1と同じ)にする場合、PMC0CON3レジスタのCDIV1~CDIV0ビットは“00b”(分周なし)にしてください。

22.2.5 PMCiステータスレジスタ (PMCiSTS) (i=0, 1)



PMCiSTS レジスタの各ビットは、PMCi 内部入力信号の測定エッジで変化します。ただし、DRFLG ビットはカウンタの値の判定でも変化します。

CPFLG (コンペア値一致フラグ) (b0)

PMC0CPCレジスタのCPENビットが“1”(コンペア許可)のとき有効です。

["0"になる条件]

- PMCiCON0レジスタのENビットが“0”(PMCi動作禁止)
- PMC0STSレジスタのDRFLGビットが“0”から“1”になるとき(次のフレームの受信開始)
- CPFLGビットが“1”になった後、48ビット目まで受信し、続けて(DRFLGビットが“1”(受信中)のまま)、ビットnまで受信してコンペア一致しなかった場合(nはPMC0CPCレジスタのCPN2~CPN0ビットで設定した値)

["1"になる条件]

- PMC0CPDレジスタとPMC0DAT0レジスタの値が一致(PMC0CPCレジスタのCPN2~CPN0ビットの設定値をnとすると、PMC0CPDレジスタのビットn~ビット0と、PMC0DAT0レジスタのビットn~ビット0が一致)

REFLG (受信エラーフラグ) (b1)

REFLGビットは、受信エラーを示すフラグです。REFLGビットが変化するのは、PMCiCON0レジスタのHDENビット、PMC0CON0レジスタのEHOLD、SDENビットの影響を受けます。表 22.5 にREFLGビットが変化する条件を示します。

表 22.5 REFLGビットが変化する条件

ビット設定(注1)		REFLGビットが“1”になる条件 (注2)	REFLGビットが“0”になる条件 (注2、3)
EHOLD	HDEN		
0	0	入力信号の幅がデータ0、データ1(、特殊データ)のいずれでもない	データ0またはデータ1(または特殊データ)受信
0	1	<ul style="list-style-type: none"> • 入力信号の幅がヘッダ、データ0、データ1(、特殊データ)のいずれでもない • ヘッダ検出前にデータ0またはデータ1(または特殊データ)を検出 	<ul style="list-style-type: none"> • ヘッダ受信 • ヘッダ受信後のデータ0またはデータ1(または特殊データ)受信
1	0	入力信号の幅がデータ0、データ1(、特殊データ)のいずれでもない	—
1	1	<ul style="list-style-type: none"> • 入力信号の幅がヘッダ、データ0、データ1(、特殊データ)のいずれでもない • ヘッダ検出前にデータ0またはデータ1(または特殊データ)を検出 	ヘッダ受信

EHOLD: PMC0CON0レジスタのビット

HDEN: PMCiCON0レジスタのビット(i=0, 1)

注1. PMC1のREFLGビットの動作は、EHOLDビットが“0”の場合を参照してください。

注2. PMC0CON0レジスタのSDENビットが“1”(特殊データパターン有効)の場合、特殊データが条件に入ります。

注3. 次の条件ではHDEN、EHOLDビットに関係なくREFLGビットが“0”になります。

- PMCiCON0レジスタのENビットが“0”(PMCi動作停止)
- PMCiSTSレジスタのDRFLGビットが“0”から“1”になるとき

DRFLG (データ受信中フラグ) (b2)

DRFLGビットは、リモコン信号の受信状態を示します。1フレームの受信で“1”になります。受信が終了すると“0”になります。

[“0”になる条件]

- PMCiCON0 レジスタの EN ビットが“0” (PMCi動作禁止)
- カウンタの値が PMCiHDPMAX、PMCiD0PMAX、PMCiD1PMAX レジスタのどの値よりも大きい (カウンタの値がこれらのレジスタの値よりも大きくなると、カウントソースの1~2サイクル後に“0”になる)

[“1”になる条件]

PMCiCON1 レジスタの TYP1~TYP0 ビット (受信モード選択) によって異なります。

- “00b” (パルス周期測定) または “01b” (パルスの“H”幅測定) の場合
PMCi内部入力信号の立ち上がりエッジ
- “10b” (パルス幅測定) の場合
PMCi内部入力信号の立ち上がりエッジと、立ち下がりエッジ

BFULFLG (受信バッファフルフラグ) (b3)

[“0”になる条件]

- PMCiCON0 レジスタの EN ビットが“0” (PMCi動作禁止)
- PMCiSTS レジスタの DRFLG ビットが“0”から“1”になる
- PMCORBIT レジスタの値が“48”から“1”になる

[“1”になる条件]

- PMCORBIT レジスタの値が“47”から“48”になる

PTHDFLG (ヘッダパターン一致フラグ) (b4)、 PTD0FLG (データ0パターン一致フラグ) (b5)、 PTD1FLG (データ1パターン一致フラグ) (b6)、 SDFLG (特殊パターン一致フラグ) (b7)

[“0”になる条件]

- PMCiCON0 レジスタの EN ビットが“0” (PMCi動作停止)
- PMCiSTS レジスタの DRFLG ビットが“0”から“1”になる
- 「表 22.6 測定結果とフラグの関係」参照
- REFLG ビットが“0”から“1”になる

[“1”になる条件]

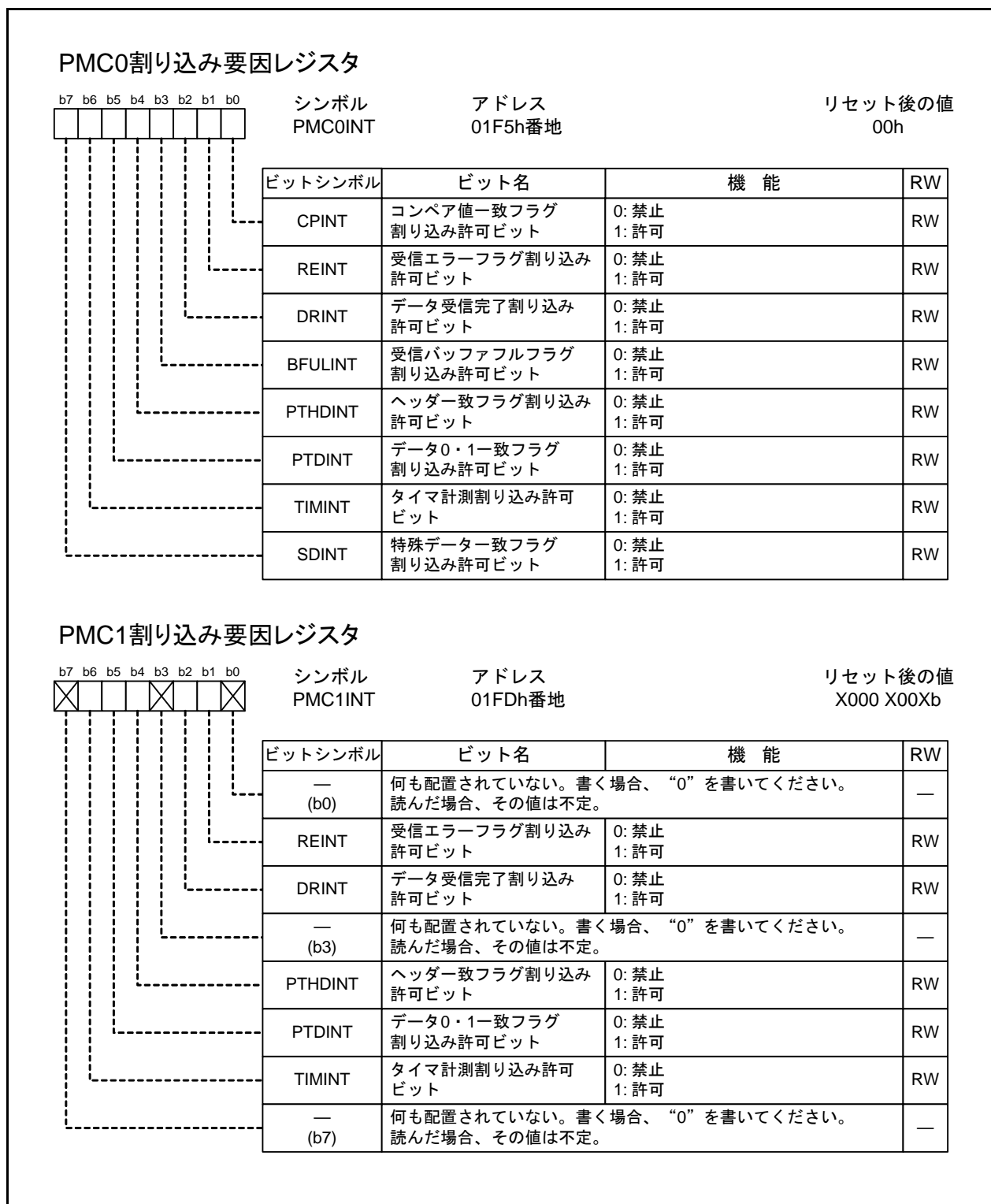
- 「表 22.6 測定結果とフラグの関係」参照

表 22.6 測定結果とフラグの関係

PMCiTIM レジスタの内容 (測定結果) と 各レジスタとの比較結果	フラグの内容			
	PTHDFLG	PTD0FLG	PTD1FLG	SDFLG
PMCiHDPMIN 以上 PMCiHDPMAX 以下 (PMCiでヘッダ測定)	1	0	0	0
PMCiD0PMIN 以上 PMCiD0PMAX 以下	0	1 (注1)	0	0
PMCiD1PMIN 以上 PMCiD1PMAX 以下	0	0	1 (注1)	0
PMCiHDPMIN 以上 PMCiHDPMAX 以下 (PMCiで特殊データ測定)	0	0	0	1 (注1)
上記以外	0	0	0	0

注1. PMCiCON0 レジスタの HDEN ビットが“1” (ヘッダ有効) の場合、ヘッダ検出より前なら、PTD0FLG、PTD1FLG、SDFLG は変化しません。

22.2.6 PMCi割り込み要因レジスタ (PMCiINT) (i=0, 1)



22.2.7 PMCiヘッダパターン設定レジスタ (MIN) (PMCiHDPMIN) (i=0, 1) PMCiヘッダパターン設定レジスタ (MAX) (PMCiHDPMAX) (i=0, 1)

PMCiヘッダパターン設定レジスタ (MIN) (i=0, 1)

シンボル	アドレス	リセット後の値
PMc0HDPMIN	D081h~D080h番地	XXXX X000 0000 0000b
PMc1HDPMIN	D095h~D094h番地	XXXX X000 0000 0000b

機 能	設定範囲	RW
ヘッダパターンまたは特殊データパターンの最小幅を設定してください。	0000h~07FFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

PMCiヘッダパターン設定レジスタ (MAX) (i=0, 1)

シンボル	アドレス	リセット後の値
PMc0HDPMAX	D083h~D082h番地	XXXX X000 0000 0000b
PMc1HDPMAX	D097h~D096h番地	XXXX X000 0000 0000b

機 能	設定範囲	RW
ヘッダパターンまたは特殊データパターンの最大幅を設定してください。	0000h~07FFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

ヘッダまたは特殊データ検出を使用する場合、ヘッダまたは特殊データのパターンの最小幅を PMCiHDPMIN レジスタに、最大幅を PMCiHDPMAX レジスタに設定してください。

$$\text{設定値}_n = \frac{\text{ヘッダまたは特殊データのパターンの最小幅 (最大幅)}}{\text{カウントソース}}$$

これらのレジスタに設定する値は、データ0、データ1と異なる値にしてください。また、PMCiHDPMIN レジスタの値 < PMCiHDPMAX レジスタの値、で“0000h”以外の値にしてください。「図 22.4 ヘッダパターン、データパターン設定値」を参照してください。

ヘッダ、特殊データ検出を使用しない場合、PMCiHDPMIN レジスタ、PMCiHDPMAX レジスタは“0000h”にしてください。

R01UH0136JJ0210 Rev.2.10
2012.03.16

Page 411 of 791

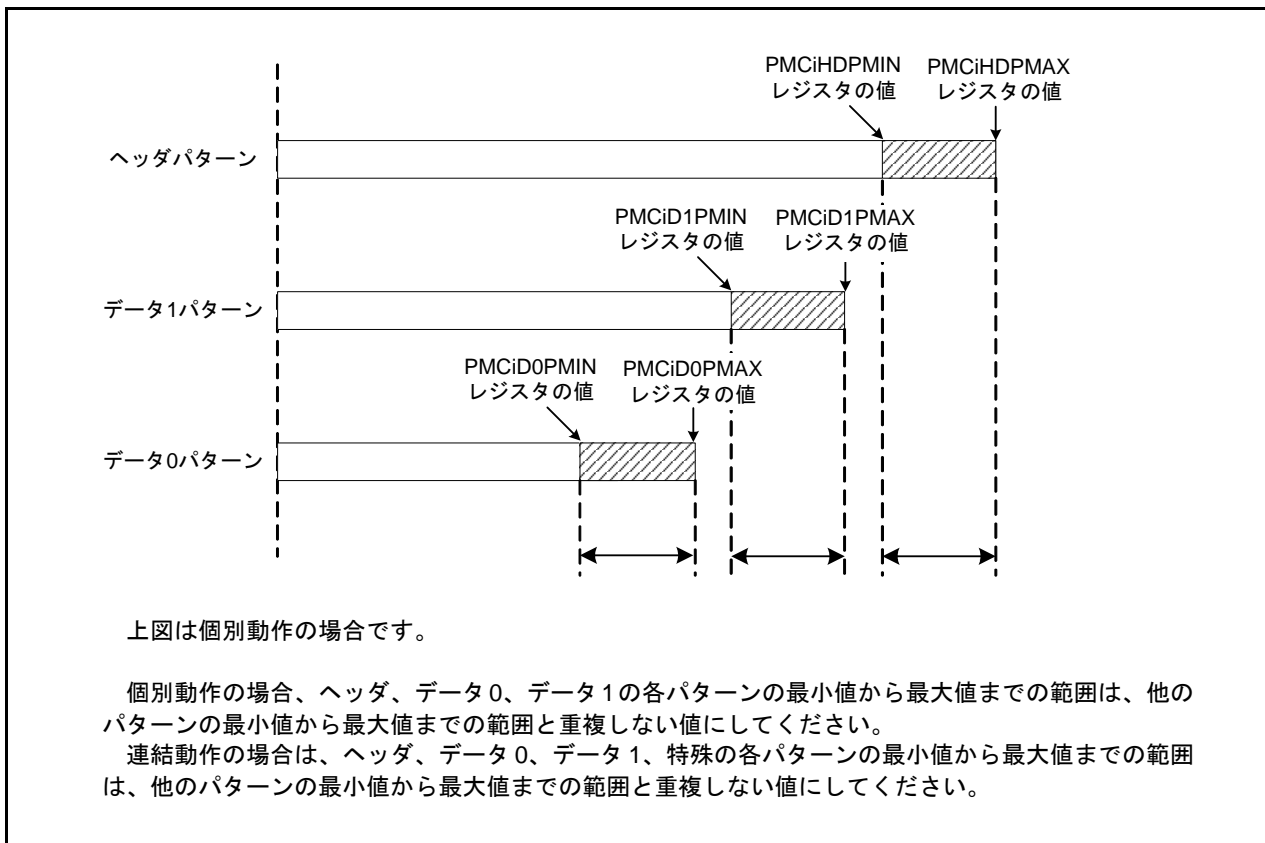
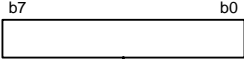
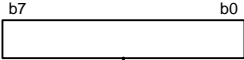
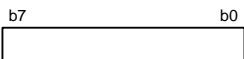
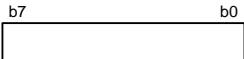


図 22.4 ヘッダパターン、データパターン設定値

22.2.8 PMCiデータ0パターン設定レジスタ (MIN) (PMCiD0PMIN) (i=0, 1)
 PMCiデータ0パターン設定レジスタ (MAX) (PMCiD0PMAX) (i=0, 1)
 PMCiデータ1パターン設定レジスタ (MIN) (PMCiD1PMIN) (i=0, 1)
 PMCiデータ1パターン設定レジスタ (MAX) (PMCiD1PMAX) (i=0, 1)

PMCiデータ0パターン設定レジスタ (MIN) (i=0, 1)			
	シンボル	アドレス	リセット後の値
	PMCiD0PMIN	D084h番地	00h
	PMCiD1PMIN	D098h番地	00h
	機能	設定範囲	RW
	データ0パターンの最小幅を設定してください。	00h~FFh	RW
PMCiデータ0パターン設定レジスタ (MAX) (i=0, 1)			
	シンボル	アドレス	リセット後の値
	PMCiD0PMAX	D085h番地	00h
	PMCiD1PMAX	D099h番地	00h
	機能	設定範囲	RW
	データ0パターンの最大幅を設定してください。	00h~FFh	RW
PMCiデータ1パターン設定レジスタ (MIN) (i=0, 1)			
	シンボル	アドレス	リセット後の値
	PMCiD1PMIN	D086h番地	00h
	PMCiD1PMIN	D09Ah番地	00h
	機能	設定範囲	RW
	データ1パターンの最小幅を設定してください。	00h~FFh	RW
PMCiデータ1パターン設定レジスタ (MAX) (i=0, 1)			
	シンボル	アドレス	リセット後の値
	PMCiD1PMAX	D087h番地	00h
	PMCiD1PMAX	D09Bh番地	00h
	機能	設定範囲	RW
	データ1パターンの最大幅を設定してください。	00h~FFh	RW

データ0検出をする場合、データ0パターンの最小幅をPMCiD0PMINレジスタに、最大幅をPMCiD0PMAXレジスタに設定してください。同様に、データ1検出をする場合はデータ1パターンの最小幅をPMCiD1PMINレジスタに、最大幅をPMCiD1PMAXレジスタに設定してください。

$$\text{設定値}_n = \frac{\text{データ0またはデータ1のパターンの最小幅 (最大幅)}}{\text{カウントソース}}$$

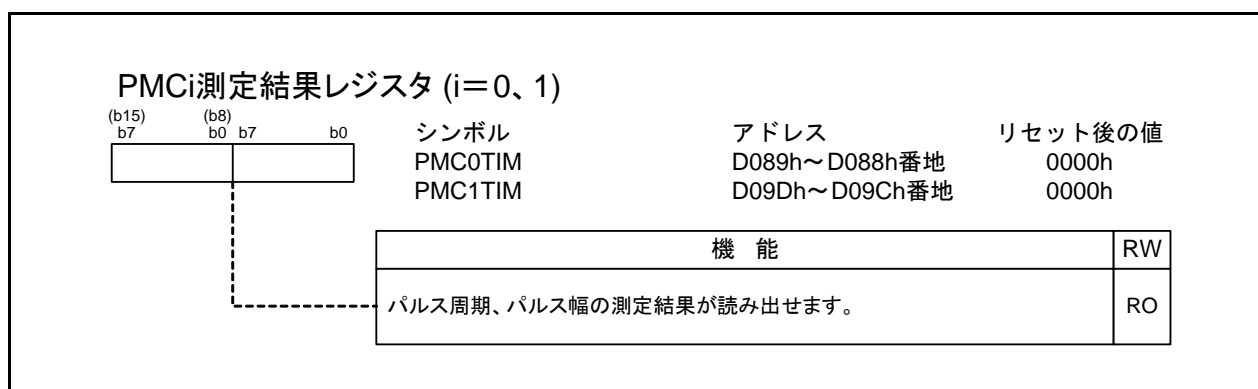
データ0、データ1、ヘッダまたは特殊データのパターンは、異なる値にしてください。また、それぞれの値は次のように設定してください。

- PMCiD0PMINレジスタの値 < PMCiD0PMAXレジスタの値
- PMCiD1PMINレジスタの値 < PMCiD1PMAXレジスタの値
- “0000h”以外の値

「図 22.4 ヘッダパターン、データパターン設定値」を参照してください。

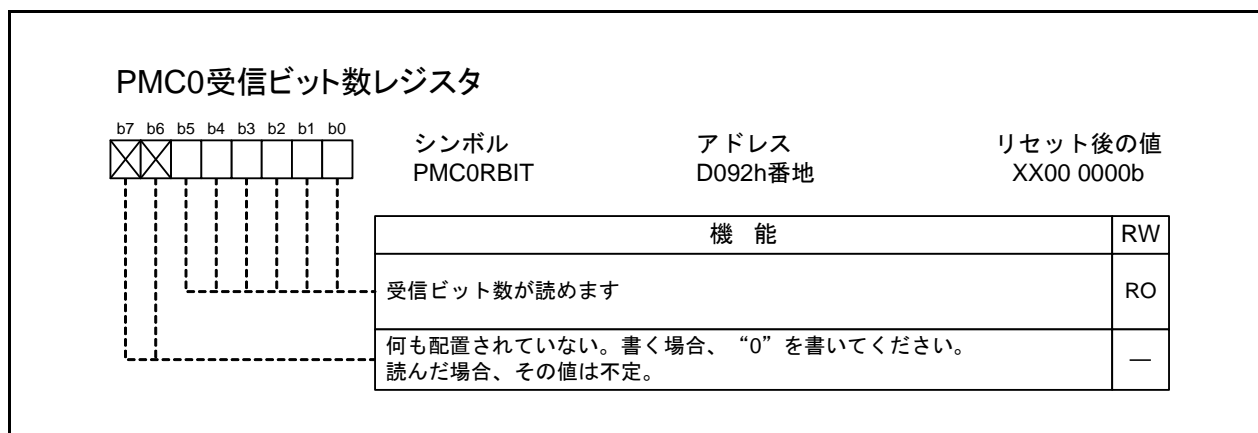
データ 0 検出をしない場合、PMCiD0PMIN、PMCiD0PMAX レジスタは“00h”にしてください。データ 1 検出をしない場合、PMCiD1PMIN、PMCiD1PMAX レジスタは“00h”にしてください。連結動作の場合、PMC1D0PMIN、PMC1D0PMAX、PMC1D1PMIN、PMC1D1PMAX レジスタの値は“00h”にしてください。

22.2.9 PMCi測定結果レジスタ (PMCiTIM) (i=0, 1)



PMCiCON0レジスタのENビットが“0” (PMCi動作停止)のとき、PMCiTIMレジスタは“0000h”になります。

22.2.10 PMC0受信ビット数レジスタ (PMC0RBIT)

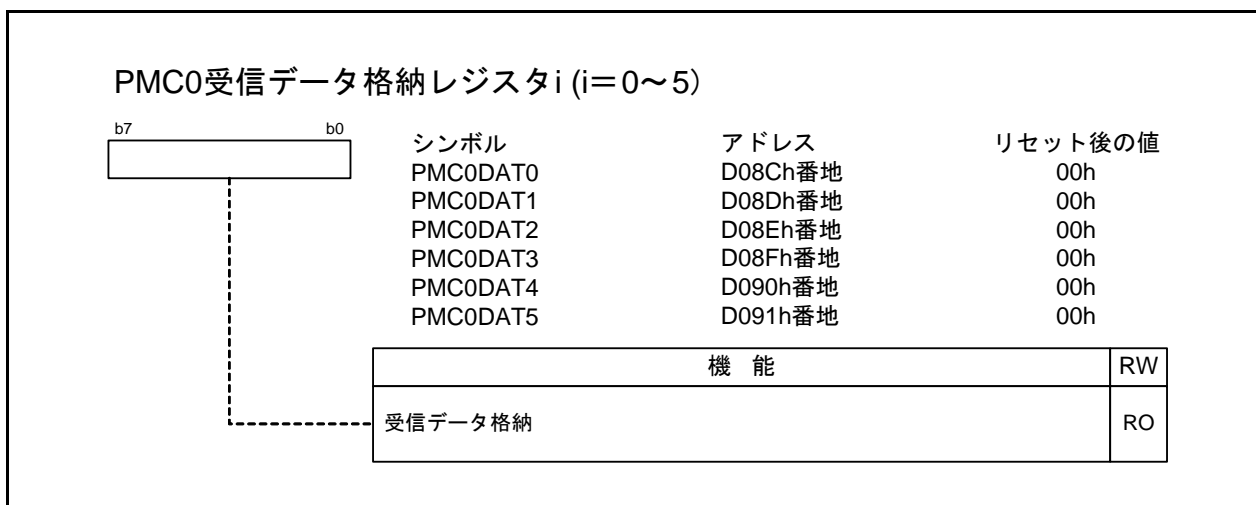


検出したデータ 0 またはデータ 1 の数をカウントし、格納するバッファのビット位置を指定します。“48”を超えると“1”に戻ります。ヘッダ、特殊データはカウントしません。

次の場合、PMC0RBITレジスタは“0”になります。

- PMC0CON0レジスタのENビットが“0” (PMCi動作停止)
- PMC0STSレジスタのDRFLGビットが“0”から“1”になるとき

22.2.11 PMC0 受信データ格納レジスタ i (PMC0DATi) (i=0~5)



データ0またはデータ1を検出すると、PMCORBITレジスタに従って、結果を1ビットずつ格納します。データはPMC0DAT0レジスタのビット0から順に格納されます。表22.7にデータを格納する順序を示します。

49ビット目以降は1番目の位置から順に上書きします。また、PMCiSTSレジスタのDRFLGビットが“0”から“1”になった(次のフレームの受信開始)後のデータも、1番目の位置から順に上書きします。

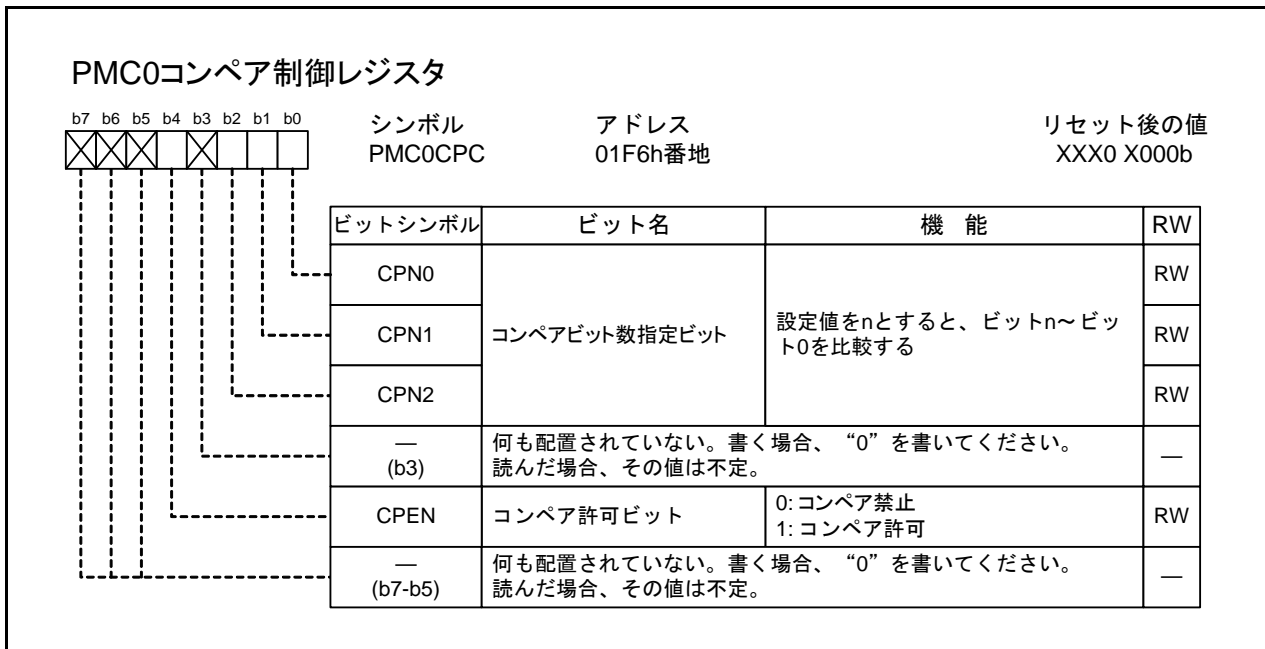
ヘッダ、特殊データは格納しません。

PMCiCON0レジスタのENビットが“0”(PMCi動作停止)のとき、PMC0DATiレジスタは“00h”になります。

表 22.7 データを格納する順序

レジスタ	b7	b6	b5	b4	b3	b2	b1	b0
PMC0DAT0	8	7	6	5	4	3	2	1
PMC0DAT1	16	15	14	13	12	11	10	9
PMC0DAT2	24	23	22	21	20	19	18	17
PMC0DAT3	32	31	30	29	28	27	26	25
PMC0DAT4	40	39	38	37	36	35	34	33
PMC0DAT5	48	47	46	45	44	43	42	41

22.2.12 PMC0 コンペア制御レジスタ (PMC0CPC)



CPN2~CPN0 (コンペアビット数指定ビット) (b2~b0)

CPENビットが“1”(コンペア許可)の場合、有効です。

CPN2~CPN0ビットの設定値をnとすると、ビットn~ビット0を比較します。

例1) 設定値: 0の場合

PMC0CPDレジスタのビット0と、PMC0DAT0レジスタのビット0を比較

例2) 設定値: 7の場合

PMC0CPDレジスタのビット7~ビット0と、PMC0DAT0レジスタのビット7~ビット0を比較

CPEN (コンペア許可ビット) (b4)

CPENビットが“1”(コンペア許可)の場合、PMC0CPDレジスタとPMC0DAT0レジスタの内容を比較します。

受信データ格納時に比較結果が一致するとPMC0STSレジスタのCPFLGが“1”(コンペア一致)になります。

22.2.13 PMC0 コンペア値設定レジスタ (PMC0CPD)



PMC0CPCレジスタのCPENビットが“1”(コンペア許可)の場合、有効です。

PMC0CPCレジスタのCPN2~CPN0ビットで比較するビットが選択できます。

22.3 動作説明

22.3.1 複数モードに関わる共通事項

22.3.1.1 カウントソース

カウントソースのクロック源と分周を選択できます。PMCiCON3 レジスタの CSRC1~CSRC0 ビットと CDIV1~CDIV0 ビットで選択してください(「図 22.3 リモコン信号受信機能ブロック図(3/3) (PMCi カウントソース)」参照)。

fCを使用する場合は、PM2レジスタのPM25ビットを“1”(周辺機能クロックfC供給許可)にしてください。fCの詳細は「8. クロック発生回路」を参照してください。

タイマB1、B2のアンダフローを使用する場合、タイマB1、B2アンダフロー周期1回分で、カウントソースの1周期になります。タイマB1、B2はタイマモードで使用してください。タイマBの詳細は「18. タイマB」を参照してください。

PMC0とPMC1のカウントソースを同じにする場合は、PMC0CON3レジスタのCSRC1~CSRC0ビットを“00b”(カウントソースはPMC1と同じ)にして、PMC0CON3レジスタのCDIV1~CDIV0ビットは、“00b”(分周しない)にしてください。

22.3.1.2 PMCi入力

PMCi入力では、次の選択ができます(「図 22.2 リモコン信号受信機能ブロック図(2/3) (PMCi入力)」参照)。

- 入力端子
- 入力極性
- デジタルフィルタ

PMCi信号を入力する端子は、PMCiCON2レジスタのPSEL1~PSEL0ビットで選択できます。PMC0端子の入力信号をPMC1回路で処理する場合、またはPMC1端子の入力信号をPMC0回路で処理する場合は、PMC0とPMC1のカウントソースを同じにしてください(「22.3.1.1 カウントソース」参照)。

PMCi端子の入力極性を反転できます。PMCiCON0レジスタのSINVビットで選択してください。

PMCiCON0レジスタのFILビットが“1”(デジタルフィルタ有効)の場合は、PMCi端子の入力が4度続けて一致したとき、そのレベルを内部回路に伝えます。デジタルフィルタのサンプリングクロックは、カウントソースです。

PMC0CON3レジスタのCSRC1~CSRC0ビット(カウントソースクロック源)、CDIV1~CDIV0ビット(カウントソース分周選択)を選択した後に、PSEL1~PSEL0ビット(入力端子)、FILビット(デジタルフィルタ)、SINVビット(入力極性反転)を選択してください。

なお、PMCi端子の入力は、カウントソースに同期して内部回路に伝わります。また、内部処理による遅延があります。図 22.5にPMCi入力の遅延を示します。

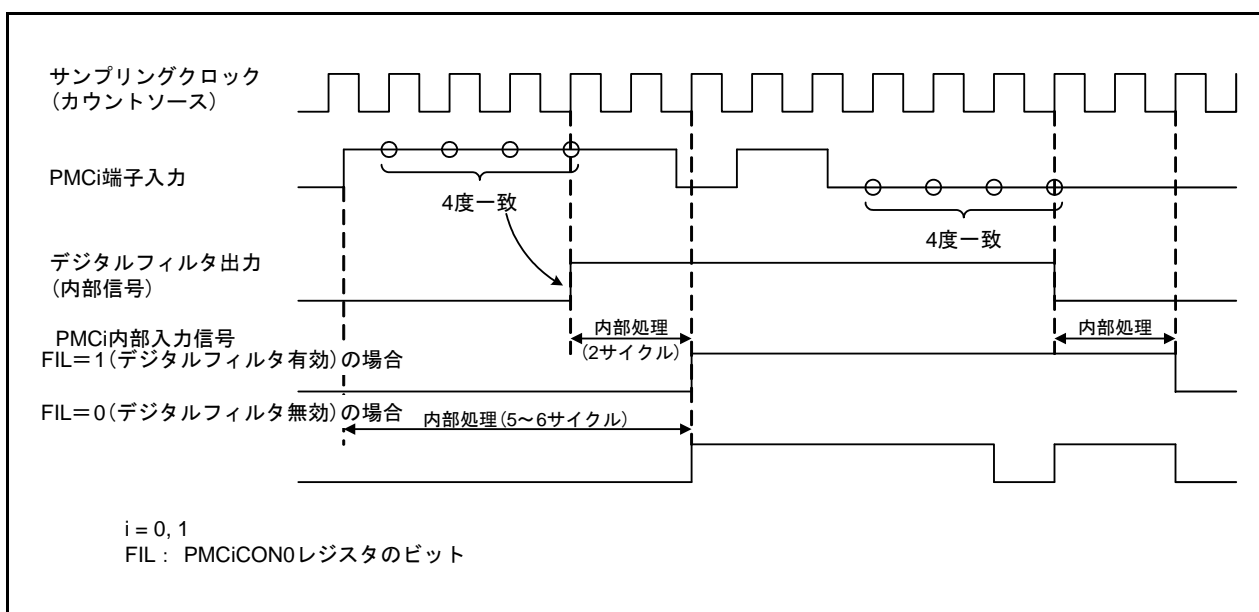


図 22.5 PMCi入力の遅延

22.3.2 パターンマッチモード(PMC0、PMC1個別動作)

パターンマッチモードは、外部パルスと指定したパターンとの一致を判定するモードです。ヘッダ、データ0、データ1のパターンは、PMC0、PMC1個々に計測できます。

表 22.8 パターンマッチモード(個別動作)時の仕様

項目		内容	
		PMC0回路	PMC1回路
カウントソース	クロック源	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB2アンダフロー • PMC1のカウントソース 	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB1アンダフロー • タイマB2アンダフロー
	分周	分周なし、8分周、32分周、または64分周	
カウント動作		アップカウント	
検査パターン		<ul style="list-style-type: none"> • ヘッダまたは特殊データ • データ0 • データ1 	<ul style="list-style-type: none"> • ヘッダ • データ0 • データ1
受信バッファ		6バイト(48ビット)	なし
割り込み要求発生タイミング		<ul style="list-style-type: none"> • 受信エラー • データ受信完了 • ヘッダー一致 • データ0またはデータ1一致 • 特殊データ一致 • 受信バッファフル • コンペア一致 	<ul style="list-style-type: none"> • 受信エラー • データ受信完了 • ヘッダー一致 • データ0またはデータ1一致
選択機能		<ul style="list-style-type: none"> • 入力信号反転 • デジタルフィルタ 	

表 22.9 パターンマッチモード(個別動作)時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCiCON0	EN	“1”にしてください	“1”にしてください
	SINV	入力信号極性を選択してください	入力信号極性を選択してください
	FIL	フィルタの有効/無効を選択してください	フィルタの有効/無効を選択してください
	EHOLD	受信エラー保持期間を選択してください	—
	HDEN	ヘッダの有効/無効を選択してください	ヘッダの有効/無効を選択してください
	SDEN	特殊データの有効/無効を選択してください	—
	DRINT0	受信割り込みの発生条件を選択してください	—
	DRINT1		
PMCiCON1	TYP0	測定対象を選択してください	測定対象を選択してください
	TYP1		
	CSS	“0”にしてください	—
	EXSDEN	“0”にしてください	—
	EXHDEN	“0”にしてください	—
PMCiCON2	ENFLG	PMC0動作/停止を示すフラグ	PMC1動作/停止を示すフラグ
	INFLG	入力信号フラグ	入力信号フラグ
	CEFLG	使用しない	使用しない
	CEINT	“0”にしてください	“0”にしてください
	PSEL0	“01b”にしてください	入力端子を選択してください
	PSEL1		
PMCiCON3	CRE	“0”にしてください	“0”にしてください
	CFR	“0”にしてください	“0”にしてください
	CST	“0”にしてください	“0”にしてください
	PD	“0”にしてください	“0”にしてください
	CSRC0	カウントソースのクロック源を選択してください	カウントソースのクロック源を選択してください
	CSRC1		
	CDIV0	カウントソースの分周値を選択してください	カウントソースの分周値を選択してください
	CDIV1		
PMCiSTS	CPFLG	コンペア値一致フラグ	—
	REFLG	受信エラーフラグ	受信エラーフラグ
	DRFLG	データ受信フラグ	データ受信フラグ
	BFULFLG	受信バッファフルフラグ	—
	PTHDFLG	ヘッダパターン一致フラグ	ヘッダパターン一致フラグ
	PTD0FLG	データ0パターン一致フラグ	データ0パターン一致フラグ
	PTD1FLG	データ1パターン一致フラグ	データ1パターン一致フラグ
	SDFLG	特殊パターン一致フラグ	—

i=0, 1

—: PMC1にはありません

注1. この表は手順を示すものではありません。

表 22.10 パターンマッチモード(個別動作)時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCIINT	CPINT	コンペア値一致フラグ割り込みを使用する場合“1”にしてください	—
	REINT	受信エラーフラグ割り込みを使用する場合“1”にしてください	受信エラーフラグ割り込みを使用する場合“1”にしてください
	DRINT	データ受信完了割り込みを使用する場合“1”にしてください	データ受信完了割り込みを使用する場合“1”にしてください
	BFULINT	受信バッファフルフラグ割り込みを使用する場合“1”にしてください	—
	PTHDINT	ヘッダ一致フラグ割り込みを使用する場合“1”にしてください	ヘッダ一致フラグ割り込みを使用する場合“1”にしてください
	PTDINT	データ0・1一致フラグ割り込みを使用する場合“1”にしてください	データ0・1一致フラグ割り込みを使用する場合“1”にしてください
	TIMINT	“0”にしてください。	“0”にしてください。
	SDINT	特殊データ一致フラグ割り込みを使用する場合“1”にしてください	—
PMC0CPC	CPN0	コンペア機能を使用する場合、比較するビットを選択してください	—
	CPN1		
	CPN2		
	CPEN	コンペア機能を使用する場合“1”にしてください	—
PMC0CPD	0~7	コンペア機能を使用する場合、比較値を設定してください	—
PMCIHDPMIN	0~10	ヘッダパターンの最小値を設定してください	ヘッダパターンの最小値を設定してください
PMCIHDPMAX	0~10	ヘッダパターンの最大値を設定してください	ヘッダパターンの最大値を設定してください
PMCI00PMIN	0~7	データ0パターンの最小値を設定してください	データ0パターンの最小値を設定してください
PMCI00PMAX	0~7	データ0パターンの最大値を設定してください	データ0パターンの最大値を設定してください
PMCI01PMIN	0~7	データ1パターンの最小値を設定してください	データ1パターンの最小値を設定してください
PMCI01PMAX	0~7	データ1パターンの最大値を設定してください	データ1パターンの最大値を設定してください
PMCI0TIM	0~15	パルス周期、幅の測定値が読めません	パルス周期、幅の測定値が読めません
PMC0DAT0~ PMC0DAT5	0~7	受信データが読めません	—
PMC0RBIT	0~5	受信ビット数が読めません	—

i=0, 1

—: PMC1にはありません

注1. この表は手順を示すものではありません。

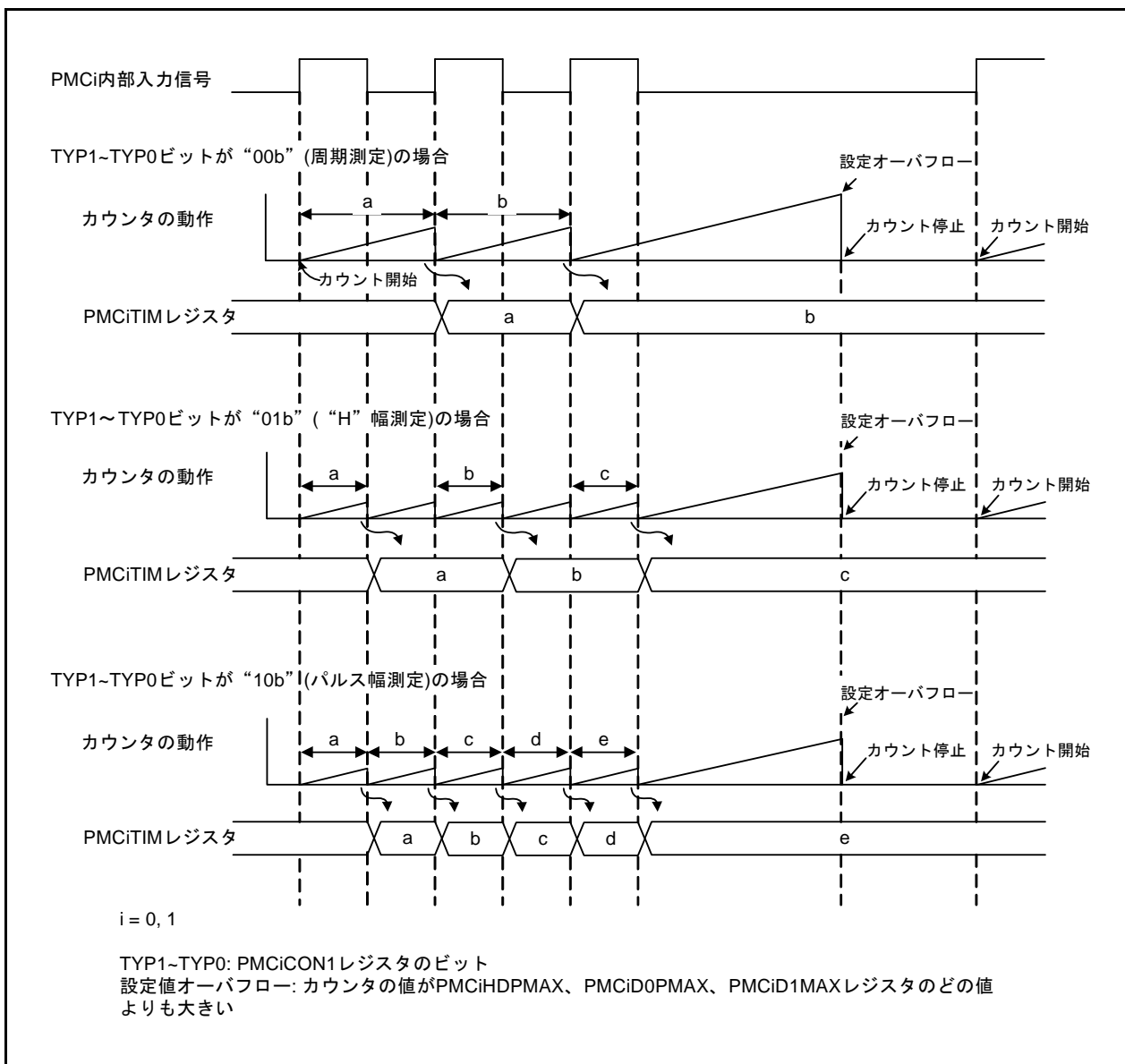


図 22.6 受信モードによる動作の違い(パターンマッチモード)

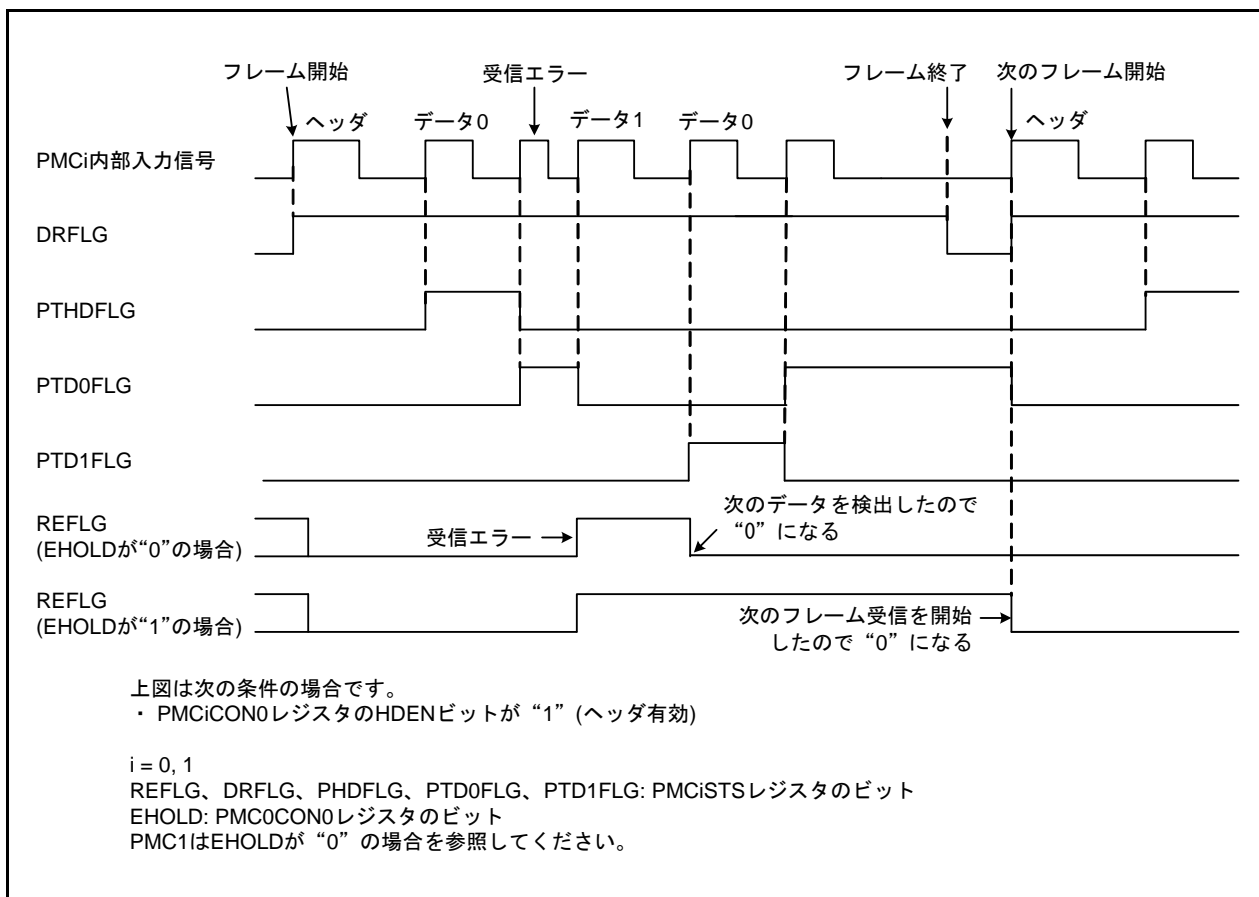


図 22.7 フラグ動作例

22.3.2.1 ヘッダ検出 (PMC0、PMC1)

PMCiCON0レジスタのHDENビットが“1” (ヘッダ有効) の場合、データ受信開始後 (DRFLG フラグが“1”) ヘッダを検出する前に、ヘッダパターン以外の信号を検出すると次のようになります。

- PMCiSTSレジスタのREFLGビットが“1” (エラー発生) になる
- 検出した信号がデータ0、データ1または特殊データであっても PMCiSTSレジスタのPTD0FLG、PTD1FLG、SDFLGビットは変化しない
- PMC0DAT0~PMC0DAT5レジスタは変化しない

PMC0でヘッダ検出する場合、PMC0CON0レジスタのSDENビットは“0” (特殊データ無効) にしてください。

22.3.2.2 特殊データ検出 (PMC0)

PMC0CON0レジスタのSDENビットが“1” (特殊データ有効) の場合、特殊データを検出できます。特殊データを検出する場合、PMC0CON0レジスタのHDENビットは“0” (ヘッダ無効) にしてください。

22.3.2.3 受信データバッファ (PMC0)

受信したデータを格納する6バイト (48ビット) のバッファがあります。データが48ビットを超えると1ビット目のデータから順次上書きします。「22.2.11 PMC0受信データ格納レジスタ i (PMC0DAT i) ($i=0\sim5$)」、「22.2.10 PMC0受信ビット数レジスタ (PMCORBIT)」を参照してください。

22.3.2.4 コンペア機能 (PMC0)

PMC0CPD レジスタと PMC0DAT0 レジスタの内容を比較します。その結果、リモコン信号の最初の1~8ビットが特定の値であることを検出できます。

コンペア機能を使用する場合は次のように設定してください。

- PMC0CPC レジスタの CPEN ビットを“1” (コンペア許可) に設定
- PMC0CPC レジスタの CPN2~CPN0 ビットで比較するビットを選択 (設定値を n とすると、ビット n ~ ビット 0 を比較。n: 0~7)
- PMC0CPD レジスタに比較データを設定

受信データ格納時に比較結果が一致すると PMC0STS レジスタの CPFLG ビットが“1” (コンペア一致) になります。

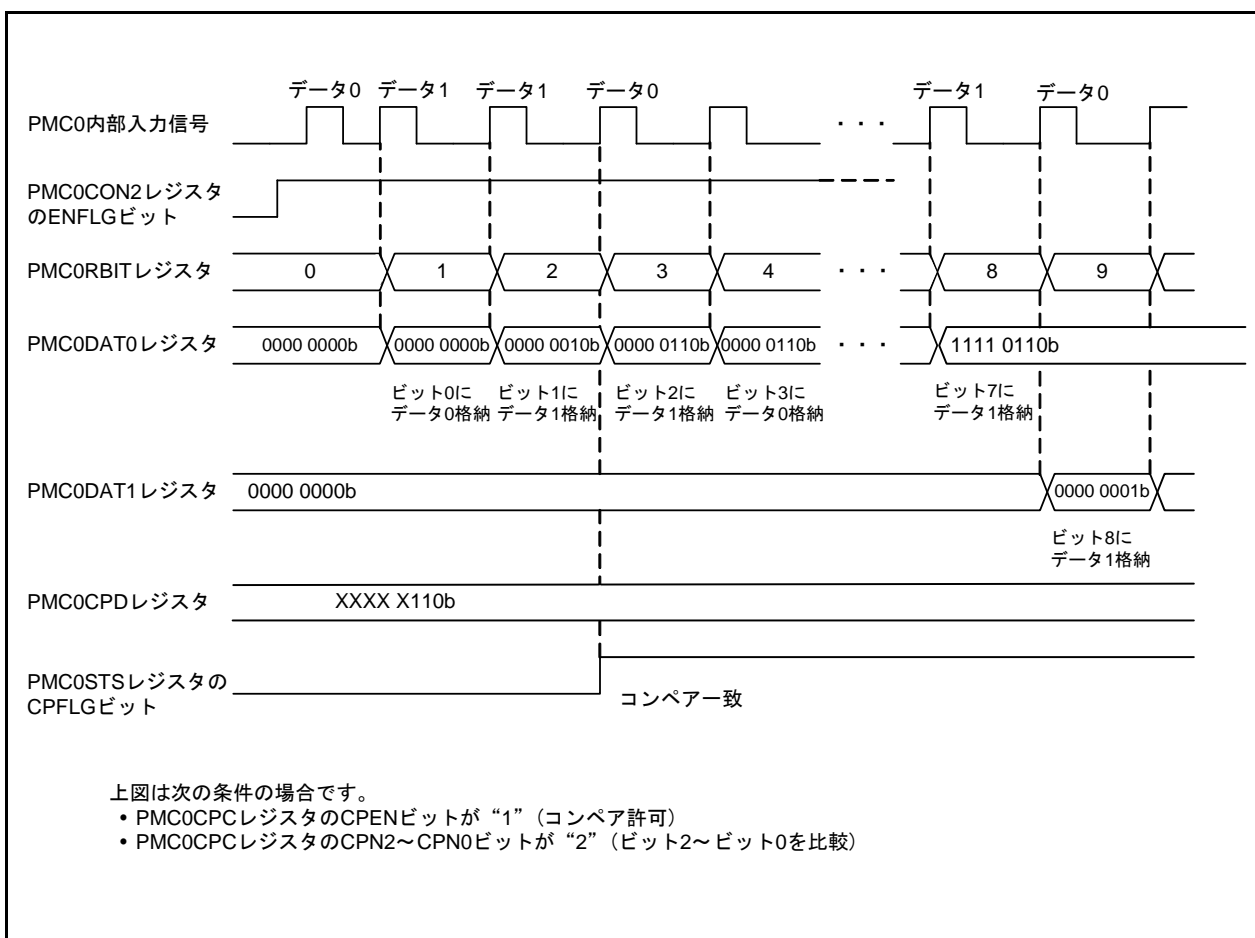


図 22.8 受信バッファとコンペア機能

22.3.3 パターンマッチモード (PMC0とPMC1の連結動作)

PMC0とPMC1を連結して1つのリモコン信号を受信できます。連結動作の場合、データ0、データ1はPMC0で検出します。ヘッダ、特殊データ検出は、PMC0またはPMC1を選択できます。カウントソースとリモコン信号入力端子は、PMC1で選択してください。

表 22.11 パターンマッチモード(連結動作)時の仕様

項目		内容	
		PMC0回路	PMC1回路
カウントソース	クロック源	<ul style="list-style-type: none"> •PMC1のカウントソース 	次のいずれか <ul style="list-style-type: none"> •fC •f1 •タイマB1アンダフロー •タイマB2アンダフロー
	分周	分周なし	分周なし、8分周、32分周、または64分周
カウント動作		アップカウント	
検査パターン		<ul style="list-style-type: none"> •ヘッダ •データ0 •データ1 •特殊データ 	<ul style="list-style-type: none"> •ヘッダ •特殊データ
受信バッファ		6バイト(48ビット)	なし
割り込み要求発生タイミング		<ul style="list-style-type: none"> •受信エラー •データ受信完了 •ヘッダー一致 •データ0またはデータ1一致 •特殊データ一致 •受信バッファフル •コンペアー一致 	(使用しない)
選択機能		<ul style="list-style-type: none"> •入力信号反転 •デジタルフィルタ 	

表 22.13 パターンマッチモード(連結動作)時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCIINT	CPINT	コンペア値一致フラグ割り込みを使用する場合“1”にしてください	—
	REINT	受信エラーフラグ割り込みを使用する場合“1”にしてください	“0”にしてください
	DRINT	データ受信完了割り込みを使用する場合“1”にしてください	“0”にしてください
	BFULINT	受信バッファフルフラグ割り込みを使用する場合“1”にしてください	—
	PTHDINT	ヘッダ一致フラグ割り込みを使用する場合“1”にしてください	“0”にしてください
	PTDINT	データ0・1一致フラグ割り込みを使用する場合“1”にしてください	“0”にしてください
	TIMINT	“0”にしてください	“0”にしてください
	SDINT	特殊データ一致フラグ割り込みを使用する場合“1”にしてください	—
PMC0CPC	CPN0	コンペア機能を使用する場合、比較するビットを選択してください	—
	CPN1		
	CPN2		
	CPEN	コンペア機能を使用する場合“1”にしてください	—
PMC0CPD	0~7	コンペア機能を使用する場合、比較値を設定してください	—
PMCIHDPMIN	0~10	ヘッダパターンまたは特殊データパターンの最小値を設定してください	ヘッダパターンまたは特殊データパターンの最小値を設定してください
PMCIHDPMAX	0~10	ヘッダパターンまたは特殊データパターンの最大値を設定してください	ヘッダパターンまたは特殊データパターンの最大値を設定してください
PMCI0PMIN	0~7	データ0パターンの最小値を設定してください	“00h”にしてください
PMCI0PMAX	0~7	データ0パターンの最大値を設定してください	“00h”にしてください
PMCI1PMIN	0~7	データ1パターンの最小値を設定してください	“00h”にしてください
PMCI1PMAX	0~7	データ1パターンの最大値を設定してください	“00h”にしてください
PMCI TIM	0~15	パルス周期、幅の測定値が読めません	使用しない
PMC0DAT0~ PMC0DAT5	0~7	受信データが読めます	—
PMC0RBIT	0~5	受信ビット数が読めます	—

i=0, 1

—: PMC1にはありません

注1. この表は手順を示すものではありません。

22.3.3.1 設定手順

カウントを開始または停止する場合、次の手順に従ってください。

- (1) PMCiCON3 レジスタの CSRC1~CSRC0 ビット、CDIV1~CDIV0 ビットを設定する。
- (2) PMCiCON2 レジスタの PSEL1~PSEL0 ビット、PMCiCON0 レジスタの FIL ビット、SINV ビットを設定する。
- (3) カウントソースの4サイクル待つ
- (4) PMC1CON0 レジスタの EN ビットを“1” (停止の場合は“0”) にする
- (5) PMC0CON0 レジスタの EN ビットを“1” (停止の場合は“0”) にする
- (6) カウントソースの2サイクル待つ
- (7) PMC0CON2 レジスタの ENFLG ビットが“1” (停止の場合は“0”) であることを確認する。
(PMC1CON2 レジスタの ENFLG ビットは無効)

22.3.3.2 ヘッダ、特殊データ検出

ヘッダと特殊データを検出できます。表 22.14 にヘッダ、特殊データ検出ブロックの選択を示します。

表 22.14 ヘッダ、特殊データ検出ブロックの選択

検出項目		ビットの設定 (注1)			
PMC0	PMC1	PMC0CON0 レジスタ		PMC0CON1 レジスタ	
		HDEN ビット	SDEN ビット	EXHDEN ビット	EXSDEN ビット
—	ヘッダ	1	0	1	0
—	特殊データ	0	1	0	1
ヘッダ	特殊データ	1	1	0	1
特殊データ	ヘッダ	1	1	1	0

—: ヘッダも特殊データも検出しない

注1. 上記以外の組み合わせを設定しないでください。

ヘッダが有効の場合、データ受信開始後 (DRFLG フラグが“1”) ヘッダを検出する前にデータ0、データ1または特殊データを検出すると次のようになります。

- PMC0STS レジスタの REFLG ビットが“1” (エラー発生) になる
- PMC0STS レジスタの PTD0FLG、PTD1FLG、SDFLG ビットは変化しない
- PMC0DAT0~PMC0DAT5 レジスタは変化しない

22.3.3.3 ステータスフラグと割り込み

PMC0 と PMC1 の連結動作の場合、フラグと割り込み制御は PMC0 のものを使用してください。対象は次のビットです。

- PMC0STS レジスタの各ビット
- PMC0INT レジスタの各ビット
- PMC0CON2 レジスタの INFLG ビット

ヘッダまたは特殊データを PMC1 で検出する場合も、これらを含めた結果が上記レジスタで検出できます。

22.3.3.4 受信データバッファ (PMC0)

受信したデータを格納する6バイト(48ビット)のバッファがあります。データが48ビットを超えると1ビット目のデータから順次上書きします。「22.2.11 PMC0 受信データ格納レジスタ i (PMC0DATi) (i=0~5)」、「22.2.10 PMC0 受信ビット数レジスタ (PMC0RBIT)」を参照してください。

22.3.3.5 コンペア機能 (PMC0)

PMC0CPD レジスタと PMC0DAT0 レジスタの内容を比較します。その結果、リモコン信号の最初の1~8ビットの特定の値を受信したことを検出できます。

コンペア機能を使用する場合は次のように設定してください。

- PMC0CPC レジスタの CPEN ビットを“1” (コンペア許可) に設定
- PMC0CPC レジスタの CPN2~CPN0 ビットで比較するビットを選択 (設定値を n とすると、ビット n ~ ビット 0 を比較。n: 0~7)
- PMC0CPD レジスタに比較データを設定

受信データ格納時に比較結果が一致すると PMC0STS レジスタの CPFLG ビットが“1” (コンペア一致) になります。

22.3.4 インพุットキャプチャモード(PMC0、PMC1個別動作)

インพุットキャプチャモードは、外部パルスの幅や周期を測定するモードです。PMC0、PMC1 個々に計測できます。

表 22.15 インพุットキャプチャモード時の仕様(PMC0、PMC1個別動作)

項目		内容	
		PMC0回路	PMC1回路
カウントソース	クロック源	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB2アンダフロー • PMC1のカウントソース 	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB1アンダフロー • タイマB2アンダフロー
	分周	分周なし、8分周、32分周、または64分周	
カウント動作		アップカウント	
測定項目		次のいずれかを選択 <ul style="list-style-type: none"> • パルスの周期(立ち上がりエッジ~立ち上がりエッジ) • パルスの周期(立ち下がりエッジ~立ち下がりエッジ) • パルスの幅("H"と"L"両方) 	
割り込み要求発生タイミング		<ul style="list-style-type: none"> • タイマ測定 • カウンタオーバフロー 	
選択機能		<ul style="list-style-type: none"> • 入力信号反転 • デジタルフィルタ 	

表 22.16 インพุットキャプチャモード時の使用レジスタと設定値(PMC0、PMC1個別動作) (1/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCIICON0	EN	“1”にしてください	“1”にしてください
	SINV	入力信号極性を選択してください	入力信号極性を選択してください
	FIL	フィルタの有効/無効を選択してください	フィルタの有効/無効を選択してください
	EHOLD	“0”にしてください	—
	HDEN	“0”にしてください	“0”にしてください
	SDEN	“0”にしてください	—
	DRINT0	“00b”にしてください	—
	DRINT1		
PMCIICON1	TYP0	測定対象を選択してください	測定対象を選択してください
	TYP1		
	CSS	“0”にしてください	—
	EXSDEN	“0”にしてください	—
	EXHDEN	“0”にしてください	—
PMCIICON2	ENFLG	PMC0動作/停止を示すフラグ	PMC1動作/停止を示すフラグ
	INFLG	入力信号フラグ	入力信号フラグ
	CEFLG	カウンタオーバフローフラグ	カウンタオーバフローフラグ
	CEINT	カウンタオーバフロー割り込みを使用する場合“1”にしてください	カウンタオーバフロー割り込みを使用する場合“1”にしてください
	PSEL0	“01b”にしてください	“10b”にしてください
	PSEL1		
PMCIICON3	CRE	“1”にしてください	“1”にしてください
	CFR	“1”にしてください	“1”にしてください
	CST	“1”にしてください	“1”にしてください
	PD	“1”にしてください	“1”にしてください
	CSRC0	カウントソースのクロック源を選択してください	カウントソースのクロック源を選択してください
	CSRC1		
	CDIV0	カウントソースの分周値を選択してください	カウントソースの分周値を選択してください
	CDIV1		
PMCIISTS	CPFLG	使用しない(読み出すと不定)	—
	REFLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	DRFLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	BFULFLG	使用しない(読み出すと不定)	—
	PTHDFLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	PTD0FLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	PTD1FLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	SDFLG	使用しない(読み出すと不定)	—

i=0, 1

—: PMC1にはありません

注1. この表は手順を示すものではありません。

表 22.17 インพุットキャプチャモード時の使用レジスタと設定値(PMC0、PMC1個別動作) (2/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCIINT	CPINT	“0”にしてください	—
	REINT	“0”にしてください	“0”にしてください
	DRINT	“0”にしてください	“0”にしてください
	BFULINT	“0”にしてください	—
	PTHDINT	“0”にしてください	“0”にしてください
	PTDINT	“0”にしてください	“0”にしてください
	TIMINT	タイマ計測割り込みを使用する場合“1”にしてください	タイマ計測割り込みを使用する場合“1”にしてください
	SDINT	“0”にしてください	—
PMC0CPC	CPN0	“000b”にしてください	—
	CPN1		
	CPN2		
	CPEN	“0”にしてください	—
PMC0CPD	0~7	“00h”にしてください	—
PMCIHDPMIN	0~10	“0000h”にしてください	“0000h”にしてください
PMCIHDPMAX	0~10	“0000h”にしてください	“0000h”にしてください
PMCI D0PMIN	0~7	“00h”にしてください	“00h”にしてください
PMCI D0PMAX	0~7	“00h”にしてください	“00h”にしてください
PMCI D1PMIN	0~7	“00h”にしてください	“00h”にしてください
PMCI D1PMAX	0~7	“00h”にしてください	“00h”にしてください
PMCI TIM	0~15	パルス周期、幅の測定値が読めません	パルス周期、幅の測定値が読めません
PMC0DAT0~ PMC0DAT5	0~7	使用しない	使用しない
PMCORBIT	0~5	使用しない	使用しない

i=0, 1

—: PMC1にはありません

注1. この表は手順を示すものではありません。

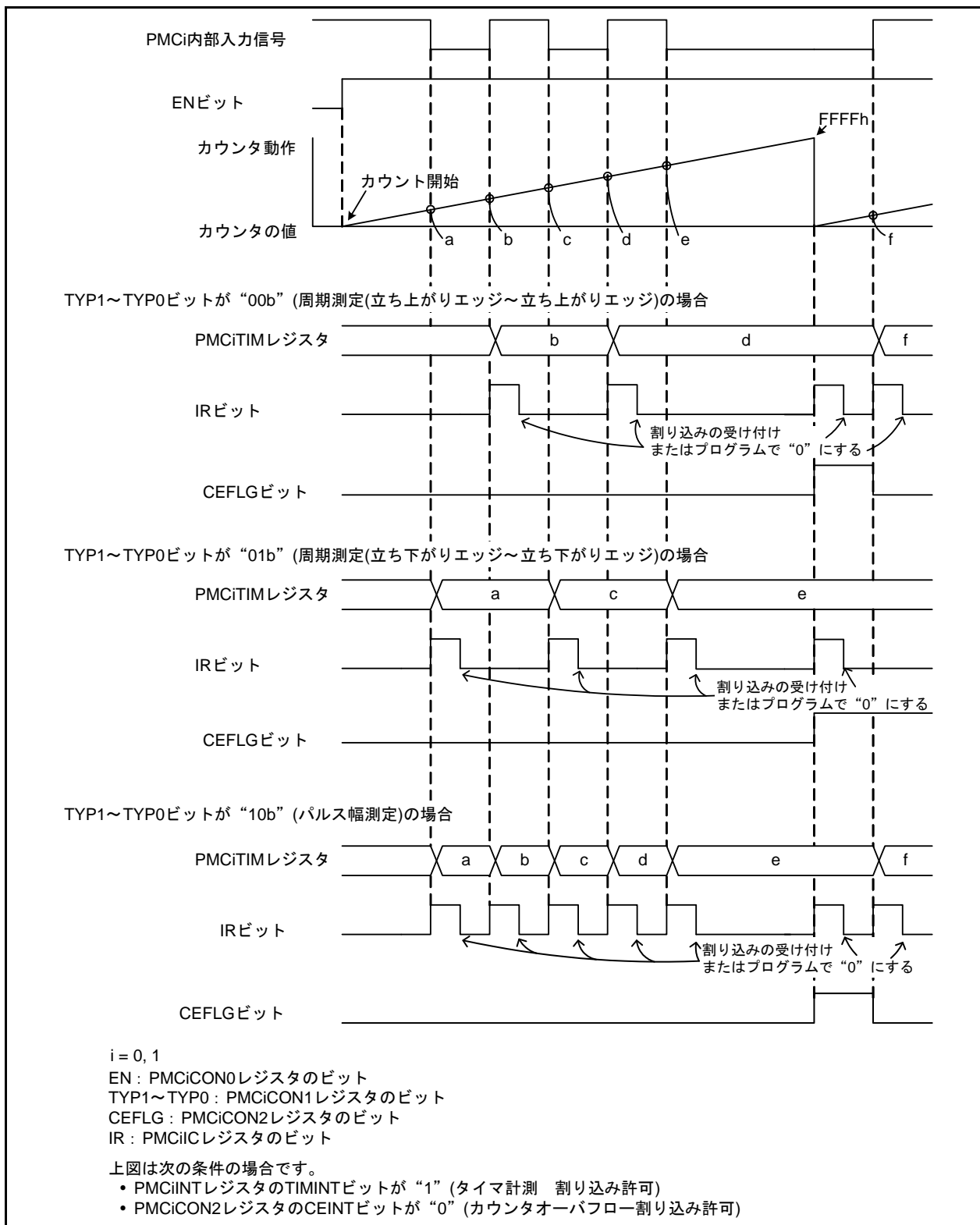


図 22.9 受信モードによる動作の違い(インプットキャプチャモード)

22.3.4.1 カウント動作

インプットキャプチャモードでは、カウンタは“0000h”から“FFFFh”までカウントすると、“0000h”に戻り、カウントを続けます。

カウンタが“FFFFh”から“0000h”になると、PMCiCON2レジスタのCEFLGビットが“1”(カウンタオーバーフロー)になり、次の測定タイミングまで“1”を保持します。

22.3.5 インพุットキャプチャモード (PMC0、PMC1 同時カウント動作)

インพุットキャプチャモードでは、PMC0、PMC1 の入力を同時に計測できます。

表 22.18 インพุットキャプチャモード時の仕様 (PMC0、PMC1 同時カウント動作)

項目		内容	
		PMC0回路	PMC1回路
カウントソース	クロック源	<ul style="list-style-type: none"> • PMC1 のカウントソース 	次のいずれか <ul style="list-style-type: none"> • fC • f1 • タイマB1 アンダフロー • タイマB2 アンダフロー
	分周	分周なし	分周なし、8分周、32分周、または64分周
カウント動作		アップカウント	
測定項目		次のいずれかを選択 <ul style="list-style-type: none"> • パルスの周期 (立ち上がりエッジ~立ち上がりエッジ) • パルスの周期 (立ち下がりエッジ~立ち下がりエッジ) • パルスの幅 ("H" と "L" 両方) 	
割り込み要求発生タイミング		<ul style="list-style-type: none"> • タイマ測定 • カウンタオーバフロー 	
選択機能		<ul style="list-style-type: none"> • 入力信号反転 • デジタルフィルタ 	

表 22.19 インพุットキャプチャモード時の使用レジスタと設定値 (PMC0, PMC1 同時カウント動作) (1/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCiCON0	EN	“1”にしてください (「22.3.5.1 設定手順」を参照してください)	“1”にしてください (「22.3.5.1 設定手順」を参照してください)
	SINV	入力信号極性を選択してください	入力信号極性を選択してください
	FIL	フィルタの有効/無効を選択してください	フィルタの有効/無効を選択してください
	EHOLD	“0”にしてください	—
	HDEN	“0”にしてください	“0”にしてください
	SDEN	“0”にしてください	—
	DRINT0	“00b”にしてください	—
	DRINT1		
PMCiCON1	TYP0	測定対象を選択してください	測定対象を選択してください
	TYP1		
	CSS	“1”にしてください	—
	EXSDEN	“0”にしてください	—
	EXHDEN	“0”にしてください	—
PMCiCON2	ENFLG	PMCi動作/停止を示すフラグ	使用しない
	INFLG	入力信号フラグ	入力信号フラグ
	CEFLG	カウンタオーバフローフラグ	カウンタオーバフローフラグ
	CEINT	カウンタオーバフロー割り込みを使用する場合“1”にしてください	カウンタオーバフロー割り込みを使用する場合“1”にしてください
	PSEL0	“01b”にしてください	“10b”にしてください
	PSEL1		
PMCiCON3	CRE	“1”にしてください	“1”にしてください
	CFR	“1”にしてください	“1”にしてください
	CST	“1”にしてください	“1”にしてください
	PD	“1”にしてください	“1”にしてください
	CSRC0	“00b”にしてください	カウントソースのクロック源を選択してください
	CSRC1		
	CDIV0	“00b”にしてください	カウントソースの分周値を選択してください
	CDIV1		
PMCiSTS	CPFLG	使用しない(読み出すと不定)	—
	REFLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	DRFLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	BFULFLG	使用しない(読み出すと不定)	—
	PTHDFLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	PTD0FLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	PTD1FLG	使用しない(読み出すと不定)	使用しない(読み出すと不定)
	SDFLG	使用しない(読み出すと不定)	—

i=0, 1, —: PMC1にはありません

注1. この表は手順を示すものではありません。

表 22.20 インพุットキャプチャモード時の使用レジスタと設定値 (PMC0, PMC1 同時カウント動作) (2/2) (注1)

レジスタ	ビット	機能	
		PMC0	PMC1
PMCiINT	CPINT	“0”にしてください	—
	REINT	“0”にしてください	“0”にしてください
	DRINT	“0”にしてください	“0”にしてください
	BFULINT	“0”にしてください	—
	PTHDINT	“0”にしてください	“0”にしてください
	PTDINT	“0”にしてください	“0”にしてください
	TIMINT	タイマ計測割り込みを使用する場合 “1”にしてください	タイマ計測割り込みを使用する場合 “1”にしてください
	SDINT	“0”にしてください	—
PMC0CPC	CPN0	“000b”にしてください	—
	CPN1		
	CPN2		
	CPEN	“0”にしてください	—
PMC0CPD	0~7	“00h”にしてください	—
PMCiHDPMIN	0~10	“0000h”にしてください	“0000h”にしてください
PMCiHDPMAX	0~10	“0000h”にしてください	“0000h”にしてください
PMCiD0PMIN	0~7	“00h”にしてください	“00h”にしてください
PMCiD0PMAX	0~7	“00h”にしてください	“00h”にしてください
PMCiD1PMIN	0~7	“00h”にしてください	“00h”にしてください
PMCiD1PMAX	0~7	“00h”にしてください	“00h”にしてください
PMCiTIM	0~15	パルス周期、幅の測定値が読めず	パルス周期、幅の測定値が読めず
PMC0DAT0~ PMC0DAT5	0~7	使用しない	使用しない
PMCORBIT	0~5	使用しない	使用しない

i=0, 1, —: PMC1にはありません

注1. この表は手順を示すものではありません。

22.3.5.1 設定手順

カウントを開始または停止する場合、次の手順に従ってください。

- (1) PMCiCON3 レジスタの CSRC1~CSRC0 ビット、CDIV1~CDIV0 ビットを設定する。
- (2) PMCiCON2 レジスタの PSEL1~PSEL0 ビット、PMCiCON0 レジスタの FIL ビット、SINV ビットを設定する。
- (3) カウントソースの4サイクル待つ
- (4) PMC1CON0 レジスタの EN ビットを“1” (停止の場合は“0”) にする
- (5) PMC0CON0 レジスタの EN ビットを“1” (停止の場合は“0”) にする
- (6) カウントソースの2サイクル待つ
- (7) PMC0CON2 レジスタの ENFLG ビットが“1” (停止の場合は“0”) であることを確認する。
(PMC1CON2 レジスタの ENFLG ビットは無効)

22.3.5.2 カウント動作

インพุットキャプチャモードでは、カウンタは“0000h”から“FFFFh”までカウントすると、“0000h”に戻り、カウントを続けます。

カウンタが“FFFFh”から“0000h”になると、PMCiCON2 レジスタの CEFLG ビットが“1” (カウンタオーバフロー) になり、次の測定タイミングまで“1”を保持します。

22.4 割り込み

リモコン信号受信機能には、リモコン信号受信機能0割り込みとリモコン信号受信機能1割り込みがあります。リモコン信号受信機能0割り込みはPMC0の、リモコン信号受信機能1割り込みはPMC1の割り込みです。

リモコン信号受信機能*i*割り込み要求信号は、条件が揃うたびに毎回発生します。PMCiCON2レジスタまたはPMCiINTレジスタの割り込み許可ビットが“1”の場合、それに対応する割り込み要求信号が発生するとPMCiICレジスタのIRビットが“1”(割り込み要求あり)になります。表 22.21にリモコン信号受信機能*i*割り込みの割り込み要因(*i*=0, 1)を示します。

表 22.21 リモコン信号受信機能*i*割り込みの割り込み要因(*i*=0, 1)

モード	割り込み要因	割り込み要求発生条件	割り込み要求ビット		割り込み許可ビット	
			レジスタ	ビット	レジスタ	ビット
パターンマッチモード	データ受信完了	カウンタの値がPMCiHDPMAX、PMCiD0PMAX、PMCiD1PMAXレジスタのいずれの値よりも大きい	PMCiSTS	DRFLG ("1"から "0"になる)	PMCiINT	DRINT
	ヘッダ一致	測定結果がPMCiHDPMIN、PMCiHDPMAXレジスタで設定した範囲内(ヘッダが有効の場合)	PMCiSTS	PTHDFLG	PMCiINT	PTHDINT
	データ0またはデータ1一致	測定結果がPMCiD0PMIN、PMCiD0PMAXレジスタで設定した範囲内、またはPMCiD1PMIN、PMCiD1PMAXレジスタで設定した範囲内	PMCiSTS	PTD0FLG PTD1FLG	PMCiINT	PTDINT
	特殊データ一致	測定結果がPMCiHDPMIN、PMCiHDPMAXレジスタで設定した範囲内(特殊データが有効の場合)	PMC0STS	SDFLG	PMC0INT	SDINT
	受信エラー	<ul style="list-style-type: none"> 入力信号の幅がヘッダ、データ0、データ1、特殊データのいずれでもない HDENビットが“1”の場合ヘッダ検出前にデータ0またはデータ1を検出 	PMCiSTS	REFLG	PMCiINT	REINT
	受信バッファフル	PMC0RBITレジスタの値が“48”	PMC0STS	BFULFLG	PMC0INT	BFULINT
	コンペアー一致	PMC0CPDレジスタとPMC0DAT0レジスタの値が一致(ただし、比較するビットはPMC0CPCレジスタのCPN2~CPN0ビットで選択したビットのみ)	PMC0STS	CPFLG	PMC0INT	CPINT
	タイマ測定	PMCi内部入力信号の測定終了エッジ	—	—	PMCiINT	TIMINT
インプットキャプチャモード	タイマ測定	PMCi内部入力信号の測定終了エッジ	—	—	PMCiINT	TIMINT
	カウンタオーバフロー	カウンタオーバフロー(カウンタの値が“FFFFh”を超え、“0000h”になった)	PMCiCON2	CEFLG	PMCiCON2	CEINT

測定結果: PMCiTIMレジスタの内容

図 22.10にリモコン信号受信機能の割り込みを示します。

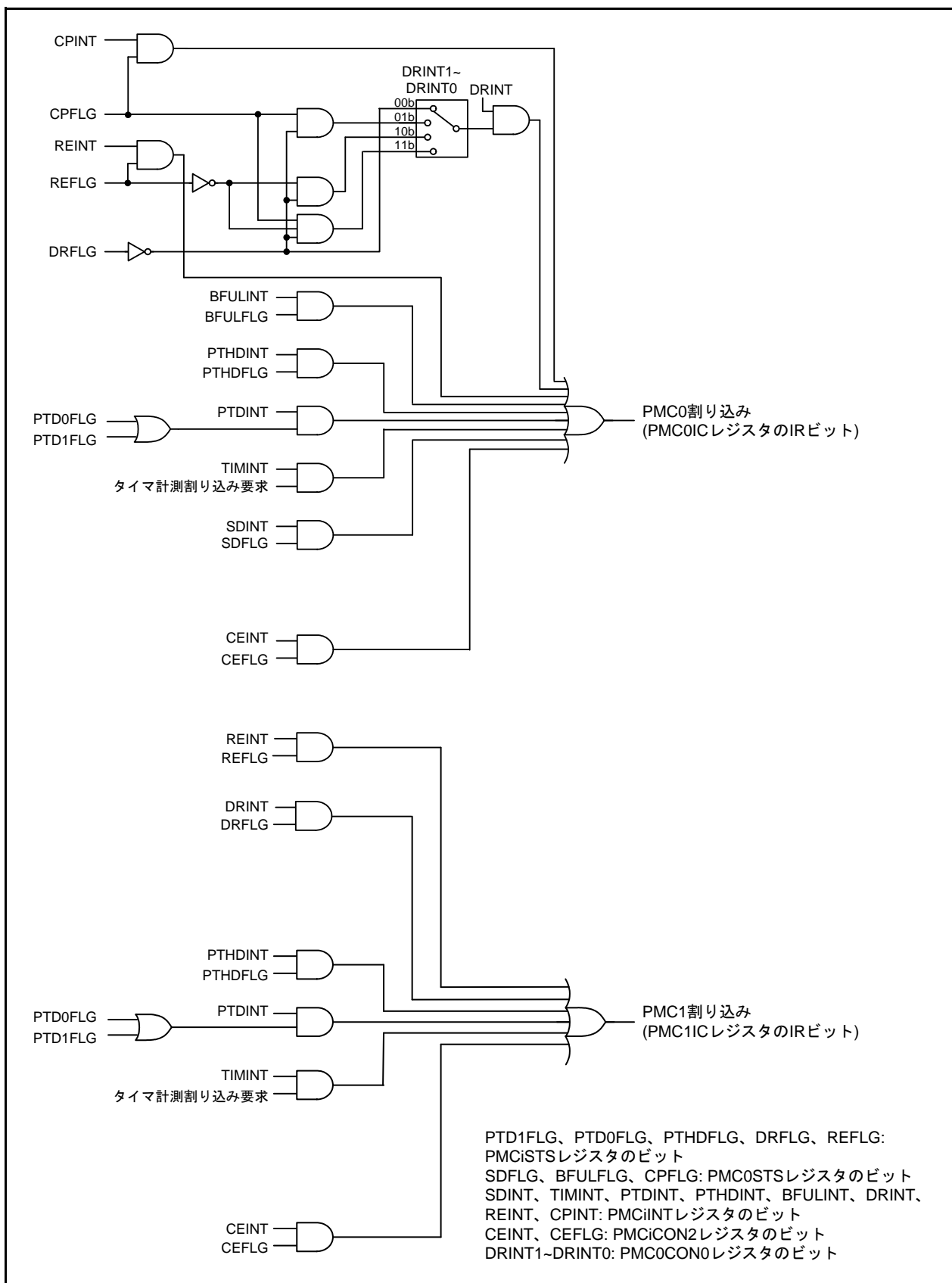


図 22.10 リモコン信号受信機能の割り込み

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 22.22 にリモコン信号受信機能の割り込み関連レジスタを示します。

表 22.22 リモコン信号受信機能の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0071h	UART7バス衝突検出 割り込み制御レジスタ、リモコン信号受信機能0割り込み制御レジスタ	U7BCNIC/ PMC0IC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ、リモコン信号受信機能1割り込み制御レジスタ	S7TIC/PMC1IC	XXXX X000b
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

リモコン信号受信機能は他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。リモコン信号受信機能0割り込みを使用する場合は、IFSR2A レジスタのIFSR24 ビットを“1”(リモコン信号受信機能0)にしてください。リモコン信号受信機能1割り込みを使用する場合は、IFSR2A レジスタのIFSR25 ビットを“1”(リモコン信号受信機能1)にしてください。

22.5 リモコン信号受信機能使用上の注意事項

22.5.1 PMCiの動作開始、停止

PMCiCON0レジスタのENビットはPMCiの動作開始、停止を制御するビットです。PMCiCON2レジスタのENFLGビットは動作の開始または停止したことを示すビットです。

ENビットを“1”(動作許可)にするとPMCi回路が動作を開始し、ENFLGビットが“1”(動作中)になります。ENビットを“1”にした後、ENFLGビットが“1”になるまで、最大でカウントソースの2サイクルかかります。

同様に、ENビットを“0”(動作禁止)にするとPMCi回路が動作を停止し、ENFLGビットが“0”(動作停止)になります。ENビットを“0”にした後ENFLGビットが“0”になるまで、最大でカウントソースの1サイクル分の時間がかかります。

ENビットを“1”にしてからENFLGビットが“1”になるまでと、ENFLGビットが“1”の間は、ENFLGビットを除くPMCi関連レジスタ(表 22.3~表 22.4のレジスタ一覧(PMCi回路)に示したレジスタ)をアクセスしないでください。

22.5.2 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります

PMCiCON2レジスタとPMCiSTSレジスタの各フラグ、

PMCiTIMレジスタ、PMCODAT0~PMCODAT5レジスタ、PMCORBITレジスタ

このタイミングを避けるため、これらのレジスタは下に示す方法で読み出してください。

パターンマッチモードの場合

- 割り込みを使用する方法

PMCiINTレジスタのDRINTビットを“1”(データ受信完了割り込み許可)にしておき、PMCi割り込みルーチン内で読み出す。

- プログラムで監視する方法1

PMCiINTレジスタのDRINTビットを“1”(データ受信完了割り込み許可)にしておき、プログラムでPMCiICレジスタのIRビットを監視し、“1”(割り込み要求発生)になったら、読み出す。

- プログラムで監視する方法2

- (1) PMCiSTSレジスタのDRFLGビットを監視する。
- (2) DRFLGビットが“1”になったら、“0”になるまで監視する。
- (3) DRFLGビットが“0”になったら、必要な内容を読み出す。

インプットキャプチャモードの場合

- 割り込みを使用する方法

PMCiINTレジスタのTIMINTビットを“1”(タイマ計測割り込み許可)にしておき、PMCi割り込みルーチン内で読み出す。

- プログラムで監視する方法1

PMCiINTレジスタのTIMINTビットを“1”(タイマ計測割り込み許可)にしておき、プログラムでPMCiICレジスタのIRビットを監視し、“1”(割り込み要求発生)になったら、読み出す。

上記の方法でもレジスタのデータが変化するタイミングと読み出すタイミングが重複する可能性がある場合は、複数回読み出して正しい値かどうかを判定してください。

22.5.3 レジスタの書き換え

PMCiCON0のレジスタのENビットを除くPMCi関連レジスタまたはビットは、PMCiCON0のENビットとPMCiCON2のENFLGビットがともに“0”(PMCi停止)のときに書き換えてください。

22.5.4 連結動作

連結動作を使用する場合、PMCOCON1レジスタのTYP1~TYP0ビットと、PMC1CON1レジスタのTYP1~TYP0ビットは同じ値にしてください。

23. シリアルインタフェース UARTi (i=0~2, 5~7)

23.1 概要

UARTiはそれぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

表 23.1にシリアルインタフェース UARTi (i=0~2, 5~7)の仕様、表 23.2にUART0~UART2、UART5~UART7の仕様の相違、図 23.1~図 23.3にUARTiブロック図、図 23.4にUARTi送受信部ブロック図を示します。

表 23.1 シリアルインタフェース UARTi (i=0~2, 5~7)の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> • クロック同期形シリアルI/Oモード • クロック非同期形シリアルI/Oモード (UARTモード) • 特殊モード1 (I²Cモード) 簡易形I²C-busインタフェースに対応したモードです。 • 特殊モード2 送受信クロックの極性と位相を選択できます。 • 特殊モード3 (バス衝突検出機能、IEモード) UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。 • 特殊モード4 (SIMモード) UART2で使用できます。SIMインタフェースに対応するモードです。

表 23.2 UART0~UART2、UART5~UART7の仕様の相違

項目	UART0	UART1	UART2	UART5	UART6	UART7
クロック同期形シリアルI/Oモード	あり		あり	あり	あり	
クロック非同期形シリアルI/Oモード (UARTモード)	あり		あり	あり	あり	
特殊モード1 (I ² Cモード)	あり		あり	あり	あり	
特殊モード2	あり		あり	あり	あり	
特殊モード3 (IEモード)	あり		あり	あり	あり	
特殊モード4 (SIMモード)	なし		あり	なし	なし	
メモリ拡張モードまたはマイクロプロセッサモード時の使用	使用できる				使用しないでください	

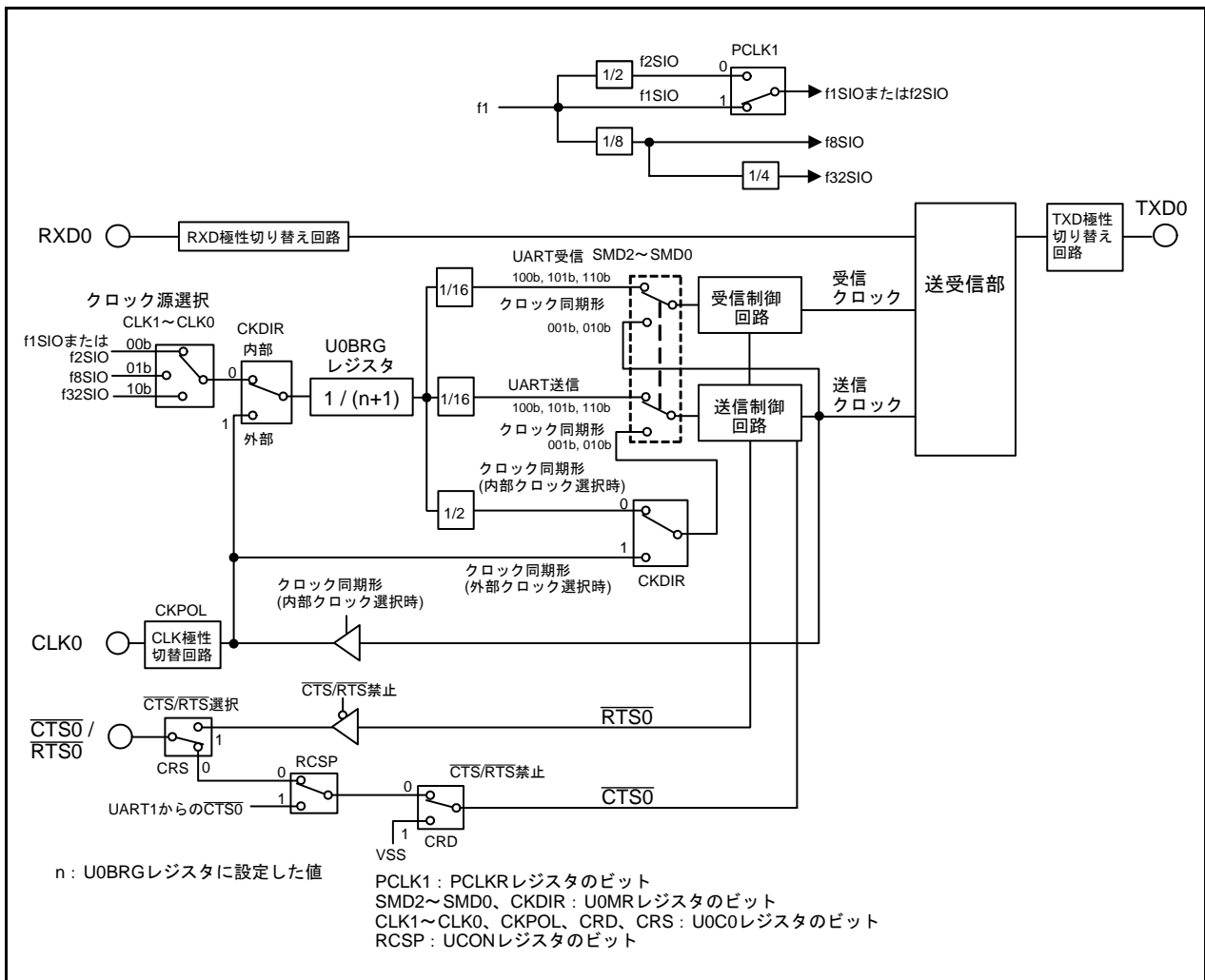


図 23.1 UART0 ブロック図

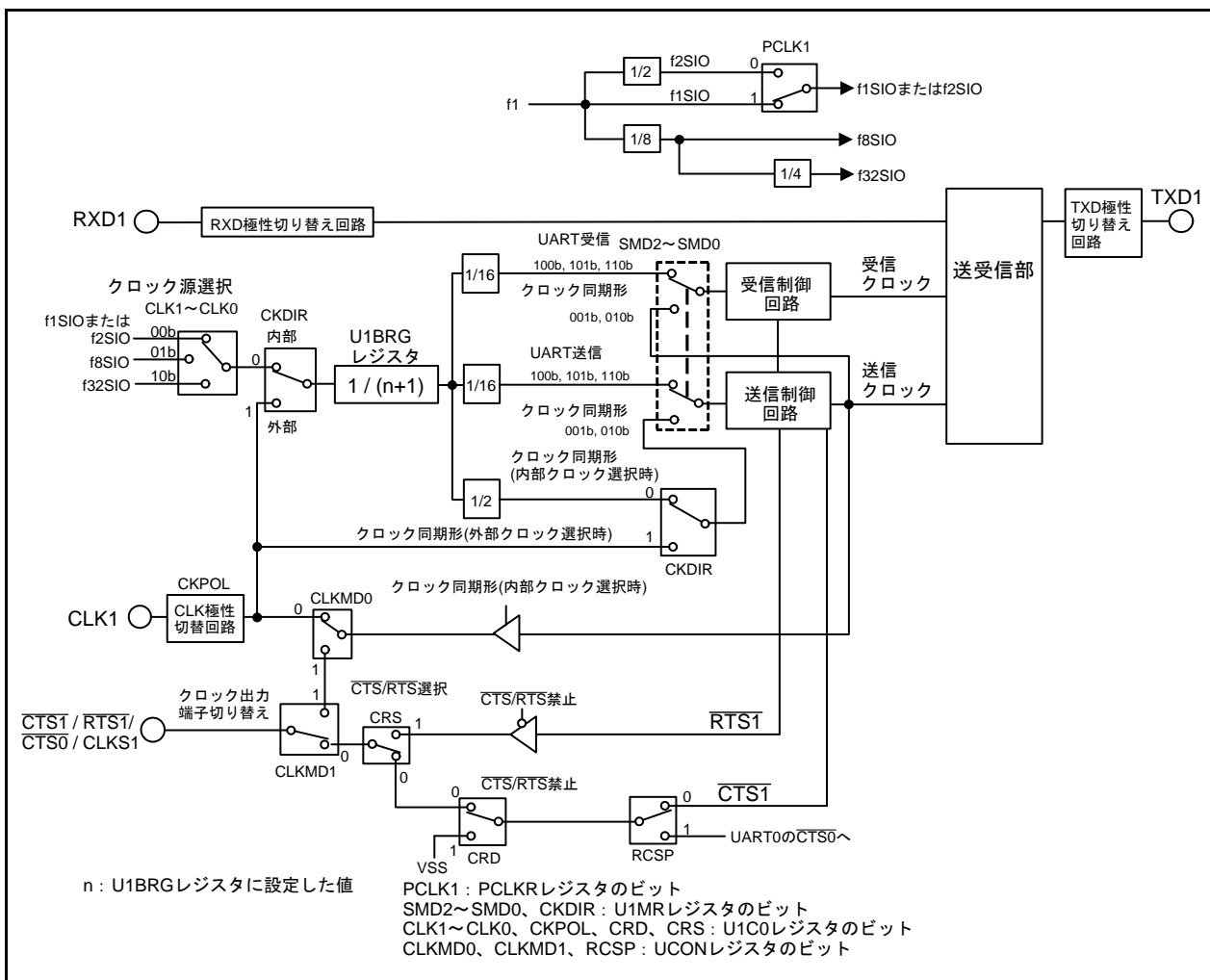


図 23.2 UART1 ブロック図

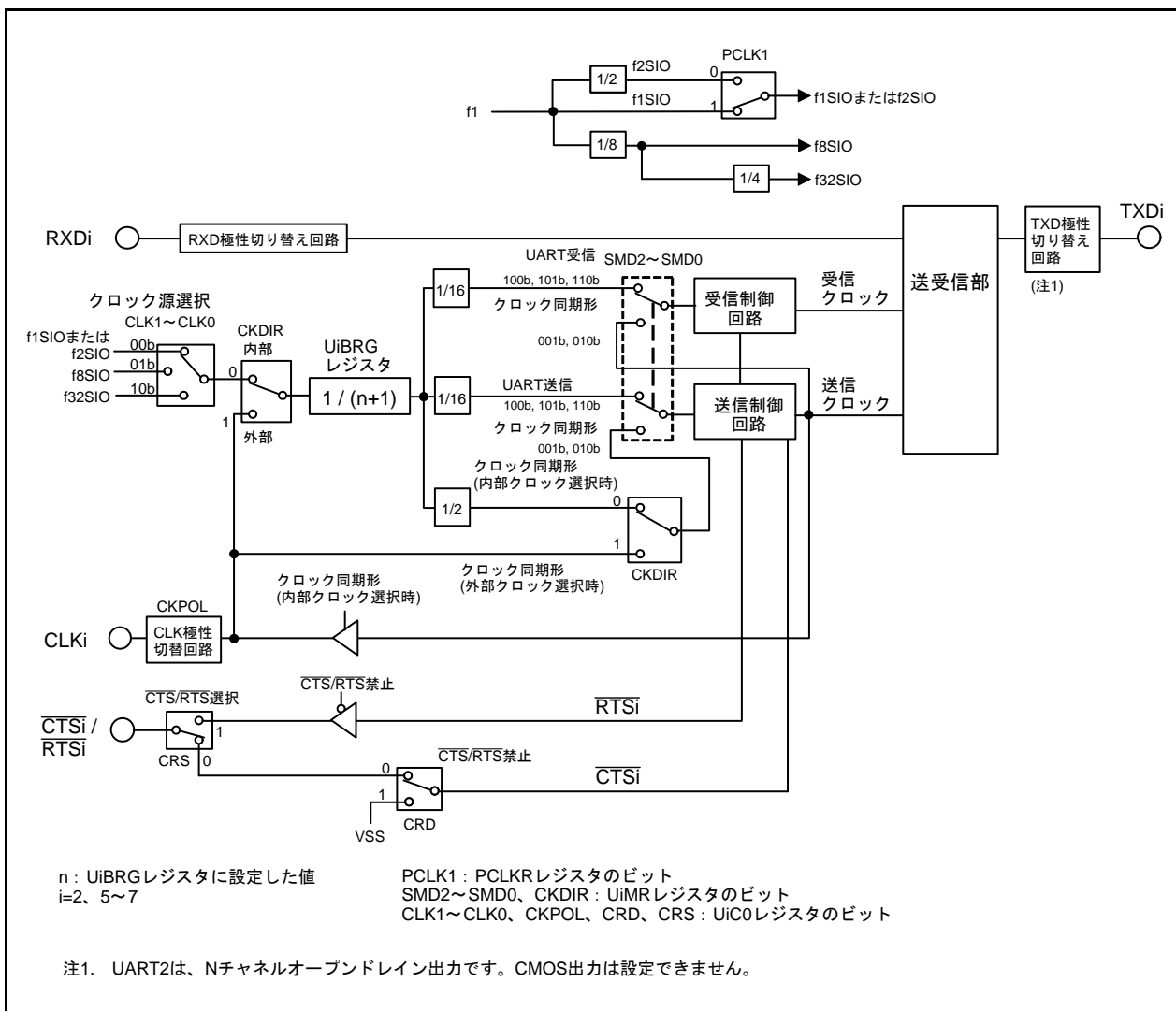


図 23.3 UART2、UART5~7 ブロック図

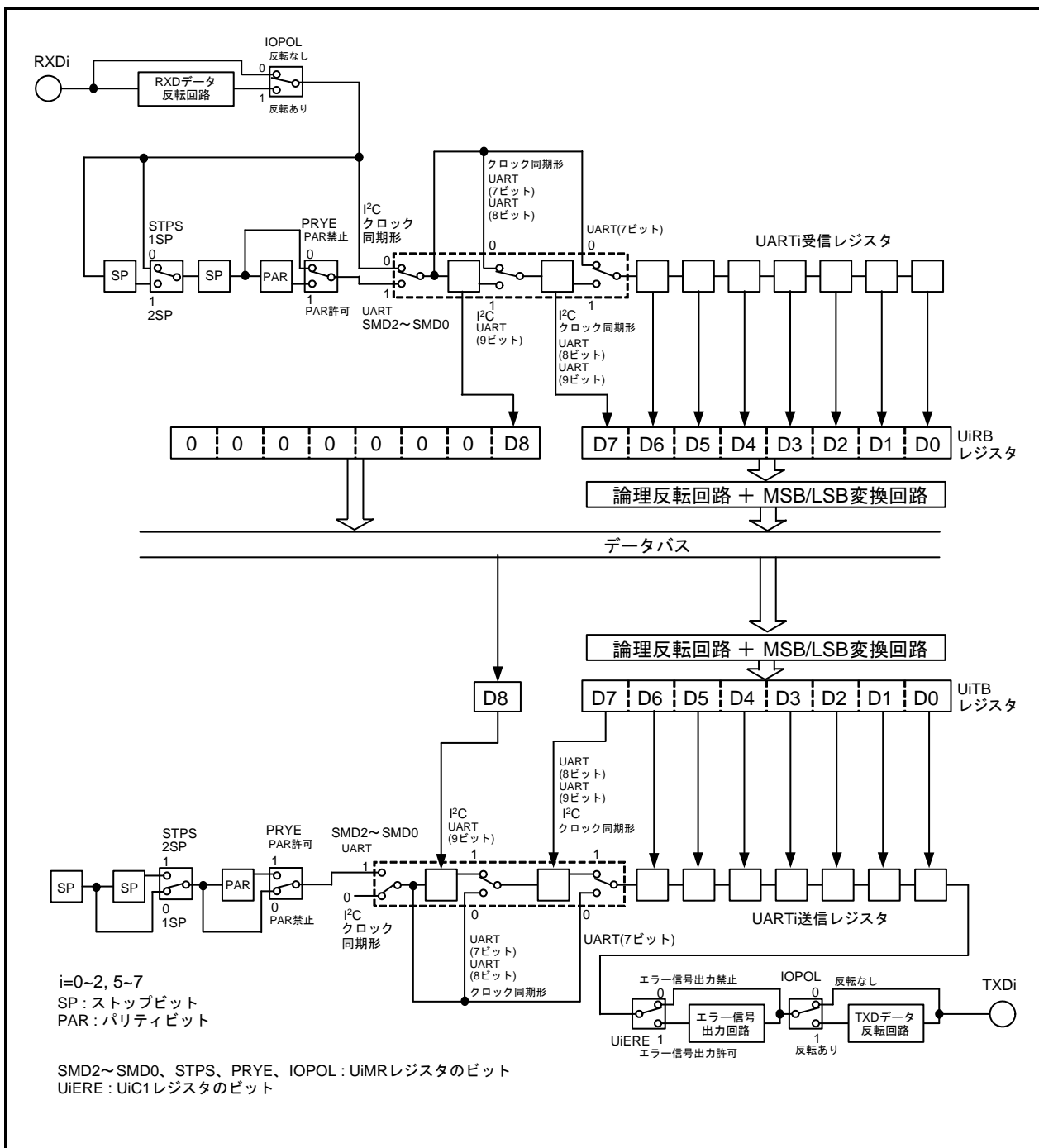


図 23.4 UARTi送受信部ブロック図

23.2 レジスタの説明

UART0~UART2、UART5~UART7 関連レジスタを表 23.3~表 23.4 レジスタ一覧に示します。
レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

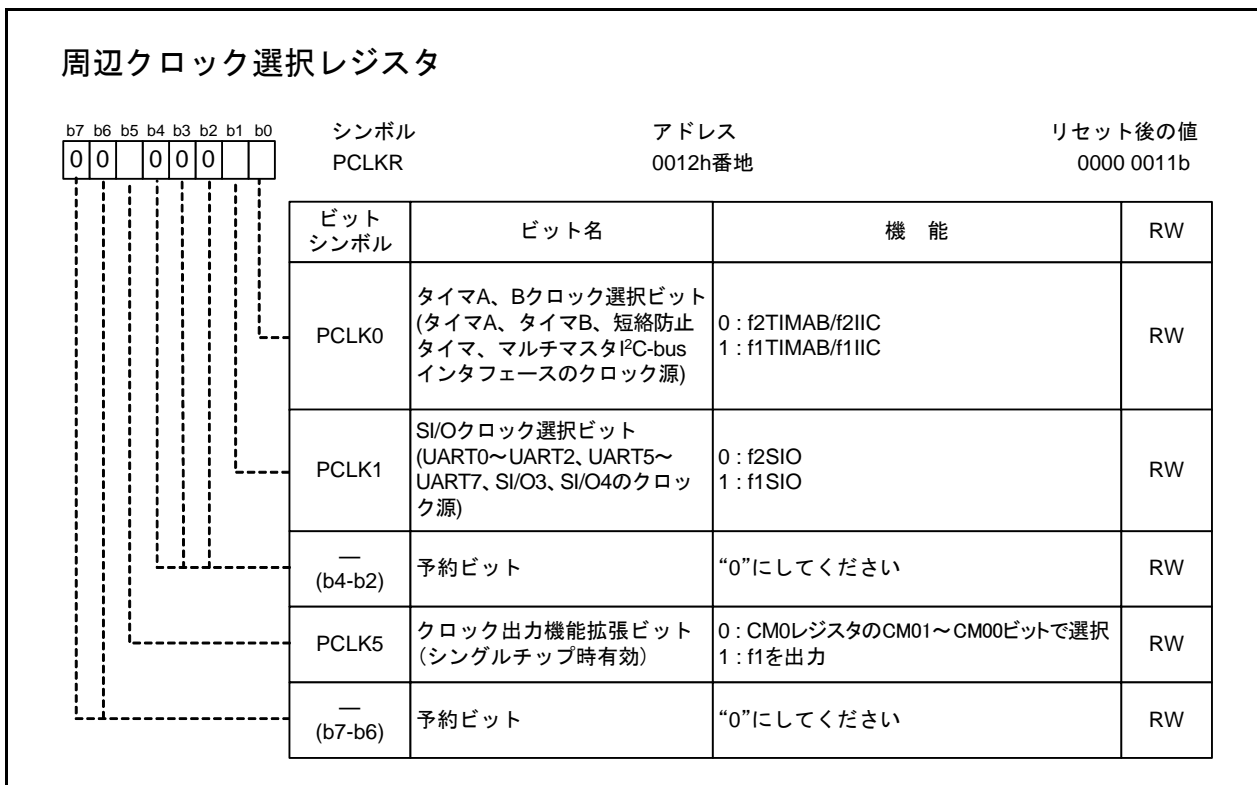
表 23.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0244h	UART0 特殊モードレジスタ 4	U0SMR4	00h
0245h	UART0 特殊モードレジスタ 3	U0SMR3	000X 0X0Xb
0246h	UART0 特殊モードレジスタ 2	U0SMR2	X000 0000b
0247h	UART0 特殊モードレジスタ	U0SMR	X000 0000b
0248h	UART0 送受信モードレジスタ	U0MR	00h
0249h	UART0 ビットレートレジスタ	U0BRG	XXh
024Ah	UART0 送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0 送受信制御レジスタ 0	U0C0	0000 1000b
024Dh	UART0 送受信制御レジスタ 1	U0C1	00XX 0010b
024Eh	UART0 受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART 送受信制御レジスタ 2	UCON	X000 0000b
0254h	UART1 特殊モードレジスタ 4	U1SMR4	00h
0255h	UART1 特殊モードレジスタ 3	U1SMR3	000X 0X0Xb
0256h	UART1 特殊モードレジスタ 2	U1SMR2	X000 0000b
0257h	UART1 特殊モードレジスタ	U1SMR	X000 0000b
0258h	UART1 送受信モードレジスタ	U1MR	00h
0259h	UART1 ビットレートレジスタ	U1BRG	XXh
025Ah	UART1 送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
025Dh	UART1 送受信制御レジスタ 1	U1C1	00XX 0010b
025Eh	UART1 受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0264h	UART2 特殊モードレジスタ 4	U2SMR4	00h
0265h	UART2 特殊モードレジスタ 3	U2SMR3	000X 0X0Xb
0266h	UART2 特殊モードレジスタ 2	U2SMR2	X000 0000b
0267h	UART2 特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2 送受信モードレジスタ	U2MR	00h
0269h	UART2 ビットレートレジスタ	U2BRG	XXh
026Ah	UART2 送信バッファレジスタ	U2TB	XXh
026Bh			XXh

表 23.4 レジスタ一覧 (2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0284h	UART5特殊モードレジスタ4	U5SMR4	00h
0285h	UART5特殊モードレジスタ3	U5SMR3	000X 0X0Xb
0286h	UART5特殊モードレジスタ2	U5SMR2	X000 0000b
0287h	UART5特殊モードレジスタ	U5SMR	X000 0000b
0288h	UART5送受信モードレジスタ	U5MR	00h
0289h	UART5ビットレートレジスタ	U5BRG	XXh
028Ah	UART5送信バッファレジスタ	U5TB	XXh
028Bh			XXh
028Ch	UART5送受信制御レジスタ0	U5C0	0000 1000b
028Dh	UART5送受信制御レジスタ1	U5C1	0000 0010b
028Eh	UART5受信バッファレジスタ	U5RB	XXh
028Fh			XXh
0294h	UART6特殊モードレジスタ4	U6SMR4	00h
0295h	UART6特殊モードレジスタ3	U6SMR3	000X 0X0Xb
0296h	UART6特殊モードレジスタ2	U6SMR2	X000 0000b
0297h	UART6特殊モードレジスタ	U6SMR	X000 0000b
0298h	UART6送受信モードレジスタ	U6MR	00h
0299h	UART6ビットレートレジスタ	U6BRG	XXh
029Ah	UART6送信バッファレジスタ	U6TB	XXh
029Bh			XXh
029Ch	UART6送受信制御レジスタ0	U6C0	0000 1000b
029Dh	UART6送受信制御レジスタ1	U6C1	0000 0010b
029Eh	UART6受信バッファレジスタ	U6RB	XXh
029Fh			XXh
02A4h	UART7特殊モードレジスタ4	U7SMR4	00h
02A5h	UART7特殊モードレジスタ3	U7SMR3	000X 0X0Xb
02A6h	UART7特殊モードレジスタ2	U7SMR2	X000 0000b
02A7h	UART7特殊モードレジスタ	U7SMR	X000 0000b
02A8h	UART7送受信モードレジスタ	U7MR	00h
02A9h	UART7ビットレートレジスタ	U7BRG	XXh
02AAh	UART7送信バッファレジスタ	U7TB	XXh
02ABh			XXh
02ACh	UART7送受信制御レジスタ0	U7C0	0000 1000b
02ADh	UART7送受信制御レジスタ1	U7C1	0000 0010b
02AEh	UART7受信バッファレジスタ	U7RB	XXh
02AFh			XXh

23.2.1 周辺クロック選択レジスタ (PCLKR)



PCLKR レジスタはPRCR レジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

23.2.2 UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7)

UARTi送受信モードレジスタ (i=0~2, 5~7)		シンボル	アドレス	リセット後の値
		U0MR、U1MR、U2MR U5MR、U6MR、U7MR	0248h、0258h、0268h 番地 0288h、0298h、02A8h 番地	00h 00h
ビット シンボル	ビット名	機 能		RW
SMD0 SMD1 SMD2	シリアルI/Oモード選択 ビット	b2 b1 b0	0 0 0 : シリアルインタフェースは無効 0 0 1 : クロック同期形シリアルI/Oモード 0 1 0 : I ² Cモード 1 0 0 : UARTモードキャラクタ長7ビット 1 0 1 : UARTモードキャラクタ長8ビット 1 1 0 : UARTモードキャラクタ長9ビット 上記以外: 設定しないでください	RW
				RW
				RW
CKDIR	内/外部クロック選択 ビット	0 : 内部クロック 1 : 外部クロック		RW
STPS	ストップビット長選択 ビット	0 : 1ストップビット 1 : 2ストップビット		RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ		RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可		RW
IOPOL	TXD、RXD入出力極性 切り替えビット	0 : 反転なし 1 : 反転あり		RW

SMD2~SMD0 (シリアルI/Oモード選択ビット) (b2~b0)

SMD2~SMD0 ビットを“000b” (シリアルインタフェースは無効) にするときは、UiC1 レジスタの TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にしてください。

I²Cモードにするときは、UiSMR レジスタの IICM ビットを“1” (I²Cモード) にした後で、SMD2~SMD0 ビットを“010b” (I²Cモード) にしてください。

23.2.3 UARTi ビットレートレジスタ (UiBRG) (i=0~2, 5~7)

UARTi ビットレートレジスタ (i=0~2, 5~7)			
	シンボル	アドレス	リセット後の値
	U0BRG、U1BRG、U2BRG U5BRG、U6BRG、U7BRG	0249h、0259h、0269h 番地 0289h、0299h、02A9h 番地	XXh XXh
	機能	設定範囲	RW
	設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h~FFh (I ² Cモード以外) 03h~FFh (I ² Cモード)	WO

送受信停止中に書いてください。

このレジスタはMOV命令を使用して書いてください。

このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

23.2.4 UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7)

UARTi送信バッファレジスタ (i=0~2, 5~7)			
	シンボル	アドレス	リセット後の値
	U0TB	024Bh~024Ah 番地	XXXXh
	U1TB	025Bh~025Ah 番地	XXXXh
	U2TB	026Bh~026Ah 番地	XXXXh
	U5TB	028Bh~028Ah 番地	XXXXh
	U6TB	029Bh~029Ah 番地	XXXXh
	U7TB	02ABh~02AAh 番地	XXXXh
	機能		RW
	送信データ		WO
	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

このレジスタはMOV命令を使用して書いてください。

キャラクタ長が9ビット、またはI²Cモードの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

23.2.5 UARTi送受信制御レジスタ0 (UiC0) (i=0~2, 5~7)

UARTi送受信制御レジスタ0 (i=0~2, 5~7)			
ビット シンボル	シンボル	アドレス	リセット後の値
b7	U0C0、U1C0、U2C0	024Ch、025Ch、026Ch番地	0000 1000b
b6	U5C0、U6C0、U7C0	028Ch、029Ch、02ACh番地	0000 1000b
b5			
b4			
b3			
b2			
b1			
b0			

ビット シンボル	ビット名	機能	RW
CLK0	UiBRGカウント ソース選択ビット	b1 b0 0 0: f1SIO または f2SIO を選択 0 1: f8SIO を選択	RW
CLK1		1 0: f32SIO を選択 1 1: 設定しないでください	RW
CRS	CTS/RTS機能選択ビット	CRD=0のとき有効 0: CTS機能を選択 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止	RW
NCH	データ出力選択ビット	0: TXDi/SDAi、SCLi端子はCMOS出力 1: TXDi/SDAi、SCLi端子はNチャネルオー ブンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 送受信クロックの立ち下がりで送信デー タ出力、立ち上がりで受信データ入力 1: 送受信クロックの立ち上がりで送信デー タ出力、立ち下がりで受信データ入力	RW
UFORM	ビットオーダ選択ビット	0: LSBファースト 1: MSBファースト	RW

CLK1~CLK0 (UiBRG カウントソース選択ビット) (b1~b0)

“00b” (f1SIO または f2SIO を選択) のとき、PCLKR レジスタの PCLK1 ビットで選択してください。
PCLKR レジスタを設定した後で、CLK1~CLK0 を設定してください。
CLK1~CLK0 ビットを変更した場合は、UiBRG レジスタを設定してください。

CRS (CTS/RTS 機能選択ビット) (b2)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ は UCON レジスタの CLKMD1 ビットが “0” (CLK 出力は CLK1 のみ)、かつ UCON レジスタの RCSP ビットが “0” ($\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離しない) のとき使用できます。

CRD (CTS/RTS 禁止ビット) (b4)

CRD ビットが “1” ($\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能禁止) のとき、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 端子は入出力ポートとして使用できます。

NCH (データ出力選択ビット) (b5)

TXD2/SDA2、SCL2は、Nチャンネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

本機能はCMOS出力バッファのPチャンネルトランジスタを常時オフにするものであり、TXDi/SDAi、SCLi端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

UFORM (ビットオーダ選択ビット) (b7)

UFORMビットはUiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモードキャラクタ長7ビット)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

23.2.6 UARTi送受信制御レジスタ 1 (UiC1) (i=0~2, 5~7)

UARTi送受信制御レジスタ 1 (i=0, 1)				
		シンボル U0C1、U1C1	アドレス 024Dh、025Dh番地	リセット後の値 00XX 0010b
ビットシンボル	ビット名	機能	RW	
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW	
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO	
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW	
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO	
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—	
UiLCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW	
UiERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW	

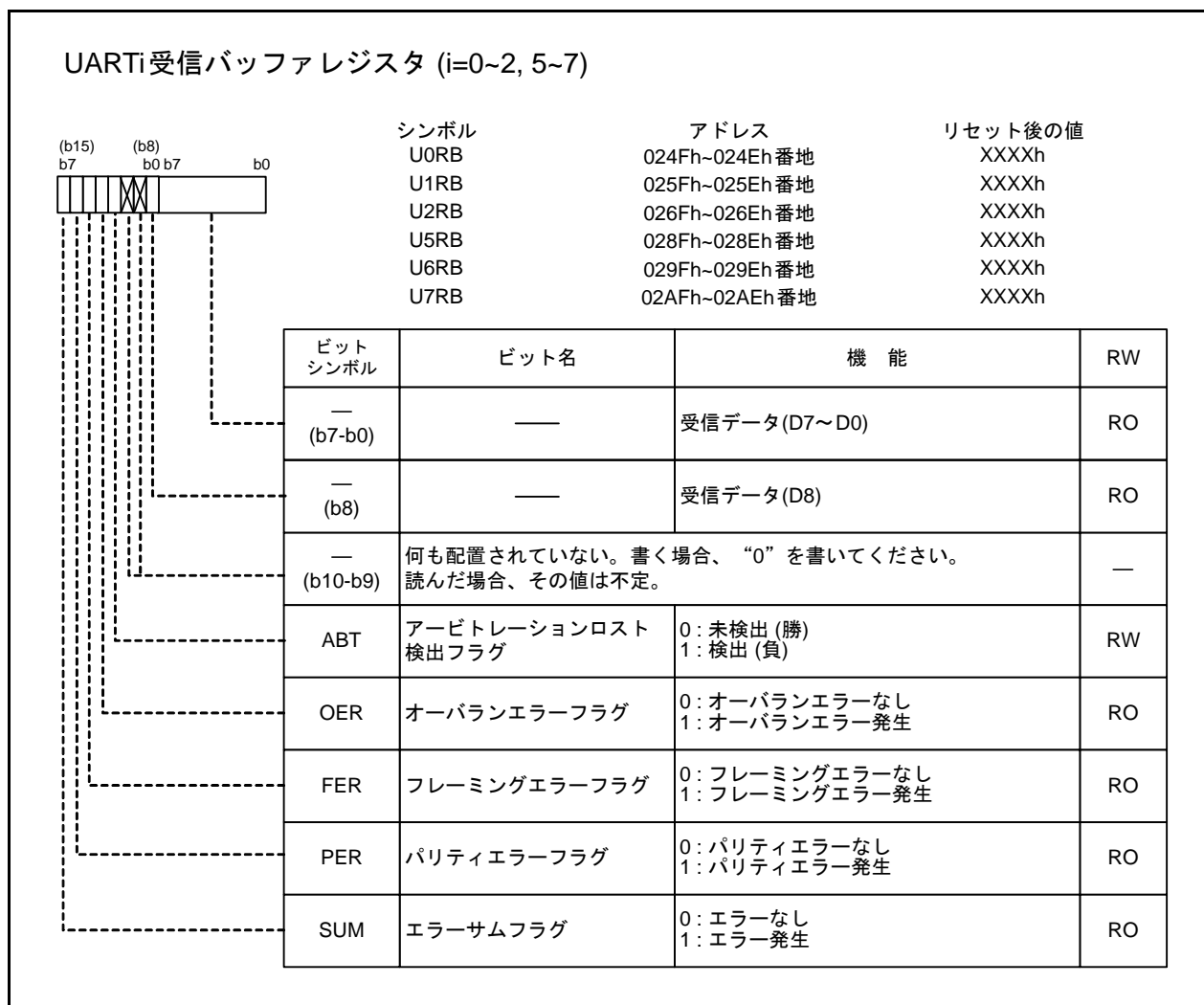
UARTi送受信制御レジスタ 1 (i=2, 5~7)				
		シンボル U2C1 U5C1、U6C1、U7C1、	アドレス 026Dh番地 028Dh、029Dh、02ADh番地	リセット後の値 0000 0010b 0000 0010b
ビットシンボル	ビット名	機能	RW	
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW	
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO	
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW	
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO	
UiIRS	UARTi送信割り込み要因 選択ビット	0: UiTBレジスタ空(TI=1) 1: 送信完了(TXEPT=1)	RW	
UiRRM	UARTi連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW	
UiLCH	データ論理選択ビット	0: 反転なし 1: 反転あり	RW	
UiERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW	

UART0、UART1のUiIRS、UiRRMビットはUCONレジスタにあります。

UiLCH (データ論理選択ビット) (b6)

UiLCHビットは、UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモードキャラクタ長7ビット)または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

23.2.7 UARTi 受信バッファレジスタ (UiRB) (i=0~2, 5~7)



UiMR レジスタの SMD2~SMD0 ビットが“100b”、“101b”または“110b”の場合は、16ビット単位で読み出すか、または8ビット単位で上位バイトを先に、下位バイトを後で読み出してください。下位バイトを読み出すと上位バイトに配置された FER, PER ビットが“0”になります。

オーバランエラーが発生したとき、UiRB レジスタの受信データは不定です。

ABT (アービトレーションロスト検出フラグ) (b11)

ABT ビットはプログラムで“0”を書くと“0”になります (“1”を書いても変化しません)。

OER (オーバランエラーフラグ) (b12)

["0"になる条件]

- UiMR レジスタの SMD2~SMD0 ビットが“000b” (シリアルインタフェースは無効)
- UiC1 レジスタの RE ビットが“0” (受信禁止)

["1"になる条件]

- UiC1 レジスタの RI ビットが“1” (UiRB レジスタにデータあり)かつ次のデータの最終ビットを受信

FER (フレーミングエラーフラグ) (b13)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、FERビットは無効です。これらのモードで読んだ場合、その値は不定です。

[“0”になる条件]

- UiMR レジスタの SMD2~SMD0 ビットが “000b” (シリアルインタフェースは無効)
- UiC1 レジスタの RE ビットが “0” (受信禁止)
- UiRB レジスタの下位バイトを読む

[“1”になる条件]

- 設定した個数のストップビットが検出されない
(受信データを UARTi 受信レジスタから UiRB レジスタに転送するタイミングで検出)

PER (パリティエラーフラグ) (b14)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、PERビットは無効です。これらのモードで読んだ場合、その値は不定です。

UiMR レジスタの PRYE ビットが “1” (パリティ許可) の場合に有効です。

[“0”になる条件]

- UiMR レジスタの SMD2~SMD0 ビットが “000b” (シリアルインタフェースは無効)
- UiC1 レジスタの RE ビットが “0” (受信禁止)
- UiRB レジスタの下位バイトを読む

[“1”になる条件]

- パリティビットとキャラクタビット中の “1” の個数が設定した個数でない
(受信データを UARTi 受信レジスタから UiRB レジスタに転送するタイミングで検出)

SUM (エラーサムフラグ) (b15)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合は、SUMビット無効です。これらのモードで読んだ場合、その値は不定です。

[“0”になる条件]

- UiMR レジスタの SMD2~SMD0 ビットが “000b” (シリアルインタフェースは無効)
- UiC1 レジスタの RE ビットが “0” (受信禁止)
- PER、FER、OER ビットがすべて “0” (エラーなし)

[“1”になる条件]

- PER、FER、OER ビットのうち1つ以上が “1” (エラー発生)

23.2.8 UART送受信制御レジスタ2 (UCON)

UART送受信制御レジスタ2			
ビット シンボル	シンボル UCON	アドレス 0250h番地	リセット後の値 X000 0000b
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
	ビット シンボル	ビット名	機能
	U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)
	U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)
	U0RRM	UART0連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可
	U1RRM	UART1連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可
	CLKMD0	UART1CLK、CLKS選択 ビット0	CLKMD1=1のとき有効 0: CLK1からクロックを出力 1: CLKS1からクロックを出力
	CLKMD1	UART1CLK、CLKS選択 ビット1	0: CLK出力はCLK1のみ 1: 送受信クロック複数端子出力機能選択
	RCSP	UART0CTS/RTS分離ビット	0: CTS/RTS共通端子 1: CTS/RTS分離
	— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

UART2、UART5~UART7のUiIRS、UiRRMビットはUiC1レジスタにあります。

CLKMD1 (UART1CLK、CLKS選択ビット1) (b5)

複数の送受信クロック出力端子を使用する場合、次の条件を満たしてください。

U1MRレジスタのCKDIRビット=0(内部クロック)

23.2.9 UARTi 特殊モードレジスタ 4 (UiSMR4) (i=0~2, 5~7)

UARTi 特殊モードレジスタ 4 (i=0~2, 5~7)				
ビットシンボル	シンボル	アドレス	リセット後の値	
	U0SMR4、U1SMR4、U2SMR4	0244h、0254h、0264h 番地	00h	
	U5SMR4、U6SMR4、U7SMR4	0284h、0294h、02A4h 番地	00h	
ビットシンボル	ビット名	機能	RW	
b0	STAREQ	スタートコンディション生成ビット	0: クリア 1: スタート	RW
b1	RSTAREQ	リスタートコンディション生成ビット	0: クリア 1: スタート	RW
b2	STPREQ	ストップコンディション生成ビット	0: クリア 1: スタート	RW
b3	STSPSEL	SCL、SDA出力選択ビット	0: シリアル入出力回路選択 1: スタートコンディション/ストップコンディション生成回路選択	RW
b4	ACKD	ACKデータビット	0: ACK 1: NACK	RW
b5	ACKC	ACKデータ出力許可ビット	0: シリアルデータ出力 1: ACKデータ出力	RW
b6	SCLHI	SCL出力停止ビット	ストップコンディション検出時、 0: SCLi出力を停止しない 1: SCLi出力を停止する	RW
b7	SWC9	SCLウェイト自動挿入ビット ³	0: ウェイトなし/ウェイト解除 1: 9ビット目を受信後、SCLi端子を“L”に固定	RW

STAREQ (スタートコンディション生成ビット) (b0)

スタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。UiSMR レジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

RSTAREQ (リスタートコンディション生成ビット) (b1)

リスタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。UiSMR レジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STPREQ (ストップコンディション生成ビット) (b2)

ストップコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。UiSMR レジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STSPSEL (SCL、SDA出力選択ビット) (b3)

I²Cモードでマスタの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”(スタート)にした後、“1”(スタートコンディション/ストップコンディション生成回路選択)にしてください。

ACKD (ACKデータビット) (b4)**ACKC (ACKデータ出力許可ビット) (b5)****SWC9 (SCLウェイト自動挿入ビット3) (b7)**

I²Cモードでスレーブの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

SCLHI (SCL出力停止ビット) (b6)

I²Cモードでマスタの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

23.2.10 UARTi 特殊モードレジスタ 3 (UiSMR3) (i=0~2, 5~7)

UARTi 特殊モードレジスタ 3 (i=0~2, 5~7)			
ビット	シンボル	アドレス	リセット後の値
b7	U0SMR3、U1SMR3、U2SMR3	0245h、0255h、0265h 番地	000X 0X0Xb
b6	U5SMR3、U6SMR3、U7SMR3	0285h、0295h、02A5h 番地	000X 0X0Xb
b5			
b4			
b3			
b2			
b1			
b0			

ビットシンボル	ビット名	機能	RW
— (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
— (b2)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
NODC	クロック出力選択ビット	0: CLKiはCMOS出力 1: CLKiはNチャネルオープンドレイン出力	RW
— (b4)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
DL0	SDAi デジタル 遅延値設定ビット	b7 b6 b5 0 0 0: 遅延なし	RW
DL1		0 0 1: UiBRG カウントソースの1~2サイクル	RW
		0 1 0: UiBRG カウントソースの2~3サイクル	RW
		0 1 1: UiBRG カウントソースの3~4サイクル	RW
DL2		1 0 0: UiBRG カウントソースの4~5サイクル	RW
		1 0 1: UiBRG カウントソースの5~6サイクル	RW
		1 1 0: UiBRG カウントソースの6~7サイクル	RW
		1 1 1: UiBRG カウントソースの7~8サイクル	RW

NODC (クロック出力選択ビット) (b3)

本機能はCMOS出力バッファのPチャネルトランジスタを常時オフにするものであり、CLKi端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

DL2~DL0 (SDAi デジタル遅延値設定ビット) (b7~b5)

DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b” (遅延なし) にしてください。

遅延量はSCLi端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

23.2.11 UARTi特殊モードレジスタ 2 (UiSMR2) (i=0~2, 5~7)

UARTi特殊モードレジスタ 2 (i=0~2, 5~7)			
	シンボル	アドレス	リセット後の値
	U0SMR2、U1SMR2、U2SMR2	0246h、0256h、0266h番地	X000 0000b
	U5SMR2、U6SMR2、U7SMR2	0286h、0296h、02A6h番地	X000 0000b
ビットシンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入ビット	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCLi端子を“L”に固定	RW
ALS	SDA出力自動停止ビット	アービトレーションロスト検出時、 0: SDAi出力を停止しない 1: SDAi出力を停止する	RW
STAC	UARTi自動初期化ビット	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2	0: SCLi端子に送受信クロックを出力 1: SCLi端子を“L”に固定	RW
SDHI	SDA出力禁止ビット	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

23.2.12 UARTi特殊モードレジスタ (UiSMR) (i=0~2, 5~7)

UARTi特殊モードレジスタ (i=0~2, 5~7)							
シンボル		アドレス		リセット後の値			
U0SMR、U1SMR、U2SMR		0247h、0257h、0267h番地		X000 0000b			
U5SMR、U6SMR、U7SMR		0287h、0297h、02A7h番地		X000 0000b			

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW
— (b3)	予約ビット	“0” にしてください。	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0: 送受信クロックの立ち上がり 1: タイマAjのアンダフロー信号	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RXDiに同期しない 1: RXDiに同期する	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

BBS (バスビジーフラグ) (b2)

BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

ABSCS (バス衝突検出サンプリングクロック選択ビット) (b4)

ABSCSビットが“1”の場合のUARTiとタイマAjの組み合わせは次のとおりです。

UART0、UART6: タイマA3のアンダフロー信号

UART1、UART7: タイマA4のアンダフロー信号

UART2、UART5: タイマA0のアンダフロー信号

SSS (送信開始条件選択ビット) (b6)

送信が始まると、SSSビットは“0”(RXDiに同期しない)になります。

23.3 動作説明

23.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、送受信クロックを用いて送受信を行うモードです。表 23.5 にクロック同期形シリアルI/Oモードの仕様を示します。

表 23.5 クロック同期形シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタの CKDIR ビットが“0” (内部クロック): $\frac{f_j}{2(n+1)}$ f_j=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRG レジスタの設定値 00h~FFh • CKDIR ビットが“1” (外部クロック): CLKi 端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS/RTS 機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタの TE ビットが“1” (送信許可) • UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり) • CTS 機能を選択している場合、CTS_i 端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタの RE ビットが“1” (受信許可) • UiC1 レジスタの TE ビットが“1” (送信許可) • UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1 または UCON レジスタの UiIRS ビットが“0” (送信バッファ空): UiTB レジスタから UARTi 送信レジスタへデータ転送時(送信開始時) • UiIRS ビットが“1” (送信完了): UARTi 送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi 受信レジスタから UiRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK 極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 • LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRB レジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 • 送受信クロック複数端子出力選択 (UART1) UART1 の送受信クロック端子を2本設定し、プログラムで出力端子を選択可 • CTS/RTS 分離機能 (UART0) CTS₀ と RTS₀ を別の端子から入出力する

i=0~2, 5~7

注1. 順序は関係ありません。外部クロックを選択し、UiC0 レジスタの TXEPT ビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

- UiC0 レジスタの CKPOL ビットが“0” (送受信クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) の場合、外部クロックが“H”
- CKPOL ビットが“1” (送受信クロックの立ち上がり) で送信データ出力、立ち下がり) で受信データ入力) の場合、外部クロックが“L”

注2. オーバランエラーが発生した場合、UiRB レジスタ受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

表 23.6 にクロック同期形シリアル I/O モード時の入出力端子の機能を示します。表 23.6 は、送受信クロック複数端子出力選択機能を非選択の場合です。また、表 23.7 にクロック同期形シリアル I/O モード時の P6_4 端子の機能を示します。

なお、UARTi の動作モード選択後、送信開始までは、TXDi 端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 23.6 クロック同期形シリアル I/O モード時の入出力端子の機能(送受信クロック複数端子出力機能を非選択の場合)

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	出力	送受信クロック出力	UiMR レジスタの CKDIR ビット=0
	入力	送受信クロック入力	UiMR レジスタの CKDIR ビット=1 端子を共用するポートの方向ビットを“0”にする
CTS \bar /RTS \bar i	入力	CTS 入力	UiC0 レジスタの CRD ビット=0 UiC0 レジスタの CRS ビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS 出力	UiC0 レジスタの CRD ビット=0 UiC0 レジスタの CRS ビット=1
	入出力	入出力ポート	UiC0 レジスタの CRD ビット=1

i=0~0~2, 5~7

表 23.7 クロック同期形シリアル I/O モード時の P6_4 端子の機能

端子の機能	ビットの設定値					
	U1C0 レジスタ		UCON レジスタ			PD6 レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	入力: 0、出力: 1
CTS \bar 1	0	0	0	0	—	0
RTS \bar 1	0	1	0	0	—	—
CTS0 (注1)	0	0	1	0	—	0
CLKS1	—	—	—	1 (注2)	1	—

—: “0”または“1”

注1. この他に U0C0 レジスタの CRD ビットを“0” (CTS0/RTS0 許可)、U0C0 レジスタの CRS ビットを“1” (RTS0 選択) にしてください。

注2. CLKMD1 ビットが“1”で CLKMD0 ビットが“0”の場合は、次のレベルを出力します。

- U1C0 レジスタの CKPOL ビットが“0”: H
- U1C0 レジスタの CKPOL ビットが“1”: L

表 23.8 クロック同期形シリアルI/Oモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウントソースを選択してください
UiTB	0~7	送信データを設定してください
	8	— (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	8、11、13~15	読んだ場合、その値は不定
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UIMR	SMD2~SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください。
	NCH	TXDi端子の出力形式を選択してください(注1)
	CKPOL	送受信クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~2	“0”にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください
	U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=1のとき送受信クロックを出力する端子を選択してください
	CLKMD1	UART1の送受信クロックを2端子から出力する場合、“1”にしてください
	RCSP	UART0のCTS0/RTSを分離する場合、“1”にしてください
	7	“0”にしてください

i=0~2, 5~7 j=2, 5~7

注1. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注2. この表は手順を示すものではありません。

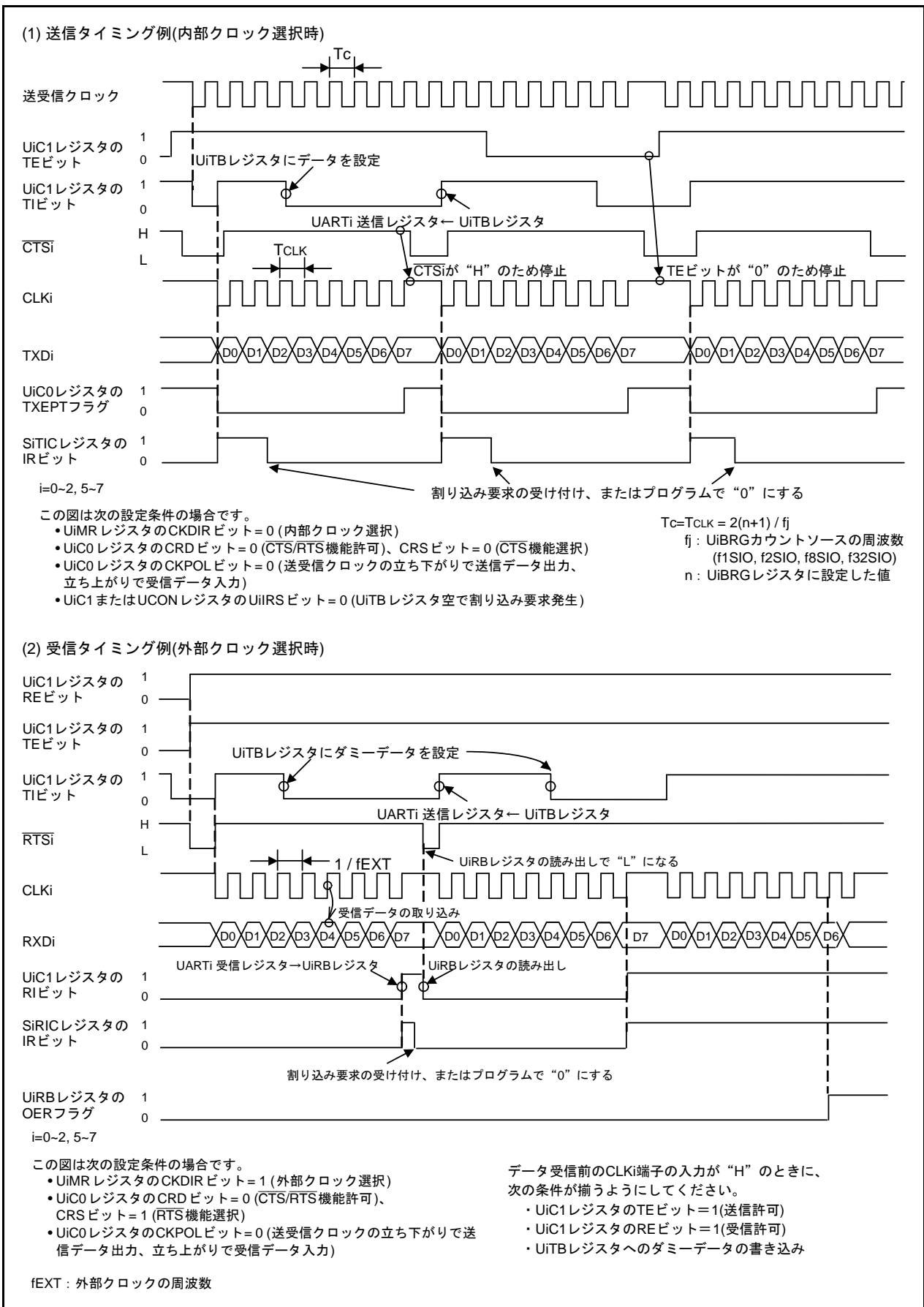


図 23.5 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

23.3.1.1 CLK極性選択

UIC0レジスタ (i=0~2, 5~7)のCKPOLビットで送受信クロックの極性を選択できます。図 23.6 送受信クロックの極性を示します。

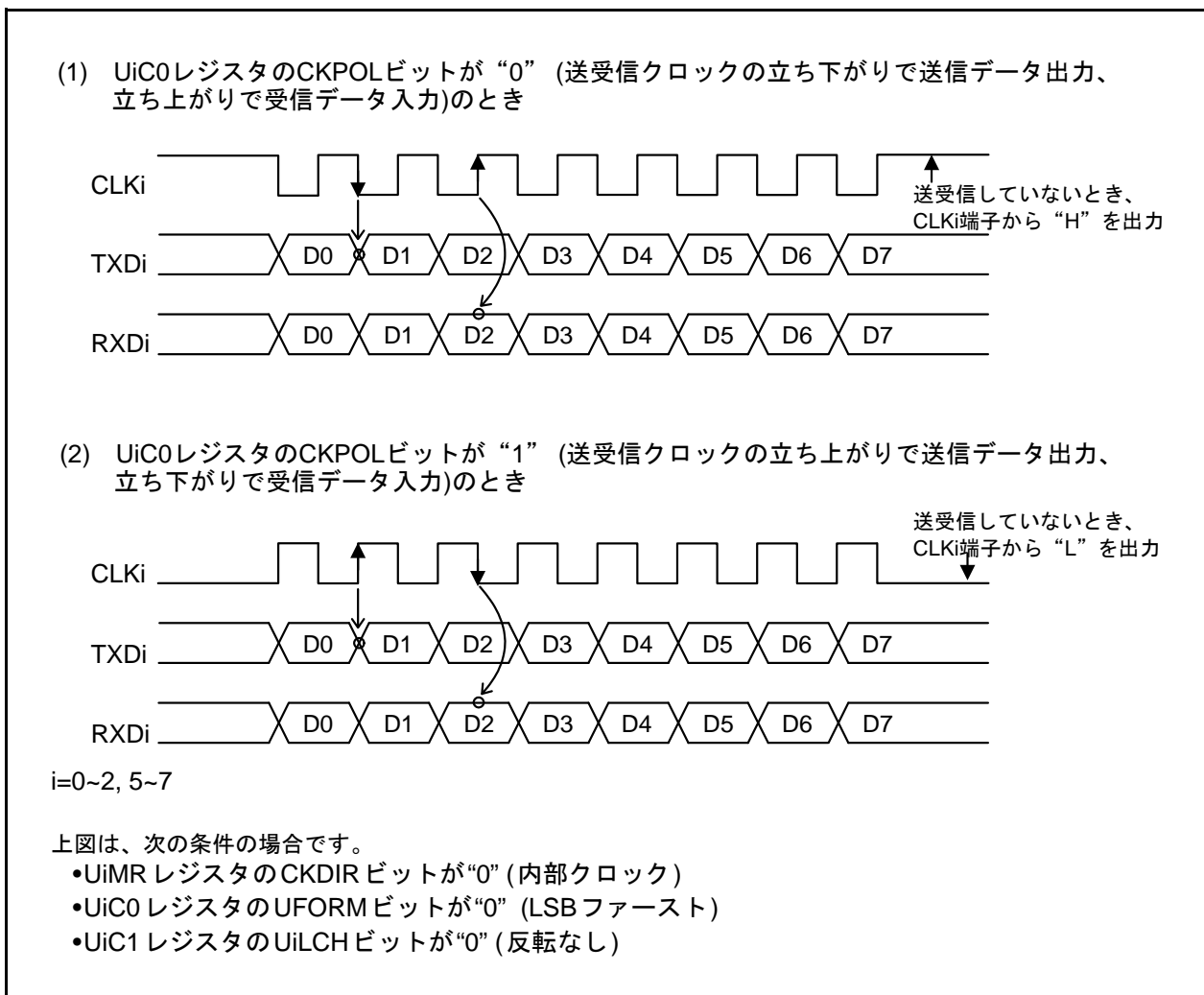


図 23.6 送受信クロックの極性

23.3.1.2 LSBファースト、MSBファースト選択

U*i*C0レジスタ (*i*=0~2, 5~7)のUFORMビットでビットオーダを選択できます。図 23.7にビットオーダを示します。

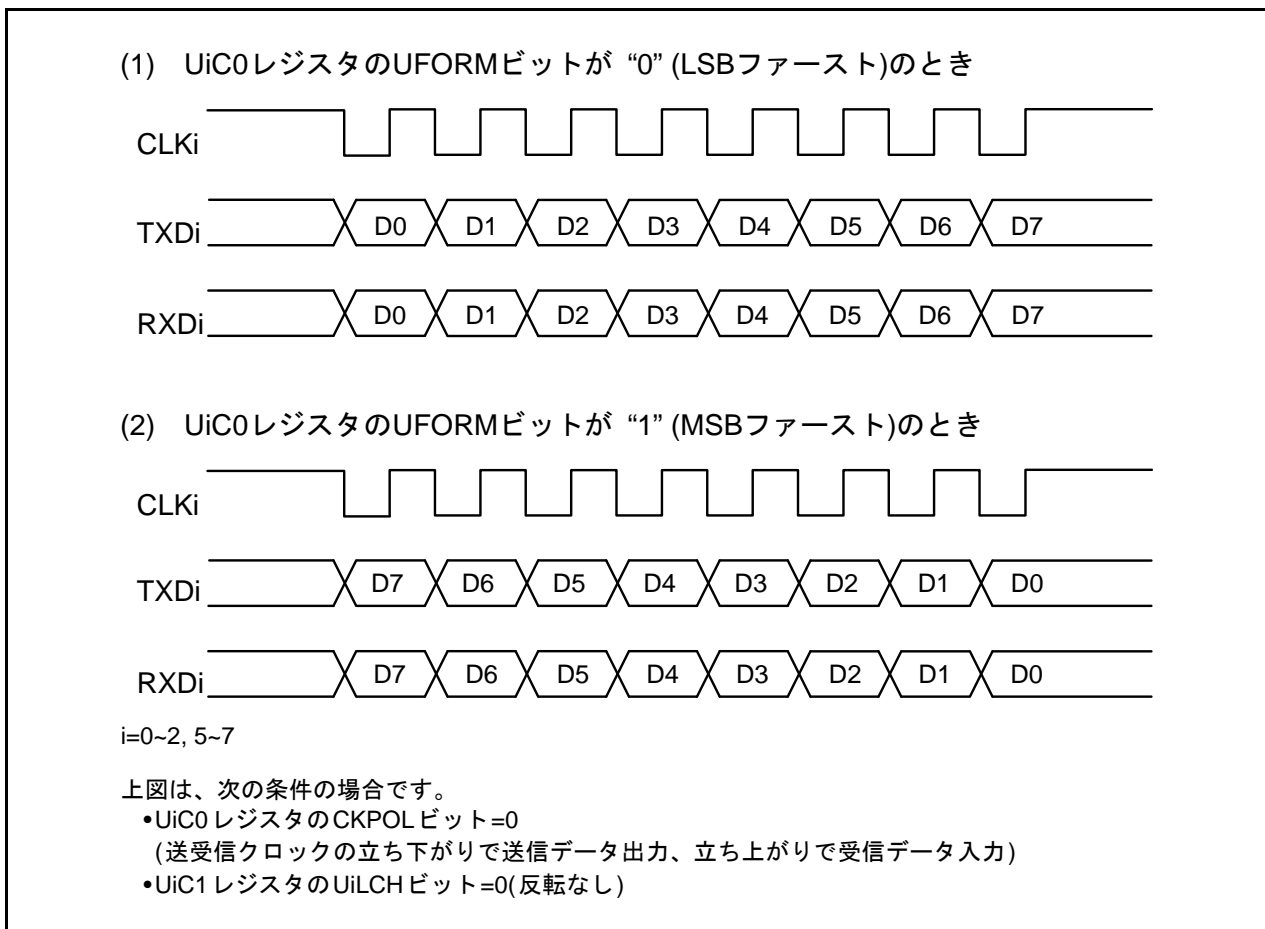


図 23.7 ビットオーダ

23.3.1.3 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiC1 または UCON レジスタの UiRRM ビット (i=0~2, 5~7) を “1” (連続受信モード) にすると、UiRB レジスタを読むことで UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり) になります。UiRRM ビットが “1” の場合、プログラムで UiTB レジスタにダミーデータを書かないでください。

外部クロック使用時は、8 ビット目のデータを受信してから、次の送信が始まるまでに UiRB レジスタを読み出してください。

図 23.8 に連続受信モードの動作例を示します。

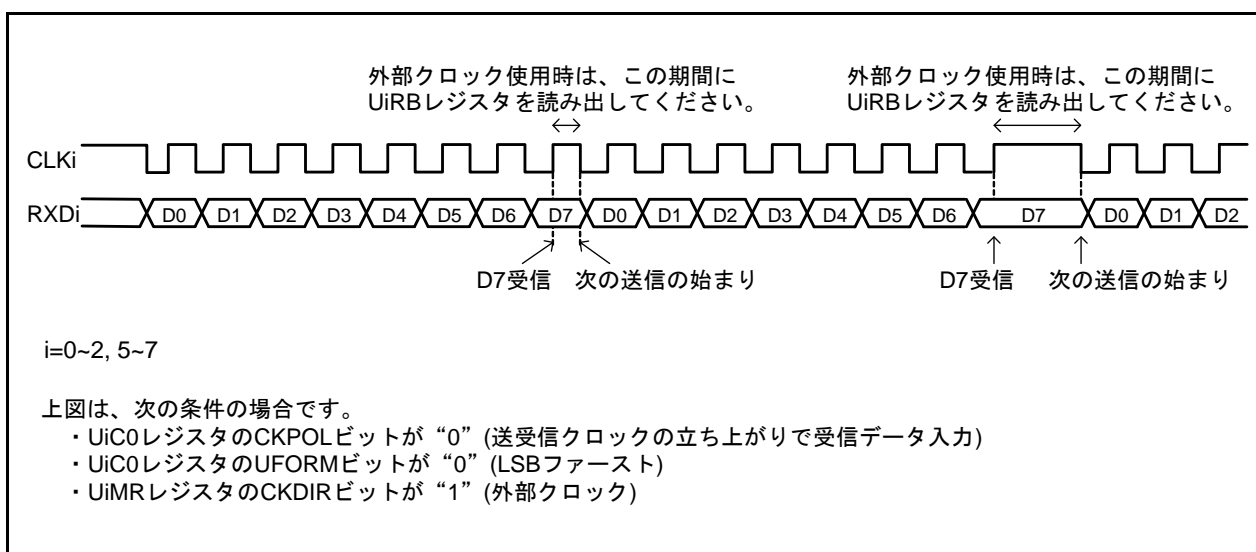


図 23.8 連続受信モードの動作例

23.3.1.4 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2, 5~7)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図 23.9 にシリアルデータ論理を示します。

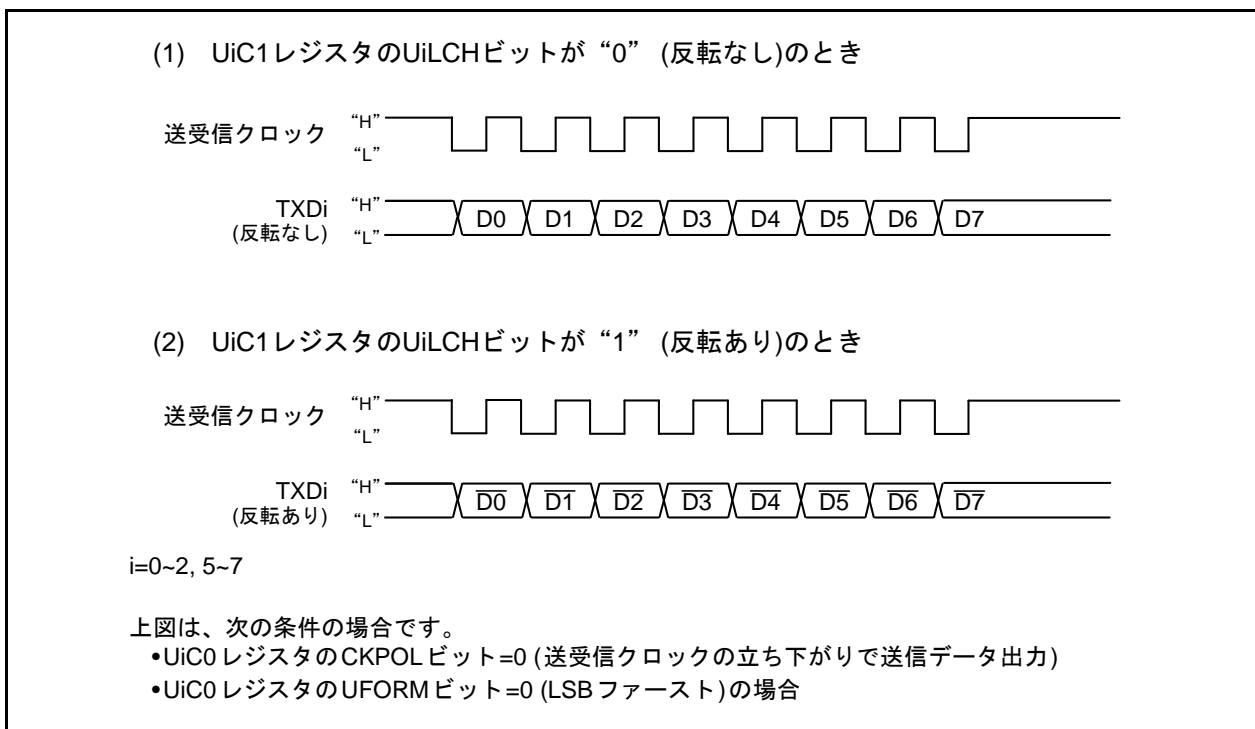


図 23.9 シリアルデータ論理

23.3.1.5 送受信クロック複数端子出力選択 (UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の送受信クロック出力端子から1本を選択できます(図 23.10)。この機能は、UART1の送受信クロックが内部クロックの場合に使用できます。

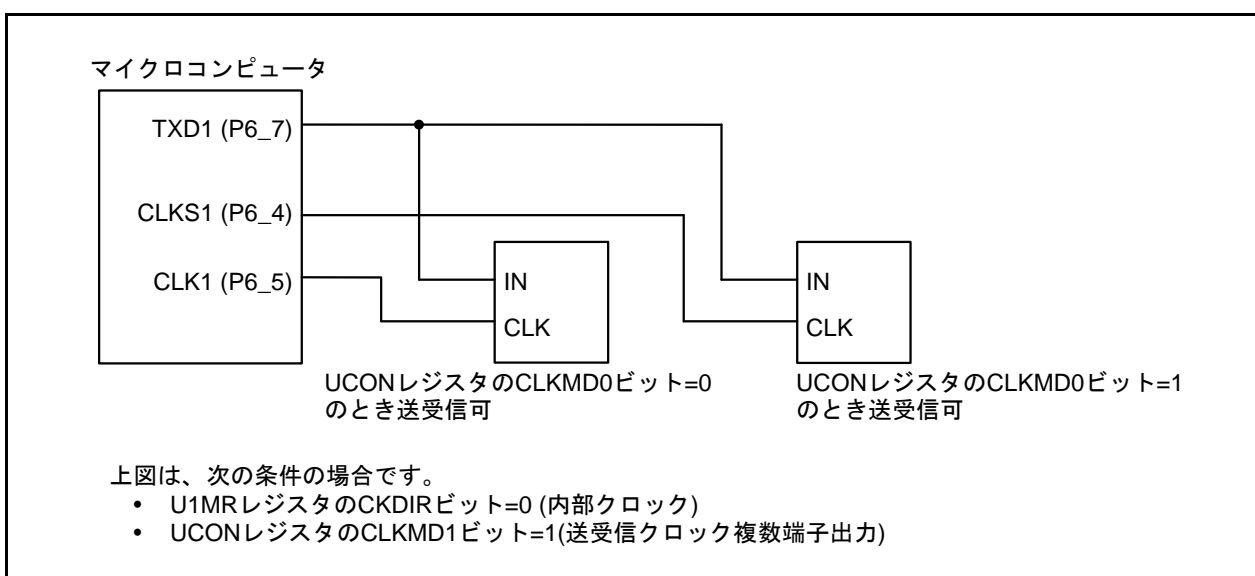


図 23.10 送受信クロック複数端子出力機能の使用例

23.3.1.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~2, 5~7)端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLK_i端子の最初の立ち下がりで出力レベルが“H”になります。

端子の機能選択は「表 23.6 クロック同期形シリアルI/Oモード時の入出力端子の機能(送受信クロック複数端子出力機能を非選択の場合)」を参照してください。

23.3.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能 (UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0 (UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1 (UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0 (UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0 (UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1 ($\overline{\text{CTS}}_0$ をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0 (CLKS1を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

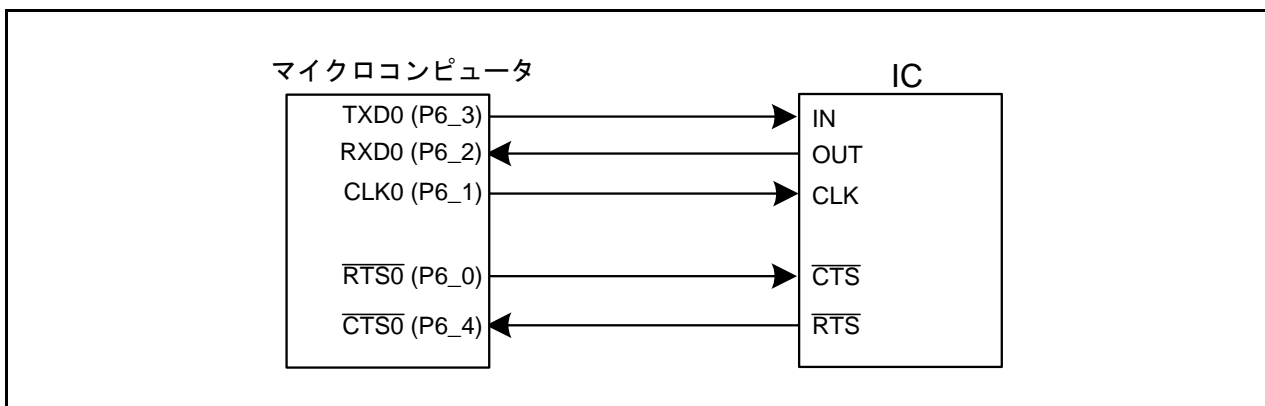


図 23.11 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

23.3.1.8 通信の途中終了時、または通信エラー発生時の処理

クロック同期形シリアルI/Oモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1レジスタ (i=0~2, 5~7)のTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

23.3.2 クロック非同期形シリアルI/O (UART) モード

UART モードは、任意のビットレート、ビットオーダを設定して送受信を行うモードです。表 23.9 に UART モードの仕様を示します。

表 23.9 UART モードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> • キャラクタビット 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタの CKDIR ビットが 0 (内部クロック): $\frac{f_j}{16(n+1)}$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ $n=UiBRG$ レジスタの設定値 00h~FFh • CKDIR ビットが "1" (外部クロック): $\frac{fEXT}{16(n+1)}$ $fEXT$ は CLKi 端子からの入力 $n=UiBRG$ レジスタの設定値 00h~FFh
送信制御、受信制御	CTS 機能、RTS 機能、 \overline{CTS} /RTS 機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1 レジスタの TE ビットが "1" (送信許可) • UiC1 レジスタの TI ビットが "0" (UiTB レジスタにデータあり) • \overline{CTS} 機能を選択している場合、\overline{CTS}i 端子の入力が "L"
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1 レジスタの RE ビットが "1" (受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1 または UCON レジスタの UiIRS ビットが "0" (送信バッファ空): UiTB レジスタから UARTi 送信レジスタへデータ転送時 (送信開始時) • UiIRS ビットが "1" (送信完了): UARTi 送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi 受信レジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー (注1) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティ許可時にパリティビットとキャラクタビット中の "1" の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 "1" になる
選択機能	<ul style="list-style-type: none"> • LSB ファースト、MSB ファースト選択 ビット 0 から送信、受信するか、またはビット 7 から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD 入出力極性切り替え TXD 端子出力と RXD 端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • \overline{CTS}/RTS 分離機能 (UART0) \overline{CTS}0 と RTS0 を別の端子から入出力する。

i=0~2, 5~7

注1. オーバランエラーが発生した場合、UiRB レジスタの受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

表 23.10 に UART モード時の入出力端子の機能を示します。表 23.11 に UART モード時の P6_4 端子の機能を示します。なお、UARTi の動作モード選択後、送信開始までは、TXDi 端子は“H”を出力します (N チャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 23.10 UART モード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする (送信だけを行うときは入力ポートとして使用可)
CLKi	入出力	入出力ポート	UiMR レジスタの CKDIR ビット=0
	入力	送受信クロック入力	UiMR レジスタの CKDIR ビット=1 端子を共用するポートの方向ビットを“0”にする
CTSi/RTSi	入力	CTS 入力	UiC0 レジスタの CRD ビット=0 UiC0 レジスタの CRS ビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS 出力	UiC0 レジスタの CRD ビット=0 UiC0 レジスタの CRS ビット=1
	入出力	入出力ポート	UiC0 レジスタの CRD ビット=1

i=0~2, 5~7

表 23.11 UART モード時の P6_4 端子の機能

端子の機能	ビットの設定値				
	U1C0 レジスタ		UCON レジスタ		PD6 レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	入力: 0、出力: 1
CTSi	0	0	0	0	0
RTSi	0	1	0	0	—
CTS0 (注1)	0	0	1	0	0

—: “0” または “1”

注1. この他に U0C0 レジスタの CRD ビットを“0” (CTSi/RTSi 許可)、U0C0 レジスタの CRS ビットを“1” (RTSi 選択) にしてください。

表 23.12 UARTモード時の使用レジスタと設定値 (注4)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウンツソースを選択してください。
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1、3)
	11	読んだ場合、その値は不定
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UIMR	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”を設定してください。
		キャラクタ長が8ビットの場合、“101b”を設定してください。
		キャラクタ長が9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UIC0	IOPOL	TXD/RXD入出力極性を選択してください
UIC0	CLK0、CLK1	UiBRGのカウンツソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください。
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	キャラクタ長8ビット時、LSBファースト、MSBファーストを選択できます。キャラクタ長7ビットまたは9ビット時は“0”にしてください。
UIC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	0~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	“0”にしてください
	U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i=0~2, 5~7 j=2, 5~7

- 注1. 使用するビットは次のとおりです。キャラクタ長7ビット: ビット0~6、キャラクタ長8ビット: ビット0~7、キャラクタ長9ビット: ビット0~8
- 注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。
- 注3. キャラクタ長7ビットの場合、ビット7、8の内容は不定です。キャラクタ長8ビットの場合、ビット8の内容は不定です。
- 注4. この表は手順を示すものではありません。

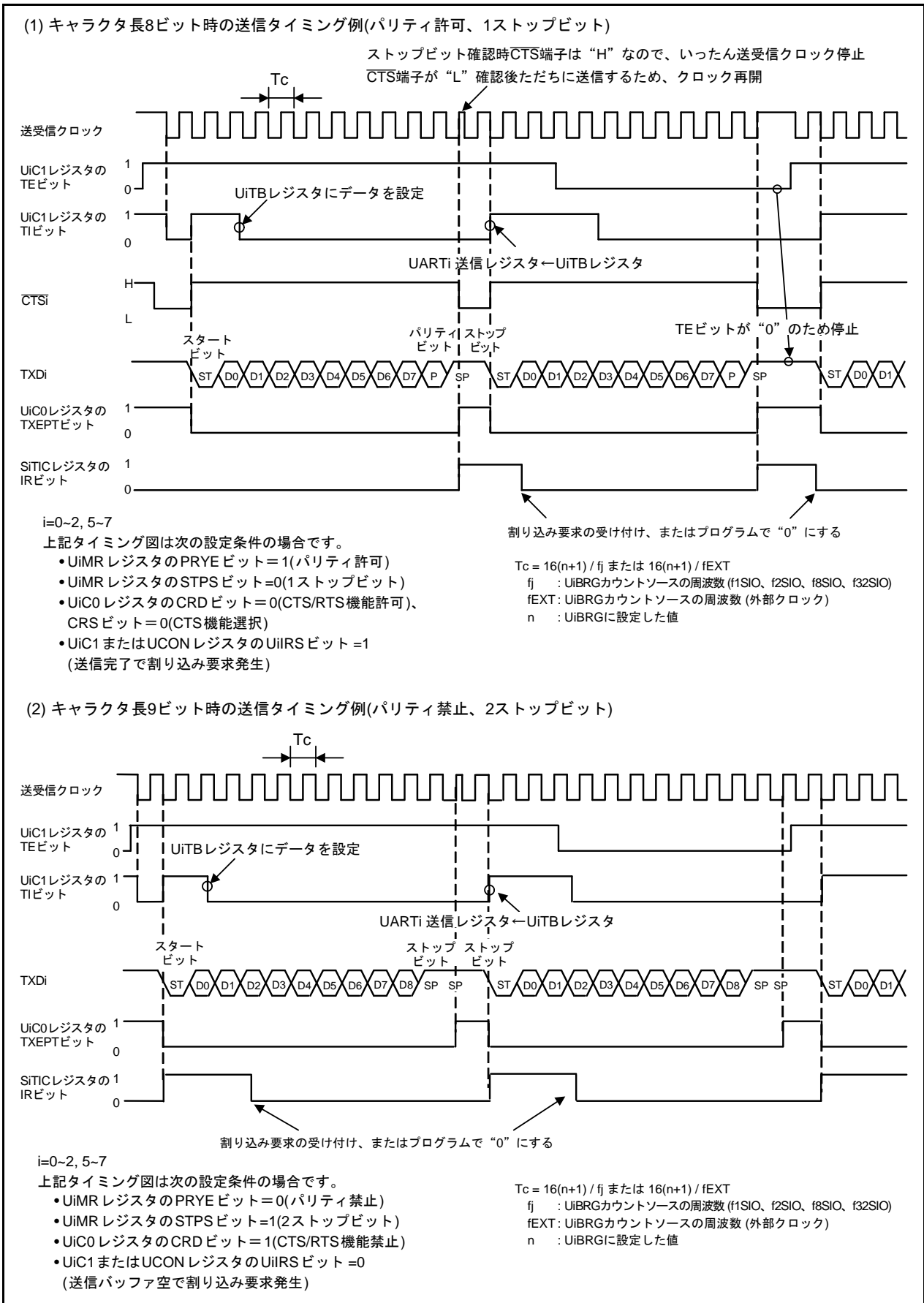


図 23.12 UARTモード時の送信タイミング例

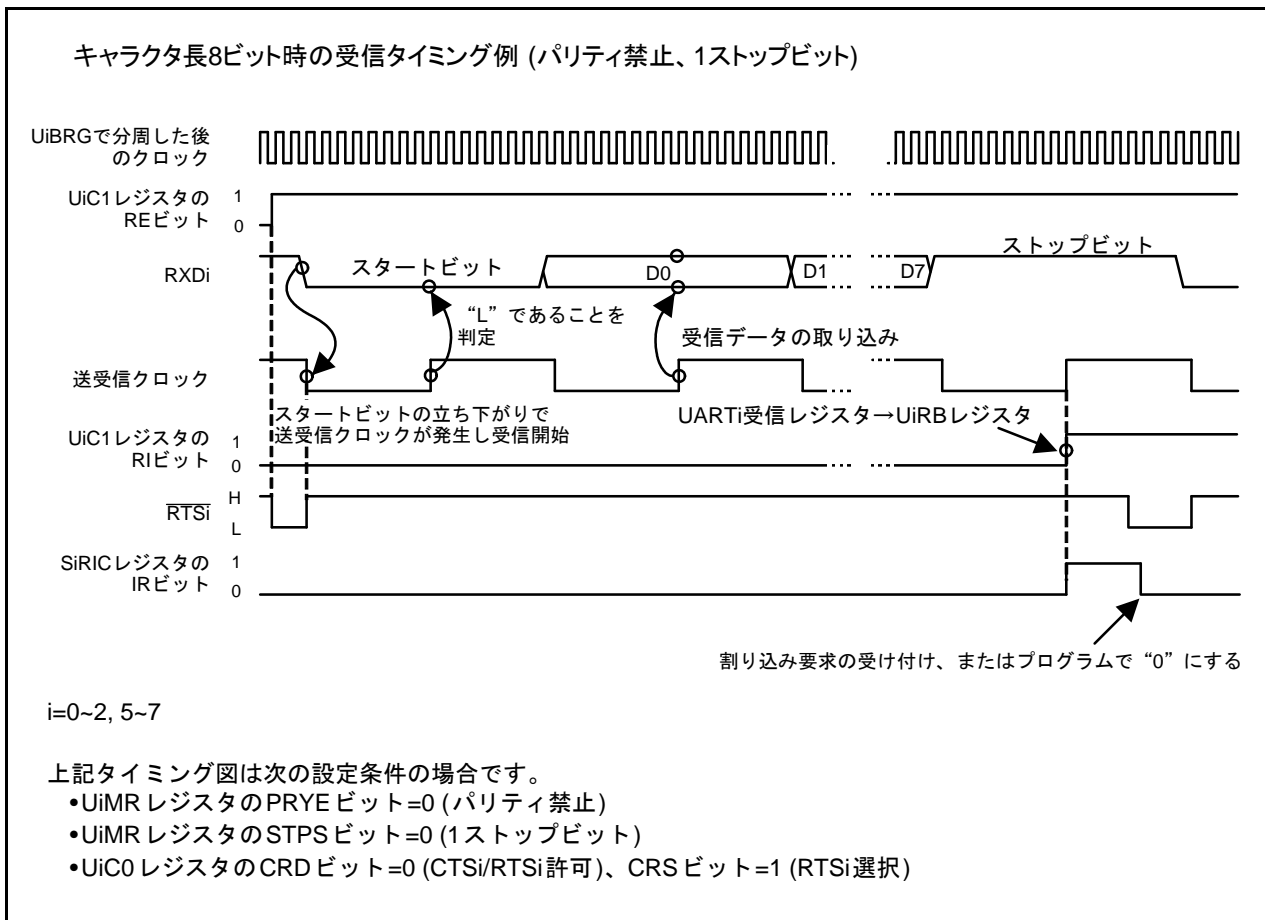


図 23.13 UARTモード時の受信タイミング例

23.3.2.1 ビットレート

UARTモードは、UiBRGレジスタ (i=0~2, 5~7) で分周した周波数の16分周がビットレートになります。UiBRGレジスタの設定値 (n) は次の式で求められます。

$$n = \frac{f_j}{\text{ビットレート (bps)} \times 16} - 1$$

$f_j = f1SIO, f2SIO, f8SIO, f32SIO$

$n = 00h \sim FFh$

表 23.13 にビットレートの設定例を示します。

表 23.13 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック f1: 16 MHz		周辺機能クロック f1: 24 MHz	
		UiBRG の 設定値: n	ビットレート (bps)	UiBRG の 設定値: n	ビットレート (bps)
1200	f8SIO	103 (67h)	1202	155 (9Bh)	1202
2400	f8SIO	51 (33h)	2404	77 (4Dh)	2404
4800	f8SIO	25 (19h)	4808	38 (26h)	4808
9600	f1SIO	103 (67h)	9615	155 (9Bh)	9615
14400	f1SIO	68 (44h)	14493	103 (67h)	14423
19200	f1SIO	51 (33h)	19231	77 (4Dh)	19231
28800	f1SIO	34 (22h)	28571	51 (33h)	28846
31250	f1SIO	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1SIO	25 (19h)	38462	38 (26h)	38462
51200	f1SIO	19 (13h)	50000	28 (1Ch)	51724

23.3.2.2 LSBファースト、MSBファースト選択

図 23.14に示すように、UiC0レジスタのUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに有効です。

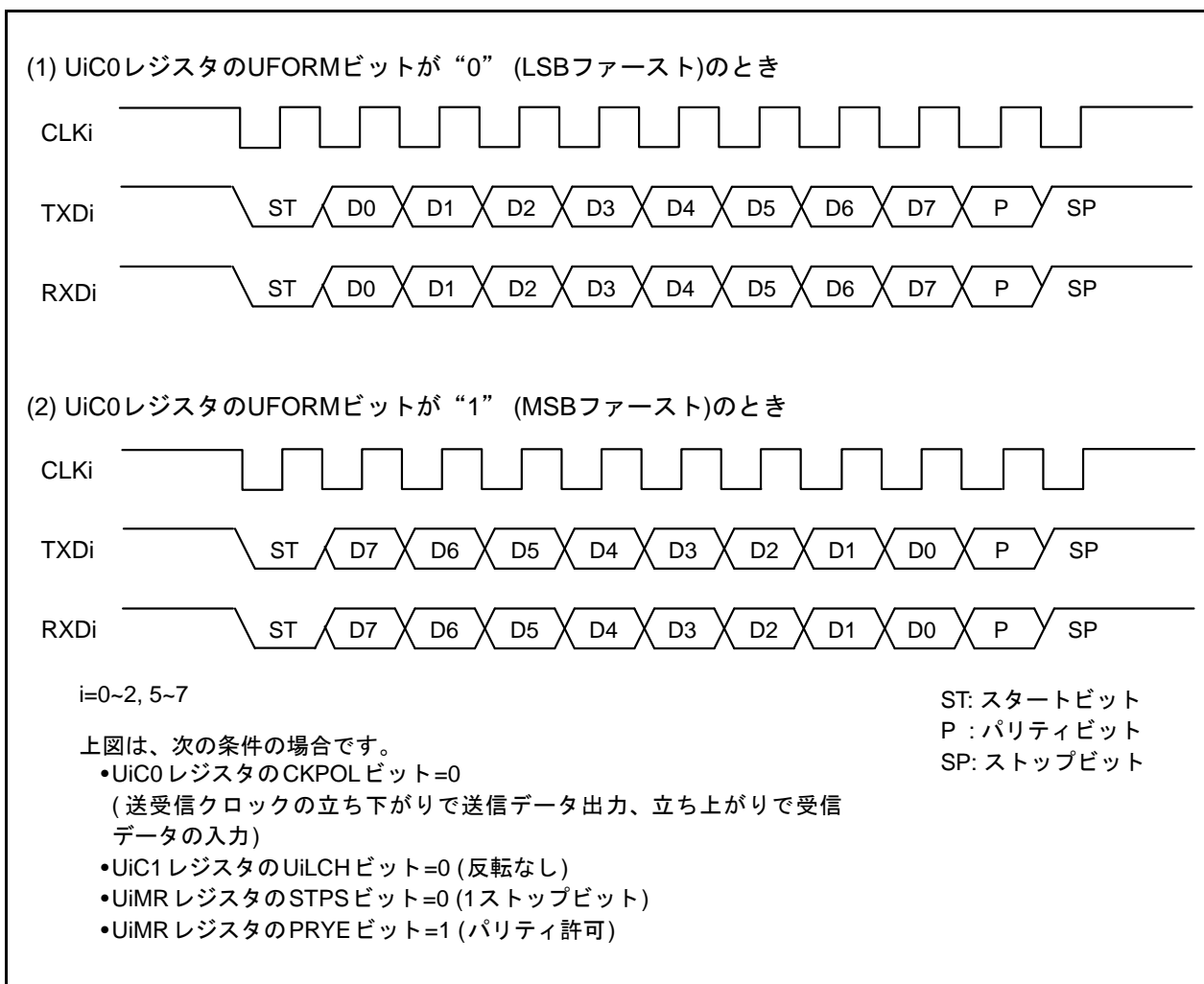


図 23.14 ビットオーダ

23.3.2.3 シリアルデータ論理切り替え

UiTB レジスタに書いた値の論理を反転して送信します。UiRB レジスタを読むと、受信データの論理を反転した値が読めます。図 23.15 にシリアルデータ論理を示します。

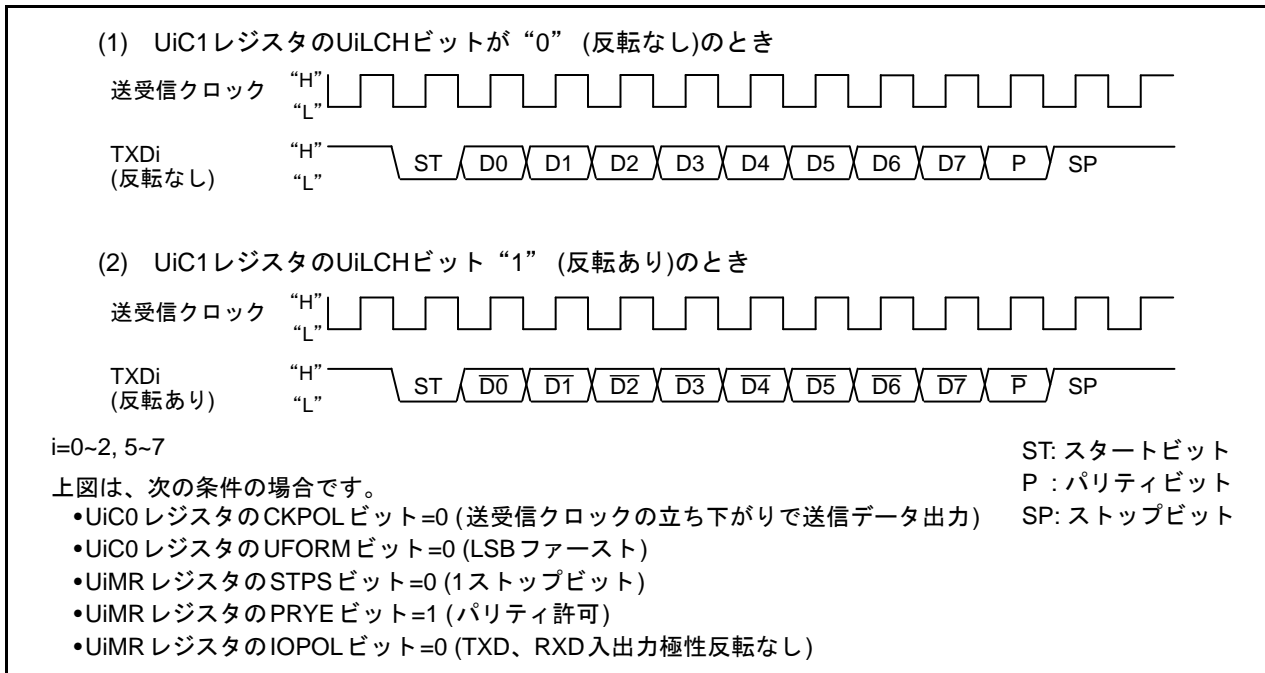


図 23.15 シリアルデータ論理

23.3.2.4 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 23.16 にTXD、RXD入出力極性切り替えを示します。

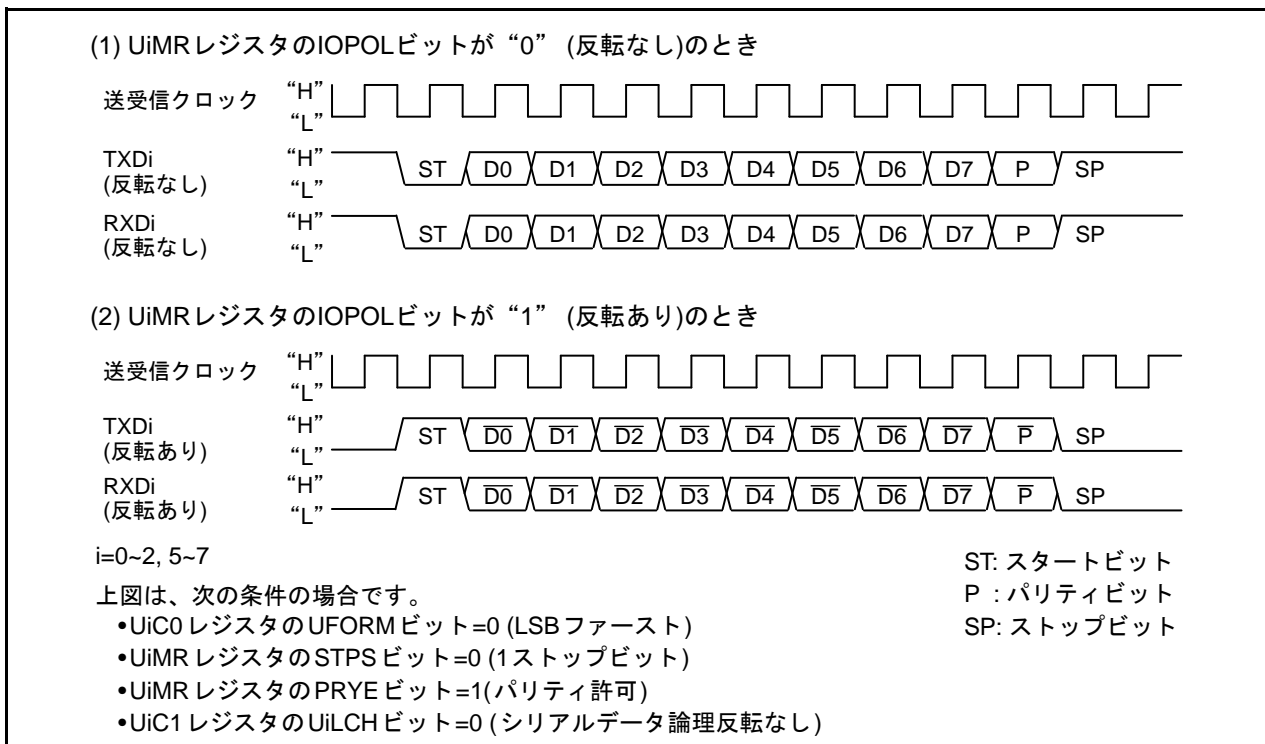


図 23.16 TXD、RXD入出力極性切り替え

23.3.2.5 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~2, 5~7) 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表 23.10 UARTモード時の入出力端子の機能」を参照してください。

23.3.2.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能 (UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0 (UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1 (UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0 (UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0 (UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1 ($\overline{\text{CTS}}_0$ をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0 (CLKS1を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

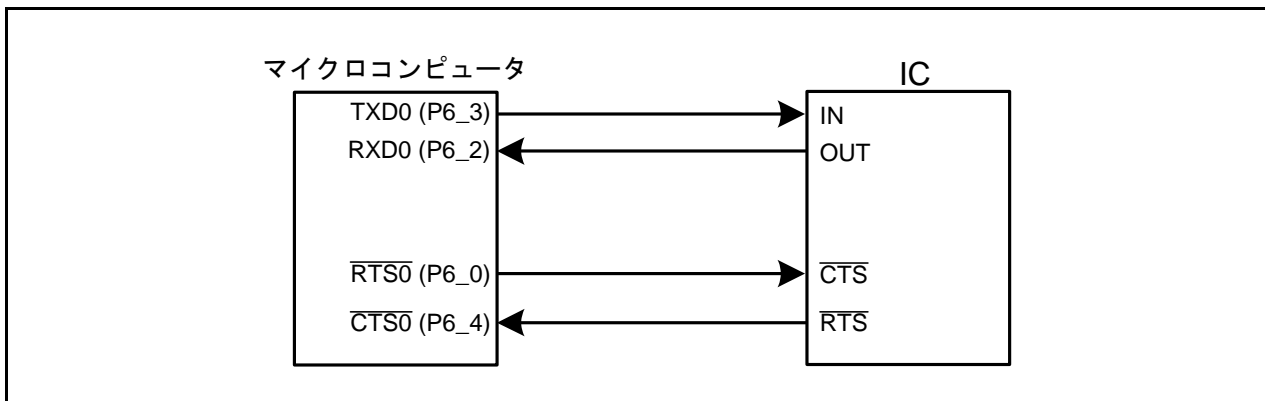


図 23.17 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

23.3.2.7 通信の途中終了時、または通信エラー発生時の処理

UARTモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1レジスタ (i=0~2, 5~7)のTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“100b” (UARTモードキャラクタ長7ビット)、“101b” (UARTモードキャラクタ長8ビット)、“110b” (UARTモードキャラクタ長9ビット)のいずれかにする。
- (4) UiC1レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

23.3.3 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 23.14 にI²Cモードの仕様を、表 23.16~表 23.17にI²Cモード時の使用レジスタと設定値を、表 23.18にI²Cモード時の各機能を、図 23.18にI²Cモードのブロック図を示します。

表 23.18に示すように、UiSMR レジスタのIICM ビットを“1”に、UiMR レジスタのSMD2~SMD0 ビットを“010b”にするとI²Cモードになります。SDAi 送信出力には遅延回路が付加されますので、SCLi が“L”になり安定した後、SDAi 出力が変化します。

表 23.14 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • マスタ時 UiMR レジスタのCKDIR ビットが“0” (内部クロック): $\frac{f_j}{2(n+1)}$ f_j=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRG レジスタの設定値 03h~FFh • スレーブ時 CKDIR ビットが“1” (外部クロック): SCLi 端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタのTE ビットが“1” (送信許可) • UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタのRE ビットが“1” (受信許可) • UiC1 レジスタのTE ビットが“1” (送信許可) • UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、ACK (Acknowledge) 検出、NACK (Not-Acknowledge) 検出
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • アービトレーションロスト UiRB レジスタのABT ビットの更新タイミングを選択可 • SDAi デジタル遅延 デジタル遅延なし、またはUiBRG カウントソースの2~8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

i=0~2, 5~7

注1. 順序は関係ありません。スレーブとして、UiC0 レジスタのTXEPT ビットが“1” (送信レジスタにデータなし)の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタ受信データは不定になります。

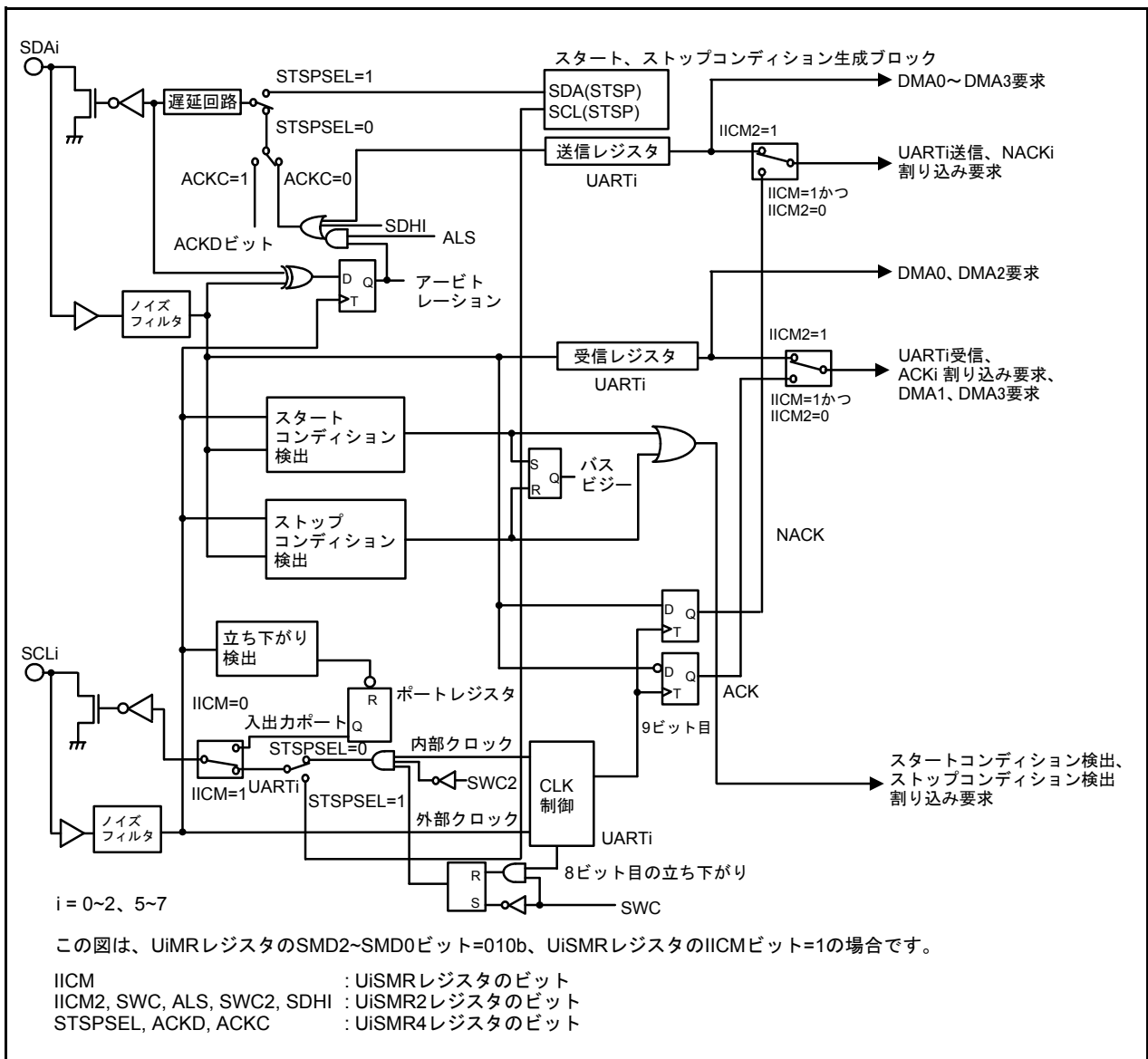


図 23.18 I²Cモードのブロック図

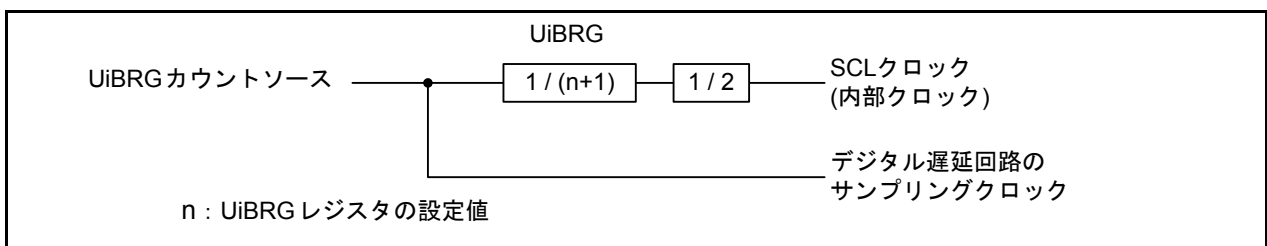


図 23.19 内部クロックの構成

表 23.15 I²Cモード時の入出力端子

端子	入出力	機能
SCLi (注1、2)	入出力	クロック入出力
SDAi (注1、2)	入出力	データ入出力

注1. 端子を共用するポートの方向ビットを“0”にしてください。

注2. CLKi、CTS \bar{i} /RTSi端子は使用しません(入出力ポートに使用できます)。

表 23.16 I²Cモード時の使用レジスタと設定値(1/2) (注3)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
PCLKR	PCLK1	UiBRGのカウンタソースを選択してください	UiBRGのカウンタソースを選択してください
UiTB	0~7	送信時は送信データを、受信時は“FFh”を設定してください	送信時は送信データを、受信時は“FFh”を設定してください
	8	送信時は“1”を、受信時はACKビットの値を設定してください	送信時は“1”を、受信時はACKビットの値を設定してください
UiRB	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
	13~15	読んだ場合、その値は不定	読んだ場合、その値は不定
UiBRG	0~7	ビットレートを設定してください	無効
UIMR	SMD2~SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	4~6	“0”にしてください	“0”にしてください
	IOPOL	“0”にしてください	“0”にしてください
UIC0	CLK1~CLK0	UiBRGのカウンタソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD (注2)	“1”にしてください	“1”にしてください
	NCH	“1”にしてください(注1)	“1”にしてください(注1)
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
UIC1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	UjIRS	“1”にしてください	“1”にしてください
	UjRRM、 UiLCH、UiERE	“0”にしてください	“0”にしてください
UISMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0”にしてください	“0”にしてください

i=0~2, 5~7 j=2, 5~7

注1. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注2. UART1をI²Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、U1C0レジスタのCRDビットを“0”(CTS/RTS許可)、CRSビットを“0”(CTS入力)にしてください。

注3. この表は手順を示すものではありません。

表 23.17 I²Cモード時の使用レジスタと設定値(2/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR2	IICM2	「表 23.18 I ² Cモード時の各機能」参照	「表 23.18 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	8ビット受信後に SCLi出力を“L”出力固定にする場合、“1”にしてください	8ビット受信後に SCLi出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時に SDAiの出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出で UARTiを初期化する場合、“1”にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1”にしてください	SCLiの出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDAi出力を禁止をする場合、“1”にしてください	SDAi出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください
UiSMR3	0、2、4 NODC	“0”にしてください	“0”にしてください
	CKPH	“1”にしてください	“1”にしてください
	DL2~DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時に SCLi出力を停止する場合、“1”にしてください	“0”にしてください。
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりで SCLiを“L”ホールドにする場合、“1”にしてください
UCON	U0IRS	“1”にしてください	“1”にしてください
	U1IRS	“1”にしてください	“1”にしてください
	U0RRM	“0”にしてください	“0”にしてください
	U1RRM	“0”にしてください	“0”にしてください
	CLKMD0	“0”にしてください	“0”にしてください
	CLKMD1	“0”にしてください	“0”にしてください
	RCSP	“0”にしてください	“0”にしてください
	7	“0”にしてください	“0”にしてください

i=0~2, 5~7

注1. この表は手順を示すものではありません。

I²Cモードでは、UiSMR2レジスタのIICM2ビットで機能やタイミングが変わります。

図 23.20にUiRBレジスタへの転送、割り込みのタイミングを示します。UiRBレジスタへの転送タイミング、UiRBレジスタに格納されるデータのビット位置、割り込みの種類、割り込み要求とDMA要求の発生タイミングは、この図を参照してください。

その他の機能のクロック同期シリアルI/Oモードとの比較を、表 23.18に示します。

表 23.18 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b,IICM=1)	
		IICM2=0 (NACK/ACK割り込み)	IICM2=1 (UART送信/UART受信割り込み)
		CKPH=1 (クロック遅れあり)	CKPH=1 (クロック遅れあり)
スタート/ストップ コンディション検出 割り込み(注3)	—	スタートコンディション検出、ストップコンディション検出 (「図 23.22 STSPSELビットの機能」参照)	
送信、NACK割り込み (注2、3)	UARTi送信 送信開始、または送信 完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち下がり
受信、ACK割り込み (注2、3)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり	UARTi受信 9ビット目のSCLiの立ち下がり
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり	8ビット目のSCLiの立ち下がり と、9ビット目の立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり	遅延あり
RXD _i ,SCL _i 端子レベルの読み込み	対応するポート方向 ビットが0の場合可能	対応するポート方向ビットの内容 に関係なく、可能	対応するポート方向ビットの内容 に関係なく、可能
TXD _i ,SDA _i 出力の初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注1)	I ² Cモード設定前に、ポートレジスタに設定した値(注1)
SCL _i の初期値、終了値	—	L	L
DMA1、DMA3要因 (注2)	UARTi受信	アクノリッジ検出(ACK)	UARTi受信 9ビット目のSCLiの立ち下がり
受信データ読み出し	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納	「図 23.20 UiRBレジスタへの転送、割り込みのタイミング」参照

i=0~2, 5~7

SMD2~SMD0: UiMRレジスタのビット

CKPOL: UiC0レジスタのビット

IICM: UiSMRレジスタのビット

IICM2: UiSMR2レジスタのビット

CKPH: UiSMR3レジスタのビット

UiIRS: UCONレジスタまたはUiC1レジスタのビット

注1. SDA_i出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注2. 「図 23.20 UiRBレジスタへの転送、割り込みのタイミング」参照。

注3. 割り込み要因を切り替える場合、以下の手順で行ってください。

(1) 要因を切り替える割り込みを禁止する

(2) 要因を切り替える

(3) その割り込みの割り込み制御レジスタのIRビットを“0”(割り込みなし)にする

(4) その割り込みの割り込み制御レジスタのILVL2~ILVL0を設定する

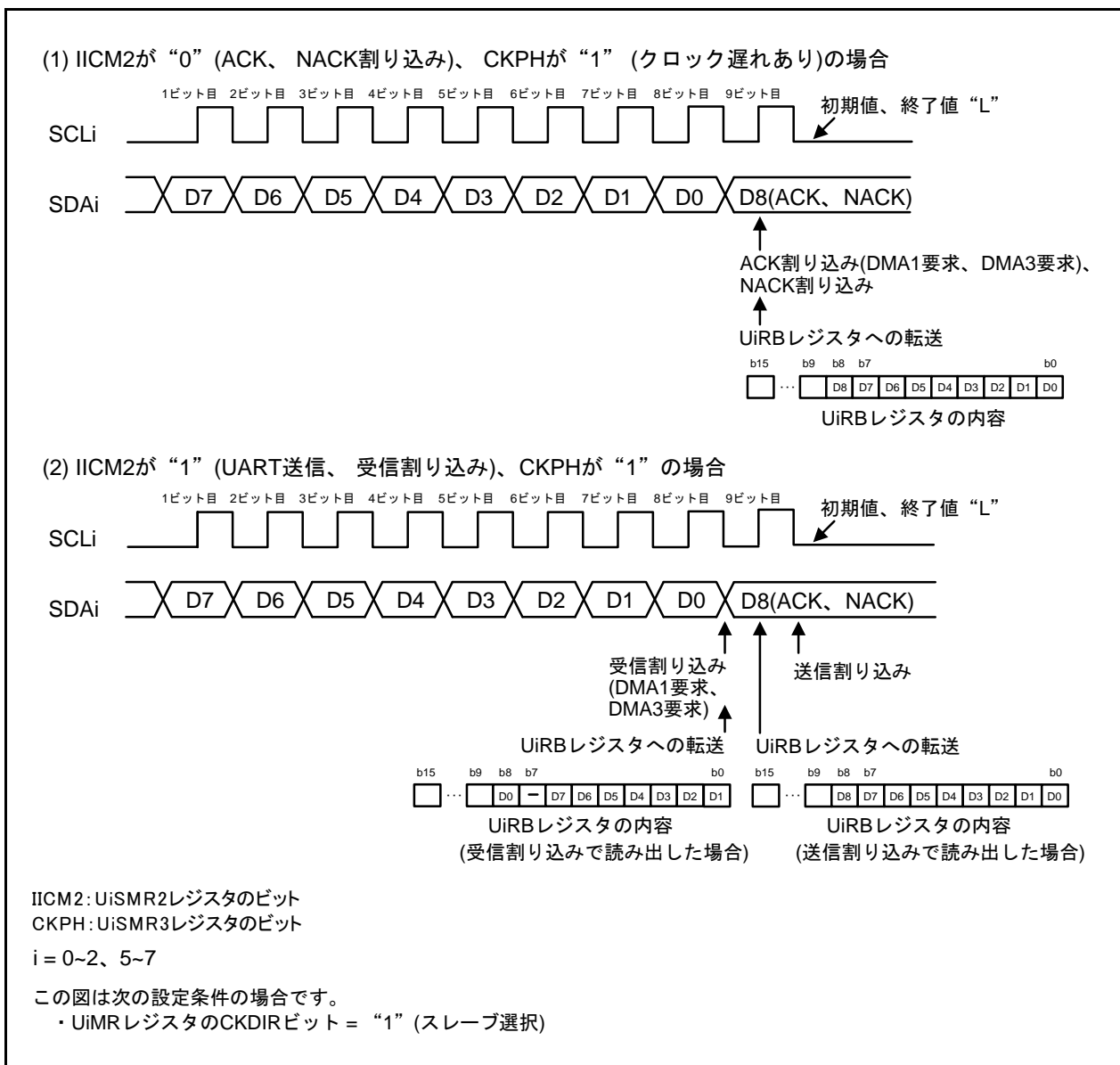


図 23.20 UIRBレジスタへの転送、割り込みのタイミング

23.3.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi 端子が“H”の状態、SDAi 端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi 端子が“H”の状態、SDAi 端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMR レジスタのBBS ビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図 23.21 に示すとおりセットアップ時間、ホールド時間ともにBRGiのカウントソースの6サイクル以上必要です。Fast-Modeの仕様を満たすためには、BRGiのカウントソースは10MHz以上である必要があります。

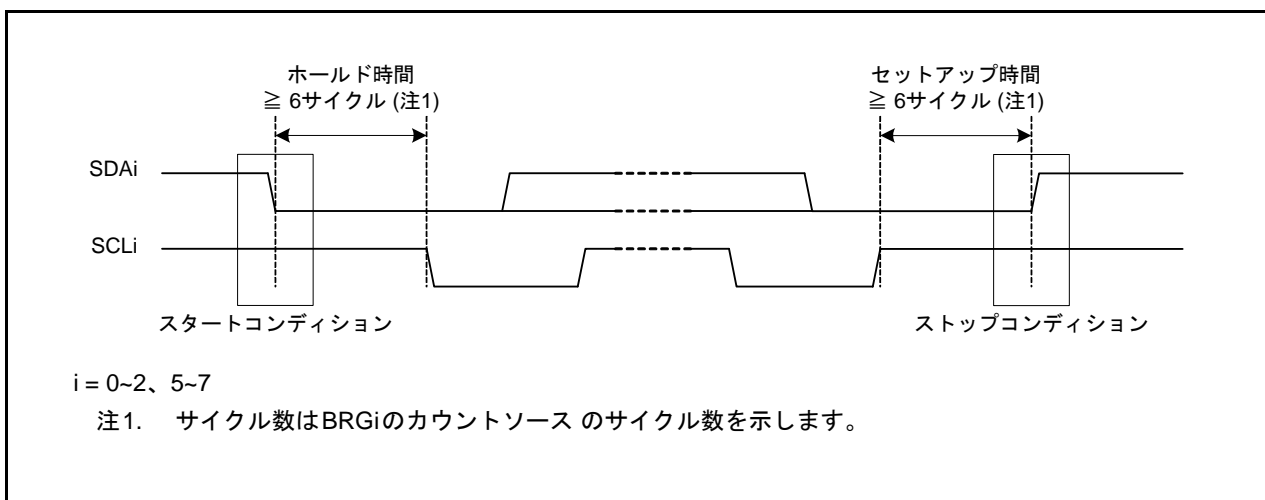


図 23.21 スタートコンディション、ストップコンディションの検出

23.3.3.2 スタートコンディション、ストップコンディションの生成

UiSMR4 レジスタ (i=0~2, 5~7) の STAREQ ビットを“1” (スタート) にするとスタートコンディションを生成します。

UiSMR4 レジスタの RSTAREQ ビットを“1” (スタート) にするとリスタートコンディションを生成します。

UiSMR4 レジスタの STPREQ ビットを“1” (スタート) にするとストップコンディションを生成します。出力の手順は次のとおりです。

- (1) STAREQ ビット、RSTAREQ ビット、または STPREQ ビットを“1” (スタート) にする
- (2) UiSMR4 レジスタの STSPSEL ビットを“1” (出力) にする

表 23.19 と図 23.22 に STSPSEL ビットの機能を示します。

表 23.19 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	送受信クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

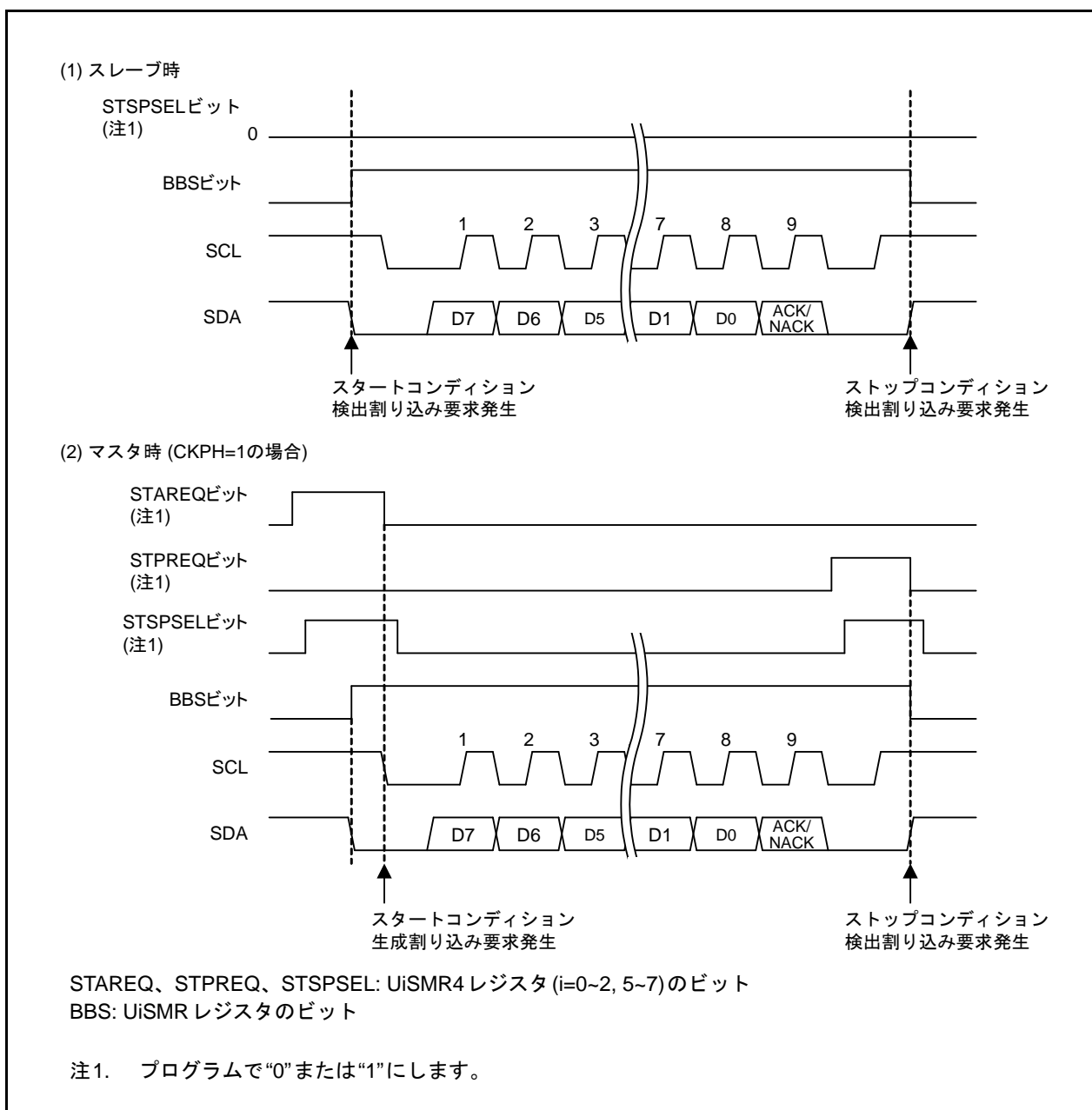


図 23.22 STSPSELビットの機能

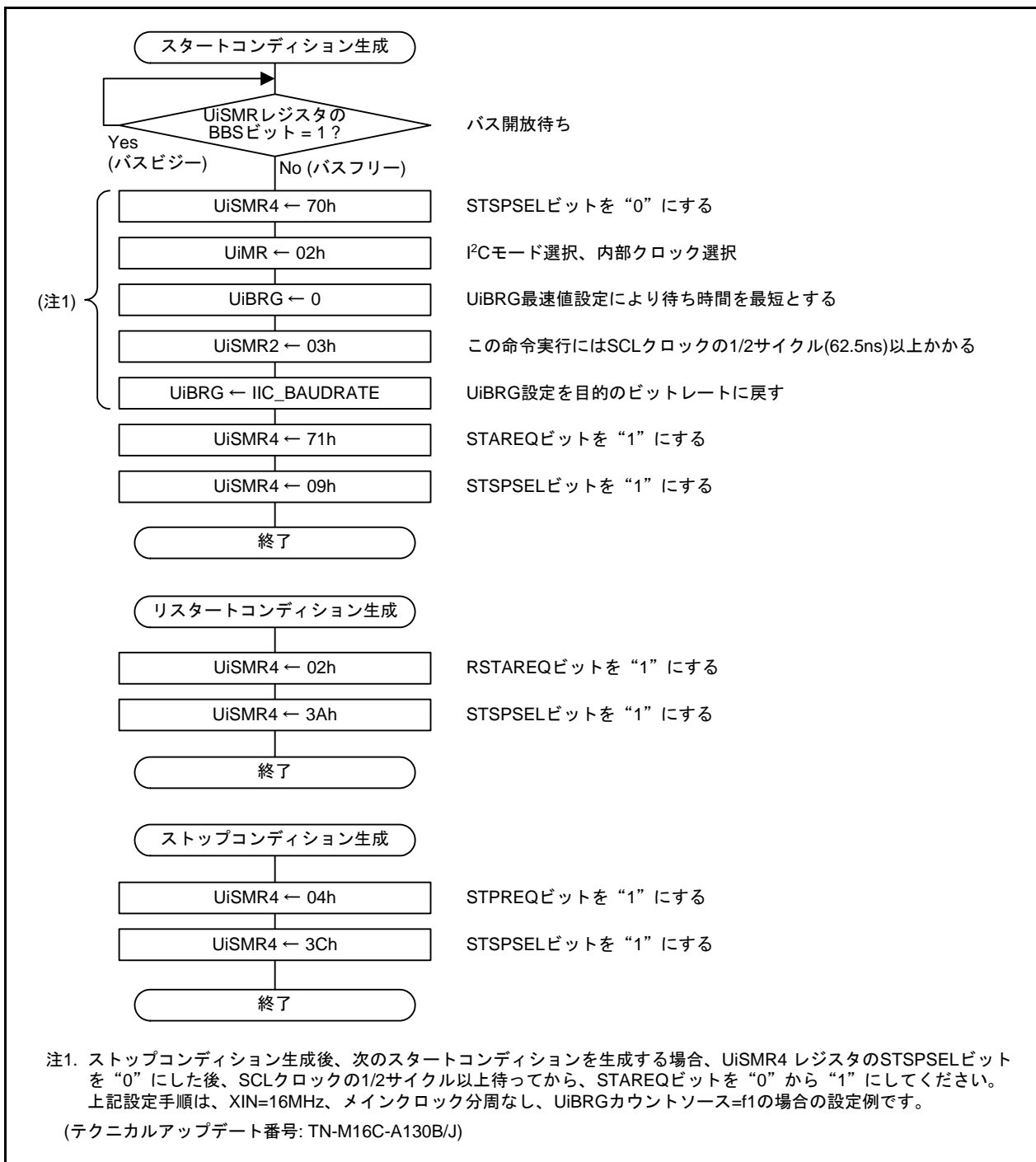


図 23.23 各コンディション生成時のレジスタ設定手順

23.3.3.3 アービトレーション

SCL*i* の立ち上がり時に、自身の送信データと SDA*i* 端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

UiSMR レジスタ (*i*=0~2, 5~7) の ABC ビットで UiRB レジスタの ABT ビットの更新タイミングを選択します。ABC ビットが“0” (ビットごとに更新) の場合、判定時に不一致を検出すると同時に ABT ビットが“1”に、検出しないと“0”になります。ABC ビットが“1” (バイトごとに更新) の場合、判定時に一度でも不一致が検出された場合、8 ビット目の SCL*i* の立ち下がり ABT ビットが“1” (検出) になります。なお、バイトごとに更新する場合は、1 バイト目の ACK 検出完了後、ABT ビットを“0” (未検出) にしてから、次の 1 バイトの送受信を開始してください。

UiSMR2 レジスタの ALS ビットを“1” (SDA 出力を停止する) にすると、アービトレーションロストが発生し ABT ビットが“1”になると同時に SDA*i* 端子がハイインピーダンスになります。

23.3.3.4 SCL 制御とクロック同期化

I²C モードでの送受信は、図 23.20 UiRB レジスタへの転送、割り込みのタイミングに示すような送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACK の生成や送信データの準備に必要な時間を確保することが難しくなってきます。I²C モードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

UiSMR2 レジスタ (*i*=0~2, 5~7) の SWC ビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWC ビットが“1” (8 ビット受信後、SCL*i* 端子を“L”に固定) の場合、8 ビット目の SCL*i* の立ち下がり SCL*i* 端子が“L”固定になります。SWC ビットを“0” (ウェイトなし/ウェイト解除) にすると、“L”固定を解除できます。

UiSMR2 レジスタの SWC2 ビットを“1” (SCL*i* 端子を“L”に固定) にすると、送受信中でも SCL*i* 端子を“L”固定にできます。SWC2 ビットを“0” (SCL*i* 端子に送受信クロックを出力) にすると、SCL*i* 端子からの“L”固定は解除され、送受信クロックが出力されます。

UiSMR4 レジスタの SWC9 ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。UiSMR3 レジスタの CKPH ビットが“1” (クロック遅れあり) のとき、SWC9 ビットを“1” (9 ビット受信後、SCL*i* 端子を“L”に固定) にすると、9 ビット目の SCL*i* の立ち下がり SCL*i* 端子が“L”固定になります。SWC9 ビットを“0” (ウェイトなし/ウェイト解除) にすると“L”固定を解除できます。

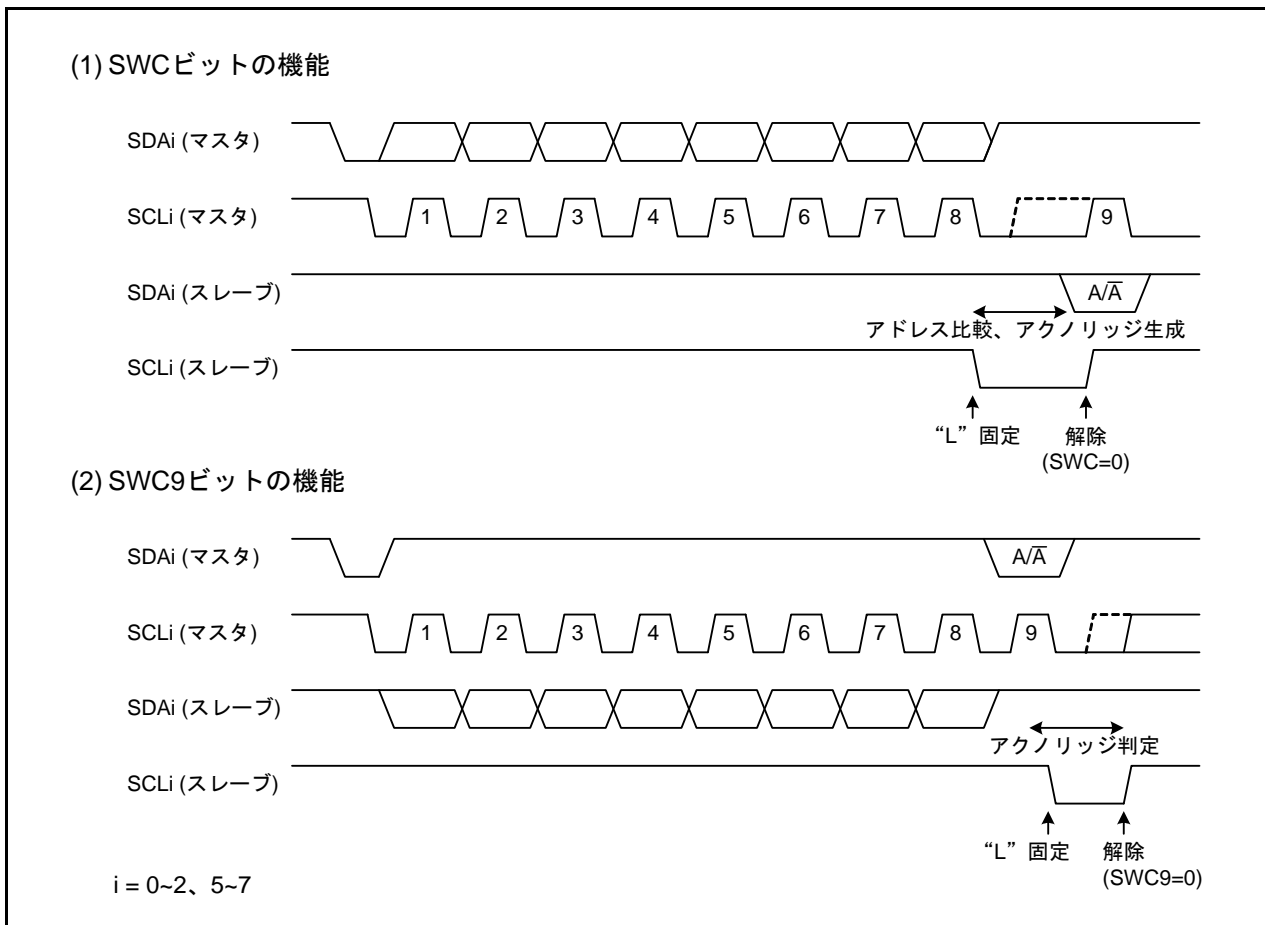


図 23.24 SWCビット、SWC9ビットによるウェイトの挿入

UiSMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCLi端子に入力されたクロックが異なったとき、内部で生成するクロックをSCLi端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”（クロック同期を実施する）の場合、内部生成クロックが“H”のときにSCLi端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部生成クロックとSCLi端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはUiMRレジスタのCKDIRビットが“0”（内部クロック）のときのみ“1”にできます。

UiSMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCLi端子を開放するために使用します。SCLHIビットを“1”（出力停止）にすると、ストップコンディション検出時にSCLi端子を開放し（ハイインピーダンス）、クロック出力を停止します。

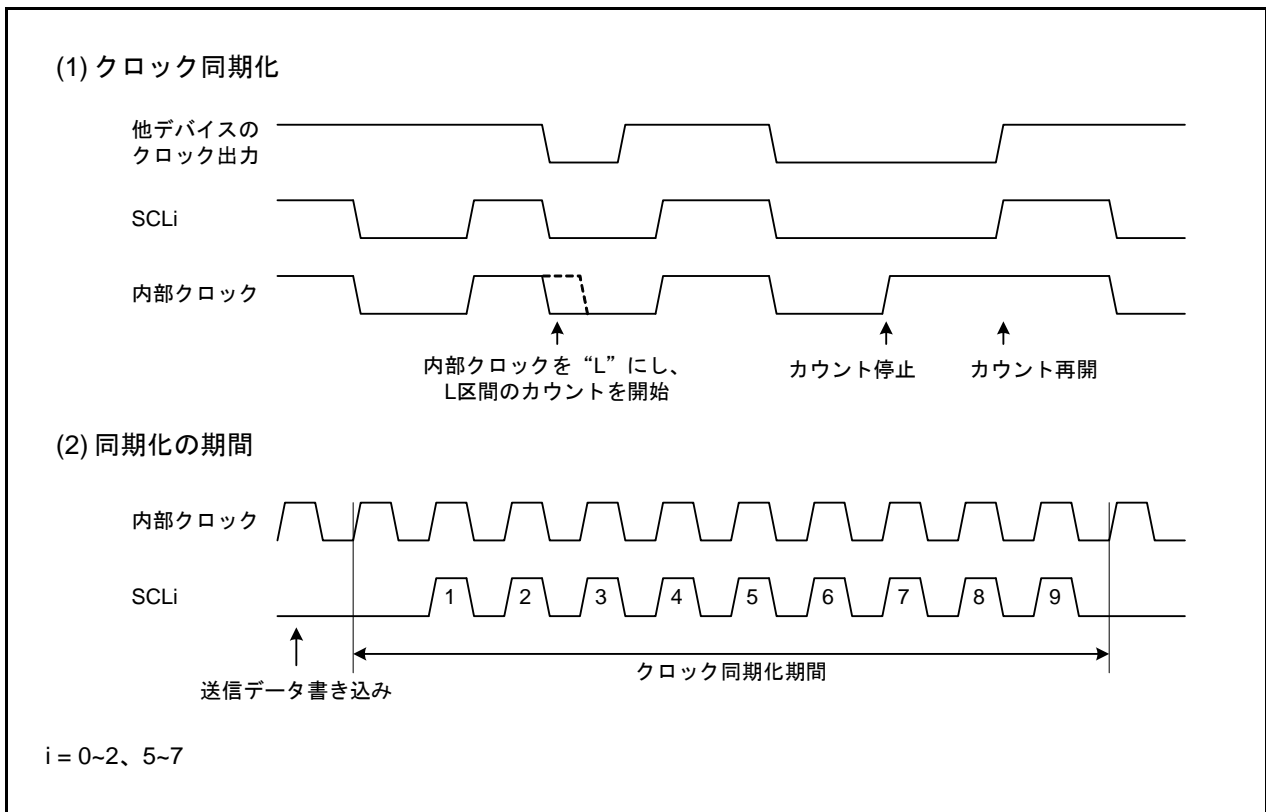


図 23.25 クロック同期化

23.3.3.5 SCLクロックの周波数の考え方

I²Cモードで生成するSCLクロックのDutyは50%です。そのため、I²C-busのFast-Modeの最大SCLクロック(400kbps)を設定すると、SCLクロックの“L”幅は1.25μsとなります。この値は、Fast-ModeのI²C-bus規格($f_{\text{LOW}} = \text{Min.}1.3\mu\text{s}$)を満たしません。よって、SCLクロックの設定を384.6kbps以下とし、SCLクロックの“L”幅が1.3μs以上になるようにしてください。

クロック同期化機能(「図 23.25 クロック同期化」参照)を有効にすると、ノイズフィルタ幅+UiBRGカウントソースの1~1.5サイクルのサンプリング遅延が発生し、SCLクロックの“H”認識が遅れるため、SCLクロックの“H”幅が伸びます。そのため、SCLクロックのビットレートの設定に対して、実際のSCLクロックは遅くなります。

また、SCLクロックの実効値を算出するためには、SCLクロック立ち上がり時間(t_R)も考慮してください。

下記にSCLクロック実効値の算出例を示します。

< 384.6kbps設定時のSCLクロック実効値の算出例 >

- UiBRGカウントソース : $f_1 = 20\text{MHz}$
- UiBRGレジスタの設定値 : $n = 26 - 1$
- SCLクロック立ち上がり時間 : $t_R = 100\text{ns}$
- SCLクロック立ち下がり時間 : $t_F = 0\text{ns}$
- ノイズフィルタ幅 : $t_{\text{NF}} = 100\text{ns}$ (注1)
- サンプリング遅延 : $t_{\text{SD}} = 1\text{cycle}$

の場合、

$$f_{\text{SCL}}(\text{理論値}) = f_1 / (2(n+1)) = 20\text{MHz} / (2(25+1)) = 384.6\text{kbps}$$

$$t_{\text{LOW}} = 1 / (2f_{\text{SCL}}(\text{理論})) = 1 / (2 \times 384.6\text{kbps}) = 1.3\mu\text{s}$$

$$\begin{aligned} t_{\text{HIGH}} &= 1 / (2f_{\text{SCL}}(\text{理論})) + t_{\text{NF}} + (t_{\text{SD}} \times 1 / f_1) \\ &= 1 / (2 \times 384.6\text{kbps}) + 100\text{ns} + (1 \times 1 / 20\text{MHz}) \\ &= 1.45\mu\text{s} \end{aligned}$$

$$f_{\text{SCL}}(\text{実効値}) = 1 / (t_F + t_{\text{LOW}} + t_R + t_{\text{HIGH}}) = 1 / (0\text{ns} + 1.3\mu\text{s} + 100\text{ns} + 1.45\mu\text{s}) \approx 350.8\text{kbps}$$

注1.最大200ns。

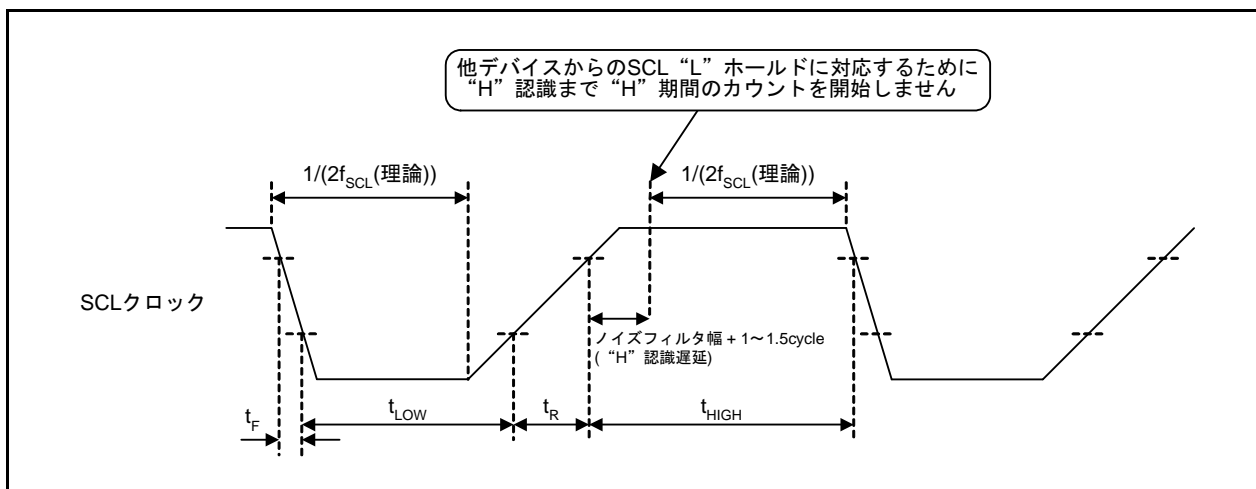


図 23.26 SCLクロック

23.3.3.6 SDA出力制御

バイトデータを送信する場合、1ビット目~8ビット目はSDAi端子から送信データを出力し、9ビット目はアクノリッジを受信するためSDAi端子を開放します。

I²Cモードでは、UiTBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0には送信データを、b8には“1”を設定してください。

UiC0レジスタのUFORMビットを“1”(MSBファースト)にして、UiTBレジスタに9ビットデータを設定すると、b7→b6→…→b0→b8の順で、SDAi端子からデータが出力されます。b8が“1”なので9ビット目でSDAi端子がハイインピーダンス状態になり、アクノリッジを受信できます。

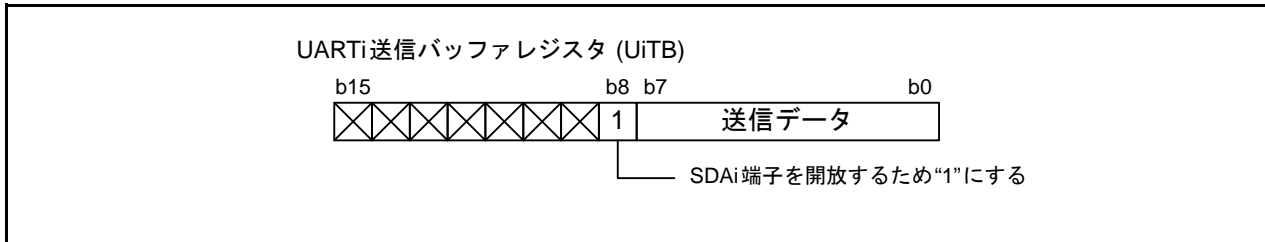


図 23.27 UiTBレジスタの設定 (SDA出力)

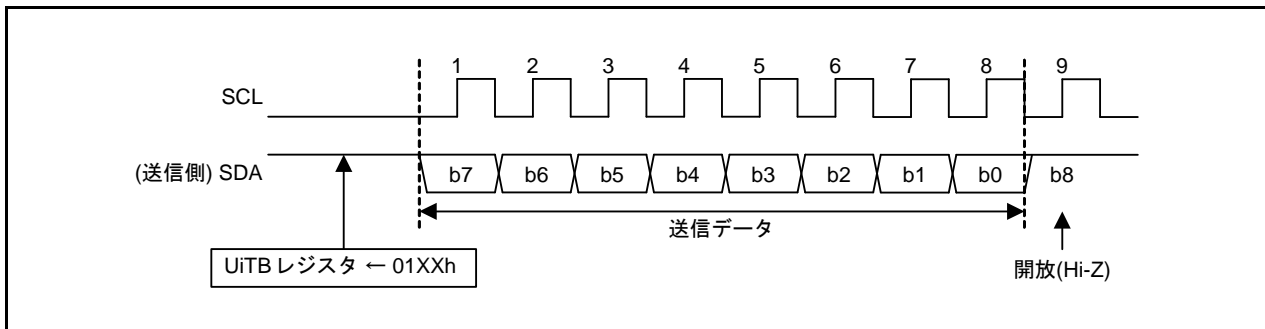


図 23.28 バイトデータの送信

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの1~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの送受信クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

23.3.3.7 SDA デジタル遅延機能

I²C-bus でデータ送信を行う場合、SCL クロックが“L”のときにデータを変化させてください。SCL クロックが“H”のときに SDA が変化すると、各コンディションと認識されます(「23.5.3.4 コンディション生成時のセットアップ時間およびホールド時間」参照)。

SDA デジタル遅延機能は、SDAi 端子からの出力を遅延させる機能です。SDA の変化を遅延させることで、SCL クロックが“L”の期間にデータを変化させることができます。

SDA デジタル遅延機能は、UiSMR3 レジスタの DL2~DL0 ビットを“001b”~“111b”にすると有効になり、“000b”にすると無効になります。

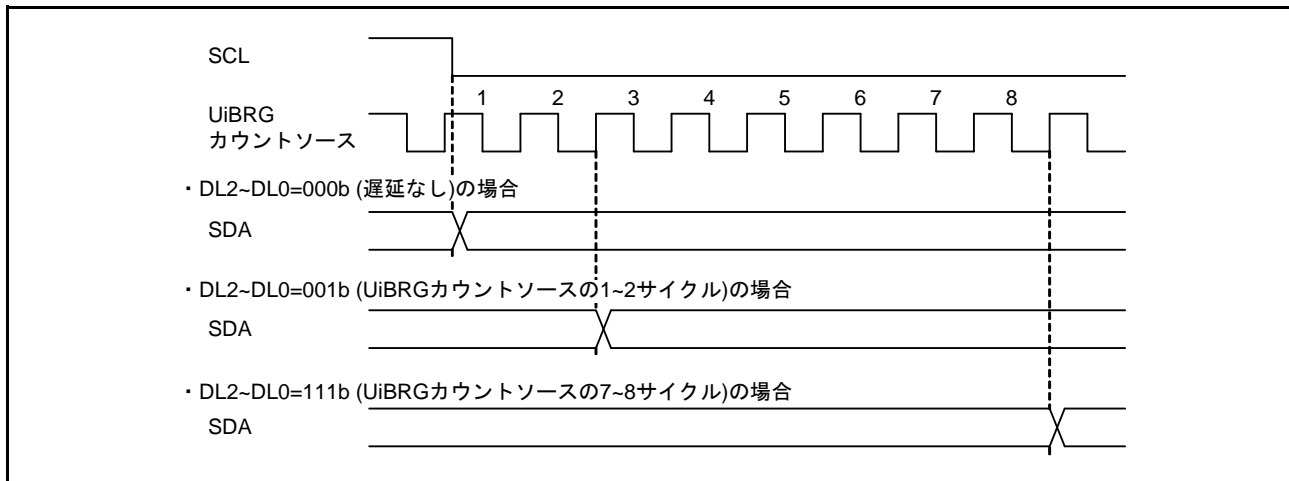


図 23.29 DL2~DL0 ビットの設定による SDA 出力切り替え

23.3.3.8 SDA 入力

UiSMR2 レジスタ (i=0~2, 5~7) の IICM2 ビットが“0” (ACK/NACK 割り込みを使用) の場合、受信したデータの 1~8 ビット目 (D7~D0) を UiRB レジスタのビット 7~0 に、9 ビット目 (ACK/NACK) を UiRB レジスタのビット 8 に格納します。

IICM2 ビットが“1”のとき、受信したデータの 1~7 ビット目 (D7~D1) を UiRB レジスタのビット 6~0 に、8 ビット目 (D0) を UiRB レジスタのビット 8 に格納します。IICM2 ビットが“1”のときでも、UiSMR3 レジスタの CKPH ビットが“1”であれば、9 ビット目のクロックの立ち上がり後に UiRB レジスタを読み出すことにより、IICM2 ビットが“0”のときと同様のデータが読めます。

バイトデータを受信する場合、1 ビット目~8 ビット目はデータを受信するため SDAi 端子を開放し、9 ビット目はアクノリッジを生成します。マスタ時の最終バイトデータを受信するとき、またはスレーブ時のスレーブアドレス不一致のときは NACK を生成します。それ以外は、通常、ACK を生成します。

I²C モードでは、UiTB レジスタに 9 ビットのデータを設定してください。9 ビットデータの b7~b0 には SDAi 端子を開放するため“FFh”を、b8 は ACK を生成する場合は“0”、NACK を生成する場合は“1”を設定してください。

UiTB レジスタに 9 ビットデータの“00FFh”または“01FFh”を設定すると、1 ビット目~8 ビット目は SDAi 端子がハイインピーダンス状態になり、データを受信できます。9 ビット目は ACK または NACK が生成されます。

受信したデータは UiRB レジスタから読み出してください。クロック遅延機能を使用すると、UiRB レジスタへのデータ転送が 2 回行われ、それぞれの UiRB レジスタの内容が異なります。詳細は「図 23.20 UiRB レジスタへの転送、割り込みのタイミング」を参照してください。

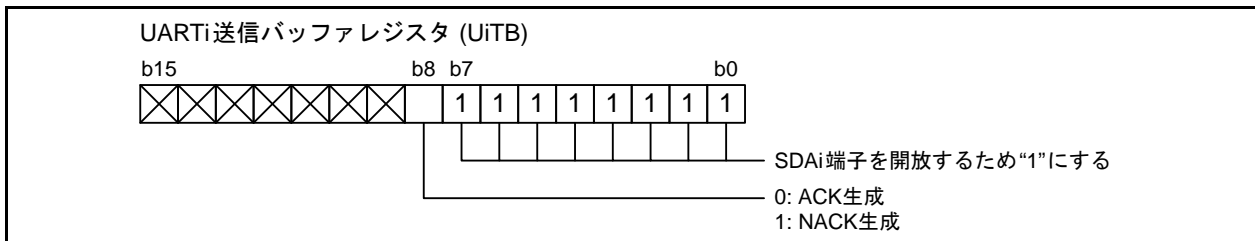


図 23.30 UiTBレジスタの設定 (SDA入力)

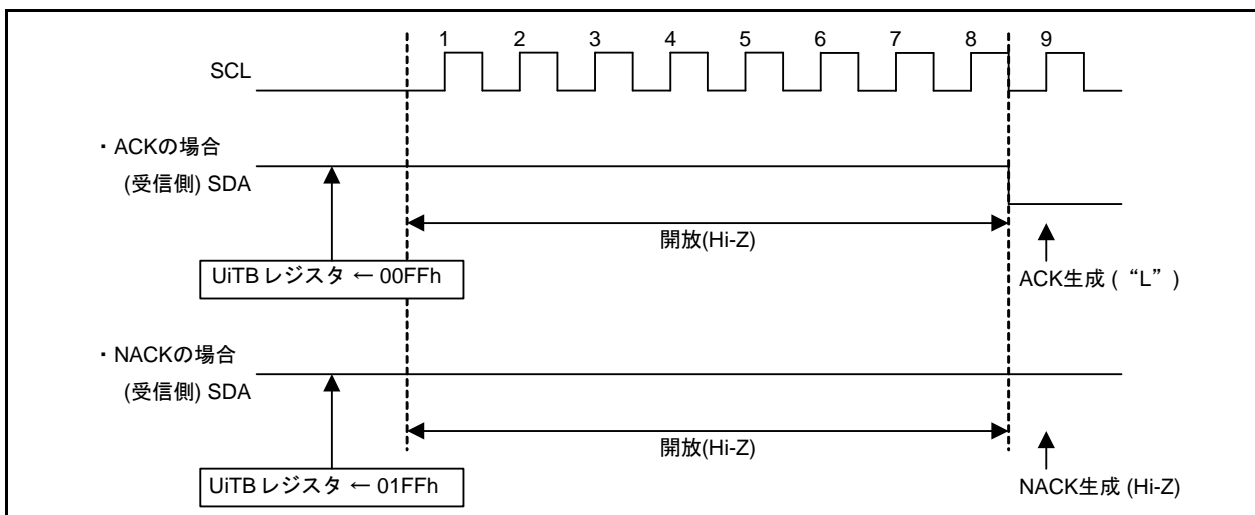


図 23.31 バイトデータの受信

23.3.3.9 ACK、NACK

データを受信することが確定している場合、UiTBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。また、UiSMR4レジスタ(i=0~2, 5~7)のSTSPSELビットが“0”(シリアル入出力回路選択)で、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

UiSMR2レジスタのIICM2ビットが“0”の場合、9ビット目のSCLiの立ち上がり時にSDAi端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UARTi受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

23.3.3.10 送受信初期化

この機能を使用する場合、送受信クロックは外部クロックを選択してください。

UiSMR2レジスタのSTACビットを“1”(スタートコンディション検出時、回路を初期化する)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの値が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(8ビット受信後SCL端子を“L”に固定)になります。これにより、クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、UiC1レジスタのTIビットは変化しません。スレープ時、UARTi初期化機能を使用すると、スタートコンディション検出時に自動的にUARTiが初期化されるため、スタートコンディション検出時に割り込みは必要ありません。

23.3.4 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、送受信クロックの極性と位相を選択できます。表 23.20 に特殊モード2の仕様を示します。

表 23.20 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> マスタモード UIMRレジスタのCKDIRビットが“0” (内部クロック選択): $\frac{f_j}{2(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ n: UiBRGレジスタ設定値 00h~FFh
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要 <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1” (送信許可) UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> UiC1レジスタのREビットが“1” (受信許可) TEビットが“1” (送信許可) TIビットが“0” (UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み時、次の条件のいずれかを選択可 <ul style="list-style-type: none"> UiC1またはUCONレジスタのUiIRSビットが“0” (送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時 (送信開始時) UiIRSビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み時 <ul style="list-style-type: none"> UARTi受信レジスタからUiRBレジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 クロック位相選択 送受信クロックの極性と相の4つの組み合わせを選択可

i=0~2, 5~7

注1. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。また SiRICレジスタのIRビットは変化しません。

図 23.32 に特殊モード2の通信制御例 (UART2) を、表 23.21 に特殊モード2時の入出力端子を示します。

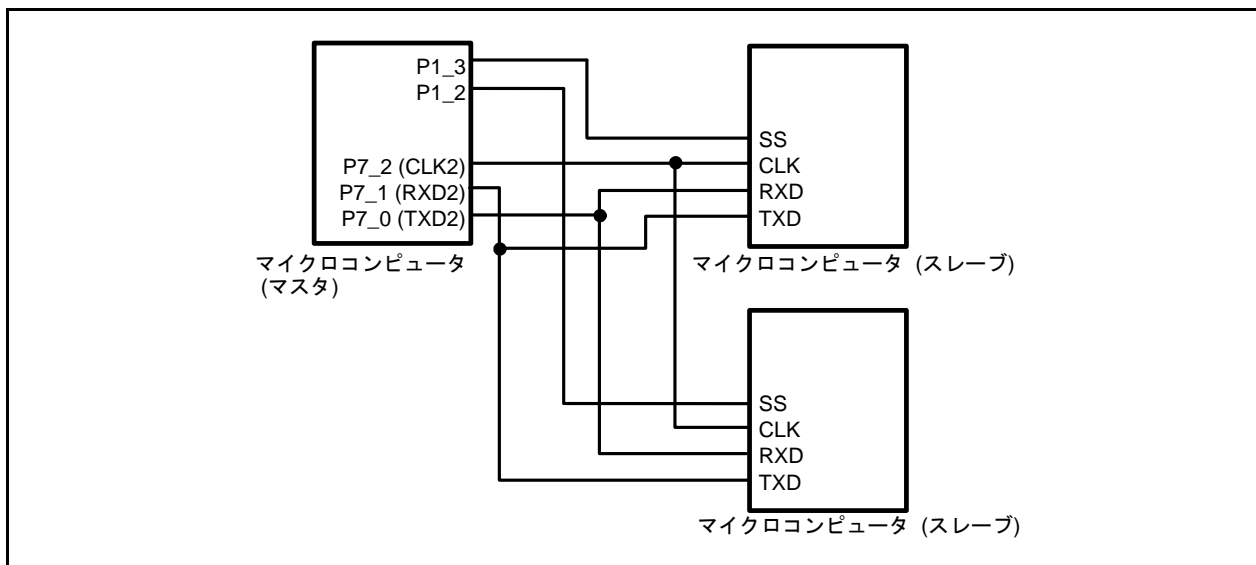


図 23.32 特殊モード2の通信制御例 (UART2)

表 23.21 特殊モード2時の入出力端子

端子名	入出力	機能	選択方法
CLKi	出力	クロック出力	UiMRレジスタのCKDIRビット=0
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする (送信だけを行うときは入力ポートとして使用可)

i=0~2, 5~7

CTS_i/RTS_i端子は使用しません(入出力ポートに使用できます)。

表 23.22 特殊モード2時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウンタソースを選択してください
UiTB	0~7	送信データを設定してください
	8	— (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
	8、11、13~15	読んだ場合、その値は不定
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	“0”にしてください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK0,CLK1	UiBRGのカウンタソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXDi端子の出力形式を選択してください(注1)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UjIRS	UARTj送信割り込み要因を選択してください
	UjRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0~7	“0”にしてください
UiSMR2	0~7	“0”にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できません
	NODC	“0”にしてください
	0、2、4~7	“0”にしてください
UiSMR4	0~7	“0”にしてください
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U1IRS	UART1送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください
	U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

i=0~2, 5~7 j=2, 5~7

注1. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注2. この表は手順を示すものではありません。

23.3.4.1 クロック位相設定機能

UiSMR3 レジスタの CKPH ビットと UiC0 レジスタの CKPOL ビットで送受信クロックの相と極性の4つの組み合わせを選択できます。

送受信クロックの極性と相は、送受信を行うマスタとスレーブで同じにしてください。

図 23.33 マスタ(内部クロック)の場合の送受信のタイミングを示します。

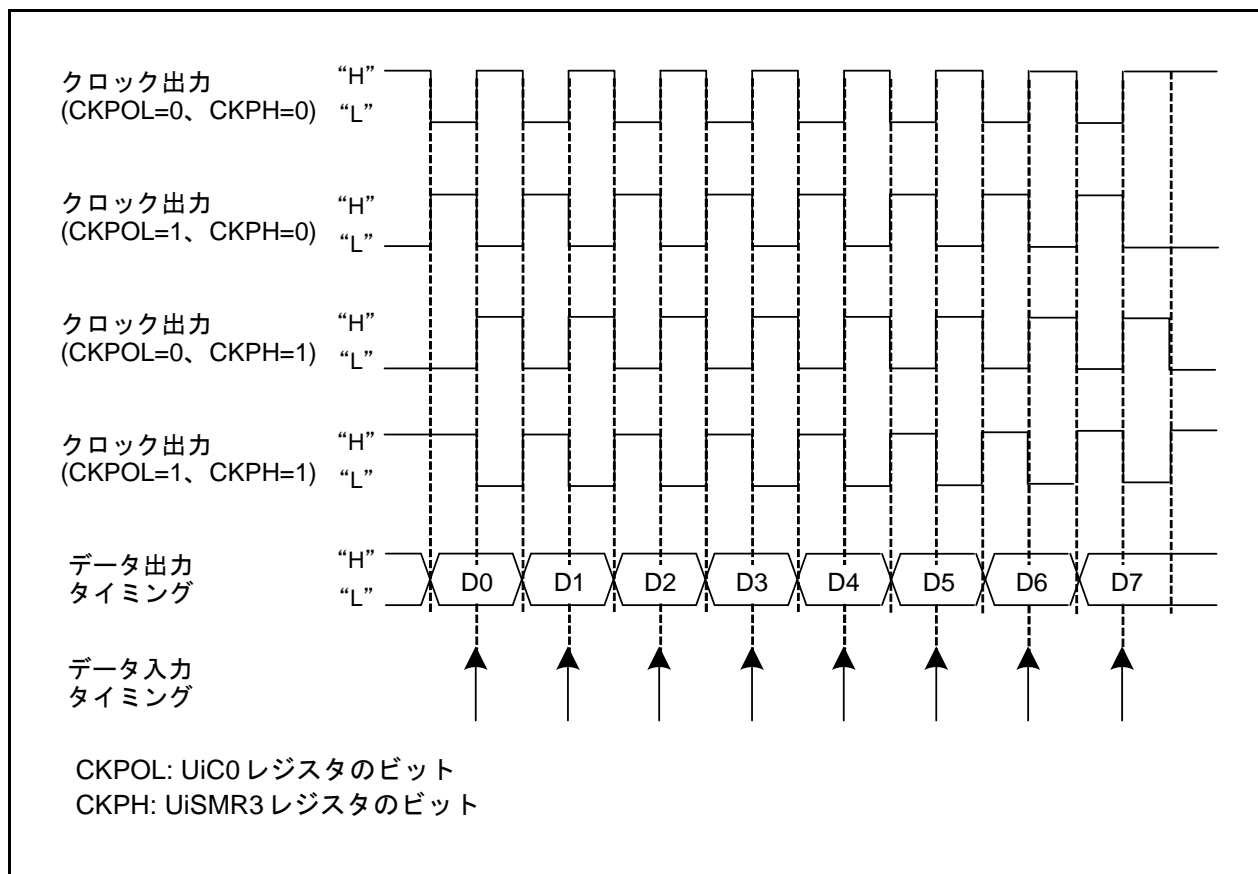


図 23.33 マスタ(内部クロック)の場合の送受信のタイミング

23.3.5 特殊モード3 (IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表 23.23 に IEモード時の使用レジスタと設定値を、図 23.34 バス衝突検出機能関連ビットの機能を示します。

TXDi端子 (i=0~2, 5~7)の出力レベルとRXDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表 23.23 IEモード時の使用レジスタと設定値 (注4)

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	"110b"にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	"0"にしてください
	PRY	PRYE=0なので無効
	PRYE	"0"にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウンタソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	"1"にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	"0"にしてください
	UFORM	"0"にしてください
UiC1	TE	送信を許可する場合、"1"にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、"1"にしてください
	RI	受信完了フラグ
	UjIRS (注1)	UARTj送信割り込み要因を選択してください
	UjRRM (注1)、UiLCH、UiERE	"0"にしてください
UiSMR	0~3、7	"0"にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、"1"にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	"0"にしてください
UiSMR3	0~7	"0"にしてください
UiSMR4	0~7	"0"にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	"0"にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	"0"にしてください

i=0~2, 5~7 j=2, 5~7

注1. U0C1、U1C1レジスタのビット4、5は"0"にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合は"0"を書いてください。

注3. この表に記載していないビットはIEモード時に書く場合、"0"を書いてください。

注4. この表は手順を示すものではありません。

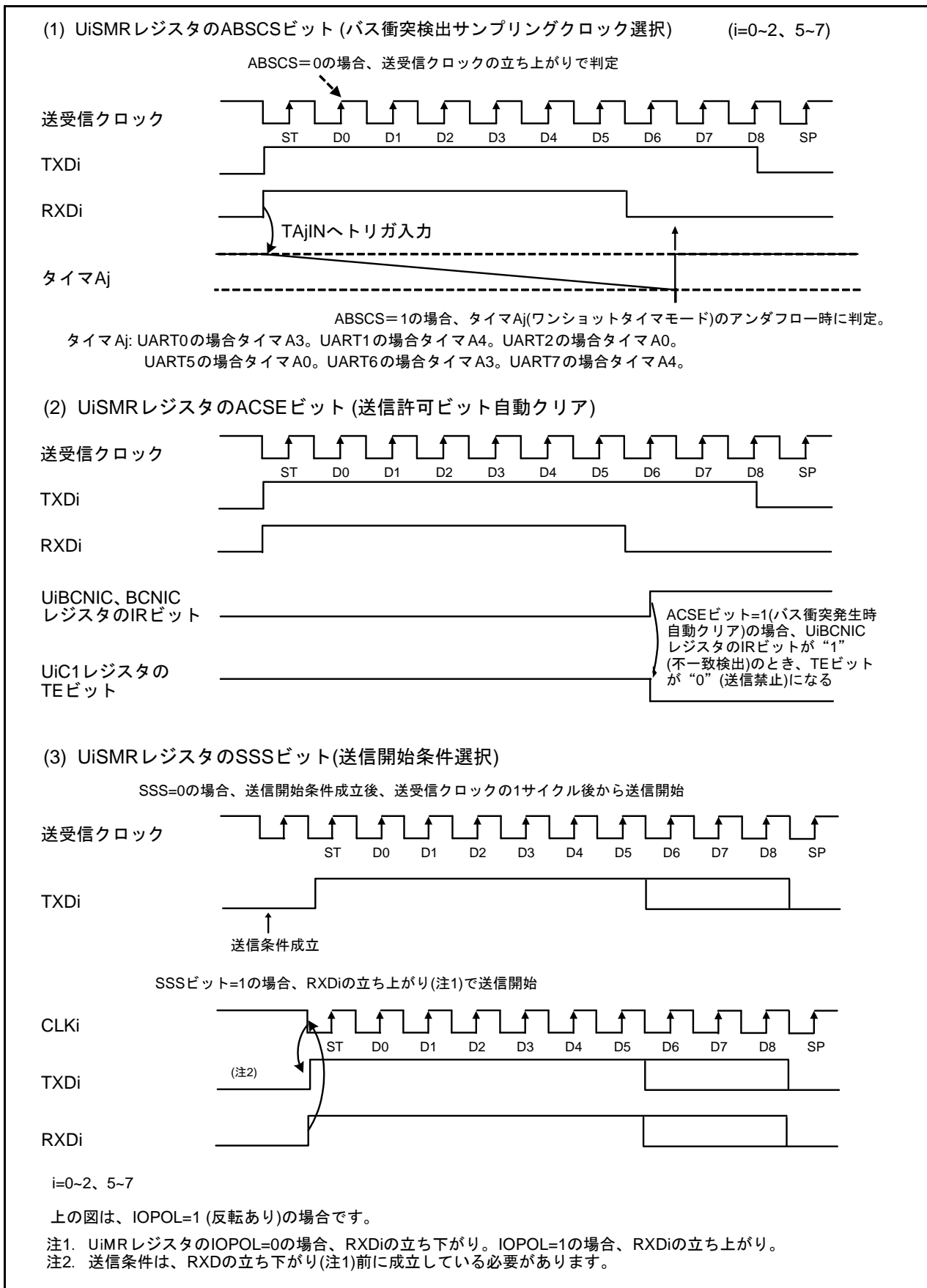


図 23.34 バス衝突検出機能関連ビットの機能

23.3.6 特殊モード4 (SIMモード) (UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表 23.24にSIMモードの仕様を、表 23.25にSIMモード時の使用レジスタと設定値を示します。

表 23.24 SIMモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> •ダイレクトフォーマット •インバースフォーマット
送受信クロック	<ul style="list-style-type: none"> •U2MRレジスタのCKDIRビットが“0” (内部クロック): $f_i/(16(n+1))$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U2BRG$レジスタの設定値 00h~FFh •CKDIRビットが“1” (外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1” (送信許可) •U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1” (受信許可) •スタートビットの検出
割り込み要求発生タイミング (注2)	<ul style="list-style-type: none"> •送信時 UART2送信レジスタからデータ送信完了時(U2IRSビット=1) •受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> •オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー (注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

注3. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 23.25 SIMモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
U2TB (注1)	0~7	送信データを設定してください
U2RB (注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	"101b"にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	"0"にしてください
	PRY	ダイレクトフォーマットの場合"1"に、インバースフォーマットの場合"0"にしてください
	PRYE	"1"にしてください
	IOPOL	"0"にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	"1"にしてください
	NCH	"0"にしてください
	CKPOL	"0"にしてください
	UFORM	ダイレクトフォーマットの場合"0"に、インバースフォーマットの場合"1"にしてください
U2C1	TE	送信を許可する場合"1"にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合"1"にしてください
	RI	受信完了フラグ
	U2IRS	"1"にしてください
	U2RRM	"0"にしてください
	U2LCH	ダイレクトフォーマットの場合"0"に、インバースフォーマットの場合"1"にしてください
	U2ERE	"1"にしてください
U2SMR (注1)	0~3	"0"にしてください
U2SMR2	0~7	"0"にしてください
U2SMR3	0~7	"0"にしてください
U2SMR4	0~7	"0"にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、"0"を書いてください。

注2. この表は手順を示すものではありません。

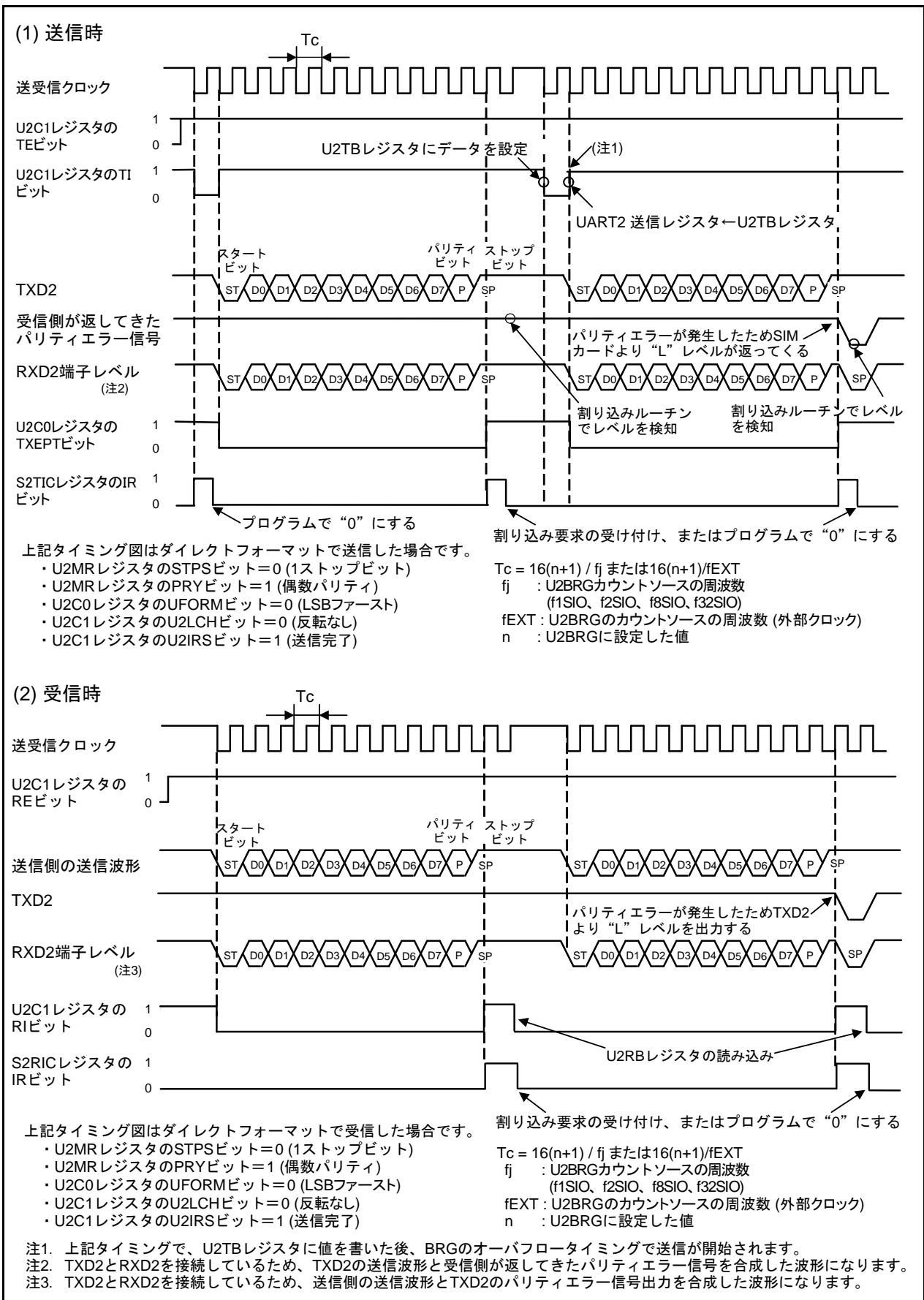


図 23.35 SIMモードの送受信タイミング例

図 23.36 SIM インタフェース接続例を示します。TXD2 と RXD2 を接続してプルアップしてください。

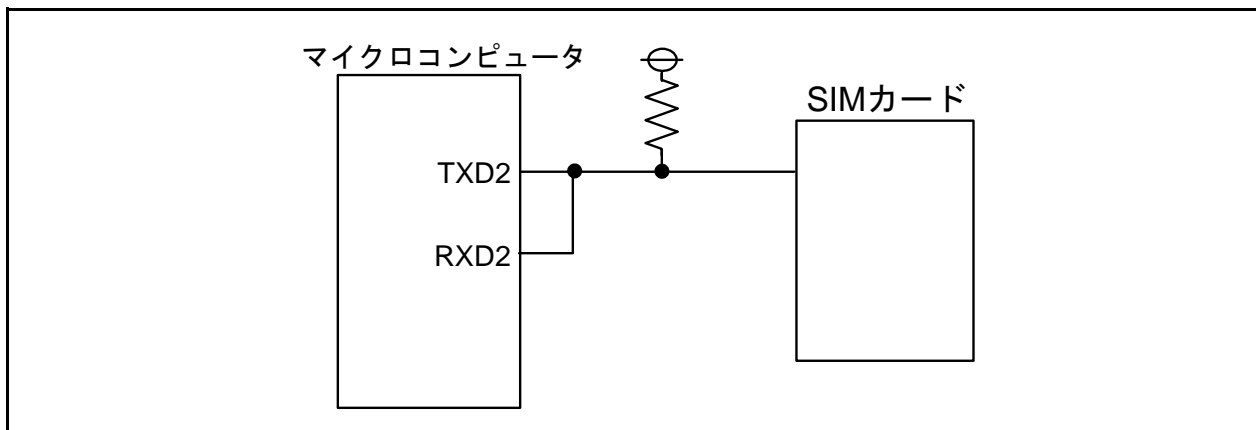


図 23.36 SIM インタフェース接続例

23.3.6.1 パリティエラー信号出力機能

U2C1 レジスタの U2ERE ビットを“1” (出力する) にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 23.37 に示すタイミングで TXD2 出力が“L”になります。ただし、パリティエラー信号出力中に U2RB レジスタを読むと、U2RB レジスタの PER ビットが“0” (パリティエラーなし) になり、同時に TXD2 出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の送受信クロックの立ち下がりが発生します。したがって、送信完了割り込みルーチンで、RXD2 と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

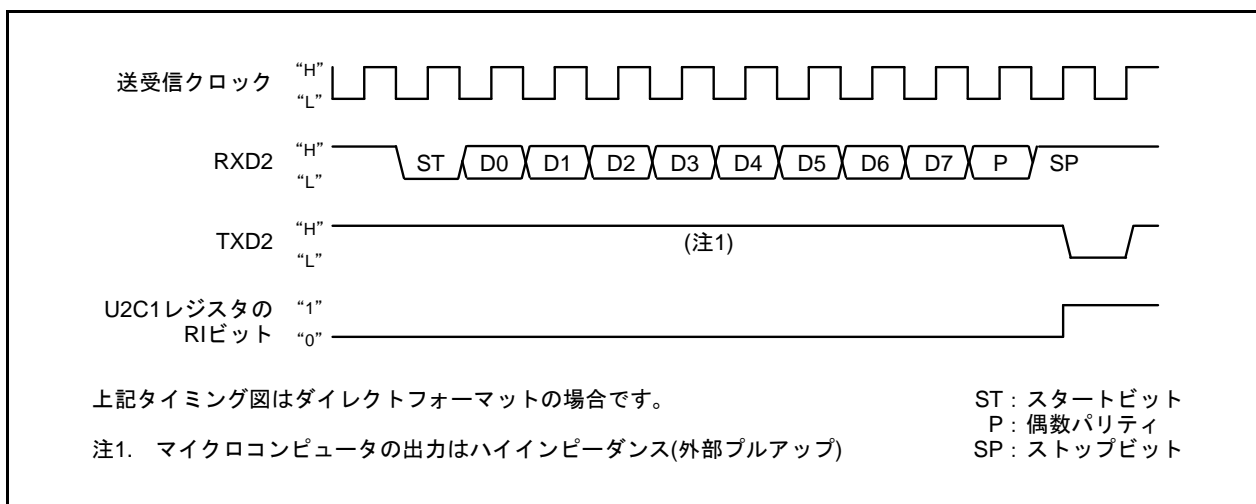


図 23.37 パリティエラー信号出力タイミング

23.3.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MR レジスタの PRYE ビットを“1” (パリティ許可)、PRY ビットを“1” (偶数パリティ)、U2C0 レジスタの UFORM ビットを“0” (LSB ファースト)、U2C1 レジスタの U2LCH ビットを“0” (反転なし) にしてください。送信時、U2TB レジスタに設定したデータを D0 から順に、偶数パリティを付加して送信します。受信時、受け取ったデータを D0 から順に U2RB レジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYE ビットを“1”、PRY ビットを“0” (奇数パリティ)、UFORM ビットを“1” (MSB ファースト)、U2LCH ビットを“1” (反転あり) にしてください。送信時、U2TB レジスタに設定した値の論理反転したデータを D7 から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7 から順に U2RB レジスタに格納します。奇数パリティで、パリティエラーを判定します。

図 23.38 に SIM インタフェースフォーマットを示します。

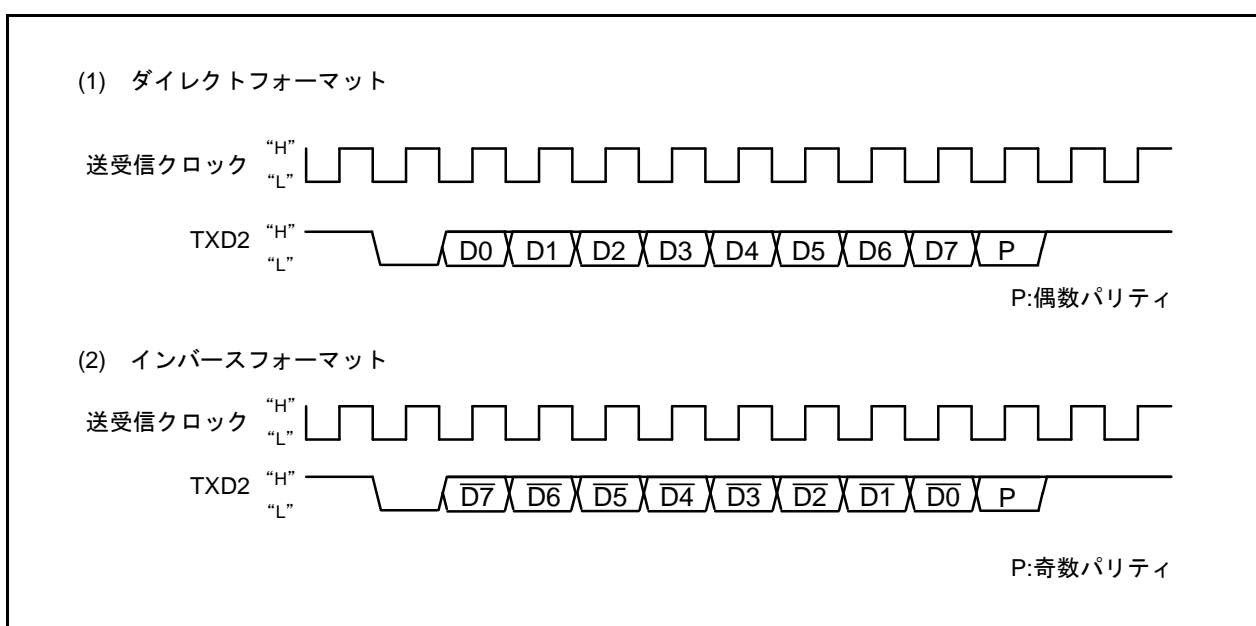


図 23.38 SIM インタフェースフォーマット

23.4 割り込み

UART0~UART2、UART5~UART7には、送信、受信、ACK、NACK、スタート/ストップコンディション検出、バス衝突検出による割り込みがあります。

23.4.1 割り込み関連レジスタ

割り込みの要因や割り込み要求発生タイミングは、各モードの仕様、動作例を参照してください。また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 23.26 に UART0~UART2、UART5~UART7の割り込み関連レジスタを示します。

表 23.26 UART0~UART2、UART5~UART7の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0046h	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXX X000b
0047h	UART0バス衝突検出割り込み制御レジスタ	U0BCNIC	XXXX X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
006Bh	UART5バス衝突検出割り込み制御レジスタ	U5BCNIC	XXXX X000b
006Ch	UART5送信割り込み制御レジスタ	S5TIC	XXXX X000b
006Dh	UART5受信割り込み制御レジスタ	S5RIC	XXXX X000b
006Eh	UART6バス衝突検出割り込み制御レジスタ	U6BCNIC	XXXX X000b
006Fh	UART6送信割り込み制御レジスタ	S6TIC	XXXX X000b
0070h	UART6受信割り込み制御レジスタ	S6RIC	XXXX X000b
0071h	UART7バス衝突検出 割り込み制御レジスタ	U7BCNIC	XXXX X000b
0072h	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0073h	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
0205h	割り込み要因選択レジスタ 3	IFSR3A	00h
0206h	割り込み要因選択レジスタ 2	IFSR2A	00h

UART0~UART2、UART5~UART7の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しているものがあります。これらの割り込みを使用する場合は、割り込み要因選択レジスタで選択してください。表 23.27にUART0~UART2、UART5~UART7割り込み選択方法を示します。

表 23.27 UART0~UART2、UART5~UART7 割り込み選択方法

割り込み要因	割り込み要因選択レジスタの設定		
	レジスタ	ビット	設定値
UART0スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR26	1
UART1スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR27	1
UART5スタート/ストップコンディション検出、バス衝突検出	IFSR3A	IFSR33	0
UART5送信、NACK	IFSR3A	IFSR34	0
UART6スタート/ストップコンディション検出、バス衝突検出	IFSR3A	IFSR35	0
UART6送信、NACK	IFSR3A	IFSR36	0
UART7スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR24	0
UART7送信、NACK	IFSR2A	IFSR25	0

また、次のモードの場合、ビット内容の変更によって割り込み要求が発生することがあります。

- 特殊モード1 (I²Cモード)

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0” (割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

- 特殊モード4 (SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

23.4.2 受信割り込み

- UiMRレジスタのSMD2~SMD0ビットが“010b” (I²Cモード)以外の場合

UiC1レジスタのRIビットが“0” (UiRBレジスタにデータなし)から“1” (UiRBレジスタにデータあり)に変化するときに、SiRICレジスタのIRビットが“1” (割り込み要求あり)になります。オーバランエラー発生時 (RIビットが“1”のとき次のデータ受信)は、RIビットが“1”のまま変化しないため、SiRICレジスタのIRビットは変化しません。

- UiMRレジスタのSMD2~SMD0ビットが“010b” (I²Cモード)の場合

UiC1レジスタのRIビットが“0” (UiRBレジスタにデータなし)から“1” (UiRBレジスタにデータあり)に変化するときに、SiRICレジスタのIRビットが“1” (割り込み要求あり)になります。オーバランエラー発生も、SiRICレジスタのIRビットが“1”になります。

23.5 シリアルインタフェース UARTi (i=0~2, 5~7) 使用上の注意事項

23.5.1 複数モードに関わる共通事項

23.5.1.1 \overline{SD} 入力の影響

TB2SC レジスタの IVPCR1 ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可) のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

23.5.1.2 CLKi 出力

(テクニカルアップデート番号: TN-16C-A178A/J)

CLKi 端子の出力形式を N チャンネルオープンドレインで使用する場合、次の手順で端子の機能を変更してください。

ポートから CLKi にするとき

- (1) UiMR レジスタの SMD2~SMD0 ビットでシリアルインタフェースのモードを選択する (“000b”以外にする)
- (2) UiSMR3 レジスタの NODC ビットを“1”にする

CLKi からポートにするとき

- (1) NODC ビットを“0”にする
- (2) SMD2~SMD0 ビットでシリアルインタフェースを無効にする (“000b”にする)

23.5.2 クロック同期形シリアル I/O モード

23.5.2.1 送受信

外部クロック選択時、 \overline{RTS} 機能を選択した場合は、受信可能状態になると \overline{RTSi} (i=0~2, 5~7) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると \overline{RTSi} 端子の出力レベルは“H”になります。このため、 \overline{RTSi} 端子を送信側の \overline{CTSi} 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は \overline{RTS} 機能は無効です。

23.5.2.2 送信

外部クロックを選択し、UiC0レジスタ (i=0~2, 5~7)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件 (順序は関係ありません)

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- CTS機能を選択している場合、 $\overline{\text{CTS}}_i$ 端子の入力が“L”

23.5.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子 (i=0~2, 5~7)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件 (順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

23.5.3 特殊モード (I²Cモード)

23.5.3.1 スタートコンディション、ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A130B/J)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~2, 5~7)のSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

23.5.3.2 IRビット

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

23.5.3.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧

“L” 入力電圧、“H” 入力電圧、および“L” 出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

< I²C-bus 規格 >

“H” 入力電圧 (V_{IH}) = min 0.7 V_{CC}

“L” 入力電圧 (V_{IL}) = max 0.3 V_{CC}

23.5.3.4 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDA デジタル遅延機能を使用する場合、遅延時間を考慮してください(「23.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps 設定時の算出例 >

- UiBRG カウントソース : $f_1 = 20\text{MHz}$
- UiBRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (UiBRG カウントソースの5~6サイクル)の場合、

f_{SCL} (理論)	= $f_1 / (2(n+1))$	= $20\text{MHz} / (2 \times (99+1))$	= 100kbps
t_{DL}	= 遅延サイクル数 / f_1	= $6 / 20\text{MHz}$	= 0.3 μs
$t_{HD:STA}$ (理論)	= $1 / (2f_{SCL}(\text{理論}))$	= $1 / (2 \times 100\text{kbps})$	= 5 μs
$t_{SU:STO}$ (理論)	= $1 / (2f_{SCL}(\text{理論}))$	= $1 / (2 \times 100\text{kbps})$	= 5 μs
$t_{HD:STA}$ (実効)	= $t_{HD:STA}(\text{理論}) - t_{DL}$	= $5\mu\text{s} - 0.3\mu\text{s}$	= 4.7 μs
$t_{SU:STO}$ (実効)	= $t_{SU:STO}(\text{理論}) + t_{DL}$	= $5\mu\text{s} + 0.3\mu\text{s}$	= 5.3 μs

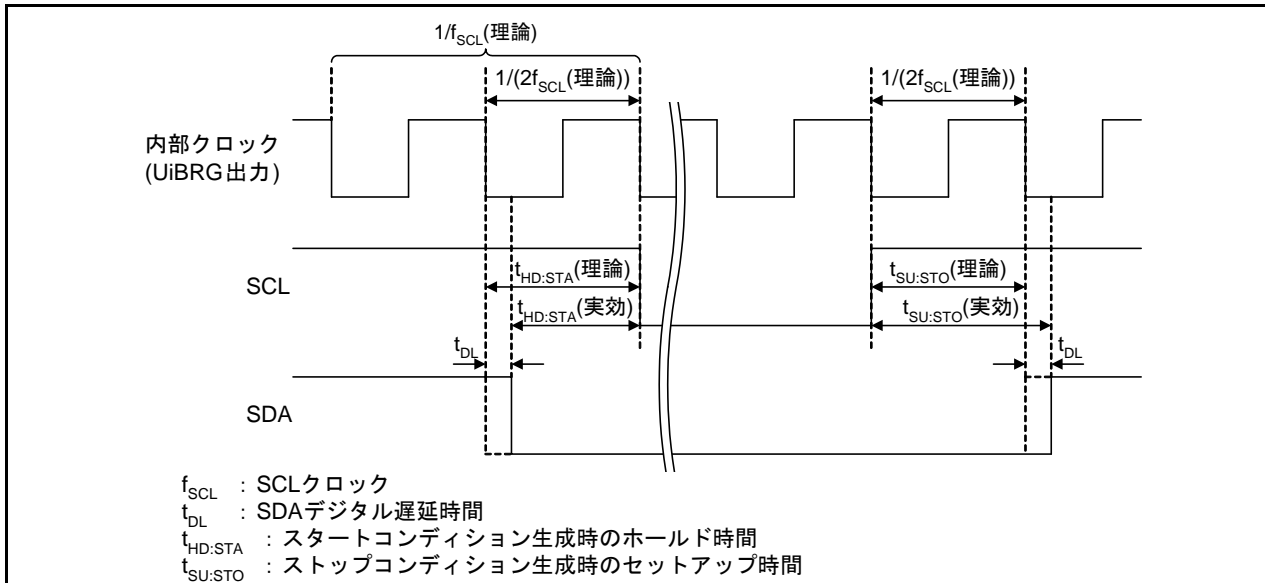


図 23.39 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

23.5.3.5 UiBRG カウントソースによる最大送受信速度の制限

I²Cモードでは、UiBRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でUiBRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、UiBRGカウントソースの速度の1/3以下です。UiBRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

23.5.3.6 スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

23.5.3.7 スレーブ時の送受信開始条件

スレーブとして、UiC0レジスタのTXEPTビットが“1”（送信レジスタにデータなし）の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件（順序は関係ありません）

送信

- UiC1レジスタのTEビットが“1”（送信許可）
- UiC1レジスタのTIビットが“0”（UiTBレジスタにデータあり）

受信

- UiC1レジスタのREビットが“1”（受信許可）
- UiC1レジスタのTEビットが“1”（送信許可）
- UiC1レジスタのTIビットが“0”（UiTBレジスタにデータあり）

23.5.4 特殊モード4 (SIMモード)

(テクニカルアップデート番号: TN-M16C-101-0308)

リセット解除後、U2C1レジスタのU2IRSビットを“1”（送信完了）、U2EREビットを“1”（エラー信号出力）にした後、TEビットを“1”（送信許可）にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”（割り込み要求なし）にしてください。

24. シリアルインタフェース SI/O3、SI/O4

24.1 概要

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。

表 24.1にSI/O3、SI/O4の仕様を示します。

図 24.1にSI/O3、SI/O4ブロック図、表 24.2に入出力端子を示します。

表 24.1 SI/O3、SI/O4の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> SiCレジスタのSMi6ビットが“1”(内部クロック): $\frac{f_j}{2(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=SiBRG$レジスタの設定値 00h~FFh SMi6ビットが“0”(外部クロック): CLKi端子から入力(注1)
送受信開始条件	送受信開始には、次の条件が必要 SiTRRレジスタに送信データを書く(注2)
割り込み要求発生タイミング	<ul style="list-style-type: none"> SiCレジスタのSMi4ビットが“0”の場合 最後の送受信クロックの立ち上がりエッジ SMi4ビットが“1”の場合 最後の送受信クロックの立ち下がりエッジ
選択機能	<ul style="list-style-type: none"> CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりエッジか立ち下がりエッジかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 SOUTi初期値設定機能 SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送信していないときのSOUTi端子出力レベルを選択可 送信後のSOUTi状態選択 SiCレジスタのSMi6ビットが“1”(内部クロック)の場合、ハイインピーダンスにするか、最終ビットレベルを保持するかを選択可

i=3, 4

注1. 外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

注2. SiCレジスタのSMi6ビットが“0”(外部クロック)の場合は、次のようにしてください。

- ・ SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。
- ・ SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。

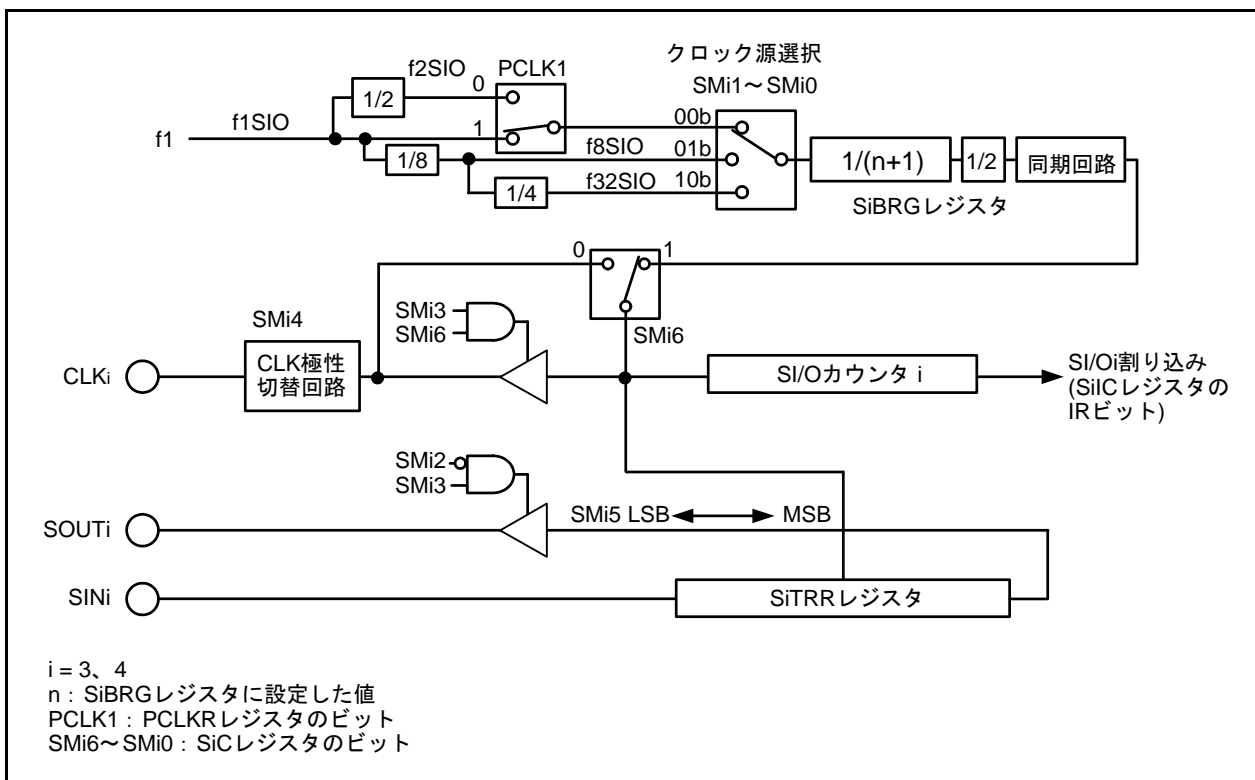


図 24.1 SI/O3、SI/O4ブロック図

表 24.2 入出力端子

端子名	入出力	機能	選択方法
CLKi	出力	送受信クロック出力	SiCレジスタのSMi3ビット=1 SiCレジスタのSMi6ビット=1
	入力	送受信クロック入力	SiCレジスタのSMi3ビット=1 SiCレジスタのSMi6ビット=0 端子を共用するポートの方向ビット=0
SOUTi	出力	シリアルデータ出力	SiCレジスタのSMi3ビット=1 SiCレジスタのSMi2ビット=0
SINi	入力	シリアルデータ入力	SiCレジスタのSMi3ビット=1 端子を共用するポートの方向ビット=0 (送信だけ行うときはダミーデータを入力)

i=3, 4

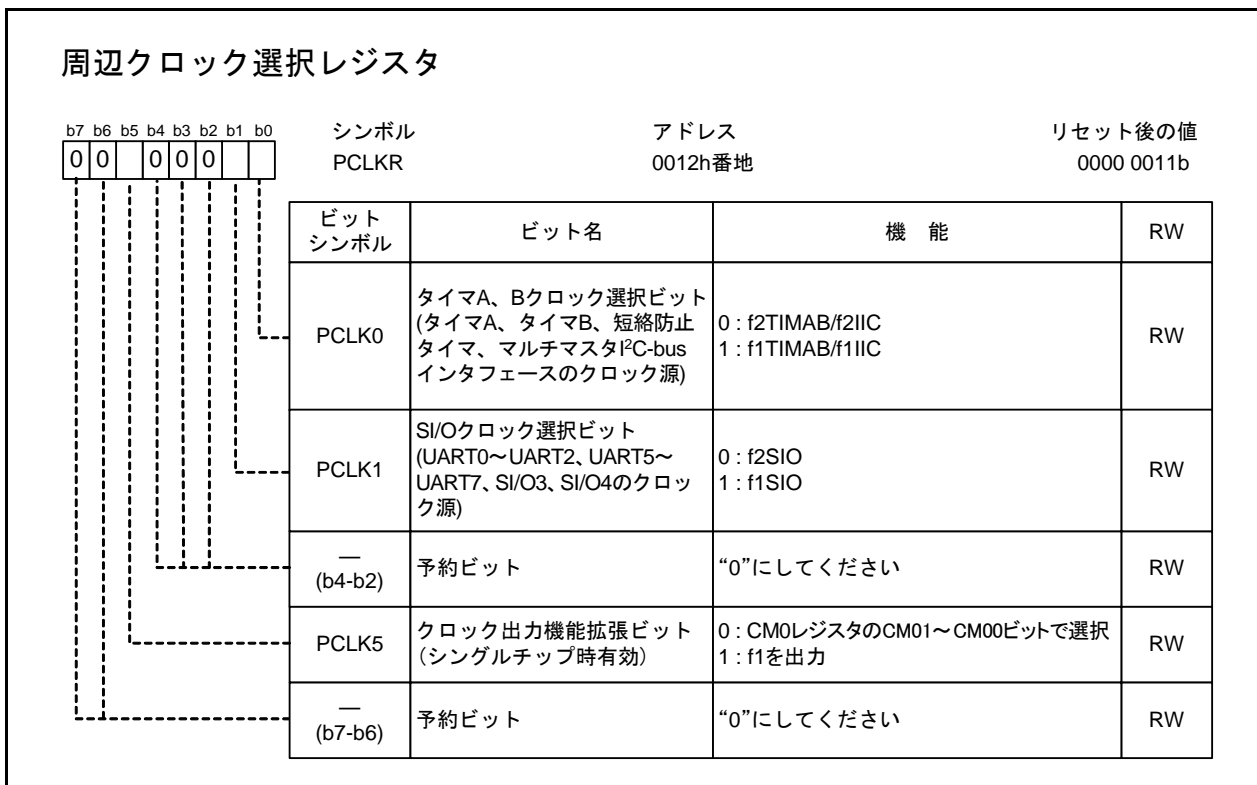
24.2 レジスタの説明

SI/O3、SI/O4 関連レジスタを表 24.3 レジスタ一覧に示します。

表 24.3 レジスタ一覧

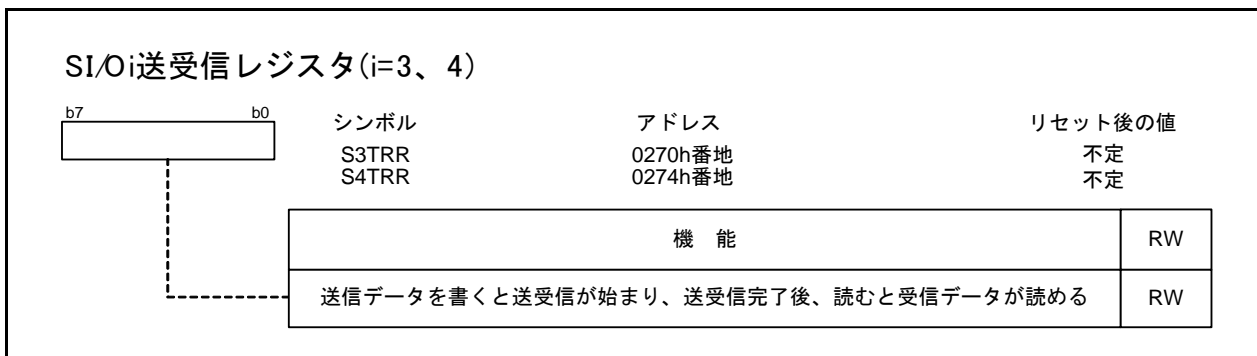
アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0270h	SI/O3送受信レジスタ	S3TRR	XXh
0272h	SI/O3制御レジスタ	S3C	0100 0000b
0273h	SI/O3ビットレートレジスタ	S3BRG	XXh
0274h	SI/O4送受信レジスタ	S4TRR	XXh
0276h	SI/O4制御レジスタ	S4C	0100 0000b
0277h	SI/O4ビットレートレジスタ	S4BRG	XXh
0278h	SI/O3、4制御レジスタ2	S34C2	00XX X0X0b

24.2.1 周辺クロック選択レジスタ (PCLKR)



PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

24.2.2 SI/Oi送受信レジスタ (SiTRR) (i=3, 4)



SiTRRレジスタは、送受信停止中に書いてください。
受信だけを行う場合も、1バイト受信ごとにSiTRRレジスタに値を書き込んでください。

24.2.3 SI/Oi制御レジスタ (SiC) (i=3, 4)

SI/Oi 制御レジスタ (i=3、4)			
ビット シンボル	シンボル S3C S4C	アドレス 0272h番地 0276h番地	リセット後の値 0100 0000b 0100 0000b
b7 b6 b5 b4 b3 b2 b1 b0			
SMi0	内部同期クロック選択 ビット	b1 b0 0 0: f1SIOまたはf2SIOを選択 0 1: f8SIOを選択 1 0: f32SIOを選択 1 1: 設定しないでください	RW
SMi1			
SMi2	SOUTi出力禁止ビット	0: SOUTi出力許可 1: SOUTi出力禁止(ハイインピーダンス)	RW
SMi3	SI/Oiポート選択ビット	0: 入出力ポート シリアルインタフェースは無効 1: SOUTi出力、CLKi機能 シリアルインタフェースは有効	RW
SMi4	CLK極性選択ビット	0: 送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力 1: 送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力	RW
SMi5	ビットオーダ選択ビット	0: LSBファースト 1: MSBファースト	RW
SMi6	送受信クロック選択ビット	0: 外部クロック 1: 内部クロック	RW
SMi7	SOUTi初期出力設定 ビット	SMi6=0の場合に有効 0: "L" 出力 1: "H" 出力	RW

SiCレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

SMi1~SMi0 (内部同期クロック選択ビット) (b1~b0)

f1SIOまたはf2SIOは、PCLKRレジスタのPCLK1ビットで選択してください。

SMi1~SMi0ビットを変更した場合は、SiBRGレジスタを再設定してください。

SMi2 (SOUTi出力禁止ビット) (b2)

SMi2ビットを“1”(SOUTi出力禁止)にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

SMi7 (SOUTi初期出力設定ビット) (b7)

SMi7ビットは、SMi3ビットが“0”(シリアルインタフェース無効、入出力ポート)のとき値を設定してください。その後、SMi3ビットを“1”かつSMi2ビットを“0”(SOUTi出力)にすると、SMi7ビットで選択したレベルをSOUTi端子から出力します。

24.2.4 SI/Oi ビットレートレジスタ (SiBRG) (i=3, 4)

SI/Oi ビットレートレジスタ (i=3, 4)

シンボル	アドレス	リセット後の値
S3BRG	0273h番地	不定
S4BRG	0277h番地	不定

機能	設定範囲	RW
設定値をnとすると、SiBRGはカウントソースをn+1分周する	00h~FFh	WO

SiBRG レジスタはMOV 命令を使用して書いてください。

SiBRG レジスタはSiC レジスタのSMi1~SMi0 ビットを設定した後で、かつ、送受信停止中に書いてください。

24.2.5 SI/O3、4 制御レジスタ 2 (S34C2)

SI/O 3、4 制御レジスタ 2

シンボル	アドレス	リセット後の値
S34C2	0278h番地	00XX X0X0b

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	“0” にしてください。	RW
(b1)		何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。	—
(b2)	予約ビット	“0” にしてください。	RW
(b5-b3)		何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。	—
SM26	SOUT3出力制御ビット	送信後のSOUT3の状態 0: ハイインピーダンス 1: 最終ビットレベルを保持	RW
SM27	SOUT4出力制御ビット	送信後のSOUT4の状態 0: ハイインピーダンス 1: 最終ビットレベルを保持	RW

SM26 (SOUT3出力制御ビット) (b6)、
SM27 (SOUT4出力制御ビット) (b7)

SiC レジスタのSMi6 ビットが“1” (内部クロック) の場合に有効です。SM26、SM27 ビットを設定した後で、SiC レジスタのSMi3 ビットを“1” (シリアルインタフェース有効) にしてください。

24.3 動作説明

24.3.1 基本動作

SI/Oiは、送信と受信を同時に行います。また、SiTTRレジスタは送受信のためのレジスタとバッファに分かれていません。したがって、送信データは、送受信停止中にSiTTRレジスタに書いてください。また、受信データは送受信停止中にSiTTRレジスタから読んでください。

24.3.2 CLK極性選択

SiCレジスタのSMi4ビットで送受信クロックの極性を選択できます。図 24.2に送受信クロックの極性を示します。

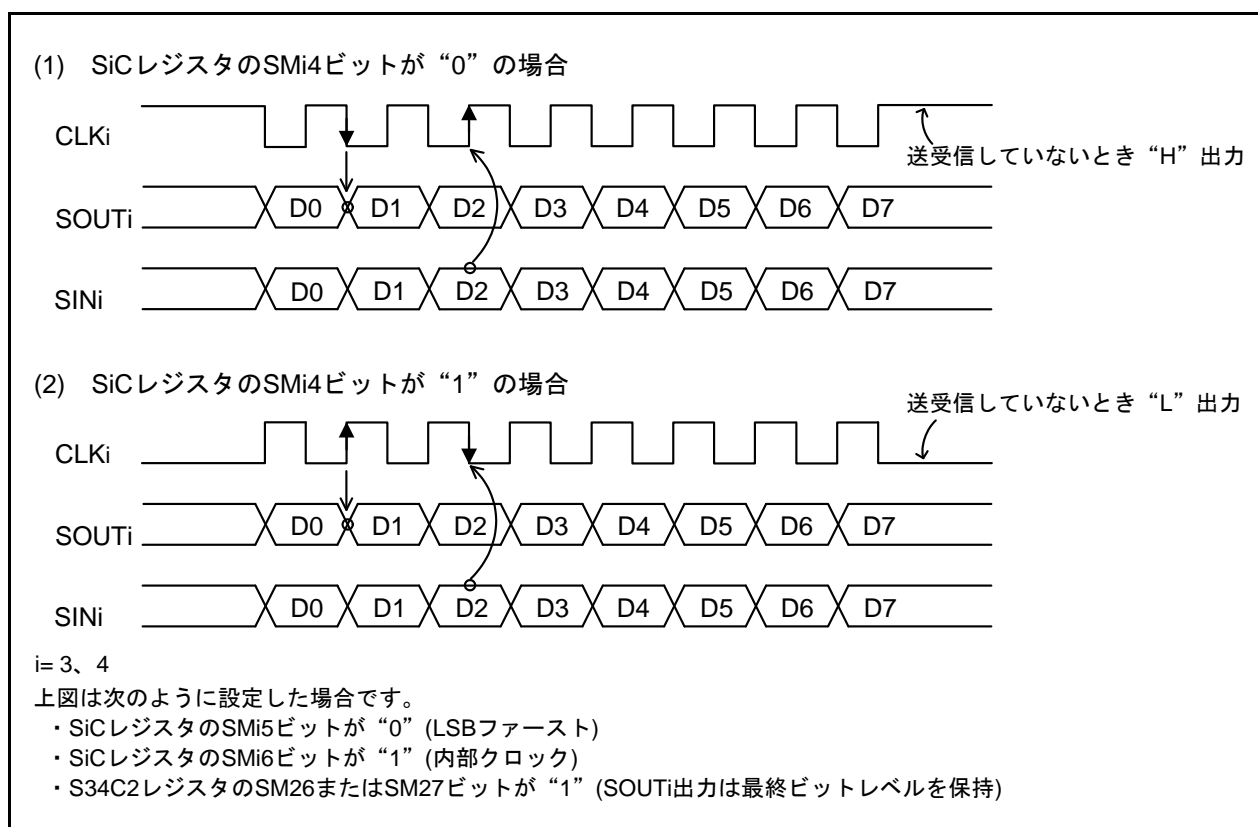


図 24.2 送受信クロックの極性

24.3.3 LSB ファースト、MSB ファースト選択

SiCレジスタ ($i=3, 4$)のSMi5ビットでビットオーダを選択できます。図 24.3にビットオーダを示します。

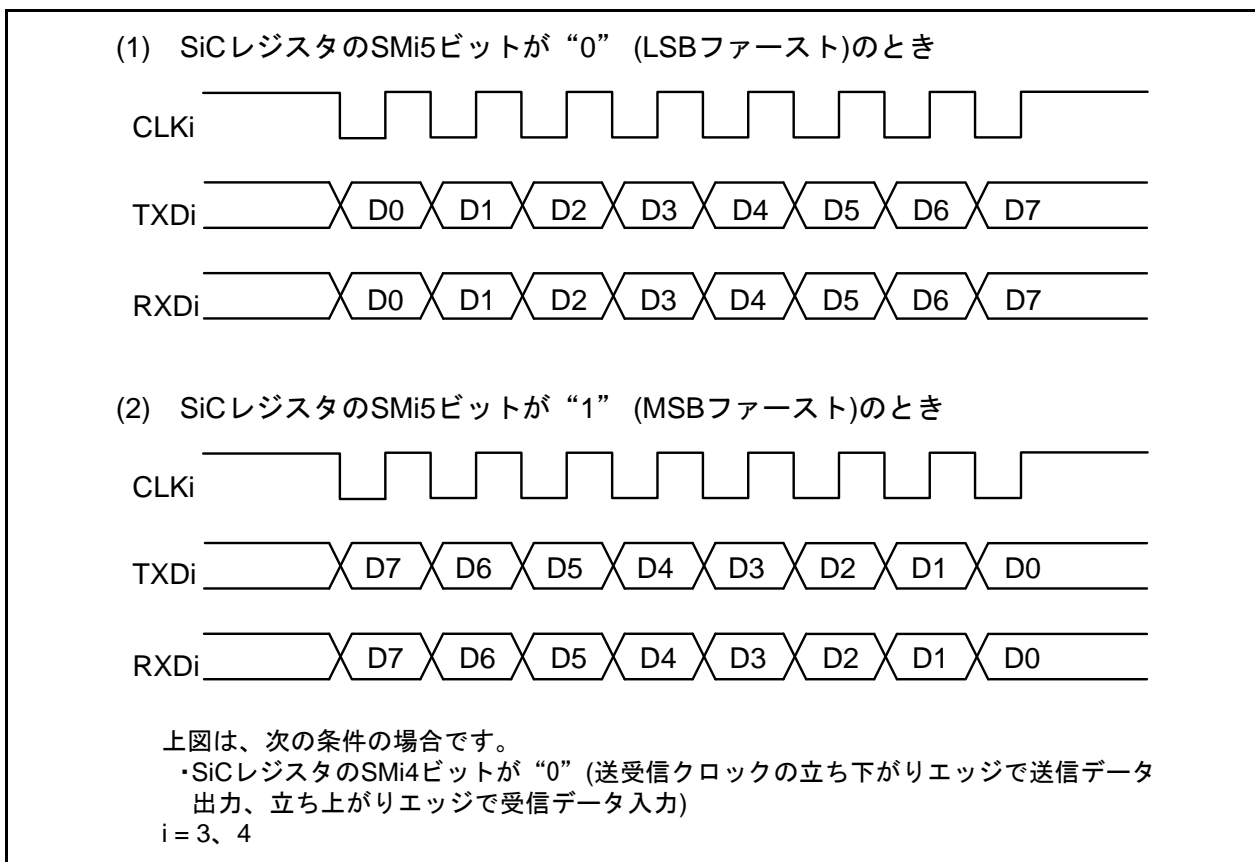


図 24.3 ビットオーダ

24.3.4 内部クロック

SiCレジスタのSMi6ビットが“1”のとき、内部クロックで送受信します。内部クロックは、PCLKRレジスタのPCLK1ビット、SiCレジスタのSMi1~SMi0ビットで選択できます。

送受信クロックが内部クロックの場合、SiCレジスタのSMi3ビットを“1” (SI/Oi有効)、かつSMi2ビットを“0” (SOUTi出力許可)にしてから、最初のデータを出力するまで、SOUTi端子はハイインピーダンスになります。

SiTRRレジスタに送信データを書くと、送受信クロックの0.5~1.0サイクル後、CLKi端子から送受信クロックを出力し、データ送受信を開始します。8ビット分の送受信が終わると、CLKi端子の送受信クロックは停止します。

図 24.4にSI/Oi動作タイミング図 (内部クロック)を示します。

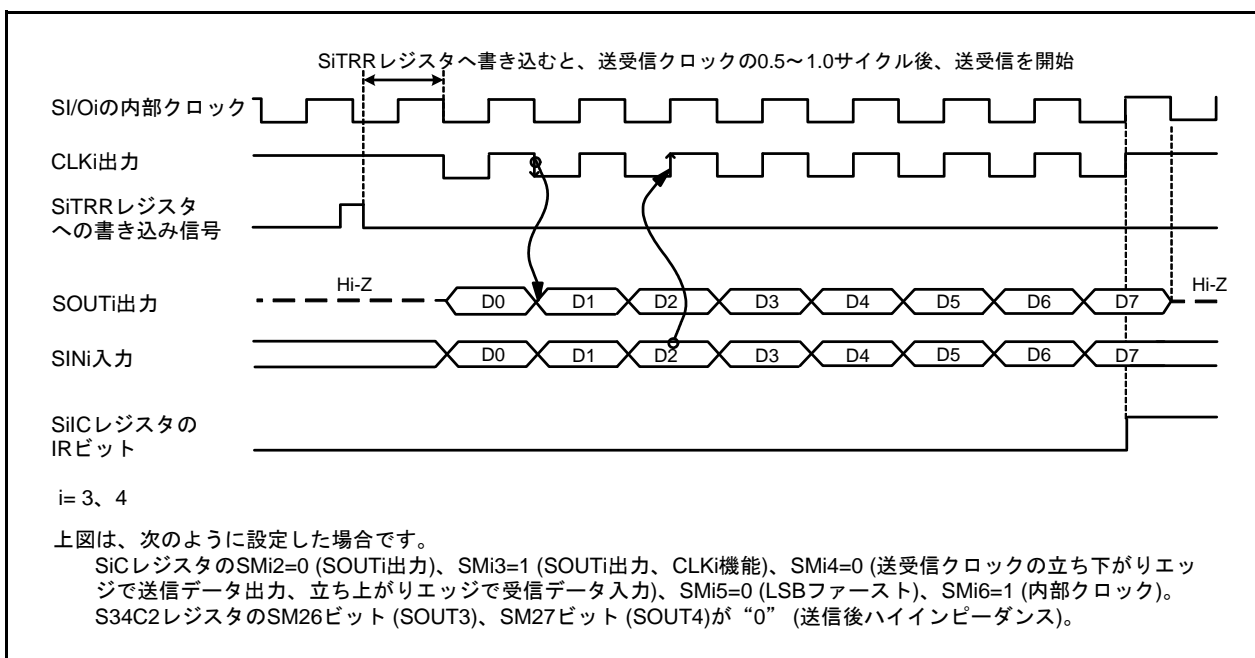


図 24.4 SI/Oi動作タイミング図 (内部クロック)

24.3.5 送信後のSOUTi状態選択

SiCレジスタのSMi6ビットが“1” (内部クロック)の場合、送信後のSOUTi端子の状態を選択できます。
S34C2レジスタのSM26、SM27ビットが“1” (最終ビットレベルを保持)の場合、送信後、SOUTi端子の出力は、最終ビットのレベルを保持します。図 24.5 に送信後のSOUT3端子のレベルを示します。

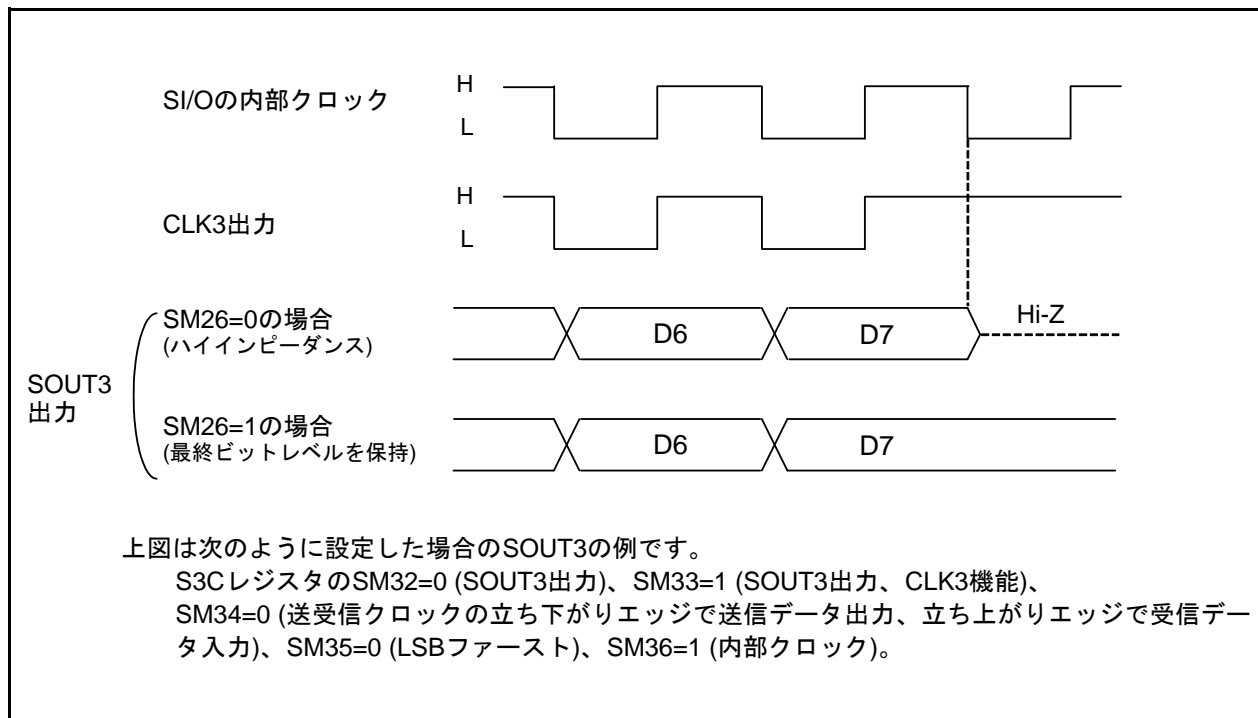


図 24.5 送信後のSOUT3端子のレベル

24.3.6 外部クロック

SiCレジスタのSMi6ビットが“0”のとき、外部クロックで送受信します。

送受信クロックが外部クロックの場合、SiCレジスタのSMi3ビットを“1” (SI/Oi有効)、かつSMi2ビットを“0” (SOUTi出力許可)にしてから、最初のデータを出力するまでのSOUTi出力レベルを、SiCレジスタのSMi7ビットで選択できます。「24.3.8 SOUTi初期値設定機能」を参照してください。

SiTRRレジスタに送信データを書いた後、外部クロックで送受信を開始します。外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

図 24.6にSI/Oi動作タイミング図 (外部クロック)を示します。

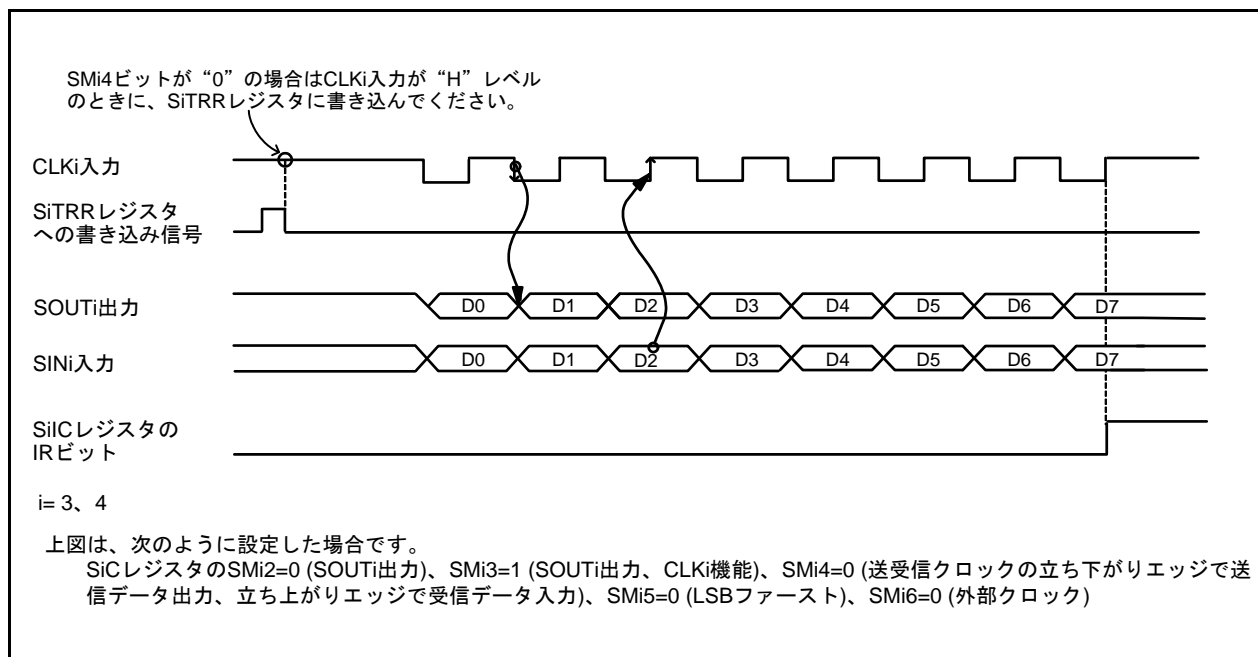


図 24.6 SI/Oi動作タイミング図 (外部クロック)

SiCレジスタのSMi6ビットが“0” (外部クロック)の場合、SiTRRレジスタと、SiCレジスタのSMi7ビットは、次の条件のとき書いてください。

- SiCレジスタのSMi4ビットが“0” (送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力)の場合: CLKi入力が“H”レベルのとき
- SMi4ビットが“1” (送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力)の場合: CLKi入力が“L”レベルのとき

24.3.7 SOUTi端子

SOUTi端子の状態はSiCレジスタのSMi2、SMi3ビットで選択できます。

表 24.4にSOUTi端子の状態を示します。

表 24.4 SOUTi端子の状態

ビットの設定		SOUTi端子の状態
SiCレジスタ		
SMi2	SMi3	
0	0	入出力ポートまたは他の周辺機能
	1	SOUTi出力
1	0/1	ハイインピーダンス

24.3.8 SOUTi初期値設定機能

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送受信していないときのSOUTi端子の出力を“H”または“L”のどちらかに設定できます。SiCレジスタのSMi7ビットで選択してください。なお、外部クロックの場合、データとデータの間は、前のデータの最終ビットの値を保持します。図 24.7にSOUTi初期値設定時のタイミング図、設定方法を示します。

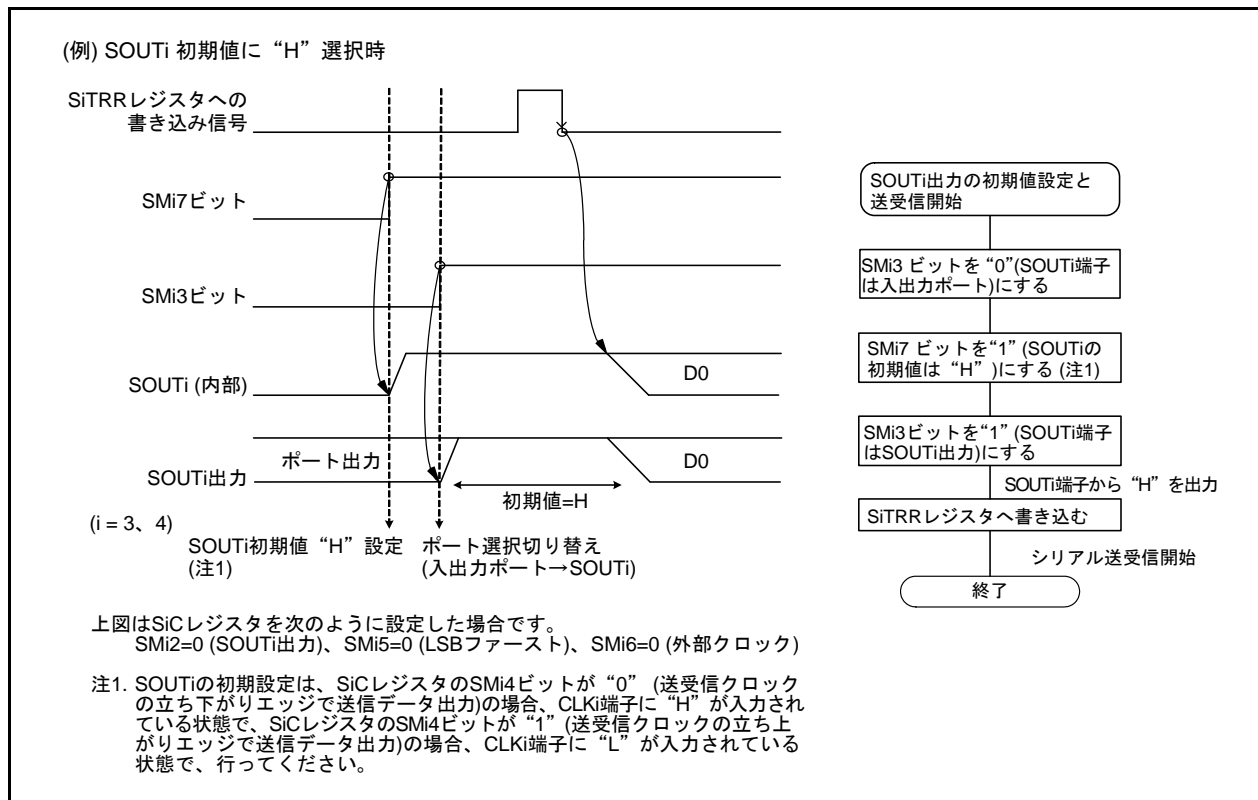


図 24.7 SOUTi初期値設定時のタイミング図、設定方法

24.4 割り込み

割り込みの要因や割り込み要求発生タイミングは、動作例を参照してください。また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 24.5 に SI/O3、SI/O4 の割り込み関連レジスタを示します。

表 24.5 SI/O3、SI/O4の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0048h	SI/O4割り込み制御レジスタ	S4IC	XX00 X000b
0049h	SI/O3割り込み制御レジスタ	S3IC	XX00 X000b
0207h	割り込み要因選択レジスタ	IFSR	00h

次の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。これらの割り込みを使用する場合は、次のようにしてください。

- SI/O3: IFSR レジスタの IFSR6 ビットを“0” (SI/O3) にする。
- SI/O4: IFSR レジスタの IFSR7 ビットを“0” (SI/O4) にする。

また、SIC レジスタの POL ビットを“0” (立ち下がりエッジ) にしてください。

24.5 シリアルインタフェース SI/O3、SI/O4 使用上の注意事項

24.5.1 SOUTi 出力禁止時の SOUTi 端子のレベル

SiC レジスタの SMi2 ビットを“1” (SOUTi 出力禁止) にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

24.5.2 外部クロックの制御

外部クロックを入力するごとにシフト動作をします。したがって 8 ビット目のデータ送受信終了後は、SiTRR レジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

24.5.3 外部クロック使用時のレジスタアクセス

SiC レジスタの SMi6 ビットが“0” (外部クロック) の場合、SiC レジスタの SMi7 ビットと、SiTRR レジスタは、次の条件のとき書いてください。

- SiC レジスタの SMi4 ビットが“0” (送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力) の場合: CLKi 入力が“H”レベルのとき
- SMi4 ビットが“1” (送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力) の場合: CLKi 入力が“L”レベルのとき

24.5.4 SiTRR レジスタアクセス

送信データは、送受信停止中に SiTRR レジスタに書いてください。また、受信データは送受信停止中に SiTRR レジスタから読んでください。

SiIC レジスタの IR ビットは、8 ビット目のデータの出力中に“1” (割り込み要求あり) になります。

S34C2 レジスタの SM26 (SOUT3)、SM27 (SOUT4) が“0” (送信後ハイインピーダンス) の場合、割り込み要求発生後すぐに送信データを SiTRR レジスタに書くと、SiTRR レジスタに書いたときに SOUTi 端子がハイインピーダンス状態になり、送信データのホールド時間が短くなります。

24.5.5 内部クロック使用時の端子の機能切り替え

(テクニカルアップデート番号: TN-16C-121A/JA)

SiC (i=3, 4) レジスタの SMi2 ビットが“0” (SOUTi 出力) でかつ、SMi6 ビットが“1” (内部クロック) の状態で、SMi3 ビットを“0” (入出力ポート) から“1” (SOUTi 出力、CLKi 機能) に変更した場合、10ns 程度、SOUTi 端子に SMi7 ビットで設定した SOUTi 初期値が出力されることがあります。その後、SOUTi 端子はハイインピーダンスとなります。

SMi3 ビットを“0”から“1”に変更したときに、SOUTi 端子から出力されるレベルが問題となる場合、SMi7 ビットで SOUTi の初期値を設定してください。

24.5.6 外部クロック選択時のリセット後の動作

リセット後、SiC レジスタの SMi6 ビットが“0” (外部クロック) の場合に、CLKi 端子に 8 ビット分の外部クロックを入力すると、SiIC レジスタの IR ビットが“1” (割り込み要求あり) になります。この現象は、SiC レジスタの SMi3 ビットが“0” (シリアルインタフェース無効) でも、SiTRR レジスタに値を書く前であっても起こります。

25. マルチマスタ I²C-bus インタフェース

25.1 概要

マルチマスタ I²C-bus インタフェース (以下 I²C 回路と称す) は、I²C-bus のデータ送受信フォーマットに基づいてシリアル送受信を行う回路です。アービトラジョンロスト検出機能とシンクロナス機能を持ちます。表 25.1 に I²C 回路の仕様を、表 25.2 に I²C 回路の検出機能を、図 25.1 に I²C 回路のブロック図を、表 25.3 に入出力端子を示します。

表 25.1 I²C 回路の仕様

項目	機能
フォーマット	I ² C-bus 規格準拠 7ビットアドレッシングフォーマット Fast-mode 標準クロックモード
送受信モード	I ² C-bus 規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
ビットレート	16.1 kbps~400 kbps (f _{VII} C=4MHz)
入出力端子	シリアルデータライン SDAMM (SDA) シリアルクロックライン SCLMM (SCL)
割り込み要求発生要因	<ul style="list-style-type: none"> • I²C-bus 割り込み <ul style="list-style-type: none"> 送信完了 受信完了 スレーブアドレス一致検出 ジェネラルコール検出 ストップコンディション検出 タイムアウト検出 • SDA/SCL 割り込み <ul style="list-style-type: none"> SDAMM 端子、SCLMM 端子の信号の立ち上がりまたは立ち下がり
選択機能	<ul style="list-style-type: none"> • I²C-bus インタフェース 端子入力レベル選択 I²C-bus 入力レベル、または SMBus 入力レベルでの入力を選択可能 • SDA/ポート、SCL/ポート 選択 SDAMM、SCLMM 端子をそれぞれポート出力に切り替える機能 • タイムアウト検出 バスビジー中に一定時間以上 SCLMM 端子のレベルが“H”になったことを検出する機能 • フリーデータフォーマット選択 スレーブアドレスの値にかかわらず、1バイト目の受信時に割り込み要求発生を選択する機能

f_{VII}C: I²C-bus システムクロック

表 25.2 I²C回路の検出機能

項目	機能
スレーブアドレス一致検出	スレーブ送受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送じます。一致しない場合はNACKを送出し、それ以降のデータの送受信を行いません。スレーブアドレスは最大3つまで設定できます
ジェネラルコール検出	スレーブ受信時、ジェネラルコールを検出します
アービトレーションロスト検出	アービトレーションロストを検出し、SDAMM端子、SCLMM端子の出力を停止します
バスビジー検出	バスビジーを検出しBBビットをセット/リセットします

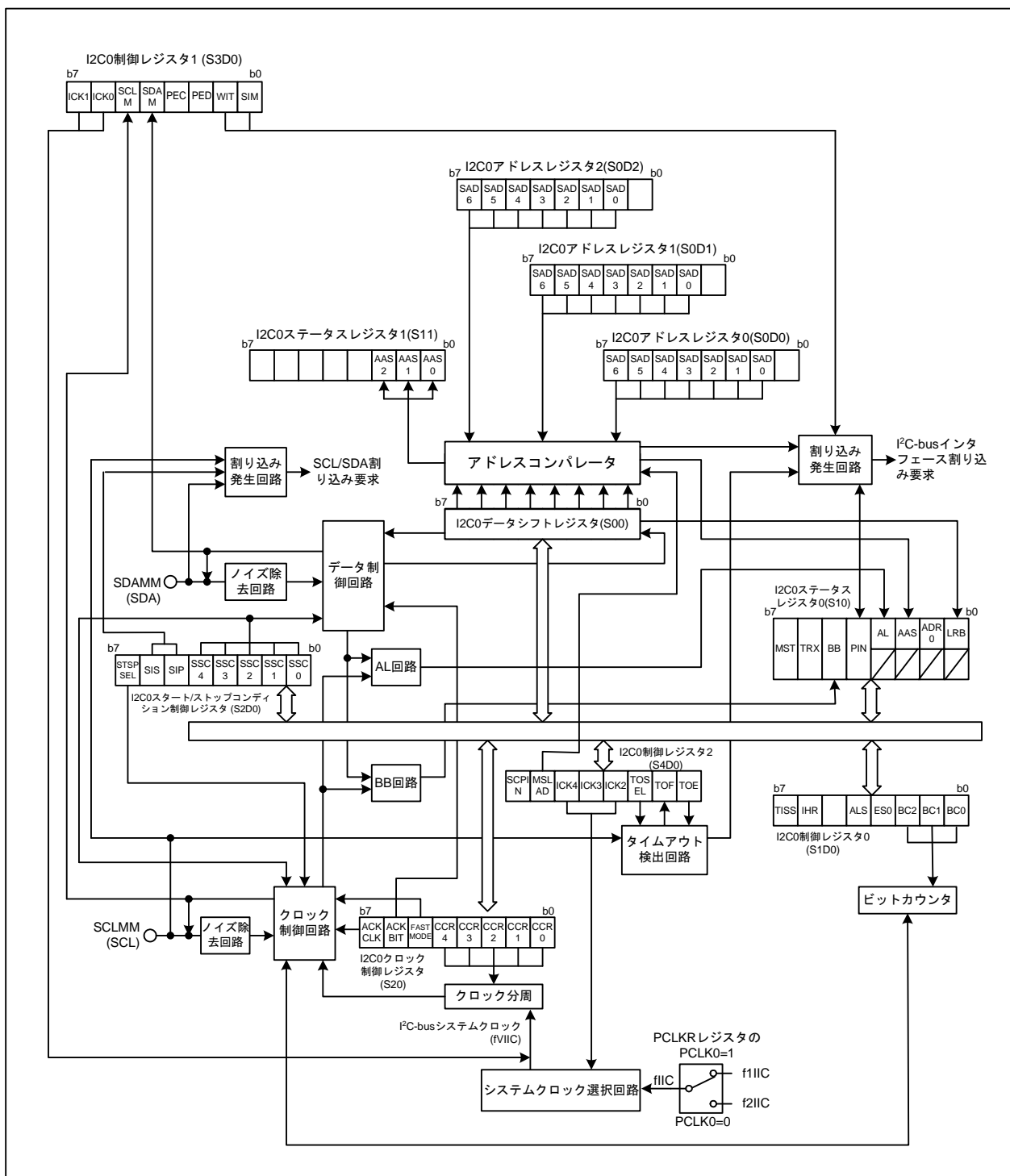


図 25.1 I²C回路のブロック図

表 25.3 入出力端子

端子名	入出力	機能
SDAMM	入出力	SDA入出力 (Nチャンネルオープンドレイン出力)
SCLMM	入出力	SCL入出力 (Nチャンネルオープンドレイン出力)

25.2 レジスタの説明

表 25.4 にレジスタ一覧を示します。CM0 レジスタの CM07 ビットが“1” (CPU クロックはサブクロック) の場合、表 25.4 に示すレジスタはアクセスしないでください。CM07 ビットを“0” (メインクロック、PLL クロック、またはオンチップオシレータクロック) にしてアクセスしてください。

表 25.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
02B0h	I2C0 データシフトレジスタ	S00	XXh
02B2h	I2C0 アドレスレジスタ 0	S0D0	0000 000Xb
02B3h	I2C0 制御レジスタ 0	S1D0	00h
02B4h	I2C0 クロック制御レジスタ	S20	00h
02B5h	I2C0 スタート/ストップコンディション 制御レジスタ	S2D0	0001 1010b
02B6h	I2C0 制御レジスタ 1	S3D0	0011 0000b
02B7h	I2C0 制御レジスタ 2	S4D0	00h
02B8h	I2C0 ステータスレジスタ 0	S10	0001 000Xb
02B9h	I2C0 ステータスレジスタ 1	S11	XXXX X000b
02BAh	I2C0 アドレスレジスタ 1	S0D1	0000 000Xb
02BBh	I2C0 アドレスレジスタ 2	S0D2	0000 000Xb

25.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

シンボル
PCLKR

アドレス
0012h 番地

リセット後の値
0000 0011b

ビット シンボル	ビット名	機 能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止 タイマ、マルチマスタ I ² C-bus インタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART2、UART5~ UART7、SI/O3、SI/O4のクロッ ク源)	0 : f2SIO 1 : f1SIO	RW
— (b4-b2)	予約ビット	“0”にしてください	RW
PCLK5	クロック出力機能拡張ビット (シングルチップ時有効)	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
— (b7-b6)	予約ビット	“0”にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

25.2.2 I²C0 データシフトレジスタ (S00)

送信時は送信データを書き込んでください。受信時は S00 レジスタを読み出すと受信データが読み出せます。マスタモードでは、スタートコンディションまたはストップコンディションの発生にも使用します。(「25.3.2 スタートコンディション発生方法」「25.3.3 ストップコンディション発生方法」参照)。

S00 レジスタは、S1D0 レジスタの ES0 ビットが“1” (I²C 回路許可) のとき書き込めます。

送受信中は S00 レジスタに書き込まないでください。

データ送信時、S00 レジスタのデータは、SCLMM 端子のクロックに同期してビット 7 から順に外部へ送信されます。データを 1 ビット出力するたびに、S00 レジスタの値は左に 1 ビットシフトします。

データ受信時は、SCLMM 端子のクロックに同期してデータがビット 0 から順に S00 レジスタに入力されます。データを 1 ビット入力するたびに、S00 レジスタの値は左に 1 ビットシフトします。図 25.2 に受信データを S00 レジスタに格納するタイミングを示します。

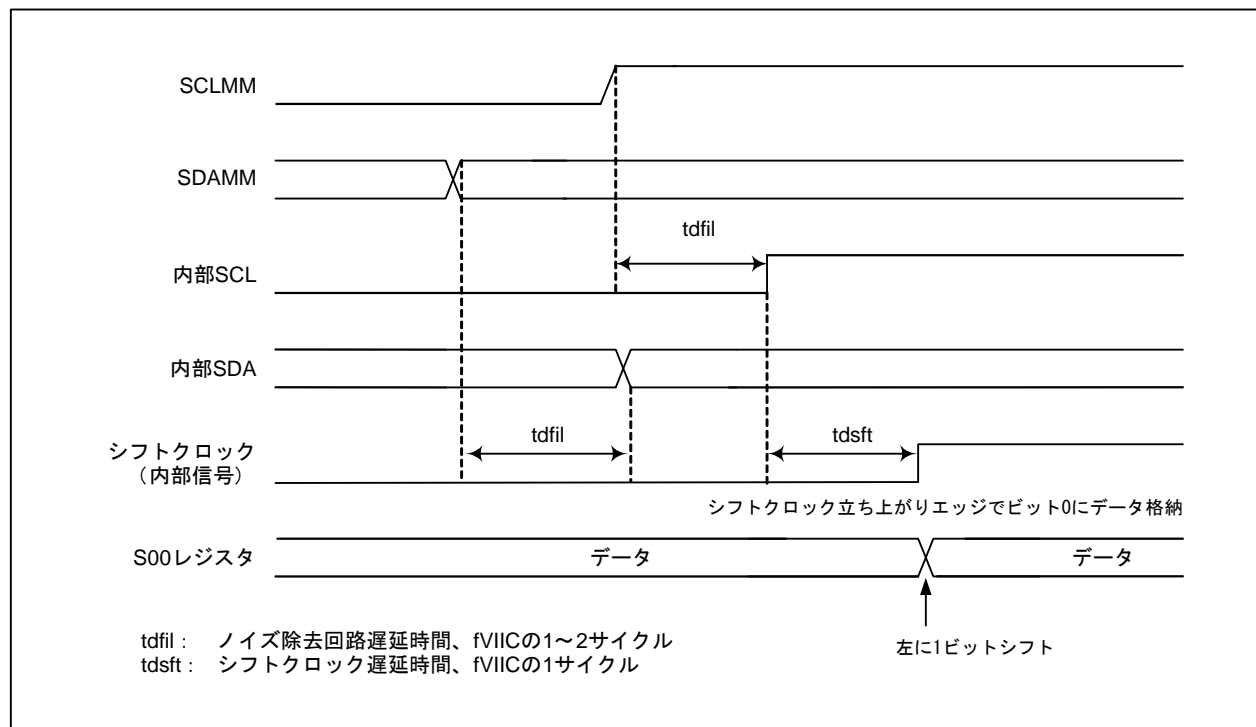
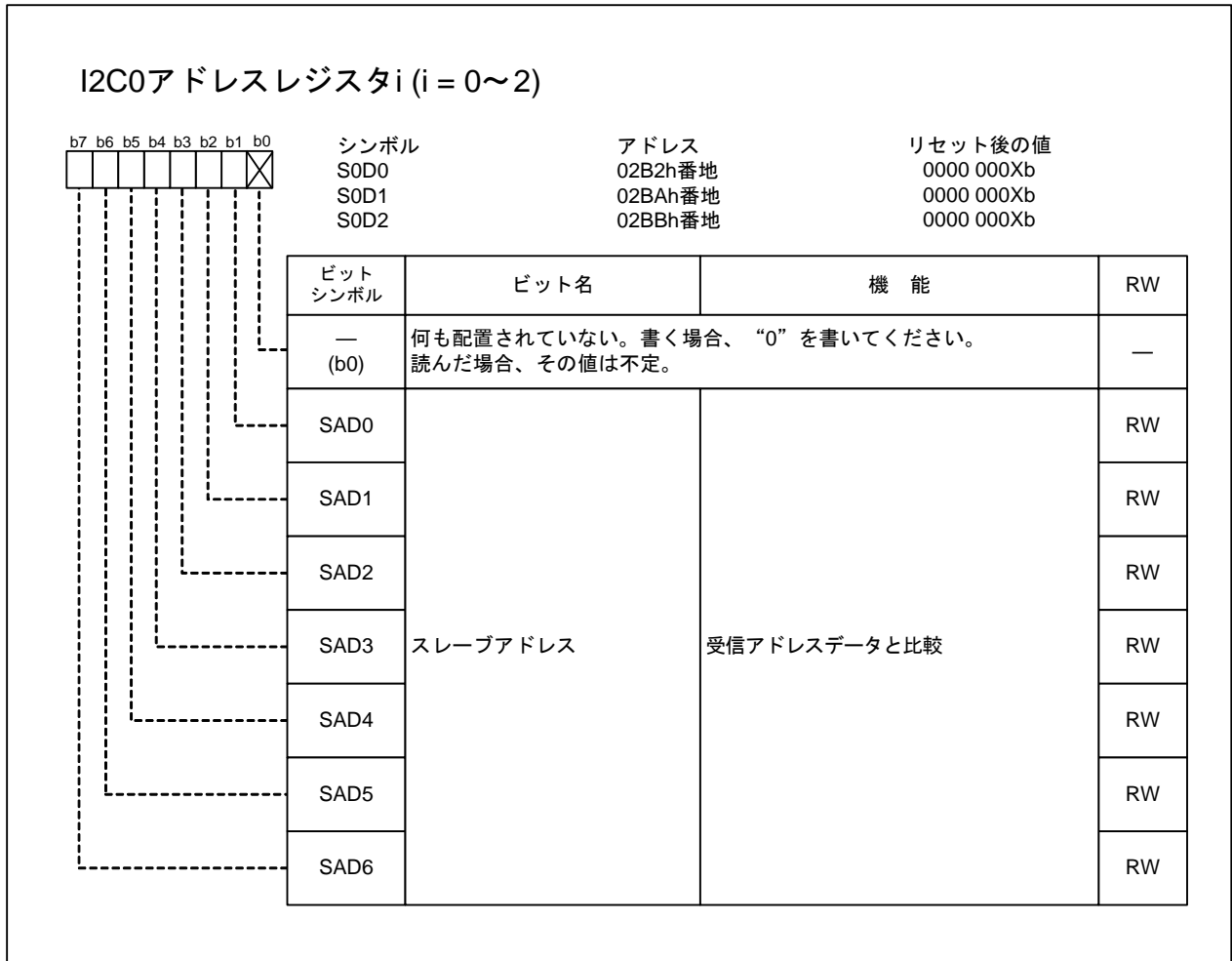


図 25.2 受信データを S00 レジスタに格納するタイミング

25.2.3 I²C0 アドレスレジスタ i ($i=0\sim 2$) (S0D0~S0D2)

SAD6~SAD0 (スレーブアドレス) (b7~b1)

スレーブモード時に、スレーブアドレス一致検出で比較されるスレーブアドレスを指定するビットです。アドレスは最大3つまで設定できます。スレーブアドレスを設定しないS0Diレジスタには“00h”を設定してください。ただし、S4D0レジスタのMSLADビットが“0”のとき、S0D1レジスタおよびS0D2レジスタは無効となり、S0D0レジスタのみがスレーブアドレス一致検出の対象となります。

25.2.4 I²C0 制御レジスタ 0 (S1D0)

I²C0 制御レジスタ 0

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			

シンボル: S1D0 アドレス: 02B3h 番地 リセット後の値: 00h

ビットシンボル	ビット名	機能	RW
BC0	ビットカウンタ (送信/受信ビット数)	b2 b1 b0 0 0 0 : 8	RW
BC1		0 0 1 : 7	RW
BC2		0 1 0 : 6	RW
		0 1 1 : 5	RW
		1 0 0 : 4	
		1 0 1 : 3	
		1 1 0 : 2	
		1 1 1 : 1	
ES0	I ² C-bus インタフェース許可ビット	0 : 禁止 1 : 許可	RW
ALS	データフォーマット選択ビット	0 : アドレッシングフォーマット 1 : フリーデータフォーマット	RW
— (b5)	予約ビット	“0” にしてください	RW
IHR	I ² C-bus インタフェースリセットビット	0 : リセット解除 (自動) 1 : リセット	RW
TISS	I ² C-bus インタフェース端子入力レベル選択ビット	0 : I ² C-bus 入力 1 : SMBus 入力	RW

BC2~BC0 (ビットカウンタ) (b2~b0)

次のステータスのとき、BC2~BC0ビットは“000b” (8ビット) になります。

- スタートコンディション検出

S20 レジスタの ACKCLK ビットが“0” (ACK クロックなし) の場合、BC2~BC0 ビットで指定したビット数のデータを送受信した後、BC2~BC0 は“000b”に戻ります。

同様に S20 レジスタの ACKCLK ビットが“1” (ACK クロックあり) の場合、BC2~BC0 ビットで指定したビット数と ACK クロックの 1 ビットを送受信した後、BC2~BC0 ビットは“000b”に戻ります。

ES0 (I²C-bus インタフェース許可ビット) (b3)

I²C回路の使用を許可するビットです。

ES0 ビットを“0”にすると、I²C回路は次の状態になります。

- SDAMM端子、SCLMM端子: 入出力ポートまたはその他の周辺機能の端子
- S00レジスタへの書き込み禁止
- I²C-bus システムクロック (以下fVIICと称す) 停止
- S10レジスタ
 - ADR0ビット: “0” (ジェネラルコール未検出)
 - AASビット: “0” (スレーブアドレス不一致)
 - ALビット: “0” (アービトレーションロスト未検出)
 - PINビット: “1” (I²C-bus 割り込み要求なし)
 - BBビット: “0” (バスフリー)
 - TRXビット: “0” (受信モード)
 - MSTビット: “0” (スレーブモード)
- S11レジスタのAAS2~AAS0ビット: “0” (スレーブアドレス不一致)
- S4D0レジスタのTOFビット: “0” (タイムアウト未検出)

ALS (データフォーマット選択ビット) (b4)

スレーブ送受信時に有効です。ALS ビットが“0” (アドレッシングフォーマット) の場合は、スレーブアドレスの一致検出を行います。S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットに格納されたスレーブアドレスと受信したスレーブアドレスとを比較して一致した場合、またはジェネラルコールを受信した場合、IICICレジスタのIR ビットが“1” (割り込み要求あり) になります。

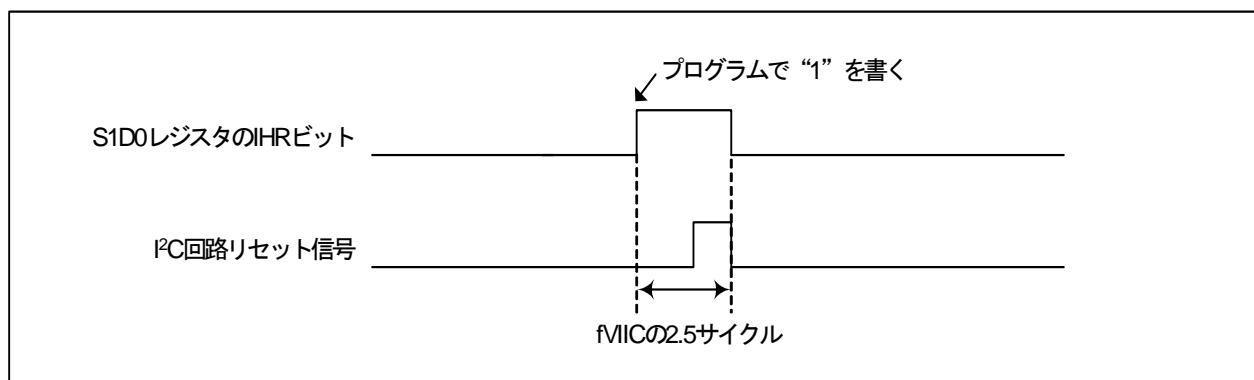
ALS ビットが“1” (フリーデータフォーマット) の場合は、受信したスレーブアドレスの一致検出をしません。したがって受信したスレーブアドレスに関係なく IICIC レジスタの IR ビットが“1” (割り込み要求あり) になります。

IHR (I²C-bus インタフェースリセットビット) (b6)

異常発生時に、I²C回路をリセットするビットです。S1D0レジスタのES0ビットが“1” (I²C回路使用許可) のとき、IHR ビットに“1” (リセット) を書き込むと、I²C回路は次の状態になります。

- S10レジスタ
 - ADR0ビット: “0” (ジェネラルコール未検出)
 - AASビット: “0” (スレーブアドレス不一致)
 - ALビット: “0” (アービトレーションロスト未検出)
 - PINビット: “1” (I²C-bus 割り込み要求なし)
 - BBビット: “0” (バスフリー)
 - TRXビット: “0” (受信モード)
 - MSTビット: “0” (スレーブモード)
- S11レジスタのAAS2~AAS0ビット: “0” (スレーブアドレス不一致)
- S4D0レジスタのTOFビット: “0” (タイムアウト未検出)

IHR ビットに“1”を書き込むと、I²C回路はリセットされ、この時、リセット処理にかかる時間はfVIICクロックの最大2.5サイクルとなります。IHR ビットは自動的に“0”になります。図 25.3 に I²C回路リセットタイミングを示します。

図 25.3 I²C回路リセットタイミング

TISS (I²C-bus インタフェース端子入力レベル選択ビット) (b7)

I²C 回路の SCLMM、SDAMM 端子の入力レベルを選択するビットです。

25.2.5 I²C0 クロック制御レジスタ (S20)

I²C0 クロック制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル S20	アドレス 02B4h 番地	リセット後の値 00h
-------------------------	-------------	------------------	----------------

ビット シンボル	ビット名	機 能	RW
CCR0	ビットレート制御ビット	次の「CCR4~CCR0 (ビットレート制御ビット) (b4~b0)」参照	RW
CCR1			RW
CCR2			RW
CCR3			RW
CCR4			RW
FASTMODE	SCLモード指定ビット	0: 標準クロックモード 1: Fast-mode	RW
ACKBIT	ACKビット	0: ACK応答あり 1: ACK応答なし	RW
ACKCLK	ACKクロックビット	0: ACKクロックなし 1: ACKクロックあり	RW

CCR4~CCR0 (ビットレート制御ビット) (b4~b0)

CCR4~CCR0ビットの設定値をCCR値 (CCR値: 3~31) とすると、ビットレートは次の計算式のとおりです。詳細は「25.3.1.2 ビットレートとデューティ」を参照してください。

標準クロックモードの場合

$$\frac{f_{VIIC}}{8 \times \text{CCR値}} \leq 100\text{kbps}$$

Fast-mode かつ CCR 値が 5 以外の場合

$$\frac{f_{VIIC}}{4 \times \text{CCR値}} \leq 400\text{kbps}$$

Fast-mode かつ CCR 値が 5 の場合

Fast-mode かつ CCR 値が 5 の場合は Fast-mode の最大値 400kbps にする場合を想定しています。

$$\frac{f_{VIIC}}{2 \times \text{CCR値}} = \frac{f_{VIIC}}{10} \leq 400\text{kbps}$$

f_{VIIC} の周波数に関わらず CCR 値を 0~2 にしないでください。

CCR4~CCR0 ビットは S1D0 レジスタの ES0 ビットが “0” (禁止) のときに書き換えてください。

FASTMODE (SCL モード指定ビット) (b5)

Fast-mode I²C-bus 規格 (最高 400kbps) で使用する場合、FASTMODE ビットを“1” (Fast-mode) にしてください。また、fVIIC を 4MHz 以上にしてください。

FASTMODE ビットは S1D0 レジスタの ES0 ビットが“0” (禁止) のときに書き換えてください。

ACKBIT (ACK ビット) (b6)

マスタ受信、スレーブ受信、またはスレーブアドレス受信の場合に有効です。

スレーブアドレス受信の場合、S1D0 レジスタの ALS ビット、ACKBIT ビット、受信したスレーブアドレスの組み合わせで ACK クロック時の SDAMM 端子のレベルが決まります。データ受信時は ACKBIT ビットで ACK クロック時の SDAMM 端子のレベルが決まります。表 25.5 に ACK クロック時の SDAMM 端子のレベルを示します。

表 25.5 ACK クロック時の SDAMM 端子のレベル

受信内容	S1D0 レジスタの ALS ビット	S20 レジスタの ACKBIT ビット	スレーブアドレスの内容	ACK クロック時の SDAMM 端子のレベル
スレーブ アドレス	0	0	S4D0 レジスタの MSLAD ビットが“0”のとき S0D0 レジスタの SAD6~SAD0 ビットと一致 MSLAD ビットが“1”のとき S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットと一致	L (ACK)
			0000000b	L (ACK)
			その他	H (NACK)
	1	1	—	H (NACK)
			0	L (ACK)
			1	H (NACK)
データ	—	0	—	L (ACK)
		1	—	H (NACK)

ACKCLK (ACK クロックビット) (b7)

ACKCLK ビットが“1” (ACK クロックあり) の場合、1 バイトのデータ送受信 (8 クロック) に続いて ACK クロックを発生します。ACKCLK ビットが“0” (ACK クロックなし) の場合、データ送受信 (8 クロック) 後に ACK クロックは発生しません。その場合、データ送受信 (8 クロック) の立ち下がりでは ICIC レジスタの IR ビットが“1” (割り込み要求あり) になります。

ACKCLK ビットは送受信中に書き換えしないでください。

25.2.6 I²C0 スタート/ストップコンディション制御レジスタ (S2D0)

I ² C0 スタート/ストップコンディション制御レジスタ				
		シンボル S2D0	アドレス 02B5h 番地	リセット後の値 0001 1010b
ビットシンボル	ビット名	機能	RW	
SSC0	スタート/ストップ コンディション設定ビット	「SSC4~SSC0 (スタート/ストップコン ディション設定ビット) (b4~b0)」参照	RW	
SSC1			RW	
SSC2			RW	
SSC3			RW	
SSC4			RW	
SIP	SCL/SDA 割り込み端子 極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW	
SIS	SCL/SDA 割り込み端子 選択ビット	0: SDAMM 有効 1: SCLMM 有効	RW	
STSPSEL	スタート/ストップ コンディション発生選択ビッ ト	0: セットアップ/ホールド時間ショート モード 1: セットアップ/ホールド時間ロングモ ード	RW	

SSC4~SSC0 (スタート/ストップコンディション設定ビット) (b4~b0)

標準クロックモード時のスタート/ストップコンディションの検出条件 (SCL 開放時間、セットアップ時間、ホールド時間) を選択するビットです。「25.3.7 スタート/ストップコンディション検出」を参照してください。

SSC4~SSC0 ビットに奇数値または“00000b”を設定しないでください。

SIP (SCL/SDA 割り込み端子極性選択ビット) (b5)

SIS (SCL/SDA 割り込み端子選択ビット) (b6)

SIS ビットで選択した端子の入出力信号の、SIP ビットで選択したエッジを検出すると、SCLDAIC レジスタの IR ビットが“1” (割り込み要求あり) になります。「25.4 割り込み」を参照してください。

STSPSEL (スタート/ストップコンディション発生選択ビット) (b7)

「表 25.13 スタート/ストップコンディション発生のセットアップ/ホールド時間」を参照してください。

f_{VIIC} の周波数が 4MHz を超える場合は、STSPSEL ビットを“1” (ロングモード) にしてください。

25.2.7 I²C0 制御レジスタ 1 (S3D0)

I ² C0 制御レジスタ 1		シンボル S3D0	アドレス 02B6h 番地	リセット後の値 0011 0000b					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名		機 能	RW					
SIM	ストップコンディション 検出割り込み許可ビット		0 : ストップコンディション検出による I ² C-bus 割り込み禁止 1 : ストップコンディション検出による I ² C-bus 割り込み許可	RW					
WIT	データ受信割り込み許可ビッ ト		書き込み時 : 0 : 8クロック目の I ² C-bus 割り込み禁止 1 : 8クロック目の I ² C-bus 割り込み許可 読み出し時 : 内部 WAIT ビット モニタ 0 : ACK クロックの立ち下がりによる I ² C-bus 割り込み 1 : 8クロック目の I ² C-bus 割り込み	RW					
PED	SDAMM/ポート機能切り替え ビット		0 : SDAMM 入出力端子 1 : ポート出力端子	RW					
PEC	SCLMM/ポート機能切り替え ビット		0 : SCLMM 入出力端子 1 : ポート出力端子	RW					
SDAM	内部 SDA 出力 モニタ ビット		0 : 0 出力 1 : 1 出力	RO					
SCLM	内部 SCL 出力 モニタ ビット		0 : 0 出力 1 : 1 出力	RO					
ICK0	I ² C-bus システム クロック 選択ビット		b7 b6 0 0 : fIIC の 2 分周 0 1 : fIIC の 4 分周 1 0 : fIIC の 8 分周 1 1 : 設定しないでください	RW					
ICK1	ICK2 が "000b" のとき有効			RW					

このレジスタに対して、ビット処理命令 (リードモディファイライト命令) を使用しないでください。
MOV 命令を使用して書いてください。

SIM (ストップコンディション検出割り込み許可ビット) (b0)

SIM ビットが "1" (ストップコンディション検出による I²C-bus 割り込み許可) の場合、ストップコン
ディションを検出すると、S4D0 レジスタの SCPIN ビットが "1" (ストップコンディション検出割り込み
要求あり)、IICIC レジスタの IR ビットが "1" (割り込み要求あり) になります。

WIT (データ受信割り込み許可ビット) (b1)

マスタ受信、スレーブ受信の場合に有効です。

WIT ビットは2つの機能を持っています。

- データ受信時の I²C-bus 割り込みタイミングの選択 (書き込み)
- 内部 WAIT フラグの状態のモニタ (読み出し)

次にそれぞれの機能を説明します。

データ受信時、8クロック目 (ACKクロックの前) で I²C-bus 割り込み要求が発生するか、しないかを WIT ビットに書き込む値で選択できます。

S20 レジスタの ACKCLK ビットが“1” (ACKクロックあり) で、WIT ビットに“1” (8クロック目の I²C-bus 割り込み許可) を書いた場合、8クロック目 (ACKクロックの前) で I²C-bus 割り込み要求が発生します。このとき S10 レジスタの PIN ビットが“0” (割り込み要求あり) になります。

S20 レジスタの ACKCLK ビットが“0” (ACKクロックなし) の場合、WIT ビットには“0” (データ受信による I²C-bus 割り込み禁止) を書いてください。

データ送信時とスレーブアドレス受信時は、WIT ビットに書き込む値にかかわらず8クロック目 (ACKクロックの前) では割り込み要求は発生しません。

WIT ビットを読み出すと内部 WAIT フラグの状態を読み出せます。

9クロック目 (ACKクロック) の立ち下がりでは、WIT ビットに書き込んだ値に関係なく I²C-bus 割り込み要求が発生します。この場合も S10 レジスタの PIN ビットが“0” (割り込み要求あり) になります。したがって、8クロック目 (ACKクロックの前) の I²C-bus 割り込み要求か、ACKクロックの立ち下がりの I²C-bus 割り込み要求かを判定する場合は、内部 WAIT フラグの状態で判定してください。

WIT ビットに“1” (データ受信による I²C-bus 割り込み許可) を書き込んだ場合、内部 WAIT フラグは次の条件で変化します。

[0になる条件]

- S20 レジスタ (ACKBIT ビット) への書き込み

[1になる条件]

- データ受信時の S00 レジスタへの書き込み

なお、データ送信時とスレーブアドレス受信時は、WIT ビットに書き込む値にかかわらず、内部 WAIT フラグは“0”で、I²C-bus 割り込み要求は9クロック目 (ACKクロック) の立ち下がり時のみ発生します。

表 25.6 にデータ受信時の割り込み要求発生タイミングと送受信再開の方法を、図 25.4 にデータ受信時の割り込み要求発生タイミングを示します。

表 25.6 データ受信時の割り込み要求発生タイミングと送受信再開の方法

I ² C-bus 割り込み要求発生タイミング	内部 WAIT フラグの状態	送受信再開の方法
8クロック目 (ACKクロックの前) の立ち下がり (注1)	1	S20 レジスタの ACKBIT ビットへの書き込み (注3)
9クロック目 (ACKクロック) の立ち下がり (注2)	0	S00 レジスタへの書き込み

注1. 図 25.4 IICIC レジスタの IR ビット (1) のタイミング

注2. 図 25.4 IICIC レジスタの IR ビット (2) のタイミング

注3. このとき S20 レジスタの ACKBIT ビット以外のビットの値を変更しないでください。
また、S00 レジスタには書き込まないでください。

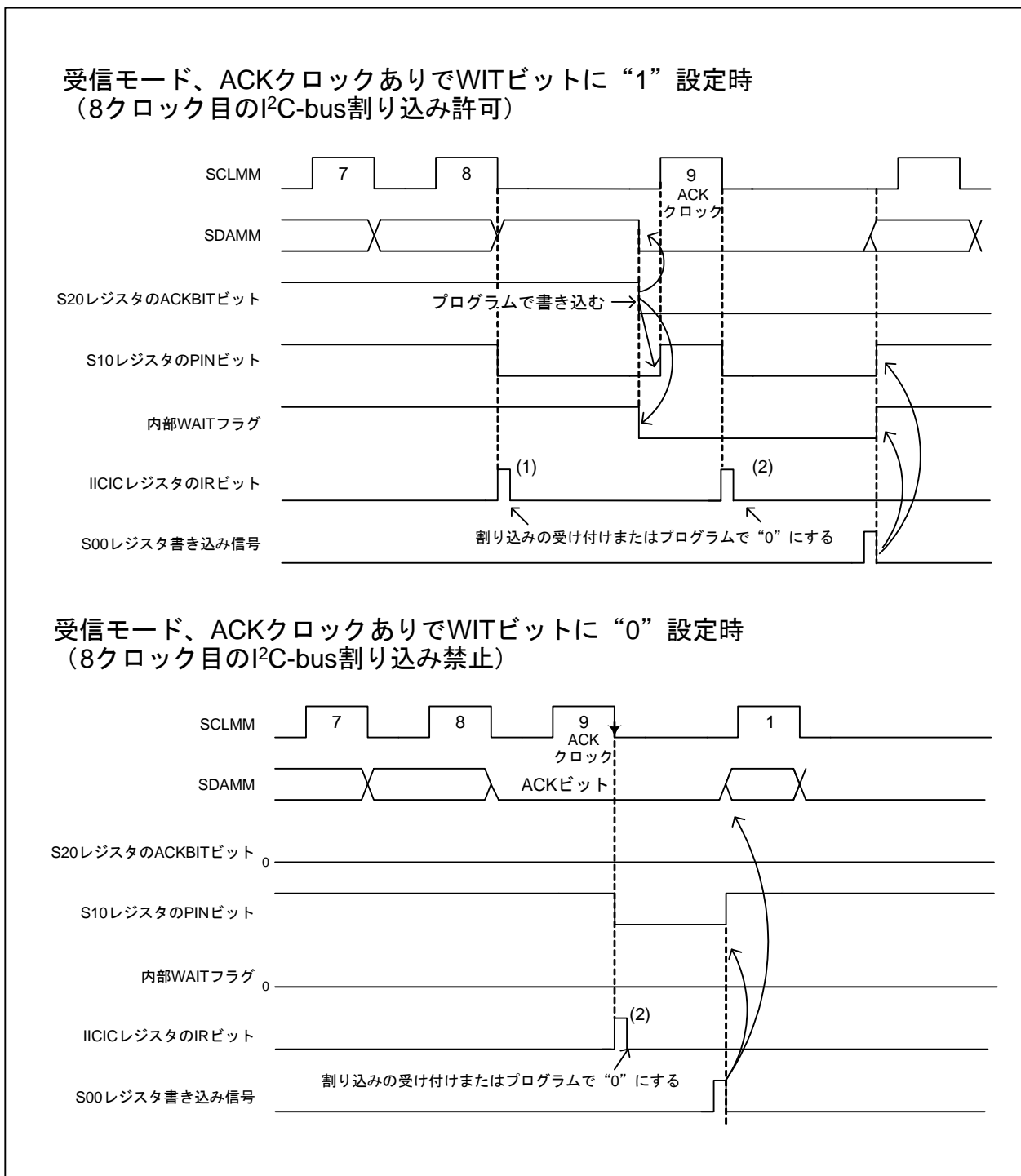


図 25.4 データ受信時の割り込み要求発生タイミング

PED (SDAMM/ポート機能切り替えビット) (b2)

PEC (SCLMM/ポート機能切り替えビット) (b3)

S1D0レジスタのES0ビットが“1” (I²C回路許可) のとき有効です。

PECビットを“1” (出力ポート) にすると、内部SCL出力信号およびPD7_1ビットの値に関係なくSCLMM端子からP7_1ビットの値を出力します。同様にPEDビットを“1”にすると内部SDA出力信号およびPD7_0ビットの値に関係なくSDAMM端子からP7_0ビットの値を出力します。なお、バス上のレベルは内部SDA、内部SCLに入力されます。

また、PD7レジスタのPD7_0、PD7_1ビットを“0” (入力モード) に設定してP7レジスタのP7_0、P7_1ビットを読み出した場合は、PEDビット、PECビットの値に関係なく、バス上のレベルが読めます。表25.7にSCLMM、SDAMM端子の機能を示します。

表 25.7 SCLMM、SDAMM端子の機能

端子	S1D0レジスタのES0ビット	S3D0レジスタ		端子の機能
		PEDビット	PECビット	
P7_1/SCLMM	0	—	—	入出力ポートまたはその他の周辺機能の端子
	1	—	0	SCLMM (SCL入出力)
		—	1	出力ポート (P7_1ビットの値を出力)
P7_0/SDAMM	0	—	—	入出力ポートまたはその他の周辺機能の端子
	1	0	—	SDAMM (SDA入出力)
		1	—	出力ポート (P7_0ビットの値を出力)

—: “0”または“1”

SDAM (内部SDA出力モニタビット) (b4)

SCLM (内部SCL出力モニタビット) (b5)

内部SDA出力信号、内部SCL出力信号は、外部デバイスの出力の影響を受ける前のI²C回路の出力レベルです。SDAM、SCLMビットは読み出し専用ビットです。書くときは“0”を書き込んでください。

ICK1~ICK0 (I²C-bus システムクロック選択ビット) (b7~b6)

ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0” (I²C回路禁止) のとき書き換えてください。

ICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビット、PCLKRレジスタのPCLK0ビットの設定によって、f_{VII}Cを選択します。「25.3.1.2 ビットレートとデューティ」を参照してください。

表 25.8 I²C-bus システムクロック選択ビット

S4D0レジスタ			S3D0レジスタ		f _{VII} C
ICK4ビット	ICK3ビット	ICK2ビット	ICK1ビット	ICK0ビット	
0	0	0	0	0	f _{VII} Cの2分周
0	0	0	0	1	f _{VII} Cの4分周
0	0	0	1	0	f _{VII} Cの8分周
0	0	1	—	—	f _{VII} Cの2.5分周
0	1	0	—	—	f _{VII} Cの3分周
0	1	1	—	—	f _{VII} Cの5分周
1	0	0	—	—	f _{VII} Cの6分周

—: “0”でも“1”でもよい

上記以外の組み合わせは設定しないでください。

25.2.8 I²C0 制御レジスタ 2 (S4D0)

I ² C0 制御レジスタ 2		シンボル S4D0	アドレス 02B7h 番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機 能		RW					
TOE	タイムアウト検出機能許可ビット	0 : 禁止 1 : 許可		RW					
TOF	タイムアウト検出フラグ	0 : 未検出 1 : 検出		RO					
TOSEL	タイムアウト検出時間選択ビット	0 : ロングタイム 1 : ショートタイム		RW					
ICK2	I ² C-bus システムクロック 選択ビット	b5 b4 b3	0 0 0 : S3D0 レジスタの ICK1、 ICK0 ビット有効 0 0 1 : fIIC の 2.5 分周 0 1 0 : fIIC の 3 分周 0 1 1 : fIIC の 5 分周 1 0 0 : fIIC の 6 分周 上記以外は設定しないでください	RW					
ICK3				RW					
ICK4				RW					
MSLAD	スレーブアドレス制御ビット	0 : S0D0 レジスタのみ有効 1 : S0D0 ~ S0D2 レジスタ有効		RW					
SCPIN	ストップコンディション 検出割り込み要求ビット	0 : I ² C-bus 割り込み要求なし 1 : I ² C-bus 割り込み要求あり		RW					

TOE (タイムアウト検出機能許可ビット) (b0)

タイムアウト検出機能を許可するビットです。タイムアウトは「25.3.9 タイムアウト検出」を参照してください。

TOF (タイムアウト検出フラグ) (b1)

TOE ビットが“1”のとき有効です。TOF ビットが“1” (検出) になると、同時に IICIC レジスタの IR ビットが“1” (割り込み要求あり) になります。

[“0”になる条件]

- S1D0 レジスタの ES0 ビットを“0” (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを“1” (I²C 回路リセット) にする

[“1”になる条件]

- S10 レジスタの BB ビットが“1” (バスビジー) のとき、SCLMM 端子のレベルがタイムアウト検出時間以上“H”

TOSEL (タイムアウト検出時間選択ビット) (b2)

TOE ビットが“1” (タイムアウト検出機能許可) のとき有効です。タイムアウト検出時間を選択するビットです。ロングタイムでは内部カウンタを16ビットカウンタとして、またショートタイムでは14ビットカウンタとして、fVIIC をアップカウントします。したがって、タイムアウト検出時間は次のようになります。

TOSEL ビットが“0” (ロングタイム) の場合

$$65536 \times \frac{1}{fVIIC}$$

TOSEL ビットが“1” (ショートタイム) の場合

$$16384 \times \frac{1}{fVIIC}$$

タイムアウト検出時間例を表 25.9 に示します。

表 25.9 タイムアウト検出時間例

fVIIC	タイムアウト検出時間	
	TOSEL ビット: “0” (ロングタイム)	TOSEL ビット: “1” (ショートタイム)
4MHz	16.4ms	4.1ms
2MHz	32.8ms	8.2ms
1MHz	65.6ms	16.4ms

TOE ビットが“0” のときに書き換えてください。

ICK4~ICK2 (I²C-bus システムクロック選択ビット) (b5~b3)

ICK4~ICK2 ビットは、S1D0 レジスタの ES0 ビットが“0” (I²C 回路禁止) のとき書き換えてください。

ICK4~ICK2 ビット、S3D0 レジスタの ICK1~ICK0 ビット、PCLKR レジスタの PCLK0 ビットの設定によって、fVIIC を選択します。「表 25.8 I²C-bus システムクロック選択ビット」、「25.3.1.2 ビットレートとデューティ」を参照してください。

MSLAD (スレーブアドレス制御ビット) (b6)

MSLAD ビットは、S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) のとき有効です。スレーブアドレス一致検出の対象となる S0Di (i=0~2) レジスタを選択するビットです。

SCPIN (ストップコンディション検出割り込み要求ビット) (b7)

SCPIN ビットは S3D0 レジスタの SIM ビットが“1” (ストップコンディション検出による I²C-bus 割り込み許可) の場合、有効です。

〔“0” になる条件〕

- プログラムで“0” を書く

〔“1” になる条件〕

- ストップコンディション検出
(プログラムで“1” を書いても変化しません)

25.2.9 I²C0 ステータスレジスタ 0 (S10)

I ² C0 ステータスレジスタ0		シンボル S10	アドレス 02B8h 番地	リセット後の値 0001 000Xb
ビット シンボル	ビット名	機 能		RW
LRB	最終受信ビット	読み出し時: 0: 最終ビット= 0 1: 最終ビット= 1 書き込み時: 「表 25.10 S10レジスタ書き込みによる機能」参照		RW
ADR0	ジェネラルコール検出フラグ	読み出し時: 0: ジェネラルコール未検出 1: ジェネラルコール検出 書き込み時: 「表 25.10 S10レジスタ書き込みによる機能」参照		RW
AAS	スレーブアドレス比較フラグ	読み出し時: 0: アドレス不一致 1: アドレス一致 書き込み時: 「表 25.10 S10レジスタ書き込みによる機能」参照		RW
AL	アービトラージロスト検出フラグ	読み出し時: 0: 未検出 1: 検出 書き込み時: 「表 25.10 S10レジスタ書き込みによる機能」参照		RW
PIN	I ² C-bus インタフェース 割り込み要求ビット	読み出し時: 0: 割り込み要求あり 1: 割り込み要求なし 書き込み時: 「表 25.10 S10レジスタ書き込みによる機能」参照		RW
BB	バスビジーフラグ	読み出し時: 0: バスフリー 1: バスビジー 書き込み時: 「表 25.10 S10レジスタ書き込みによる機能」参照		RW
TRX	通信モード指定ビット0	0: 受信モード 1: 送信モード		RW
MST	通信モード指定ビット1	0: スレーブモード 1: マスタモード		RW

このレジスタに対して、ビット処理命令（リードモディファイライト命令）を使用しないでください。MOV 命令を使用して書いてください。

S10 レジスタの下位 6 ビットは I²C 回路の状態をモニタするビットです。プログラムで値を変更することはできません。ただし、下位 6 ビットを含む S10 レジスタへの書き込みは、スタートコンディション、またはストップコンディションを発生させる際に使用します。

MST、TRX ビットは読み出し、書き込みが可能です。スタート/ストップコンディションを発生させないで、MST ビットまたは TRX ビットを変更する場合、S10 レジスタの下位 4 ビットに書く値は“1111b”にしてください。

表 25.10 に S10 レジスタ書き込みによる機能を示します。表 25.10 に示した値以外の値を S10 レジスタに書き込まないでください。表 25.10 に示す値を S10 レジスタに書き込んだ場合、S10 レジスタの下位 6 ビットは変化しません。

表 25.10 S10 レジスタ書き込みによる機能

S10 レジスタ各ビットの書き込み値								機能
MST	TRX	BB	PIN	AL	AAS	ADR0	LRB	
1	1	1	0	0	0	0	0	マスタ送受信モード時、スタートコンディションスタンバイ状態にする
1	1	0	0	0	0	0	0	マスタ送受信モード時、ストップコンディションスタンバイ状態にする
0	0	—	0	1	1	1	1	スレーブ受信モード
0	1	—	0	1	1	1	1	スレーブ送信モード
1	0	—	0	1	1	1	1	マスタ受信モード
1	1	—	0	1	1	1	1	マスタ送信モード

—: 0でも1でもよい

スタートコンディション、ストップコンディション発生は「25.3.2 スタートコンディション発生方法」、「25.3.3 ストップコンディション発生方法」を参照してください。

LRB (最終受信ビット) (b0)

読み出し時の機能を説明します。書き込み時の機能は「表 25.10 S10 レジスタ書き込みによる機能」を参照してください。

受信した最終ビットの値を格納するビットです。受信したデータの ACK 確認に使用できます。S00 レジスタへの書き込みで“0”になります。

ADR0 (ジェネラルコール検出フラグ) (b1)

読み出し時の機能を説明します。書き込み時の機能は「表 25.10 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- ストップコンディションの検出
- スタートコンディションの検出
- S1D0 レジスタの ES0 ビットを“0” (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを“1” (I²C 回路リセット) にする

["1" になる条件]

- スレーブモード時、S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) で、受信したスレーブアドレスが“0000000b” (ジェネラルコール)

AAS (スレーブアドレス比較フラグ) (b2)

読み出し時の機能を説明します。書き込み時の機能は「表 25.10 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- S00 レジスタへの書き込み
- S1D0 レジスタの ES0 ビットを“0” (I²C回路禁止) にする
- S1D0 レジスタの IHR ビットを“1” (I²C回路リセット) にする

["1" になる条件]

- スレーブ受信モード時、S4D0 レジスタの MSLAD ビットが“1”かつ S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) で、受信スレーブアドレスが S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットと一致
- スレーブ受信モード時、MSLAD ビットが“0”かつ S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) で、受信スレーブアドレスが S0D0 レジスタの SAD6~SAD0 ビットと一致
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) で、受信したスレーブアドレスが“0000000b” (ジェネラルコール)

AL (アービトレーションロスト検出フラグ) (b3)

読み出し時の機能を説明します。書き込み時の機能は「表 25.10 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- S00 レジスタへの書き込み
- S1D0 レジスタの ES0 ビットを“0” (I²C回路禁止) にする
- S1D0 レジスタの IHR ビットを“1” (I²C回路リセット) にする

["1" になる条件]

- マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出時、ACK クロック以外で SDAMM 端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードでデータ送信時、ACK クロック以外で SDAMM 端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードまたはマスタ受信モードでスタートコンディション送出時、SDAMM 端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードまたはマスタ受信モードでストップコンディション送出時、SDAMM 端子のレベルが外部デバイスによって“L”になった
- スタートコンディション重複防止機能が動作した

PIN (I²C-bus インタフェース 割り込み要求ビット) (b4)

読み出し時の機能を説明します。書き込み時の機能は「表 25.10 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- マスタモード時、スレーブアドレス送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ受信完了 (S20 レジスタの ACKCLK ビットが "0" の場合、8クロック目の立ち下がリエッジ検出。ACKCLK ビットが "1" の場合 ACK クロックの立ち下がリエッジ検出)
- S3D0 レジスタの WIT ビットが "1" (8クロック目の I²C-bus 割り込み許可) で、1バイトのデータ受信 (ACK クロックの前)
- スレーブ受信モード時、S4D0 レジスタの MSLAD ビットが "1" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、MSLAD ビットが "0" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0 レジスタの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが "0000000b" (ジェネラルコール)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "1" (フリーデータフォーマット) で、スレーブアドレス受信完了

["1" になる条件]

- S00 レジスタへの書き込み
- S20 レジスタへの書き込み (WIT ビットが "1" で、内部 WAIT フラグが "1" の場合)
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

PIN ビットが "0" (I²C-bus 割り込み要求あり) になると同時に IICIC レジスタの IR ビットが "1" (割り込み要求あり) になります。PIN ビットが "0" のとき、SCLMM 端子から "L" を出力します。

ただし、以下のすべての条件を満たすとき、SCLMM 端子から "L" を出力しません。

- マスタモード時、スレーブアドレスもしくはデータでアービトレーションロストを検出する
- S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット)
- スレーブアドレスが "0000000b" (ジェネラルコール) でなく、また、どの S0D0~S0D2 レジスタの SAD6~SAD0 ビットとも一致しない場合

BB (バスビジーフラグ) (b5)

読み出し時の機能を説明します。書き込み時の機能は「表 25.10 S10 レジスタ書き込みによる機能」を参照してください。

バスシステムの使用状態を示すビットです。マスタモード、スレーブモードにかかわらず BB フラグは SCLMM、SDAMM 入力信号をもとに変化します。

["0" になる条件]

- ストップコンディションの検出
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

["1" になる条件]

- スタートコンディションの検出

TRX (通信モード指定ビット0) (b6)

送信モードまたは受信モードを選択するビットです。

["0"]になる条件]

- プログラムでTRXビットに“0”を書く
- アービトレーションロスト検出
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S10レジスタのMSTビットが“0” (スレーブモード) でスタートコンディション検出
- S10レジスタのMSTビットが“0” (スレーブモード) でACK応答なしを検出
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

["1"]になる条件]

- プログラムでTRXビットに“1”を書く
- スレーブモード時、S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) でスレーブアドレス受信後にS10レジスタのAASビットが“1” (アドレス一致) になり、かつ受信したR/Wビットが“1”

MST (通信モード指定ビット1) (b7)

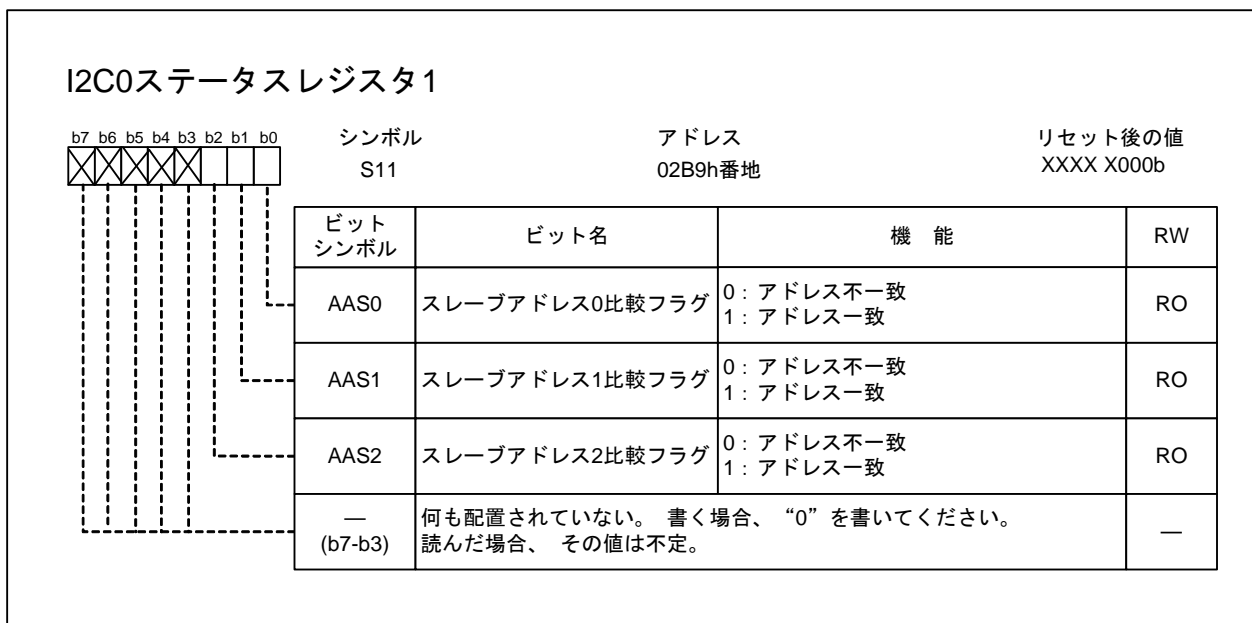
マスタモードまたはスレーブモードを選択するビットです。

["0"]になる条件]

- プログラムでMSTビットに“0”を書く
- アービトレーションロストを検出した場合、アービトレーションを失った1バイトデータの送受信完了
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

["1"]になる条件]

- プログラムでMSTビットに“1”を書く

25.2.10 I²C0 ステータスレジスタ 1 (S11)

AAS0 (スレーブアドレス0比較フラグ) (b0)

AAS1 (スレーブアドレス1比較フラグ) (b1)

AAS2 (スレーブアドレス2比較フラグ) (b2)

S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、受信したスレーブアドレスと、S0Diレジスタ(i=0~2)のSAD6~SAD0ビットの値を比較し、その結果をAASiビットに示します。AASiビットは、アドレス一致またはジェネラルコールの場合“1”になります。

S4D0レジスタのMSLADビットが“0”(S0D0レジスタのみ有効)のとき、AAS0ビットが有効になります。MSLADビットが“1”(S0D0~S0D2レジスタ有効)のとき、AAS2~AAS0ビットが有効となります。AAS2~AAS0ビットは次のとき“0”になります。

- S1D0レジスタのESOビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする
- S00レジスタへの書き込み

25.3 動作説明

25.3.1 クロック

図 25.5 に I²C 回路のクロックを示します。

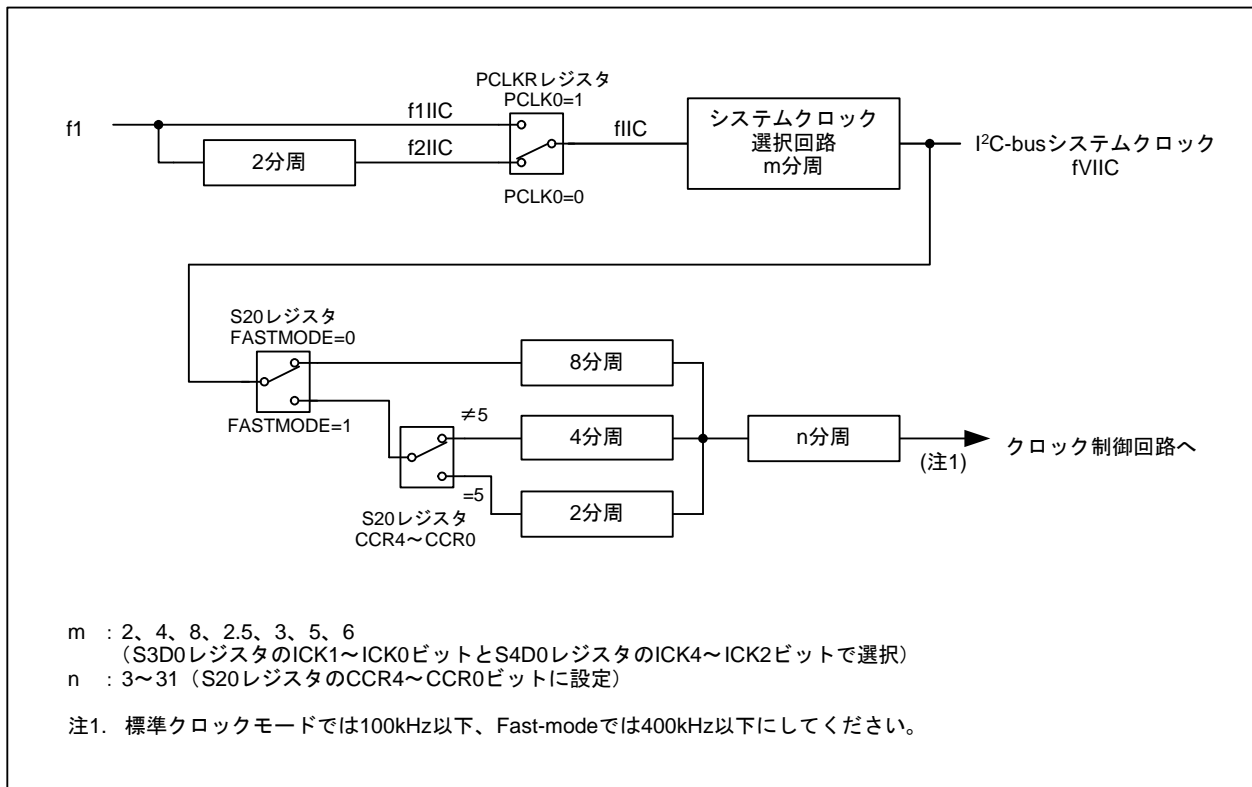


図 25.5 I²C 回路のクロック

25.3.1.1 fVIIC

fVIICは周辺機能クロック f_1 の周波数、PCLKR レジスタのPCLK0ビット、S3D0レジスタのICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビットの組み合わせで決まります。fVIICはS1D0レジスタのES0ビットが“0” (I²C回路禁止) のときは停止します。

「表 25.8 I²C-bus システムクロック選択ビット」を参照してください。

25.3.1.2 ビットレートとデューティ

ビットレートは fVIIC と、S20 レジスタの CCR4~CCR0 ビット、FASTMODE ビットの組み合わせで決まります。

表 25.11 に内部 SCL 出力のビットレートとデューティを示します。内部 SCL 出力の“H”の期間の変動が負値の場合、“H”の期間が短くなった分、“L”の期間が延びますのでビットレートが上がることはありません。なお、これらは外部デバイスの SCL 出力の影響を受ける前の内部 SCL 出力です。

表 25.11 内部 SCL 出力のビットレートとデューティ

項目	標準クロックモード (FASTMODE=0)	Fast-mode (FASTMODE=1) CCR 値が“5”以外	Fast-mode (FASTMODE=1) CCR 値が“5”
ビットレート (単位: bps)	$\frac{fVIIC}{8 \times CCR \text{ 値}}$	$\frac{fVIIC}{4 \times CCR \text{ 値}}$	$\frac{fVIIC}{2 \times CCR \text{ 値}} = \frac{fVIIC}{10}$
デューティ	50% “H”の期間の変動: fVIIC の +2 ~ -4 サイクル	50% “H”の期間の変動: fVIIC の +2 ~ -2 サイクル	35~45%

CCR 値: CCR4~CCR0 ビットの設定値

Fast-mode かつ CCR4~CCR0 ビットの設定値 (CCR 値) が“5 (00101b)”の場合は、ビットレートを Fast-mode の最大値 400kbps にする場合を想定しています。そのため、ビットレートやデューティは次のようになります。

- ビットレートは

$$\frac{fVIIC}{2 \times CCR \text{ 値}} = \frac{fVIIC}{10}$$

fVIIC が 4MHz の場合、ビットレートは 400kbps

- デューティは 35~45%

ビットレートが 400kbps の場合も、SCLMM の“L”期間最小 1.3μs (I²C-bus 規格値) を確保します。

表 25.12 に fVIIC が 4MHz の場合の CCR4~CCR0 ビットの設定値とビットレートの例を示します。

表 25.12 fVIIC が 4MHz の場合の CCR4~CCR0 ビットの設定値とビットレートの例

S20 レジスタの CCR4~CCR0 ビット					ビットレート (単位: kbps)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード	Fast-mode
0	0	0	0	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	0	1	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	1	設定しないでください(注2)	333
0	0	1	0	0	設定しないでください(注2)	250
0	0	1	0	1	100	400
0	0	1	1	0	83.3	166
:	:	:	:	:	(中略)	(中略)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. CCR4~CCR0 ビット値は fVIIC の周波数に関わらず 0~2 にしないでください。

注2. ビットレートが、標準クロックモードで 100kbps、Fast-mode で 400kbps を超えるような値は設定しないでください。

25.3.1.3 ウェイトモード、ストップモードでのスレーブアドレス受信

CM0レジスタのCM02ビットで“0”（ウェイトモード時、周辺機能クロックf1を停止しない）を選択してウェイトモードに遷移した場合、ウェイトモード中も、I²C回路はスレーブアドレス受信が可能です。

CM0レジスタのCM02ビットで“1”（ウェイトモード時、周辺機能クロックf1を停止する）を選択してウェイトモードに遷移した場合、ストップモード時、または低消費電力モード時はfVIICが供給されないため、I²C回路は動作しません。SCL/SDA割り込みは、ウェイトモード、ストップモードでも使用可能です。

25.3.2 スタートコンディション発生方法

S1D0レジスタのES0ビットが“1”（I²C回路許可）、S10レジスタのBBビットが“0”（バスフリー）の状態、次の手順を実行してください。図 25.6にスタートコンディション発生手順を示します。

(1) S10レジスタに“E0h”を書き込む

スタートコンディションスタンバイ状態になり、SDAMM端子を開放します。

(2) S00レジスタにスレーブアドレスを書き込む

スタートコンディションが発生します。その後、ビットカウンタが“000b”になり1バイト分のSCLクロックが出力され、スレーブアドレスを送信します。

なお、ストップコンディションを発生し、BBビットが“0”（バスフリー）になってからfVIICの1.5サイクル間は、S10レジスタに値を書き込めず、その後、S00レジスタに書き込んででもスタートコンディションは発生しません。BBビットが“1”から“0”に変化した後すぐにスタートコンディション発生の手順を行う場合は、(1)の後にTRXビットおよびMSTビットがともに“1”になっている事を確認後、(2)を実行してください。

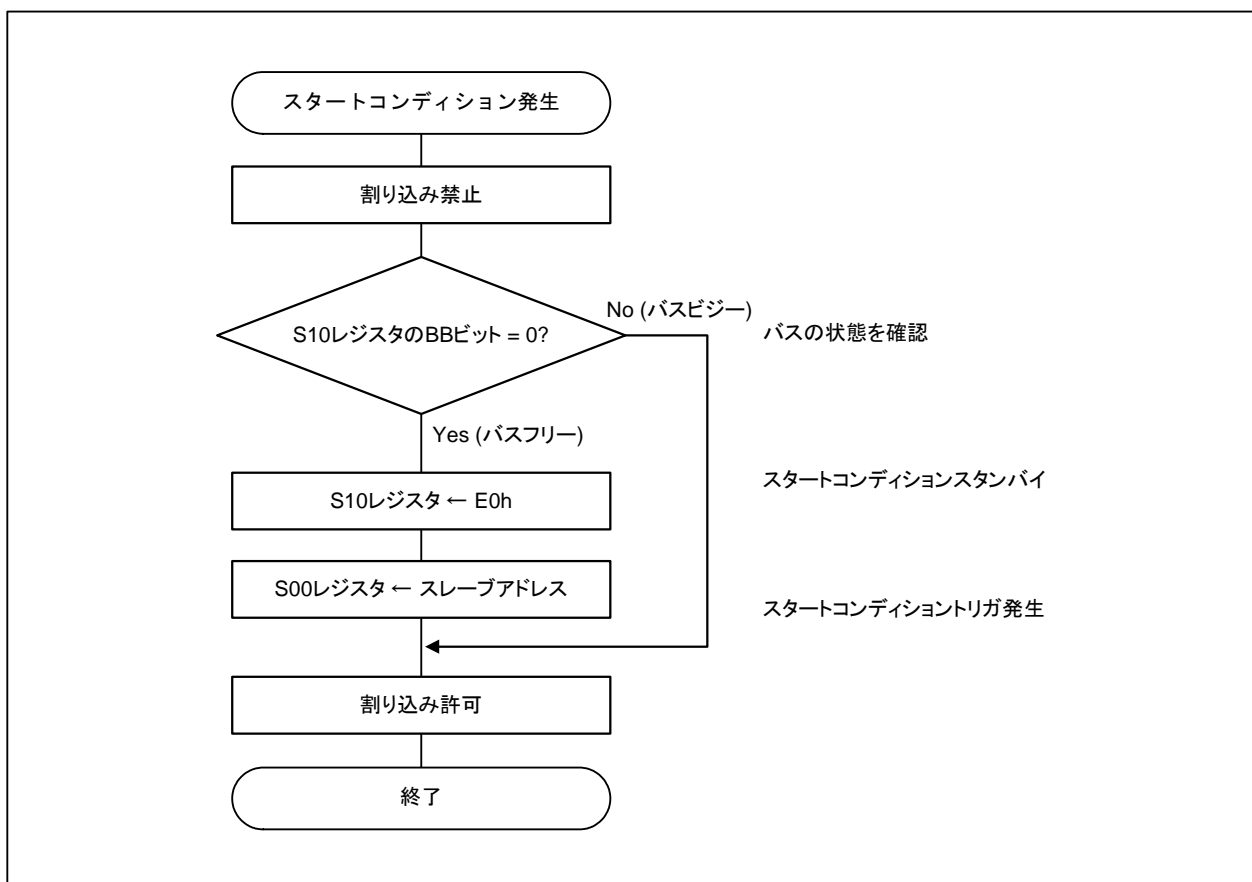


図 25.6 スタートコンディション発生手順

スタートコンディションの発生タイミングは、標準クロックモードと Fast-mode で異なります。図 25.7 にスタートコンディション発生タイミングを示します。

表 25.13 にスタート/ストップコンディション発生のセットアップ/ホールド時間を示します。

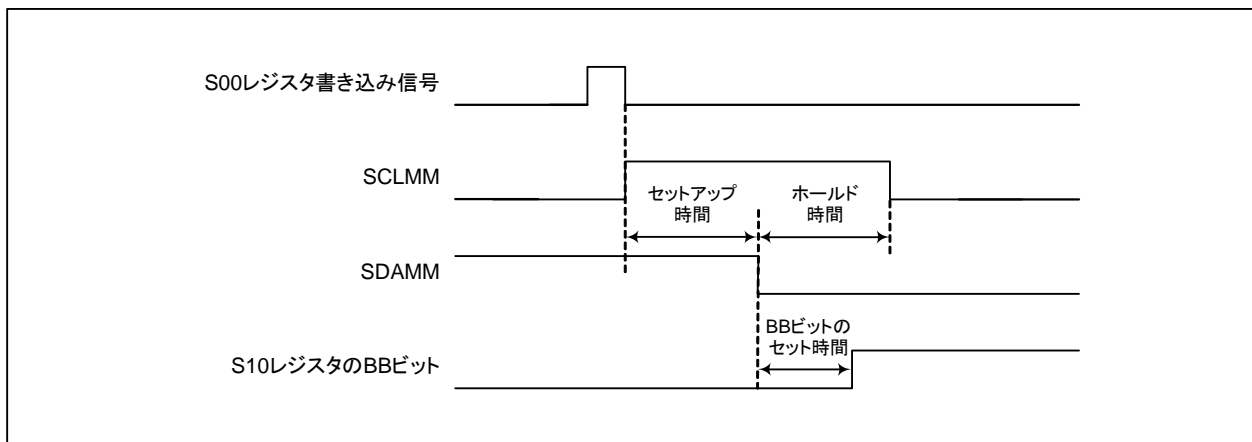


図 25.7 スタートコンディション発生タイミング

表 25.13 スタート/ストップコンディション発生のセットアップ/ホールド時間

項目	STSPSEL ビット	標準クロックモード		Fast-mode	
		fVIIC の サイクル数	fVIIC=4MHz の場合	fVIIC の サイクル数	fVIIC=4MHz の場合
セットアップ時間	0 (ショートモード)	20	5.0µs	10	2.5µs
	1 (ロングモード)	52	13.0µs	26	6.5µs
ホールド時間	0 (ショートモード)	20	5.0µs	10	2.5µs
	1 (ロングモード)	52	13.0µs	26	6.5µs
BB ビットセット/ リセット時間	—	$\frac{SSC \text{値} - 1}{2} + 2$	3.375µs (注1)	3.5	0.875µs

—: 0でも1でもよい

STSPSEL: S2D0レジスタのビット

SSC 値: S2D0レジスタのSSC4~SSC0ビットの値

注1. SSC4~SSC0ビットが“11000b”の例

25.3.3 ストップコンディション発生方法

S1D0レジスタのES0ビットが“1” (I²C回路許可) の状態で、次の手順を実行してください。

- (1) S10レジスタの“C0h”を書き込む
ストップコンディションスタンバイ状態になり、SDAMM端子を“L”にします。
- (2) S00レジスタにダミーデータを書き込む
ストップコンディションが発生します。

ストップコンディションの発生タイミングは、標準クロックモードと Fast-mode で異なります。図 25.8 にストップコンディション発生タイミングを示します。セットアップ/ホールド時間は「表 25.13 スタート/ストップコンディション発生時のセットアップ/ホールド時間」を参照してください。

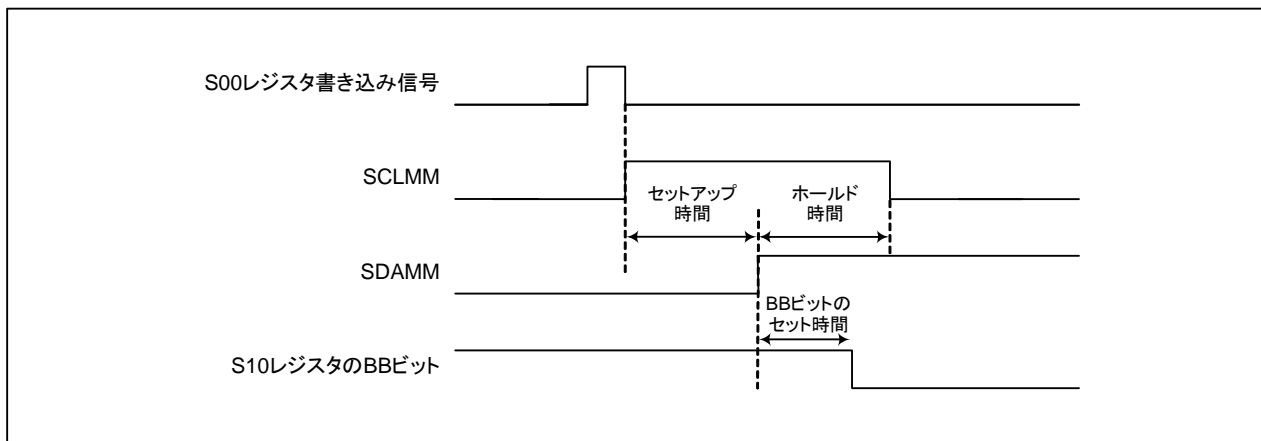


図 25.8 ストップコンディション発生タイミング

なお、ストップコンディションを発生させる命令 (上記(2)を参照) を実行した後、S10レジスタのBBビットが“0” (バスフリー) になるまでの間、S10レジスタまたはS00レジスタに書き込みを行わないでください。

また、ストップコンディションを発生させる命令を実行し、SCLMM端子のレベルが“H”になった後、S10レジスタのBBビットが“0” (バスフリー) になるまでの間に、SCLMM端子の入力信号が“L”になると、内部SCL出力を“L”にします。この場合、以下のいずれかの処理を行うとSCLMM端子の“L”出力を停止 (SCLMM端子を開放) します。

- ストップコンディションの発生 (前述の(1)(2)の手順を実行)
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- IHRビットを“1” (I²C回路リセット) にする

25.3.4 リスタートコンディションの発生

1バイトのデータ送受信後にリスタートコンディションを発生させる場合は、次の手順を実行してください。

- (1) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態。SDAMM端子開放)
- (2) SDAMM端子が“H”になるまで待つ
- (3) S00レジスタにスレーブアドレスを書き込む(スタートコンディショントリガ発生)

図 25.9にリスタートコンディション発生タイミングを示します。

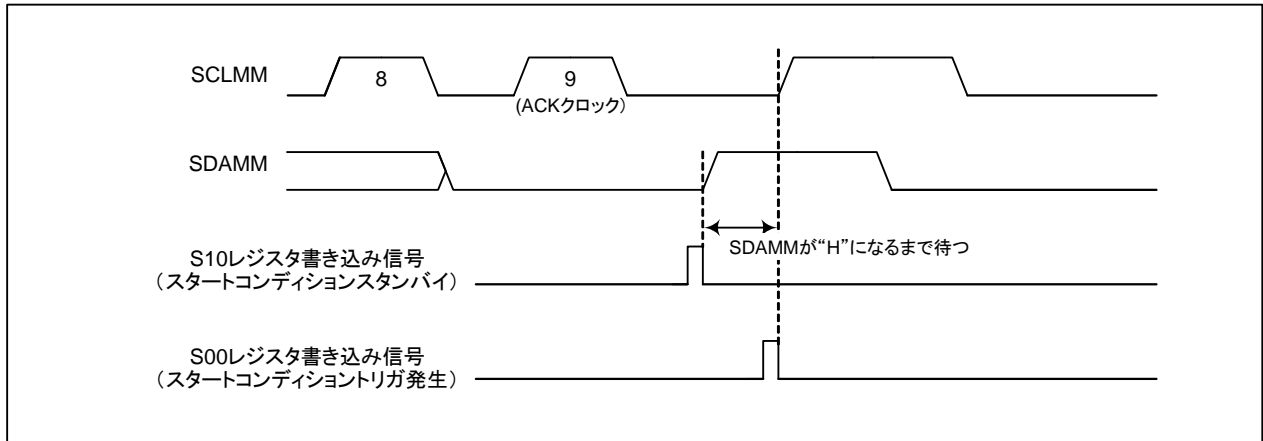


図 25.9 リスタートコンディション発生タイミング

25.3.5 スタートコンディション重複防止機能

スタートコンディション生成時は、プログラムで S10 レジスタの BB ビットでバスが使用されていないことを確認した後に、プログラムで S10 レジスタ、S00 レジスタに書き込むと、I²C 回路がスタートコンディションを発生します。しかし、BB ビットの確認後、S10 レジスタ、S00 レジスタに書き込む前に別のマスタデバイスがスタートコンディションを生成する可能性があります。この場合、I²C 回路がスタートコンディションを検出すると BB ビットが“1” (バスビジー) になり、スタートコンディション重複防止機能が動作します。

スタートコンディション重複防止機能の動作は次のとおりです。

- S10 レジスタに“E0h”を書いても、スタートコンディションスタンバイ状態にならない
- スタートコンディションスタンバイ状態になっていた場合は、状態を解除する
- プログラムで S00 レジスタに書き込んでも、スタートコンディショントリガは発生しない
- S10 レジスタの MST、TRX ビットが“0” (スレーブ受信モード) になる
- S10 レジスタの AL ビットが“1” (アービトレーションロスト検出) になる

図 25.10 にスタートコンディション重複防止機能動作例を示します。

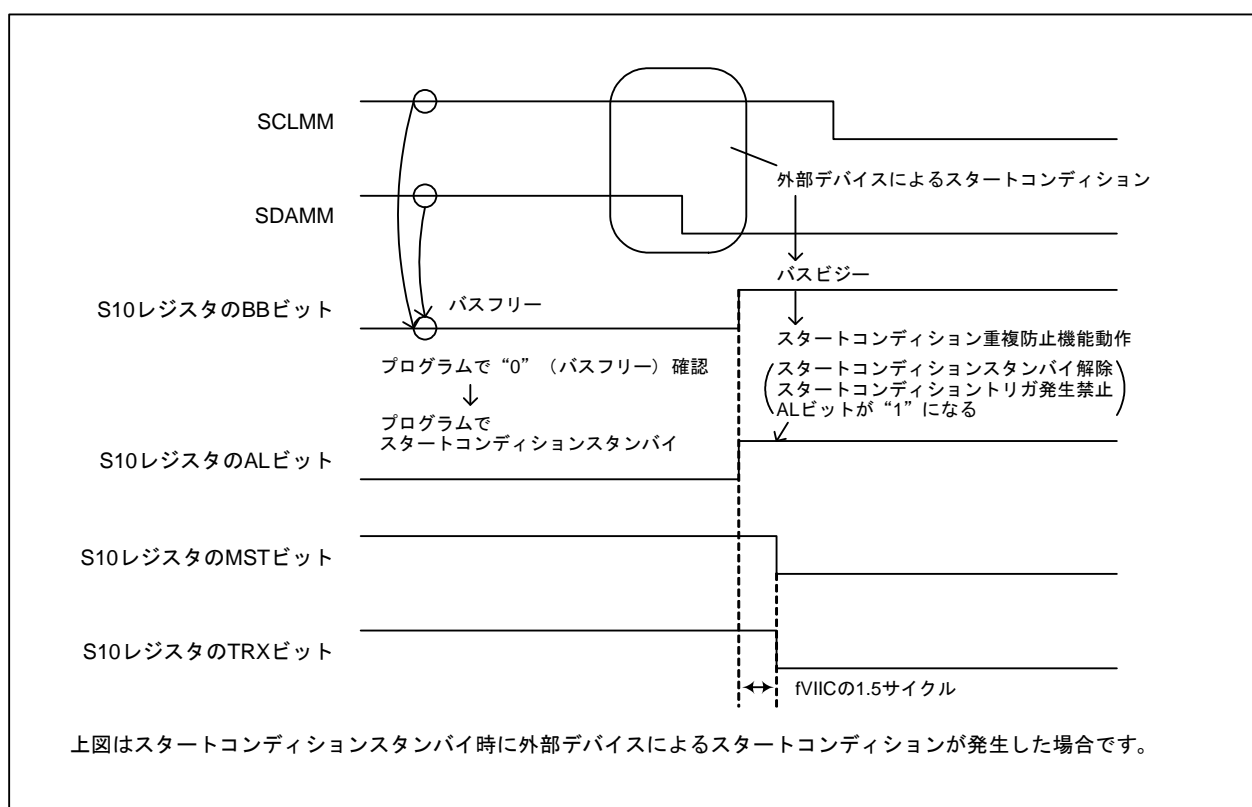


図 25.10 スタートコンディション重複防止機能動作例

スタートコンディション重複防止機能の有効期間は、スタートコンディションの SDAMM 立ち下がりからスレーブアドレスの受信完了までです。すなわち、この期間に S10 レジスタ、S00 レジスタに書き込むと前述の動作をします。図 25.11 にスタートコンディション重複防止機能有効期間を示します。

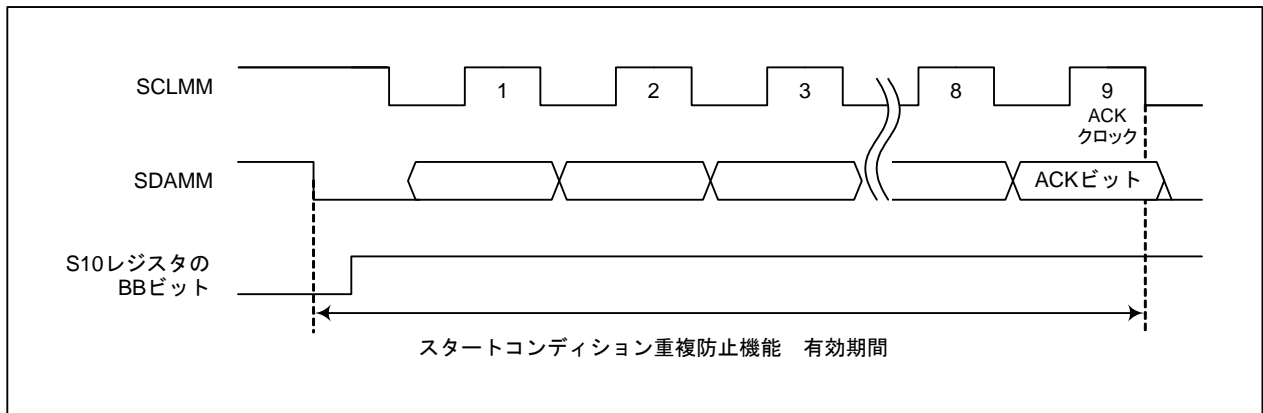


図 25.11 スタートコンディション重複防止機能有効期間

25.3.6 アービトレーションロスト

I²C回路は、次の(a)~(c)の条件をすべて満たす場合に、外部デバイスによってSDAMM端子のレベルが“L”になった、すなわちアービトレーションロストと判定します。

(a) 通信状態: 次のいずれか

- ・マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出(ACKクロック以外)
- ・マスタ送信モードでデータ送信(ACKクロック以外)
- ・マスタ送信モードまたはマスタ受信モードでスタートコンディション送出
- ・マスタ送信モードまたはマスタ受信モードでストップコンディション送出

(b) 内部SDA出力: H

(c) SDAMM端子のレベル: L (SCLMM端子のクロックの立ち上がりエッジでサンプリング)

図 25.12 にアービトレーションロスト検出時の動作例を示します。

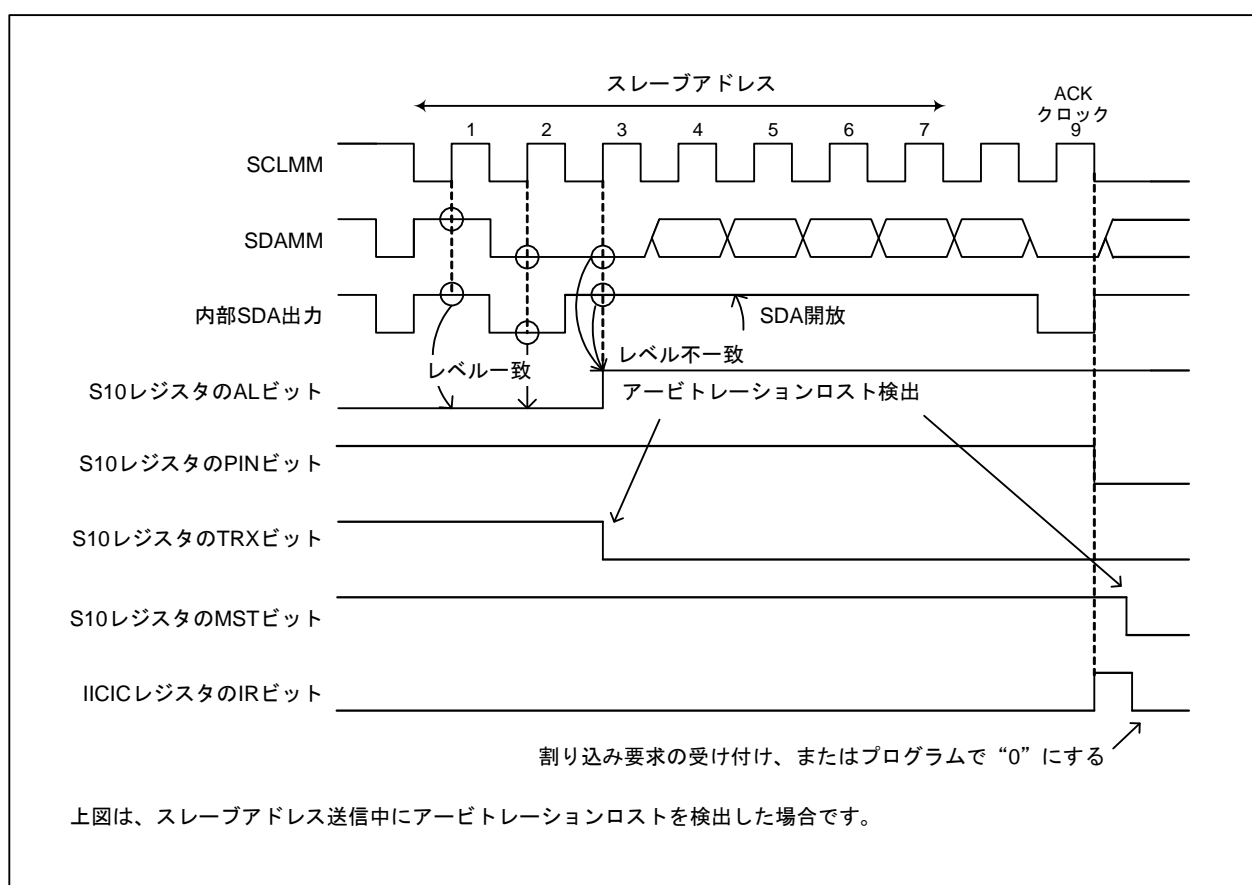


図 25.12 アービトレーションロスト検出時の動作例

アービトレーションロストを検出すると、次のようになります。

- ・S10レジスタのALビット: “1” (アービトレーションロスト検出)
- ・内部SDA出力: “H” (SDAMM開放)
- ・スレーブ受信モードになる
 - S10レジスタのTRXビット: “0” (受信モード)
 - S10レジスタのMSTビット: “0” (スレーブモード)

アービトレーションロスト検出後、ALビットを“0”に戻す場合は、S00レジスタに値を書き込んでください。

スレーブアドレス送信中にアービトレーションロストを検出した場合、自動でスレーブ受信モードになるので、スレーブアドレスを受信できます。S1D0レジスタのALSビットが“0”（アドレッシングフォーマット）の場合、スレーブアドレス比較結果はS10レジスタのADR0ビット、AASビットで分かります。データ送信中にアービトレーションロストを検出した場合も、自動でスレーブ受信モードになるので、データを受信できます。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”（リード）の場合も、TRXビットが“0”（受信モード）になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”（スレーブ送信モード）を書いてから、スレーブ送信してください。

25.3.7 スタート/ストップコンディション検出

図 25.13 にスタートコンディション検出、図 25.14 にストップコンディション検出、表 25.14 にスタート/ストップコンディション検出条件を示します。

スタート/ストップコンディションはS2D0レジスタのSSC4~SSC0ビットにより条件が設定され、SCLMM端子、SDAMM端子の入力信号が、表 25.14 のSCLMM開放時間、セットアップ時間、ホールド時間の3つの条件を満たす場合のみ検出できます。

S10レジスタのBBビットは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBビットのセット/リセットタイミングは標準クロックモードとFast-modeで異なります。表 25.15 のBBビットセット/リセット時間を参照してください。

表 25.15 に標準クロックモードでのSSC4~SSC0ビットの推奨値を示します。

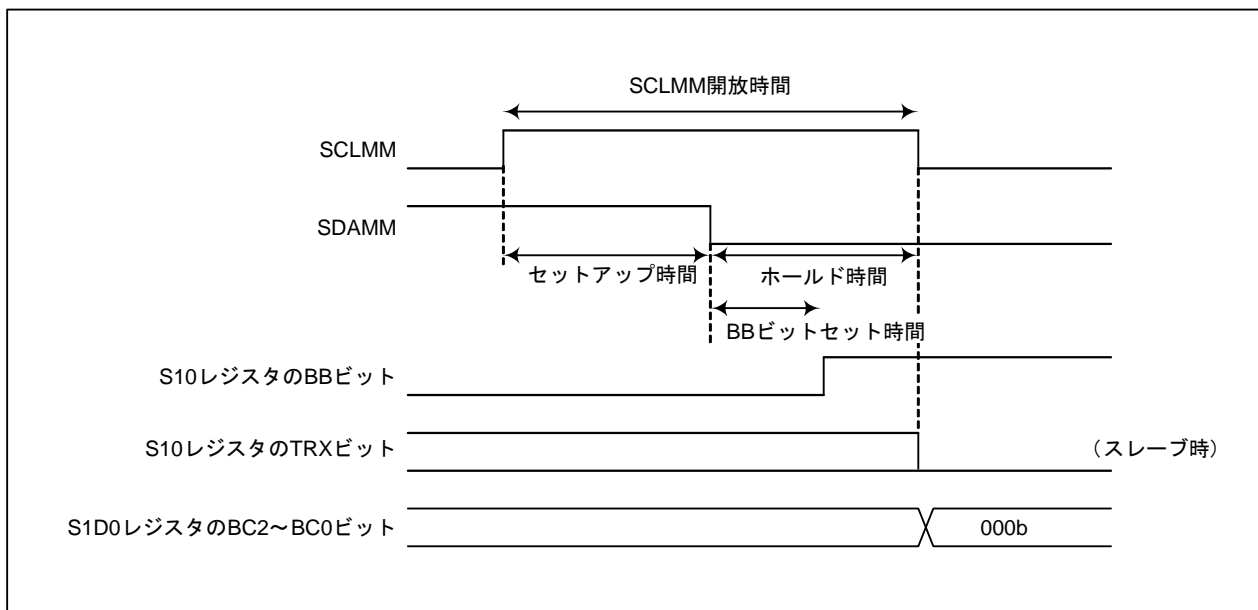


図 25.13 スタートコンディション検出

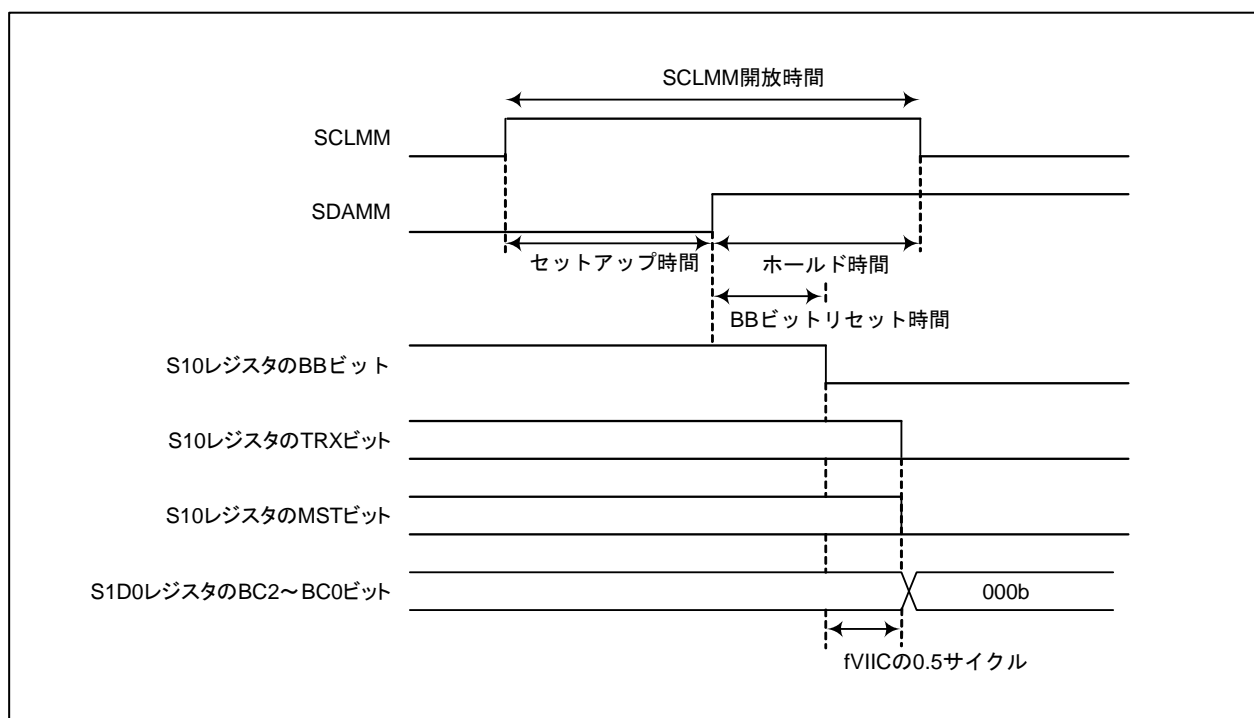


図 25.14 ストップコンディション検出

表 25.14 スタート/ストップコンディション検出条件

	標準クロックモード	Fast-mode
SCLMM 開放時間	SSC 値 + 1 サイクル	4 サイクル
セットアップ時間	$\frac{\text{SSC 値}}{2} + 1$ サイクル	2 サイクル
ホールド時間	$\frac{\text{SSC 値}}{2}$ サイクル	2 サイクル
BB ビットセット/ リセット時間	$\frac{\text{SSC 値} - 1}{2} + 2$ サイクル	3.5 サイクル

単位: fVIIC のサイクル数

SSC 値: S2D0 レジスタの SSC4~SSC0 ビットの値

表 25.15 標準クロックモードでの SSC4~SSC0 ビットの推奨値

fVIIC	SSC 値 (推奨値)	スタート/ストップコンディションの検出条件			BB ビットセット/ リセット時間
		SCLMM 開放時間	セットアップ時間	ホールド時間	
5MHz	11110b	6.2μs (31)	3.2μs (16)	3.0μs (15)	3.3μs (16.5)
4MHz	11010b	6.75μs (27)	3.5μs (14)	3.25μs (13)	3.625μs (14.5)
	11000b	6.25μs (25)	3.25μs (13)	3.0μs (12)	3.375μs (13.5)
2MHz	01100b	6.5μs (13)	3.5μs (7)	3.0μs (6)	3.75μs (7.5)
	01010b	5.5μs (11)	3.0μs (6)	2.5μs (5)	3.25μs (6.5)
1MHz	00100b	5.0μs (5)	3.0μs (3)	2.0μs (2)	3.5μs (3.5)

SSC 値: S2D0 レジスタの SSC4~SSC0 ビットの値

()内は fVIIC のサイクル数

25.3.8 スレーブアドレス/データ送受信完了時の動作

スレーブアドレス送受信または1バイトのデータ送受信が終わると、ACKクロックの立ち下がり
 S10レジスタのPINビットが“0”(割り込み要求あり)になり、同時にIICICレジスタのIRビットが“1”
 (割り込み要求あり)になります。また、送受信データの状態やSCLMM、SDAMM端子の状態によって
 S10レジスタなどが変化します。図 25.15にスレーブアドレス/データ送受信完了時の動作を示します。

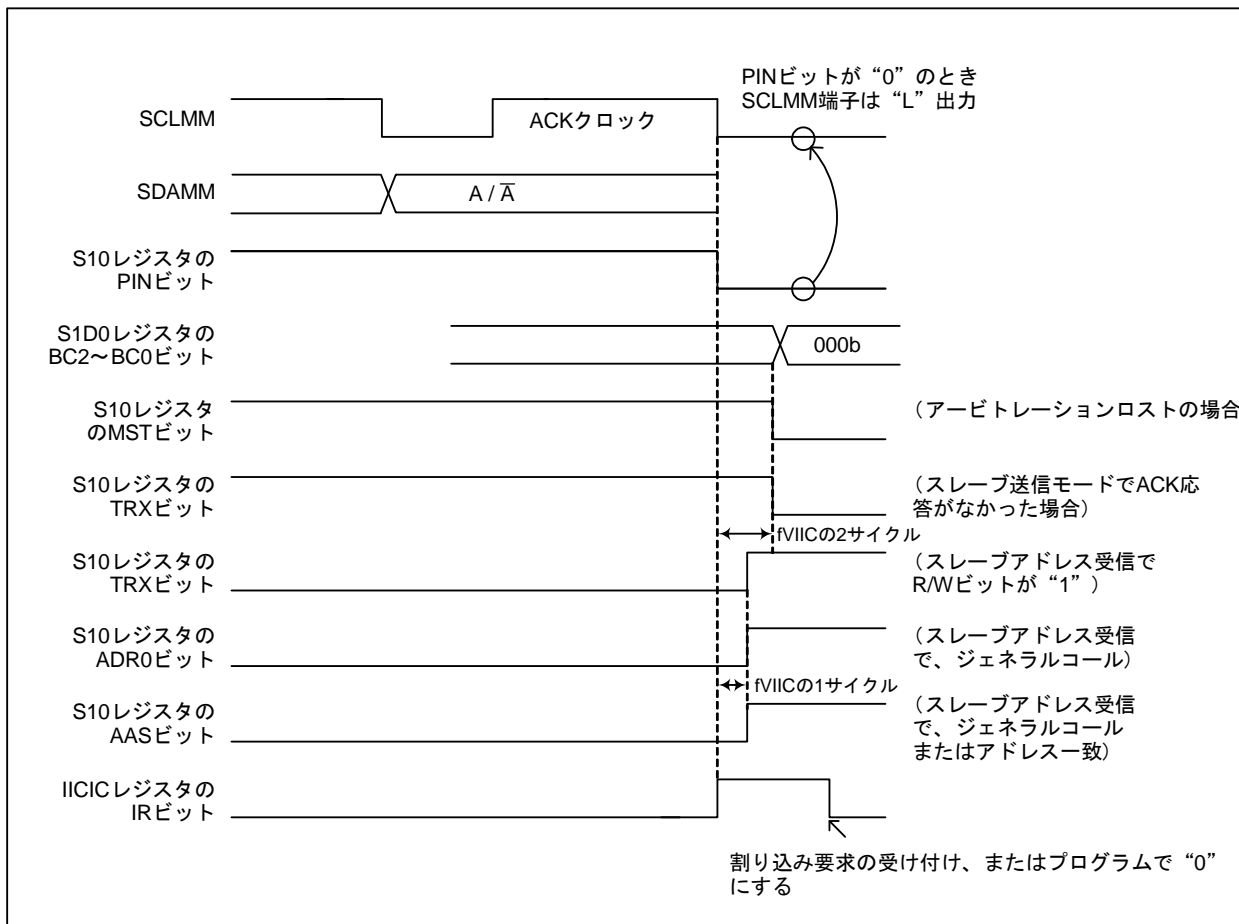


図 25.15 スレーブアドレス/データ送受信完了時の動作

25.3.9 タイムアウト検出

送受信中に SCL クロックが停止すると、各デバイスは通信状態のままで停止してしまいます。それを回避するため、I²C 回路は送受信中に SCLMM 端子のレベルが“H”で一定期間以上停止したときにタイムアウトを検出して I²C-bus 割り込み要求を発生させる機能を備えています。図 25.16 にタイムアウト検出タイミングを示します。タイムアウト検出時間は「25.2.8 I²C0 制御レジスタ 2 (S4D0) の TOSEL (タイムアウト検出時間選択ビット) (b2)」を参照してください。

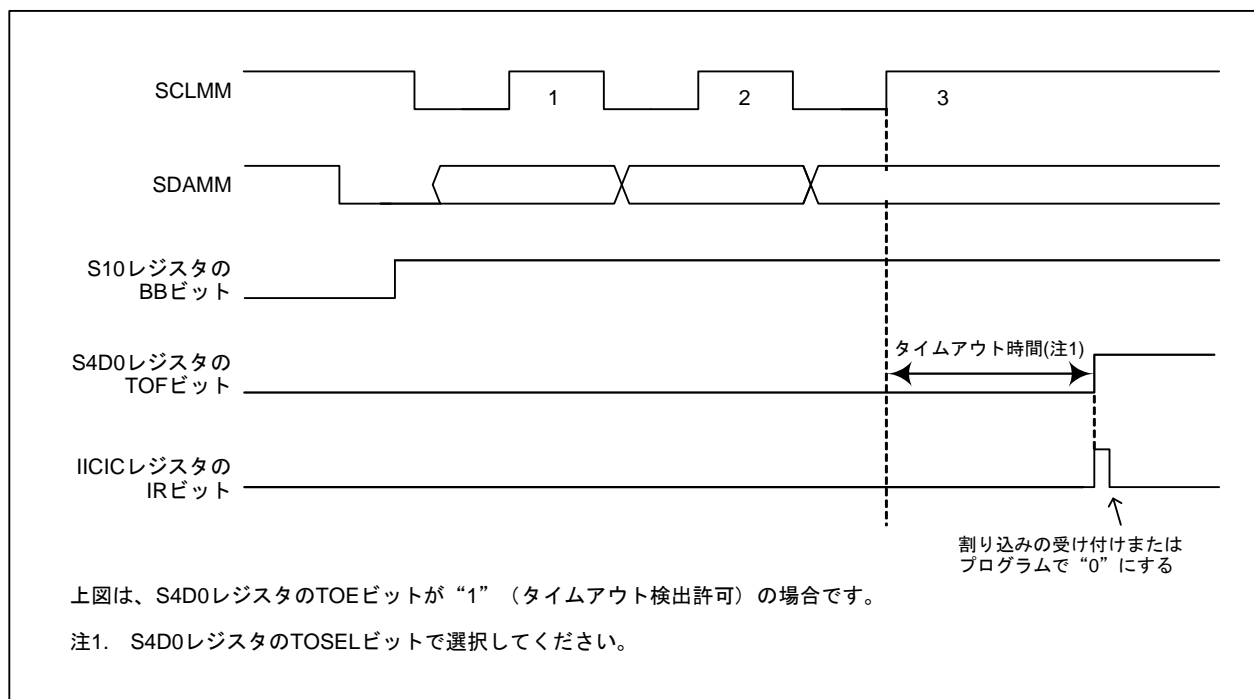


図 25.16 タイムアウト検出タイミング

次の条件をすべて満たすとタイムアウトを検出します。

- S4D0レジスタのTOEビットが“1”（タイムアウト検出機能許可）
- S10レジスタのBBビットが“1”（バスビジー）
- SCLMM端子のレベルがタイムアウト検出時間以上“H”

タイムアウトを検出すると次のようになります。

- S4D0レジスタのTOFビットが“1”（タイムアウト検出）
- IICICレジスタのIRビットが“1”（I²C-bus割り込み要求あり）

タイムアウトを検出した場合には、次のいずれかの処理をしてください。

- S1D0レジスタのES0ビットを“0”（禁止）にする
- S1D0レジスタのIHRビットを“1”（I²C回路リセット）にする

25.3.10 データ送受信例

データ送受信例を示します。この例は次の条件の場合です。

- スレーブアドレス: 7ビット
- データ: 8ビット
- ACKクロックあり
- 標準クロックモード、ビットレート: 100kbps (fIIC: 20MHz、fVIIC: 4MHz)
20MHz (fIIC)の5分周=4MHz (fVIIC)、
4MHz (fVIIC)の8分周の5分周=100kbps (ビットレート)
- 受信モード時、最後のデータ以外はACKを返す。最後のデータ受信後はNACKを返す
- データ受信時、8クロック目(ACKクロックの前)の割り込み: 禁止
- ストップコンディション検出割り込み: 許可
- タイムアウト検出割り込み: 禁止
- 自スレーブアドレスはS0D0レジスタに設定(S0D1、S0D2レジスタは使用しない)

なお、データ受信時、8クロック目(ACKクロックの前)の割り込みを許可にすると、1バイトごとにデータを確認してからACK/NACKのいずれを生成するか判断できます。

25.3.10.1 初期設定

25.3.10.2~25.3.10.5の共通の初期設定です。次の手順で設定してください。

- (1) S0D0レジスタのSAD6~SAD0ビットに自スレーブアドレスを書く
- (2) S20レジスタに“85h”を書く (CCR値: 5、標準クロックモード、ACKクロックあり)
- (3) S4D0レジスタに“18h”を書く (fVIIC: fIICの5分周、タイムアウト検出割り込み禁止)
- (4) S3D0レジスタに“01h”を書く (データ受信時、8クロック目(ACKクロックの前)の割り込み禁止、ストップコンディション検出割り込み許可)
- (5) S10レジスタに“0Fh”を書く (スレーブ受信モード)
- (6) S2D0レジスタに“98h”を書く (SSC値: 18h、スタート/ストップコンディション発生タイミング: ロングモード)
- (7) S1D0レジスタに“08h”を書く (ビットカウンタ: 8、I²C回路許可、アドレッシングフォーマット、入力レベル: I²C-bus入力)

なお、シングルマスタ、かつ、このマイコンがマスタの場合、(1)は省略できます。

25.3.10.2 マスタ送信

マスタ送信の手順と動作を説明します。図 25.17 にマスタ送信の動作例を示します。「25.3.10.1 初期設定」は済んでいるものとします。また、図中の (A)~(C) では、それぞれ次に示すプログラムを実行するものとします。

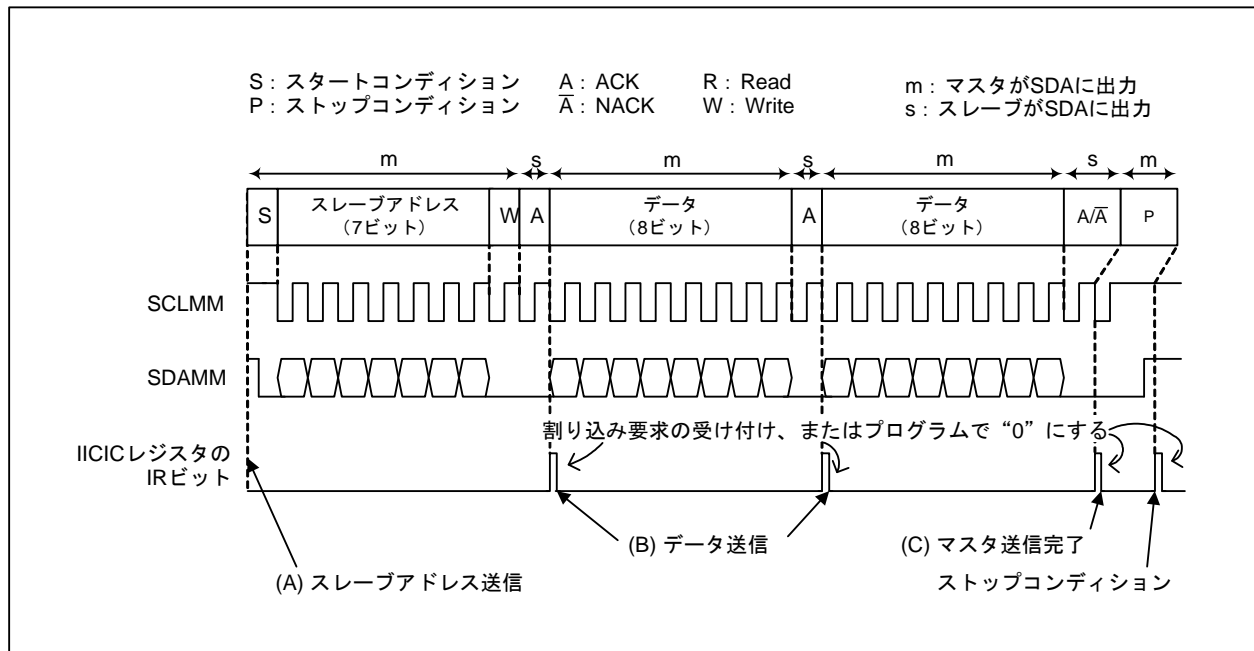


図 25.17 マスタ送信の動作例

(A) スレーブアドレス送信

- (1) S10 レジスタの BB ビットが“0” (バスフリー) を確認
- (2) S10 レジスタに“E0h”を書き込む (スタートコンディションスタンバイ状態)
- (3) S00 レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“0”を書く (スタートコンディション発生、続けてスレーブアドレス送信)

(B) データ送信

- (I²C-bus 割り込みルーチンで)
- (1) S00 レジスタに送信データを書く (データ送信)

(C) マスタ送信完了

- (I²C-bus 割り込みルーチンで)
- (1) S10 レジスタに“C0h”を書き込む (ストップコンディションスタンバイ状態)
 - (2) S00 レジスタにダミーデータを書く (ストップコンディション発生)

送信が完了した場合、スレーブデバイスから ACK 応答がない (NACK) 場合も上記のマスタ送信完了処理をしてください。

25.3.10.3 マスタ受信

マスタ受信の手順と動作を説明します。図 25.18 にマスタ受信の動作例を示します。「25.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(D)では、それぞれ次に示すプログラムを実行するものとします。

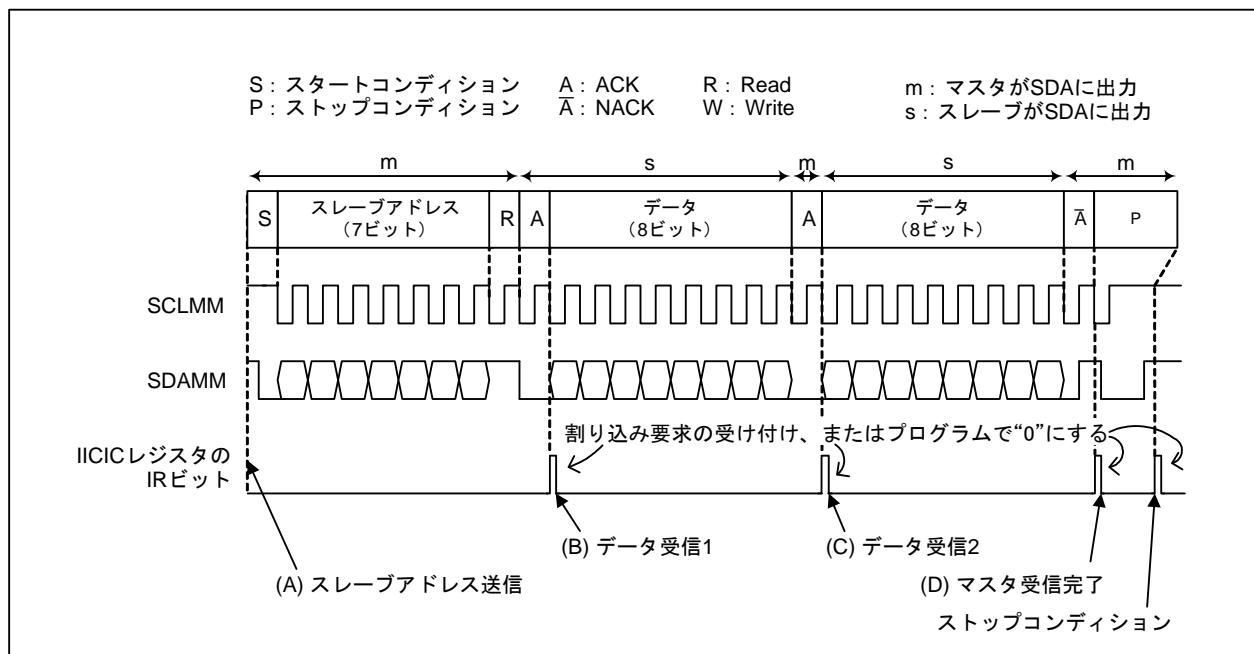


図 25.18 マスタ受信の動作例

(A)スレーブアドレス送信

- (1) S10レジスタのBBビットが“0” (バスフリー)を確認
- (2) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“1”を書く(スタートコンディション発生、続けてスレーブアドレス送信)

(B)データ受信1(スレーブアドレス送信後)

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタに“AFh”を書き込む(マスタ受信モード)
- (2) (最後のデータではないので) S20レジスタのACKBITビットを“0”(ACKあり)にする
- (3) S00レジスタにダミーデータを書く

(C)データ受信2(データ受信)

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) (最後のデータなので) S20レジスタのACKBITビットを“1”(ACKなし)にする
- (3) S00レジスタにダミーデータを書く

(D)マスタ受信完了

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) S10レジスタに“C0h”を書き込む(ストップコンディションスタンバイ状態)
- (3) S00レジスタにダミーデータを書く(ストップコンディション発生)

25.3.10.4 スレーブ受信

スレーブ受信の手順と動作を説明します。図 25.19 にスレーブ受信の動作例を示します。「25.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとします。

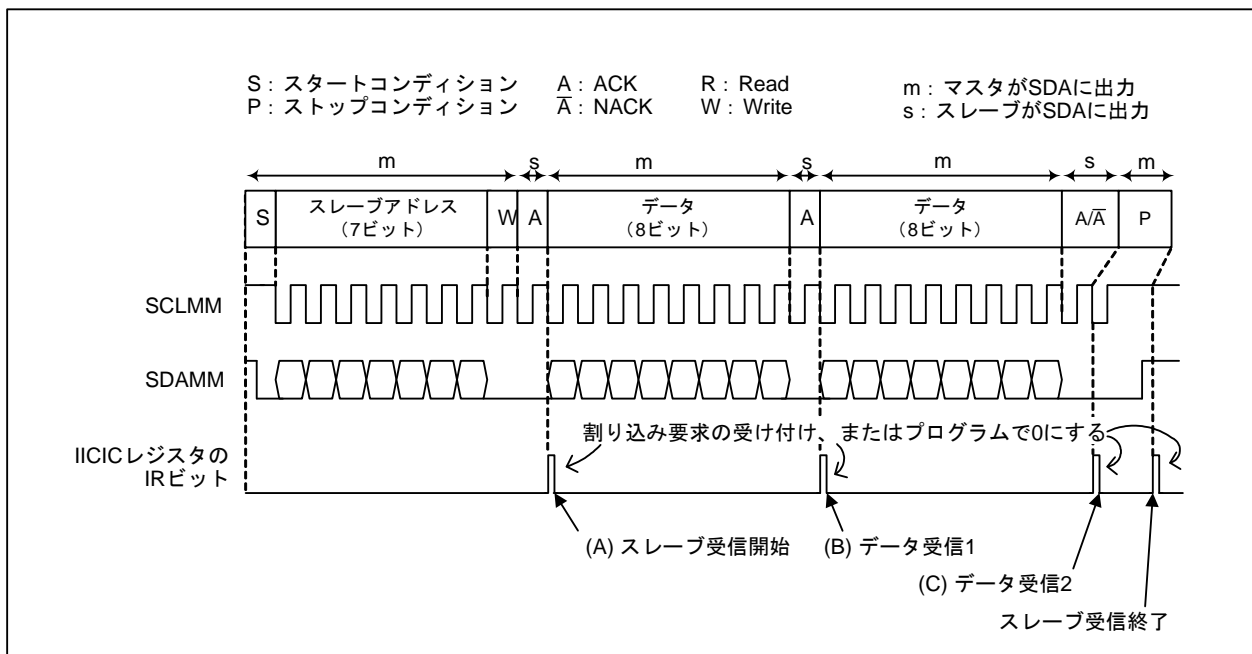


図 25.19 スレーブ受信の動作例

(A) スレーブ受信開始

(I²C-bus 割り込みルーチンで)

- (1) S10 レジスタの値を確認。TRX ビットが“0” ならスレーブ受信
- (2) S00 レジスタにダミーデータを書き込む

(B) データ受信1

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタから受信データ読み出し
- (2) (最後のデータではないので) S20 レジスタの ACKBIT ビットを“0” (ACK あり) にする
- (3) S00 レジスタにダミーデータを書く

(C) データ受信2

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタから受信データ読み出し
- (2) (最後のデータなので) S20 レジスタの ACKBIT ビットを“1” (ACK なし) にする
- (3) S00 レジスタにダミーデータを書く

25.3.10.5 スレーブ送信

スレーブ送信の手順と動作を説明します。図 25.20 にスレーブ送信の動作例を示します。「25.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(B)では、それぞれ次に示すプログラムを実行するものとします。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”（リード）の場合も、TRX ビットが“0”（受信モード）になります。このため、アービトレーションロスト検出後は、S00 レジスタを読み出し、ビット0が“1”ならば、S10 レジスタに“4Fh”（スレーブ送信モード）を書いてから、スレーブ送信してください。

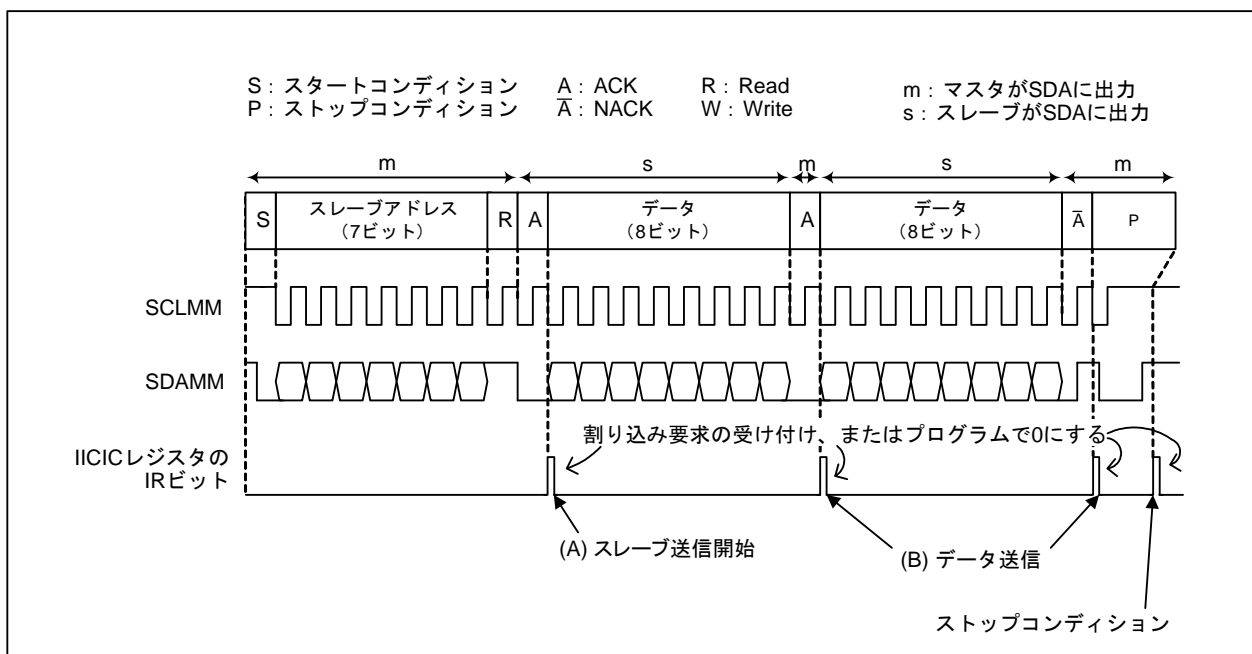


図 25.20 スレーブ送信の動作例

(A) スレーブ送信開始

(I²C-bus 割り込みルーチンで)

- (1) S10 レジスタの値を確認。TRX ビットが“1” ならスレーブ送信
- (2) S00 レジスタに送信データを書き込む

(B) データ送信

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタに送信データを書き込む

最後のデータ送信のACKクロックの割り込みでも、S00 レジスタにダミーデータを書いてください。S00 レジスタに書き込むと SCLMM 端子のレベルが開放されます。

25.4 割り込み

I²C回路は割り込み要求を発生します。図 25.21 に I²C回路の割り込みを、表 25.16 に I²C回路の割り込みを示します。

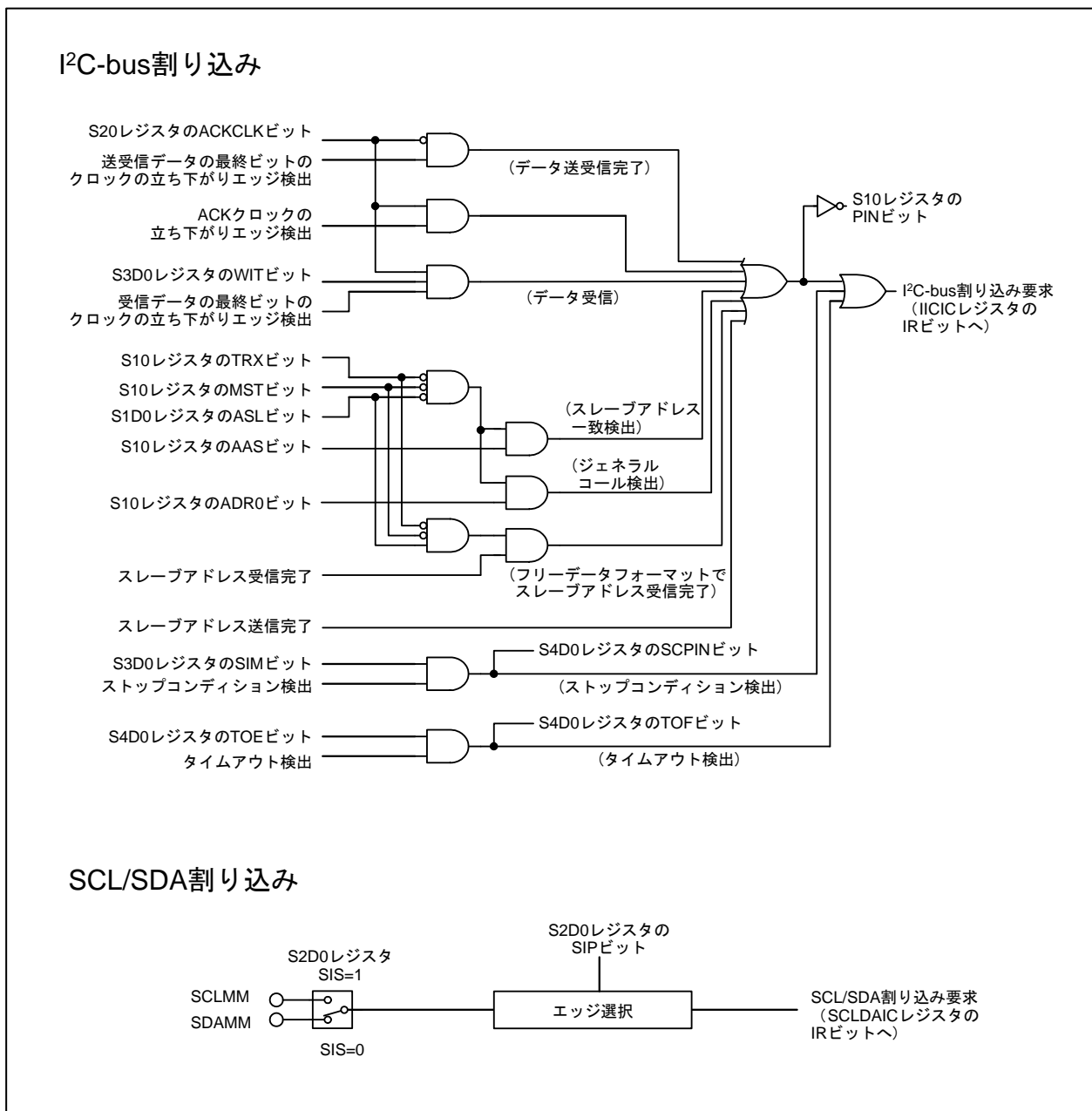


図 25.21 I²C回路の割り込み

表 25.16 I²C回路の割り込み

割り込み	割り込み要因	関連ビット (レジスタ: ビット)		割り込み制御レジスタ
		割り込み許可	割り込み要求	
I ² C-bus 割り込み	データ送受信完了 S20 レジスタの ACKCLK ビットが“0”の場合、 SCLMM 端子の送受信データの最終クロック の立ち下がりエッジ検出 ACKCLK ビットが“1”の場合、SCLMM 端子の ACK クロックの立ち下がりエッジ検出	—	S10: PIN	IICIC
	データ受信 (ACK クロックの前) SCLMM 端子の送受信データの最終クロック の立ち下がりエッジ検出	S3D0: WIT		
	スレーブアドレス一致検出 スレーブ受信モード時、アドレッシング フォーマットで、受信したスレーブアドレス が S0D0~S0D2 レジスタの SAD6~SAD0 ビッ トと一致 (S10 レジスタの AAS ビットが“1”)	—		
	ジェネラルコール検出 スレーブ受信モード時、アドレッシング フォーマットで、ジェネラルコール (S10 レ ジスタの ADR0 ビットが“1”)	—		
	スレーブ受信モード時、フリーデータフォー マットで、スレーブアドレス受信完了	—		
	ストップコンディション検出	S3D0: SIM	S4D0: SCPIN	
	タイムアウト検出	S4D0: TOE	S4D0: TOF	
SCL/ SDA 割 り込み	SCLMM または SDAMM 端子の、入出力信号 の立ち下がりまたは立ち上がりエッジ検出	—	—	SCLDAIC

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 25.17 に I²C 回路の割り込み関連レジスタを示します。

表 25.17 I²C回路の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
007Bh	I ² C-bus インタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA 割り込み制御レジスタ	SCLDAIC	XXXX X000b
0206h	割り込み要因選択レジスタ 2	IFSR2A	00h

I²C-bus インタフェース割り込みを使用する場合は、IFSR2A レジスタのIFSR22 ビットを“1” (I²C-bus 割り込み) にしてください。

SCL/SDA 割り込みを使用する場合は、IFSR2A レジスタのIFSR23 ビットを“1” (SCL/SDA 割り込み) にしてください。

SCL/SDA 割り込みは、ウェイトモード、ストップモードでも有効です。

SCL/SDA 割り込みでは、S1D0 レジスタのES0 ビット、S2D0 レジスタのSIP、SIS ビットのいずれかを変更すると、SCLDAIC レジスタのIR ビットが“1” (割り込み要求あり) になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「14.13 割り込み使用上の注意事項」も参照してください。

- (1) SCLDAIC レジスタのILVL2~ILVL0 ビットを“000b” (割り込み禁止) にする。
- (2) S1D0 レジスタのES0 ビット、S2D0 レジスタのSIP、SIS ビットを設定する。
- (3) SCLDAIC レジスタのIR ビットを“0” (割り込み要求なし) にする。

25.5 マルチマスタ I²C-bus インタフェース使用上の注意事項

25.5.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 25.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)にしてアクセスしてください。

25.5.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

25.5.2.1 S00 レジスタ

送受信中に書き込まないでください。

25.5.2.2 S1D0 レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

25.5.2.3 S20 レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

25.5.2.4 S3D0 レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

25.5.2.5 S4D0 レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

25.5.2.6 S10 レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。
MST、TRXビットが変化するタイミングは「25.3 動作説明」の動作例を参照してください。

25.5.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧

“L” 入力電圧、“H” 入力電圧、および“L” 出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

<I²C-bus規格>

“H” 入力電圧(V_{IH}) = $\min 0.7 V_{CC}$

“L” 入力電圧(V_{IL}) = $\max 0.3 V_{CC}$

25.5.4 ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A176A/J)

マルチマスタ I²C-bus インタフェースにおいて、スレーブデバイスまたは他のマスタデバイスが SCLMM ラインを “L” にドライブしているときにストップコンディションを生成する操作を行った場合、SCLMM ラインが開放されていないにもかかわらず SDAMM ラインが開放され、正常なストップコンディションが生成されません。

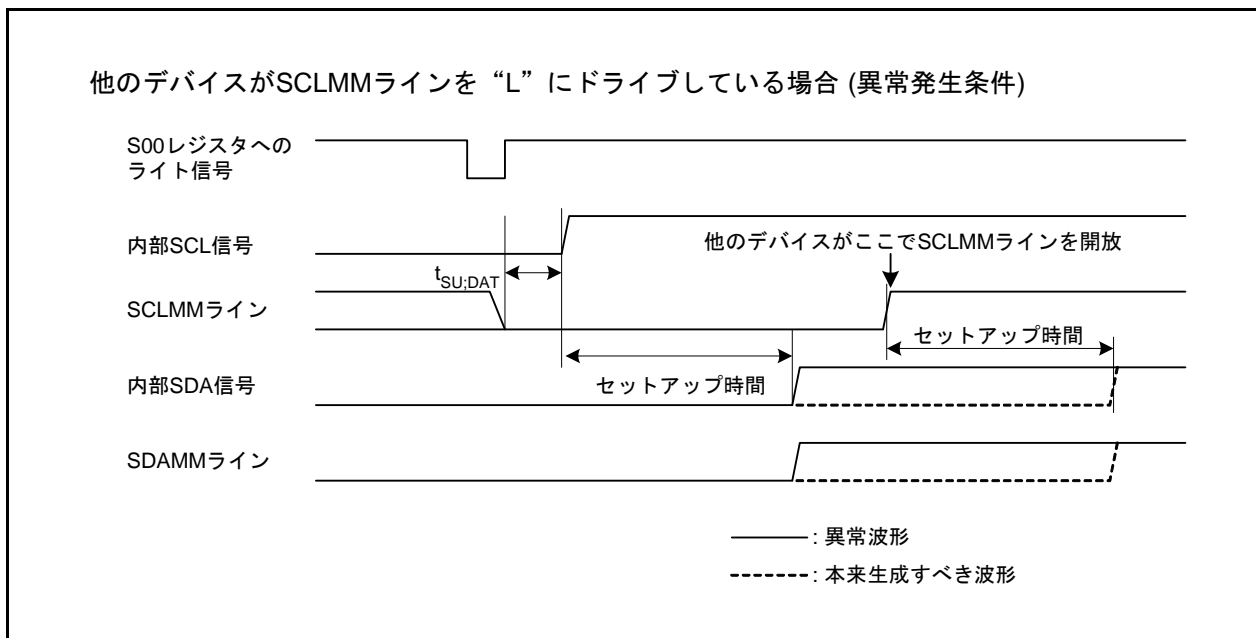


図 25.22 異常波形例

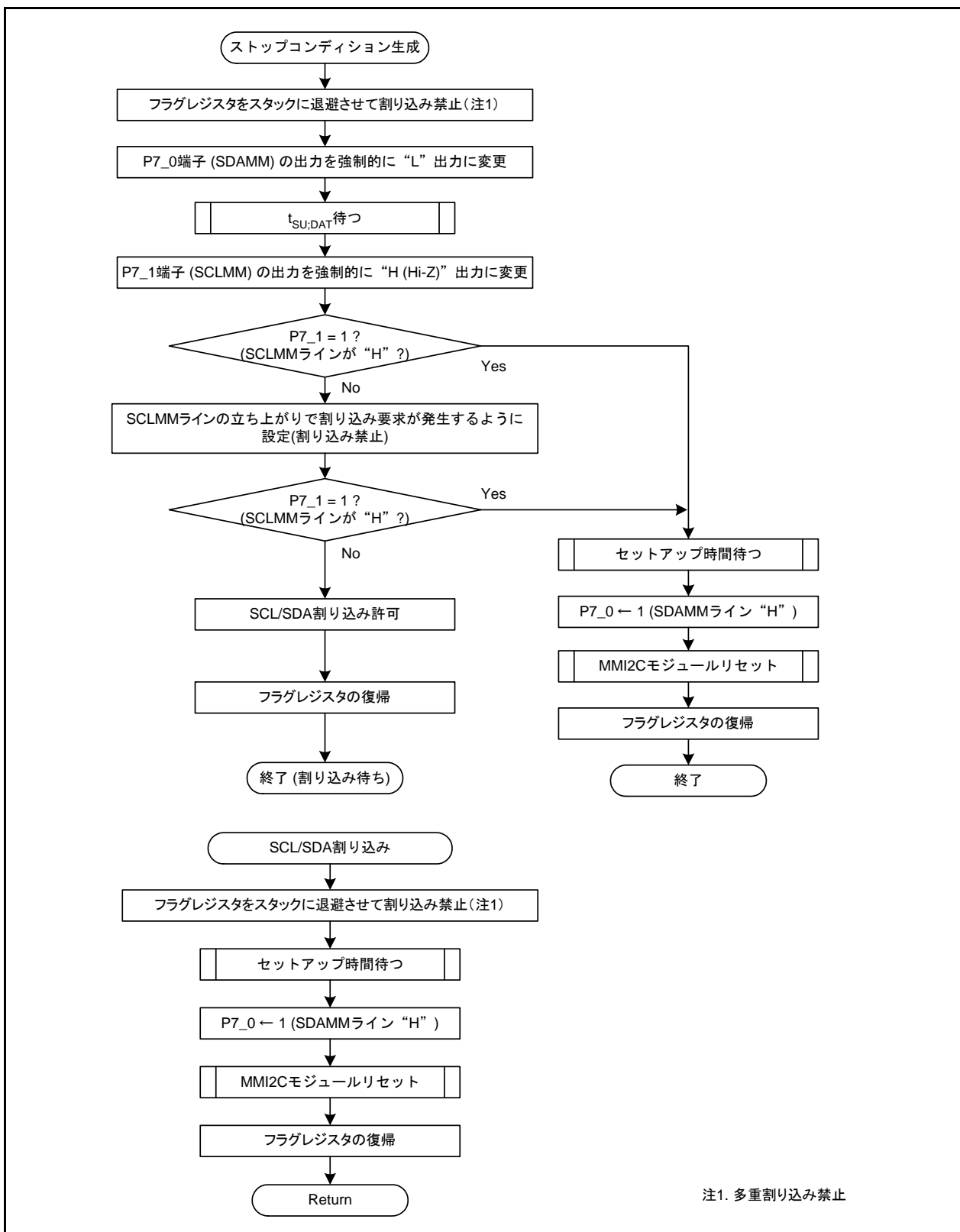


図 25.23 ストップコンディション生成フロー

26. CEC (Consumer Electronics Control) 機能

26.1 概要

CEC 機能は、HDMI (High-Definition Multimedia Interface) で規格化されている機器制御信号 (CEC 信号) の送受信に対応した回路です。

表 26.1 に CEC 機能の仕様、図 26.1 に CEC 機能のブロック図、表 26.3 に入出力端子を示します。

表 26.1 CEC 機能の仕様 (1/2)

項目	内容
カウントソース	fC、タイマ A0 のアンダフロー いずれの場合も周波数 32.768kHz、発振許容誤差 ±1% 以内
データフォーマット	スタートビット 1 ビット データビット 8 ビット EOM ビット 1 ビット ACK ビット 1 ビット
送信開始条件	送信開始には、次の条件が必要 • CECC3 レジスタの CTXDEN ビットが "1" (送信許可)
受信開始条件	受信開始には、次の条件が必要 • CECC3 レジスタの CRXDEN ビットが "1" (受信許可) • スタートビット検出
割り込み要求発生タイミング	送信割り込み • データ 8 ビット送信完了時 • データ 10 ビット送信完了時 送信エラー割り込み • 送信アービトラクションロスト発生時 • 送信時 NACK 受信 (Broadcast 送信時は ACK 受信) 時 受信割り込み • データ 8 ビット受信完了時 • データ 10 ビット受信完了時 • 上記受信割り込みを Destination アドレス一致、または Broadcast 時に限定可能 • スタートビット受信完了時 受信エラー割り込み • 許容範囲外信号受信
エラー検出	アービトラクションロスト 送信中に次のいずれかの状態ならアービトラクションロストを検出 • CEC 端子の出力を Hi-Z にしているとき、CEC 端子レベルが "L" レベル • CEC 端子を "L" 出力から Hi-Z に切り替える際、受信許容範囲を超えても端子が "L" レベル 送信エラー CCTB2 レジスタの CCTBA ビットの値と CECC2 レジスタの CTNACK ビットの値が一致 受信許容範囲エラー データビットの "L" 期間または "H" 期間が受信許容範囲外

表 26.2 CEC 機能の仕様 (2/2)

項目	内容
選択機能	デジタルフィルタ有効/無効選択 送信停止指定 ACK またはNACK で送信停止を指定可 アービトレーションロスト検出条件 次のいずれかを選択可 • スタートビットと Initiator アドレスのデータビット送信時 • スタートビットとすべてのデータビット送信時 送信立ち上がりタイミング指定 • 規格値-180 μ s から、規格値+30 μ s まで8段階で指定可 送信立ち下がりタイミング指定 • スタートビットは規格値-160 μ s から規格値まで、 データビットは規格値-310 μ s から規格値まで、4段階で指定可 受信許可範囲指定 次のいずれかを指定可 • 立ち下がりのみ検出 • 立ち下がり、立ち上がり両方検出 受信時のACK 出力 次のいずれかを選択可 • プログラム挿入 CCRB2 レジスタのCCRBAO ビットで指定 • ハードウェア挿入 Destination アドレス一致のときACK出力、不一致のとき またはBroadcastのときNACKを出力 スタートビット判定許容範囲指定 • $\pm 200\mu$ s または $\pm 300\mu$ s を指定 データビット判定許容範囲指定 下記いずれかに指定可 • 立ち下がりから立ち上がりまでの期間: $\pm 200\mu$ s、 立ち下がりから立ち下がりまでの期間: $\pm 350\mu$ s • 立ち下がりから立ち上がりまでの期間: $\pm 300\mu$ s、 立ち下がりから立ち下がりまでの期間: $\pm 500\mu$ s 受信エラー発生時、“L”パルス出力指定 • 受信エラー発生時、エラー Lowパルスを出力するか、しないか指定可 受信エラー発生時、“L”パルス出力ウェイト制御 下記のいずれかを選択できます。 • 受信エラー発生時CEC入力信号が“L”レベルであった場合、CEC入力信号の立ち上がりに同期させてエラー“L”パルスを出力する • エラー発生直後、CEC入力信号状態に関わらずエラー“L”パルスを出力する

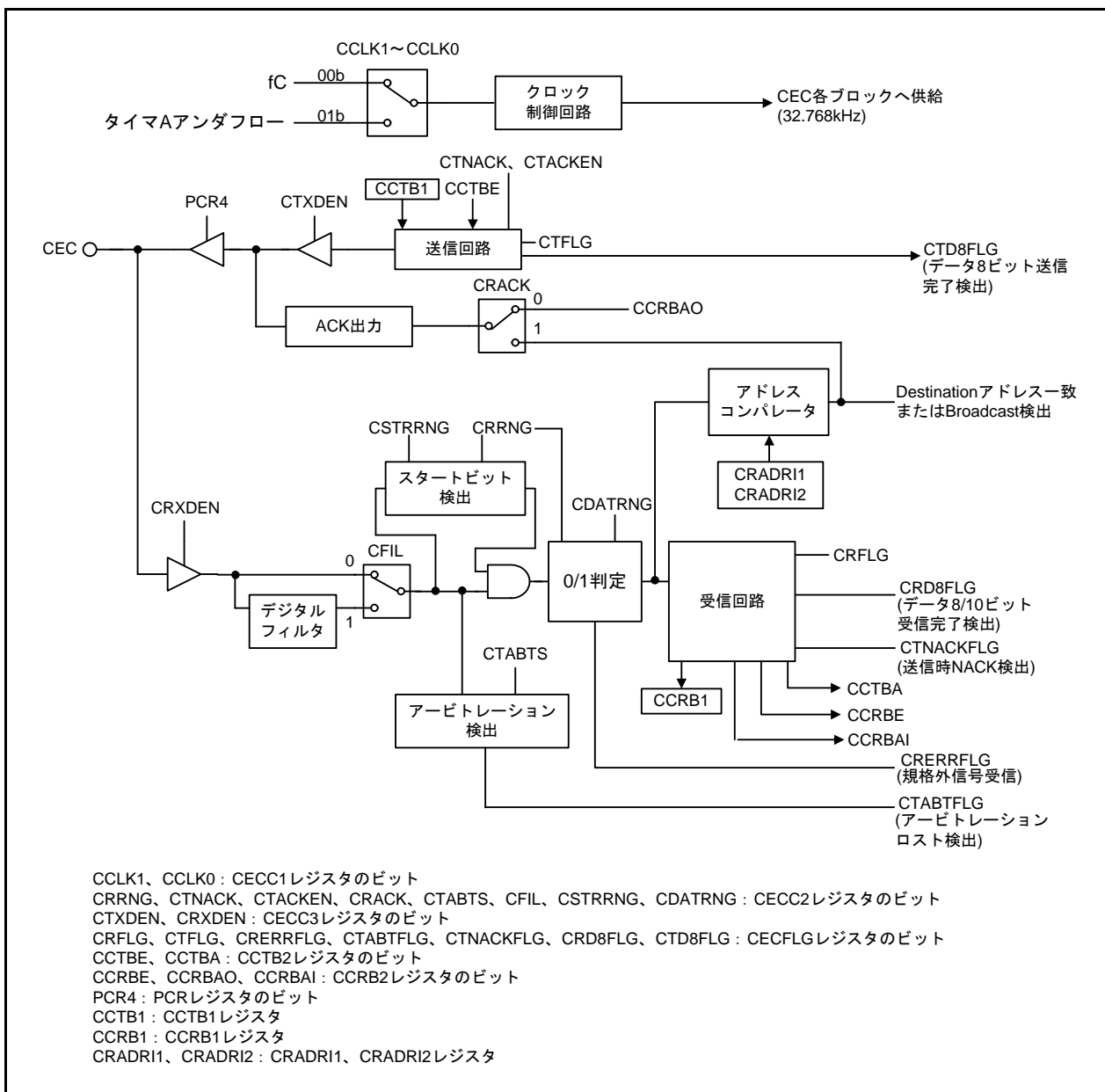


図 26.1 CEC機能のブロック図

表 26.3 入出力端子

端子名	入出力	機能
CEC	入出力(注1)	CEC入出力(Nチャンネルオープンドレイン)

注1. 端子を共有するポートの方向ビットは“0”(入力モード)にしてください。

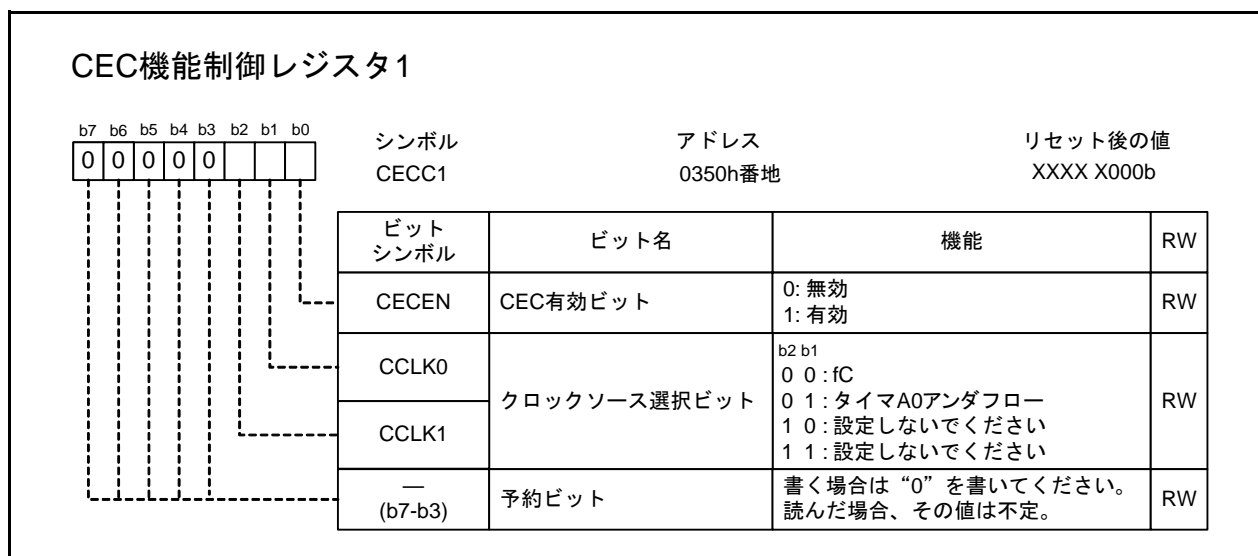
26.2 レジスタの説明

CEC 機能のレジスタ、ビットは、カウントソースに同期して動作します。プログラムでレジスタの値を変更するとレジスタの値はすぐに書き換わりますが、内部回路はカウントソースのタイミングを待って動作します。

表 26.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0350h	CEC 機能制御レジスタ 1	CECC1	XXXX X000b
0351h	CEC 機能制御レジスタ 2	CECC2	00h
0352h	CEC 機能制御レジスタ 3	CECC3	XXXX 0000b
0353h	CEC 機能制御レジスタ 4	CECC4	00h
0354h	CEC フラグレジスタ	CECFLG	00h
0355h	CEC 割り込み要因選択レジスタ	CISEL	00h
0356h	CEC 送信バッファレジスタ 1	CCTB1	00h
0357h	CEC 送信バッファレジスタ 2	CCTB2	XXXX XX00b
0358h	CEC 受信バッファレジスタ 1	CCRB1	00h
0359h	CEC 受信バッファレジスタ 2	CCRB2	XXXX X000b
035Ah	CEC 受信 Follower アドレス設定レジスタ 1	CRADRI1	00h
035Bh	CEC 受信 Follower アドレス設定レジスタ 2	CRADRI2	00h
0366h	ポート制御レジスタ	PCR	0000 0XX0b

26.2.1 CEC 機能制御レジスタ 1 (CECC1)



CECEN (CEC 有効ビット) (b0)

CCLK1、CCLK0 ビットでカウントソースを選択し、かつカウントソースが安定しているとき、“1” (CEC 有効) にしてください。

CECEN ビットを“0” (CEC 無効) にすると CEC 機能の回路がリセットされます。

CCLK1~CCLK0 (クロックソース選択ビット) (b2~b1)

CECEN ビットが“0” (CEC 無効) のとき、変更してください。

26.2.2 CEC機能制御レジスタ2 (CECC2)

CEC機能制御レジスタ2		シンボル	アドレス	リセット後の値
		CECC2	0351h番地	00h
ビットシンボル	ビット名	機能		RW
CRRNG	受信エッジ検出指定ビット	0: 立ち下がり許容範囲のみ検出 1: 立ち上がりと立ち下がり両方の許容範囲検出		RW
CTNACK	送信NACK (ACK) 終了選択ビット	0: ACKで終了 1: NACKで終了		RW
CTACKEN	送信NACK (ACK) 終了制御ビット	0: 送信継続 1: NACK/ACK受信で送信終了		RW
CRACK	受信時ACK出力処理制御ビット	0: プログラム挿入 1: ハードウェア挿入		RW
CTABTS	アービトレーションロスト検出条件選択ビット	0: スタートビットとInitiatorアドレス送信時 1: スタートビットとすべてのデータビット送信時		RW
CFIL	デジタルフィルタ有効ビット	0: フィルタ無効 1: フィルタ有効		RW
CSTRRNG	スタートビット判定許容範囲指定ビット	0: ±200µs 1: ±300µs		RW
CDATRNG	データビット判定許容範囲指定ビット	0: 立ち下がりから立ち上がりまでの期間±200µs、 立ち下がりから立ち下がりまでの期間±350µs 1: 立ち下がりから立ち上がりまでの期間±300µs、 立ち下がりから立ち下がりまでの期間±500µs		RW

CECC2レジスタには、送受信中に書き込まないでください。

CTNACK (送信 NACK (ACK) 終了選択ビット) (b1)

CTACKENビットが“1” (NACK/ACKで送信終了)の場合に有効です。

CTACKEN (送信 NACK (ACK) 終了制御ビット) (b2)

CTACKENビットが“1” (NACK/ACKで送信終了)の場合、終了条件はCTNACKビットで選択してください。

CRACK (受信時ACK出力処理制御ビット) (b3)

CRACKビットが“0” (プログラム挿入)の場合は、CCRB2レジスタのCCRBAOビットの値をACKデータとして出力します。

CRACKビットが“1” (ハードウェア挿入)の場合は、受信したDestinationアドレスとCRADRI1またはCRADRI2レジスタで選択したアドレス (自アドレス) との関係でACK出力が決まります。表 26.5にハードウェア挿入の場合のACK出力を示します。

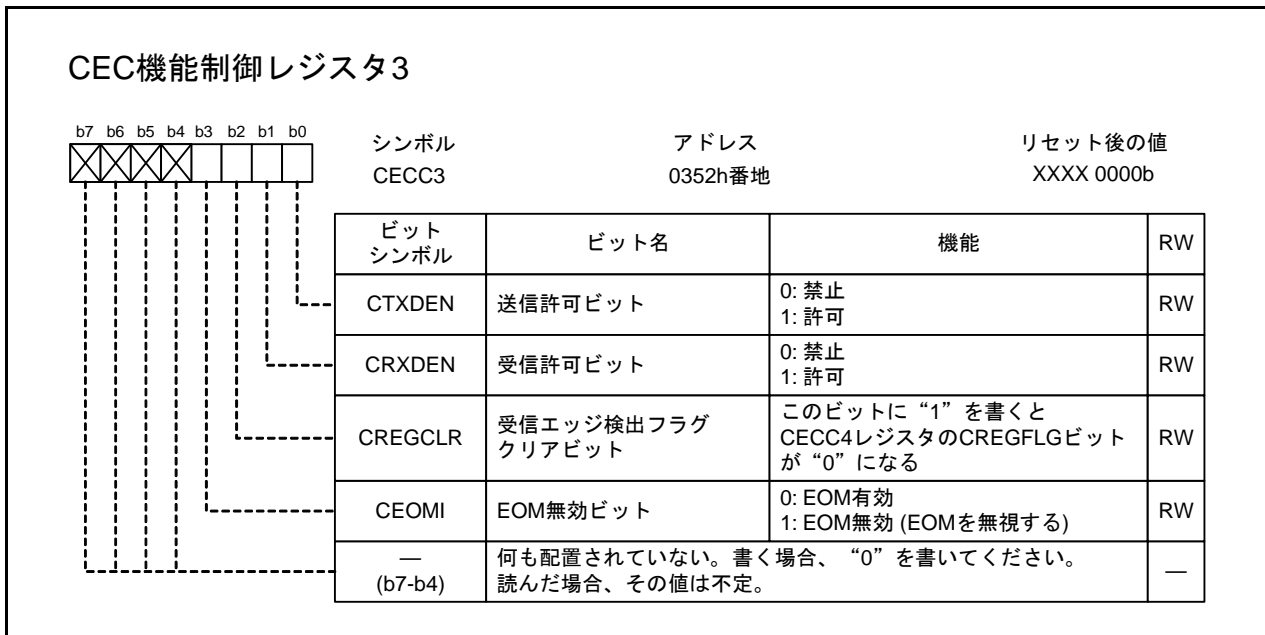
表 26.5 ハードウェア挿入の場合のACK出力

Destination アドレス		ACK出力
受信した Destination アドレス	CRADRI1、CRADRI2レジスタで選択したアドレス (自アドレス)	
Direct (0000b~1110b)	受信した Destination アドレスと一致	ACK
	受信した Destination アドレスと一致しない	NACK
Broadcast (1111b)	1111b (受信した Destination アドレスと一致)	ACK
	0000b~1110b	NACK

CTABTS (アービトレーションロスト検出条件選択ビット) (b4)

「26.3.6.2 アービトレーションロスト検出」を参照してください。

26.2.3 CEC機能制御レジスタ3 (CECC3)



CTXDEN (送信許可ビット) (b0)

CRXDEN (受信許可ビット) (b1)

これらのビットを変更すると、クロックソースの1周期以上経って送受信が許可または禁止されます。なお、送受信中にCTXDENビットを“0”にすると、ACK完了後に送信禁止になります。同様に、送受信中にCRXDENビットを“0”にすると、ACK完了後に受信禁止になります。

CREGCLR (受信エッジ検出フラグクリアビット) (b2)

CEC入力がHi-ZのときCREGCLRビットに“1”を書くと、CECC4レジスタのCREGFLGビットが“0”になります。

CREGCLRビットは書いた値を保持します。CREGFLGビットを再度“0”にするためにCREGCLRビットに“1”を書く場合は、一度“0”を書いた後、“1”を書いてください。

CEC入力が“L”のときは、CREGCLRビットに“1”を書くとCREGFLGビットは“0”になりますが、その後CREGCLRビットに“0”を書くとCREGFLGビットは“1”になります。

図 26.2 にCREGFLGビットとCREGCLRビットの動作を示します。

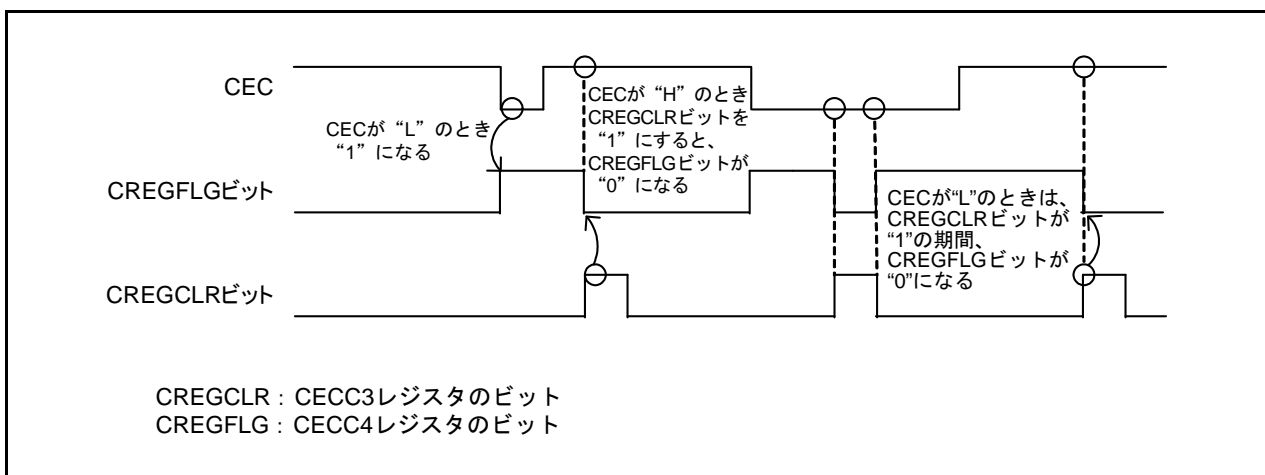


図 26.2 CREGFLGビットとCREGCLRビットの動作

CEOMI (EOM 無効ビット) (b3)

EOMビットが“1”の場合、動作を止めるか、続けるかを選択できます。表 26.6にEOMビットが“1”の場合の動作を示します。CEOMIビットは、送受信中に書き込まないでください。

なお、CEOMIビットが“1” (EOM無効)の場合、EOMビットを“1”にして送信した後もデータを送信し続けます。送信を止める場合は、CECC3レジスタのCTXDENビットを“0” (送信禁止)にしてください。

表 26.6 EOMビットが“1”の場合の動作

CEOMI ビット	EOMビットが“1”の場合の動作	
	受信	送信
0	受信したEOMビットが“1”のとき、その後のデータ受信は無視 (スタートビット待ち)	EOMビットを“1”にして送信した後、データを送信しない
1	受信したEOMビットが“1”のとき、その後のデータ受信にもACK/NACKを返す	EOMビットを“1”にして送信した後もデータを送信する

26.2.4 CEC機能制御レジスタ4 (CECC4)

CEC機能制御レジスタ4				
		シンボル CECC4	アドレス 0353h番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
CRISE0	立ち上がりタイミング指定 ビット	b2 b1 b0 0 0 0: 規格値 0 0 1: 規格値 - 30 μ s 0 1 0: 規格値 - 60 μ s 0 1 1: 規格値 - 90 μ s 1 0 0: 規格値 - 120 μ s 1 0 1: 規格値 - 150 μ s 1 1 0: 規格値 - 180 μ s 1 1 1: 規格値 + 30 μ s	RW	
CRISE1		RW		
CRISE2		RW		
CABTEN		エラー“L”パルス出力許 可ビット	0: 禁止 1: 許可	RW
CFALL0	立ち下がりタイミング指定 ビット	ビット説明参照	RW	
CFALL1			RW	
CREGFLG	受信エッジ検出フラグ	0: 未検出 1: 検出	RO	
CABTWEN	エラー“L”パルス出力 ウェイト制御ビット	0: CEC信号の状態に関わらず直ちに “L”パルスを出力 1: CEC信号の立ち上がりエッジに合わ せて“L”パルスを出力	RW	

CRISE2~CRISE0 (立ち上がりタイミング指定ビット) (b2~b0)

送信時の信号の立ち上がりタイミングを指定するビットです。立ち上がりタイミングは、スタートビット、データビット共通です。CRISE2~CRISE0ビットは、送受信中に書き込まないでください。

CABTEN (エラー“L”パルス出力許可ビット) (b3)

CRXDENビットが“0”(受信禁止)のときにCABTENビットを“1”(受信エラー時“L”パルス出力許可)にして、その後CRXDENビットを“1”(受信許可)にすると、受信時のデータビットが受信許容範囲を超えた場合、3.6msの“L”パルスを出力します。出力タイミングはCABTWENビットで選択できます。

CRXDENビットに“1”(受信許可)を書いた後、受信をしていないときにCABTENビットに“1”を書くと、CABTENビットに書いたタイミングで“L”パルスが出力されます。

CRXDENビットを“1”にした後、受信時のデータビットが受信許容範囲を超えたときにCABTENビットに“1”を書くと、“L”パルスが出力されます。

CFALL1~CFALL0 (立ち下がりタイミング指定ビット) (b5~b4)

送信時の信号の立ち下がりタイミングを指定するビットです。CFALL1~CFALL0ビットは、送受信中に書き込まないでください。

表 26.7 送信時の信号の立ち下がりタイミング

CFALL1~CFALL0ビット	立ち下がりタイミング	
	スタートビット	データビット
00b	規格値	規格値
01b	規格値 - 40 μ s	規格値 - 190 μ s
10b	規格値 - 100 μ s	規格値 - 250 μ s
11b	規格値 - 160 μ s	規格値 - 310 μ s

CREGFLG (受信エッジ検出フラグ) (b6)

「図 26.2 CREGFLG ビットと CREGCLR ビットの動作」を参照してください。

["0"になる条件]

- CECC3 レジスタの CREGCLR ビットに“1”を書く

["1"になる条件]

- CREGCLR ビットが“0”のときに、CEC 入力の“L”レベルを検出

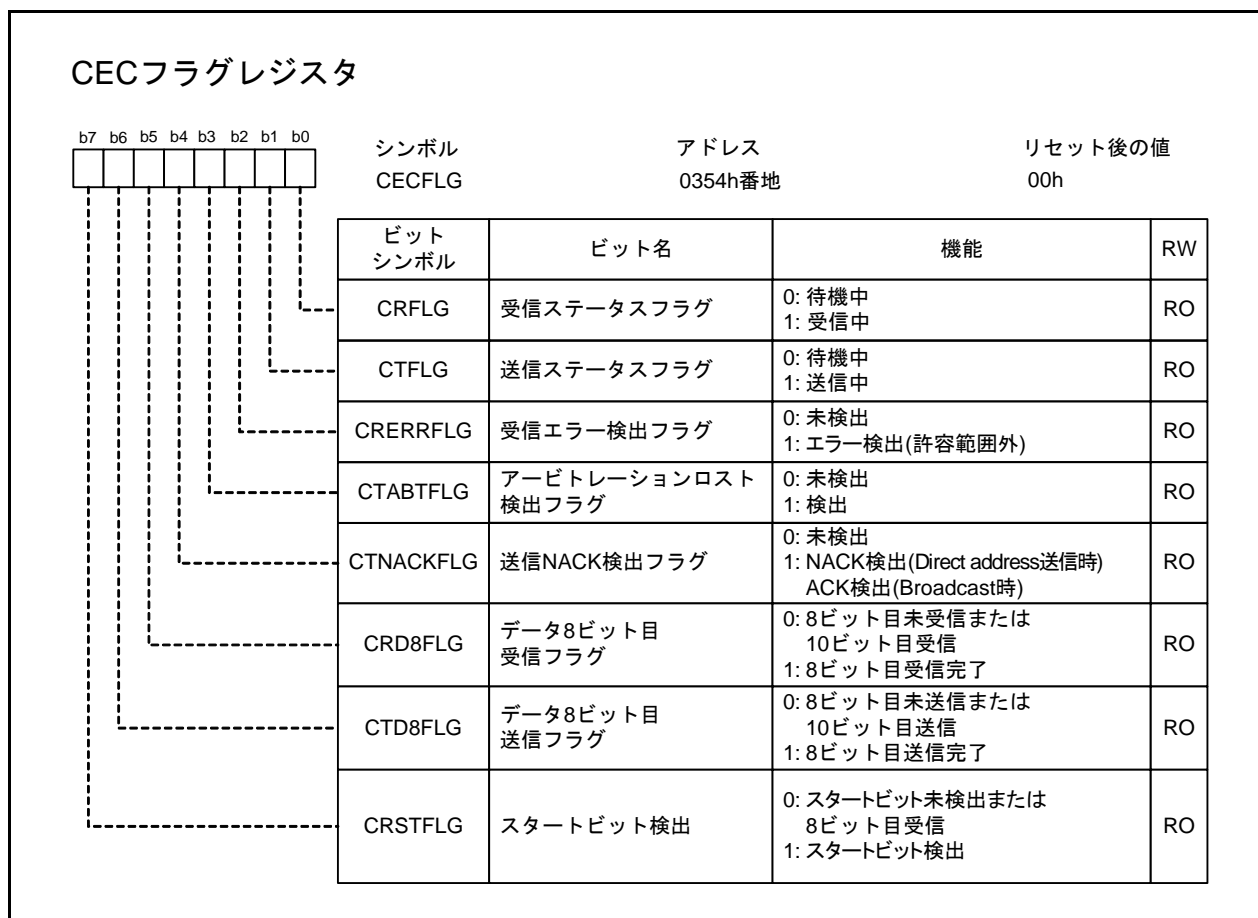
CABTWEN (エラー“L”パルス出力ウェイト制御ビット) (b7)

CABTEN ビットが“1” (受信エラー時“L”パルス出力許可)の場合に有効です。

CABTWEN ビットが“1” (CEC 信号の立ち上がりエッジに合わせて“L”パルスを出力)の場合、CEC 入力が“L”のとき受信エラーが発生すると、その後の CEC 信号の立ち上がりエッジから 3.6ms の“L”パルスを出力します。ただし、受信エラーが発生後 3.6ms 経過しても CEC 信号の立ち上がりエッジがない場合は、他のデバイスがエラー“L”パルスを出力したものとみなし、“L”パルスを出力しません。

CABTWEN ビットは、送受信中に書き込まないでください。

26.2.5 CEC フラグレジスタ (CECFLG)



CRFLG (受信ステータスフラグ) (b0)

["0"]になる条件]

- 待機中

["1"]になる条件]

- 受信中
- CECC4レジスタのCABTENビットが"1"(エラー"L"出力許可)の場合、エラー"L"パルス出力中

CRERRFLG (受信エラー検出フラグ) (b2)

["0"]になる条件]

- CECC3レジスタのCRXDENビットを"0"(受信禁止)にする

["1"]になる条件]

- データビットの"L"期間または"H"期間が受信許容範囲外

CTABTFLG (アービトレーションロスト検出フラグ) (b3)

["0"]になる条件]

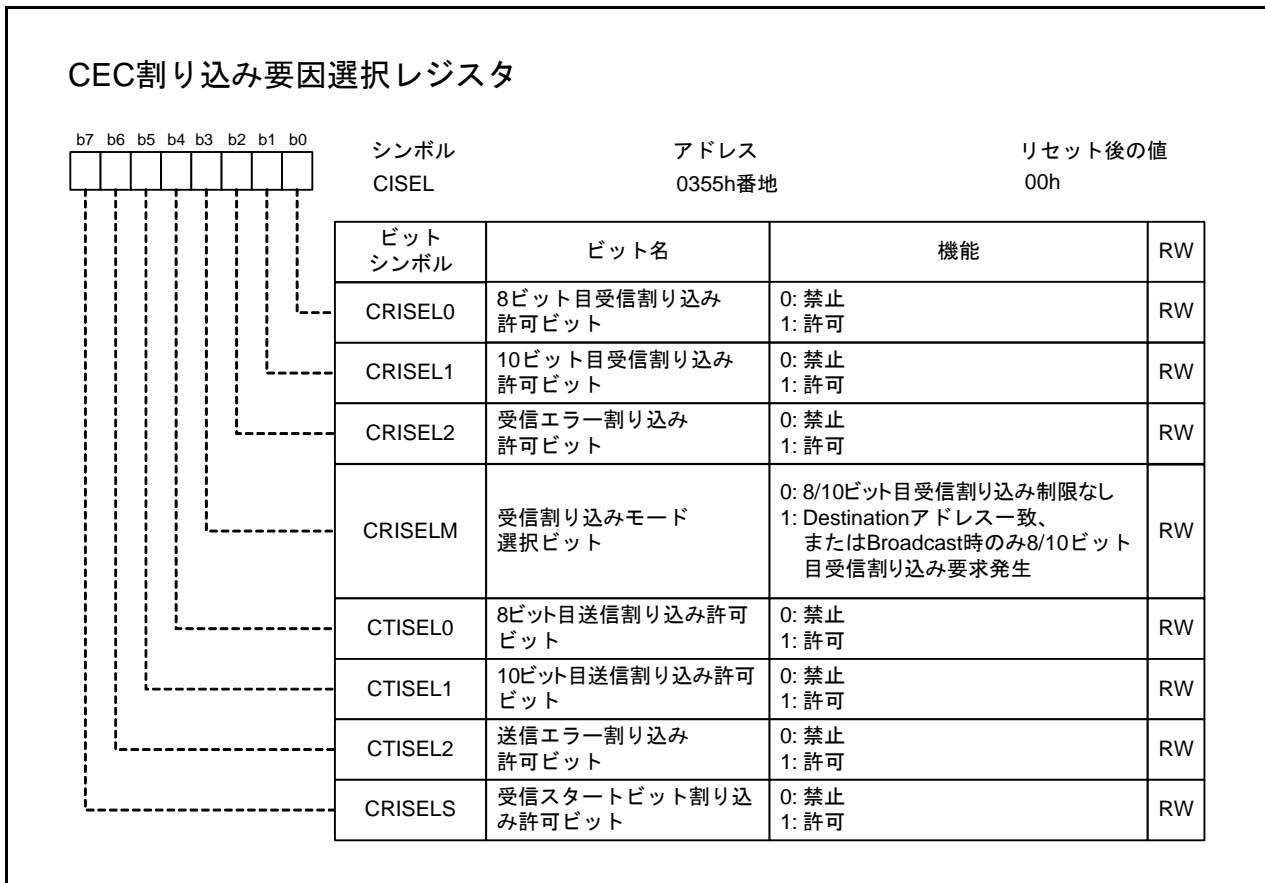
- CECC3レジスタのCTXDENビットを"0"(送信禁止)にする

CTNACKFLG (送信NACK検出フラグ) (b4)

["0"]になる条件]

- CECC3レジスタのCTXDENビットを"0"(送信禁止)にする

26.2.6 CEC 割り込み要因選択レジスタ (CISEL)

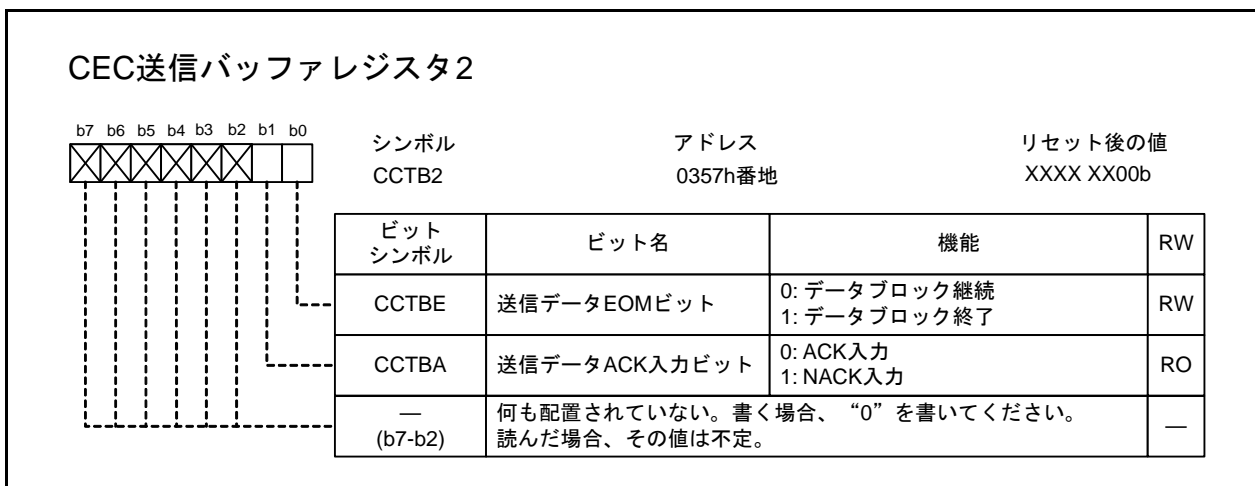


26.2.7 CEC送信バッファレジスタ1 (CCTB1)



CCTB1 レジスタは、CECC3 レジスタの CTXDEN ビットが“0” (送信禁止) のとき、または CTXDEN ビットが“1”かつ CECFLG レジスタの CTD8FLG が“1” (8ビット目送信後、EOM、ACK ビット送信中) のとき書き換えてください。CTXDEN ビットが“1”かつ CTD8FLG が“0” (1から8ビット目送信中) のときは書き換えしないでください。

26.2.8 CEC送信バッファレジスタ2 (CCTB2)



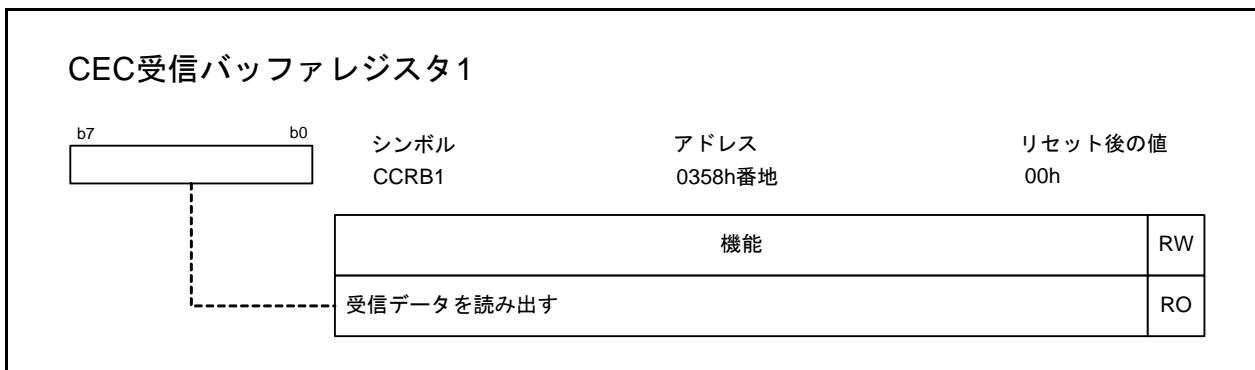
CCTBE (送信データ EOM ビット) (b0)

CCTBE ビットは CECC3 レジスタの CTXDEN ビットが“0” (送信禁止) のとき、または CTXDEN ビットが“1”かつ CECFLG レジスタの CTD8FLG が“1” (8ビット目送信後、EOM、ACK ビット送信中) のとき書き換えてください。ここで書き込んだ情報は、次にデータを送信した後に出力されます。CTXDEN ビットが“1”かつ CTD8FLG が“0” (1から8ビット目送信中) のときは書き換えしないでください。

CCTBA (送信データ ACK 入力ビット) (b1)

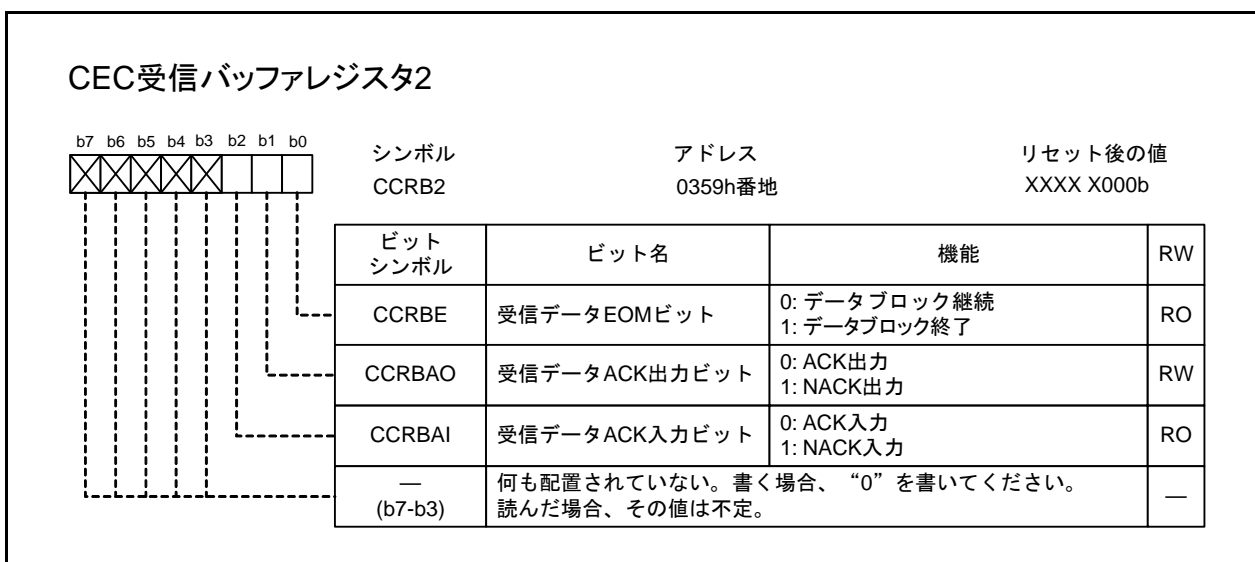
10ビット目 (ACK ビット) の送信後 (CECFLG レジスタの CTD8FLG ビットが“1”から“0”になった後) に読み出してください。

26.2.9 CEC 受信バッファレジスタ 1 (CCRB1)



8ビット目の受信後 (CECFLG レジスタの CRD8FLG が“0”から“1”になった後) に読み出してください。

26.2.10 CEC 受信バッファレジスタ 2 (CCRB2)



CCRBE (受信データ EOM ビット) (b0)

10ビット目 (ACK ビット) の受信後 (CECFLG レジスタの CRD8FLG ビットが“1”から“0”になった後) に読み出してください。

CCRBAO (受信データ ACK 出力ビット) (b1)

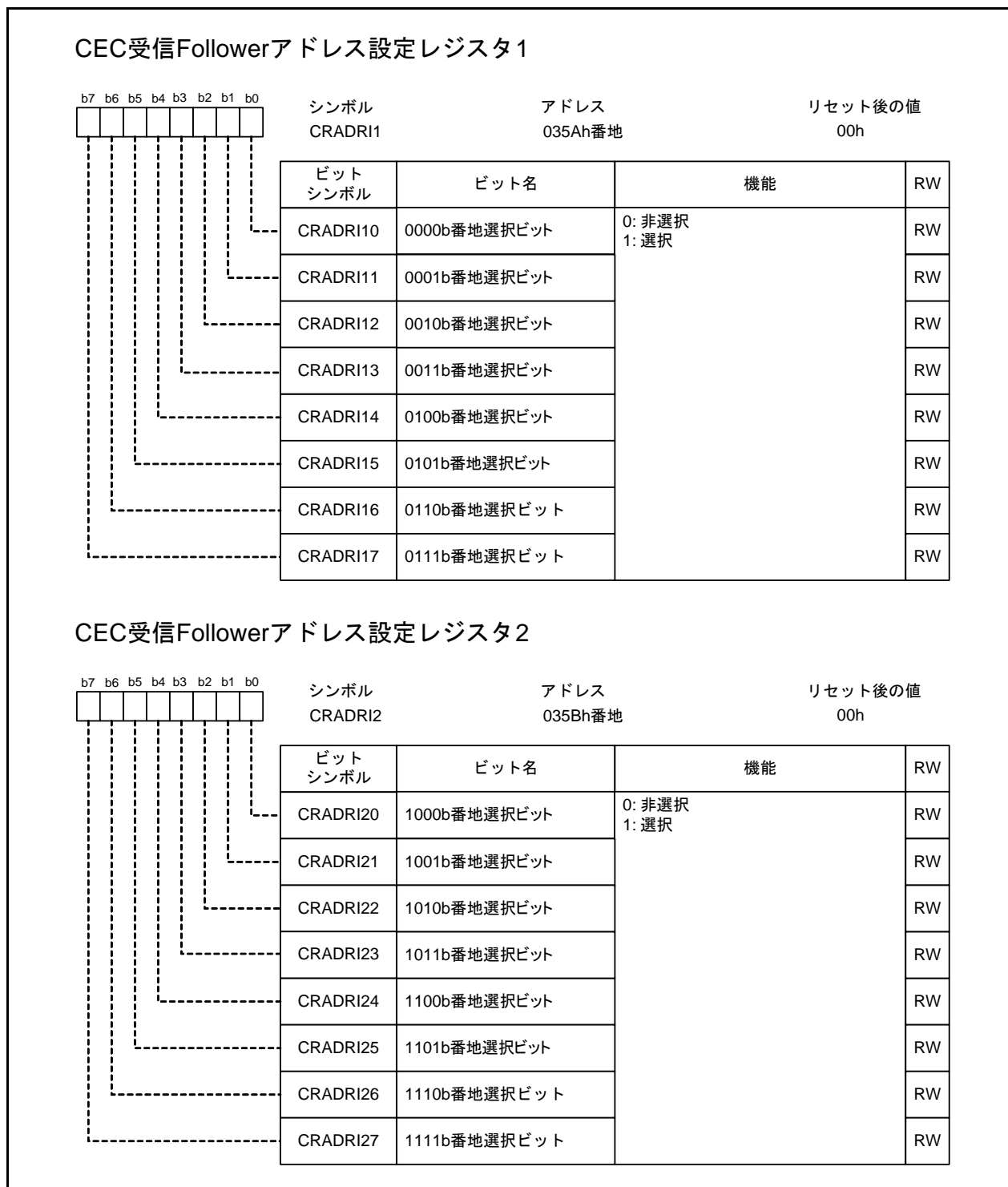
CECC2 レジスタの CRACK ビットが“0” (プログラム挿入) のとき有効です。

CCRBAO ビットは CECC3 レジスタの CRXDEN ビットが“0” (受信禁止) のとき、または CRXDEN ビットが“1”かつスタートビットから EOM ビットまでを受信中に書き換えてください。ACK ビット送信中に書き換えしないでください。

CCRBAI (受信データ ACK 入力ビット) (b2)

10ビット目 (ACK ビット) の受信後 (CECFLG レジスタの CRD8FLG ビットが“1”から“0”になった後) に読み出してください。

26.2.11 CEC受信Followerアドレス設定レジスタ1 (CRADRI1)、 CEC受信Followerアドレス設定レジスタ2 (CRADRI2)

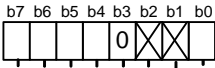


受信Followerアドレス(自アドレス)を選択してください。

CRADRI27ビットを“1”(1111b番地選択)にすると、Followerアドレスが“1111b”(Broadcast)で、かつCECC2レジスタのCRACKビットが“1”(受信時のACK出力はハードウェアで挿入)の場合、ACKを返します。

なお、本章では、受信したDestinationアドレスがCRADRI1またはCRADRI2レジスタで選択したアドレスと一致することを、Destinationアドレス一致と表現する場合があります。

26.2.12 ポート制御レジスタ (PCR)

ポート制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCR	アドレス 0366h番地	リセット後の値 0000 0XX0b
	ビット シンボル	ビット名	機 能
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、 ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不足。		—
— (b3)	予約ビット	“0” にしてください。	RW
PCR4	CEC出力許可ビット	0: CEC出力禁止 1: CEC出力許可	RW
PCR5	INT6入力許可ビット	0: 許可 1: 禁止	RW
PCR6	INT7入力許可ビット	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット	0: 許可 1: 禁止	RW

PCR4 (CEC出力許可ビット) (b4)

CEC機能を使用するときは、PCR4ビットを“1”(CEC出力許可)にしてください。

26.3 動作説明

26.3.1 規格値と入出力タイミング

CEC送受信は、カウントソースの周期を基準にしています。

したがって、出力の場合は、カウントソースの周期のうち、CEC規格値に一番近いタイミングを規格値として出力波形を変化させます。また、入力の場合は、入力波形をカウントソースの周期でサンプリングします。

また、受信許容範囲や出力タイミングの選択肢として値を示していますが、実際の入出力はカウントソースの周期のうち、その値に一番近いタイミングで行います。

26.3.2 カウントソース

CECC1レジスタのCCLK1、CCLK0ビットで、fCまたはタイマA0アンダフローを選択してください。いずれの場合もクロックの周波数は32.768kHz、発振許容誤差±1%以内にする必要があります。また、CCLK1、CCLK0ビットでカウントソースを選択した後、かつカウントソースが安定しているときに、CECC1レジスタのCECENビットを“1”(CEC有効)にしてください。

fCを使用する場合は、PM2レジスタのPM25ビットを“1”(周辺機能クロックfC供給許可)にしてください。fCの詳細は「8. クロック発生回路」を参照してください。

タイマA0アンダフローをカウントソースにする場合、タイマA0がアンダフローするごとにタイマA0の内部信号が反転します。この内部信号がカウントソースになりますので、タイマA0アンダフロー周期2回分で、カウントソースの1周期になります。図26.3にタイマA0アンダフロー選択時のカウントソースを示します。タイマA0はタイマモード、ゲート機能なしで使用してください。タイマA0の詳細は「17. タイマA」を参照してください。

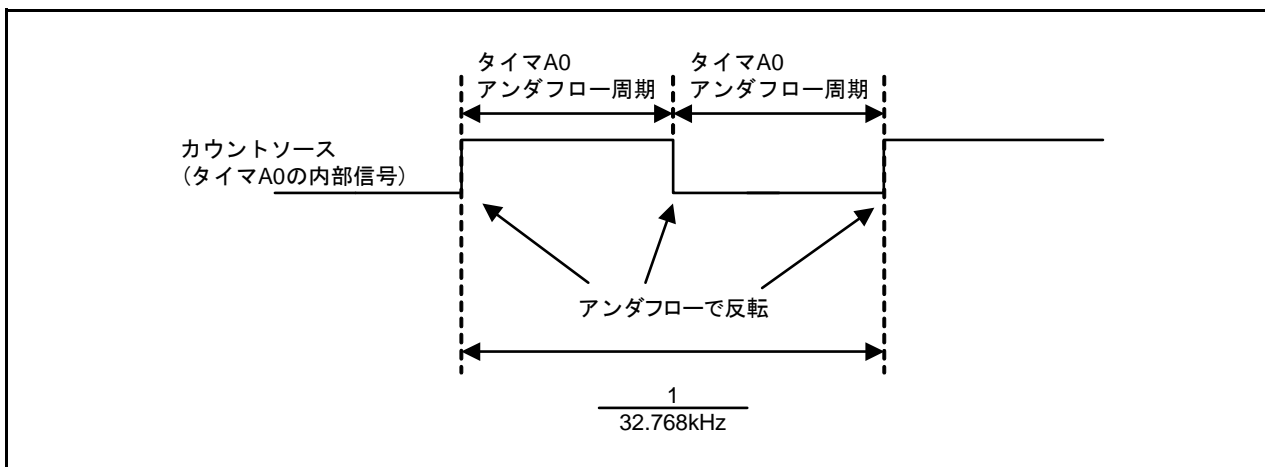


図 26.3 タイマA0アンダフロー選択時のカウントソース

26.3.3 CEC入出力

CEC入出力は入出力ポートや $\overline{\text{NMI}}$ 入力と端子を共用しています。CEC入出力を使用するときは、次のようにしてください。

- PM2レジスタのPM24ビットを“0”(NMI割り込み禁止)にする
- PCRレジスタのPCR4ビットを“1”(CEC出力許可)にする
- PD8レジスタのPD8_5ビットを“0”(入力モード)にする

なお、CEC入力にはデジタルフィルタがあります(「26.3.4 デジタルフィルタ」参照)。

26.3.4 デジタルフィルタ

CEC端子の入力は、カウントソースに同期して内部回路に伝わります。CECC2レジスタのCFILビットが“1” (デジタルフィルタ有効) の場合は、CEC端子の入力が2度続けて一致したとき、そのレベルを内部回路に伝えます。図 26.4 にデジタルフィルタを示します。

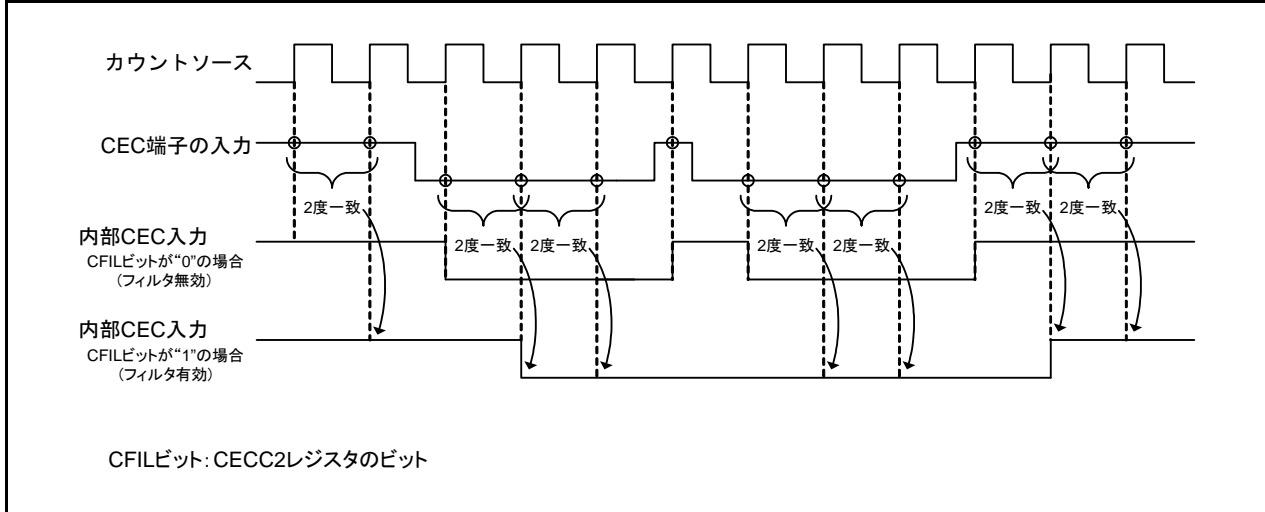


図 26.4 デジタルフィルタ

26.3.5 受信

26.3.5.1 スタートビット判定

スタートビットとデータビットの判定タイミングは、CECC2レジスタのCRRNGビットで選択できません。スタートビットの許容範囲はCECC2レジスタのCSTRRNGビットで選択してください。図 26.5 にスタートビット判定許容範囲を示します。

許容範囲のスタートビットを検出すると、CECFLGレジスタのCRSTFLGビットが“1”(スタートビット検出)になります。

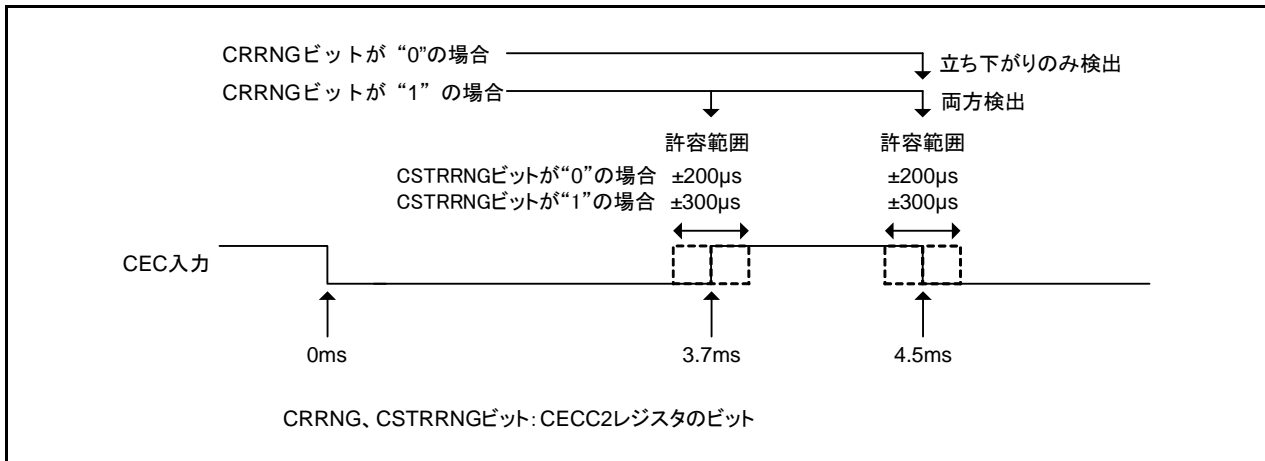


図 26.5 スタートビット判定許容範囲

26.3.5.2 データビット判定

スタートビットとデータビット(スタートビット以外のビット)の判定タイミングは、CECC2レジスタのCRRNGビットで選択できます。データビットの許容範囲はCECC2レジスタのCDATRNGビットで選択してください。図26.6にデータビット判定許容範囲(CRRNGビットが“0”の場合)を示します。

なお、CRRNGビットが“0”(立ち下がり許容範囲のみ検出)の場合、立ち上がりエッジが1.05msより前ならデータ1、1.05ms以降ならデータ0と判定します。

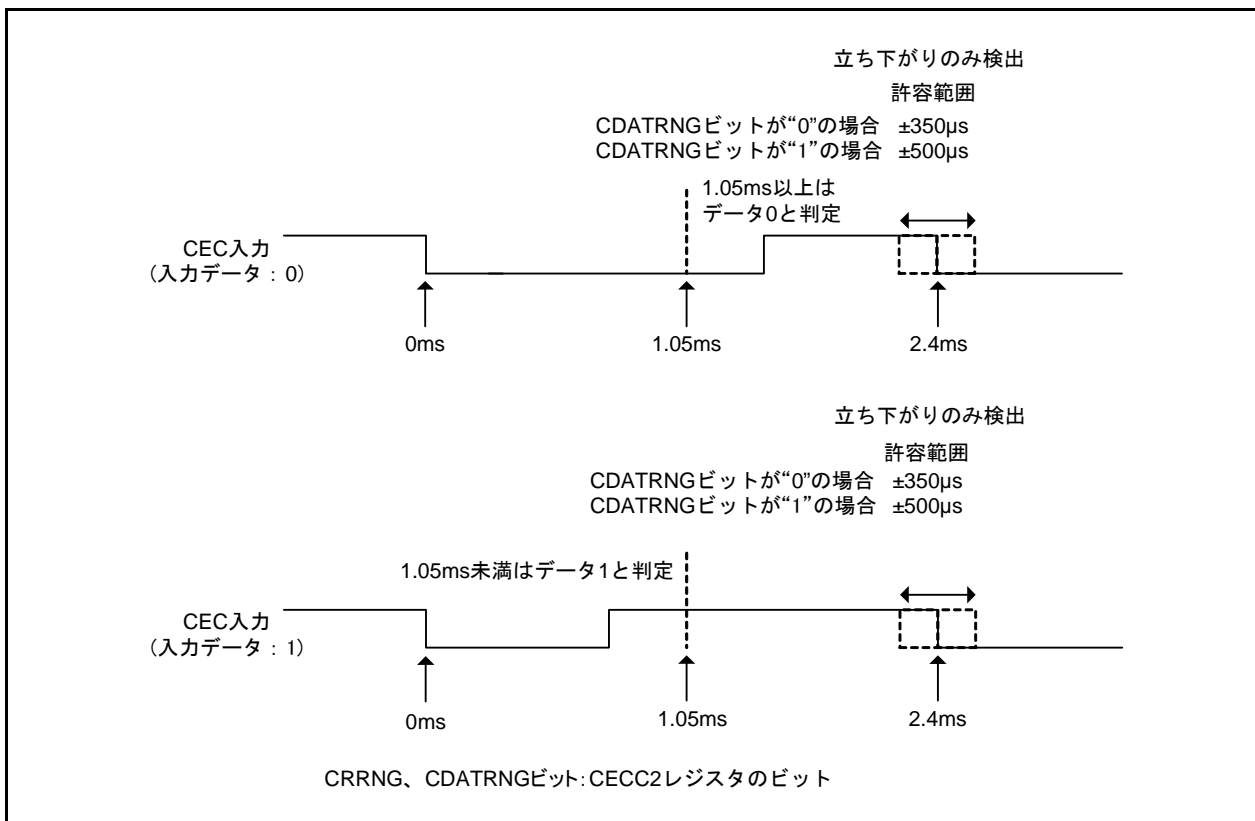


図 26.6 データビット判定許容範囲(CRRNGビットが“0”の場合)

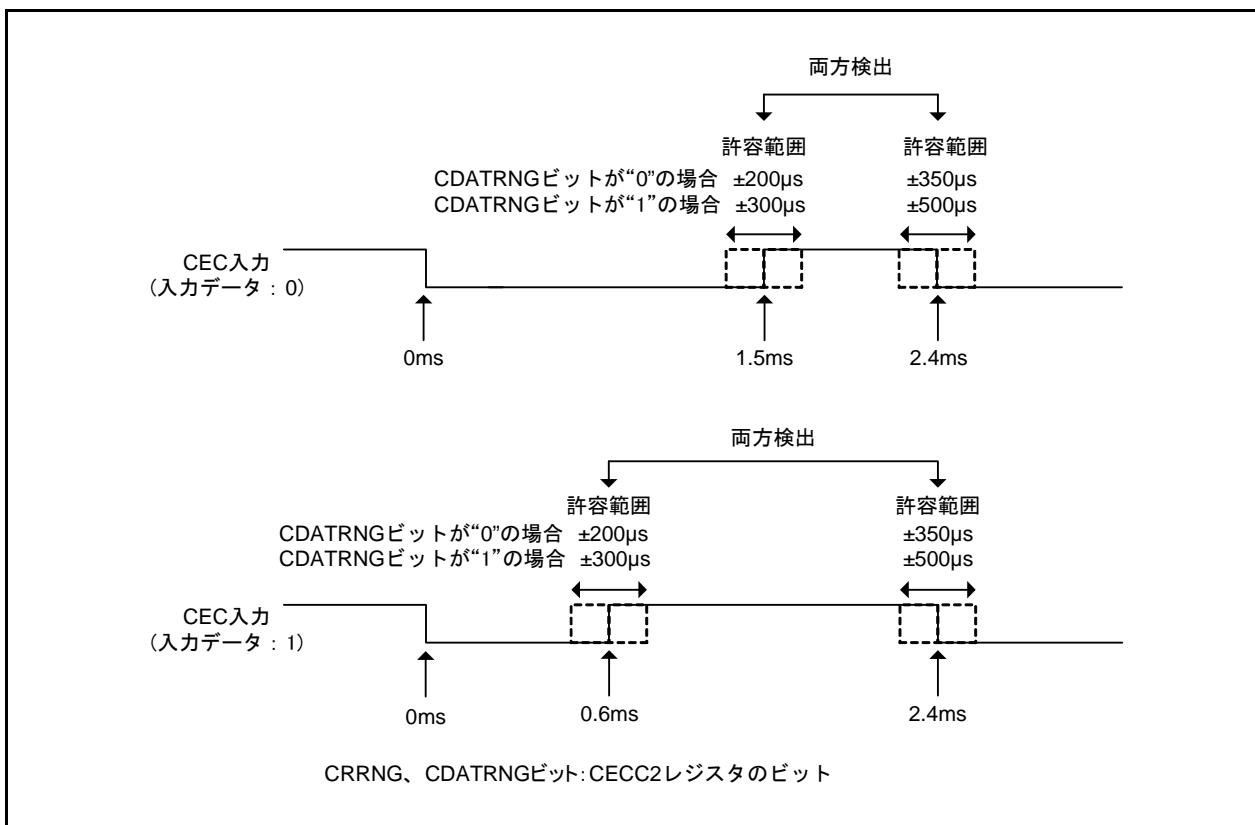


図 26.7 データビット判定許容範囲(CRRNGビットが“1”の場合)

26.3.5.3 エラー判定

データビットが判定許容範囲を超えると受信エラーになります。受信エラー時は次のような動作をします。

- CECFLGレジスタのCRERRFLGビットが“1”(受信エラー)になる
- CECC4レジスタのCABTENビットが“1”(受信エラー時“L”パルス出力許可)の場合、3.6msの“L”パルスを出力。ただし、スタートビットでエラーが出た場合は、出力しません。

また、CABTENビットが“1”(受信エラー時“L”パルス出力許可)の場合、“L”パルスの出力タイミングをCECC4レジスタのCABTWENビットで選択できます。

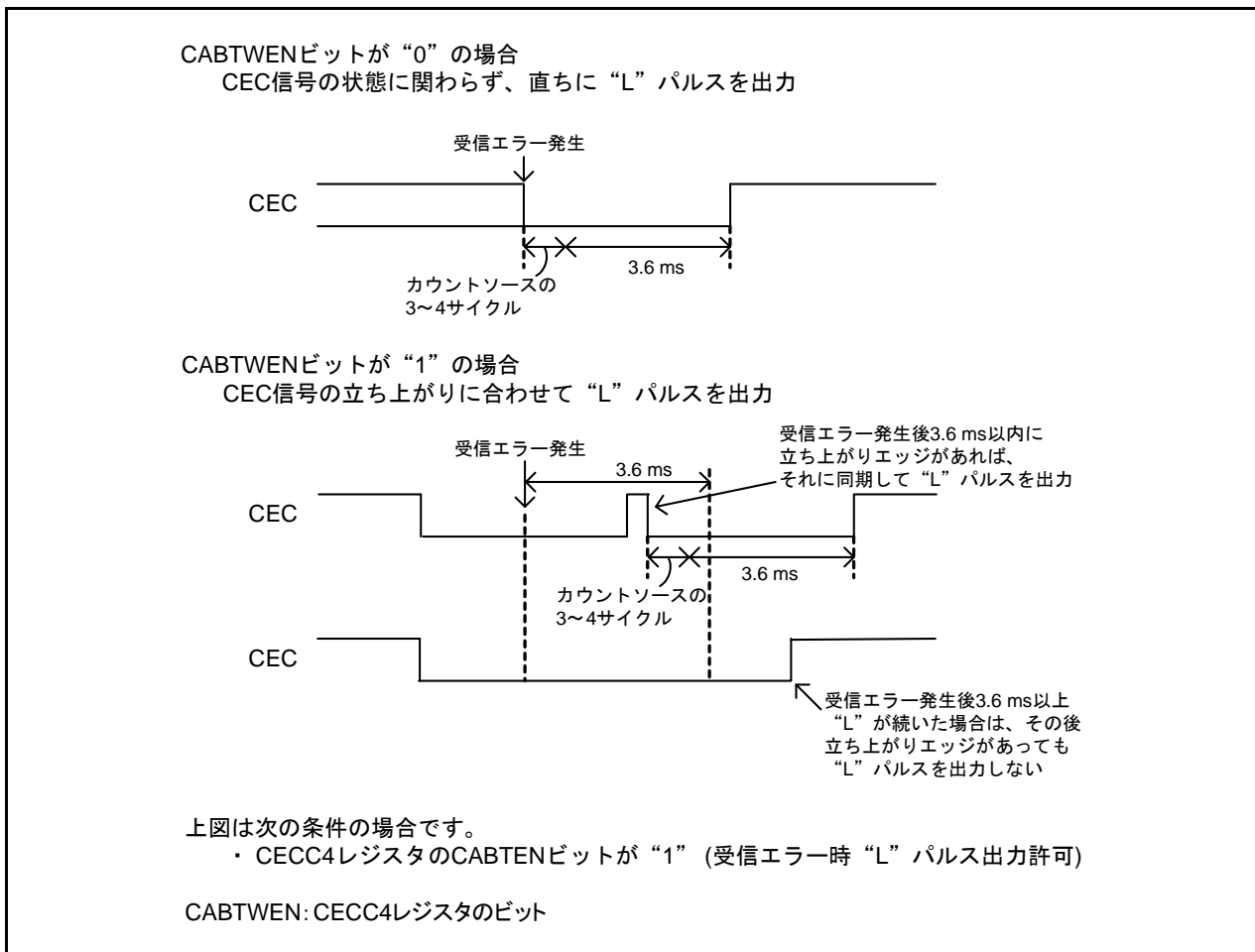


図 26.8 受信エラー時の“L”パルス出力ウェイト制御

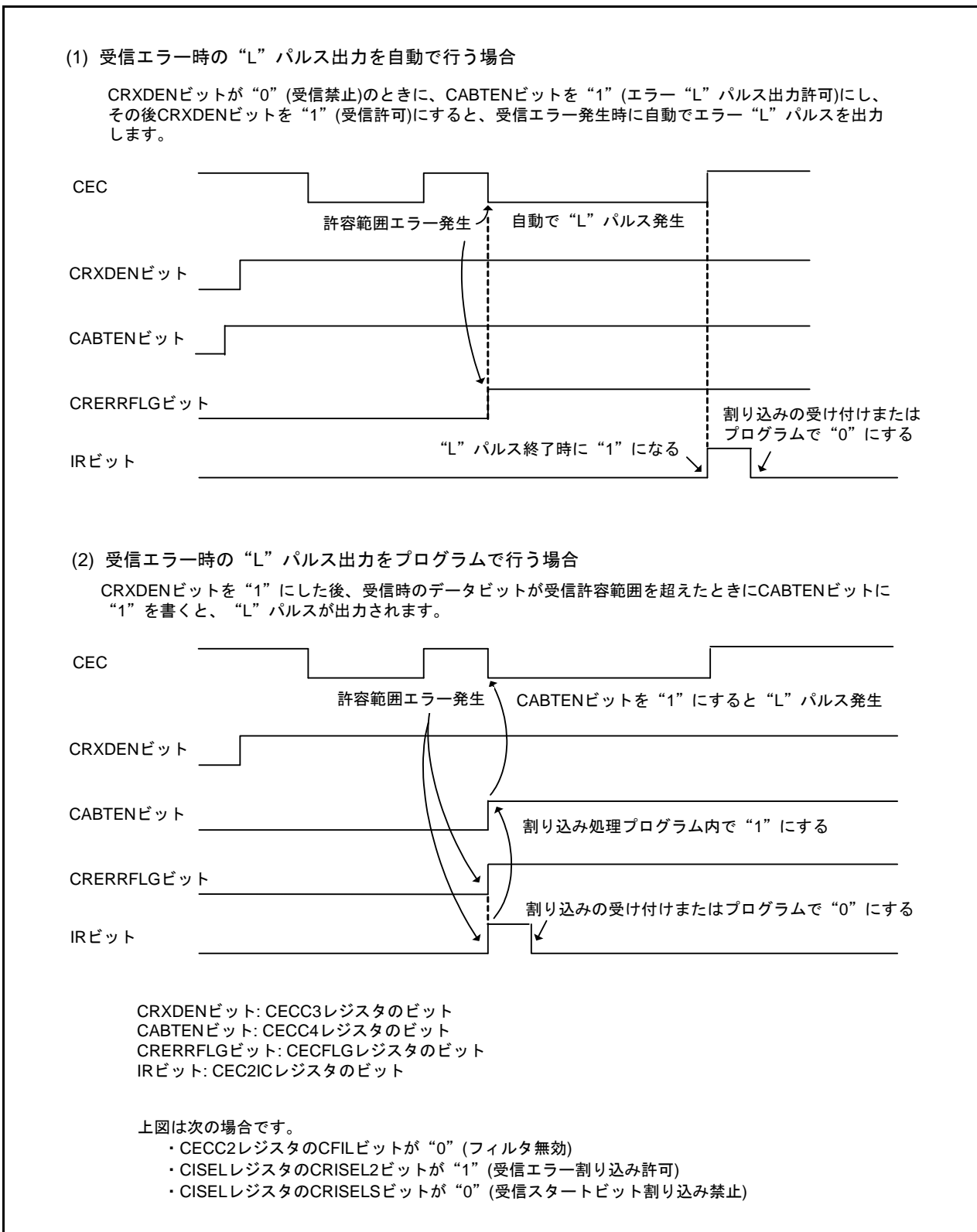


図 26.9 受信エラー時の“L”パルス出力タイミング

26.3.5.4 ACKビット出力

10ビット目(ACKビット)に出力する値を選択できます。

CECC2レジスタのCRACKビットが“0”(プログラム挿入)の場合は、CCRB2レジスタのCCRBAOビットの値をACKデータとして出力します。

CRACKビットが“1”(ハードウェア挿入)の場合は、受信したDestinationアドレスとCRADRI1またはCRADRI2レジスタで選択したアドレス(自アドレス)との関係でACK出力が決まります。表 26.8にACK出力を示します。

表 26.8 ACK出力

CRACK ビット	CCRBAO ビット	Destinationアドレス		ACK 出力
		受信したDestination アドレス	CRADRI1、CRADRI2レジスタで選択した アドレス(自アドレス)	
0	0	—	—	ACK
	1	—	—	NACK
1	—	Direct (0000b~1110b)	受信したDestinationアドレスと一致	ACK
			受信したDestinationアドレスと一致しない	NACK
	Broadcast (1111b)	1111b (受信したDestinationアドレスと一致)	ACK	
		0000b~1110b	NACK	

26.3.5.5 受信例

図 26.10 に受信例、図 26.11 に受信例(エラー発生時、エラー“L”パルス出力禁止から許可に変更した場合)を示します。

受信エラーが起きると CECFLG レジスタの CRERRFLG ビットが“1”(受信エラー)になります。受信中にエラーが起きて受信が終了した場合、CECC3 レジスタの CRXDEN ビットを“0”(受信禁止)にしてください。CRXDEN ビットを“0”にすると CRERRFLG ビットが“0”になります。再度受信する場合は、CRXDEN ビットを“0”(受信禁止)にした後、カウントソースの1サイクル以上待って、CRXDEN ビットを“1”(受信許可)にしてください。

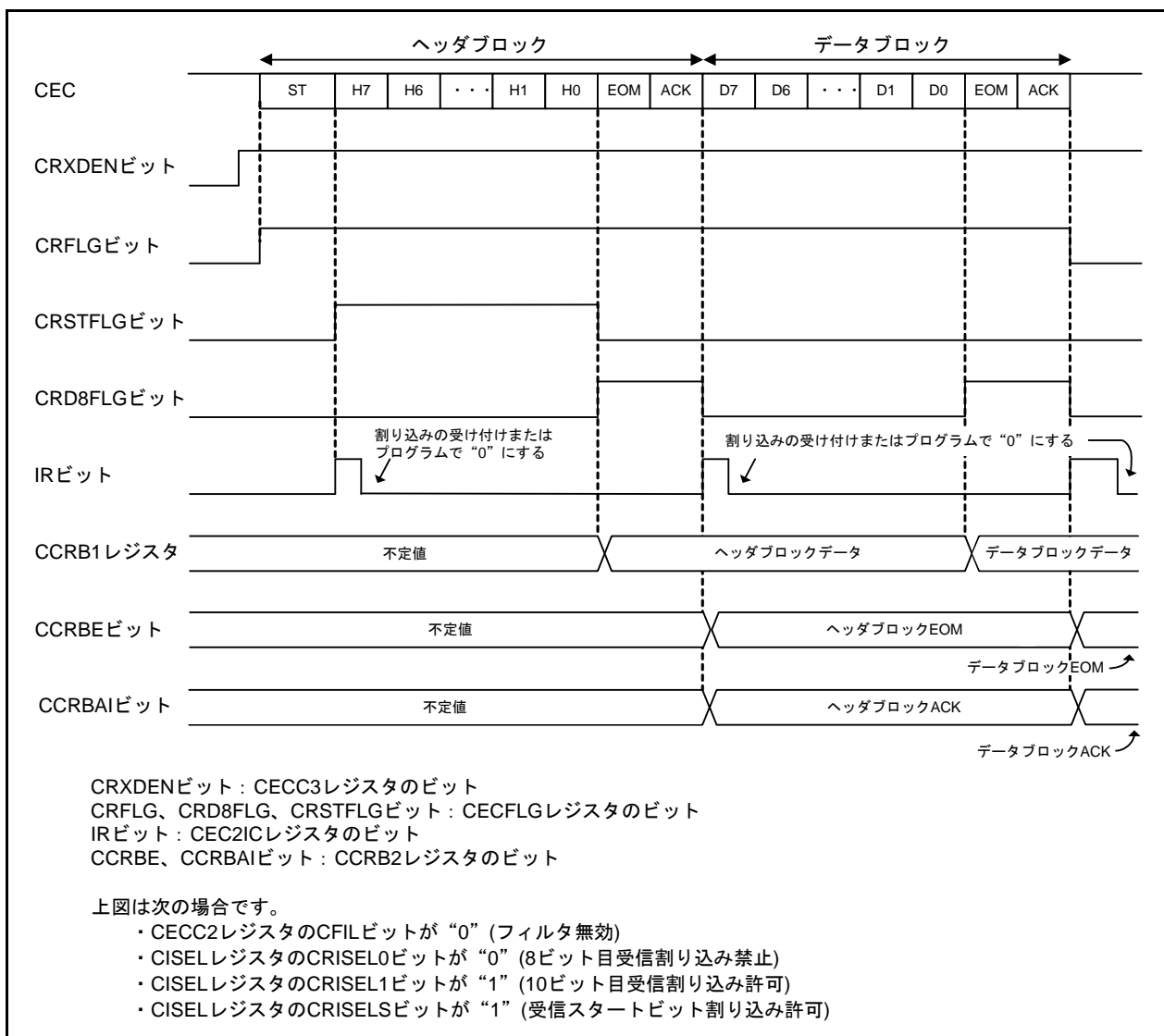


図 26.10 受信例

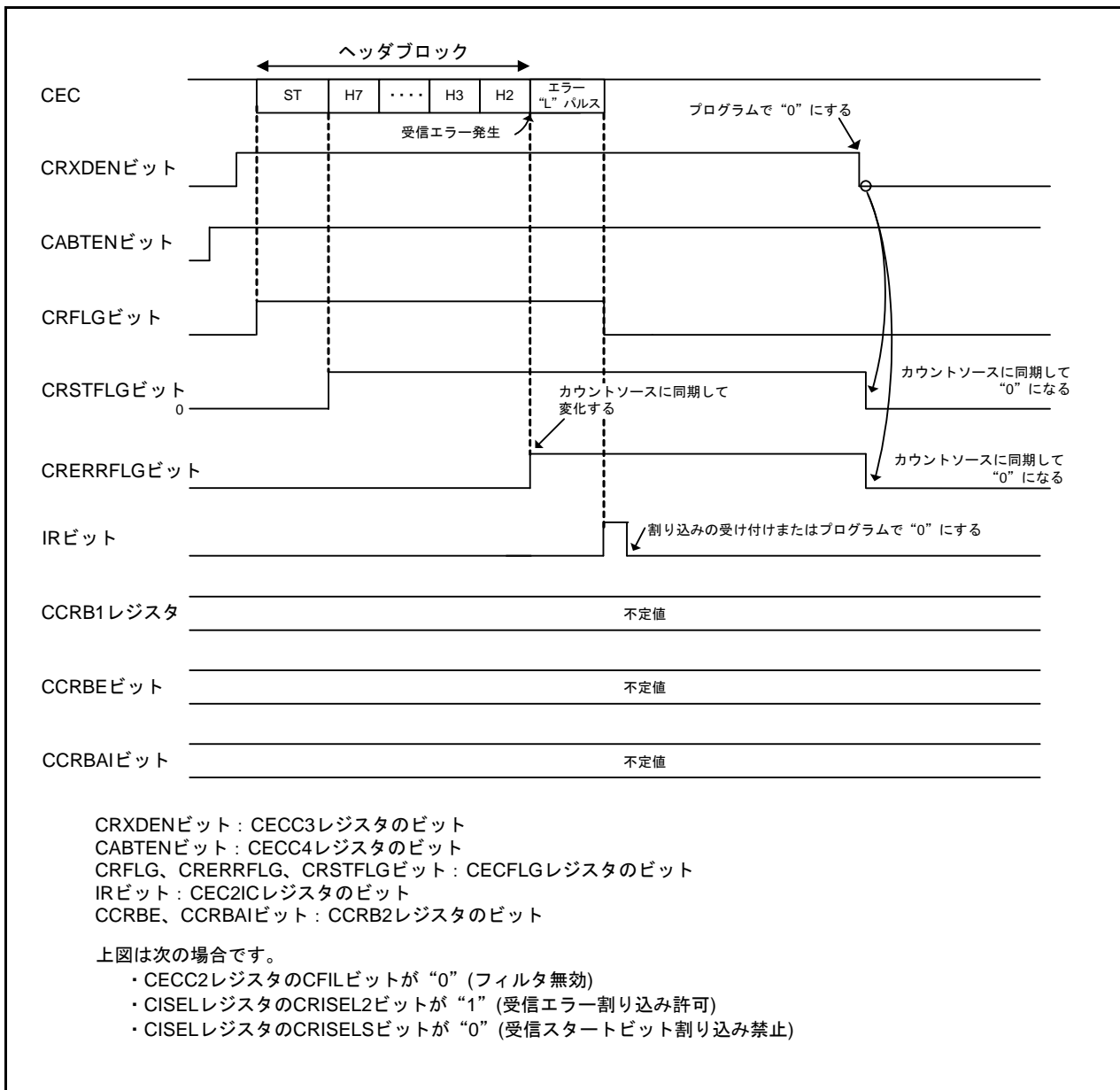


図 26.11 受信例(エラー発生時、エラー "L" パルス出力禁止から許可に変更した場合)

26.3.6 送信

26.3.6.1 送信信号タイミング選択

送信信号の立ち上がり、立ち下がりタイミングを選択できます。

送信信号の立ち上がりタイミングは、CECC4レジスタのCRISE2~CRISE0ビットで選択できます。

図 26.12に送信信号の立ち上がりタイミングを示します。

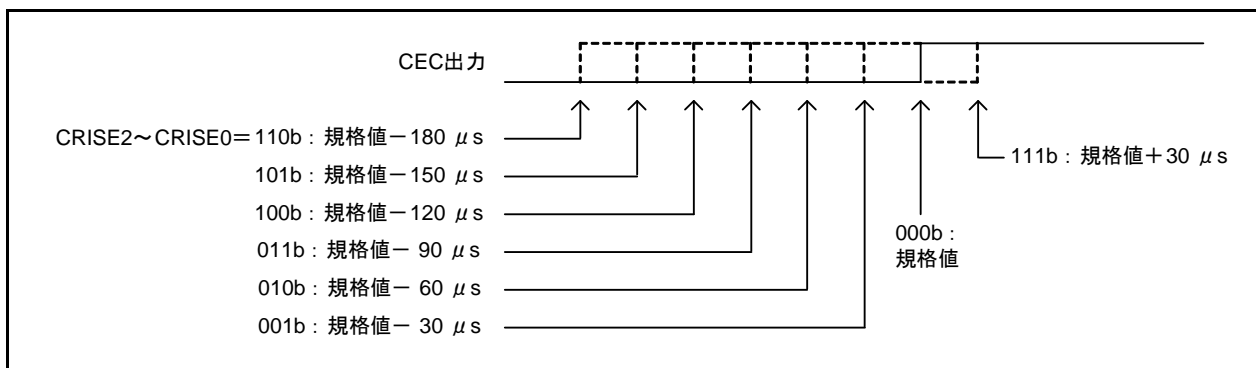


図 26.12 送信信号の立ち上がりタイミング

送信信号の立ち下がりタイミングは、CECC4レジスタのCFALL1~CFALL0ビットで選択できます。

図 26.13に送信信号の立ち下がりタイミングを示します。

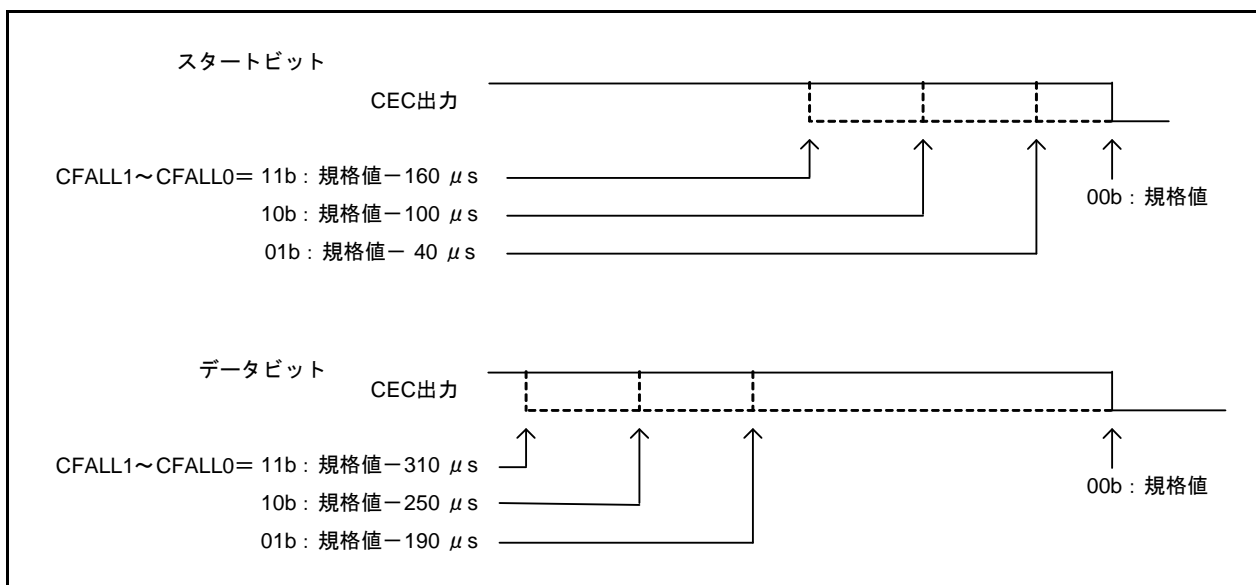


図 26.13 送信信号の立ち下がりタイミング

26.3.6.2 アービトレーションロスト検出

データ送信時、次の場合にアービトレーションロストを検出します。

- CEC出力をHi-Zにしているとき、外部の要因で“L”になった
- CEC端子を“L”出力からHi-Zに切り替える際、受信許容範囲を超えても端子が“L”レベル

アービトレーションロストを検出する範囲は、CECC2レジスタのCTABTSビットで選択できます。

図 26.14にアービトレーションロスト検出範囲を示します。

アービトレーションロストを検出するとCECFLGレジスタのCTABTFLGが“1”(アービトレーションロスト検出)になります。

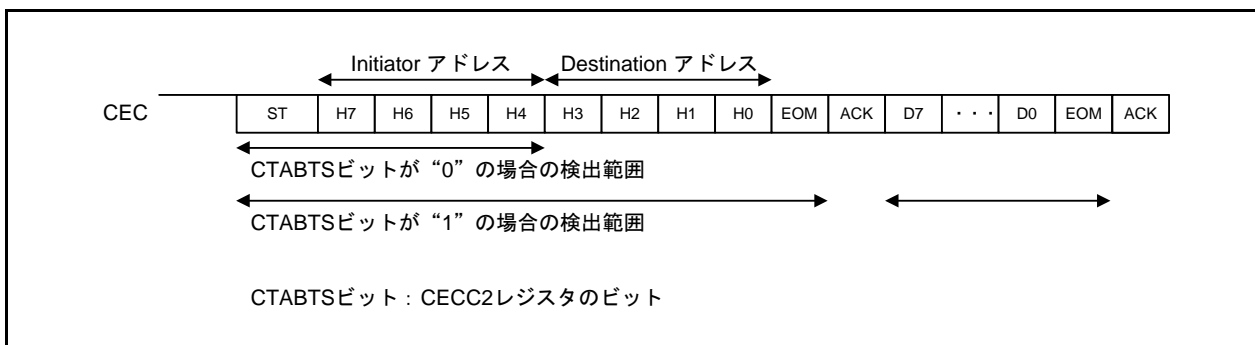


図 26.14 アービトレーションロスト検出範囲

26.3.6.3 送信例

図 26.15に送信例、図 26.16に送信例(NACK受信時)、図 26.17に送信例(アービトレーションロスト検出時)を示します。

送信後は、CECC3レジスタのCTXDENビットを“0”(送信禁止)にしてください。続けて送信する場合も、1つのフレーム(ヘッダブロックと1つまたは複数のデータブロック)の送信後、一度CTXDENビットを“0”(送信禁止)にし、カウントソースの1サイクル以上待って、CTXDENビットを“1”(送信許可)にしてください。

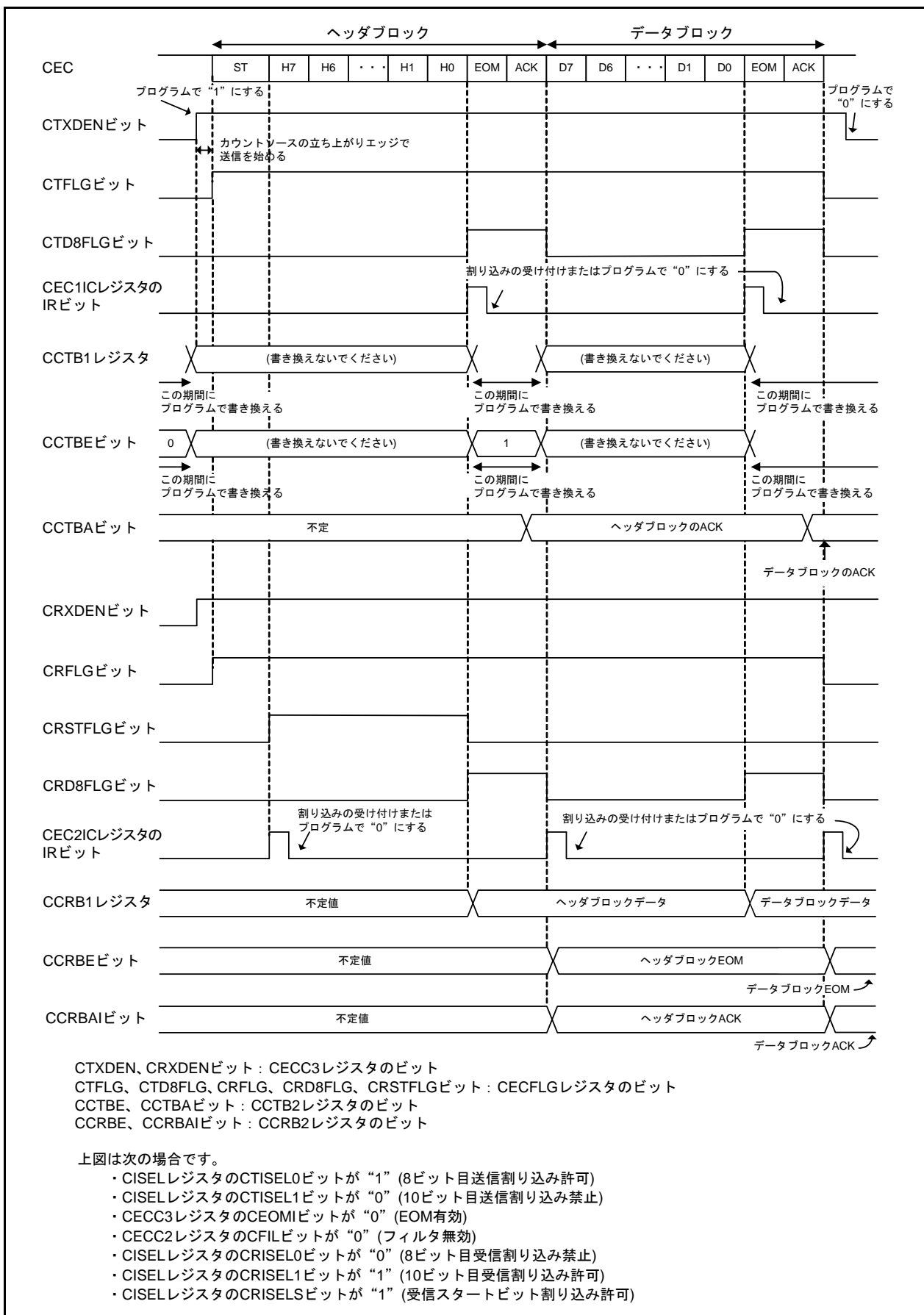


図 26.15 送信例

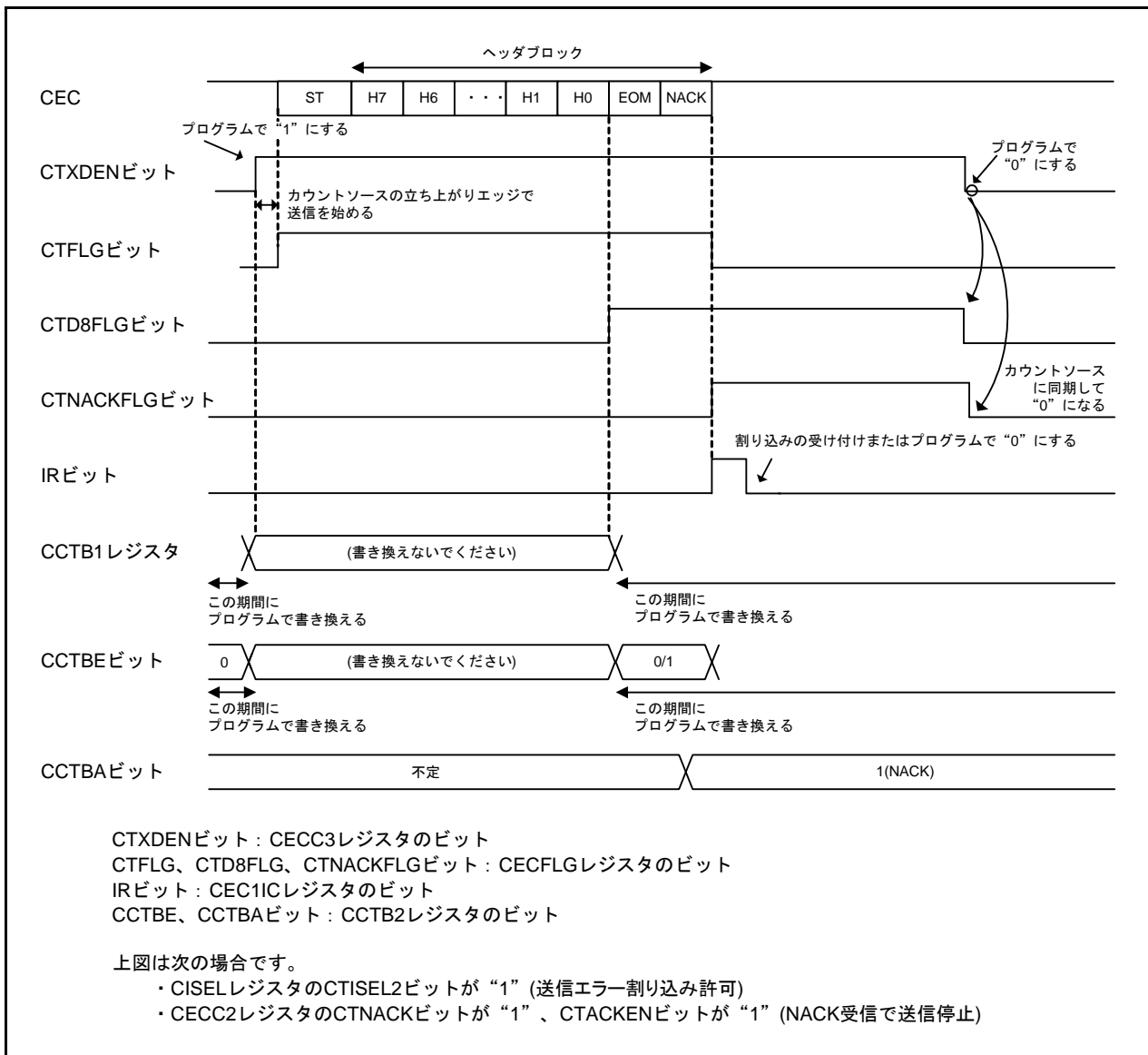


図 26.16 送信例(NACK受信時)

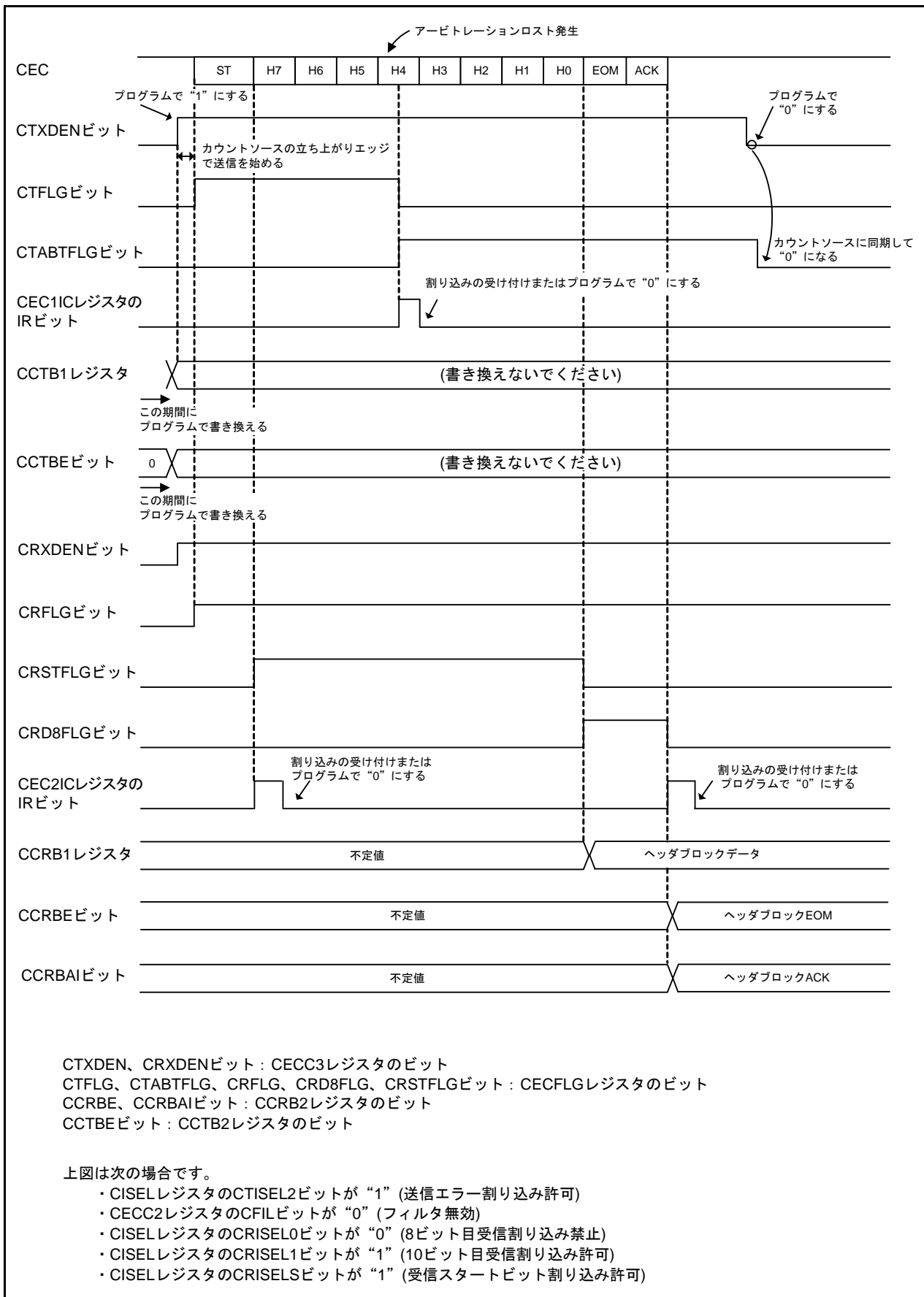


図 26.17 送信例 (アービトレーションロスト検出時)

26.4 割り込み

CEC機能には、CEC1割り込みとCEC2割り込みがあります。表 26.9~表 26.10にCEC割り込みの割り込み要因を示します。これらの割り込み要因から、CEC1割り込みまたはCEC2割り込みの割り込み要求が発生します。なお、CISELレジスタのCRISELMビットが“1”の場合は、受信したDestinationアドレスが次のいずれかの場合にのみ、8/10ビット目受信割り込み要求が発生します。

- CRADRI1またはCRADRI2レジスタで選択したアドレスと一致
- Broadcast (1111b)

図 26.18にCEC機能の割り込みを示します。

表 26.9 CEC1割り込みの割り込み要因

分類	割り込み要因	割り込み要求タイミング	割り込み許可ビット
送信割り込み	8ビット目送信	CTD8FLGが“0”から“1”になるとき	CTISEL0
	10ビット目送信	CTD8FLGが“1”から“0”になるとき	CTISEL1
送信エラー割り込み	アービトレーションロスト	CTABTFLGが“0”から“1”になるとき	CTISEL2
	NACK受信(Direct address時) ACK受信(Broadcast時)	CTNACKFLGが“0”から“1”になるとき	

CTD8FLG、CTABTFLG、CTNACKFLG: CECFLGレジスタのビット

CTISEL0、CTISEL1、CTISEL2: CISELレジスタのビット

表 26.10 CEC2割り込みの割り込み要因

分類	割り込み要因	割り込み要求タイミング	割り込み許可ビット
受信割り込み	8ビット目受信	CRD8FLGビットが“0”から“1”になるとき(注1)	CRISEL0
	10ビット目受信	CRD8FLGビットが“1”から“0”になるとき(注1)	CRISEL1
	スタートビット検出	CRSTFLGビットが“0”から“1”になるとき	CRISELS
受信エラー割り込み	規格外信号受信	CRERRFLGビットが“0”から“1”になるとき	CRISEL2

CRD8FLG、CRSTFLG、CRERRFLG: CECFLGレジスタのビット

CRISEL0、CRISEL1、CRISELS、CRISEL2: CISELレジスタのビット

注1. CISELレジスタのCRISELMビットの影響を受けます。

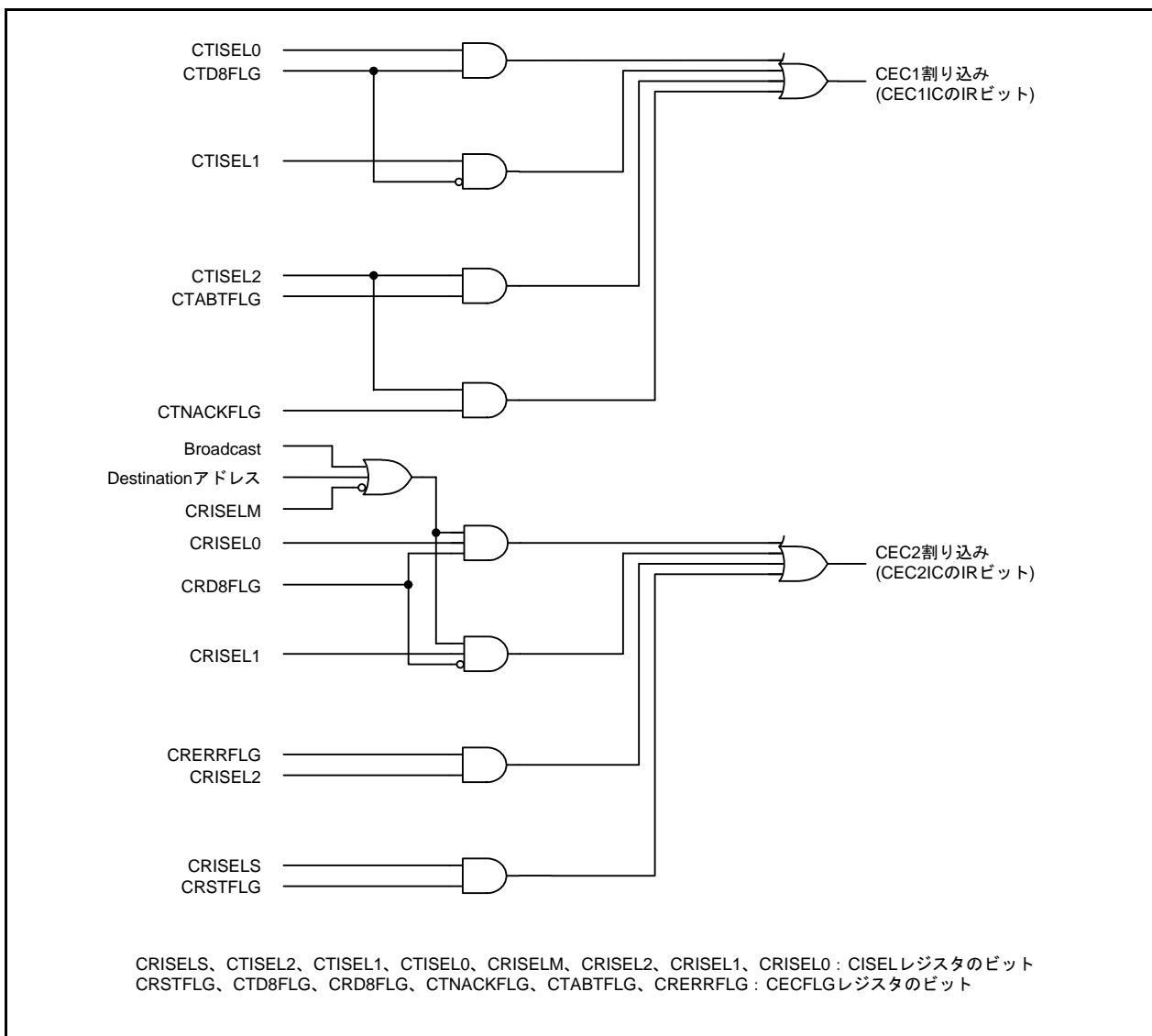


図 26.18 CEC 機能の割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 26.11 に CEC 機能の割り込み関連レジスタを示します。

表 26.11 CEC 機能の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Bh	CEC1 割り込み制御レジスタ	CEC1IC	XXXX X000b
006Ch	CEC2 割り込み制御レジスタ	CEC2IC	XXXX X000b
0205h	割り込み要因選択レジスタ 3	IFSR3A	00h

CEC 機能は他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。CEC1 割り込みを使用する場合は、IFSR3A レジスタの IFSR33 ビットを“1” (CEC1) にしてください。CEC2 割り込みを使用する場合は、IFSR3A レジスタの IFSR34 ビットを“1” (CEC2) にしてください。

26.5 CEC (Consumer Electronics Control) 機能使用上の注意事項

26.5.1 レジスタ、ビット操作

CEC 機能のレジスタ、ビットは、カウントソースに同期して動作します。プログラムでレジスタの値を変更するとレジスタの値はすぐに書き換わりますが、内部回路はカウントソースのタイミングを待って動作します。そのため、同じビットの値を続けて変更する場合や、他のビットの影響で値が変わるビットを読む場合は、カウントソースの1サイクル以上待ってください。

例1) 同じビットの値を続けて変更する例

- (1) ビットの値を“0”に変更する
- (2) カウントソースの1サイクル以上待つ
- (3) 同じビットの値を“1”に変更する

例2) 他のビットの影響で値が変わるビットを読む場合

(受信禁止にした後、CECFLG レジスタの CRERRFLG ビットが“0” (受信エラー未検出) になったことを確認する場合)

- (1) CECC3 レジスタの CRXDEN ビットを“0” (受信禁止) にする
- (2) カウントソースの1サイクル以上待つ
- (3) CECFLG レジスタの CRERRFLG ビットを読む

26.5.2 CEC 端子の VIH

CEC 端子の VIH は、CEC 規格を満たしていません。CEC 端子の VIH でご使用いただくか、図 26.19 に示す CEC 外付け回路を使用して、CEC 端子の入力電圧が CEC 端子の VIH 以上になるようにしてください。

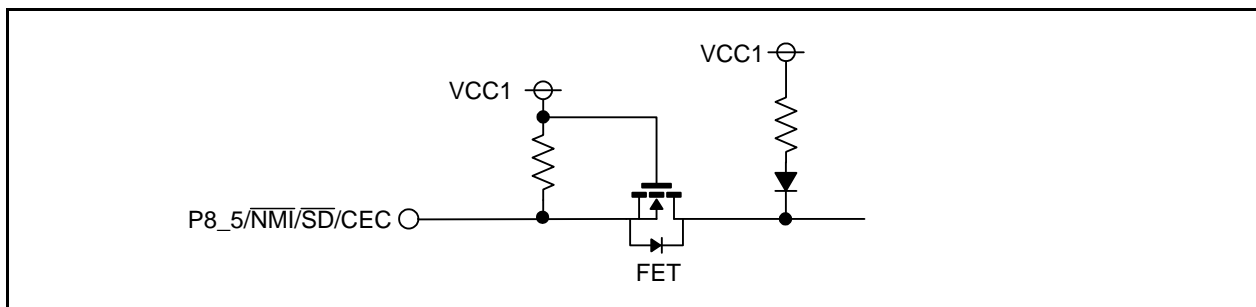


図 26.19 CEC 外付け回路

27. A/Dコンバータ

27.1 概要

10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

表 27.1にA/Dコンバータの仕様、図 27.1にA/Dコンバータのブロック図を示します。

表 27.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式
アナログ入力電圧	0V~AVCC (VCC1)
動作クロックφAD	f1、f1の2分周、f1の3分周、f1の4分周、f1の6分周、f1の12分周
分解能	10ビット
積分非直線性誤差	AVCC=VREF=5V AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7入力の場合 ±3LSB ANEX0、ANEX1入力の場合 ±3LSB AVCC=VREF=3.0V AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7入力の場合 ±3LSB ANEX0、ANEX1入力の場合 ±3LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子	8本 (AN0~AN7) + 2本 (ANEX0、ANEX1) + 8本 (AN0_0~AN0_7) + 8本 (AN2_0~AN2_7)
A/D変換開始条件	ソフトウェアトリガ ADCON0レジスタのADSTビットを“1” (A/D変換開始) にする 外部トリガ(再トリガ可能) ADSTビットを“1” (A/D変換開始) にした後、ADTRG端子の入力が“H”から“L”へ変化
1端子あたりの変換速度	最短43φADサイクル

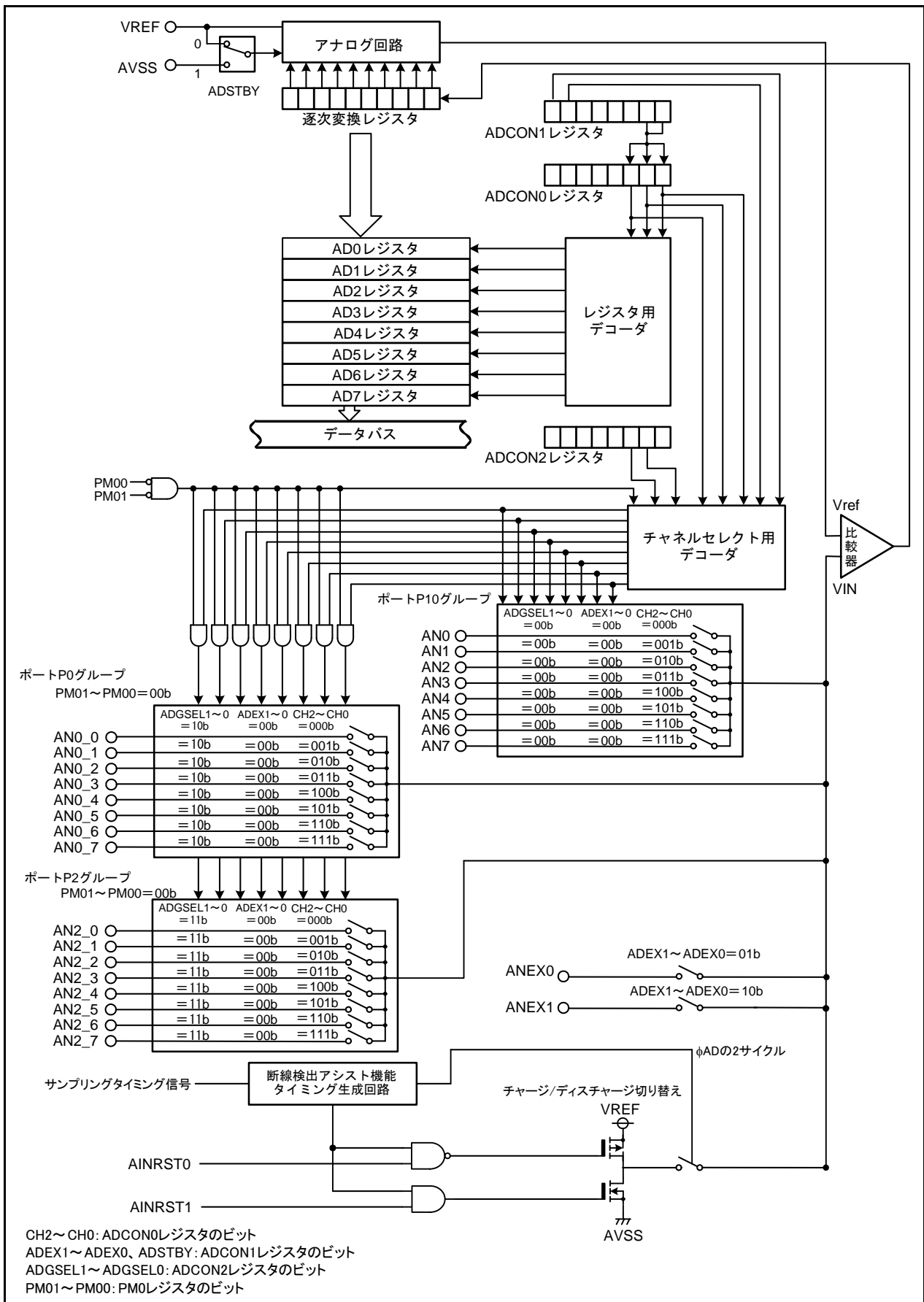


図 27.1 A/Dコンバータのブロック図

表 27.2 入出力端子

端子名	入出力	機能
AN0~AN7	入力	アナログ入力
ANEX0、ANEX1	入力	アナログ入力
AN0_0~AN0_7	入力	アナログ入力
AN2_0~AN2_7	入力	アナログ入力
ADTRG	入力	トリガ入力

注1. 端子を共有しているポートの方向ビットを“0” (入力モード)にしてください。

27.2 レジスタの説明

A/Dコンバータ関連レジスタを表 27.3 レジスタ一覧 に示します。

表 27.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0366h	ポート制御レジスタ	PCR	0000 0XX0b
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03C0h	A/D レジスタ 0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/D レジスタ 1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/D レジスタ 2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/D レジスタ 3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/D レジスタ 4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/D レジスタ 5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/D レジスタ 6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/D レジスタ 7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D4h	A/D 制御レジスタ 2	ADCON2	0000 X00Xb
03D6h	A/D 制御レジスタ 0	ADCON0	0000 0XXXb
03D7h	A/D 制御レジスタ 1	ADCON1	0000 X000b

27.2.1 ポート制御レジスタ (PCR)

ポート制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCR	アドレス 0366h番地	リセット後の値 0000 0XX0b
	ビット シンボル	ビット名	機能
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、 ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください。	RW
PCR4	CEC出力許可ビット	0: CEC出力禁止 1: CEC出力許可	RW
PCR5	$\overline{\text{INT6}}$ 入力許可ビット	0: 許可 1: 禁止	RW
PCR6	$\overline{\text{INT7}}$ 入力許可ビット	0: 許可 1: 禁止	RW
PCR7	キー入力許可ビット	0: 許可 1: 禁止	RW

PCR5 ($\overline{\text{INT6}}$ 入力許可ビット) (b5)

AN2_4端子をアナログ入力に使用する場合は、PCR5ビットを“1” ($\overline{\text{INT6}}$ 入力禁止) にしてください。

PCR6 ($\overline{\text{INT7}}$ 入力許可ビット) (b6)

AN2_5端子をアナログ入力に使用する場合は、PCR6ビットを“1” ($\overline{\text{INT7}}$ 入力禁止) にしてください。

PCR7 (キー入力許可ビット) (b7)

AN4~AN7端子をアナログ入力に使用する場合は、PCR7ビットを“1” (キー入力禁止) にしてください。

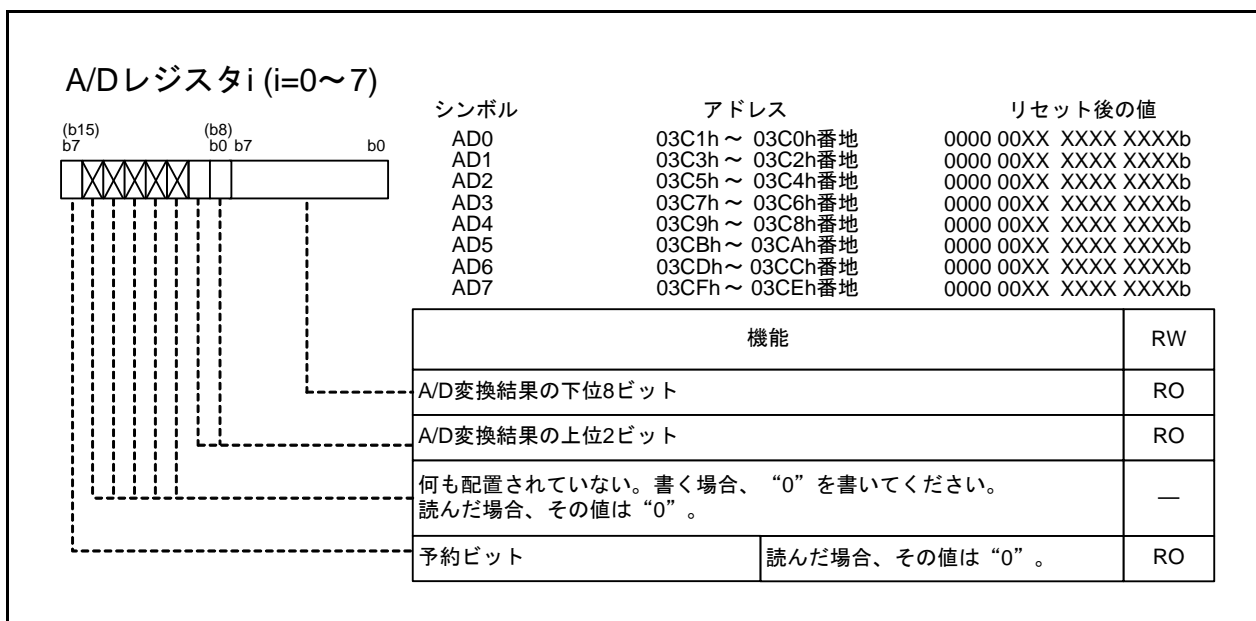
27.2.2 断線検知アシスト機能レジスタ (AINRST)

断線検知アシスト機能レジスタ			
	シンボル AINRST	アドレス 03A2h番地	リセット後の値 XX00 XXXXb
ビット シンボル	ビット名	機 能	RW
— (b3-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
AINRST0	断線検知アシスト機能許可 ビット	b5 b4 0 0: 断線検知禁止 0 1: 変換前チャージ 1 0: 変換前ディスチャージ 1 1: 設定しないでください	RW
AINRST1			RW
— (b7-b6)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

AINRST1~AINRST0 (断線検知アシスト機能許可ビット) (b5~b4)

A/D断線検出アシスト機能を許可にする場合は、AINRST0ビットまたはAINRST1ビットを“1”にした後、 ϕ ADの1サイクル待つて、ADCON0レジスタのADSTビットを“1”(A/D変換)にしてください。

27.2.3 A/D レジスタ i (ADi) (i=0~7)

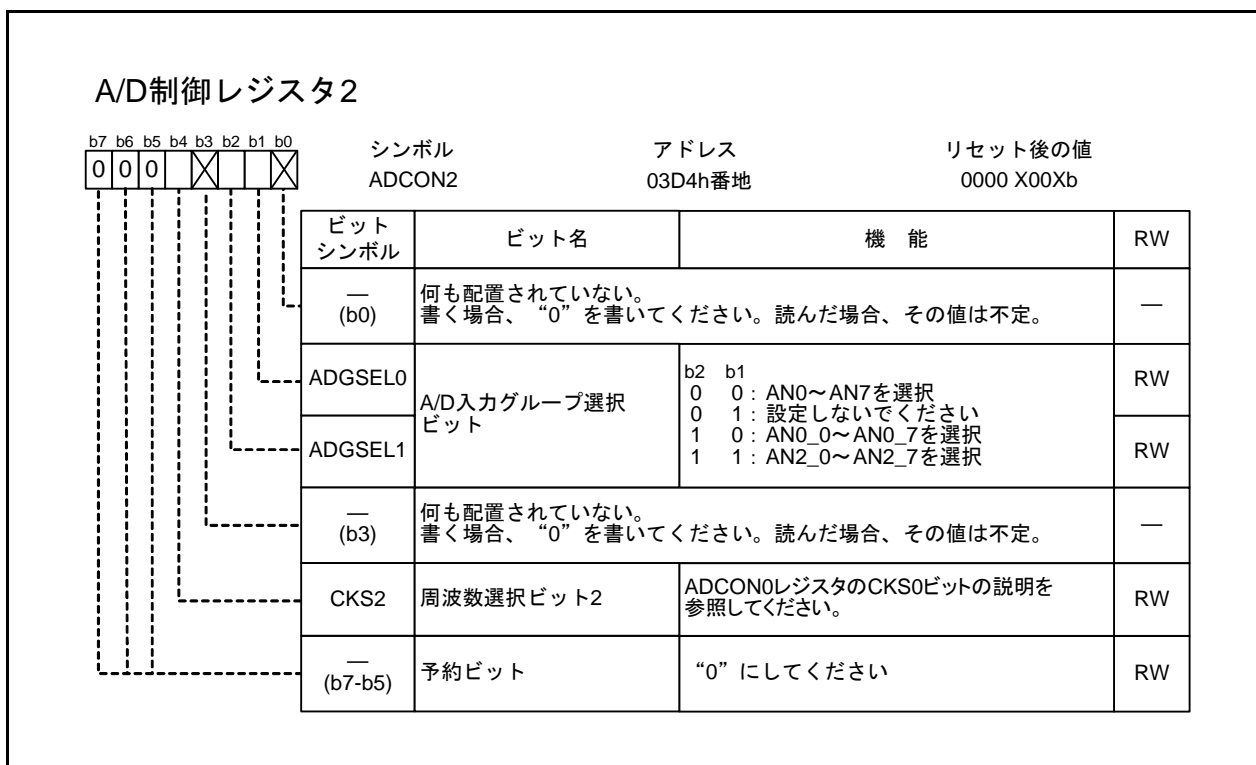


A/D 変換した結果は、AN_i、ANEX_i、AN0_i、AN2_i 端子に対応した AD_i レジスタに格納されます。AD_i レジスタは、16ビット単位で読み出してください。表 27.4 にアナログ端子と A/D 変換結果格納レジスタを示します。

表 27.4 アナログ端子と A/D 変換結果格納レジスタ

アナログ端子				A/D 変換結果格納レジスタ
AN0	ANEX0	AN0_0	AN2_0	AD0 レジスタ
AN1	ANEX1	AN0_1	AN2_1	AD1 レジスタ
AN2	—	AN0_2	AN2_2	AD2 レジスタ
AN3	—	AN0_3	AN2_3	AD3 レジスタ
AN4	—	AN0_4	AN2_4	AD4 レジスタ
AN5	—	AN0_5	AN2_5	AD5 レジスタ
AN6	—	AN0_6	AN2_6	AD6 レジスタ
AN7	—	AN0_7	AN2_7	AD7 レジスタ

27.2.4 A/D制御レジスタ2 (ADCON2)



A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定となります。

ADGSEL1~ADGSEL0 (A/D入力グループ選択ビット) (b2~b1)

AN0_0~AN0_7端子は、PM0レジスタのPM01~PM00ビットが“01b”(メモリ拡張モード)でPM05~PM04ビットが“11b”(マルチプレクスバスを \overline{CS} の全空間に割り当てる)の場合もアナログ入力端子として使用できます。

27.2.5 A/D制御レジスタ0 (ADCON0)

A/D制御レジスタ0			
シンボル ADCON0	アドレス 03D6h番地	リセット後の値 0000 0XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット	単発モード、繰り返しモードの場合 b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: AN4を選択 1 0 1: AN5を選択 1 1 0: AN6を選択 1 1 1: AN7を選択	RW
CH1		RW	
CH2		RW	
MD0	A/D動作モード選択ビット0	b4 b3 0 0: 単発モード 0 1: 繰り返しモード 1 0: 単掃引モード 1 1: 繰り返し掃引モード0 または繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	CKS0ビットの説明を参照してください	RW

A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

CH2~CH0 (アナログ入力端子選択ビット) (b2~b0)

単発モード、繰り返しモードでは、AN0~AN7端子と同様にAN0_0~AN0_7、AN2_0~AN2_7端子を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1では無効です。

MD1~MD0 (A/D動作モード選択ビット0) (b4~b3)

A/D動作モードは、MD1~MD0ビットとADCON1レジスタのMD2ビットの組み合わせで選択できます。表 27.5にA/D動作モード選択を示します。

表 27.5 A/D動作モード選択

ビットの設定			A/D動作モード
ADCON1レジスタ	ADCON0レジスタ		
MD2	MD1	MD0	
0	0	0	単発モード
0	0	1	繰り返しモード
0	1	0	単掃引モード
0	1	1	繰り返し掃引モード0
1	1	1	繰り返し掃引モード1

上記以外の組み合わせを設定しないでください。

CKS0 (周波数選択ビット0) (b7)

φADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。表 27.6にφAD周波数選択を示します。

表 27.6 φAD周波数選択

CKS2	CKS1	CKS0	φAD
0	0	0	fAD(f1)の4分周
0	0	1	fAD(f1)の2分周
0	1	0	fAD(f1)
0	1	1	
1	0	0	fAD(f1)の12分周
1	0	1	fAD(f1)の6分周
1	1	0	fAD(f1)の3分周
1	1	1	

上記以外の組み合わせを設定しないでください。

27.2.6 A/D制御レジスタ1 (ADCON1)

A/D制御レジスタ1		シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000 X000b
ビット シンボル	ビット名	機能		RW
SCAN0	A/D掃引端子選択ビット	単掃引モード、繰り返し掃引モード0の場合 b1 b0 0 0 : AN0~AN1 (2端子) 0 1 : AN0~AN3 (4端子) 1 0 : AN0~AN5 (6端子) 1 1 : AN0~AN7 (8端子)		RW
SCAN1		繰り返し掃引モード1の場合 b1 b0 0 0 : AN0 (1端子) 0 1 : AN0~AN1 (2端子) 1 0 : AN0~AN2 (3端子) 1 1 : AN0~AN3 (4端子)		RW
MD2	A/D動作モード選択 ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1		RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定		—	
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの説明を 参照してください		RW
ADSTBY	A/Dスタンバイビット	0 : A/D動作停止(スタンバイ) 1 : A/D動作可能		RW
ADEX0	拡張端子選択ビット	単発モード、繰り返しモードの場合 b7 b6 0 0 : ANEX0, ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 設定しないでください		RW
ADEX1				RW

A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

SCAN1~SCAN0 (A/D掃引端子選択ビット) (b1~b0)

単発モード、繰り返しモードでは無効です。

単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1では、AN0~AN7端子と同様にAN0_0~AN0_7、AN2_0~AN2_7端子を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

MD2 (A/D動作モード選択ビット1) (b2)

A/D動作モードは、ADCON0レジスタのMD1~MD0ビットとMD2ビットの組み合わせで選択できます。「表 27.5 A/D動作モード選択」を参照してください。

ADSTBY (A/Dスタンバイビット) (b5)

ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後A/D変換を開始してください。

A/Dコンバータを使用しない場合、ADSTBYビット“0”(A/D動作停止:スタンバイ)にすると、A/Dコンバータで電流が流れなくなり、消費電力を少なくできます。

27.3 動作説明

27.3.1 A/D変換サイクル数

A/D変換サイクルは、 f_{AD} と ϕ_{AD} が基準になります。 ϕ_{AD} が規格に合う周波数になるように、 f_{AD} を分周してください。図27.2に f_{AD} と ϕ_{AD} を示します。

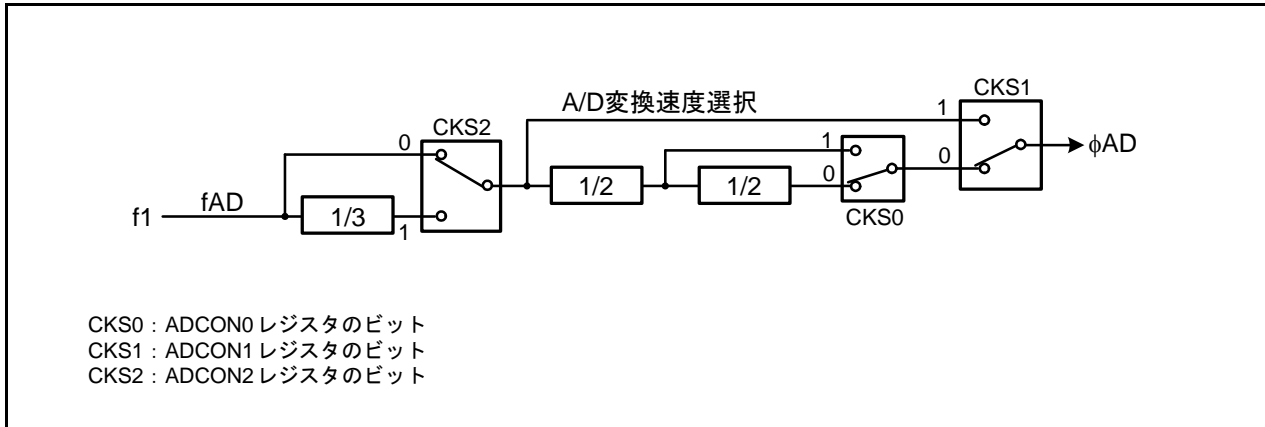
図 27.2 f_{AD} と ϕ_{AD}

図 27.3 に A/D 変換タイミング図を示します。

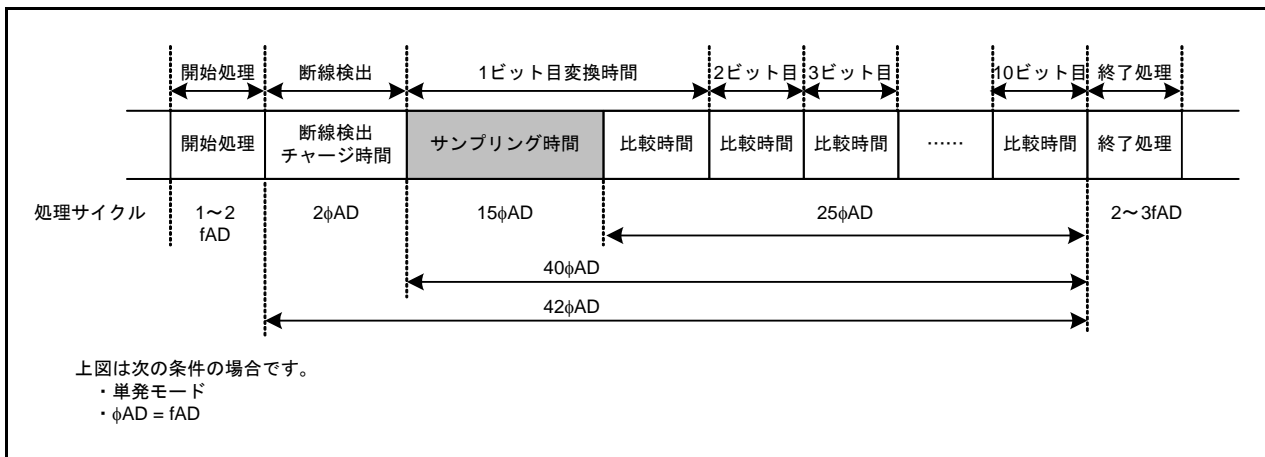


図 27.3 A/D変換タイミング図

表 27.7に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ϕAD の選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表 27.7 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	$\phi AD=fAD$	fADの1~2サイクル
	$\phi AD=fAD$ の2分周	fADの2~3サイクル
	$\phi AD=fAD$ の3分周	fADの3~4サイクル
	$\phi AD=fAD$ の4分周	fADの3~4サイクル
	$\phi AD=fAD$ の6分周	fADの4~5サイクル
	$\phi AD=fAD$ の12分周	fADの7~8サイクル
A/D変換実行時間	断線検出禁止	ϕAD の40サイクル
	断線検出許可	ϕAD の42サイクル
実行間処理時間		ϕAD の1サイクル
終了処理時間		fADの2~3サイクル

27.3.2 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと外部トリガがあります。図 27.4にA/D変換開始トリガを示します。

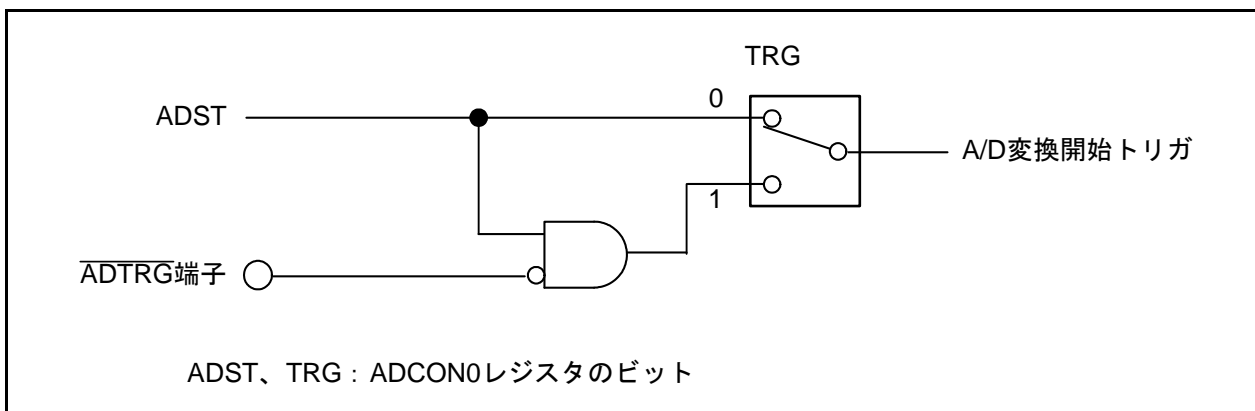


図 27.4 A/D変換開始トリガ

27.3.2.1 ソフトウェアトリガ

ADCON0レジスタのTRGビットが“0”（ソフトウェアトリガ）の場合です。
ADCON0レジスタのADSTビットを“1”（A/D変換開始）にするとA/D変換を開始します。

27.3.2.2 外部トリガ

ADCON0レジスタのTRGビットが“1”（ $\overline{\text{ADTRG}}$ によるトリガ）の場合です。
この機能を使用する場合は次のようにしてください。

- $\overline{\text{ADTRG}}$ と端子を共用しているポートの方向ビットが“0”（入力モード）
- ADCON0レジスタのTRGビットが“1”（ $\overline{\text{ADTRG}}$ によるトリガ）
- ADCON0レジスタのADSTビットが“1”（A/D変換開始）

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

なお、 $\overline{\text{ADTRG}}$ 端子に入力するパルスの幅“H”幅、“L”幅は、いずれも f_{AD} の2サイクル以上にしてください。

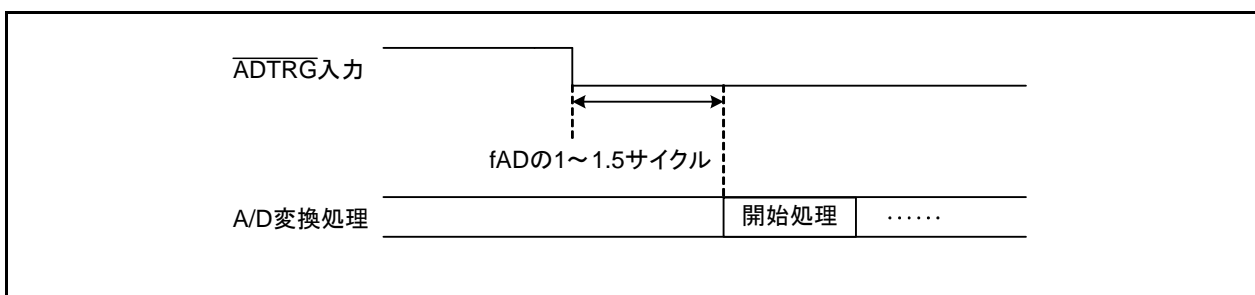


図 27.5 外部トリガ入力時のA/D変換開始タイミング

27.3.3 A/D 変換結果

A/D変換が終わる前にADiレジスタを読み出すと、不定値を読み出します。ADiレジスタはA/D変換が終了した後に読み出してください。A/D変換の終了は次の方法で検出してください。

- 単発モード、単掃引モード

A/D変換終了時、ADICレジスタのIRビットが“1”(割り込み要求あり)になりますので、IRビットが“1”になったことを確認してADiレジスタを読み出してください。

A/D割り込みを使用しない場合は、ADiレジスタ読み出し後、プログラムでIRビットを“0”(割り込み要求なし)にしてください。

- 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

IRビットは変化しません(割り込み要求は発生しません)。最初は1回分の変換時間が経過した後でADiレジスタを読み出してください(「27.3.1 A/D変換サイクル数」参照)。以降は任意のタイミングで読み出すと、それ以前にA/D変換した結果が読み出せます。

1回分のA/D変換が終了するとADiレジスタに値を上書きしますので、必要な値はそれまでに読み出してください。

27.3.4 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのADEX1~ADEX0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

27.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、 ϕ ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

27.3.6 A/D断線検出アシスト機能

変換開始前に、サンプリングキャパシタの電荷を所定の状態(AVCCまたはAVSS)に固定する機能です。A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧による影響を抑制できるので、アナログ入力端子に接続した配線の断線を、より確実に検出できます。

図 27.6にAVCC側でのA/D断線検出例(変換前チャージを選択)を示し、図 27.8にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

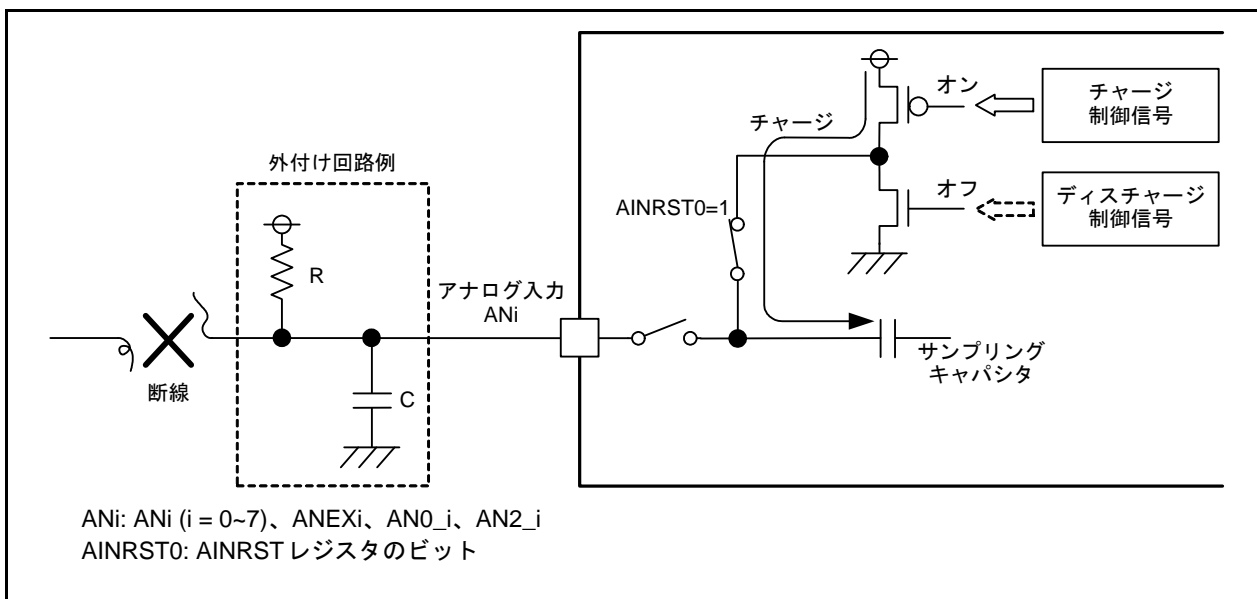


図 27.6 AVCC側でのA/D断線検出例 (変換前充電を選択)

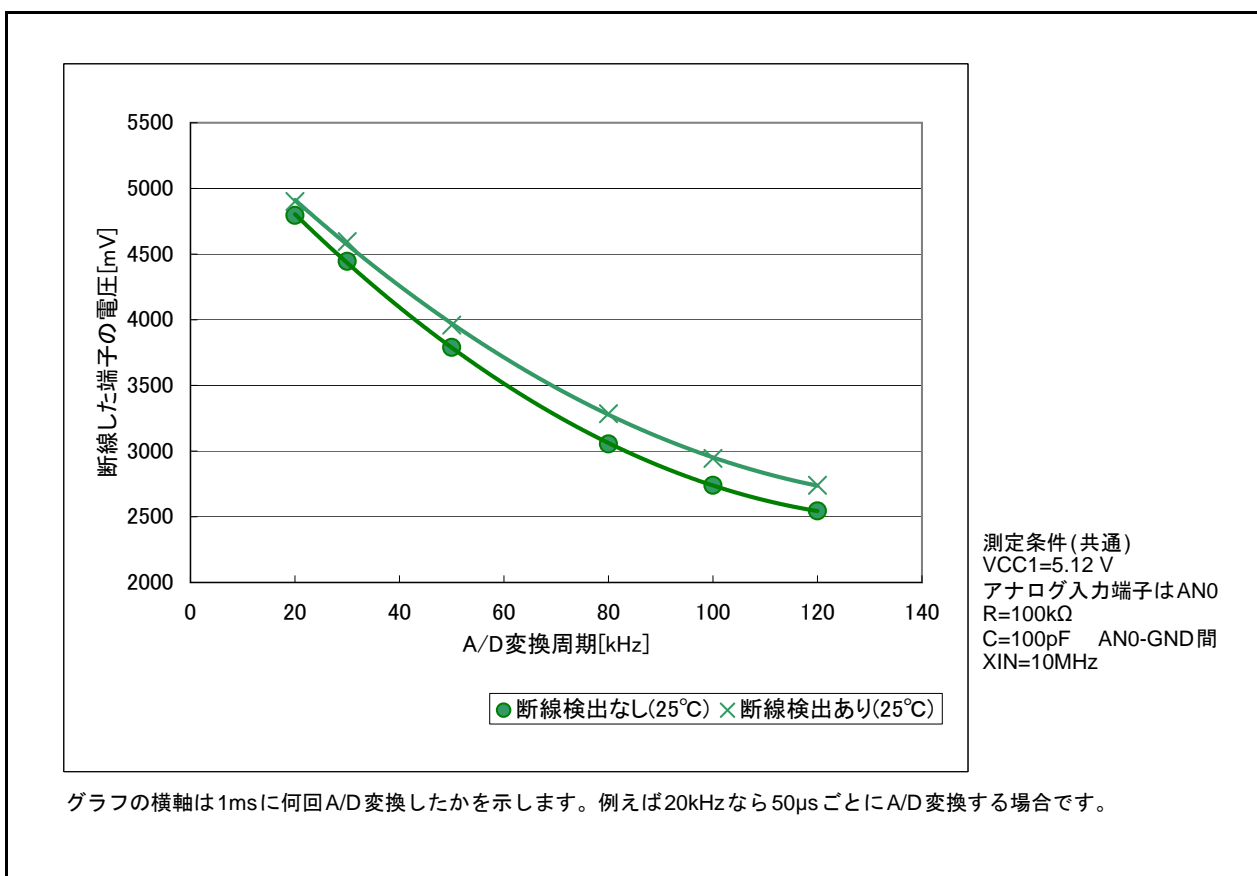


図 27.7 A/D断線検出 (充電) 特性 (標準特性)

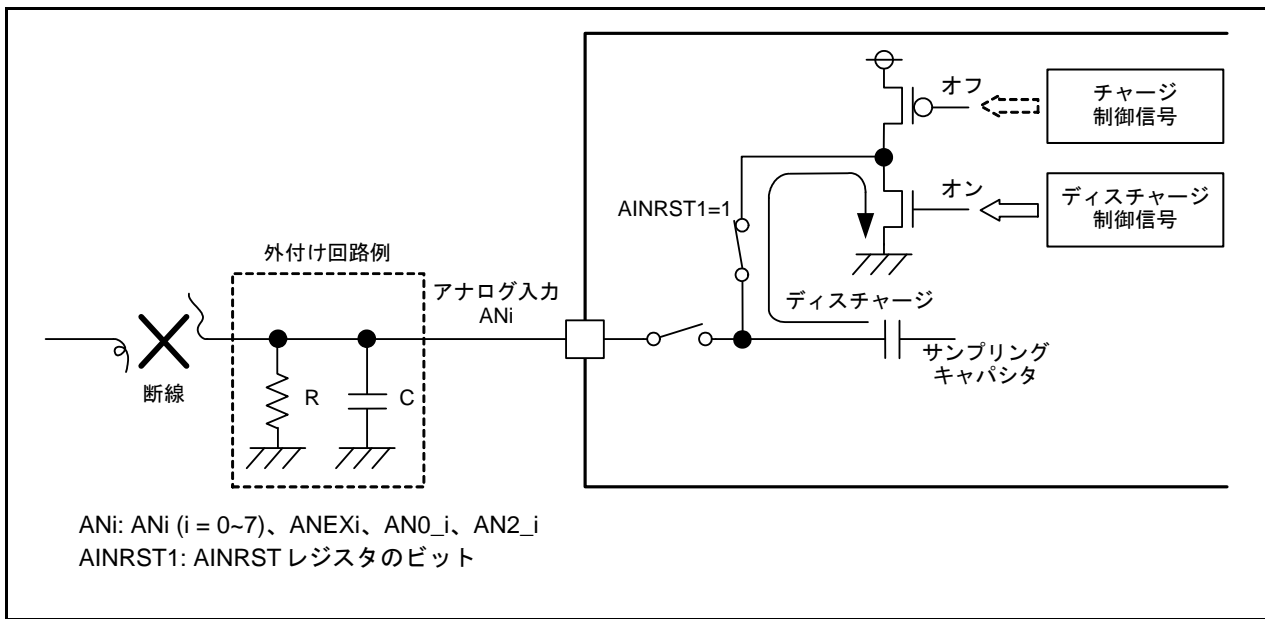


図 27.8 AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択)

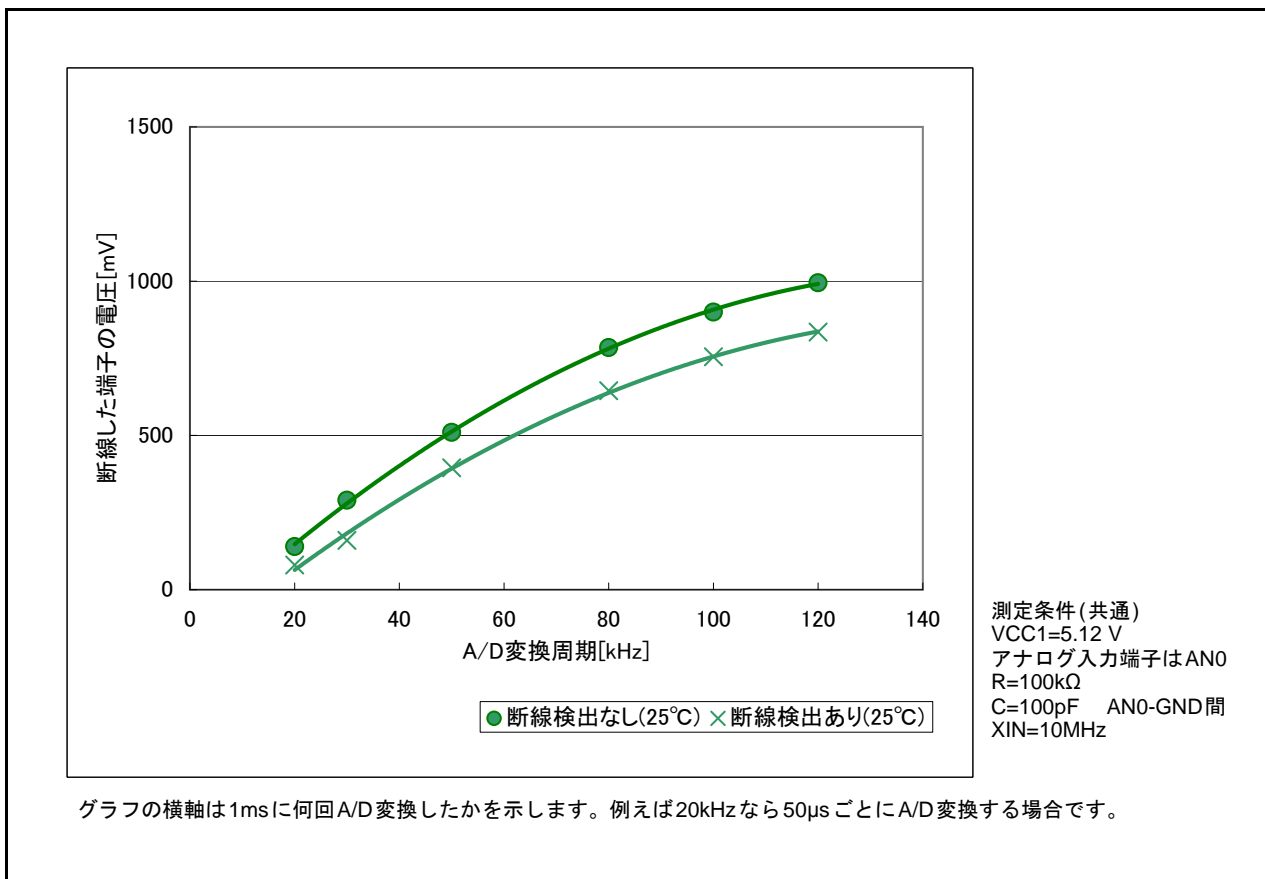


図 27.9 A/D断線検出 (ディスチャージ) 特性 (標準特性)

27.4 動作モード

27.4.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表 27.8に単発モードの仕様を示します。

表 27.8 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2~CH0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビット、またはADCON1レジスタのADEX1~ADEX0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> • ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする • TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> • A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0~ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 27.9 単発モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCR	PCR5	AN2_4端子をアナログ入力に使用する場合“1”(INT6入力禁止)にしてください
	PCR6	AN2_5端子をアナログ入力に使用する場合“1”(INT7入力禁止)にしてください
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AINRST	AINRST1、AINRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	φADの周波数を選択してください
ADCON0	CH2~CH0	アナログ入力端子を選択してください
	MD1~MD0	“00b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	φADの周波数を選択してください
ADCON1	SCAN1、SCAN0	無効
	MD2	“0”にしてください
	CKS1	φADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	ANEX0、ANEX1を使用するか、しないか選択してください

注1. この表は手順を表すものではありません。

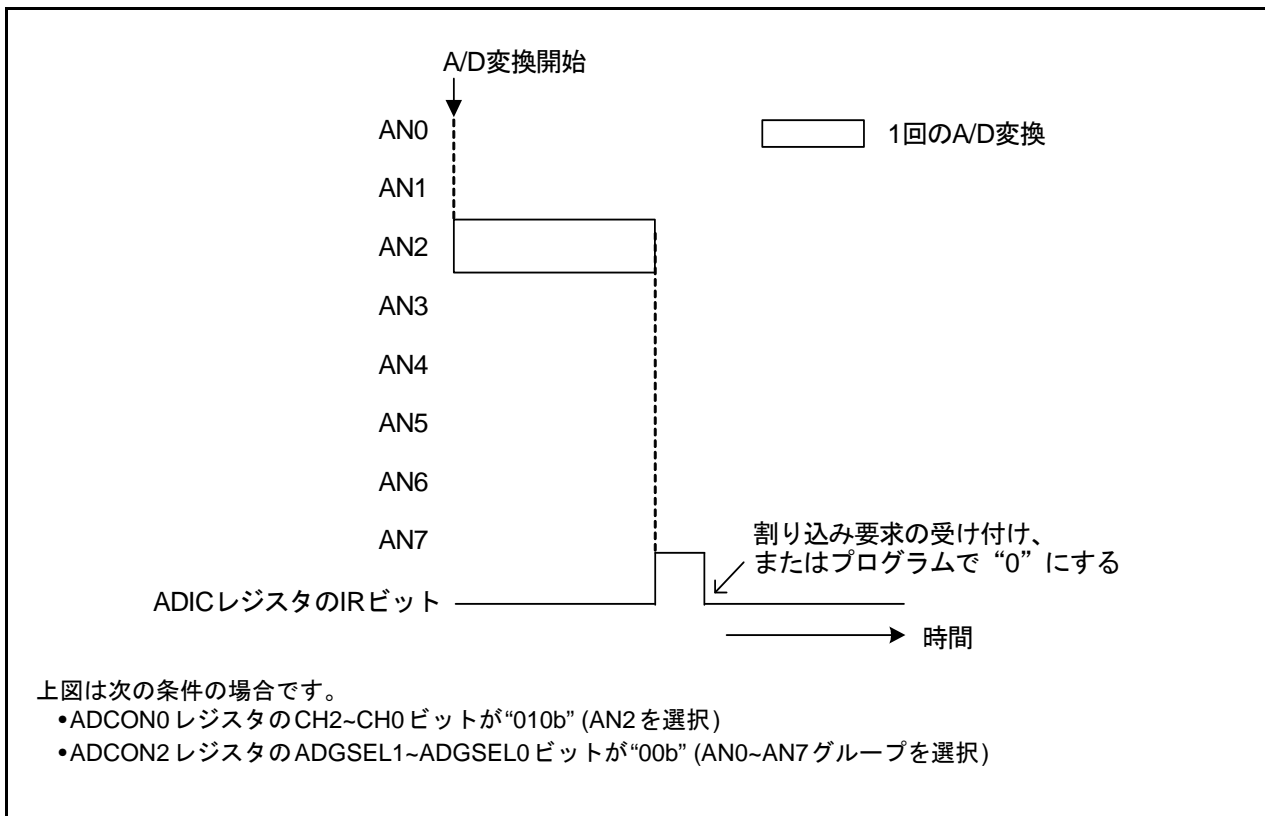


図 27.10 単発モードの動作例

27.4.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表 27.10に繰り返しモードの様を示します。

表 27.10 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2~CH0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビット、またはADCON1レジスタのADEX1~ADEX0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0~ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 27.11 繰り返しモード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCR	PCR5	AN2_4端子をアナログ入力に使用する場合“1”(INT6入力禁止)にしてください
	PCR6	AN2_5端子をアナログ入力に使用する場合“1”(INT7入力禁止)にしてください
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AIRST	AIRST1、AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	φADの周波数を選択してください
ADCON0	CH2~CH0	アナログ入力端子を選択してください
	MD1~MD0	“01b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	φADの周波数を選択してください
ADCON1	SCAN1、SCAN0	無効
	MD2	“0”にしてください
	CKS1	φADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	ANEX0、ANEX1を使用するか、しないか選択してください

注1. この表は手順を表すものではありません。

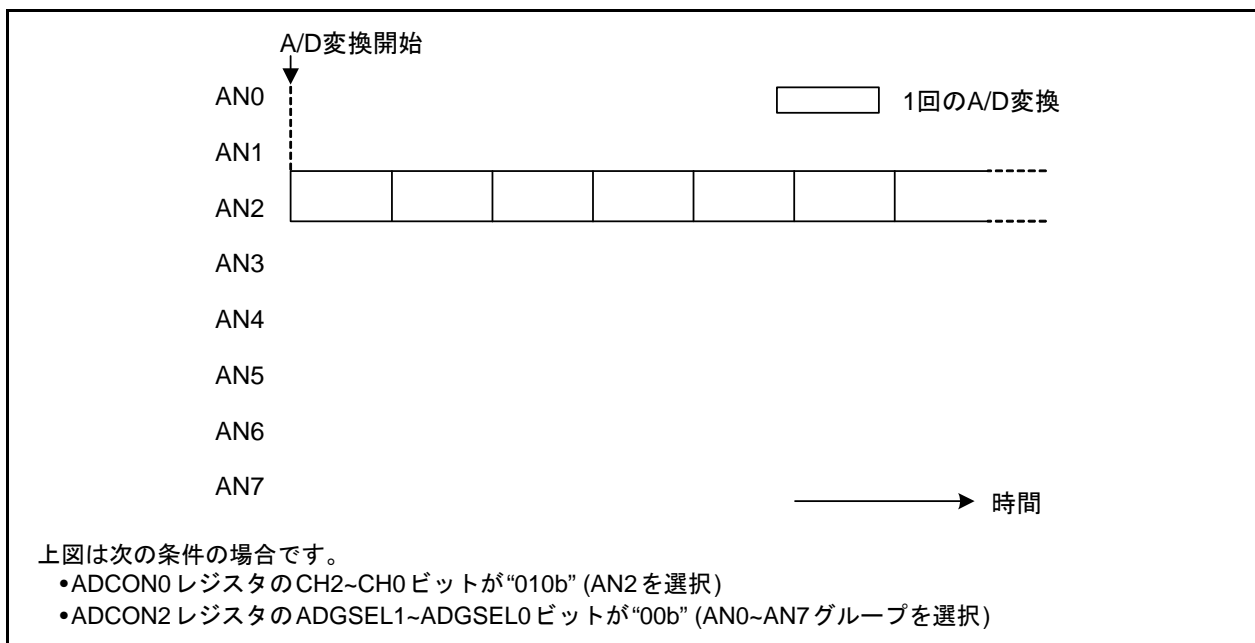


図 27.11 繰り返しモードの動作例

27.4.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表 27.12に単掃引モードの仕様を示します。

表 27.12 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> • ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする • TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> • A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0~AN1 (2端子)、AN0~AN3 (4端子)、AN0~AN5 (6端子)、AN0~AN7 (8端子) から選択 AN0_0~AN0_7、AN2_0~AN2_7も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 27.13 単掃引モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCR	PCR5	AN2_4端子をアナログ入力に使用する場合“1”(INT6入力禁止)にしてください
	PCR6	AN2_5端子をアナログ入力に使用する場合“1”(INT7入力禁止)にしてください
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AIRST	AIRST1、AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ϕ ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“10b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ϕ ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	アナログ入力端子を選択してください
	MD2	“0”にしてください
	CKS1	ϕ ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	“00b”にしてください

注1. この表は手順を表すものではありません。

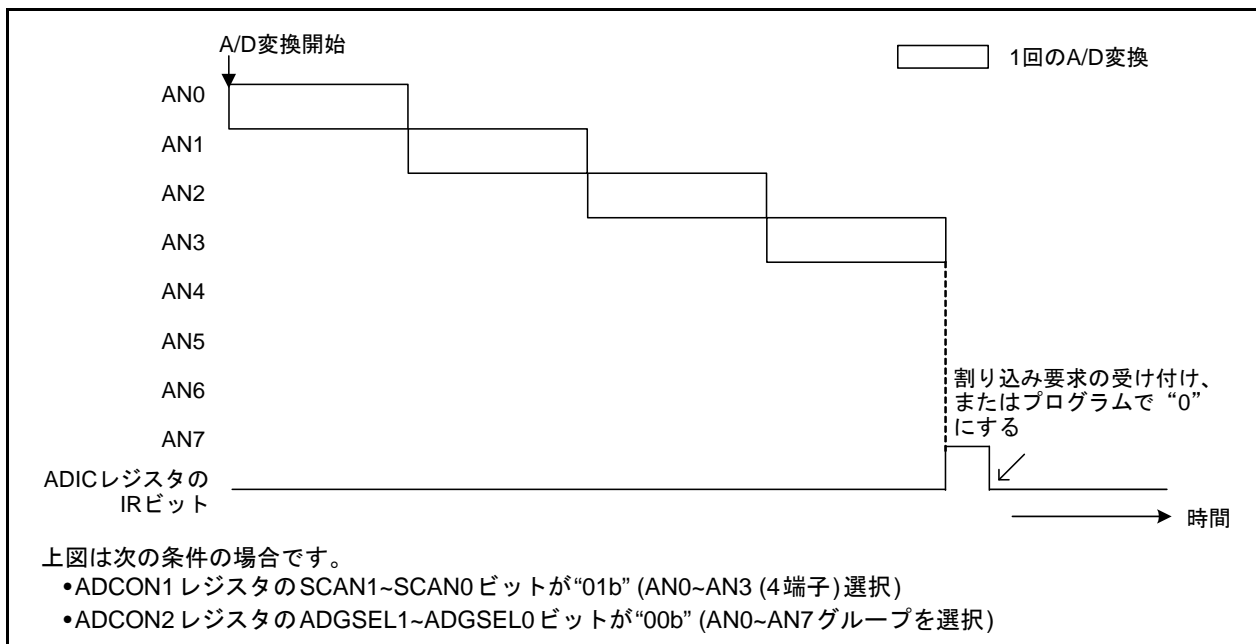


図 27.12 単掃引モードの動作例

27.4.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表 27.14に繰り返し掃引モード0の様を示します。

表 27.14 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0~AN1 (2端子)、AN0~AN3 (4端子)、AN0~AN5 (6端子)、AN0~AN7 (8端子) から選択 AN0_0~AN0_7、AN2_0~AN2_7も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 27.15 繰り返し掃引モード0時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCR	PCR5	AN2_4端子をアナログ入力に使用する場合“1”(INT6入力禁止)にしてください
	PCR6	AN2_5端子をアナログ入力に使用する場合“1”(INT7入力禁止)にしてください
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AIRST	AIRST1、AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	φADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“11b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	φADの周波数を選択してください
ADCON1	SCAN1、SCAN0	アナログ入力端子を選択してください
	MD2	“0”にしてください
	CKS1	φADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	“00b”にしてください

注1. この表は手順を表すものではありません。

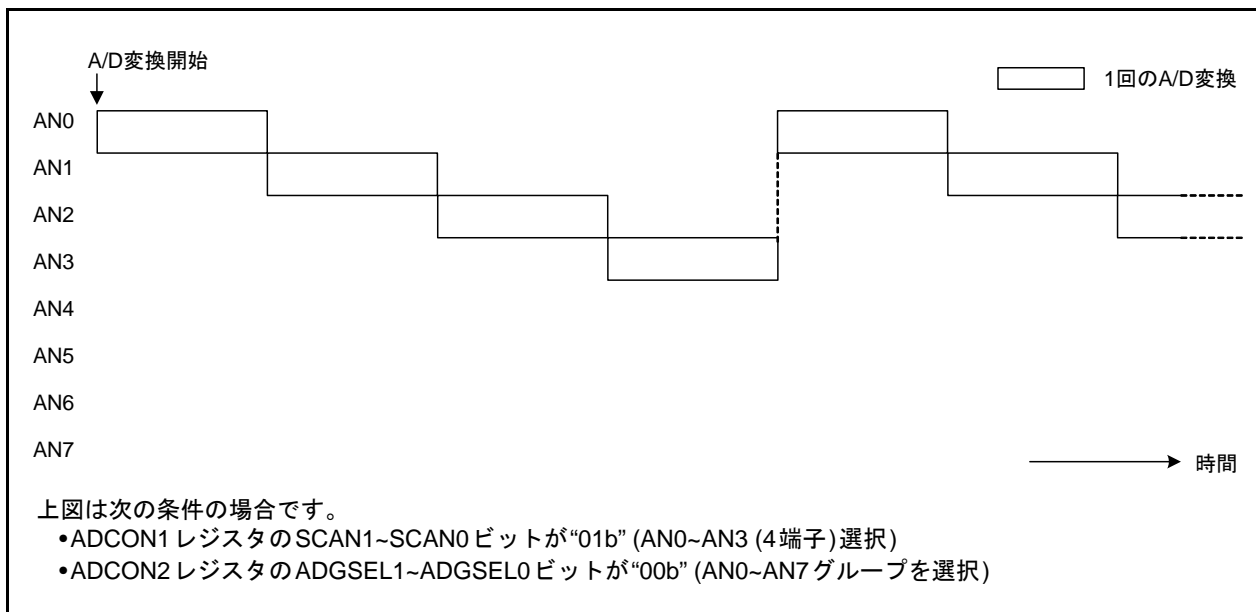


図 27.13 繰り返し掃引モード0の動作例

27.4.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表 27.16に繰り返し掃引モード1の仕様を示します。

表 27.16 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子に重点をおいて、ADGSEL1~ADGSEL0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0→AN1→AN0→AN2→AN0→AN3...の順にA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする TRGビットが“1” ($\overline{\text{ADTRG}}$によるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN0 (1端子)、AN0~AN1 (2端子)、AN0~AN2 (3端子)、AN0~AN3 (4端子) から選択 AN0_0~AN0_3、AN2_0~AN2_3も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 27.17 繰り返し掃引モード1時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
PCR	PCR5	AN2_4端子をアナログ入力に使用する場合“1”(INT6入力禁止)にしてください
	PCR6	AN2_5端子をアナログ入力に使用する場合“1”(INT7入力禁止)にしてください
	PCR7	AN4~AN7端子をアナログ入力に使用する場合“1”(キー入力禁止)にしてください
AIRST	AIRST1、AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ϕ ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“11b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ϕ ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	重点的にA/D変換する端子を選択してください
	MD2	“1”にしてください
	CKS1	ϕ ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください
	ADEX1、ADEX0	“00b”にしてください

注1. この表は手順を表すものではありません。

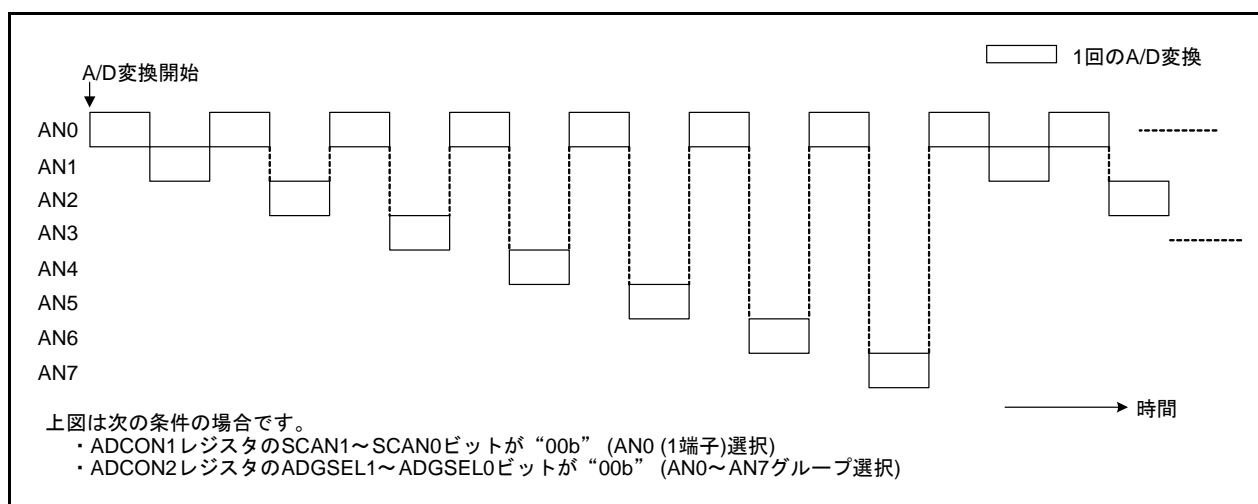


図 27.14 繰り返し掃引モード1の動作例

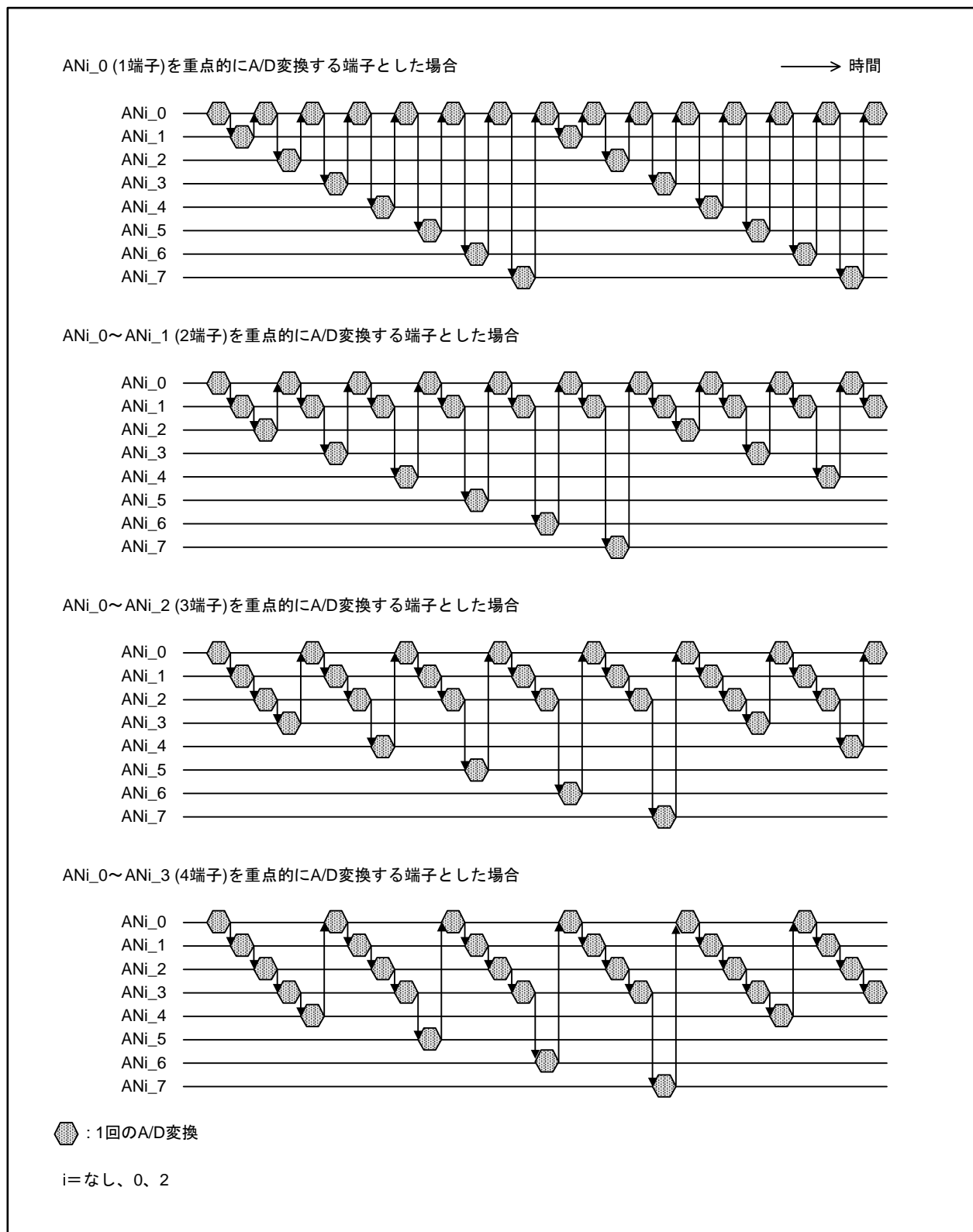


図 27.15 繰り返し掃引モード1でA/D変換する端子の遷移図

27.5 外部センサ

A/D変換を正しく行うためには、図 27.16の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは1024)とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=T \text{ のとき、 } VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図 27.16 アナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)はA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$\phi_{AD}=20\text{MHz}$ のとき、 $T=0.75\mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$T=0.75\mu\text{s}$ 、 $R=10\text{k}\Omega$ 、 $C=6.0\text{pF}$ 、 $X=0.1$ 、 $Y=1024$ だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大3.5kΩになります。

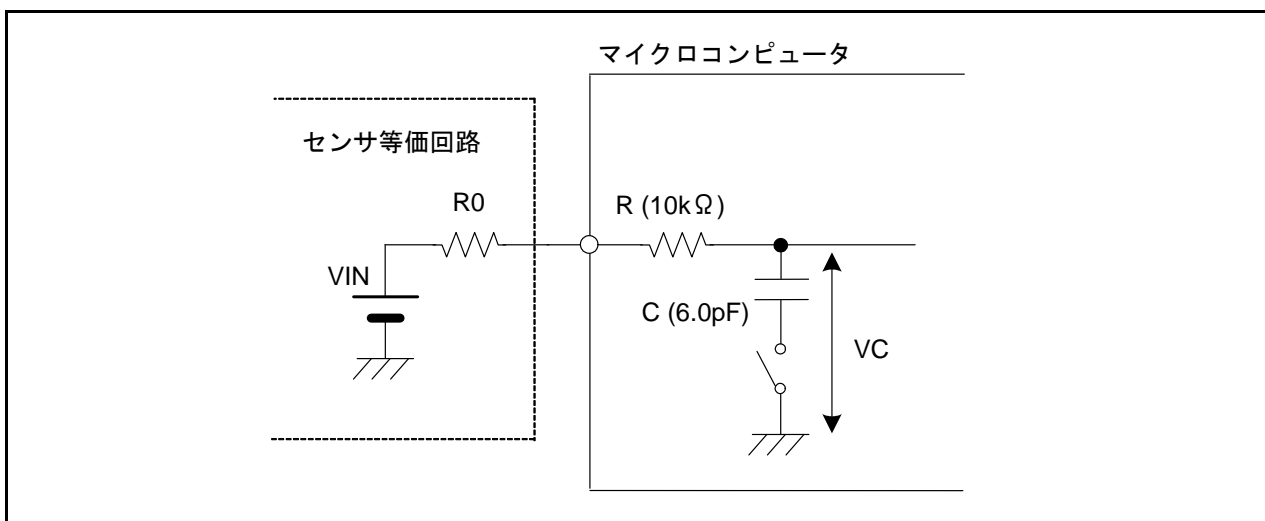


図 27.16 アナログ入力端子と外部センサの等価回路例

27.6 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「14.7 割り込み制御」を参照してください。表 27.18 に ADコンバータの割り込み関連レジスタを示します。

表 27.18 ADコンバータの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b

27.7 A/Dコンバータ使用上の注意事項

27.7.1 アナログ入力電圧

アナログ入力電圧は、次のようにしてください。

アナログ入力電圧(AN_0~AN_7、ANEX0、ANEX1) \leq VCC1

アナログ入力電圧(AN0_0~AN0_7、AN2_0~AN2_7) \leq VCC2

27.7.2 アナログ入力選択

$\overline{\text{KI0}}\sim\overline{\text{KI3}}$ 端子のいずれかをキー入力割り込みに使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

27.7.3 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i(*i*=0~7)、ANEX_i、AN0__i、AN2__i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。

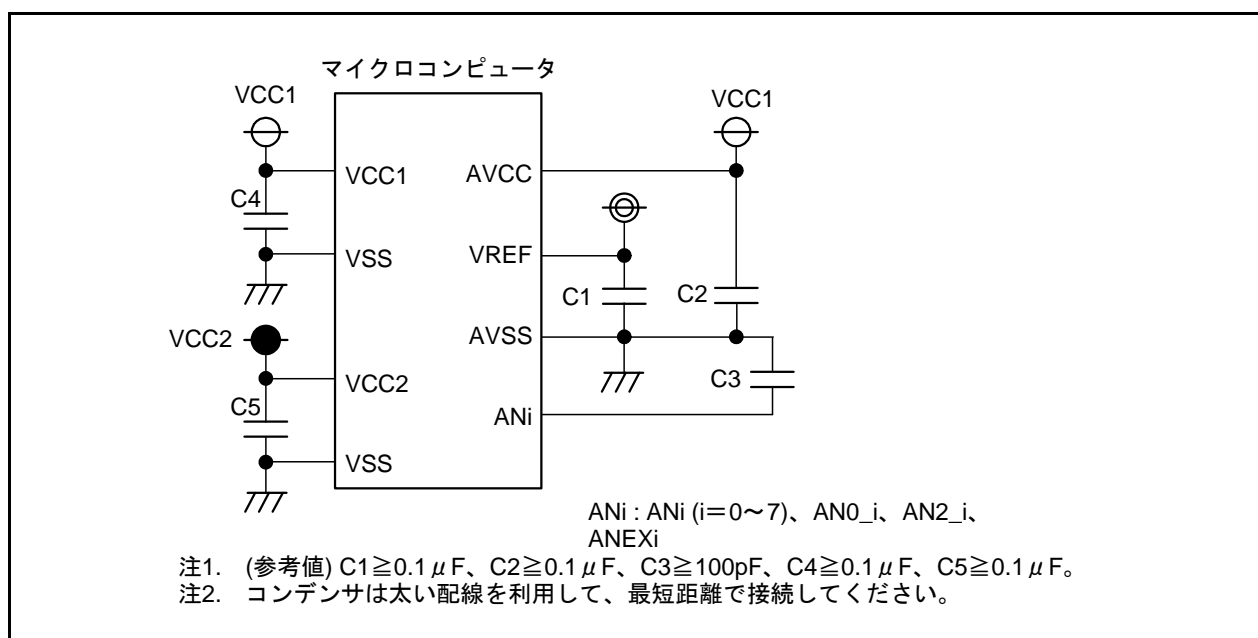


図 27.17 各端子の処理例

27.7.4 レジスタアクセス

ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのADSTBYビットを“1”から“0”にしてください。

27.7.5 A/D変換開始

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後にA/D変換を開始させてください。

27.7.6 A/D動作モードの変更

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

27.7.7 強制終了時の状態

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0” (A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタ (i=0~7)も不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

27.7.8 A/D断線検出アシスト機能

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。また、VCC1 > VCC2の場合は本機能を使用しないでください。

なお、AINRSTレジスタ変更後、A/D変換開始する場合は次の手順に従ってください。

- (1) AINRSTレジスタのAINRST1~AINRST0ビットを変更する
- (2) ϕ_{AD} の1サイクル待つ
- (3) ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする

27.7.9 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間 (「表 27.7 各A/D変換項目のサイクル数」参照)後に“1” (A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0” (A/D変換停止)が読めることがあります。

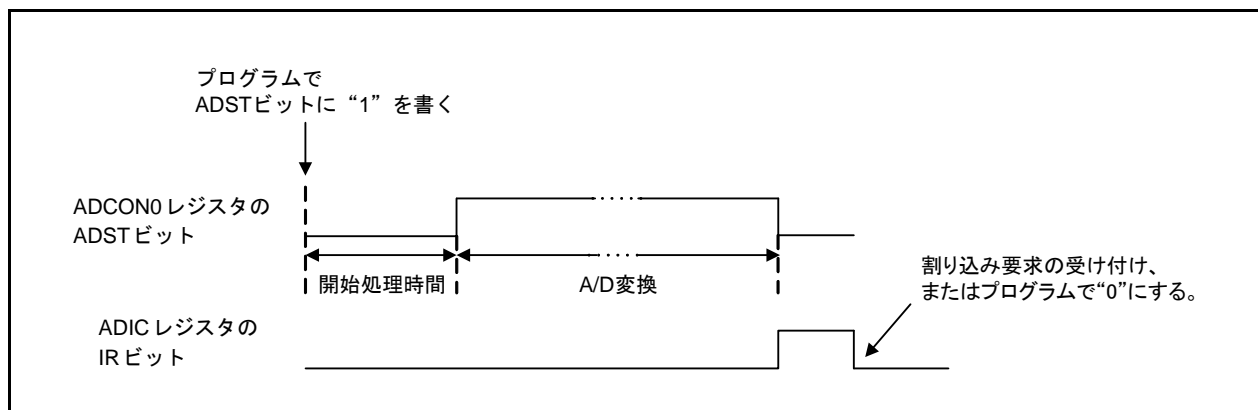


図 27.18 ADSTビットの動作

27.7.10 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

これらのモードでは、AD_iレジスタ (i=0~7) の値が書き換わる期間にAD_iレジスタを読むと、不定値を読み出すことがあります。そのため、AD_iレジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はfADの1サイクルです。

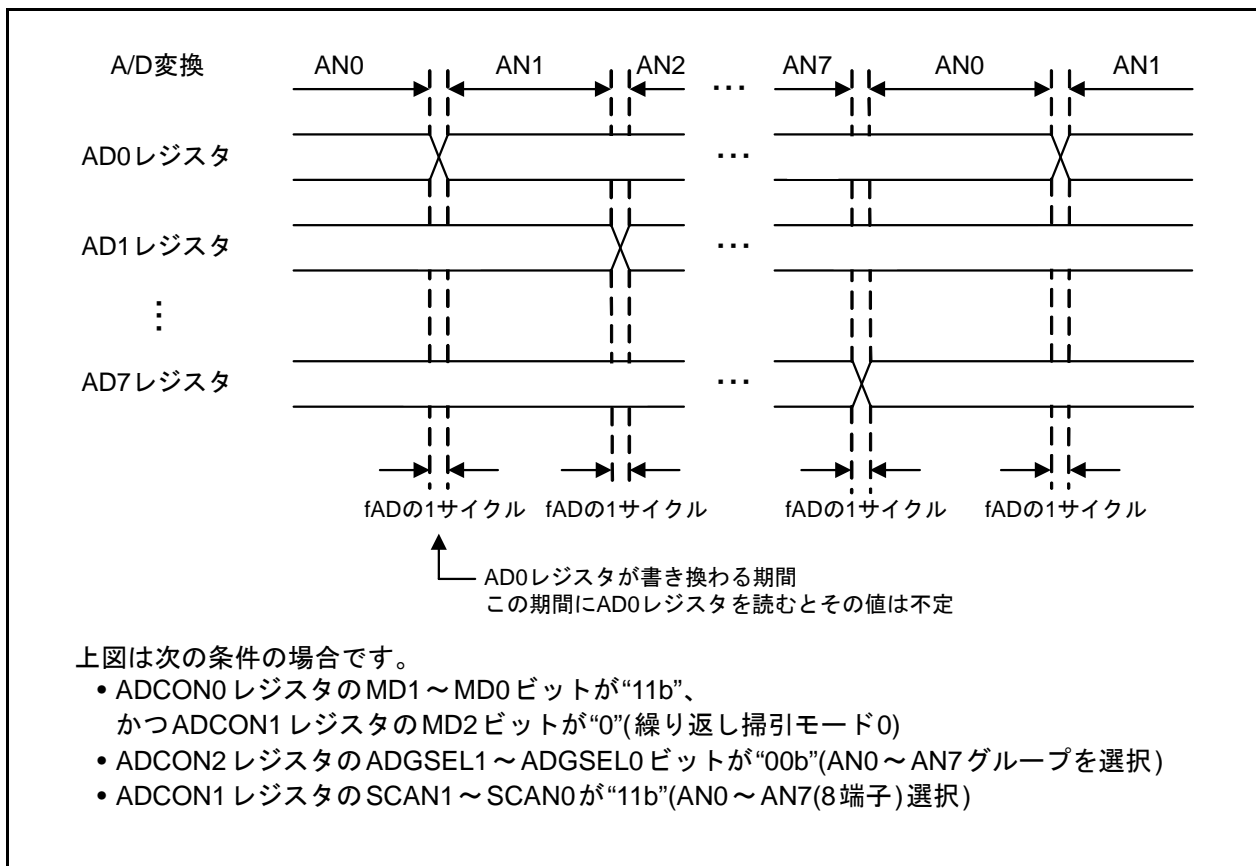


図 27.19 AD_iレジスタの値が書き換わる期間

28. D/A コンバータ

28.1 概要

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。
表 28.1にD/Aコンバータの仕様、図 28.1にD/Aコンバータブロック図を示します。

表 28.1 D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット

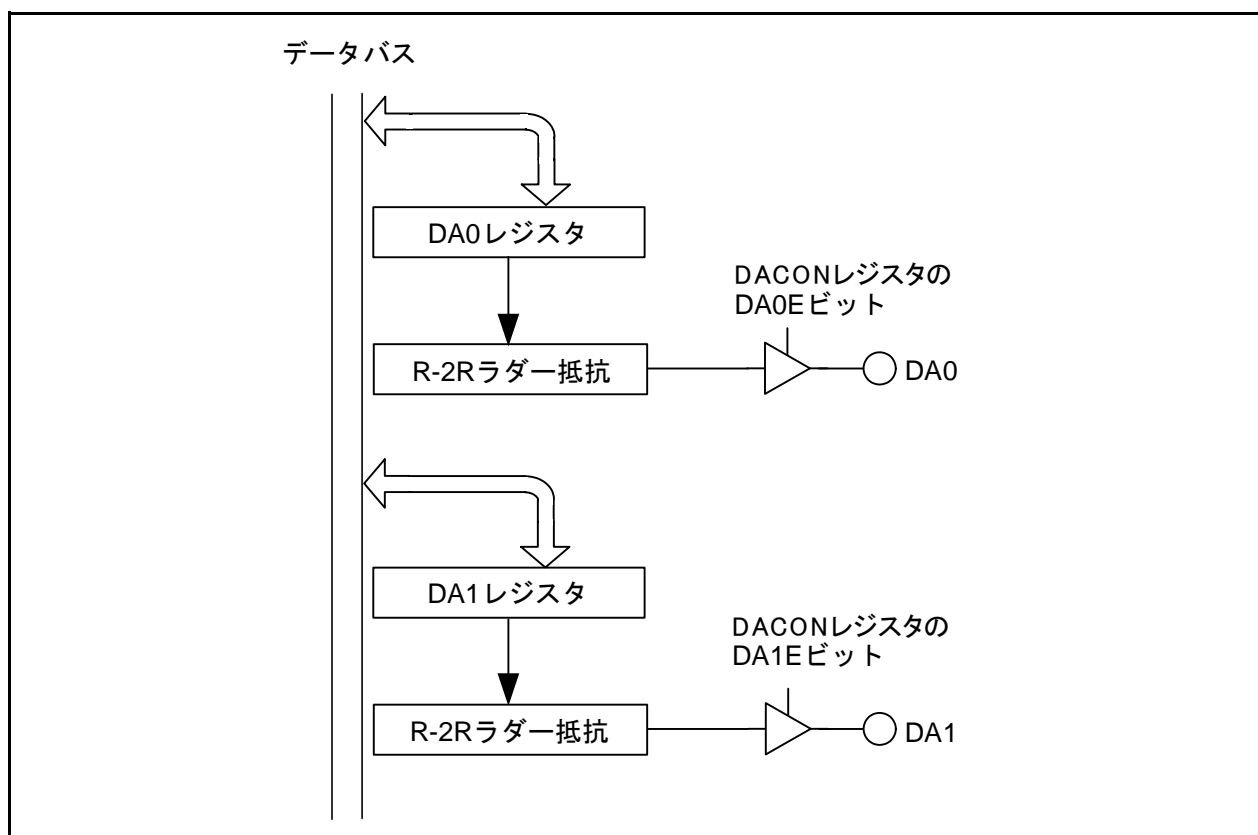


図 28.1 D/Aコンバータブロック図

表 28.2 入力端子

端子名	入出力	機能
DA0	出力(注1)	D/Aコンパレータ出力
DA1		

注1. 端子を共用しているポートの方向ビットは“0”(入力モード)にしてください。DACONレジスタのDAiE(i=0~1)ビットを“1”(出力許可)にすると対応するポートはプルアップなしになります。

28.2 レジスタの説明

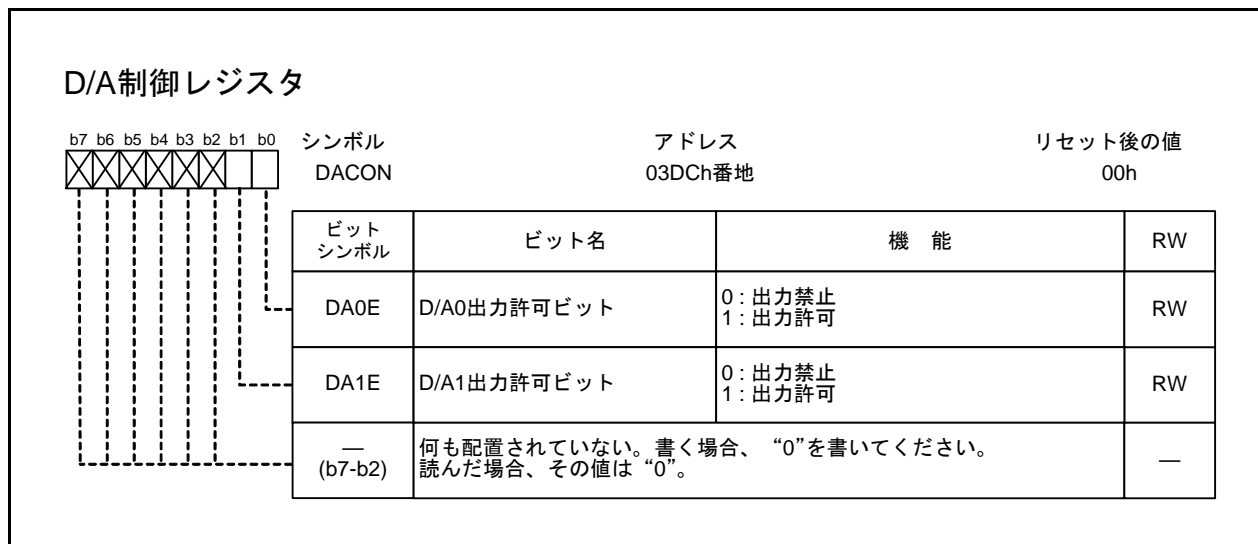
表 28.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
03D8h	D/A0 レジスタ	DA0	00h
03DAh	D/A1 レジスタ	DA1	00h
03DCh	D/A 制御レジスタ	DACON	00h

28.2.1 D/Ai レジスタ (DAi) (i=0~1)



28.2.2 D/A 制御レジスタ (DACON)



28.3 動作説明

D/A変換は、DA_iレジスタ (i=0~1)に値を書くと行われます。

出力されるアナログ電圧Vは、DA_iレジスタに設定した値n(nは10進数)で決まります。

$$V = \frac{VREF \times n}{256} \quad (n=0\sim255)$$

VREF: 基準電圧

図 28.2にD/Aコンバータの等価回路を示します。

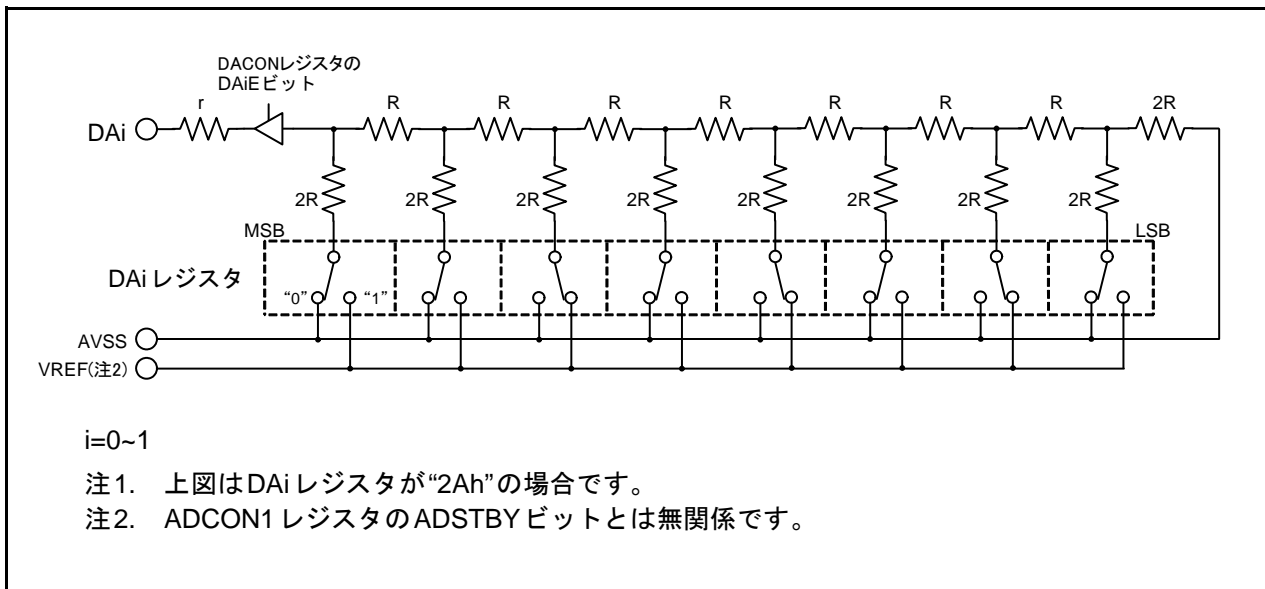


図 28.2 D/Aコンバータの等価回路

28.4 D/A コンバータ使用上の注意事項

28.4.1 D/A コンバータを使用しない場合

D/A コンバータを使用しない場合には、不要な消費電流を少なくするために DACON レジスタの DAiE ビット (i=0~1) を “0” (出力禁止) にし、DAi レジスタを “00h” にして、R-2R の抵抗に電流が流れないようにしてください。

29. CRC演算回路

29.1 概要

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤りを検出します。さらに、CRC演算回路はSFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表 29.1 CRC演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT($X^{16}+X^{12}+X^5+1$)またはCRC-16 ($X^{16}+X^{15}+X^2+1$)
選択機能	<ul style="list-style-type: none"> •MSB/LSB選択可能 •SFRアクセス監視機能

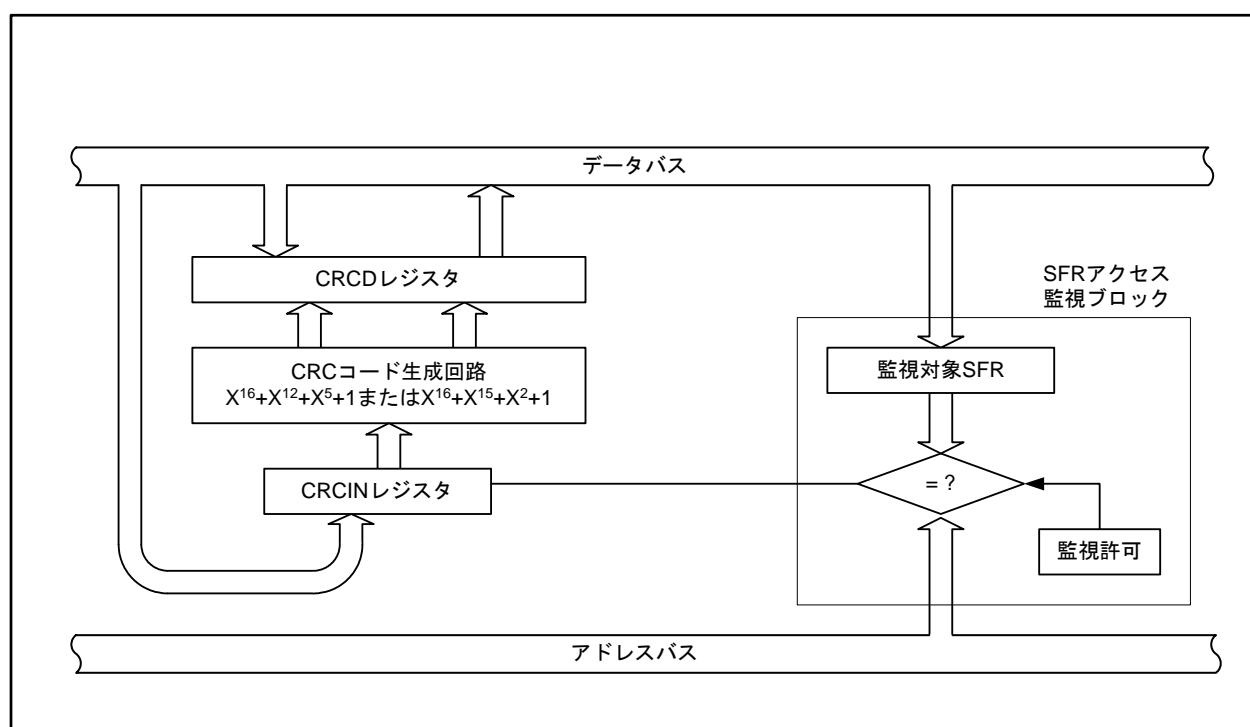


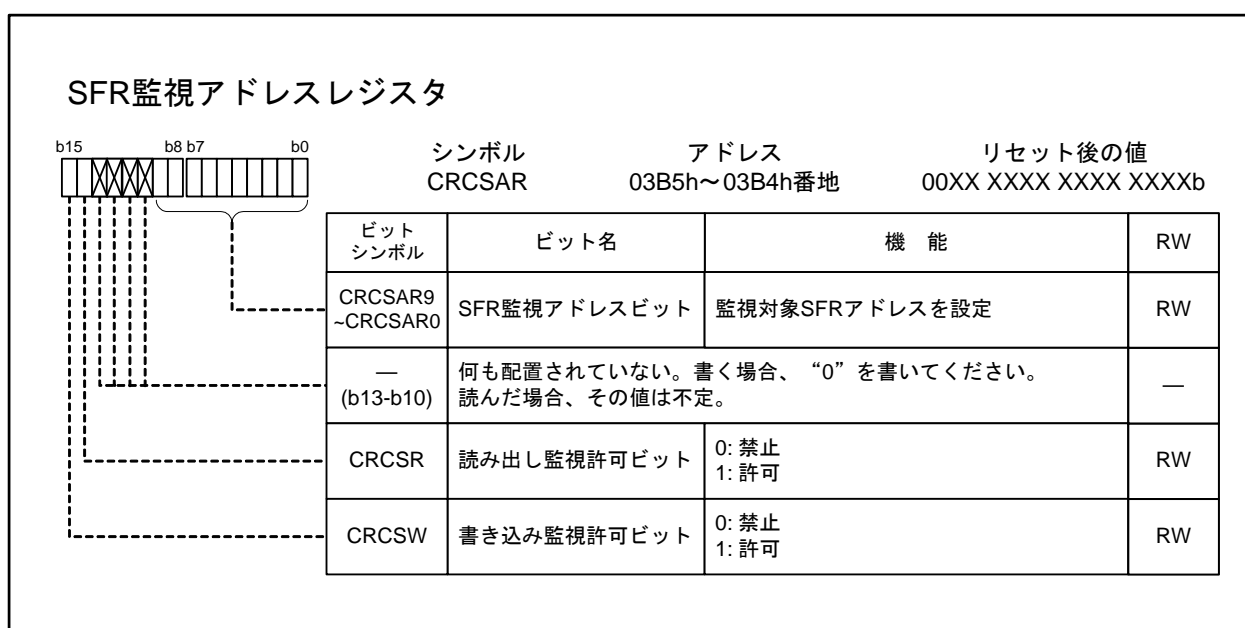
図 29.1 CRC演算回路のブロック図

29.2 レジスタの説明

表 29.2 レジスタ一覧

アドレス	レジスタ名	シンボル	リセット後の値
03B4h	SFR 監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh

29.2.1 SFR 監視アドレスレジスタ (CRCSAR)

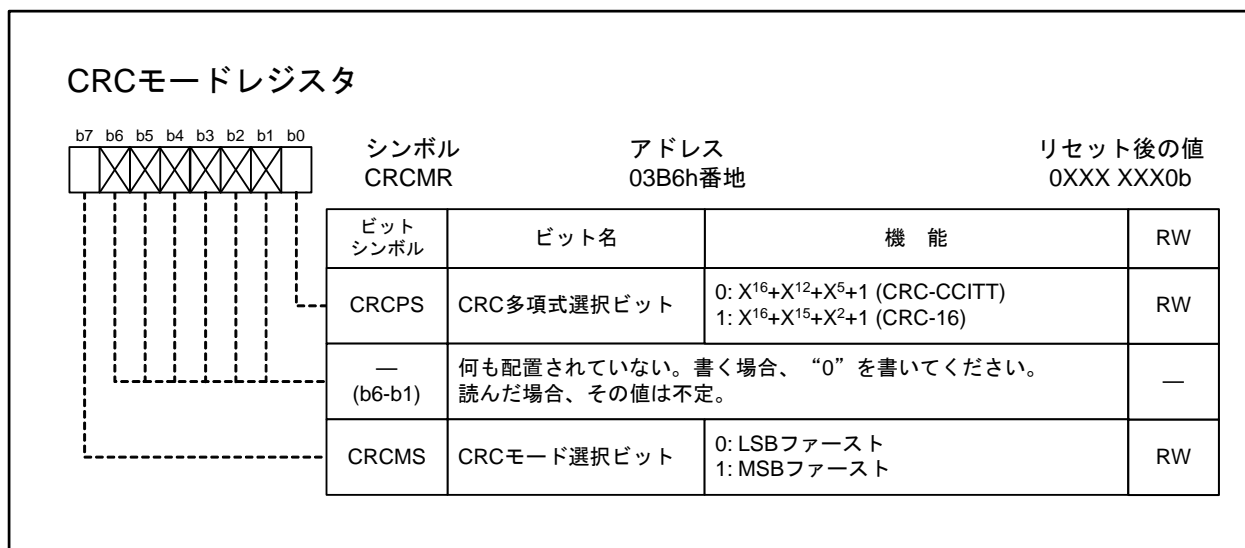


CRCSR (読み出し監視許可ビット) (b14)

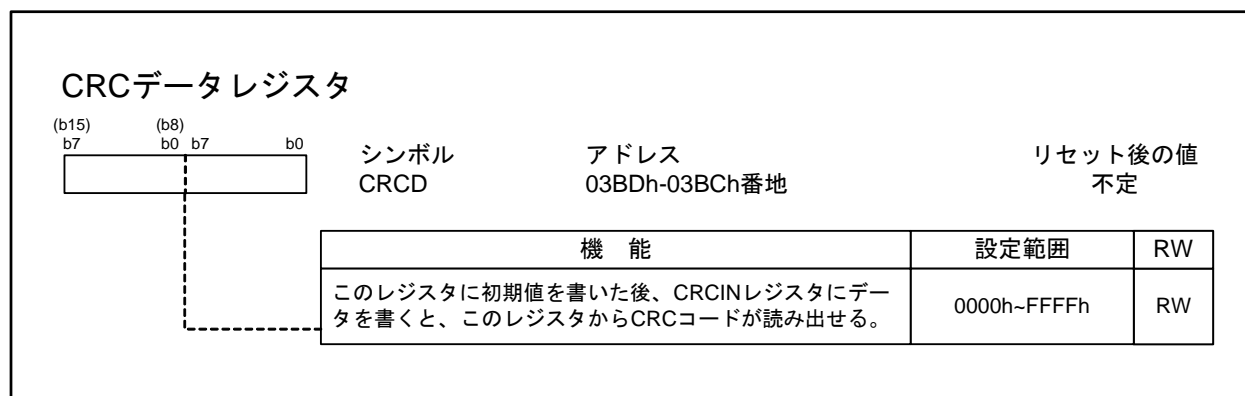
CRCSW (書き込み監視許可ビット) (b15)

CRCSRビットとCRCSWビットの両方が“1”という状態にしないでください。CRCSWビットが“1”のとき、CRCSRビットは“0”にしてください。CRCSRビットが“1”のとき、CRCSWビットは“0”にしてください。

29.2.2 CRCモードレジスタ (CRCMR)



29.2.3 CRCデータレジスタ (CRCD)



CRCデータレジスタに“0000h”を書いた後で、CRCINレジスタに最初のデータを書いてください。この処理はCRC演算をするたびに実行してください。「図 29.2 CRC 演算例 (CRC-CCITT 使用時)」、「図 29.3 CRC 演算例 (CRC-16 使用時)」の設定手順を参照してください。

29.2.4 CRCインプットレジスタ (CRCIN)



29.3 動作説明

29.3.1 基本動作

CRC(Cyclic Redundancy Check)回路は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)、またはCRC-16 ($X^{16}+X^{15}+X^2+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成はCPUクロックの2サイクルで終了します。

29.3.2 SFRアクセス監視機能

CRC演算回路は、SFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。SFRに書き込まれた、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。対象となる領域は0020h番地から03FFh番地のSFR領域です。たとえば、UART送信バッファレジスタへの書き込みやUART受信バッファからの読み出しを監視する場合に便利です。

SFRへの書き込み/SFRからの読み出しを監視するためには、対象になるSFRアドレスをCRCSARレジスタのCRCSAR9~CRCSAR0ビットに設定します。CRCSARレジスタのCRCSWビットで対象SFRへの書き込みの監視を、CRCSARレジスタのCRCSRビットで対象SFRの読み出しの監視を許可します。

CRCSWビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれたデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、下位1バイトのデータに対してCRCコードを生成します。

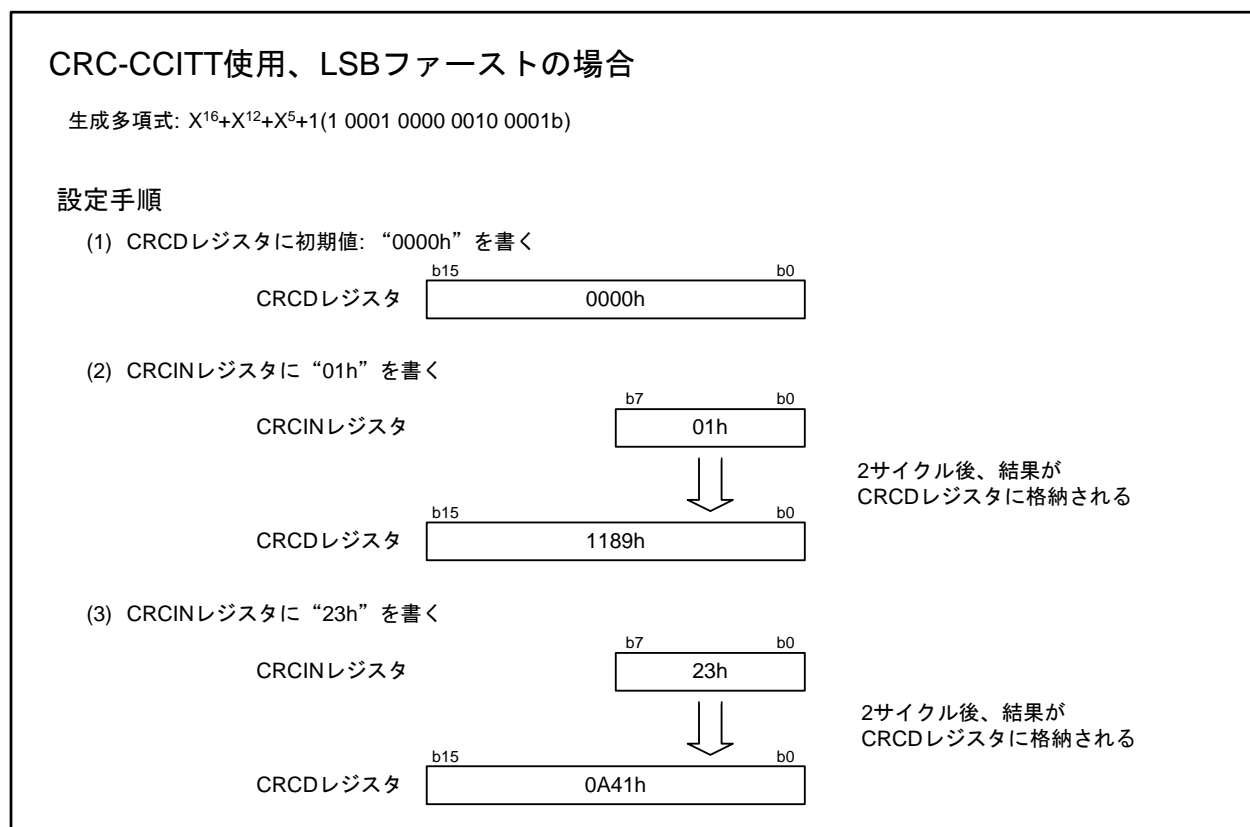


図 29.2 CRC 演算例 (CRC-CCITT 使用時)

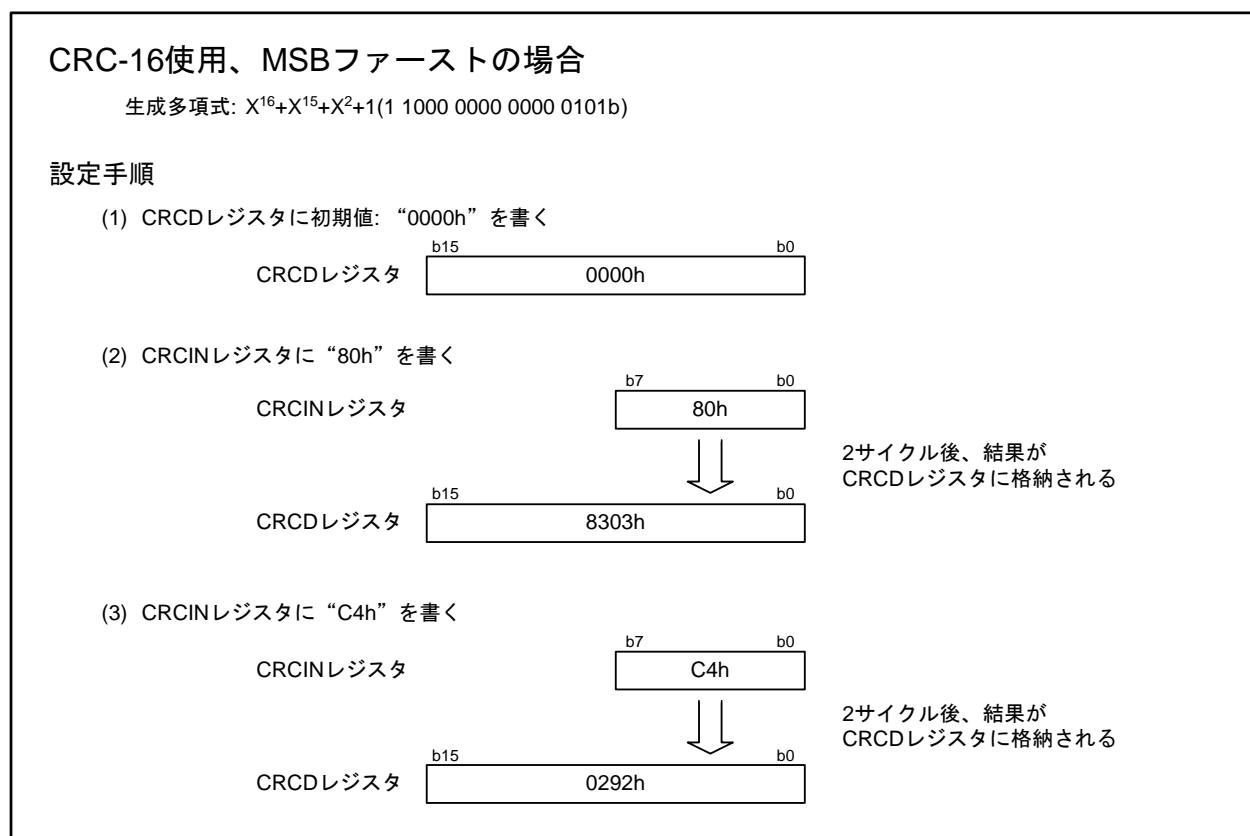


図 29.3 CRC 演算例 (CRC-16 使用時)

30. フラッシュメモリ

30.1 概要

本製品のROMはフラッシュメモリです。本章でフラッシュメモリという場合は、マイクロコンピュータ内部のフラッシュメモリを指します。

本製品では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表 30.1にフラッシュメモリの仕様概要を示します(表 30.1に示す以外の項目は「表 1.1~表 1.2 仕様概要」を参照してください)。

表 30.1 フラッシュメモリの仕様概要

項目	性能	
フラッシュメモリの書き換えモード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)	
消去ブロック分割	プログラムROM1	「図 30.1 フラッシュメモリのブロック図」を参照してください。
	プログラムROM2	1分割(16Kバイト)
	データフラッシュ	2分割(各4Kバイト)
プログラム方式	2ワード(4バイト)単位	
イレーズ方式	ブロック消去	
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御	
プロテクト方式	ロックビットによるブロック単位のプロテクト	
コマンド数	8コマンド	
プログラム、イレーズ回数	プログラムROM1、プログラムROM2	1,000回(注1)
	データフラッシュ	10,000回(注1)
データ保持	20年間	
フラッシュメモリ書き換え禁止機能	パラレル入出力モード ROMコードプロテクト機能 標準シリアル入出力モード IDコードチェック機能、強制イレーズ機能、 標準シリアル入出力モード禁止機能	
ユーザブート機能	ユーザブートモードあり	

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

たとえば、4Kバイトのブロックについて、2ワードの書き込みを1024回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が1,000回の場合、ブロックごとに1,000回ずつイレーズすることができます。

表 30.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換える EW0モード: フラッシュメモリ以外の領域で書き換え可能 EW1モード: フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、フラッシュメモリを書き換える 標準シリアル入出力モード1: クロック同期型シリアルI/O 標準シリアル入出力モード2: 2線式クロック非同期型シリアルI/O	専用パラレルライタを使用して、フラッシュメモリを書き換える
書き換えできる領域	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ
CPU動作モード	シングルチップモード メモリ拡張モード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

30.2 メモリ配置

本製品のROMはフラッシュメモリで、プログラムROM1、プログラムROM2、データフラッシュに分けられます。図 30.1にフラッシュメモリのブロック図を示します。

フラッシュメモリはブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。また、CPU 書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

プログラムROM2はPRG2CレジスタのPRG2C0ビットが“0”(プログラムROM2有効)のとき使用できます。

データフラッシュは、PM1 レジスタのPM10 ビットを“1”(0E000h~0FFFFhはデータフラッシュ)にすると使用できます。データフラッシュは、ブロックA、ブロックBに分割されます。

表 30.3にプログラムROM1、プログラムROM2、データフラッシュの相違を示します。

なお、シングルチップモード、メモリ拡張モードで使用する場合には、プログラムROM1、プログラムROM2、データフラッシュのいずれにもプログラムを配置できます。

表 30.3 プログラムROM1、プログラムROM2、データフラッシュの相違

項目	フラッシュメモリ		
	プログラムROM1	プログラムROM2	データフラッシュ
強制イレーズ機能	有効		無効
読み出し時の周波数制限	なし		あり
ユーザブートプログラム	配置しないでください	配置できる	配置しないでください

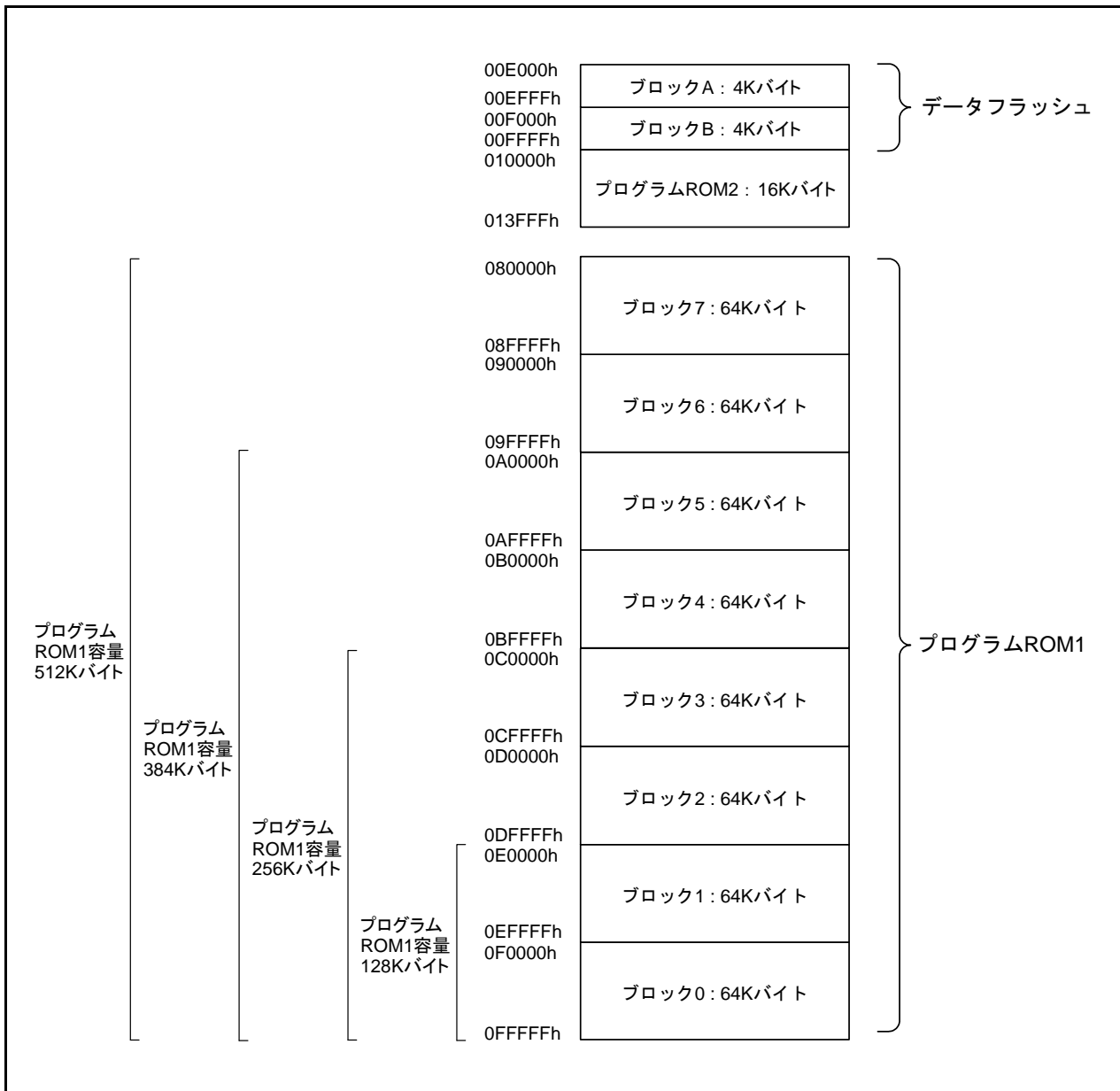


図 30.1 フラッシュメモリのブロック図

30.3 レジスタの説明

表 30.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b

30.3.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	FMR0	0220h番地	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
	ビットシンボル	ビット名	機能
	FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ
	FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効
	FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効
	FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)
	— (b4)	予約ビット	“0” にしてください
	— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。
	FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了
	FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー終了
			RW

FMR00 (RY/BYステータスフラグ) (b0)

フラッシュメモリの動作状況を示すビットです。

["0"]になる条件]

- 次のコマンド実行中。
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック
- フラッシュメモリ停止 (FMSTPが“1”)
- FMSTPを“1”にした後、“0”にした場合の復帰動作中

["1"]になる条件]

上記以外

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01 ビットを“1” (CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01 ビットは、PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。

また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMR02 (ロックビット無効選択ビット) (b2)

FMR02 ビットを“1” (ロックビット無効)にすると、ロックビットを無効にできます(「30.8.4 データ保護機能」参照)。

FMR02 ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02 ビットを“1”にした状態でイレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)になります。

FMR02 ビットを“1”にするときは、FMR01 ビットが“1”の状態、FMR02 ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

プログラム中、イレーズ中は、FMR02 ビットを変更しないでください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを“1” (フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTP ビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTP ビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1” (レディ)に戻らなくなった)

FMSTP ビットを“0” (フラッシュメモリ動作)にした後は、フラッシュメモリ回路安定待ち時間 (tps) 待ってから、次の操作をしてください。

また、FMSTP ビットを“1”にした後、すぐにFMSTP ビットを“0”にする場合は、FMSTP ビットを“1”にした後も tps 待ってください。この場合の手順を下に示します。

- (1) FMSTP ビットを“1”にする
- (2) フラッシュメモリ回路安定待ち時間(tps)待つ
- (3) FMSTP ビットを“0”にする
- (4) フラッシュメモリ回路安定待ち時間(tps)待つ

FMSTP ビットは、FMR01 ビットが“1” (CPU書き換えモード)のとき有効です。FMR01 ビットが“0”のとき、FMSTP ビットに“1”を書くとFMSTP ビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

FMR22 ビットが“1” (スローリードモード許可) またはFMR23 ビットが“1” (低消費電流リードモード許可)のとき、FMR0 レジスタのFMSTP ビットを“1” (フラッシュメモリ停止)にしないでください。また、FMSTP ビットが“1”のとき、FMR22 ビットまたはFMR23 ビットを“1”にしないでください。

FMR06 (プログラムステータスフラグ) (b6)

自動書き込みの状況を示すビットです。

["0"]になる条件]

- クリアステータスコマンド実行

["1"]になる条件]

- 「30.8.6.1 フルステータスチェック」参照

FMR06ビットが“1”のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

FMR07 (イレーズステータスフラグ) (b7)

自動消去の状況を示すビットです。

["0"]になる条件]

- クリアステータスコマンド実行

["1"]になる条件]

- 「30.8.6.1 フルステータスチェック」参照

FMR07ビットが“1”のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

30.3.2 フラッシュメモリ制御レジスタ1 (FMR1)

フラッシュメモリ制御レジスタ1			
ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 [] [] [X] [0] [] [] [] []	シンボル FMR1	アドレス 0221h番地	リセット後の値 00X0 XX0Xb
— (b0)	予約ビット	読んだ場合、その値は不定	RO
FMR11	FMR6レジスタへの 書き込み許可ビット	0: 禁止 1: 許可	RW
— (b3-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は不定。		—
FMR16	ロックビットステータス フラグ	0: ロック 1: 非ロック	RO
FMR17	データフラッシュウェイト ビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う	RW

FMR11 (FMR6レジスタへの書き込み許可ビット) (b1)

FMR11ビットは、PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。

FMR16 (ロックビットステータスフラグ) (b6)

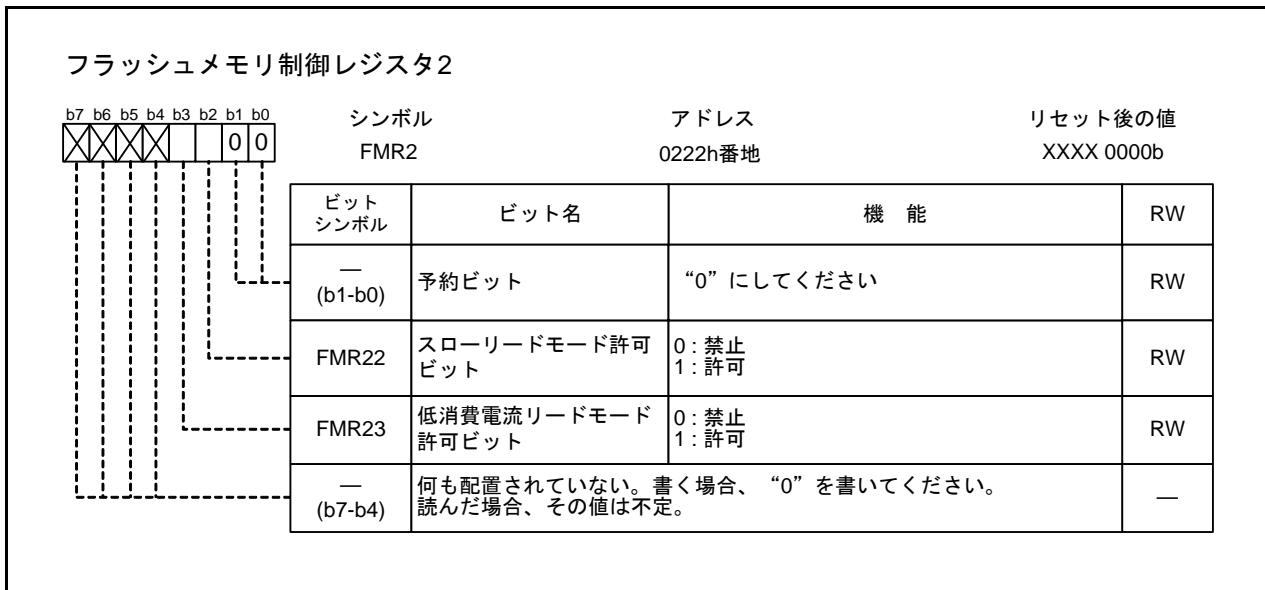
リードロックビットステータスコマンド実行結果を示すビットです。

FMR17 (データフラッシュウェイトビット) (b7)

データフラッシュのウェイトを選択するビットです。

“0” (1ウェイト) にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

30.3.3 フラッシュメモリ制御レジスタ2 (FMR2)



FMR22 (スローリードモード許可ビット) (b2)

FMR23 (低消費電流リードモード許可ビット) (b3)

詳細は「9.4.2 フラッシュメモリの読み出し」を参照してください。

30.3.4 フラッシュメモリ制御レジスタ6 (FMR6)

フラッシュメモリ制御レジスタ6			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR6	アドレス 0230h番地	リセット後の値 XX0X XX00b
	ビット シンボル	ビット名	機能
FMR60	EW1モード選択ビット	0: EW0モード 1: EW1モード	RW
FMR61	予約ビット	“1” にしてください	RW
— (b4-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b5)	予約ビット	“0” にしてください	RW
— (b7-b6)	予約ビット	読んだ場合、その値は不定	RO

FMR6 レジスタをアクセスする場合、CM0 レジスタの CM06 ビット、CM1 レジスタの CM17~CM16 ビットで、CPU クロックを 10MHz 以下にしてください。また、PM1 レジスタの PM17 ビットは“1” (ウェイトあり) にしてください。

FMR60 (EW1 モード選択ビット) (b0)

“1” にするときは、FMR0 レジスタの FMR01 ビットと FMR1 レジスタの FMR11 ビットがともに“1” の状態で、FMR60 ビットに“1” を書いてください。

FMR60 ビットは、PM2 レジスタの PM24 ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H” を入力しているときに変更してください。また、FMR0 レジスタの FMR00 ビットが“1” (レディ) のときに変更してください。

FMR61 (b1)

CPU 書き換えモードを使用する場合“1” にしてください。

30.4 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域は **SFR** ではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、**OFS1** 番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、**OFS1** 番地の値は、ユーザがプログラムで設定した値です。

なお、オプション機能選択領域を使用した選択は、シングルチップモードまたはメモリ拡張モードで使用できます。マイクロプロセッサモードではオプション機能選択領域を使用できません。マイクロプロセッサモードで使用する場合は、マイコン内部ROMを消去してから使用してください。

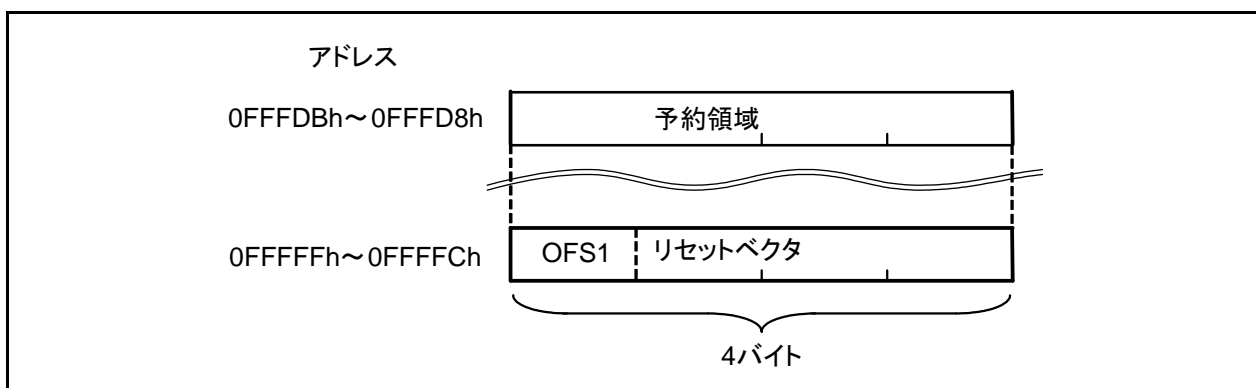


図 30.2 オプション機能選択領域

30.4.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地							
b7	b6	b5	b4	b3	b2	b1	b0
			1			1	
シンボル OFS1							
アドレス FFFFFFh番地							
ビット シンボル	ビット名		機能				
WDTON	ウォッチドッグタイマ起動選択ビット		0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態				
— (b1)	予約ビット		“1”にしてください				
ROMCR	ROMコードプロテクト解除ビット		0: ROMコードプロテクト解除 1: ROMCP1ビット有効				
ROMCP1	ROMコードプロテクトビット		0: ROMコードプロテクト有効 1: ROMコードプロテクト解除				
— (b4)	予約ビット		“1”にしてください				
VDSEL1	Vdet0選択ビット1		0: Vdet0_2 1: Vdet0_0				
LVDAS	電圧検出0回路起動ビット		0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効				
CSPROINI	リセット後カウントソース保護モード選択ビット		0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効				

ROMCR (ROMコードプロテクト解除ビット) (b2)

ROMCP1 (ROMコードプロテクトビット) (b3)

パラレル入出力モードによるフラッシュメモリの読み出しや値の変更を禁止します。

表 30.5 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

30.5 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込み、消去を禁止する機能です。詳細は各モードで説明します。

パラレル入出力モード

- ROMコードプロテクト機能
- 標準シリアル入出力モード
- IDコードチェック機能、強制イレーズ機能、標準シリアル入出力モード禁止機能

30.6 ブートモード

P5_5端子に“L”、CNVSS端子に“H”、P5_0端子に“H”を入力してハードウェアリセットを行うと、リセット解除後ブートモードになります。ブートモードでは、ユーザブートコード領域の内容に従って、ユーザブートモードまたは標準シリアル入出力モードが選択できます。標準シリアル入出力モードは「30.9 標準シリアル入出力モード」を参照してください。

パワーオンリセット、電圧監視0リセットでは、ブートモードにはなりません。

30.7 ユーザブートモード

ユーザが作成したフラッシュメモリ書き換えプログラムを起動するためのモードです。

フラッシュメモリ書き換えプログラムは、プログラムROM2に配置してください。ユーザブートモードでは10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。起動後はプログラムに従って、EW0モードまたはEW1モードでフラッシュメモリを書き換えます。

30.7.1 ユーザブート機能

ブートモードで起動するとき、任意のポートの状態で、ユーザブートモードを選択できます。表 30.6 にユーザブート機能の仕様を示します。

表 30.6 ユーザブート機能の仕様

項目	仕様
エントリに使用する端子	端子なし、またはポートP0~P10のうち1端子を選択
ユーザブート起動レベル	“H”または“L”選択
ユーザブートの先頭番地	10000h番地(プログラムROM2の先頭番地)

ユーザブートコード領域の13FF0h~13FF7h番地にASCIIコードで“UserBoot”を設定し、13FF8h~13FF9h番地と13FFAh番地でエントリに使用するポートを、13FFBh番地で起動レベルを選択してください。ブートモード起動後、選択したポートの入力レベルに従って、ユーザブートモードまたは標準シリアル入出力モードが起動します。

また、13FF0h~13FF7h番地がASCIIコードで“UserBoot”かつ、13FF8h~13FFBh番地がすべて“00h”の場合はユーザブートモードになります。

ユーザブートモードになると10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。

図 30.3 にユーザブートコード領域を、表 30.7 に起動モードを、表 30.8 に“UserBoot”のASCIIコードを、表 30.9 にエントリに使用できるポートのアドレスを示します。

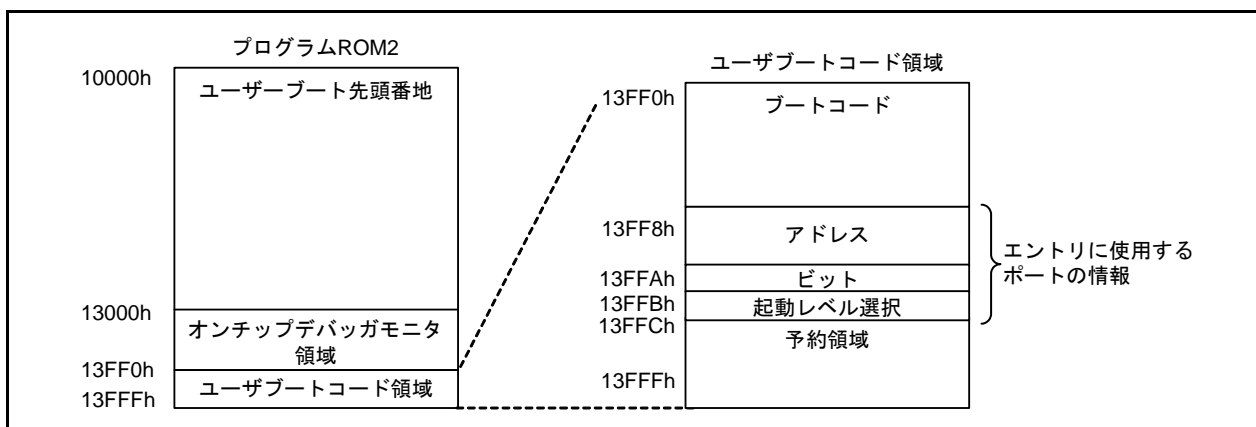


図 30.3 ユーザブートコード領域

表 30.7 起動モード(エントリに使用するポートをポートPi_jとした場合)(注1)

ブートコード (13FF0h~ 13FF7h番地)	エントリに使用するポートの情報			ポート Pi _j 入力 レベル	起動するモード
	アドレス (13FF8h~ 13FF9h番地)	ビット (13FFAh番地)	起動レベル選択 (13FFBh番地)		
ASCIIコードで "UserBoot" (注2)	0000h Piレジスタの 番地(注3)	00h~07h (jの値)	00h	— H L	ユーザブートモード 標準シリアル入出力モード ユーザブートモード
ASCIIコードで "UserBoot"以外	—	—	—	— H L	ユーザブートモード 標準シリアル入出力モード 標準シリアル入出力モード

i=0~10 j=0~7

注1. 表 30.7にない値、組み合わせを設定しないでください。

注2. 「表 30.8 "UserBoot"のASCIIコード」参照

注3. 「表 30.9 エントリに使用できるポートのアドレス」参照

表 30.8 "UserBoot"のASCIIコード

番地	ASCIIコード
13FF0h	55h ("U"大文字)
13FF1h	73h ("s"小文字)
13FF2h	65h ("e"小文字)
13FF3h	72h ("r"小文字)
13FF4h	42h ("B"大文字)
13FF5h	6Fh ("o"小文字)
13FF6h	6Fh ("o"小文字)
13FF7h	74h ("t"小文字)

表 30.9 エントリに使用できるポートのアドレス

ポート	アドレス	
	13FF9h	13FF8h
P0	03h	E0h
P1	03h	E1h
P2	03h	E4h
P3	03h	E5h
P6	03h	ECh
P7	03h	EDh
P8	03h	F0h
P9	03h	F1h
P10	03h	F4h

表 30.10 ユーザブートコード領域設定例

ポートP1_5の入力レベルが“L”のときユーザブートモードで起動する場合

番地	設定値	意味
13FF0h	55h	“U”大文字
13FF1h	73h	“s”小文字
13FF2h	65h	“e”小文字
13FF3h	72h	“r”小文字
13FF4h	42h	“B”大文字
13FF5h	6Fh	“o”小文字
13FF6h	6Fh	“o”小文字
13FF7h	74h	“t”小文字
13FF8h	E1h	ポートP1_5
13FF9h	03h	
13FFAh	05h	
13FFBh	00h	“L”レベル

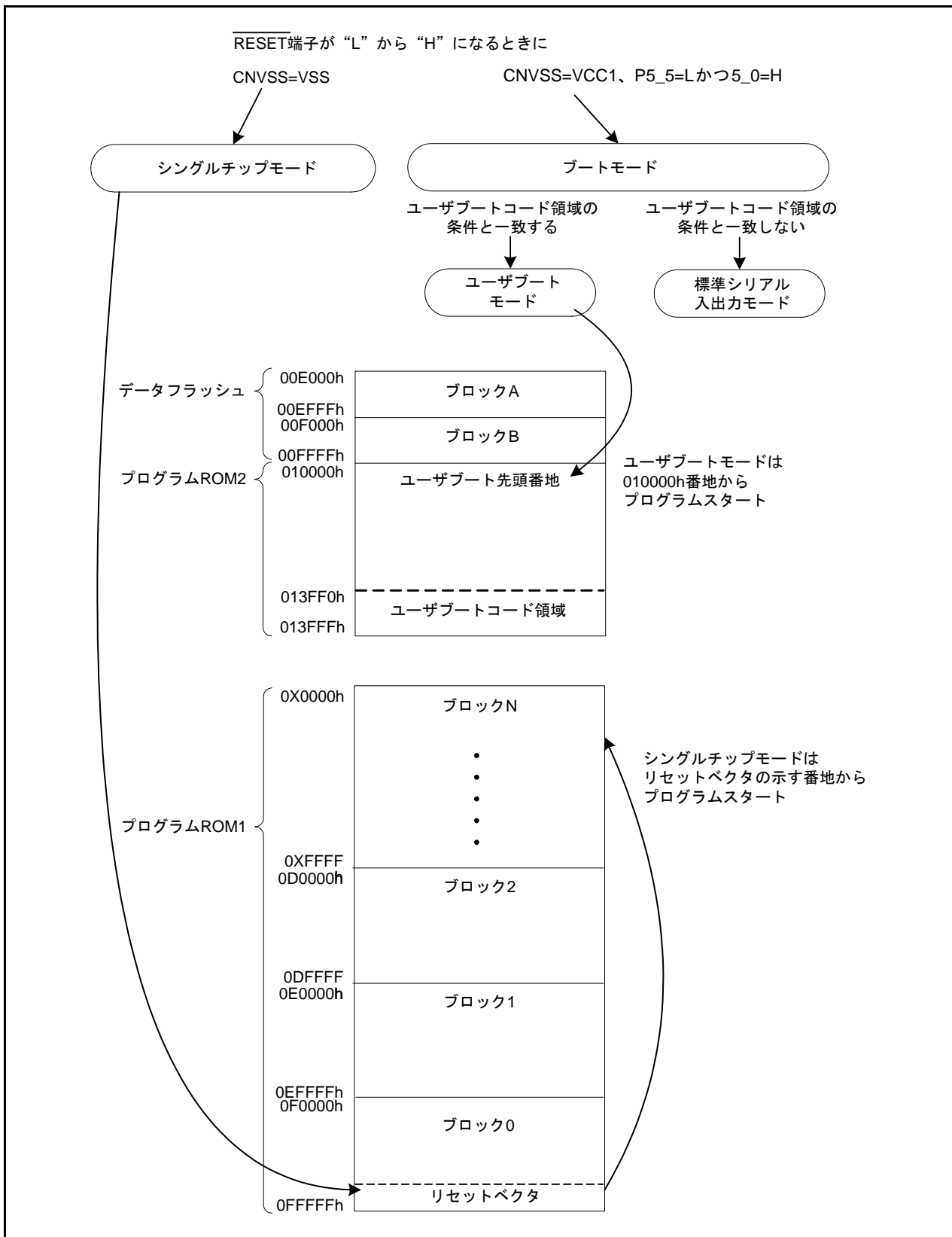


図 30.4 ユーザブートモードのプログラムスタート番地

30.8 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、データフラッシュを書き換えることができます。

プログラム、ブロックイレーズのコマンドは、プログラムROM1、プログラムROM2、データフラッシュの各ブロック領域のみに対して実行してください。

CPU書き換えモードには、EW0モードとEW1モードがあります。表30.11にEW0モードとEW1モードの違いを示します。

「30.8.1 EW0モード」、「30.8.2 EW1モード」を参照してください。

表 30.11 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> シングルチップモード メモリ拡張モード 	シングルチップモード
書き換え制御プログラムを配置できる領域	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2 外部領域 	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	プログラムROM1、プログラムROM2で実行可能
書き換えられる領域	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2 データフラッシュ 	<ul style="list-style-type: none"> プログラムROM1 プログラムROM2 データフラッシュ ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> 書き換え制御プログラムがあるブロックに対してプログラム、ブロックイレーズコマンドを実行禁止 リードステータスレジスタコマンド実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時の状態	バスホールドにならない	バスホールドになる(注1)
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む 	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. バスホールドの詳細は「11.3.1.2 バスホールド」参照。

30.8.1 EW0モード

FMR0レジスタのFMR01ビットを“1” (CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR6レジスタのFMR60ビットが“0”の場合、EW0モードになります。図30.5にEW0モードの設定と解除方法を示します。

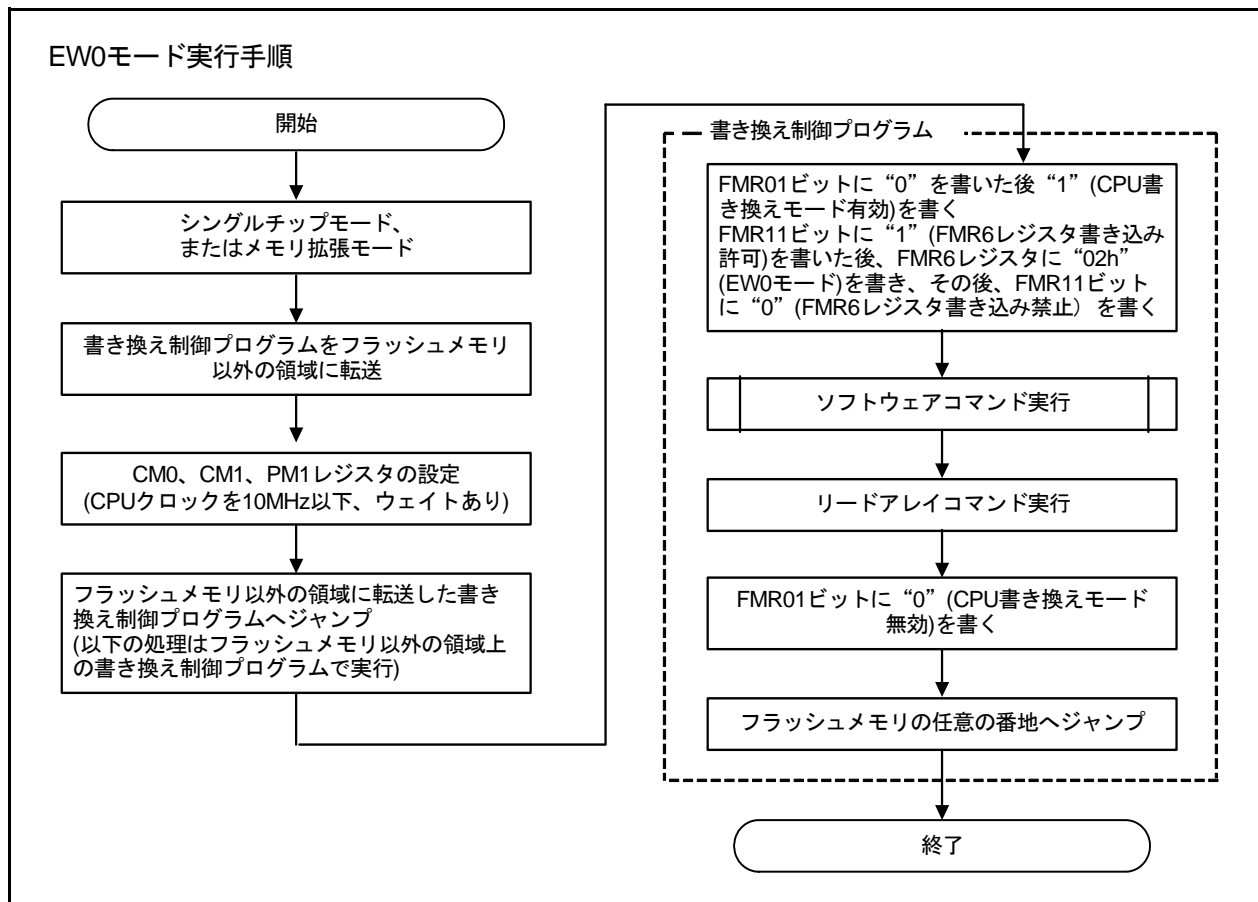


図 30.5 EW0モードの設定と解除方法

EW0モードでは次の命令を実行しないでください。

UND 命令、INTO 命令、JMPS 命令、JSRS 命令、BRK 命令

EW0モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み

可変ベクタテーブルをフラッシュメモリ以外の領域に配置してあれば使用できます。

- NMI、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視1、電圧監視2割り込み

割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止します。その後割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

なお、ウォッチドッグタイマは自動消去または自動書き込み中も動作します。定期的にウォッチドッグタイマをリフレッシュしてください。

表30.12 コマンド実行後のモード (EW0モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	リードアレイモード
プログラム	リードステータスレジスタモード(注1)
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	リードロックビットステータスモード(注1)
ブロックブランクチェック	リードステータスレジスタモード(注1)

注1. フラッシュメモリが読めるのはリードアレイモードのみです。

30.8.2 EW1モード

FMR0 レジスタのFMR01ビットを“1”にした後、FMR6 レジスタのFMR60ビットを“1”にするとEW1モードになります。図 30.6にEW1モードの設定と解除方法を示します。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

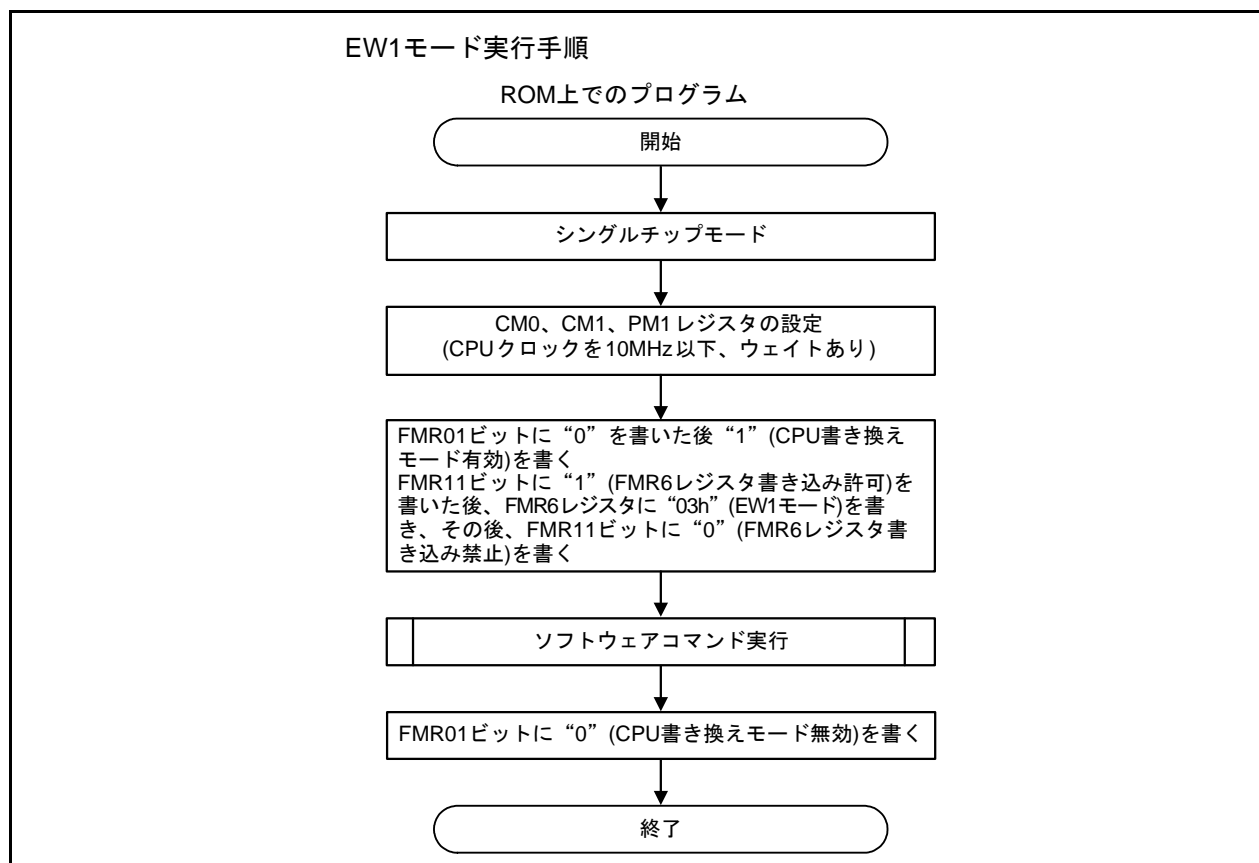


図 30.6 EW1モードの設定と解除方法

EW1モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み

自動消去または自動書き込みが優先され、割り込み要求が待たされます。自動消去または自動書き込みが終了した後、割り込み処理を実行します。

- NMI、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視1、電圧監視2割り込み

割り込み要求を受け付けると、すぐに自動消去または自動書き込みを強制停止します。その後割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマは、自動消去または自動書き込み中カウントを停止します。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のときは、EW1モードを使用しないでください。EW0モードを使用してください。

表30.13 コマンド実行後のモード (EW1モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	
プログラム	
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	
ブロックブランクチェック	

30.8.3 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

30.8.4 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。表 30.14にロックビットとブロックの状態を示します。

表 30.14 ロックビットとブロックの状態

FMR0レジスタのFMR02ビット	ロックビット	ブロックの状態
0 (有効)	0 (ロック)	プログラムまたはイレーズができない
	1 (非ロック)	プログラムまたはイレーズができる
1 (無効)	0 (ロック)	プログラムまたはイレーズができる
	1 (非ロック)	

ロックビットデータが変化するのは次のとおりです。

["0"]になる条件]

- ロックビットプログラムコマンド実行

["1"]になる条件]

- FMR0レジスタのFMR02ビットが“1”(ロックビット無効)の状態、ブロックイレーズコマンド実行

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。ロックビットデータは、リードロックビットステータスコマンドで読めます。

各コマンドの詳細は、「30.8.5 ソフトウェアコマンド」を参照してください。

30.8.5 ソフトウェアコマンド

表 30.15 にソフトウェアコマンド一覧表を示します。コマンド、データの読み出し、書き込みは 16 ビット単位で行ってください。コマンドコード書き込み時、上位 8 ビット (D15~D8) は無視されます。

表 30.15 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)
リードアレイ	ライト	x	xxFFh	—	—	—	—	—	—
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD	—	—	—
クリアステータスレジスタ	ライト	x	xx50h	—	—	—	—	—	—
プログラム	ライト	WA	xx41h	ライト	WA	WD0	ライト	WA	WD1
ブロックイレース	ライト	x	xx20h	ライト	BA	xxD0h	—	—	—
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h	—	—	—
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h	—	—	—
ブロックブランクチェック(注1)	ライト	x	xx25h	ライト	BA	xxD0h	—	—	—

SRD : ステータスレジスタデータ (D7~D0)

WA : 書き込み番地 (番地の末尾は 0h、4h、8h または Ch にしてください)

WD0 : 書き込みデータ下位ワード (16 ビット)

WD1 : 書き込みデータ上位ワード (16 ビット)

BA : ブロックの最上位番地 (ただし、偶数番地)

x : プログラム ROM1、プログラム ROM2、またはデータフラッシュ内の任意の偶数番地

xx : コマンドコード上位 8 ビット (無視されます)

注1. ブロックブランクチェックコマンドはライター向けを想定したものであり、一般ユーザ向けのコマンドではありません。

次に各ソフトウェアコマンドを説明します。

フローチャート内の記号は表 30.15 と同じなので、記号の説明はこれらを参照してください。

30.8.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

コマンドコード“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の値が 16 ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の値を続けて読めます。

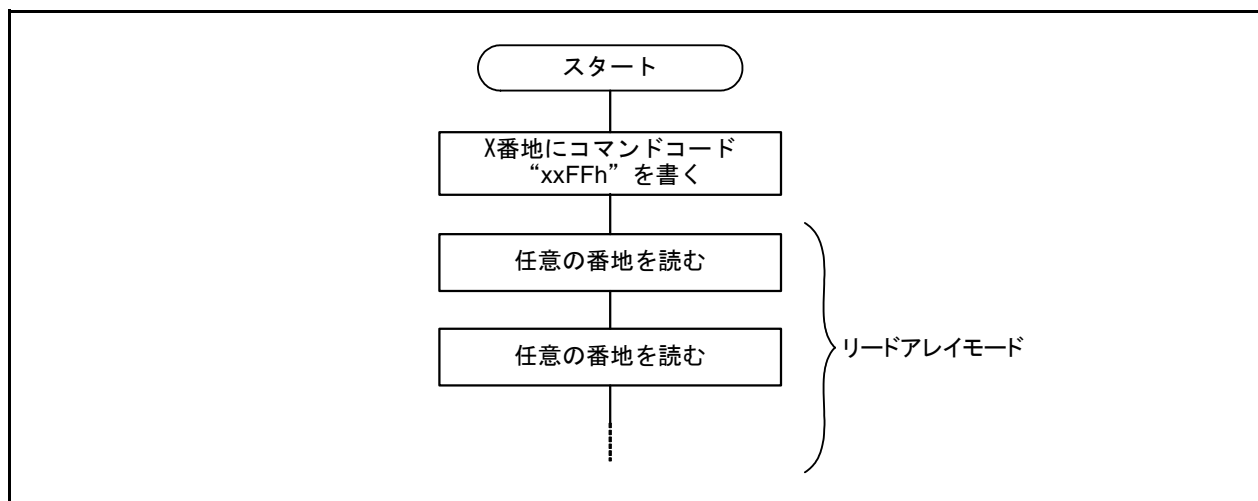


図 30.7 リードアレイフローチャート

30.8.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

コマンドコード“xx70h”を書くと、次のバスサイクルでステータスレジスタが読めます(「30.8.6 ステータスレジスタ」参照)。なお、読むときもプログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

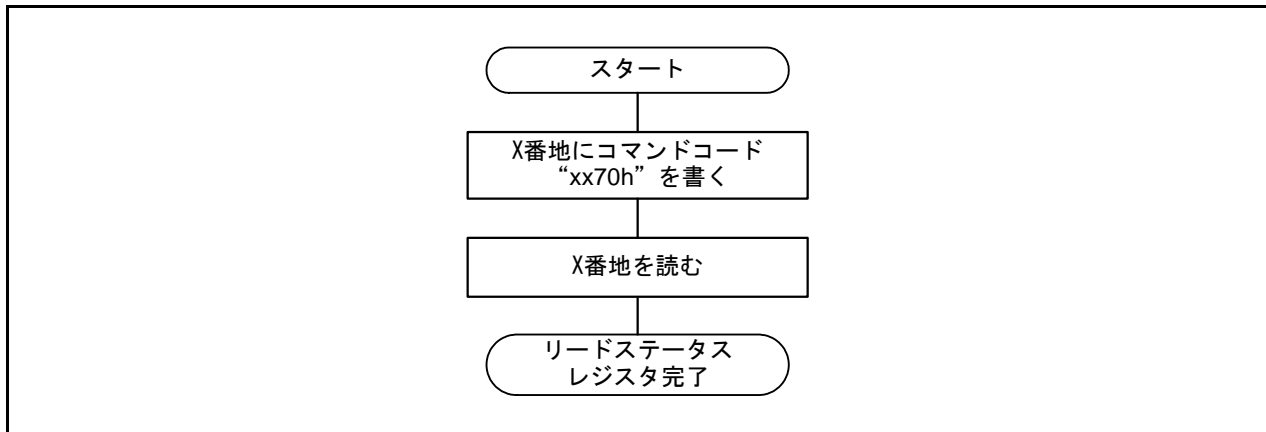


図 30.8 リードステータスレジスタフローチャート

30.8.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

コマンドコード“xx50h”を書くと、FMR0 レジスタのFMR07~FMR06 ビット (ステータスレジスタのSR5~SR4) は“00b”になります。

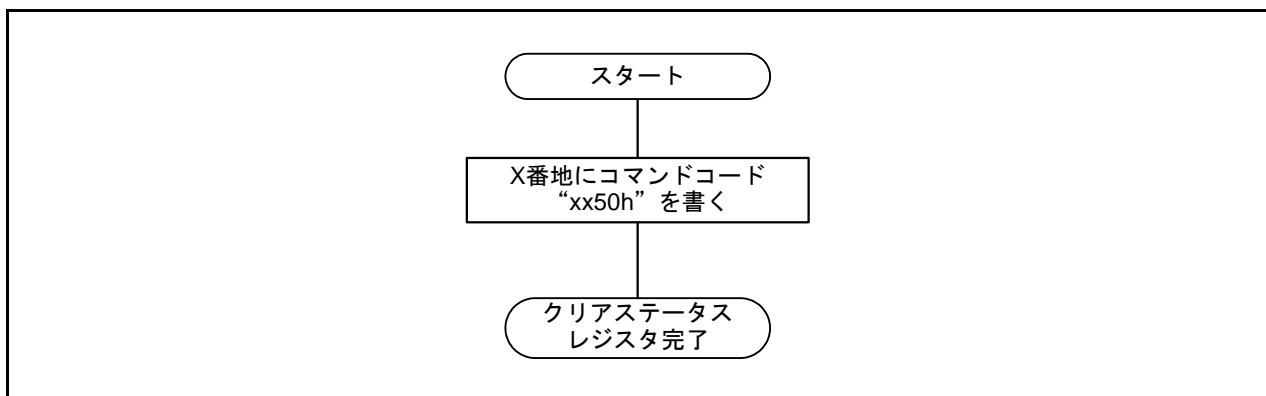


図 30.9 クリアステータスレジスタフローチャート

30.8.5.4 プログラム

2ワード(4バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで書き込み番地に“xx41h”を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0h、4h、8hまたはChにしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「30.8.6.1 フルステータスチェック」参照)。

すでにプログラムされた番地には追加書き込みしないでください。図 30.10 にプログラムフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「30.8.4 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

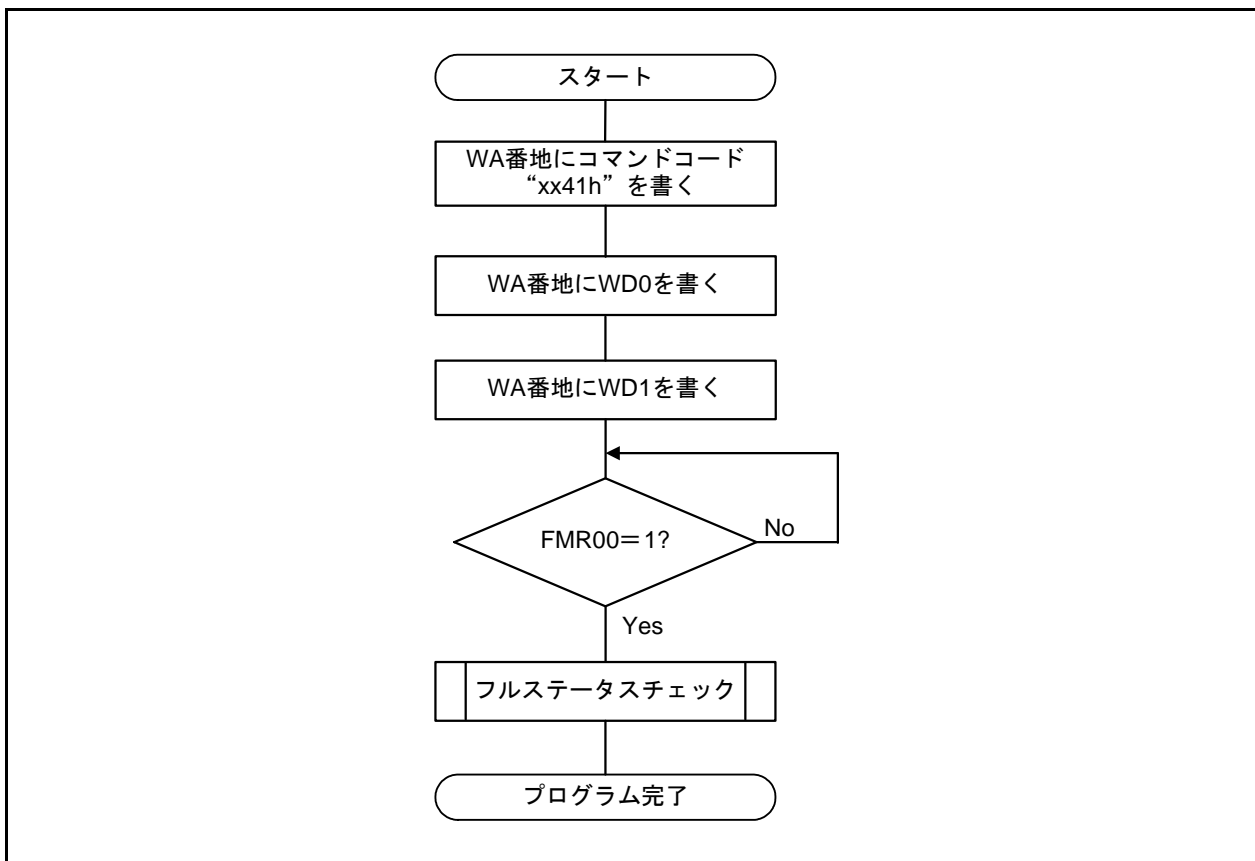


図 30.10 プログラムフローチャート

30.8.5.5 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「30.8.6.1 フルステータスチェック」参照)。

図 30.11 にブロックイレーズフローチャートを示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「30.8.4 データ保護機能」参照)。

EW1 モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

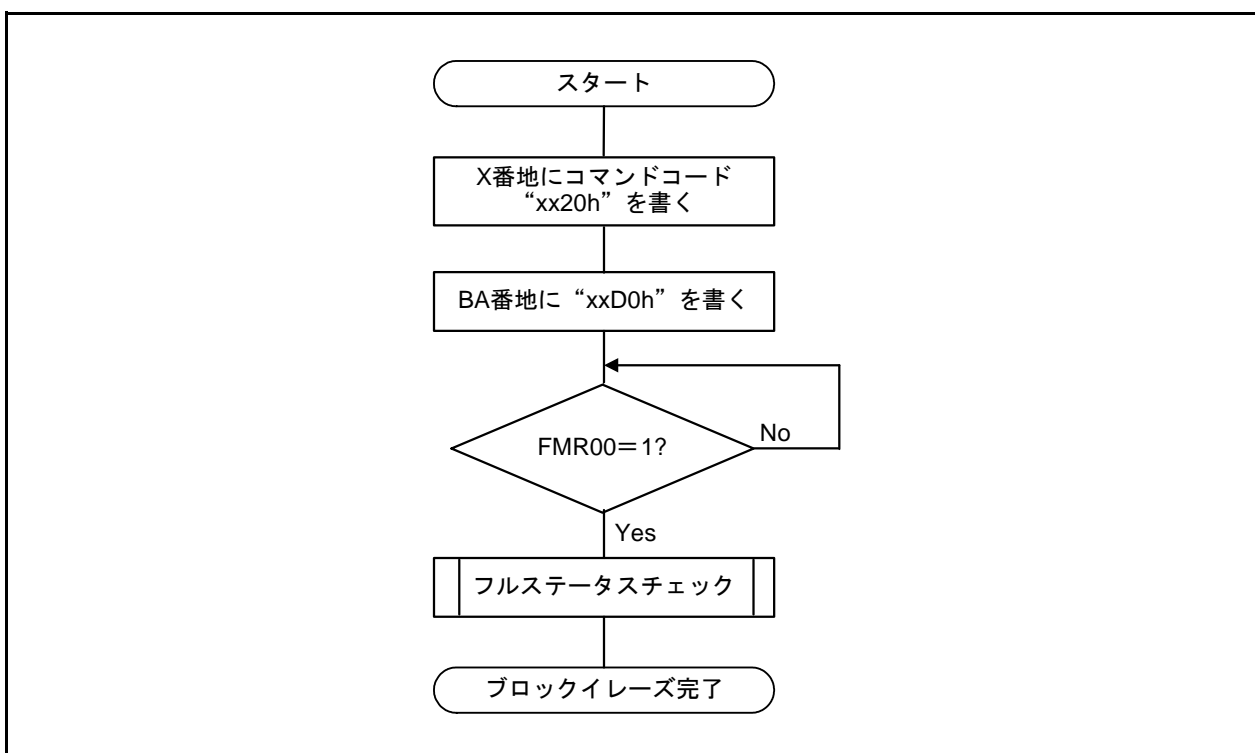


図 30.11 ブロックイレーズフローチャート

30.8.5.6 ロックビットプログラム

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地（ただし、偶数番地）に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図 30.12 にロックビットプログラムフローチャートを示します。ロックビットの状態（ロックビットデータ）は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

なお、ロックビットの機能、ロックビットを“1”（非ロック状態）にする方法については、「30.8.4 データ保護機能」を参照してください。

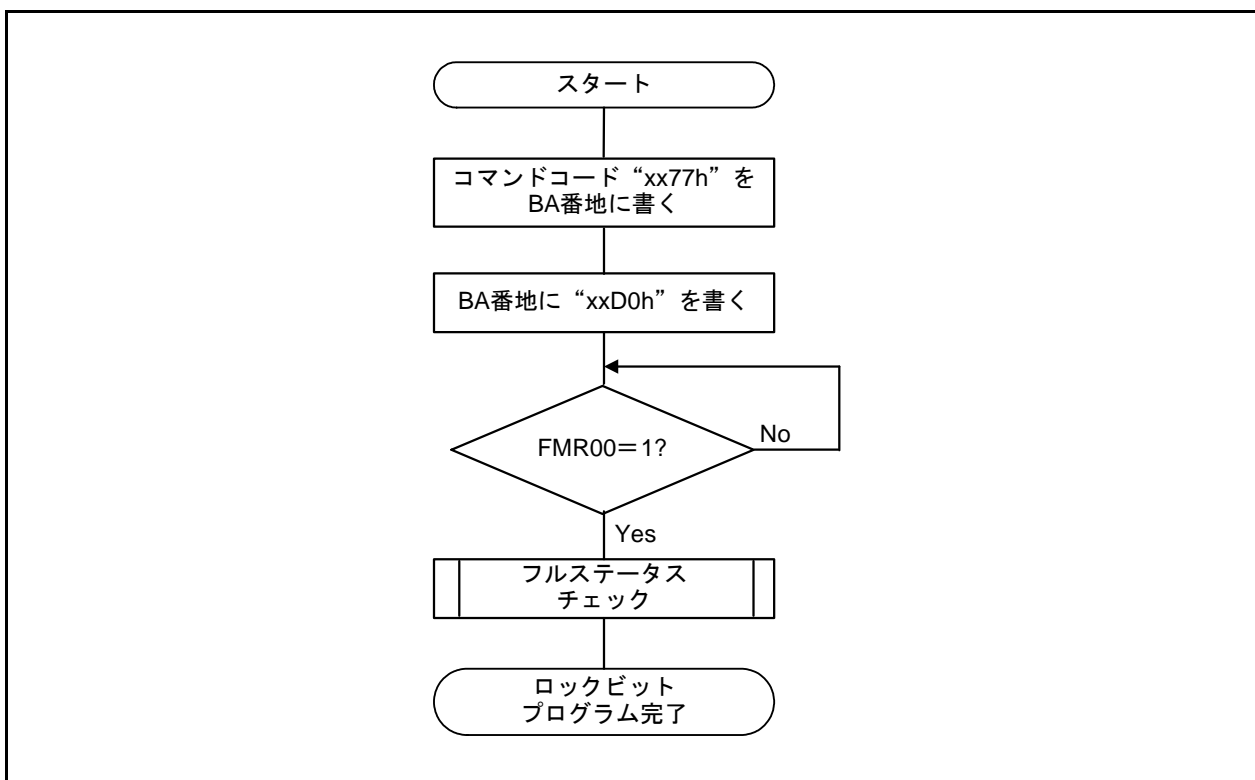


図 30.12 ロックビットプログラムフローチャート

30.8.5.7 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

図 30.13 にリードロックビットステータスフローチャートを示します。

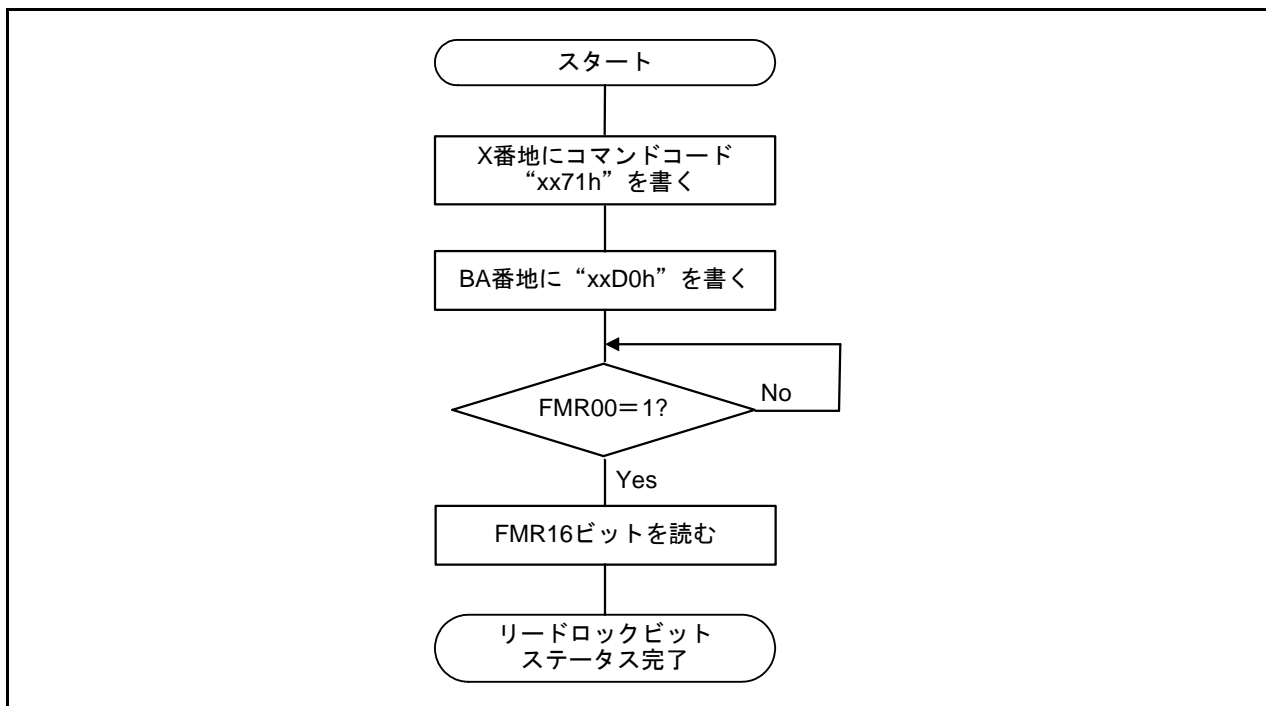


図 30.13 リードロックビットステータスフローチャート

30.8.5.8 ブロックブランクチェック

任意のブロックがブランク(消去後の状態)かチェックするコマンドです。

第1バスサイクルで“xx25h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、チェック結果がFMR0レジスタのFMR07ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR07ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

ブロックブランクチェックコマンドは、ロックしていないブロックに対して有効です。

ロックビットが“0”(ロック状態)のブロックに対してブロックブランクチェックコマンドを実行すると、FMR02ビットの状態に関係なくFMR07ビット(SR5)は“1”(ブランクではない)になります。

図 30.14 にブロックブランクチェックフローチャートを示します。

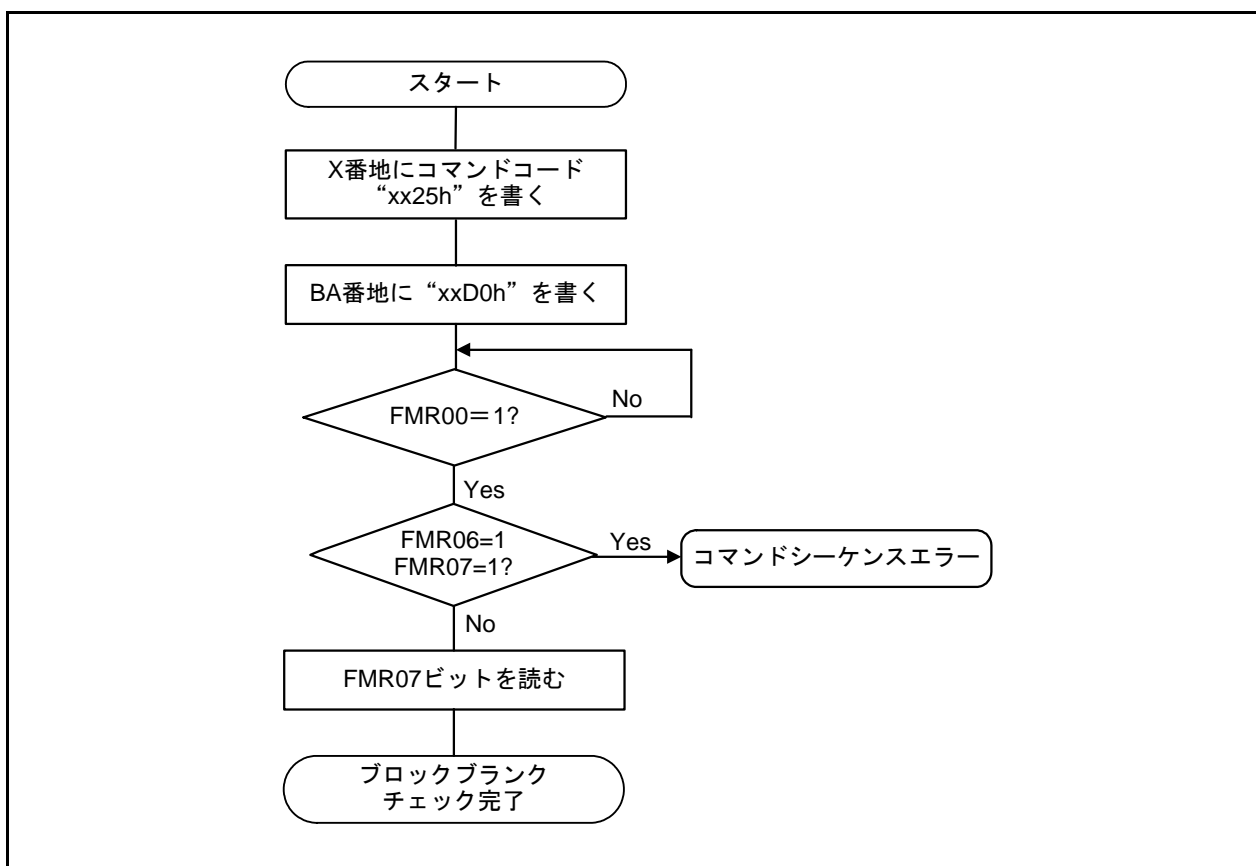


図 30.14 ブロックブランクチェックフローチャート

なお、ブロックブランクチェックの結果、ブランクでなかった場合は、クリアステータスレジスタコマンドを実行した後、その他のソフトウェアコマンドを実行してください。

ブロックブランクチェックコマンドはライター用です。瞬時停電が起こらない環境で使用してください。

ブロックイレーズコマンド実行中に瞬時停電が起こった場合、ブロックイレーズコマンドを再度実行してください。ブロックブランクチェックコマンドでは消去が正常に終了したかどうか判定が出来ないことがあります。

30.8.6 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。

ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。各ビットの説明は「30.3.1 フラッシュメモリ制御レジスタ0 (FMR0)」を参照してください。

表 30.16 ステータスレジスタの読み方の違い

項目	FMR0レジスタ	コマンド
使用条件	制限なし	
読み出し手順	FMR0レジスタのFMR00、FMR06、FMR07ビットを読む	<ul style="list-style-type: none"> リードステータスレジスタコマンドを書いた後、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む プログラム、ブロックイレーズコマンド、ロックビットプログラム、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む

表 30.17 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	ステータス		リセット後の値
			0	1	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0~D7: リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

30.8.6.1 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06~FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 30.18 エラーとFMR0レジスタの状態

FMR00レジスタの状態		エラー	エラー発生条件
FMR07ビット	FMR06ビット		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • コマンドを正しく書かなかったとき • ロックビットプログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータスコマンドの第2バスサイクルで“xxD0h”、“xxFFh”以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> • ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) • ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき • ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> • ロックされたブロックにプログラムコマンドを実行したとき(注2) • ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき • ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、コマンド実行前の状態になり、第1バスサイクルで書いたコマンドコードは取り消されます。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

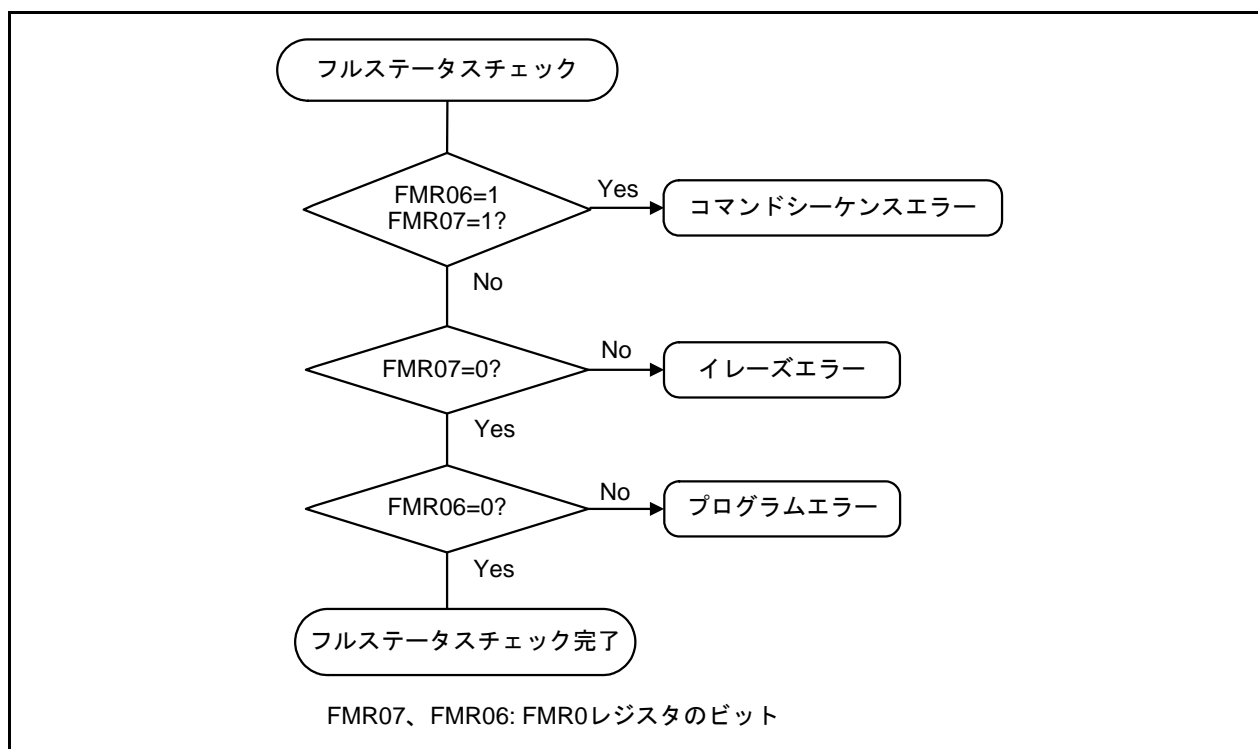


図 30.15 フルステータスチェック

30.8.6.2 各エラー発生時の対処方法

エラーが発生した場合は、以下の手順に従ってください。

なお、FMR06、FMR07ビットのいずれかが“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックの各コマンドを実行しないでください。クリアステータスレジスタコマンドを実行した後、各コマンドを実行してください。

コマンドシーケンスエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR06、FMR07ビットを“0”(正常終了)にする
- (2) コマンドが正しく入力されているかを確認の上、もう一度動作させる

イレーズエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR07ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”(ロック状態)であれば、FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にする(注1)
- (3) 再度、ブロックイレーズコマンドを実行する
- (4) イレーズエラーが発生しなくなるまで、(1)(2)(3)を繰り返す

3回繰り返してもエラーが出る場合は、そのブロックを使用しないでください。

なお、ブロックブランクチェックコマンドのイレーズエラーで、イレーズが必要ない場合は、(1)のみ実行してください。

プログラムエラー

[プログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”であれば、FMR0レジスタのFMR02ビットを“1”にする(注1)
- (3) 再度、プログラムコマンドを実行する

ロックビットが“1”(非ロック状態)の場合、エラーが発生した番地はそのままの状態では使用しないでください。再度、同一番地を書く場合は、プログラムコマンドを実行する前に、ブロックイレーズコマンドを実行し、エラーが発生したブロックを消去してください。

それでもエラーが出る場合は、その番地を使用しないでください。

[ロックビットプログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”にする
- (2) FMR0レジスタのFMR02ビットを“1”にする
- (3) ブロックイレーズコマンドを実行し、エラーが発生したブロックをイレーズする
- (4) 必要に応じてデータを書いた後、再度、ロックビットプログラムコマンドを実行する

それでもエラーが出る場合は、そのブロックを使用しないでください。

注1. EW1モードではロックビットを使用しないでください。EW1モードでエラーが発生した場合は、(2)の処理を省略してください。

30.9 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/64A グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、またはデータフラッシュを書き換えることができます。

標準シリアル入出力モードには次のモードがあります。

- 標準シリアル入出力モード1: クロック同期型シリアルI/Oを用いてシリアルライターと接続
 - 標準シリアル入出力モード2: 2線式クロック非同期型シリアルI/Oを用いてシリアルライターと接続
- シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

30.9.1 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDf、0FFFE3h、0FFFEb、0FFFEf、0FFF3h、0FFF7h、0FFFBh番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。図 30.16にIDコードの格納番地を示します。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表 30.19にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表 30.19と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表 30.19 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)	
		ALeRASE	Protect
FFFDf	ID1	41h (“A”大文字)	50h (“P”大文字)
FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
FEb	ID3	65h (“e”小文字)	6Fh (“o”小文字)
FEf	ID4	52h (“R”大文字)	74h (“t”小文字)
FF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
FF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
FFBh	ID7	45h (“E”大文字)	74h (“t”小文字)

IDコード格納番地のアドレスとデータがすべて表 30.19と一致する場合は予約語です。

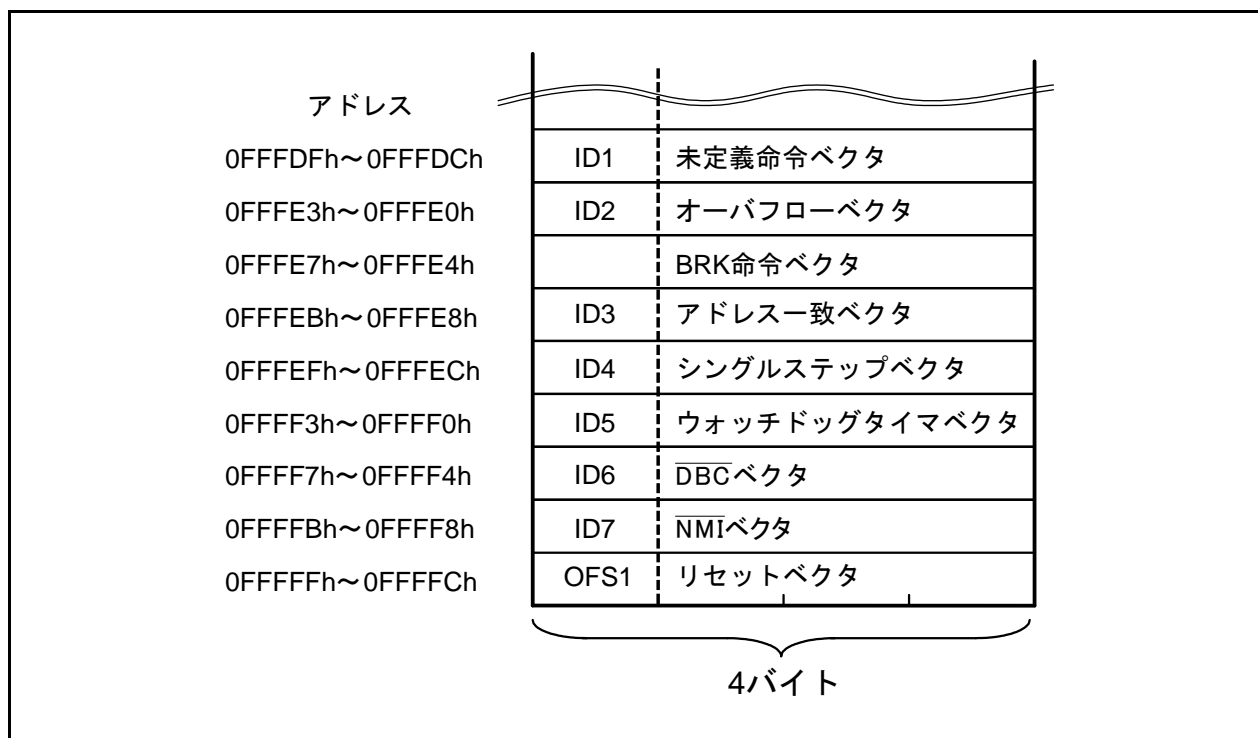


図 30.16 IDコードの格納番地

30.9.2 強制イレーズ機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、プログラムROM1、プログラムROM2をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表 30.19 IDコードの予約語」以外)、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつOFS1番地のROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表 30.20に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターから送られてくるIDコードが“ALeRASE”ならばプログラムROM1、プログラムROM2を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、フラッシュメモリを操作できません。

表 30.20 強制イレーズ機能の条件と動作

条件			動作
シリアルライターから送られてくるIDコード	IDコード格納番地のIDコード	OFS1番地のROMCP1ビット	
ALeRASE	ALeRASE	—	プログラムROM1とプログラムROM2すべて消去 (強制イレーズ機能)
	ALeRASE 以外 (注1)	1 (ROMコードプロテクト無効)	
		0 (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能。)
ALeRASE 以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能。 IDコード不一致になる)
	ALeRASE 以外 (注1)	—	IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「30.9.3 標準シリアル入出力モード禁止機能」参照。

30.9.3 標準シリアル入出力モード禁止機能

標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表 30.19 IDコードの予約語」参照)の場合、シリアルライターとの通信を行いません。このため、シリアルライターによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。IDコードが“Protect”になる組み合わせでも、ユーザブートモードは起動します。

なお、IDコードを“Protect”になる組み合わせにし、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつ、OFS1番地のROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターによるROMコードプロテクト解除ができません。したがって、シリアルライターでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

30.9.4 標準シリアル入出力モード1

標準シリアル入出力モード1はクロック同期型シリアルI/Oを用いて、シリアルライタと接続します。

表 30.21 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	電源システム	機能
VCC1、VCC2、VSS	電源入力		-	VCC1端子にはフラッシュメモリ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件はVCC2 ≤ VCC1です。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。
XIN	クロック入力	入力	VCC1	メインクロックを使用しない場合は、XIN端子に“H”を入力し、XOUT端子は開放してください。 メインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振器、または水晶発振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力		
BYTE	BYTE入力	入力	VCC1	VSSまたはVCC1に接続してください。
AVCC、AVSS	アナログ電源入力			AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力		A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード1を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P4_0~P4_7	入力ポートP4	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_1~P5_4、P5_6、P5_7	入力ポートP5	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	VCC2	“H”を入力してください。
P5_5	EPM入力	入力	VCC2	“L”を入力してください。
P6_0~P6_3	入力ポートP6	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	VCC1	BUSY信号の出力端子です。
P6_5/CLK1	SCLK入力	入力	VCC1	シリアルクロックの入力端子です。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。

表 30.22 標準シリアル入出力モード1設定方法

信号名	入力レベル
CNVSS	VCC1
EPM	VSS
RESET	VSS → VCC1
CE	VCC2
SCLK	VCC1

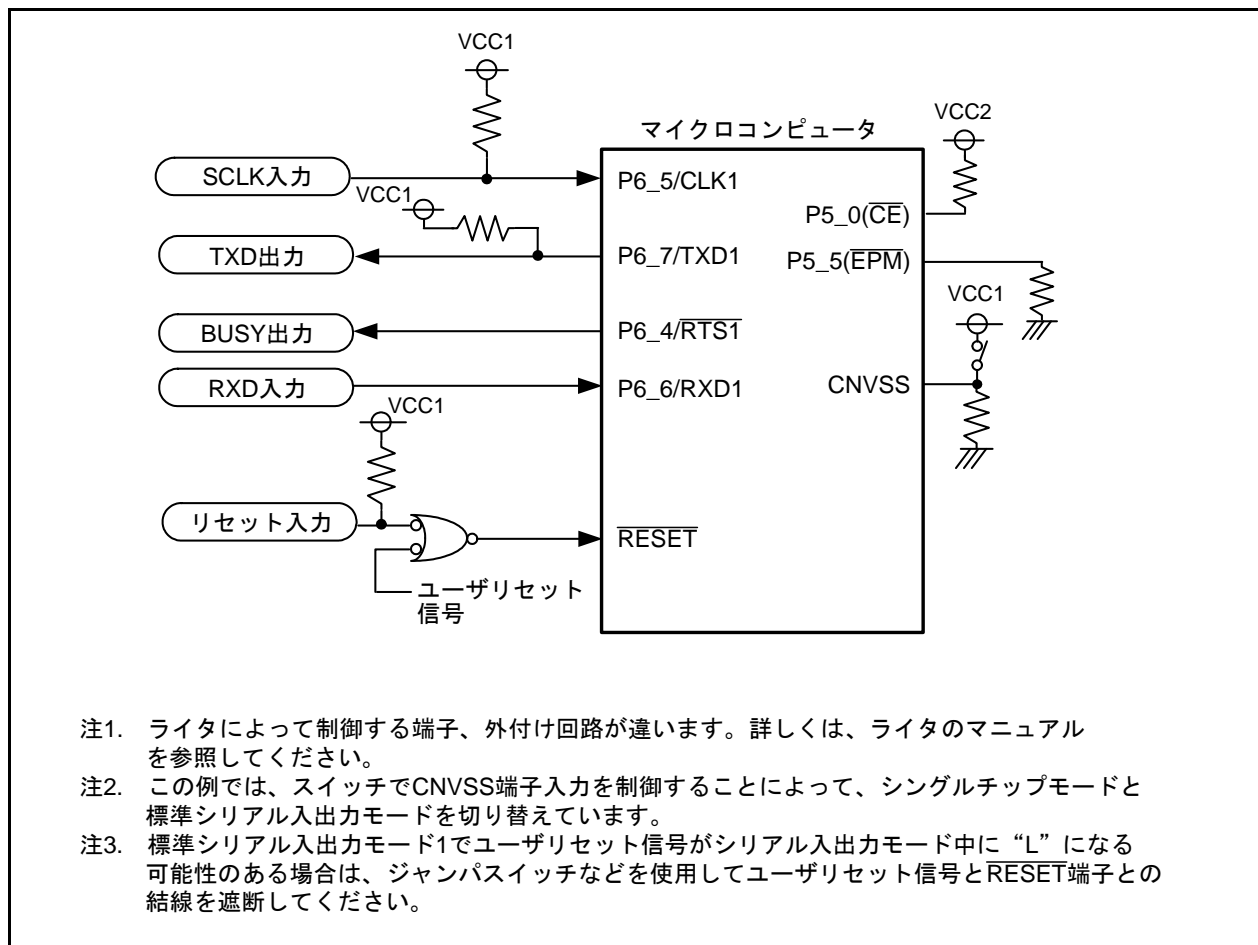


図 30.17 標準シリアル入出力モード1を使用する場合の端子処理例

30.9.5 標準シリアル入出力モード2

標準シリアル入出力モード2は2線式クロック非同期型シリアルI/Oを用いてシリアルライタと接続します。メインクロックを使用します。

表 30.23 端子機能の説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	電源系統	機能
VCC1、VCC2、VSS	電源入力		-	VCC1端子にはフラッシュメモリ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件はVCC2 ≤ VCC1です。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。
XIN	クロック入力	入力	VCC1	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力		
BYTE	BYTE入力	入力	VCC1	VSSまたはVCC1に接続してください。
AVCC、AVSS	アナログ電源入力			AVCC端子はVCC1に、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力		A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード2を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	VCC2	"H"を入力、"L"を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	VCC2	"H"を入力、"L"を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	VCC2	"H"を入力、"L"を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	VCC2	"H"を入力、"L"を入力、または開放してください。
P4_0~P4_7	入力ポートP4	入力	VCC2	"H"を入力、"L"を入力、または開放してください。
P5_1~P5_4、P5_6、P5_7	入力ポートP5	入力	VCC2	"H"を入力、"L"を入力、または開放してください。
P5_0	CE入力	入力	VCC2	"H"を入力してください。
P5_5	EPM入力	入力	VCC2	"L"を入力してください。
P6_0~P6_3	入力ポートP6	入力	VCC1	"H"を入力、"L"を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	VCC1	ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	VCC1	"L"を入力してください。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	VCC1	"H"を入力、"L"を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	VCC1	"H"を入力、"L"を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	VCC1	"H"を入力、"L"を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	VCC1	"H"を入力、"L"を入力、または開放してください。

表 30.24 標準シリアル入出力モード2設定方法

信号名	入力レベル
CNVSS	VCC1
$\overline{\text{EPM}}$	VSS
$\overline{\text{RESET}}$	VSS→VCC1
$\overline{\text{CE}}$	VCC2
P6_5/CLK1	VSS

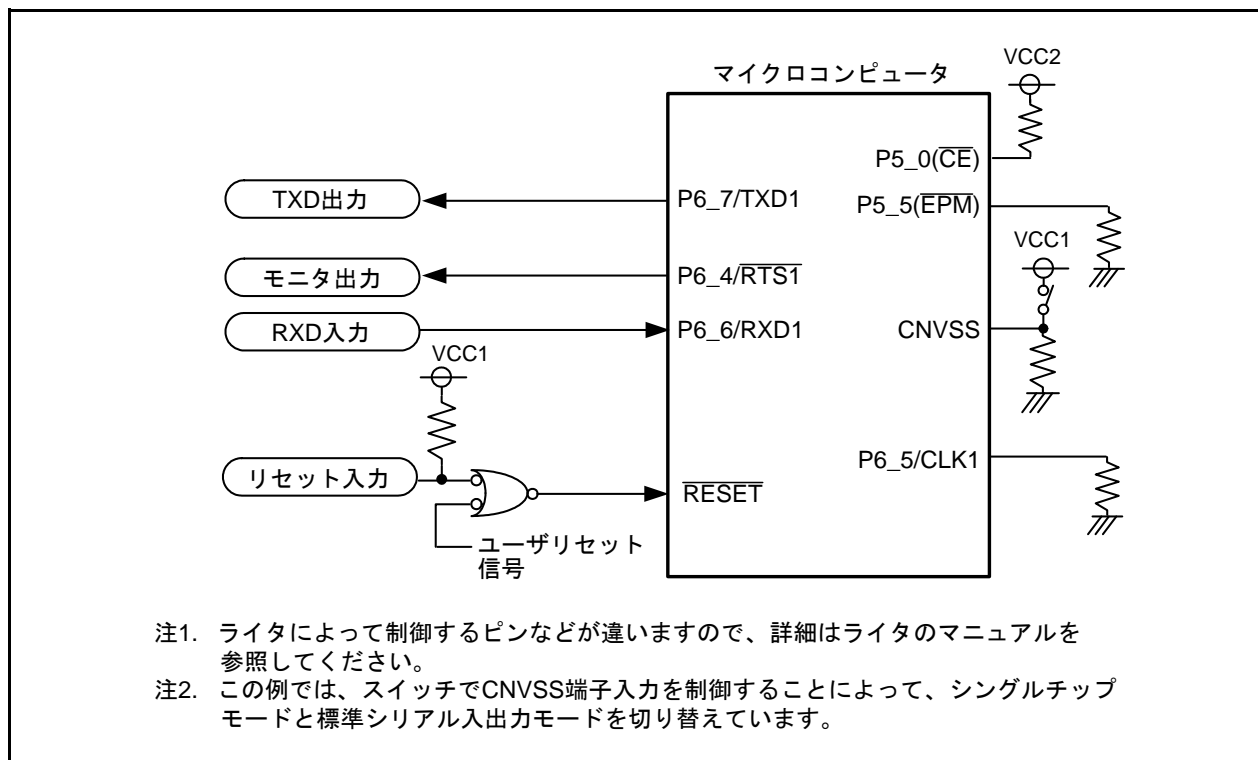


図 30.18 標準シリアル入出力モード2を使用する場合の端子処理例

30.10 パラレル入出力モード

パラレル入出力モードでは、M16C/64Aグループに対応したパラレルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換えられます。パラレルライタについては、各メーカーにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

30.10.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。「30.4.1 オプション機能選択1番地 (OFS1)」を参照してください。OFS1番地は、プログラムROM1のブロック0に存在します。

OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつROMCP1ビットを“0”にすると、ROMコードプロテクトが有効になります。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでOFS1番地を含むブロック0を消去してください。

30.11 フラッシュメモリ使用上の注意事項

30.11.1 OFS1 番地、ID コード格納番地

OFS1 番地、ID コード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1 番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1 番地は0FFFFFFh 番地です。プログラムROM1 のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、ID コード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

ID コードチェック機能を無効にすることはできません。たとえID コードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいID コードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1 番地に“FEh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFFFFh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFFFFh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

30.11.2 データフラッシュの読み出し

$2.7V \leq VCC1 \leq 3.0V$ かつ $f(BCLK) \geq 16MHz$ の場合、または $3.0V < VCC1 \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1 レジスタのPM17ビットまたはFMR1 レジスタのFMR17ビットで1ウェイトにしてください。

30.11.3 CPU書き換えモード

30.11.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

30.11.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- $\overline{\text{NMI}}$ 端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

30.11.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

30.11.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

30.11.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

30.11.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

30.11.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

30.11.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

30.11.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

30.11.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 高速、中速モード、PLL動作モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンド、または同じコマンドを複数回実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード(FMR22が“1”)、または低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

30.11.3.11 PM13ビット

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の期間、PM1レジスタのPM13ビットが“1”になります。FMR01ビットを“0”(CPU書き換えモード無効)にすると、PM13ビットは元の値に戻ります。ただし、CPU書き換えモード中にPM13ビットを変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。

30.11.3.12 書き換え制御プログラムを実行する領域

CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM10とPM13ビットがともに“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(40000h~BFFFFh)は使用しないでください。

30.11.3.13 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

30.11.3.14 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、パワーオン、電圧監視0、電圧監視1、電圧監視2、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視1、電圧監視2割り込み

30.11.4 ユーザブート

30.11.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地の VDSEL1 ビット、LVDAS ビット、はブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

30.11.5 EW1モード

(テクニカルアップデート番号: TN-16C-A175A/J)

EW1モードを使用する場合、次の注意事項があります。

30.11.5.1 EW1モードの周波数制限

EW1モードを使用する際は、CPUクロックを1MHz以上にしてください。

30.11.5.2 ブロックブランクチェックコマンドの周波数制限

ブロックブランクチェックコマンドを使用する際は、CPUクロックを3MHz以上にしてください。

30.11.5.3 ロックビットの使用禁止

FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にしてください。

リードロックビットステータスコマンド、ロックビットプログラムコマンドを実行しないでください。

30.11.5.4 ウェイトモードまたはストップモードに遷移するユーザプログラムの EW1モード移行手順

ウェイトモードまたはストップモードに遷移するユーザプログラムで、EW1モードを使用する場合は、RAM上で、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしてください。その後、再度FMSTPビットを“0”(フラッシュメモリ動作)にし、フラッシュメモリ上でEW1モードに移行してください。また、この処理は割り込み禁止状態で実施してください。

31. 電気的特性

31.1 電気的特性 (5V、3V 共通事項)

31.1.1 絶対最大定格

表 31.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC1}	電源電圧		V _{CC1} =AV _{CC}	-0.3~6.5	V
V _{CC2}	電源電圧		V _{CC1} =AV _{CC}	-0.3~V _{CC1} + 0.1 (注1)	V
AV _{CC}	アナログ電源電圧		V _{CC1} =AV _{CC}	-0.3~6.5	V
V _{REF}	アナログ基準電圧		V _{CC1} =AV _{CC}	-0.3~V _{CC1} + 0.1 (注1)	V
V _I	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XIN		-0.3~V _{CC1} + 0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7		-0.3~V _{CC2} + 0.3 (注1)	V
		P7_0, P7_1, P8_5		-0.3~6.5	V
V _O	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XOUT		-0.3~V _{CC1} + 0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7		-0.3~V _{CC2} + 0.3 (注1)	V
		P7_0, P7_1, P8_5		-0.3~6.5	V
P _d	消費電力		-40°C < T _{opr} ≤ 85°C	300	mW
T _{opr}	動作周囲温度	マイコン動作時		-20~85/-40~85	°C
		フラッシュ書き込み消去時	プログラム領域	0~60	
			データ領域	-20~85/-40~85	
T _{stg}	保存温度			-65~150	°C

注1. 最大6.5Vです。

31.1.2 推奨動作条件

表 31.2 推奨動作条件 (1/3)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 5.5V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目		規格値			単位
			最小	標準	最大	
V_{CC1} , V_{CC2}	電源電圧 ($V_{CC1} \geq V_{CC2}$)	CEC 機能未使用時	2.7	5.0	5.5	V
		CEC 機能使用時	2.7		3.63	V
AV_{CC}	アナログ電源電圧			V_{CC1}		V
V_{SS}	電源電圧			0		V
AV_{SS}	アナログ電源電圧			0		V
V_{IH}	"H" 入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0.8 V_{CC2}		V_{CC2}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0.8 V_{CC2}		V_{CC2}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0.5 V_{CC2}		V_{CC2}	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS, BYTE	0.8 V_{CC1}		V_{CC1}	V
		P7_0, P7_1, P8_5	0.8 V_{CC1}		6.5	V
		CEC	0.7 V_{CC1}			V
V_{IL}	"L" 入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7	0		0.2 V_{CC2}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0		0.2 V_{CC2}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力)	0		0.16 V_{CC2}	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	0		0.2 V_{CC1}	V
		CEC			0.26 V_{CC1}	V
$I_{OH(sum)}$	"H" 尖頭総出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7の $I_{OH(peak)}$ の総和			-40	mA
		P3_0~P3_7, P4_0~P4_7, P5_0~P5_7の $I_{OH(peak)}$ の総和			-40	mA
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4の $I_{OH(peak)}$ の総和			-40	mA
		P8_6, P8_7, P9_0~P9_7, P10_0~P10_7の $I_{OH(peak)}$ の総和			-40	mA
$I_{OH(peak)}$	"H" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			-10.0	mA
$I_{OH(avg)}$	"H" 平均出力電流 (注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7			-5.0	mA

注1. 平均出力電流は100msの期間内での平均値です。

表 31.3 推奨動作条件 (2/3)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 5.5V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	規格値			単位	
		最小	標準	最大		
$I_{OL(sum)}$	“L”尖頭総出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7の $I_{OL(peak)}$ の総和			80.0	mA	
$I_{OL(peak)}$	“L”尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			10.0	mA	
$I_{OL(avg)}$	“L”平均出力電流 (注1) P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			5.0	mA	
$f_{(XIN)}$	メインクロック入力発振周波数	$V_{CC1}=2.7V\sim 5.5V$		2	20	MHz
$f_{(XCIN)}$	サブクロック発振周波数			32.768	50	kHz
$f_{(PLL)}$	PLLクロック発振周波数	$V_{CC1}=2.7V\sim 5.5V$		10	25	MHz
$f_{(BCLK)}$	CPU動作周波数			2	25	MHz
$t_{su(PLL)}$	PLL周波数シンセサイザ安定待ち時間	$V_{CC1}=5.0V$			2	ms
		$V_{CC1}=3.0V$			3	ms

注1. 平均出力電流は100msの期間内での平均値です。

表 31.4 推奨動作条件 (3/3)

(指定のない場合は、 $V_{CC1}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$) (注1)

電源リップルは $V_r(V_{CC1})$ 、 $dV_r(V_{CC1})/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
$V_r(V_{CC1})$	許容電源リップル電圧	$V_{CC1}=5.0V$		0.5	Vp-p
		$V_{CC1}=3.0V$		0.3	Vp-p
$dV_r(V_{CC1})/dt$	電源リップル立ち下がり勾配	$V_{CC1}=5.0V$		0.3	V/ms
		$V_{CC1}=3.0V$		0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

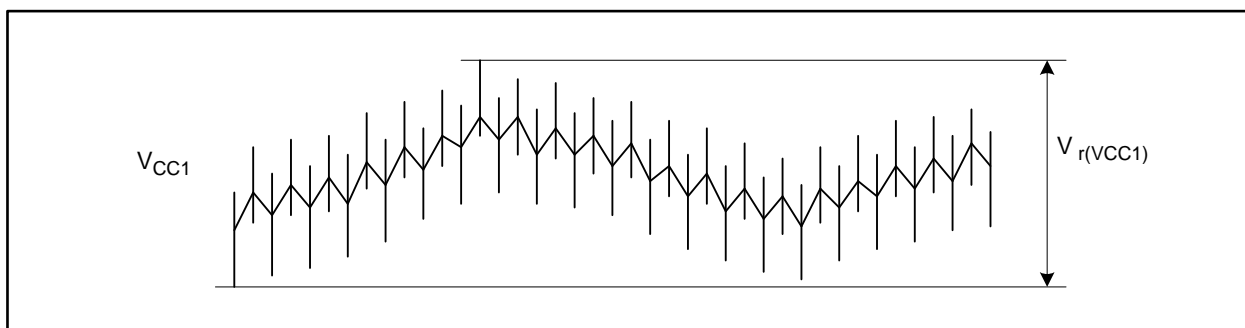


図 31.1 電源リップル波形

31.1.3 A/D変換特性

表 31.5 A/D変換特性(1/2) (注1)

指定のない場合は、 $V_{CC1}=AV_{CC}=3.0\sim 5.5V \geq V_{CC2} \geq V_{REF}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能	$AV_{CC} = V_{CC1} \geq V_{CC2} \geq V_{REF}$			10	Bits	
I _{NL}	積分非直線性誤差	10bit	$V_{CC1} = 5.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)		±3	LSB
			$V_{CC1} = 3.3V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)		±3	LSB
			$V_{CC1} = 3.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)		±3	LSB
-	絶対精度	10bit	$V_{CC1} = 5.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)		±3	LSB
			$V_{CC1} = 3.3V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)		±3	LSB
			$V_{CC1} = 3.0V$	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 (注2)		±3	LSB

注1. $AV_{CC} = V_{CC1}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。
「図 31.2 A/D精度測定回路」を参照してください。

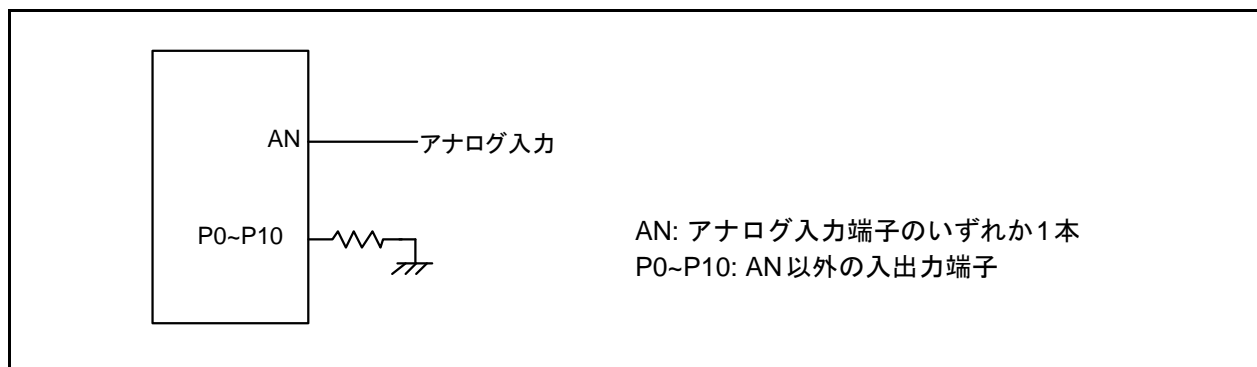


図 31.2 A/D精度測定回路

表 31.6 A/D変換特性 (2/2) (注1)

指定のない場合は、 $V_{CC1}=AV_{CC}=3.0\sim 5.5V \geq V_{CC2} \geq V_{REF}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
φAD	A/D動作クロック周波数	AN0~AN7入力、 ANEX0、ANEX1 入力	$4.0V \leq V_{CC1} \leq 5.5V$	2		25	MHz
			$3.2V \leq V_{CC1} \leq 4.0V$	2		16	MHz
			$3.0V \leq V_{CC1} \leq 3.2V$	2		10	MHz
		AN0_0~AN0_7 入力、 AN2_0~AN2_7 入力	$4.0V \leq V_{CC2} \leq 5.5V$	2		25	MHz
			$3.2V \leq V_{CC2} \leq 4.0V$	2		16	MHz
			$3.0V \leq V_{CC2} \leq 3.2V$	2		10	MHz
-	許容信号源インピーダンス			3		kΩ	
D _{NL}	微分非直線性誤差	(注3)			±1	LSB	
-	オフセット誤差	(注3)			±3	LSB	
-	ゲイン誤差	(注3)			±3	LSB	
t _{CONV}	変換時間(10bit)	$V_{CC1}=5V$ 、φAD=25MHz	1.60			μs	
t _{SAMP}	サンプリング時間		0.60			μs	
V _{REF}	基準電圧		3.0		V _{CC1}	V	
V _{IA}	アナログ入力電圧(注2、4)		0		V _{REF}	V	

注1. $AV_{CC} = V_{CC1}$ で使用してください。

注2. $V_{CC1} \geq V_{CC2}$ の場合、次のようにしてください。

アナログ入力電圧(AN0~AN7、ANEX0、ANEX1) $\leq V_{CC1}$

アナログ入力電圧(AN0_0~AN0_7、AN2_0~AN2_7) $\leq V_{CC2}$

注3. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにしてV_{SS}に接続。

「図 31.2 A/D精度測定回路」を参照してください。

注4. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

31.1.4 D/A変換特性

表 31.7 D/A変換特性

指定のない場合は、 $V_{CC1}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				2.5	LSB
t _{su}	設定時間				3	μs
R _O	出力抵抗		5	6	8.2	kΩ
I _{VREF}	基準電源入力電流	(注1、2)			1.5	mA

注1. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

注2. A/Dコンバータの電流消費分は除きます。また、ADCON1レジスタのADSTBYビットが“0”(A/D動作停止、スタンバイ)の場合でも、D/AコンバータのI_{VREF}は流れます。

31.1.5 フラッシュメモリの電気的特性

表 31.8 フラッシュメモリ動作時のCPUクロック (f_{BCLK})指定のない場合は、 $V_{\text{CC1}}=2.7\sim 5.5\text{V}$ 、 $T_{\text{opr}}=-20\sim 85^\circ\text{C}/-40\sim 85^\circ\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				10 (注1)	MHz
$f_{\text{(SLOW_R)}}$	スローリードモード				5 (注3)	MHz
-	低消費電流リードモード			$f_{\text{C}}(32.768)$	35	kHz
-	データフラッシュリード	$2.7\text{V} \leq V_{\text{CC1}} \leq 3.0\text{V}$			16 (注2)	MHz
		$3.0\text{V} < V_{\text{CC1}} \leq 5.5\text{V}$			20 (注2)	MHz

注1. PM1レジスタのPM17ビットは“1” (1ウェイト)にしてください。

注2. この周波数を超える場合、またはFMR1レジスタのFMR17ビットを“0” (1ウェイト)にするか、またはPM1レジスタのPM17ビットを“1” (1ウェイト)にしてください。

注3. PM1レジスタのPM17ビットを“1” (1ウェイト)にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

表 31.9 フラッシュメモリ (プログラムROM1、2)の電気的特性

指定のない場合は、 $V_{\text{CC1}}=2.7\sim 5.5\text{V}$ 、 $T_{\text{opr}}=0^\circ\text{C}\sim 60^\circ\text{C}$ (オプション: $-40^\circ\text{C}\sim 85^\circ\text{C}$)です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{\text{CC1}}=3.3\text{V}$ 、 $T_{\text{opr}}=25^\circ\text{C}$	1,000 (注2)			回
-	2ワードプログラム時間	$V_{\text{CC1}}=3.3\text{V}$ 、 $T_{\text{opr}}=25^\circ\text{C}$		150	4000	μs
-	ロックビットプログラム時間	$V_{\text{CC1}}=3.3\text{V}$ 、 $T_{\text{opr}}=25^\circ\text{C}$		70	3000	μs
-	ブロックイレーズ時間	$V_{\text{CC1}}=3.3\text{V}$ 、 $T_{\text{opr}}=25^\circ\text{C}$		0.2	3.0	s
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧	$T_{\text{opr}}=-20\sim 85^\circ\text{C}/-40\sim 85^\circ\text{C}$	2.7		5.5	V
-	書き込み、消去時の温度		0		60	$^\circ\text{C}$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間 (注6)	周囲温度 = 55°C	20			年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回 ($n=1,000$)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

たとえば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

表 31.10 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 5.5V$ 、 $T_{opr} = -20^{\circ}C\sim 85^{\circ}C/-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC1}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		-20/-40		85	$^{\circ}C$
t _{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = 55 $^{\circ}C$	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。たとえば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

31.1.6 電圧検出回路、電源回路の電氣的特性

表 31.11 電圧検出0回路の電氣的特性

指定のない場合の測定条件は $V_{CC1}=2.7 \sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0_0} (注1)	V_{CC1} 立ち下がり時	1.60	1.90	2.20	V
	電圧検出レベル V_{det0_2} (注1)	V_{CC1} 立ち下がり時	2.55	2.85	3.15	V
-	電圧検出0回路反応時間 (注3)	V_{CC1} を5Vから ($V_{det0_0}-0.1$)V に下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC25=1$ 、 $V_{CC1}=5.0V$		1.8		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注2)				100	μs

注1. 電圧検出レベルはOFS1番地のVDSEL1ビットで選択してください。

注2. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V_{det0} を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表 31.12 電圧検出1回路の電氣的特性

指定のない場合の測定条件は $V_{CC1}=2.7 \sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det1}	電圧検出レベル V_{det1_6} (注1)	V_{CC1} 立ち下がり時	2.79	3.09	3.39	V
	電圧検出レベル V_{det1_B} (注1)	V_{CC1} 立ち下がり時	3.54	3.84	4.14	V
	電圧検出レベル V_{det1_F} (注1)	V_{CC1} 立ち下がり時	3.94	4.44	4.94	V
-	電圧検出1回路の V_{CC1} 立ち上がり時のヒステリシス幅			0.15		V
-	電圧検出1回路反応時間 (注3)	V_{CC1} を5Vから ($V_{det1_0} - 0.1$)V に下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC26=1$ 、 $V_{CC1}=5.0V$		1.8		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注2)				100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0~VD1S3ビットで選択してください。

注2. VCR2レジスタのVC26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V_{det1} を通過した時点から、電圧監視1リセットが発生するまでの時間です。

表 31.13 電圧検出2回路の電気的特性

指定のない場合の測定条件は $V_{CC1}=2.7 \sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2}	電圧検出レベル V_{det2_0}	V_{CC1} 立ち下がり時	3.50	4.00	4.50	V
-	電圧検出2回路の V_{CC1} 立ち上がり時のヒステリシス幅			0.15		V
-	電圧検出2回路反応時間 (注2)	V_{CC1} を5Vから $(V_{det2_0} - 0.1)V$ に下げたとき			200	μs
-	電圧検出回路の自己消費電流	$VC27=1$ 、 $V_{CC1}=5.0V$		1.8		μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)				100	μs

注1. VCR2レジスタのVC27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注2. V_{det2} を通過した時点から、電圧監視2リセットが発生するまでの時間です。

表 31.14 パワーオンリセット回路

指定のない場合の測定条件は $V_{CC1}=2.0 \sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{por1}	パワーオンリセットが有効になる電圧 (注1)				0.1	V
t_{rth}	外部電源 V_{CC1} の立ち上がり傾き		2.0		50000	mV/ms
$t_{w(por)}$	パワーオンリセットが有効になるための保持時間		300			ms

注1. パワーオンリセットを使用する場合には、OFS1番地のLVDASビットを“0”にして電圧監視0リセットを有効にしてください。また、VDSEL1ビットを“0” (V_{det0_2}) にしてください。

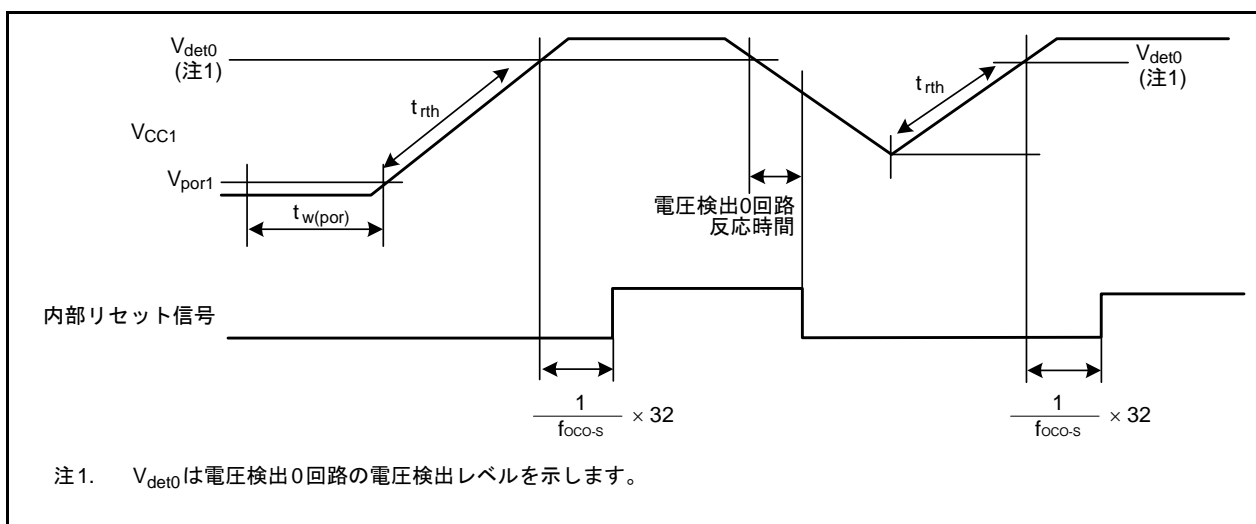


図 31.3 パワーオンリセット回路の電気的特性

表 31.15 電源回路のタイミング特性

指定のない場合の測定条件は $V_{CC1}=2.7 \sim 5.5V$ 、 $T_{opr}=25^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時の内部電源安定時間 (注1)				5	ms
$t_{d(R-S)}$	STOP 解除時間				150	μs
$t_{d(W-S)}$	低消費電力モードウェイトモード解除時間				150	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

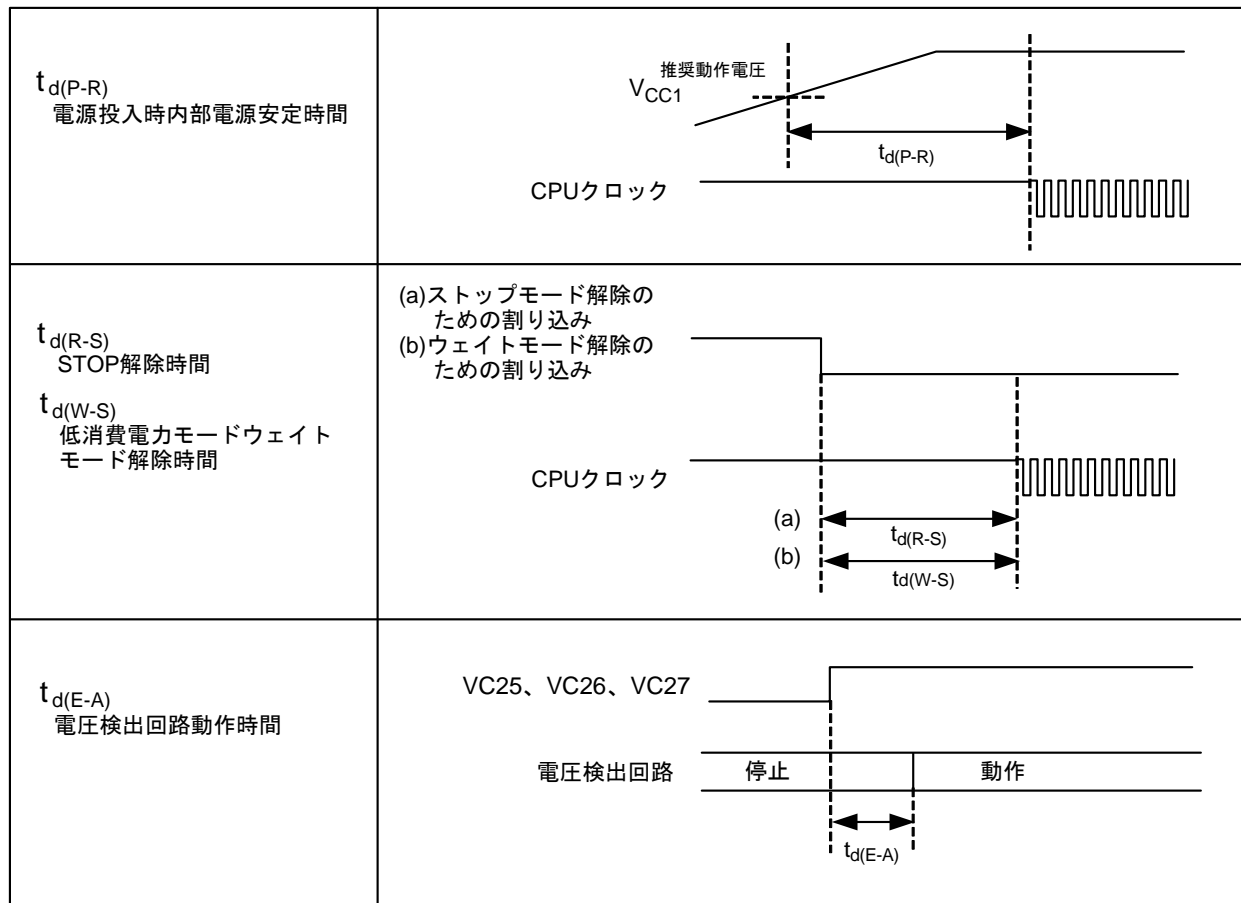


図 31.4 電源回路のタイミング図

31.1.7 発振回路の電気的特性

表 31.16 125kHz オンチップオシレータ発振回路の電気的特性

指定のない場合は、 $V_{CC1}=2.7\sim 5.5V$ 、 $T_{opr} = -20^{\circ}C \sim 85^{\circ}C / -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f_{OCO-S}	125kHz オンチップオシレータ発振周波数	10msの期間での平均周波数	100	125	150	kHz
$t_{su}(f_{OCO-S})$	125kHz オンチップオシレータ発振安定待ち時間				20	μs

31.2 電気的特性 ($V_{CC1}=V_{CC2}=5V$)

31.2.1 電気的特性

$V_{CC1}=V_{CC2}=5V$

表 31.17 電気的特性(1) (注1)

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BLK)}=25MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH} = -5mA$	$V_{CC1} - 2.0$		V_{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH} = -5mA$	$V_{CC2} - 2.0$		V_{CC2}	
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH} = -200\mu A$	$V_{CC1} - 0.3$		V_{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH} = -200\mu A$	$V_{CC2} - 0.3$		V_{CC2}	
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH} = -1mA$	$V_{CC1} - 2.0$	V_{CC1}	V
			LOW POWER	$I_{OH} = -0.5mA$	$V_{CC1} - 2.0$	V_{CC1}	
	"H"出力電圧	XCOUT	HIGH POWER	無負荷時		2.6	V
			LOW POWER	無負荷時		2.2	
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL} = 5mA$			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL} = 5mA$			2.0	
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL} = 200\mu A$			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL} = 200\mu A$			0.45	
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL} = 1mA$		2.0	V
			LOW POWER	$I_{OL} = 0.5mA$		2.0	
	"L"出力電圧	XCOUT	HIGH POWER	無負荷時		0	V
			LOW POWER	無負荷時		0	
V_T+-V_T-	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, K10~K13, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4, SD, PMC0, PMC1, SCLMM, SDAMM, CEC, ZP, IDU, IDV, IDW		0.5		2.0	V
V_T+-V_T-	ヒステリシス	RESET		0.5		2.5	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_I=5V$			5.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS, BYTE	$V_I=0V$			-5.0	μA

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5Vまたは3Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=5V$$

表 31.18 電気的特性(2) (注1)

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
R _{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	V _I =0V	30	50	100	kΩ
R _{FXIN}	帰還抵抗	XIN			1.5		MΩ
R _{FXCIN}	帰還抵抗	XCIN			8		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5Vまたは3Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=5V$$

表 31.19 電気的特性(3)

R5F364A6NFA、R5F364A6NFB、R5F364A6DFA、R5F364A6DFB
R5F364AENFA、R5F364AENFB、R5F364AEDFA、R5F364AEDFB

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流 シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速モード	f _(BCLK) =25MHz XIN=4.2MHz (方形波)、PLL6 通倍 125kHz オンチップオシレータ停止		20.0		mA	
			f _(BCLK) =25MHz、A/D 変換動作 XIN=4.2MHz (方形波)、PLL6 通倍 125kHz オンチップオシレータ停止		20.7		mA	
			f _(BCLK) =20MHz XIN=20MHz (方形波) 125kHz オンチップオシレータ停止		16.0		mA	
		125kHz オンチップオシレータモード	メインクロック停止 125kHz オンチップオシレータ発振、分周なし FMR22=1 (スローリードモード)		500.0		μA	
		低消費電力モード	f _(BCLK) =32kHz 低消費電力モード時 FMR22=FMR23=1 フラッシュメモリ上 (注1)		160.0		μA	
				f _(BCLK) =32kHz 低消費電力モード時RAM上 (注1)		45.0		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 T _{opr} =25°C		20.0		μA	
				f _(BCLK) =32kHz (発振能力 High) 125kHz オンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		11.0		μA
				f _(BCLK) =32kHz (発振能力 Low) 125kHz オンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		6.0		μA
		ストップモード	メインクロック停止 125kHz オンチップオシレータ停止 周辺クロック停止 T _{opr} =25°C		1.7		μA	
		フラッシュメモリプログラム中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =5.0V		20.0		mA	
		フラッシュメモリイレーズ中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =5.0V		30.0		mA	

注1. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=5V$$

表 31.20 電気的特性(4)

R5F364AKNFA、R5F364AKNFB、R5F364AKDFA、R5F364AKDFB
R5F364AMNFA、R5F364AMNFB、R5F364AMDFA、R5F364AMDFB

指定のない場合は、 $V_{CC1}=V_{CC2}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流 シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速モード	f _(BCLK) =25MHz XIN=4.2MHz (方形波)、PLL6 逡倍 125kHz オンチップオシレータ停止		22.0		mA	
			f _(BCLK) =25MHz、A/D 変換動作 XIN=4.2MHz (方形波)、PLL6 逡倍 125kHz オンチップオシレータ停止		22.7		mA	
			f _(BCLK) =20MHz XIN=20MHz (方形波)、 125kHz オンチップオシレータ停止		17.0		mA	
		125kHz オンチップオシレータモード	メインクロック停止 125kHz オンチップオシレータ発振、分周なし FMR22=1 (スローリードモード)		550.0		μA	
		低消費電力モード	f _(BCLK) =32kHz 低消費電力モード時 FMR22=FMR23=1 フラッシュメモリ上 (注1)		170.0		μA	
				f _(BCLK) =32kHz 低消費電力モード時 RAM上 (注1)		45.0		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 T _{opr} =25°C		20.5		μA	
				f _(BCLK) =32kHz (発振能力 High) 125kHz オンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		11.0		μA
				f _(BCLK) =32kHz (発振能力 Low) 125kHz オンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		6.0		μA
		ストップモード	メインクロック停止 125kHz オンチップオシレータ停止 周辺クロック停止 T _{opr} =25°C		1.7		μA	
		フラッシュメモリプログラム中	f _(BCLK) =10MHz、PM17=1(1 ウェイト) V _{CC1} =5.0V		20.0		mA	
		フラッシュメモリイレーズ中	f _(BCLK) =10MHz、PM17=1(1 ウェイト) V _{CC1} =5.0V		30.0		mA	

注1. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=5V$$

31.2.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

31.2.2.1 リセット入力

表 31.21 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

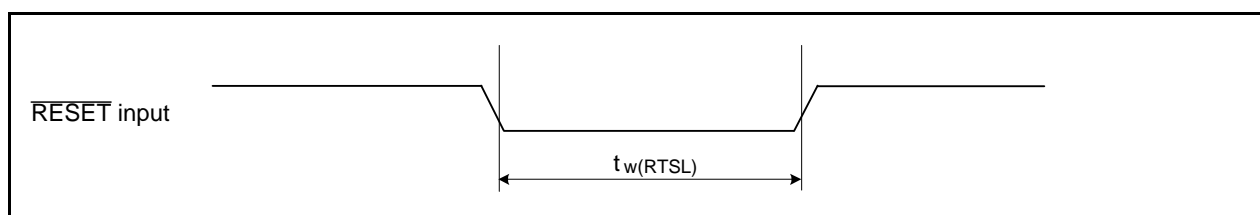


図 31.5 リセット入力 (\overline{RESET} 入力)

31.2.2.2 外部クロック入力

表 31.22 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

注1. 条件は $V_{CC1}=V_{CC2}=3.0\sim 5.0V$ です。

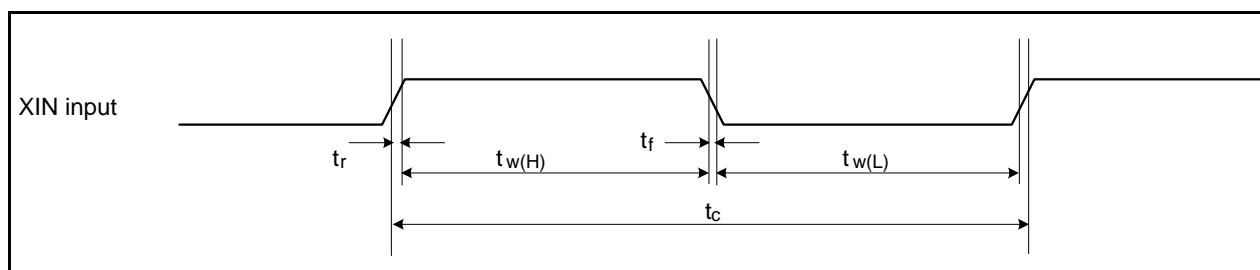


図 31.6 外部クロック入力 (XIN入力)

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.2.3 タイマA入力

表 31.23 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	40		ns

表 31.24 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 31.25 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

表 31.26 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

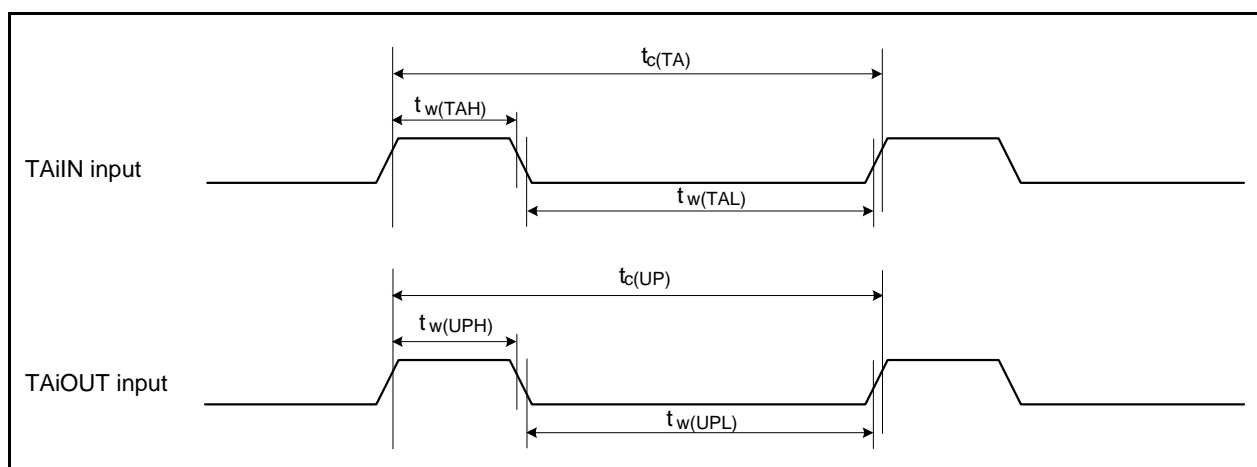


図 31.7 タイマA入力

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

表 31.27 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

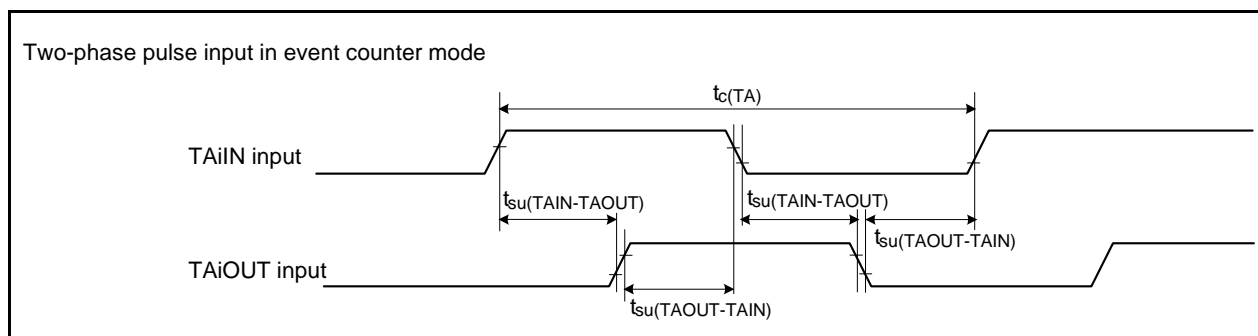


図 31.8 タイマA入力(イベントカウンタモードの二相パルス入力)

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.2.4 タイマB入力

表 31.28 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力“L”パルス幅(両エッジカウント)	80		ns

表 31.29 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN 入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN 入力“L”パルス幅	200		ns

表 31.30 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN 入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN 入力“L”パルス幅	200		ns

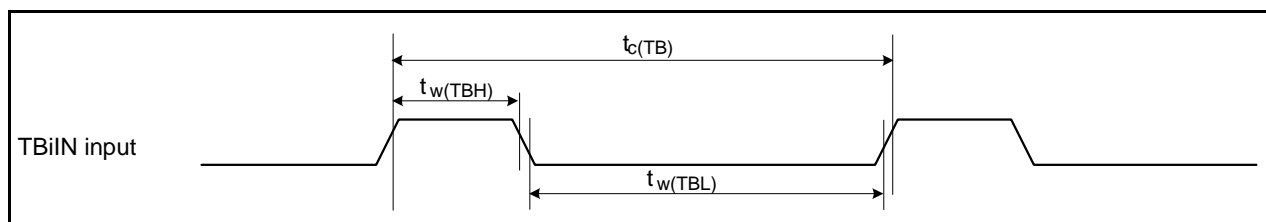


図 31.9 タイマB入力

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.2.5 シリアルインタフェース

表 31.31 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

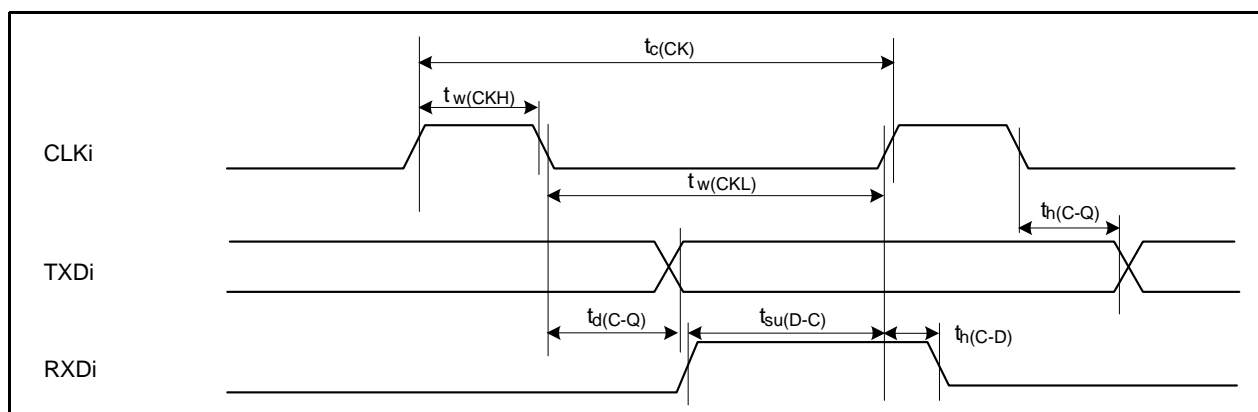


図 31.10 シリアルインタフェース

31.2.2.6 外部割り込み \overline{INTi} 入力

表 31.32 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	250		ns

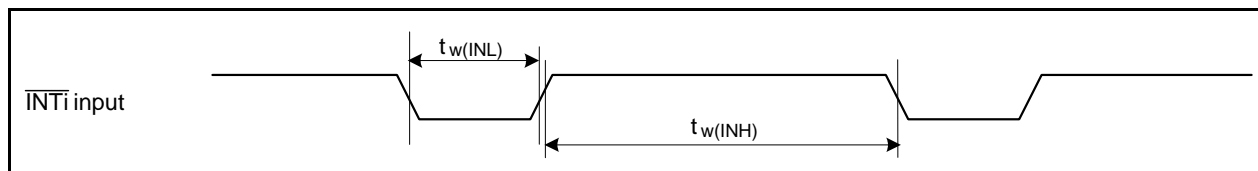


図 31.11 外部割り込み \overline{INTi} 入力

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.2.7 マルチマスタ I²C-bus

表 31.33 マルチマスタ I²C-bus

記号	項目	標準クロックモード		Fast-mode		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

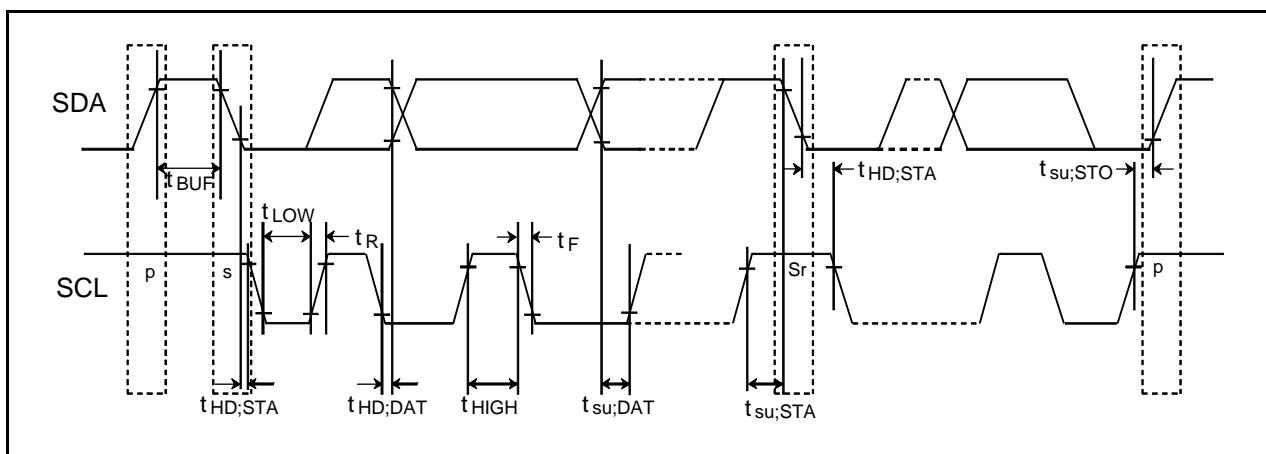


図 31.12 マルチマスタ I²C-bus

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.3 タイミング必要条件 (メモリ拡張モード、マイクロプロセッサモード)

表 31.34 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (1~3ウェイト設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	40		ns
$t_{su}(RDY-BCLK)$	\overline{RDY} 入力セットアップ時間	80		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	\overline{RDY} 入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 45[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n+0.5) \times 10^9}{f_{(BCLK)}} - 45[\text{ns}] \quad n \text{は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 45[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

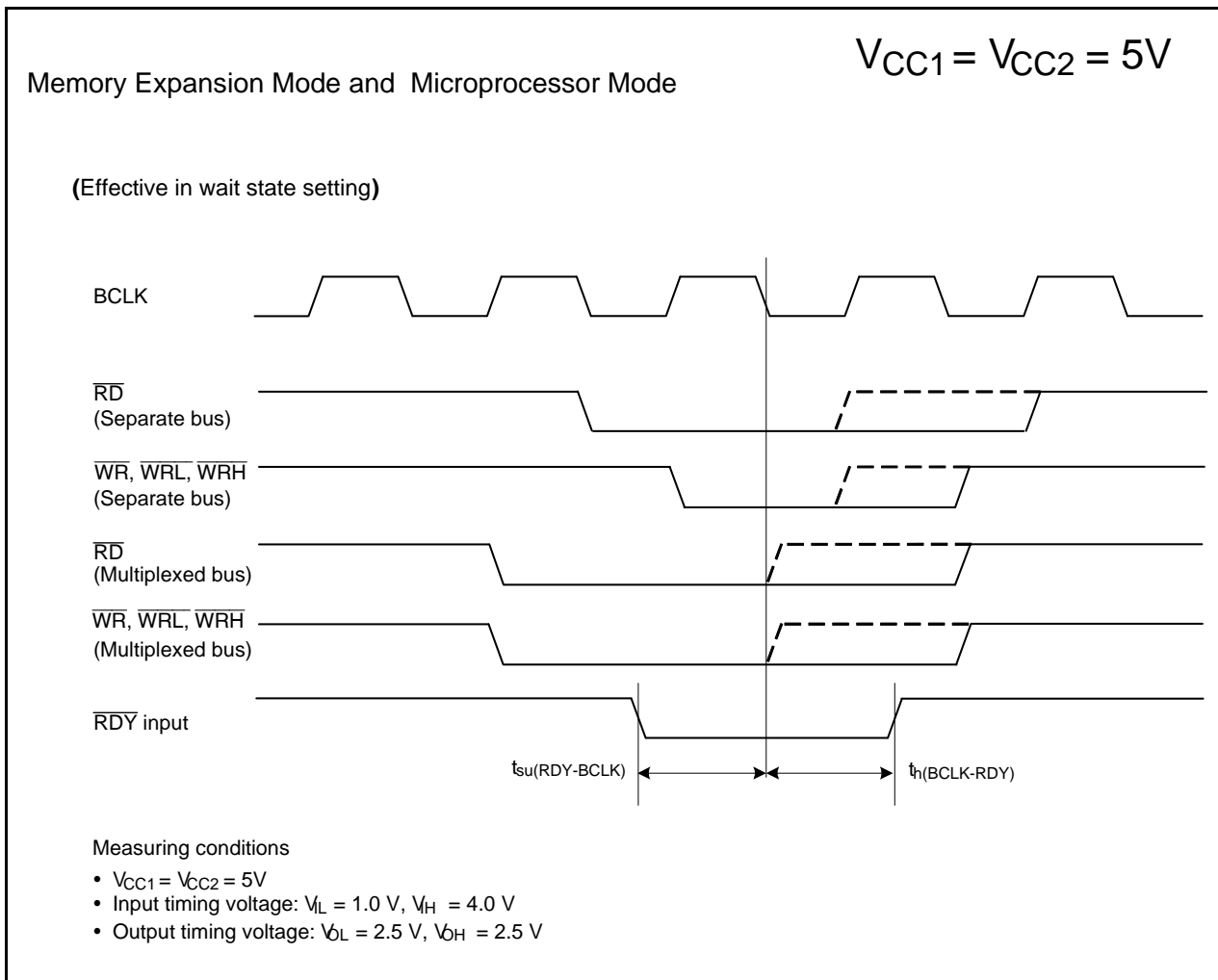


図 31.13 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

31.2.4 スイッチング特性 (メモリ拡張モード、マイクロプロセッサモード)

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.4.1 ウェイトなし設定の場合

表 31.35 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 31.14		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注3)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 40[\text{ns}] \quad f_{(\text{BCLK})} \text{は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。

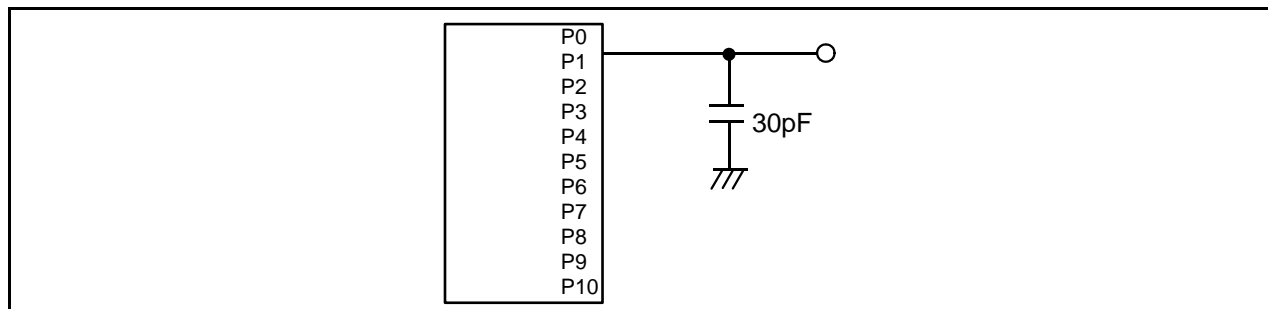
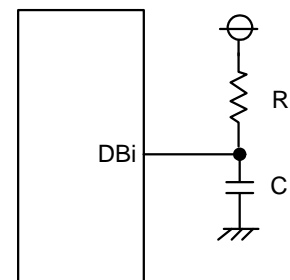


図 31.14 ポートP0~P10の測定回路

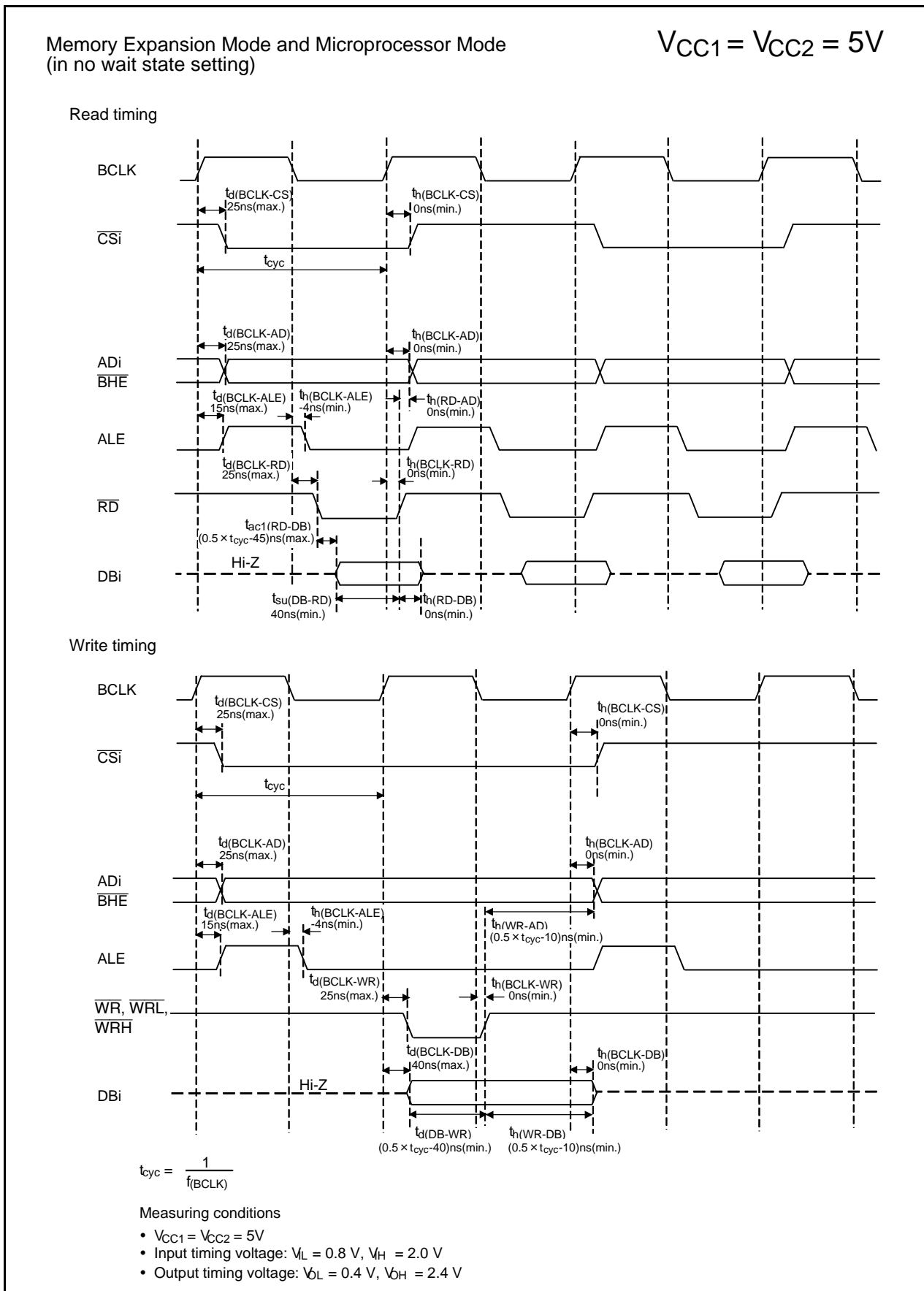


図 31.15 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)

31.2.4.2 1~3ウェイト設定、外部領域をアクセスした場合

表 31.36 メモリ拡張モード、マイクロプロセッサモード
(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 31.14		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注3)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(\text{BCLK})}} - 40[\text{ns}]$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
n=1の場合は、 $f_{(\text{BCLK})}$ は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 10[\text{ns}]$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

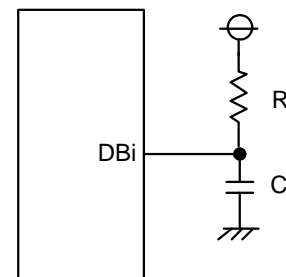
で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) \\ = 6.7\text{ns}$$

となります。



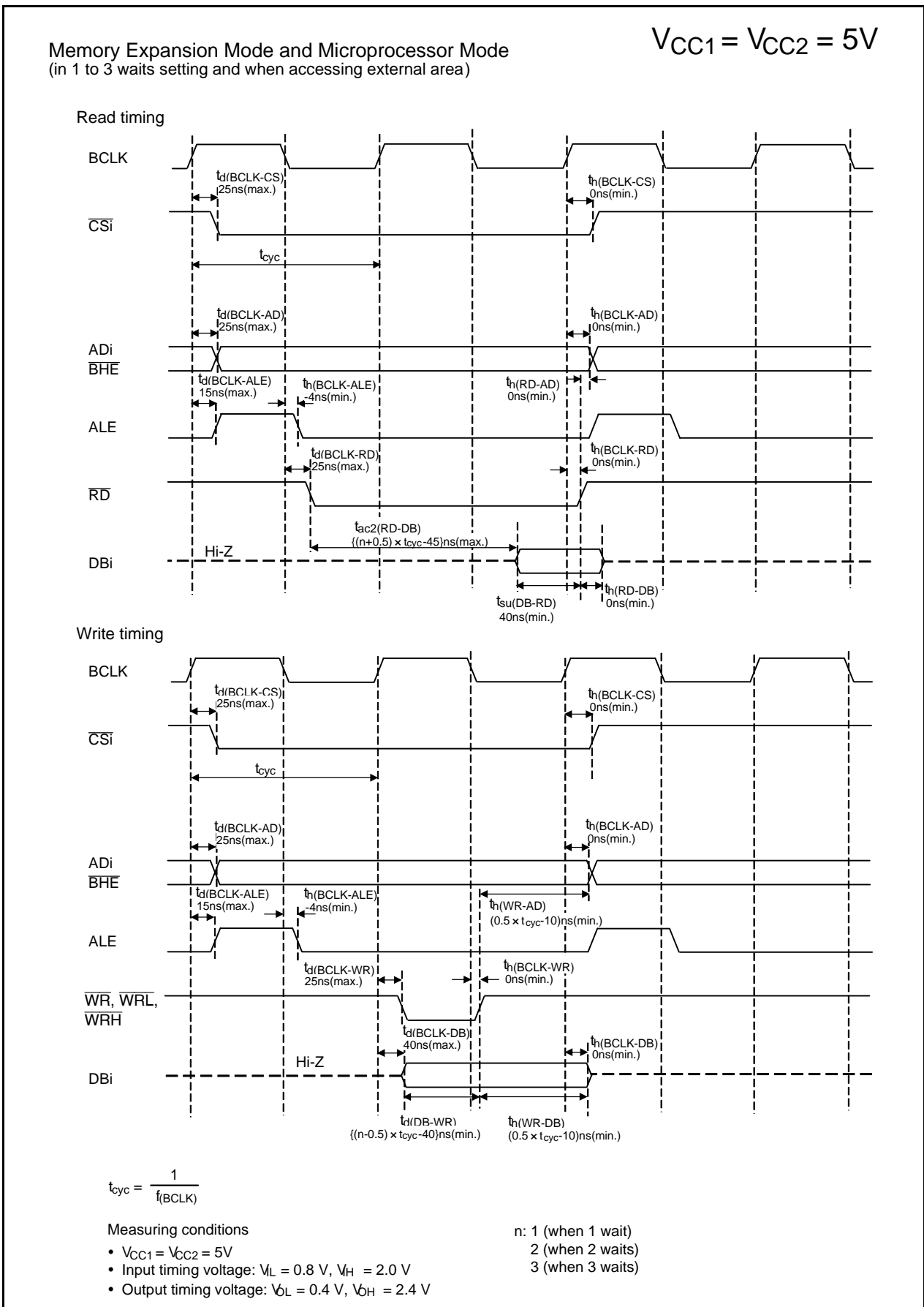


図 31.16 タイミング図

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.2.4.3 2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合

表 31.37 メモリ拡張モード、マイクロプロセッサモード

(2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) (注5)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 31.14		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-CS})$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-CS})$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-ALE})$	ALE出力遅延時間 (BCLK基準)			15	ns
$t_h(\text{BCLK-ALE})$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_d(\text{AD-ALE})$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_h(\text{ALE-AD})$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_d(\text{AD-RD})$	アドレス後RD信号出力遅延時間	0		ns	
$t_d(\text{AD-WR})$	アドレス後WR信号出力遅延時間	0		ns	
$t_{dZ}(\text{RD-AD})$	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(\text{BCLK})}} - 40[\text{ns}] \quad n \text{は2ウェイト設定の場合"2"、3ウェイト設定の場合"3"}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 25[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 15[\text{ns}]$$

注5. マルチプレクスバスを使用する場合、 $f_{(\text{BCLK})}$ は12.5MHz以下にしてください。

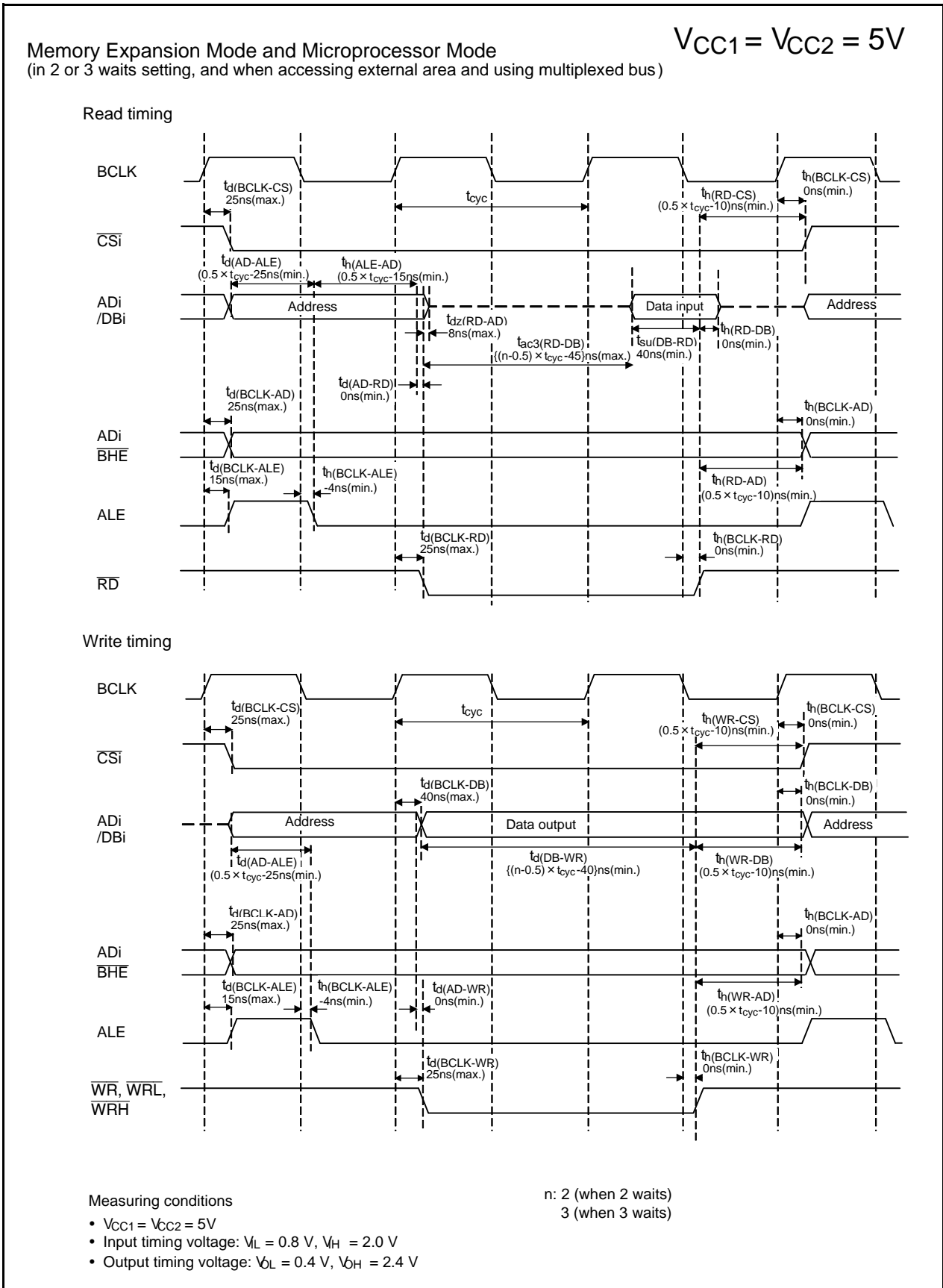


図 31.17 タイミング図

31.3 電気的特性 ($V_{CC1}=V_{CC2}=3V$)

31.3.1 電気的特性

 $V_{CC1}=V_{CC2}=3V$

表 31.38 電気的特性(1) (注1)

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V_{OH}	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-1mA$	$V_{CC1}-0.5$		V_{CC1}	V	
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OH}=-1mA$	$V_{CC2}-0.5$		V_{CC2}		
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH}=-0.1mA$	$V_{CC1}-0.5$	V_{CC1}	V	
			LOW POWER	$I_{OH}=-50\mu A$	$V_{CC1}-0.5$	V_{CC1}		
	"H"出力電圧	XCOUT	HIGH POWER	無負荷時		2.6	V	
			LOW POWER	無負荷時		2.2		
V_{OL}	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=1mA$			0.5	V	
			P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	$I_{OL}=1mA$				0.5
			CEC	$I_{OL}=1mA$		0		0.5
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL}=0.1mA$		0.5	V	
			LOW POWER	$I_{OL}=50\mu A$		0.5		
	"L"出力電圧	XCOUT	HIGH POWER	無負荷時		0	V	
			LOW POWER	無負荷時		0		
$V_{T+}-V_{T-}$	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS2, CTS5~CTS7, SCL0~SCL2, SCL5~SCL7, SDA0~SDA2, SDA5~SDA7, CLK0~CLK7, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD2, RXD5~RXD7, SIN3, SIN4, \overline{SD} , PMC0, PMC1, SCLMM, SDAMM, ZP, IDU, IDV, IDW		0.2		1.0	V	
		CEC		0.2	0.5	1.0		
		RESET		0.2		1.8		
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, \overline{RESET} , CNVSS, BYTE	$V_I=3V$			4.0	μA	
—	Power OFF時の端子電流	CEC	$V_{CC1}=0V$			1.8	μA	
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, \overline{RESET} , CNVSS, BYTE	$V_I=0V$			-4.0	μA	
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7	$V_I=0V$	50	80	150	k Ω	
R_{FXIN}	帰還抵抗	XIN			3.0		M Ω	
R_{FXCIN}	帰還抵抗	XCIN			16		M Ω	
V_{RAM}	RAM保持電圧		ストップモード時	1.8			V	

注1. $V_{CC1} \neq V_{CC2}$ でご使用の場合は、それぞれの電圧に応じて5Vまたは3Vの規格を参照してください。

$$V_{CC1}=V_{CC2}=3V$$

表 31.39 電気的特性(2)

R5F364A6NFA、R5F364A6NFB、R5F364A6DFA、R5F364A6DFB

R5F364AENFA、R5F364AENFB、R5F364AEDFA、R5F364AEDFB

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流 シングルチップモード で、出力端子は開放、 その他の端子はV _{SS}	高速モード	f _(BCLK) =25MHz XIN=4.2MHz (方形波)、PLL6 通倍 125kHzオンチップオシレータ停止		20.0		mA	
			f _(BCLK) =25MHz、A/D変換動作 XIN=4.2MHz (方形波)、PLL6 通倍 125kHzオンチップオシレータ停止		20.7		mA	
			f _(BCLK) =20MHz XIN=20MHz (方形波) 125kHzオンチップオシレータ停止		16.0		mA	
		125kHzオンチップ オシレータモード	メインクロック停止 125kHzオンチップオシレータ発振、分周なし FMR22=1 (スローリードモード)		450.0		μA	
		低消費電力モード	f _(BCLK) =32kHz 低消費電力モード時 FMR22=FMR23=1 フラッシュメモリ上 (注1)		160.0		μA	
				f _(BCLK) =32kHz 低消費電力モード時 RAM上 (注1)		40.0		μA
		ウェイトモード	メインクロック停止 125kHzオンチップオシレータ発振 周辺クロック動作 T _{opr} =25°C		20.0		μA	
				f _(BCLK) =32kHz (発振能力High) 125kHzオンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		8.0		μA
				f _(BCLK) =32kHz (発振能力Low) 125kHzオンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		4.0		μA
		ストップモード	メインクロック停止 125kHzオンチップオシレータ停止 周辺クロック停止 T _{opr} =25°C		1.6		μA	
		フラッシュメモリ プログラム中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =3.0V		20.0		mA	
フラッシュメモリ イレーズ中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =3.0V		30.0		mA			

注1. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=3V$$

表 31.40 電気的特性(3)

R5F364AKNFA、R5F364AKNFB、R5F364AKDFA、R5F364AKDFB
R5F364AMNFA、R5F364AMNFB、R5F364AMDFA、R5F364AMDFB

指定のない場合は、 $V_{CC1}=V_{CC2}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{CC}	電源電流 シングルチップモード で、出力端子は開放、そ 他の端子はV _{SS}	高速モード	f _(BCLK) =25MHz XIN=4.2MHz (方形波)、PLL6 通倍 125kHz オンチップオシレータ停止		22.0		mA	
			f _(BCLK) =25MHz、A/D 変換動作 XIN=4.2MHz (方形波)、PLL6 通倍 125kHz オンチップオシレータ停止		22.7		mA	
			f _(BCLK) =20MHz XIN=20MHz (方形波)、 125kHz オンチップオシレータ停止		17.0		mA	
		125kHz オンチップオ シレータモード	メインクロック停止 125kHz オンチップオシレータ発振、分周なし FMR22=1 (スローリードモード)		500.0		μA	
		低消費電力モード	f _(BCLK) =32kHz 低消費電力モード時、FMR22=FMR23=1 フラッシュメモリ上 (注1)		170.0		μA	
				f _(BCLK) =32kHz 低消費電力モード時 RAM上 (注1)		40.0		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 T _{opr} =25°C		20.0		μA	
				f _(BCLK) =32kHz (発振能力 High) 125kHz オンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		8.0		μA
				f _(BCLK) =32kHz (発振能力 Low) 125kHz オンチップオシレータ停止 周辺クロック動作 T _{opr} =25°C		4.0		μA
		ストップモード	メインクロック停止 125kHz オンチップオシレータ停止 周辺クロック停止 T _{opr} =25°C		1.6		μA	
フラッシュメモリブ ログラム中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =3.0V		20.0		mA			
フラッシュメモリイ レーズ中	f _(BCLK) =10MHz、PM17=1(1ウェイト) V _{CC1} =3.0V		30.0		mA			

注1. 実行するプログラムが存在するメモリを示す。

$$V_{CC1}=V_{CC2}=3V$$

31.3.2 タイミング必要条件 (周辺機能、他)

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)

31.3.2.1 リセット入力

表 31.41 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(RSTL)$	\overline{RESET} 入力“L”パルス幅	10		μs

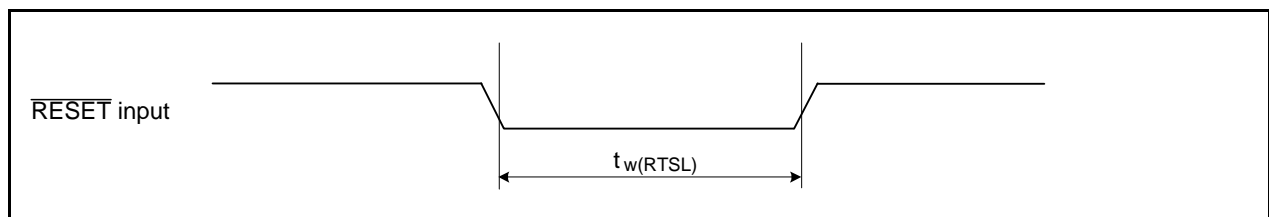


図 31.18 リセット入力 (\overline{RESET} 入力)

31.3.2.2 外部クロック入力

表 31.42 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_w(H)$	外部クロック入力“H”パルス幅	20		ns
$t_w(L)$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

注1. 条件は $V_{CC1}=V_{CC2}=2.7\sim 3.0V$ です。

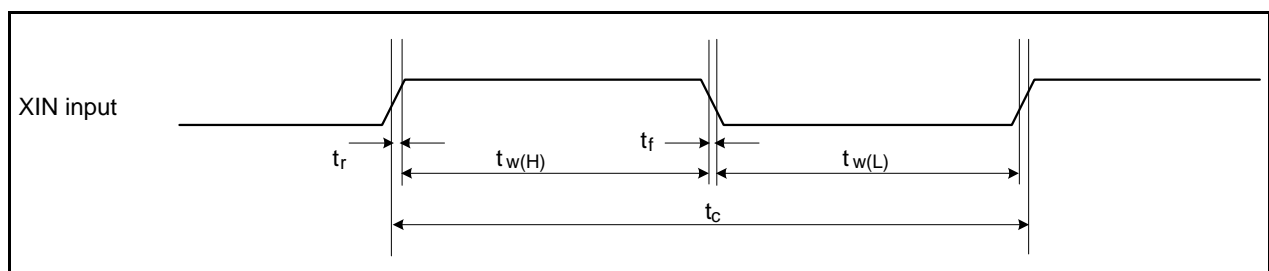


図 31.19 外部クロック入力 (XIN入力)

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.2.3 タイマA入力

表 31.43 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	60		ns

表 31.44 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	300		ns

表 31.45 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

表 31.46 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

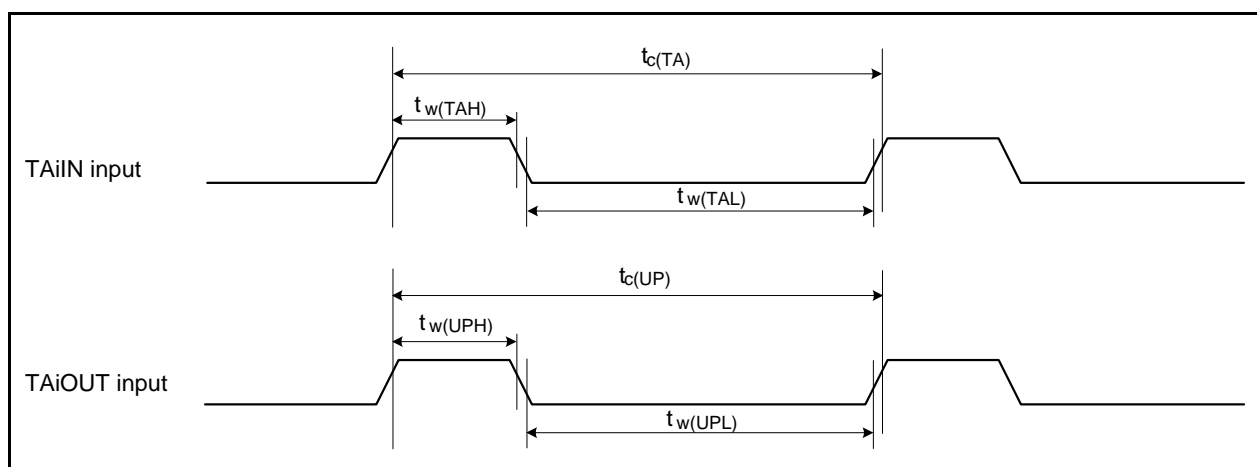


図 31.20 タイマA入力

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 31.47 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

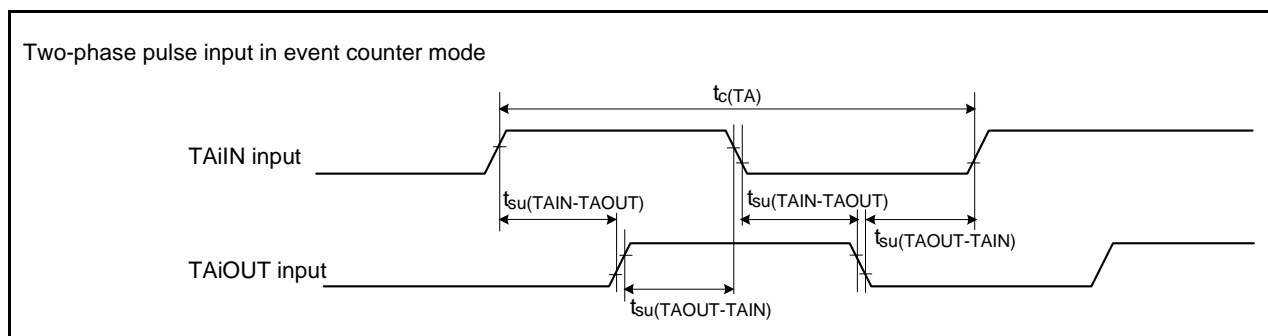


図 31.21 タイマA入力(イベントカウンタモードの二相パルス入力)

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.2.4 タイマB入力

表 31.48 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 31.49 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表 31.50 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

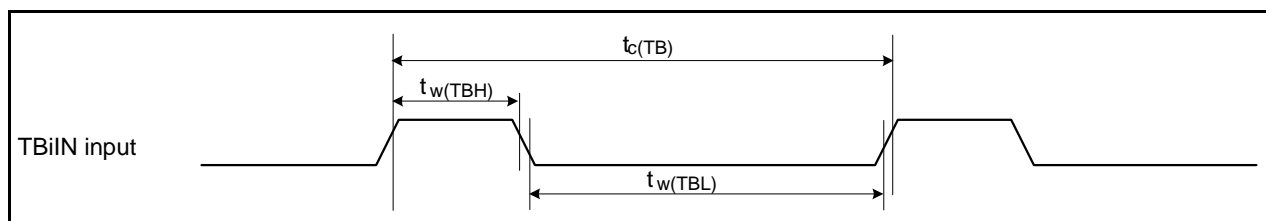


図 31.22 タイマB入力

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.2.5 シリアルインタフェース

表 31.51 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi 入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi 入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi 出力遅延時間		160	ns
$t_{h(C-Q)}$	TXDi ホールド時間	0		ns
$t_{su(D-C)}$	RXDi 入力セットアップ時間	100		ns
$t_{h(C-D)}$	RXDi 入力ホールド時間	90		ns

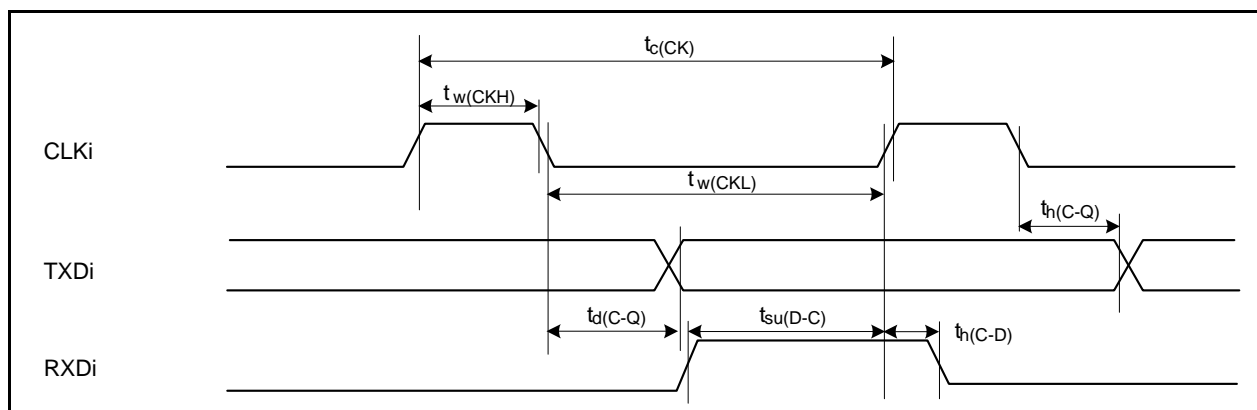


図 31.23 シリアルインタフェース

31.3.2.6 外部割り込み \overline{INTi} 入力

表 31.52 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	380		ns

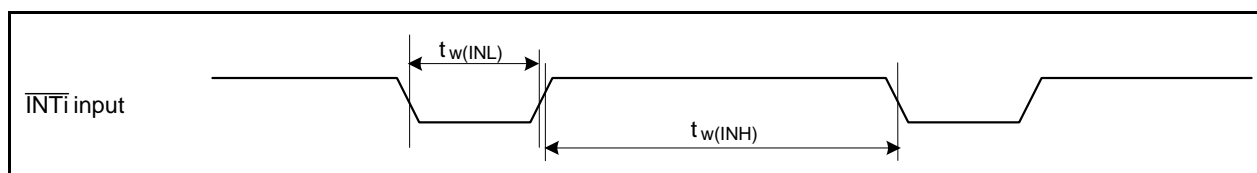


図 31.24 外部割り込み \overline{INTi} 入力

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.2.7 マルチマスタ I²C-bus

表 31.53 マルチマスタ I²C-bus

記号	項目	標準クロックモード		Fast-mode		単位
		最小	最大	最小	最大	
t _{BUF}	バスフリー時間	4.7		1.3		μs
t _{HD;STA}	スタートコンディションホールド時間	4.0		0.6		μs
t _{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t _R	SCL、SDA信号立ち上がり時間		1000	20+0.1Cb	300	ns
t _{HD;DAT}	データホールド時間	0		0	0.9	μs
t _{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t _F	SCL、SDA信号立ち下がり時間		300	20+0.1Cb	300	ns
t _{su;DAT}	データセットアップ時間	250		100		ns
t _{su;STA}	リスタートコンディションセットアップ時間	4.7		0.6		μs
t _{su;STO}	ストップコンディションセットアップ時間	4.0		0.6		μs

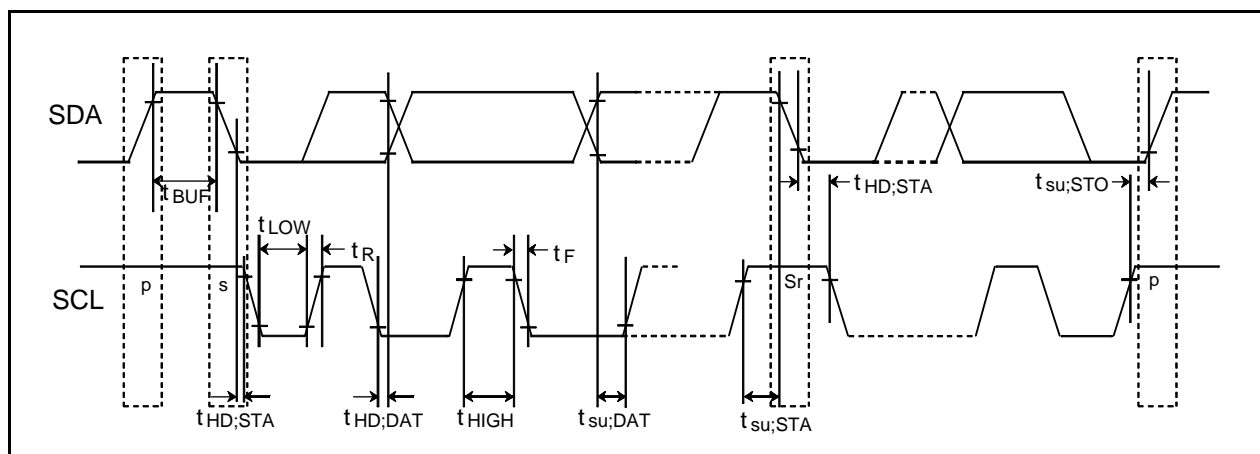


図 31.25 マルチマスタ I²C-bus

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.3 タイミング必要条件 (メモリ拡張モード、マイクロプロセッサモード)

表 31.54 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (1~3ウェイト設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	50		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	85		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 60[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n+0.5) \times 10^9}{f_{(BCLK)}} - 60[\text{ns}] \quad n \text{は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 60[\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

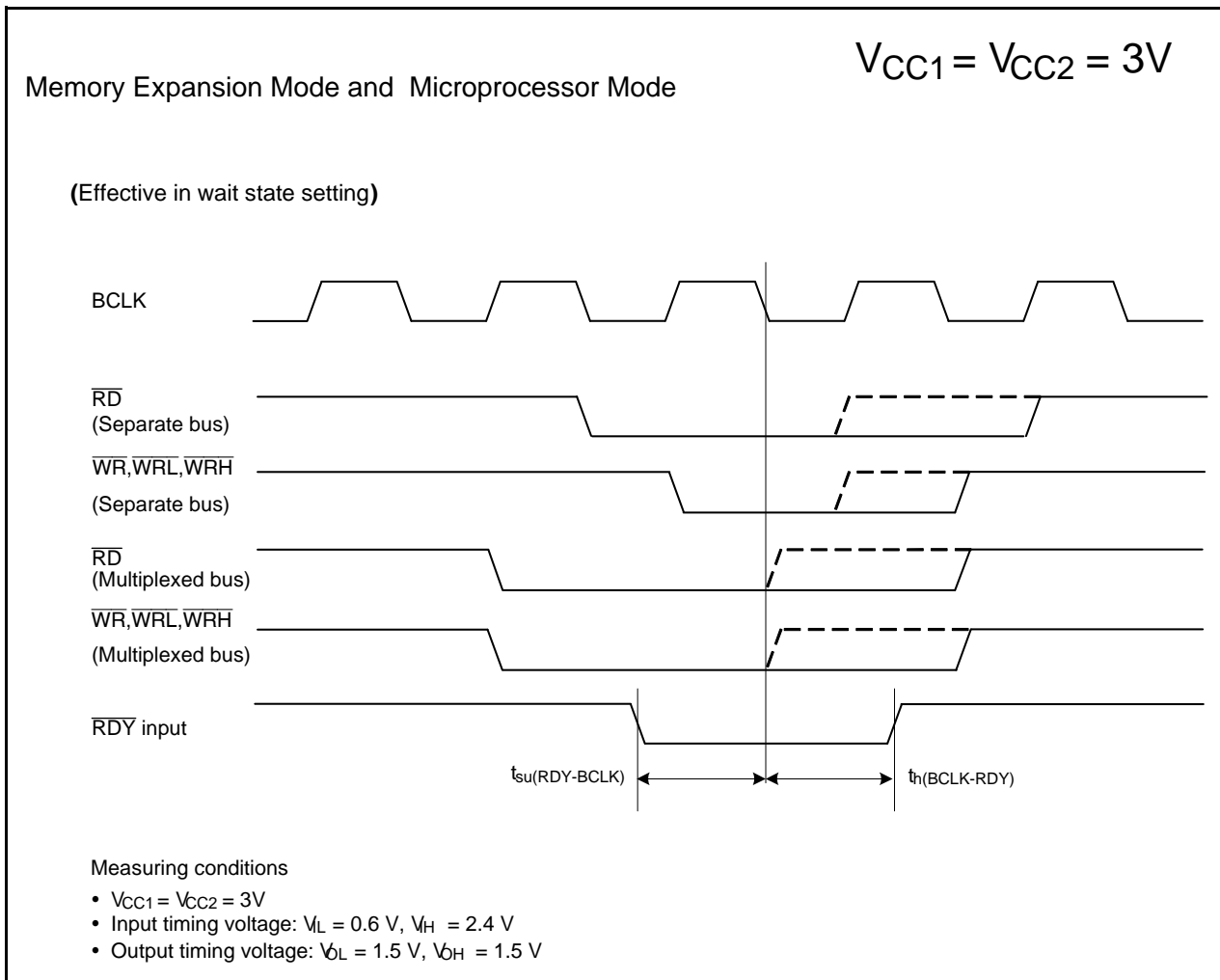


図 31.26 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

31.3.4 スイッチング特性 (メモリ拡張モード、マイクロプロセッサモード)

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.4.1 ウェイトなし設定の場合

表 31.55 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 31.27		30	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK 基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD 基準)		0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			30	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK 基準)		0		ns
$t_{d(BCLK-ALE)}$	ALE 信号出力遅延時間			25	ns
$t_{h(BCLK-ALE)}$	ALE 信号出力保持時間		-4		ns
$t_{d(BCLK-RD)}$	RD 信号出力遅延時間			30	ns
$t_{h(BCLK-RD)}$	RD 信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR 信号出力遅延時間			30	ns
$t_{h(BCLK-WR)}$	WR 信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK 基準) (注3)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 40[\text{ns}] \quad f_{(BCLK)} \text{ は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。

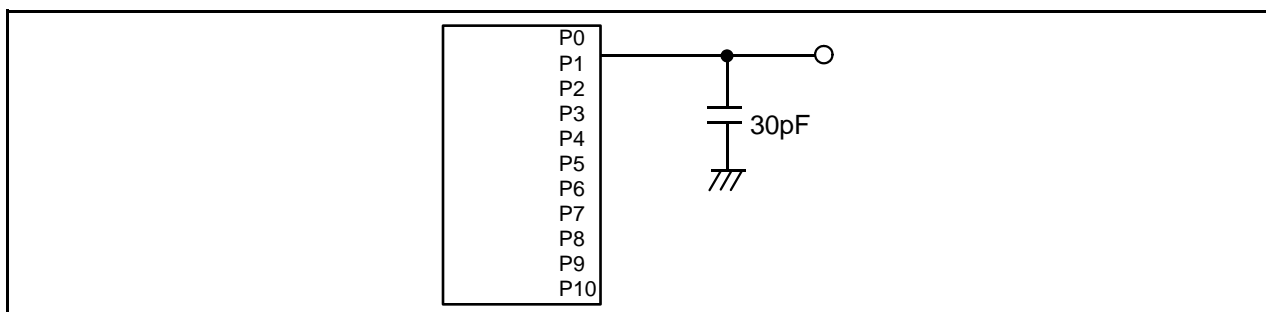
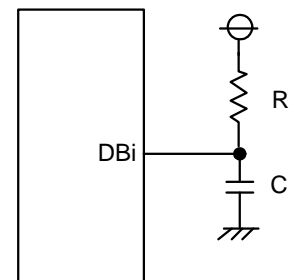


図 31.27 ポートP0~P10の測定回路

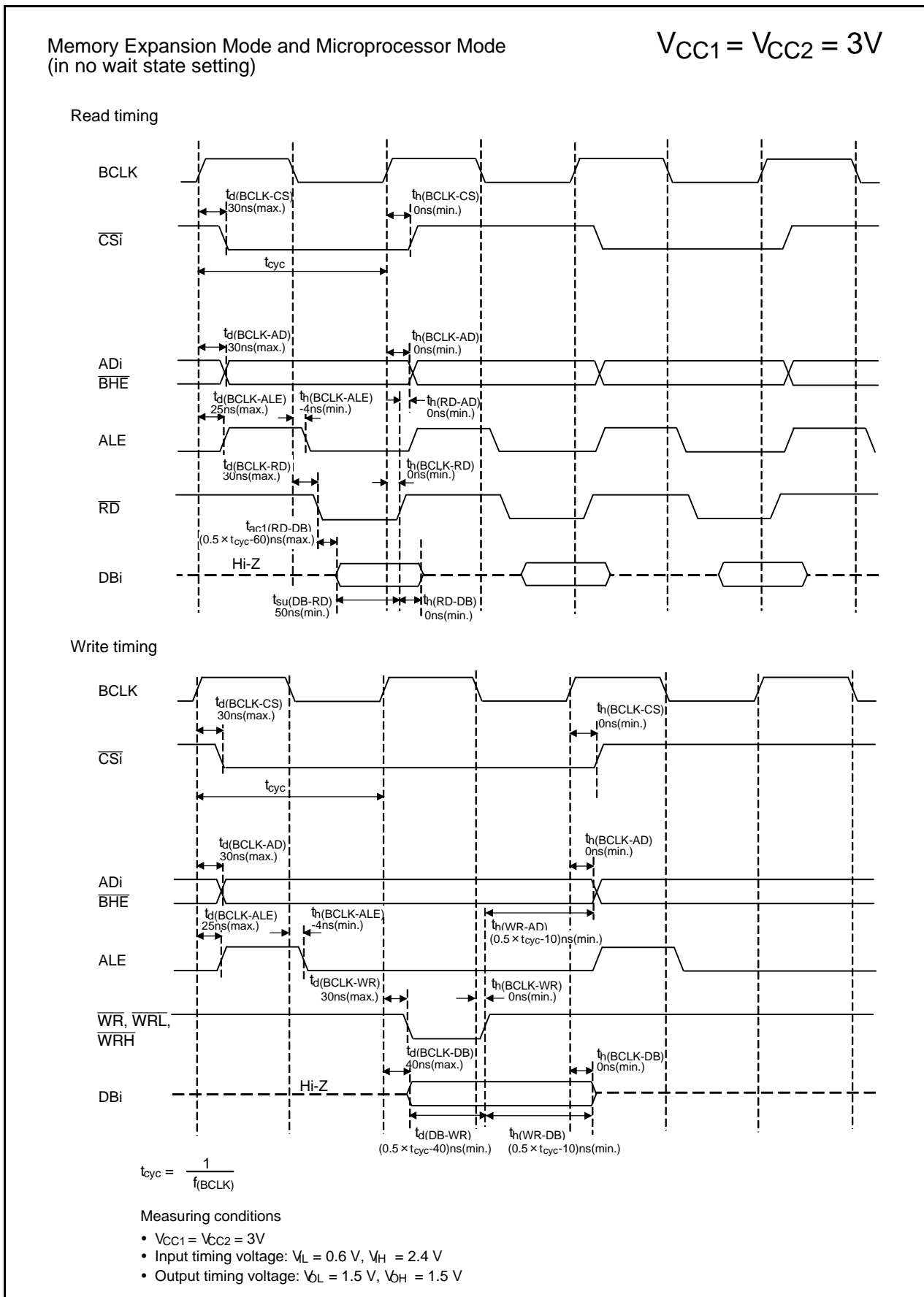


図 31.28 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.4.2 1~3ウェイト設定、外部領域をアクセスした場合

表 31.56 メモリ拡張モード、マイクロプロセッサモード
(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 31.27		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		0		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(\text{BCLK})}} - 40[\text{ns}]$$

n は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
 3ウェイト設定の場合“3”
 $n=1$ の場合は、 $f_{(\text{BCLK})}$ は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f_{(\text{BCLK})}} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

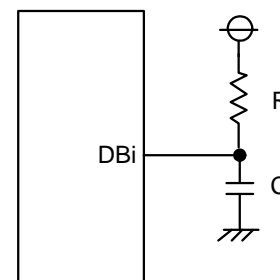
たとえば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。



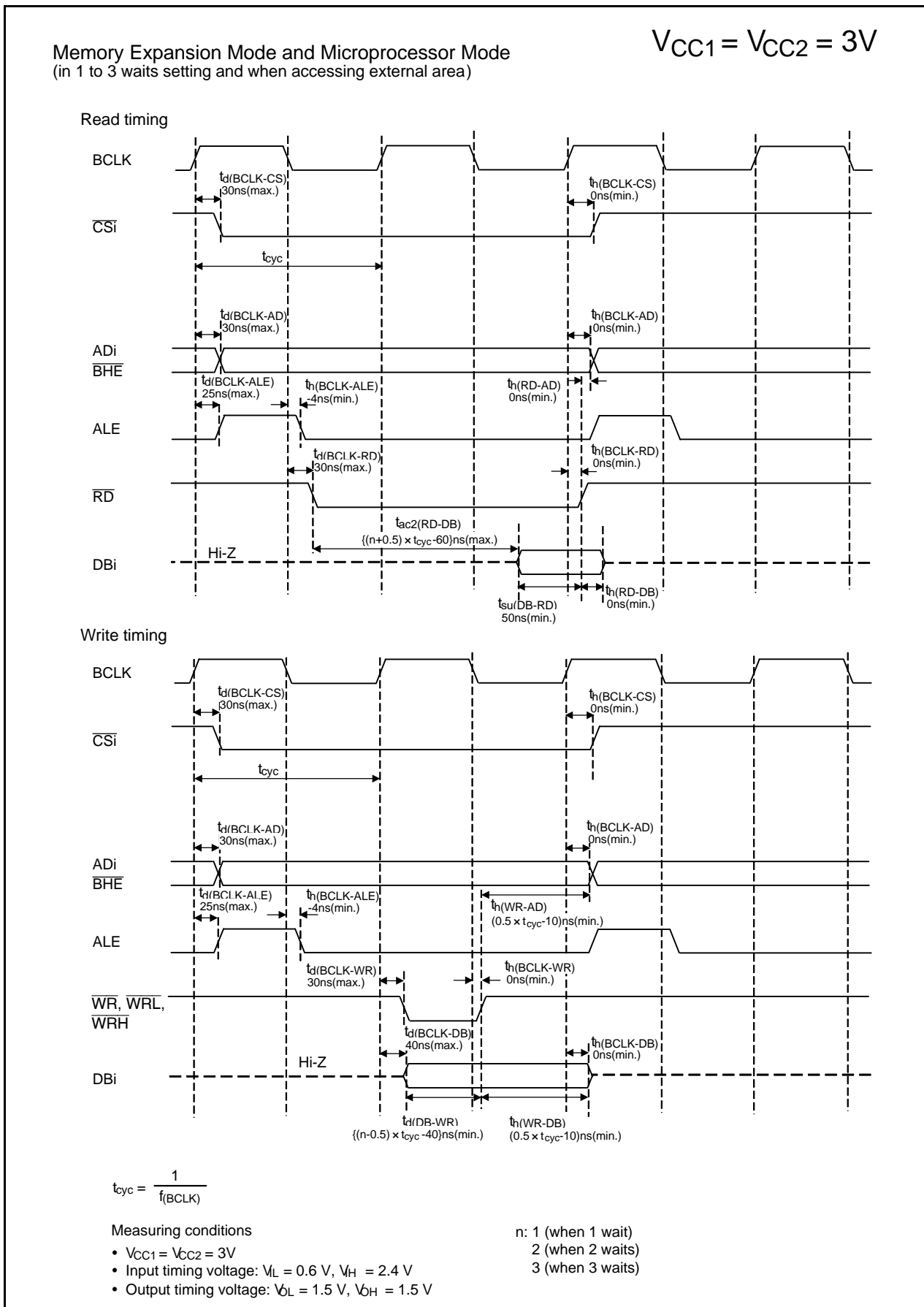


図 31.29 タイミング図

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr} = -20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

31.3.4.3 2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合

表 31.57 メモリ拡張モード、マイクロプロセッサモード

(2~3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合) (注5)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間	図 31.27		50	ns
$t_{h(BCLK-AD)}$	アドレス出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間			50	ns
$t_{h(BCLK-CS)}$	チップセレクト出力保持時間 (BCLK基準)		0		ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_{d(BCLK-RD)}$	RD信号出力遅延時間			40	ns
$t_{h(BCLK-RD)}$	RD信号出力保持時間		0		ns
$t_{d(BCLK-WR)}$	WR信号出力遅延時間			40	ns
$t_{h(BCLK-WR)}$	WR信号出力保持時間		0		ns
$t_{d(BCLK-DB)}$	データ出力遅延時間 (BCLK基準)			50	ns
$t_{h(BCLK-DB)}$	データ出力保持時間 (BCLK基準)		0		ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準)		(注1)		ns
$t_{d(BCLK-ALE)}$	ALE出力遅延時間 (BCLK基準)			25	ns
$t_{h(BCLK-ALE)}$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_{d(AD-ALE)}$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_{h(ALE-AD)}$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_{d(AD-RD)}$	アドレス後RD信号出力遅延時間	0		ns	
$t_{d(AD-WR)}$	アドレス後WR信号出力遅延時間	0		ns	
$t_{dZ(RD-AD)}$	アドレス出力フローティング開始時間		8	ns	

注1. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 10$ [ns]

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f_{(BCLK)}} - 50$$
 [ns] nは2ウェイト設定の場合“2”、3ウェイト設定の場合“3”

注3. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 40$ [ns]

注4. BCLKの周波数に応じて次の計算式で算出されます。 $\frac{0.5 \times 10^9}{f_{(BCLK)}} - 15$ [ns]

注5. マルチプレクスバスを使用する場合、 $f_{(BCLK)}$ は12.5MHz以下にしてください。

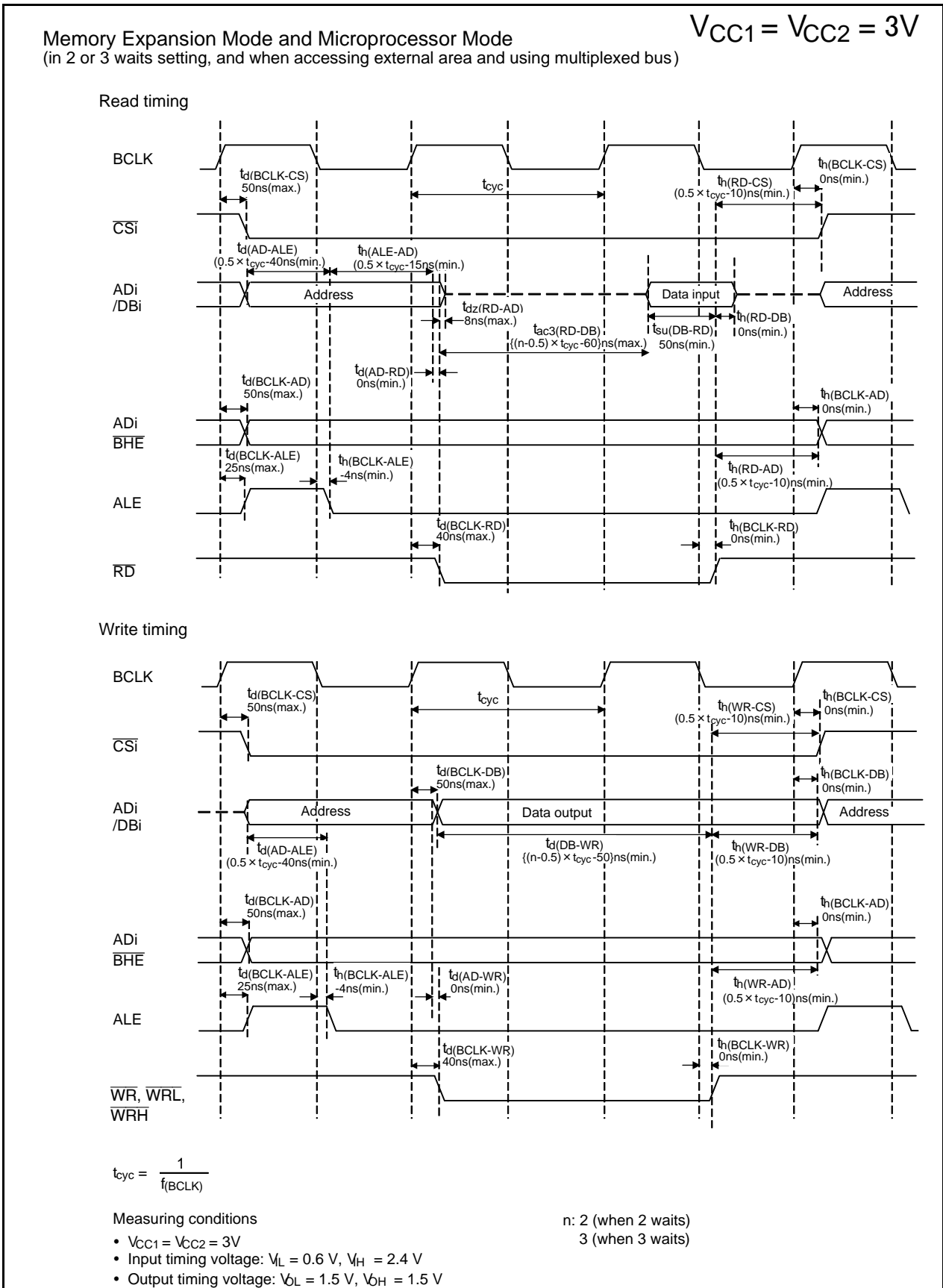


図 31.30 タイミング図

32. 使用上の注意事項

32.1 ノイズに関する注意事項

ノイズ対策として、VCC1 端子と VSS 端子間、VCC2 端子と VSS 端子間にバイパスコンデンサ(0.1 μ F程度)を最短でかつ、比較的太い配線を使って接続してください。図 32.1 バイパスコンデンサの接続例を示します。

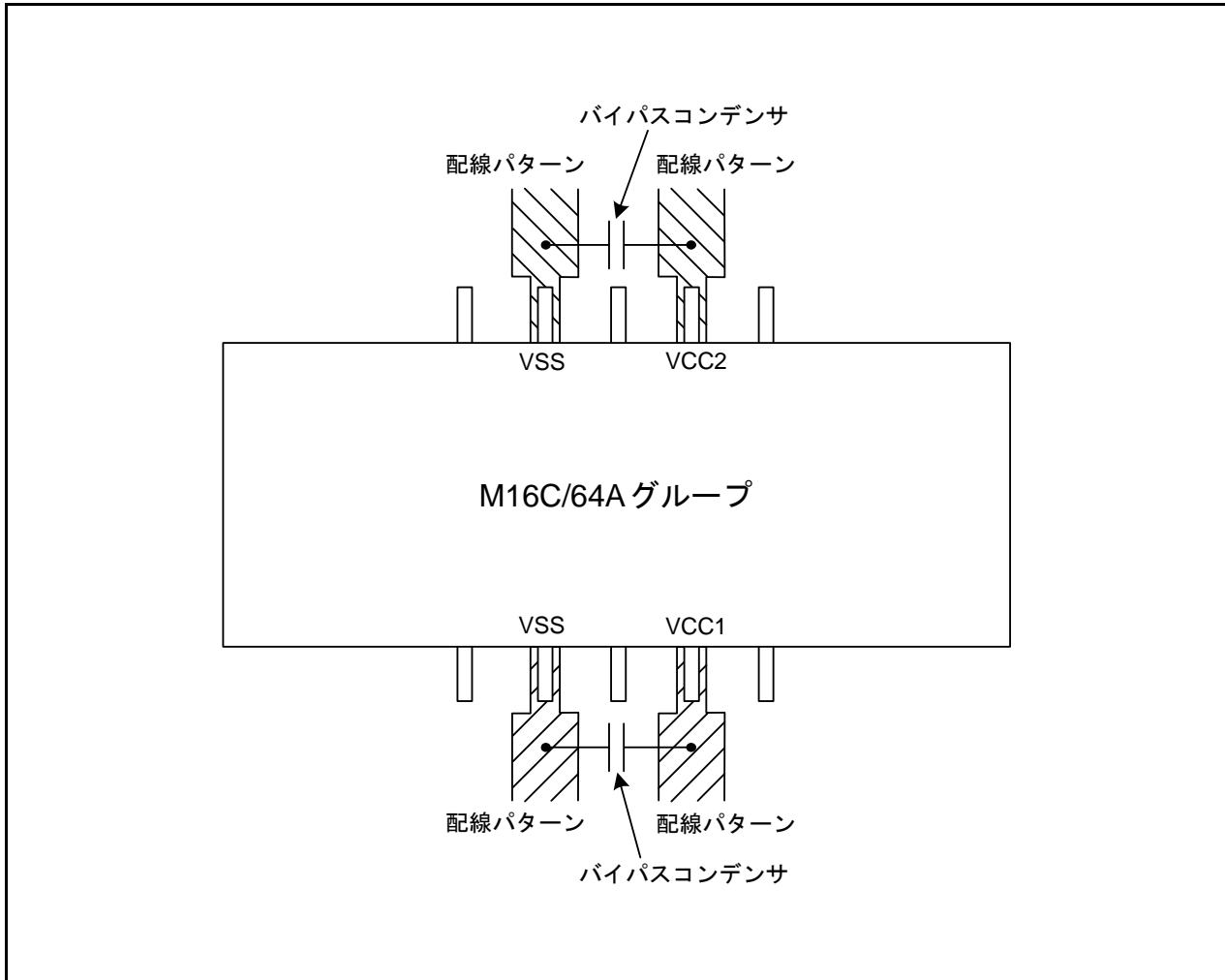


図 32.1 バイパスコンデンサの接続例

32.2 SFR使用上の注意事項

32.2.1 レジスタ設定時の注意事項

表 32.1 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 32.1 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0273h	SI/O3ビットレートレジスタ	S3BRG
0277h	SI/O4ビットレートレジスタ	S4BRG
0289h	UART5ビットレートレジスタ	U5BRG
028Bh~028Ah	UART5送信バッファレジスタ	U5TB
0299h	UART6ビットレートレジスタ	U6BRG
029Bh~029Ah	UART6送信バッファレジスタ	U6TB
02A9h	UART7ビットレートレジスタ	U7BRG
02ABh~02AAh	UART7送信バッファレジスタ	U7TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS

表 32.2 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROL <i>C</i> 、ROR <i>C</i> 、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

32.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1” (書き込み許可) を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0” (書き込み禁止) になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

32.4 リセット使用上の注意事項

32.4.1 電源立ち上がり勾配

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源VCC1立ち上がり勾配(電圧範囲0V~2.0V)	0.05			V/ms
	電源VCC1立ち上がり勾配 (電圧範囲2.0V~VCC1)			5.5	V/ms

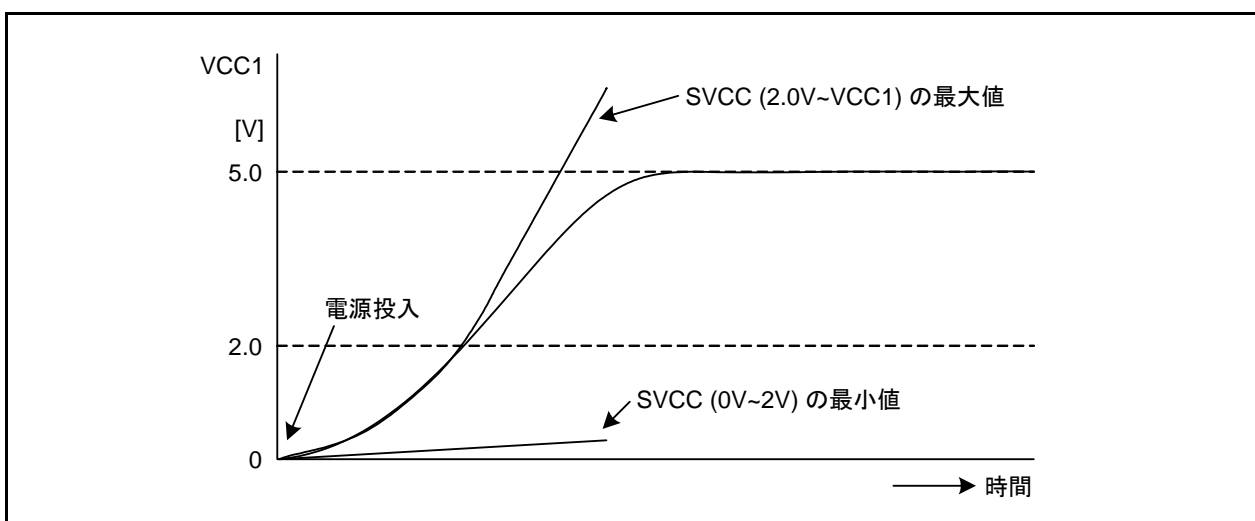


図 32.2 SVCCのタイミング例 (3.6V < VCC1)

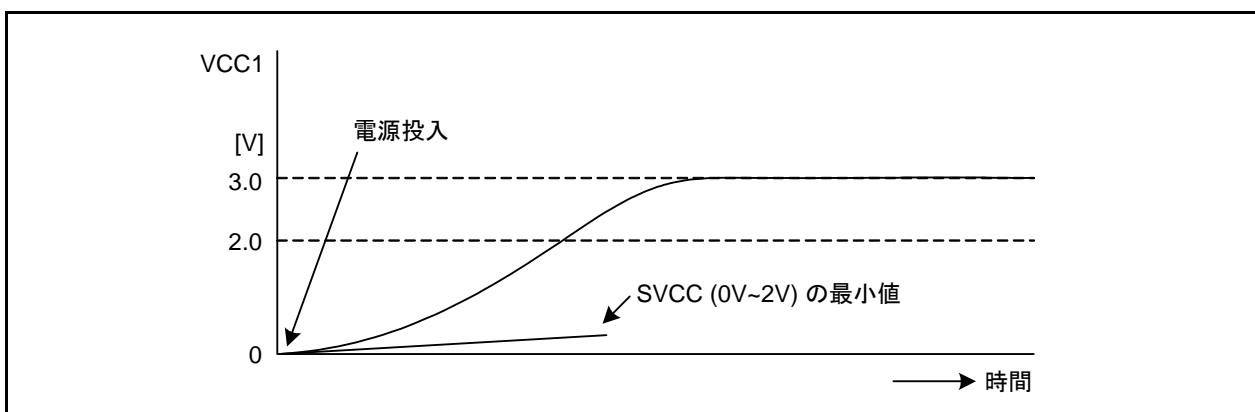


図 32.3 SVCCのタイミング例 (VCC1 ≤ 3.6V)

32.4.2 パワーオンリセット

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合はOFS1番地のLVDASビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)、VDSEL1ビットを“0”(Vdet0_2)にしてください。この場合、電圧監視0リセットが有効(VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”)になります。プログラムでこれらが無効にしないでください。

32.4.3 OSDR ビット (発振停止検出リセット検出フラグ)

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFR レジスタのOSDR ビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0” (未検出) になります。

32.4.4 VCC1 < Vdet0 の場合のハードウェアリセット

OFS1 番地の LVDAS ビットが“0” (ハードウェアリセット後、電圧監視0リセット有効) の場合でも VCC1 < Vdet0 の状態で、ハードウェアリセットすると、ハードウェアリセットの解除時に電圧監視0リセットは行われません。

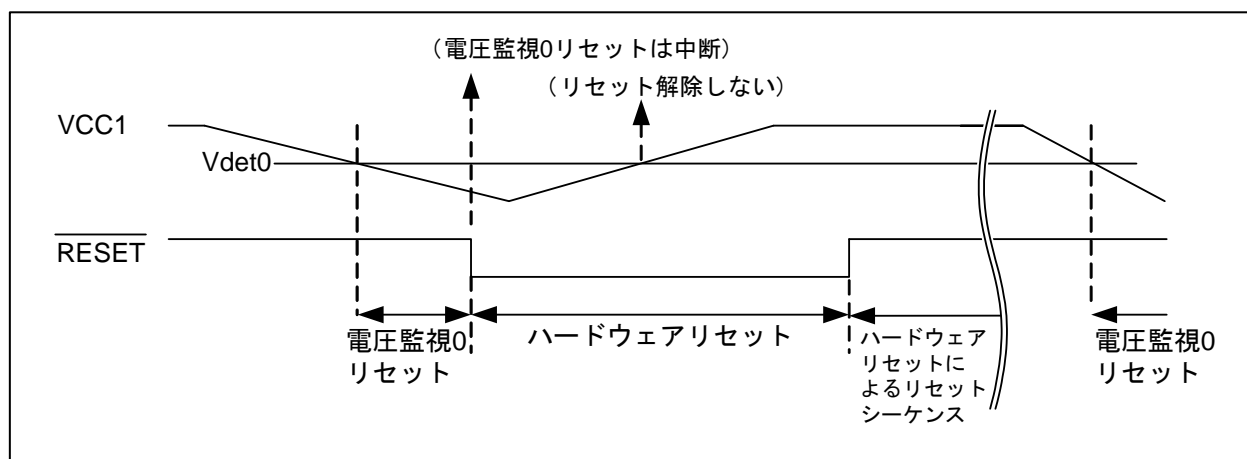


図 32.4 VCC1 < Vdet0 の場合のハードウェアリセット

32.5 クロック発生回路使用上の注意事項

32.5.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/64A グループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビット、CM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表 32.3 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ	CM0レジスタ	
PCLK5ビット	CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

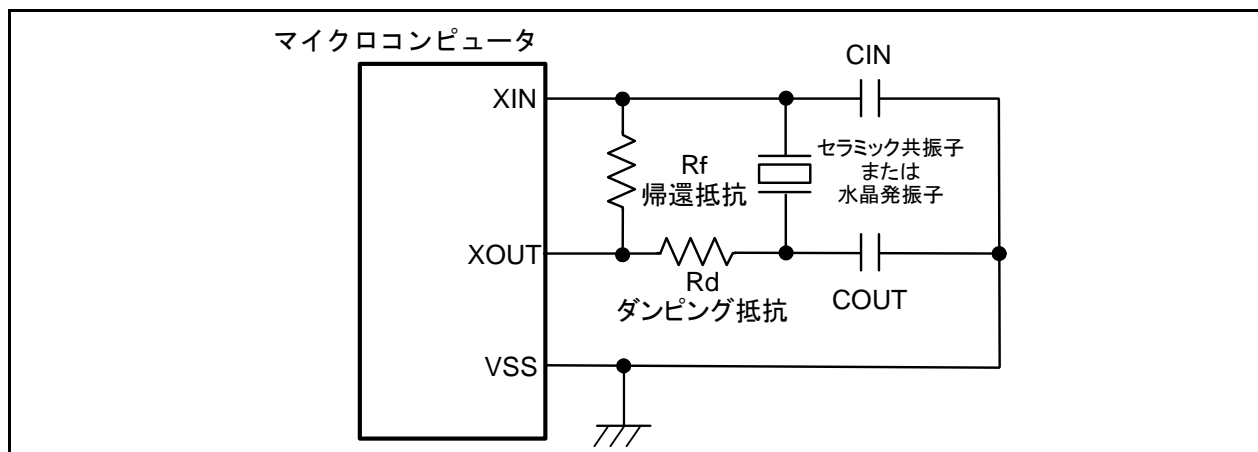


図 32.5 発振回路例

32.5.2 発振回路のノイズ対策

32.5.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンの VSS 端子とは最短 (20mm 以内) の配線で接続してください。

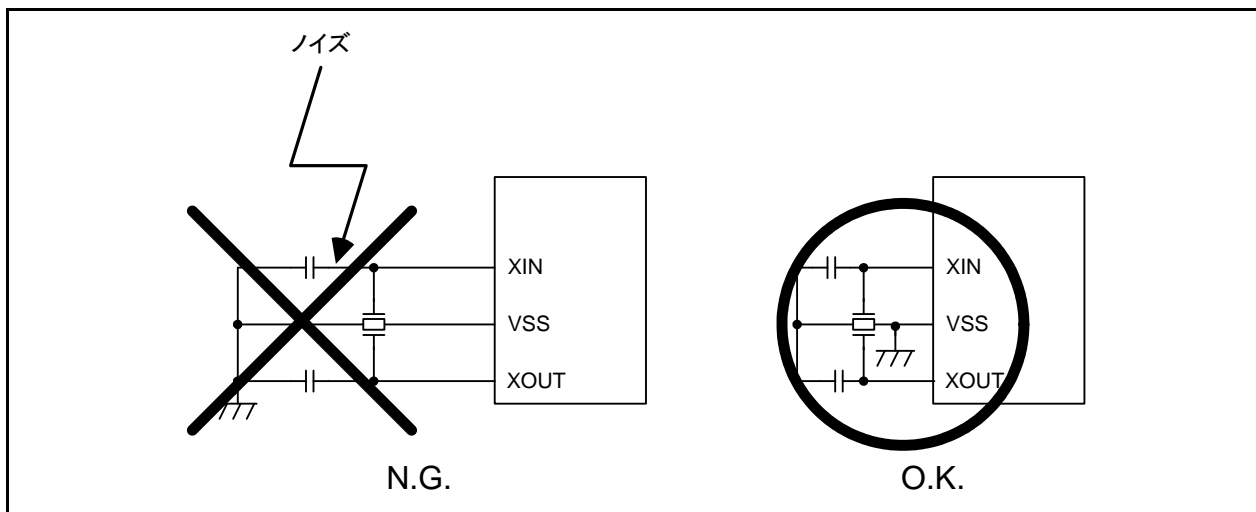


図 32.6 クロック入出力端子の配線

- 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンの VSS レベルと発振子の VSS レベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

32.5.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン (特に発振子) からできるだけ遠い位置に配置してください。

- 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

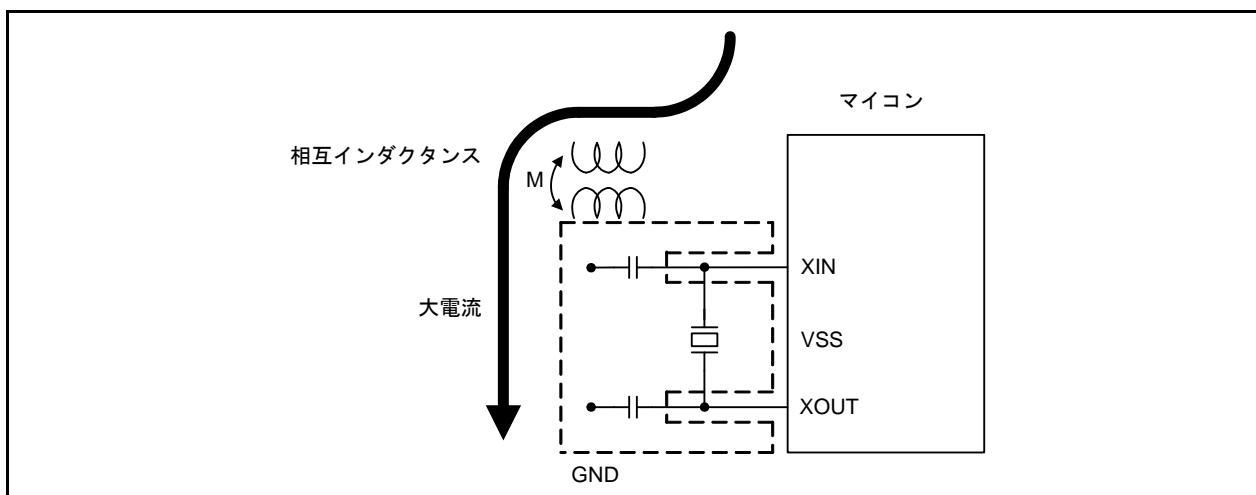


図 32.7 大電流が流れる信号線の配線

32.5.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化する TAiOUT 端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

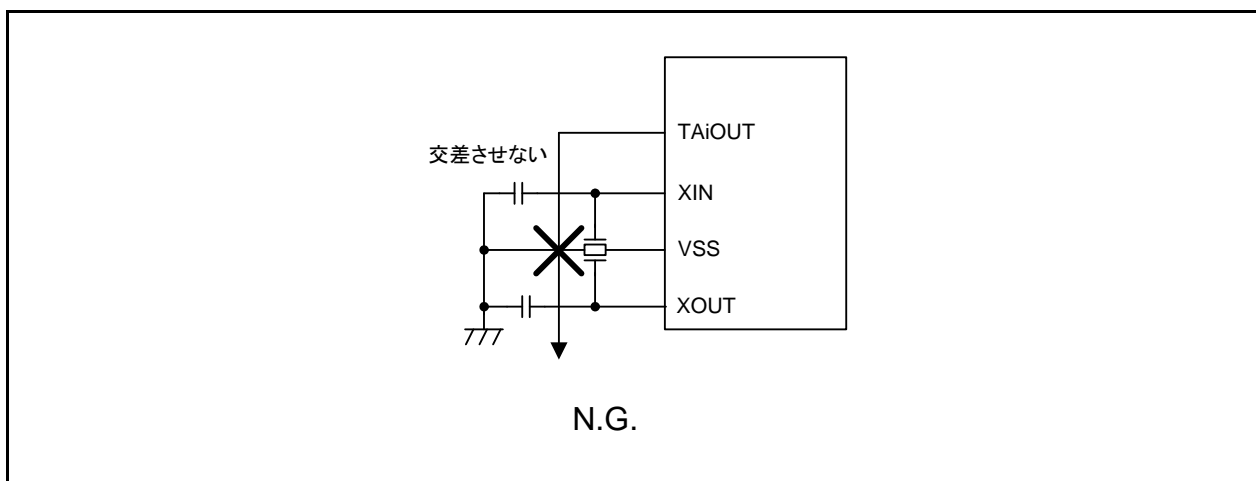


図 32.8 高速にレベル変化する信号線の配線

32.5.3 CPUクロック

(テクニカルアップデート番号: TN-M16C-109-0309)

外部で生成したクロックを XIN 端子に入力し、かつ CPU クロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

32.5.4 発振停止/再発振検出機能

- 次の場合は、CM20 ビットを“0” (発振停止/再発振検出機能無効) にした後、それぞれの状態に遷移してください。

CM05 ビットを“1” (メインクロック停止) にする場合

CM10 ビットを“1” (ストップモード) にする場合

- 発振停止/再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02 ビットを“0” (ウェイトモード時周辺機能クロック f1 を停止しない) にしてください。
- メインクロックの周波数が 2MHz 以下の場合、この機能は使用できませんので、CM20 ビットを“0” (発振停止/再発振検出機能無効) にしてください。

32.5.5 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 32.4 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数(VCC1)			10	kHz
V _{p-p(ripple)}	電源リップル許容振幅電圧	(VCC1=5V時)		0.5	V
		(VCC1=3V時)		0.3	V
VCC(ΔV/ΔT)	電源リップル立ち上がり/立ち下がり勾配	(VCC1=5V時)		0.3	V/ms
		(VCC1=3V時)		0.3	V/ms

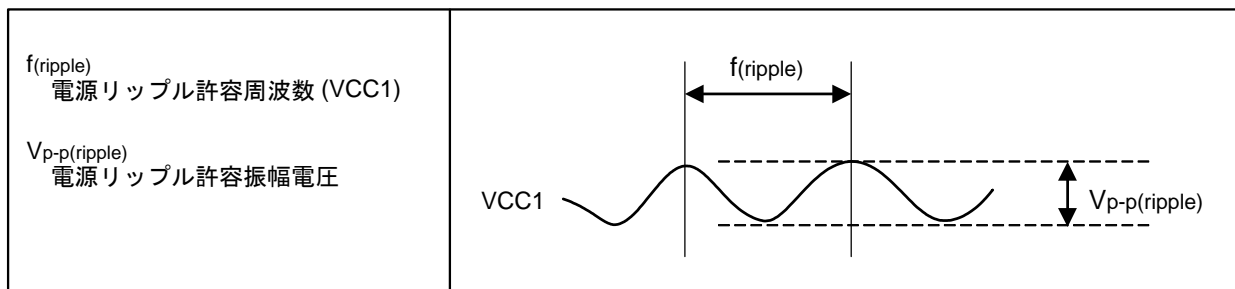


図 32.9 電源変動のタイミング図

32.5.6 PLLクロックの発振開始

(テクニカルアップデート番号: TN-16C-A177A/J)

下の製品では、次の制限があります。

R5F364AENFA、R5F364AENFB、R5F364AEDFA、R5F364AEDFB、R5F364A6NFA、
R5F364A6NFB、R5F364A6DFA、R5F364A6DFB

32.5.6.1 電圧検出0、1、2回路使用時

VCR2レジスタのVC25、VC26、VC27ビットのいずれかが“1”のときは、PLC0レジスタのPLC07ビットを“0”から“1”にしないでください。

電圧検出回路またはパワーオンリセットを使用する際、PLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) VC25、VC26、VC27ビットをすべて“0” (電圧検出回路無効) にする
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) VC25、VC26、VC27ビットのうち、必要なものを“1” (電圧検出回路有効) にする

32.5.6.2 125kHzオンチップオシレータモードまたは125kHzオンチップオシレータ低消費電力モードで動作時

8分周または16分周 (CM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択) で、PLC0レジスタのPLC07ビットを“0”から“1”にしてください。

32.5.6.3 タイマA、タイマBのカウントソース

PLLクロックを使用する場合は、タイマA、タイマBのカウントソースにfOCO-Sを選択しないでください。

32.5.6.4 ウォッチドッグタイマのカウントソースにfOCO-Sを選択時

PLC0レジスタのPLC07ビットを“0”から“1”にする場合は、次の手順で変更してください。

- (1) WDTRレジスタに“00h”を書いて“FFh”を書く (ウォッチドッグタイマリフレッシュ)
- (2) PLC07ビットを“0”から“1”にする
- (3) 1ms待つ
- (4) WDTRレジスタに“00h”を書いて“FFh”を書く (ウォッチドッグタイマリフレッシュ)

32.6 パワーコントロール使用上の注意事項

32.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

32.6.2 ウェイトモード

- WAIT 命令の後には NOP 命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューは WAIT 命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのように WAIT 命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT 命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
        WAIT          ;ウェイトモードに遷移
        NOP          ;NOP命令を4つ以上
        NOP
        NOP
        NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。
 - PLL動作モード (中速モードに遷移した後、PLC07ビットを“0” (PLL停止)にする)
 - 低消費電流リードモード (FMR2レジスタのFMR23ビットを“0” (低消費電流リードモード禁止)にする)
 - CPU書き換えモード (FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止にする)
- PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。PLC07ビットが“1” (PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

32.6.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上 $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ (i=0~4)のMR0ビットを“0” (パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1” (ストップモード)にする命令の直後に JMP.B 命令を挿入し、その後に NOP 命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

ストップモードに遷移するときのプログラム例を示します。

```

例:      FSET    I
          BSET    0, CM1      ;ストップモードに遷移
          JMP.B   L2          ;JMP.B 命令を挿入

L2:
          NOP
          NOP
          NOP
          NOP
  
```

- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

32.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図 9.5 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

32.6.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

32.7 バス使用上の注意事項

32.7.1 データフラッシュ読み出し

2.7V \leq VCC1 \leq 3.0Vかつf(BCLK) \geq 16MHzの場合、または3.0V $<$ VCC1 \leq 5.5Vかつf(BCLK) \geq 20MHzの場合は、データフラッシュを読み出す際に1ウェイトが必要です。PM17ビットまたはFMR17ビットで1ウェイトにしてください。

32.7.2 外部バス

CNVSS端子に“H”を入力して、ハードウェアリセット、パワーオンリセットまたは電圧監視0リセットすると、内部ROMは読めません。

32.7.3 SFR書き込み直後の外部アクセス

SFR書き込みと外部デバイスアクセスが連続した場合、ライト信号と $\overline{\text{CSi}}$ 信号が同時に切り替わりますので、ライト信号が遅れないように各信号の容量を調整してください。

32.7.4 $\overline{\text{HOLD}}$

$\overline{\text{HOLD}}$ 入力は使用できません。 $\overline{\text{HOLD}}$ 端子は抵抗を介してVCC2に接続(プルアップ)してください。

32.8 プログラマブル入出力ポート使用上の注意事項

32.8.1 \overline{SD} 入力の影響

TB2SC レジスタの IVPCR1 ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可) のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

32.8.2 SI/O3、SI/O4 の影響

SiC レジスタの SMi2 ビットを“1” (SOUTi 出力禁止) にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

32.9 割り込み使用上の注意事項

32.9.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが“0”(割り込み要求なし)になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

32.9.2 SP の設定

割り込みを受け付ける前に、SP (USP、ISP) に値を設定してください。リセット後、SP (USP、ISP) は“0000h”です。そのため、SP (USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭で ISP に値を設定してください。リセット後の先頭の 1 命令に限り、すべての割り込みが禁止されています。

32.9.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2 レジスタの PM24 ビットを“0”($\overline{\text{NMI}}$ 割り込み禁止) にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2 レジスタの PM24 ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24 ビットに“1”を設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24 ビットに“1”を設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24 ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1 レジスタの CM10 ビットが“0”に固定されています。
- PM24 ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPU は停止しますが CPU クロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれも CPU クロックの 2 サイクル + 300ns 以上にしてください。

32.9.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタの IR ビットが“1” (割り込み要求あり) になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを“0” (割り込み要求なし) にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IR ビットを“0” (割り込み要求なし) にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 32.10 に割り込み要因の変更手順例を示します。

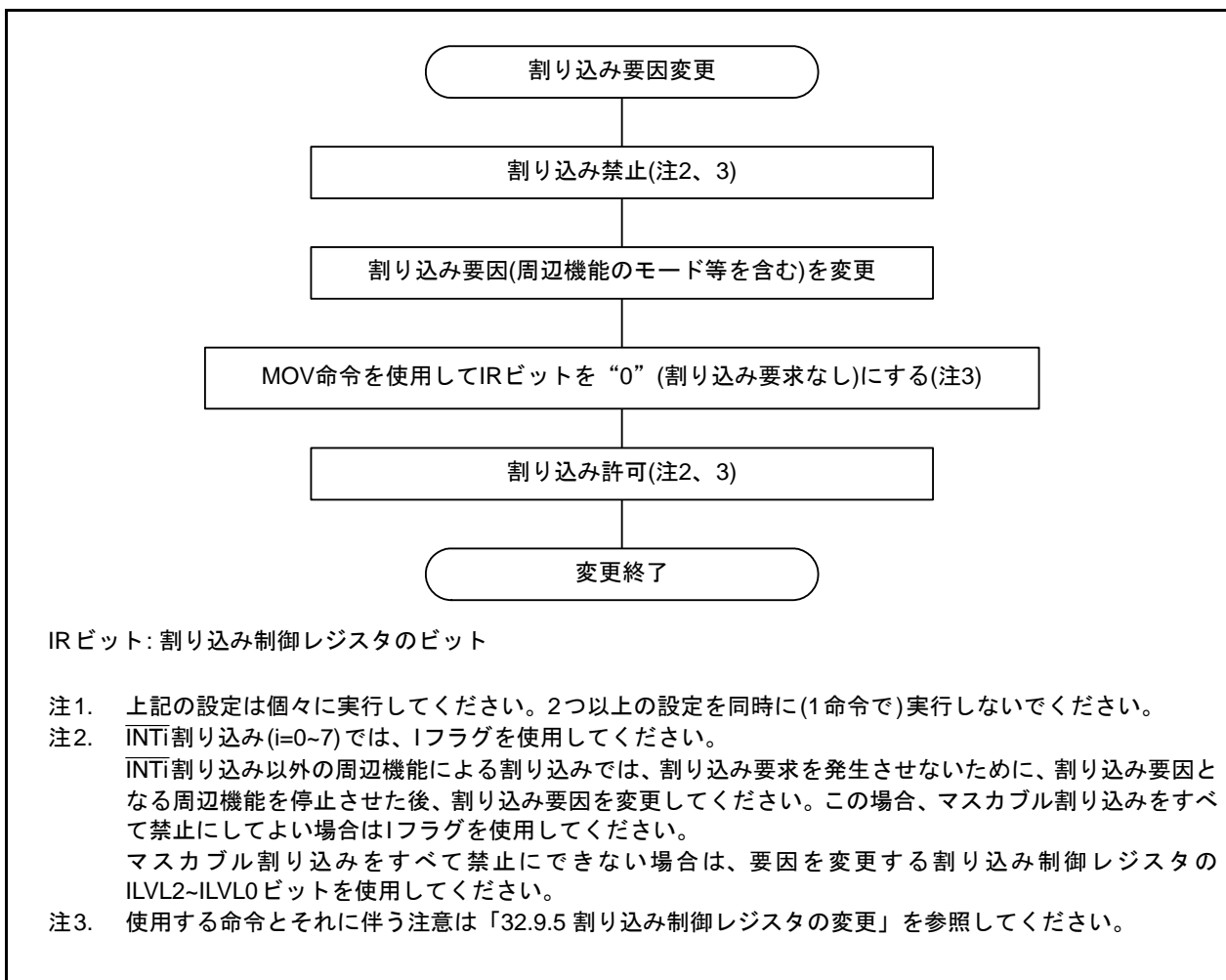


図 32.10 割り込み要因の変更手順例

32.9.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所を変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「32.9.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I           ; 割り込み禁止
  AND.B   #00H, 0055H ; TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I           ; 割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I           ; 割り込み禁止
  AND.B   #00H, 0055H ; TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0    ; ダミーリード
  FSET    I           ; 割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I           ; 割り込み禁止
  AND.B   #00H, 0055H ; TA0ICレジスタを“00h”にする
  POPC    FLG        ; 割り込み許可
```

32.9.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。

AND、OR、BCLR、BSET、MOV

このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

32.9.7 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT}}0\sim\overline{\text{INT}}7$ 端子に入力する信号には、CPUクロックに関係なく $t_w(\text{INL})$ 以上の“L”幅または $t_w(\text{INH})$ 以上の“H”幅が必要です。
- $\overline{\text{INT}}0\text{IC}\sim\overline{\text{INT}}7\text{IC}$ レジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビット、IFSR3AレジスタのIFSR31~IFSR30ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

32.10 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

32.11 DMAC使用上の注意事項

32.11.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3)

(テクニカルアップデート番号: TN-M16C-92-0301)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1” (DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

32.11.2 DMA要求要因の変更

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。

32.12 タイマA使用上の注意事項

32.12.1 複数モードに関わる共通事項

32.12.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

32.12.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

32.12.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

32.12.2 タイマA(タイマモード)

32.12.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.12.3 タイマA (イベントカウンタモード)

32.12.3.1 タイマの読み出し

カウント中のカウンタの値は、TAi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.12.4 タイマA (ワンショットタイマモード)

32.12.4.1 カウントを中断した場合の状態

カウント中にTAiS ビットを“0” (カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの値をリロードします。
- TAiOUT 端子は、TAPOFS レジスタのPOFSi ビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiC レジスタのIR ビットが“1” (割り込み要求あり)になります。

32.12.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

32.12.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、IR ビットを“0”にしてください。

32.12.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

32.12.5 タイマA (パルス幅変調モード)

32.12.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、プログラムでIR ビットを“0”にしてください。

32.12.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

32.12.6 タイマA(プログラマブル出力モード)

32.12.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

32.12.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

32.13 タイマB使用上の注意事項

32.13.1 複数モードに関わる共通事項

32.13.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR (i=0~5) レジスタ、TBCS0~TBCS3 レジスタ、TBi レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタによって、モードやカウントソース、カウンタ値等を設定した後、TABSR レジスタまたはTBSR レジスタのTBiS ビットを“1”(カウント開始)にしてください。

なお、TBiMR レジスタ、TBCS0~TBCS3 レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタは、リセット後に限らずTBiS ビットが“0”(カウント停止)の状態、変更してください。

32.13.2 タイマB (タイマモード)

32.13.2.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.13.3 タイマB (イベントカウンタモード)

32.13.3.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.13.3.2 イベント

TBiMR レジスタのTCK1 ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します (I フラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1 ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

32.13.4 タイマB (パルス周期測定/パルス幅測定モード)

32.13.4.1 TBiMR レジスタのMR3 ビット

MR3 ビットを“0”にするために、TBiS ビットが“1”(カウント開始)の状態、TBiMR レジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1 ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

32.13.4.2 割り込み

TBiIC レジスタ (i=0~5) のIR ビットは、測定パルスの有効エッジが入力されたときとタイマBi がオーバーフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMR レジスタのMR3 ビットで判断できます。

オーバーフローだけの検出にはTBiIC レジスタのIR ビットを使用してください。MR3 ビットは、割り込み要因を判断するときだけ使用してください。

32.13.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

32.13.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

32.13.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

32.13.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

32.14 三相モータ制御用タイマ機能使用上の注意事項

32.14.1 タイマA、タイマB

タイマA、タイマBの使用上の注意事項を参照してください。

32.14.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

32.15 リアルタイムクロック使用上の注意事項

32.15.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

32.15.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、リアルタイムクロックが停止中に書いてください。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2レジスタ
- RTCCR1レジスタのH12H24ビット、RTCPMビット
- RTCCSRレジスタのRCS0~RCS4ビット

リアルタイムクロックが停止中とは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(リアルタイムクロック停止)の状態を指します。

また、RTCCR2レジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

「図 20.4 時刻、日変更手順(コンペアモードを使用しない、またはコンペア1モード)」「図 20.5 時刻、日変更手順(コンペア2モード、またはコンペア3モード)」を参照してください。

32.15.3 レジスタ設定(コンペアデータ)

次のレジスタやビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- RTCCSEC、RTCCMIN、RTCCHRレジスタ

32.15.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法2

「図 32.11 時刻データ読み出し」に示す手順で読み出す。

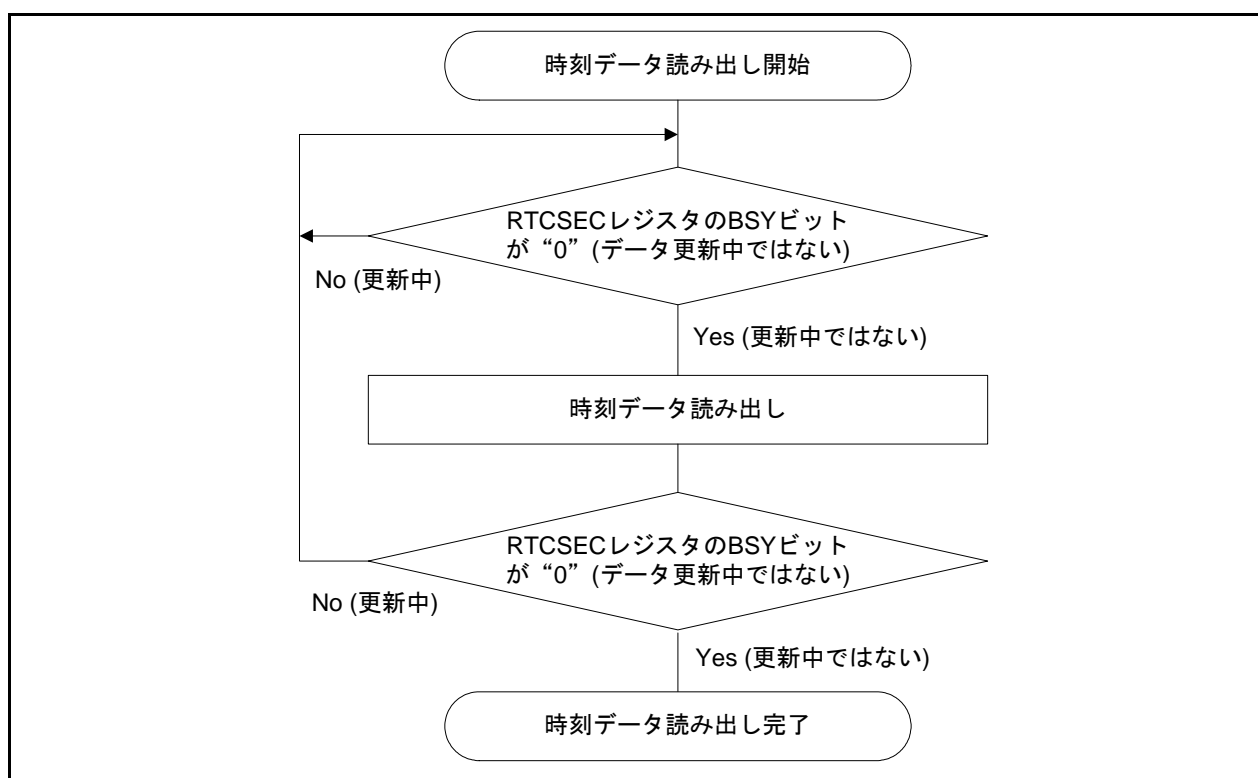


図 32.11 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット

RTCMINレジスタのMN12~MN10、MN03~MN00ビット

RTCHRレジスタのHR11~HR10、HR03~HR00ビット

RTCWKレジスタのWK2~WK0ビット

RTCCR1レジスタのRTCPMビット

32.16 リモコン信号受信機能使用上の注意事項

32.16.1 PMCiの動作開始、停止

PMCiCON0レジスタのENビットはPMCiの動作開始、停止を制御するビットです。PMCiCON2レジスタのENFLGビットは動作の開始または停止したことを示すビットです。

ENビットを“1”（動作許可）にするとPMCi回路が動作を開始し、ENFLGビットが“1”（動作中）になります。ENビットを“1”にした後、ENFLGビットが“1”になるまで、最大でカウントソースの2サイクルかかります。

同様に、ENビットを“0”（動作禁止）にするとPMCi回路が動作を停止し、ENFLGビットが“0”（動作停止）になります。ENビットを“0”にした後ENFLGビットが“0”になるまで、最大でカウントソースの1サイクル分の時間がかかります。

ENビットを“1”にしてからENFLGビットが“1”になるまでと、ENFLGビットが“1”の間は、ENFLGビットを除くPMCi関連レジスタ(表 22.3~表 22.4のレジスタ一覧(PMCi回路)に示したレジスタ)をアクセスしないでください。

32.16.2 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります

PMCiCON2レジスタとPMCiSTSレジスタの各フラグ、

PMCiTIMレジスタ、PMCO DAT0~PMCO DAT5レジスタ、PMCORBITレジスタ

このタイミングを避けるため、これらのレジスタは下に示す方法で読み出してください。

パターンマッチモードの場合

- 割り込みを使用する方法

PMCiINTレジスタのDRINTビットを“1”（データ受信完了割り込み許可）にしておき、PMCi割り込みルーチン内で読み出す。

- プログラムで監視する方法1

PMCiINTレジスタのDRINTビットを“1”（データ受信完了割り込み許可）にしておき、プログラムでPMCiICレジスタのIRビットを監視し、“1”（割り込み要求発生）になったら、読み出す。

- プログラムで監視する方法2

- (1) PMCiSTSレジスタのDRFLGビットを監視する。
- (2) DRFLGビットが“1”になったら、“0”になるまで監視する。
- (3) DRFLGビットが“0”になったら、必要な内容を読み出す。

インプットキャプチャモードの場合

- 割り込みを使用する方法

PMCiINTレジスタのTIMINTビットを“1”（タイマ計測割り込み許可）にしておき、PMCi割り込みルーチン内で読み出す。

- プログラムで監視する方法1

PMCiINTレジスタのTIMINTビットを“1”（タイマ計測割り込み許可）にしておき、プログラムでPMCiICレジスタのIRビットを監視し、“1”（割り込み要求発生）になったら、読み出す。

上記の方法でもレジスタのデータが変化するタイミングと読み出すタイミングが重複する可能性がある場合は、複数回読み出して正しい値かどうかを判定してください。

32.16.3 レジスタの書き換え

PMCiCON0のレジスタのENビットを除くPMCi関連レジスタまたはビットは、PMCiCON0のENビットとPMCiCON2のENFLGビットがともに“0”（PMCi停止）のときに書き換えてください。

32.16.4 連結動作

連結動作を使用する場合、PMCOCON1レジスタのTYP1~TYP0ビットと、PMCI CON1レジスタのTYP1~TYP0ビットは同じ値にしてください。

32.17 シリアルインタフェース UARTi (i=0~2, 5~7) 使用上の注意事項

32.17.1 複数モードに関わる共通事項

32.17.1.1 \overline{SD} 入力の影響

TB2SC レジスタの IVPCR1 ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可) のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} 、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/RXD5/SCL5/U、P8_1/TA4IN/ $\overline{CTS5}$ / $\overline{RTS5}$ / \overline{U}

32.17.1.2 CLKi 出力

(テクニカルアップデート番号: TN-16C-A178A/J)

CLKi 端子の出力形式を N チャンネルオープンドレインで使用する場合、次の手順で端子の機能を変更してください。

ポートから CLKi にするとき

- (1) UiMR レジスタの SMD2~SMD0 ビットでシリアルインタフェースのモードを選択する (“000b”以外にする)
- (2) UiSMR3 レジスタの NODC ビットを“1”にする

CLKi からポートにするとき

- (1) NODC ビットを“0”にする
- (2) SMD2~SMD0 ビットでシリアルインタフェースを無効にする (“000b”にする)

32.17.2 クロック同期形シリアル I/O モード

32.17.2.1 送受信

外部クロック選択時、 \overline{RTS} 機能を選択した場合は、受信可能状態になると \overline{RTSi} (i=0~2, 5~7) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると \overline{RTSi} 端子の出力レベルは“H”になります。このため、 \overline{RTSi} 端子を送信側の \overline{CTSi} 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は \overline{RTS} 機能は無効です。

32.17.2.2 送信

外部クロックを選択し、UiC0レジスタ (i=0~2, 5~7)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件 (順序は関係ありません)

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- CTS機能を選択している場合、 $\overline{\text{CTS}}_i$ 端子の入力が“L”

32.17.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~2, 5~7)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件 (順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

32.17.3 特殊モード (I²Cモード)

32.17.3.1 スタートコンディション、ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A130B/J)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~2, 5~7)のSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

32.17.3.2 IR ビット

次のビットを変更した後、UARTiの各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

32.17.3.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧

“L” 入力電圧、“H” 入力電圧、および“L” 出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

< I²C-bus 規格 >

“H” 入力電圧(V_{IH}) = min 0.7 V_{CC}

“L” 入力電圧(V_{IL}) = max 0.3 V_{CC}

32.17.3.4 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDA デジタル遅延機能を使用する場合、遅延時間を考慮してください(「23.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps 設定時の算出例 >

- UiBRG カウントソース : $f_1 = 20\text{MHz}$
- UiBRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL_2 \sim DL_0 = 101b$ (UiBRG カウントソースの5~6サイクル)の場合、

f_{SCL} (理論)	= $f_1 / (2(n+1))$	= $20\text{MHz} / (2 \times (99+1))$	= 100kbps
t_{DL}	= 遅延サイクル数 / f_1	= $6 / 20\text{MHz}$	= 0.3 μs
$t_{HD:STA}$ (理論)	= $1 / (2f_{SCL} \text{ (理論)})$	= $1 / (2 \times 100\text{kbps})$	= 5 μs
$t_{SU:STO}$ (理論)	= $1 / (2f_{SCL} \text{ (理論)})$	= $1 / (2 \times 100\text{kbps})$	= 5 μs
$t_{HD:STA}$ (実効)	= $t_{HD:STA} \text{ (理論)} - t_{DL}$	= $5\mu\text{s} - 0.3\mu\text{s}$	= 4.7 μs
$t_{SU:STO}$ (実効)	= $t_{SU:STO} \text{ (理論)} + t_{DL}$	= $5\mu\text{s} + 0.3\mu\text{s}$	= 5.3 μs

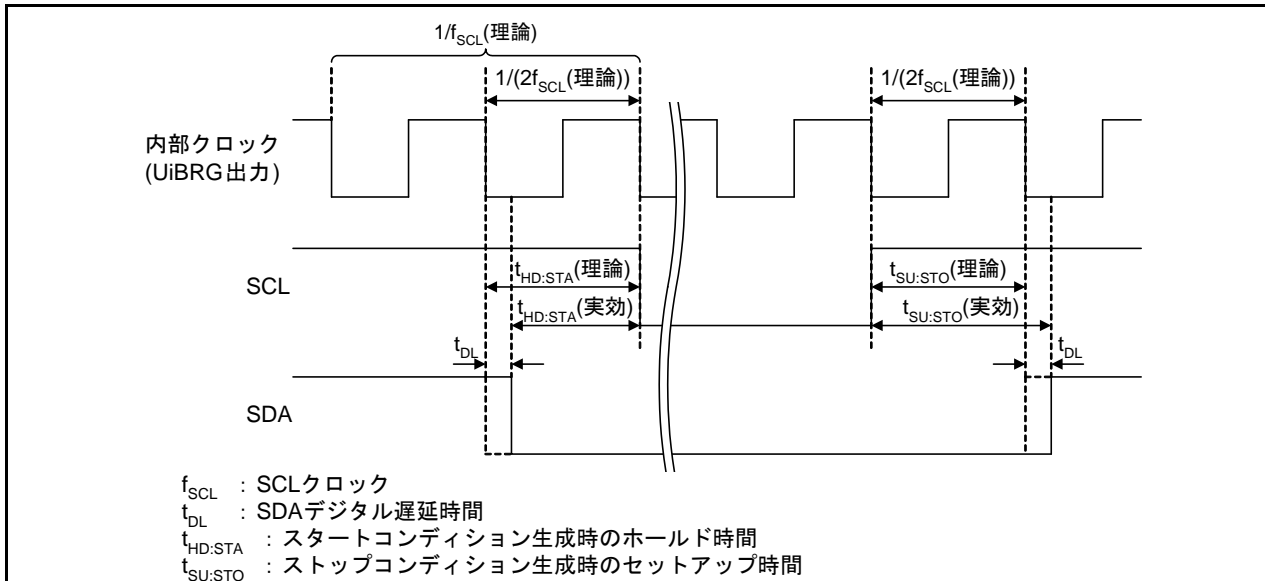


図 32.12 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

32.17.3.5 UiBRG カウントソースによる最大送受信速度の制限

I²Cモードでは、UiBRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でUiBRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、UiBRGカウントソースの速度の1/3以下です。UiBRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

32.17.3.6 スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

32.17.3.7 スレーブ時の送受信開始条件

スレーブとして、UiC0レジスタのTXEPTビットが“1”（送信レジスタにデータなし）の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件（順序は関係ありません）

送信

- UiC1レジスタのTEビットが“1”（送信許可）
- UiC1レジスタのTIビットが“0”（UiTBレジスタにデータあり）

受信

- UiC1レジスタのREビットが“1”（受信許可）
- UiC1レジスタのTEビットが“1”（送信許可）
- UiC1レジスタのTIビットが“0”（UiTBレジスタにデータあり）

32.17.4 特殊モード4 (SIMモード)

(テクニカルアップデート番号: TN-M16C-101-0308)

リセット解除後、U2C1レジスタのU2IRSビットを“1”（送信完了）、U2EREビットを“1”（エラー信号出力）にした後、TEビットを“1”（送信許可）にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”（割り込み要求なし）にしてください。

32.18 シリアルインタフェース SI/O3、SI/O4使用上の注意事項

32.18.1 SOUTi出力禁止時のSOUTi端子のレベル

SiCレジスタのSMi2ビットを“1”(SOUTi出力禁止)にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。

32.18.2 外部クロックの制御

外部クロックを入力するごとにシフト動作をします。したがって8ビット目のデータ送受信終了後は、SiTRRレジスタの読み出し、書き込みを行い、その後で次のデータ送受信のためのクロックを入力してください。

32.18.3 外部クロック使用時のレジスタアクセス

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、SiCレジスタのSMi7ビットと、SiTRRレジスタは、次の条件のとき書いてください。

- SiCレジスタのSMi4ビットが“0”(送受信クロック立ち下がりエッジで送信データ出力、立ち上がりエッジで受信データ入力)の場合: CLKi入力が“H”レベルのとき
- SMi4ビットが“1”(送受信クロック立ち上がりエッジで送信データ出力、立ち下がりエッジで受信データ入力)の場合: CLKi入力が“L”レベルのとき

32.18.4 SiTRRレジスタアクセス

送信データは、送受信停止中にSiTRRレジスタに書いてください。また、受信データは送受信停止中にSiTRRレジスタから読んでください。

SiICレジスタのIRビットは、8ビット目のデータの出力中に“1”(割り込み要求あり)になります。

S34C2レジスタのSM26(SOUT3)、SM27(SOUT4)が“0”(送信後ハイインピーダンス)の場合、割り込み要求発生後すぐに送信データをSiTRRレジスタに書くと、SiTRRレジスタに書いたときにSOUTi端子がハイインピーダンス状態になり、送信データのホールド時間が短くなります。

32.18.5 内部クロック使用時の端子の機能切り替え

(テクニカルアップデート番号: TN-16C-121A/JA)

SiC(i=3, 4)レジスタのSMi2ビットが“0”(SOUTi出力)でかつ、SMi6ビットが“1”(内部クロック)の状態、SMi3ビットを“0”(入出力ポート)から“1”(SOUTi出力、CLKi機能)に変更した場合、10ns程度、SOUTi端子にSMi7ビットで設定したSOUTi初期値が出力されることがあります。その後、SOUTi端子はハイインピーダンスとなります。

SMi3ビットを“0”から“1”に変更したときに、SOUTi端子から出力されるレベルが問題となる場合、SMi7ビットでSOUTiの初期値を設定してください。

32.18.6 外部クロック選択時のリセット後の動作

リセット後、SiCレジスタのSMi6ビットが“0”(外部クロック)の場合に、CLKi端子に8ビット分の外部クロックを入力すると、SiICレジスタのIRビットが“1”(割り込み要求あり)になります。この現象は、SiCレジスタのSMi3ビットが“0”(シリアルインタフェース無効)でも、SiTRRレジスタに値を書く前であっても起こります。

32.19 マルチマスタ I²C-bus インタフェース使用上の注意事項

32.19.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 25.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)にしてアクセスしてください。

32.19.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

32.19.2.1 S00 レジスタ

送受信中に書き込まないでください。

32.19.2.2 S1D0 レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

32.19.2.3 S20 レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

32.19.2.4 S3D0 レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

32.19.2.5 S4D0 レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

32.19.2.6 S10 レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。
MST、TRXビットが変化するタイミングは「25.3 動作説明」の動作例を参照してください。

32.19.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧

“L” 入力電圧、“H” 入力電圧、および“L” 出力電圧は、I²C-bus規格と異なります。SCL、SDAと端子を共用する入出力ポートの推奨動作条件を参照してください。

<I²C-bus規格>

“H” 入力電圧(V_{IH}) = min 0.7 V_{CC}

“L” 入力電圧(V_{IL}) = max 0.3 V_{CC}

32.19.4 ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A176A/J)

マルチマスタ I²C-bus インタフェースにおいて、スレーブデバイスまたは他のマスタデバイスが SCLMM ラインを“L”にドライブしているときにストップコンディションを生成する操作を行った場合、SCLMM ラインが開放されていないにもかかわらず SDAMM ラインが開放され、正常なストップコンディションが生成されません。

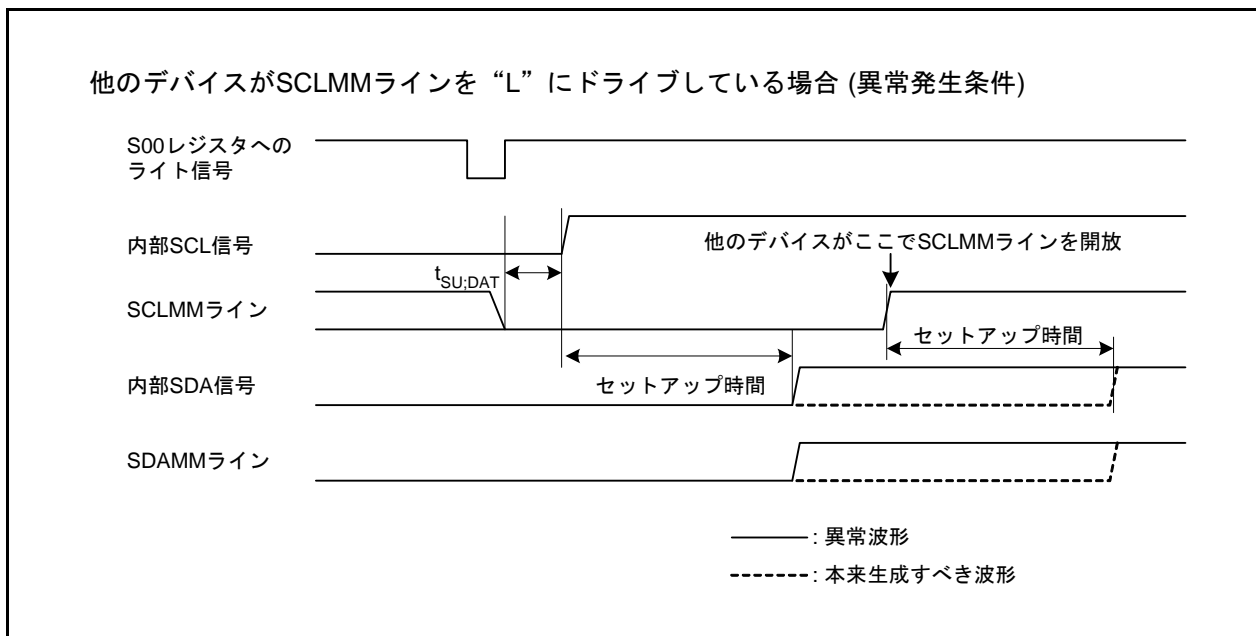


図 32.13 異常波形例

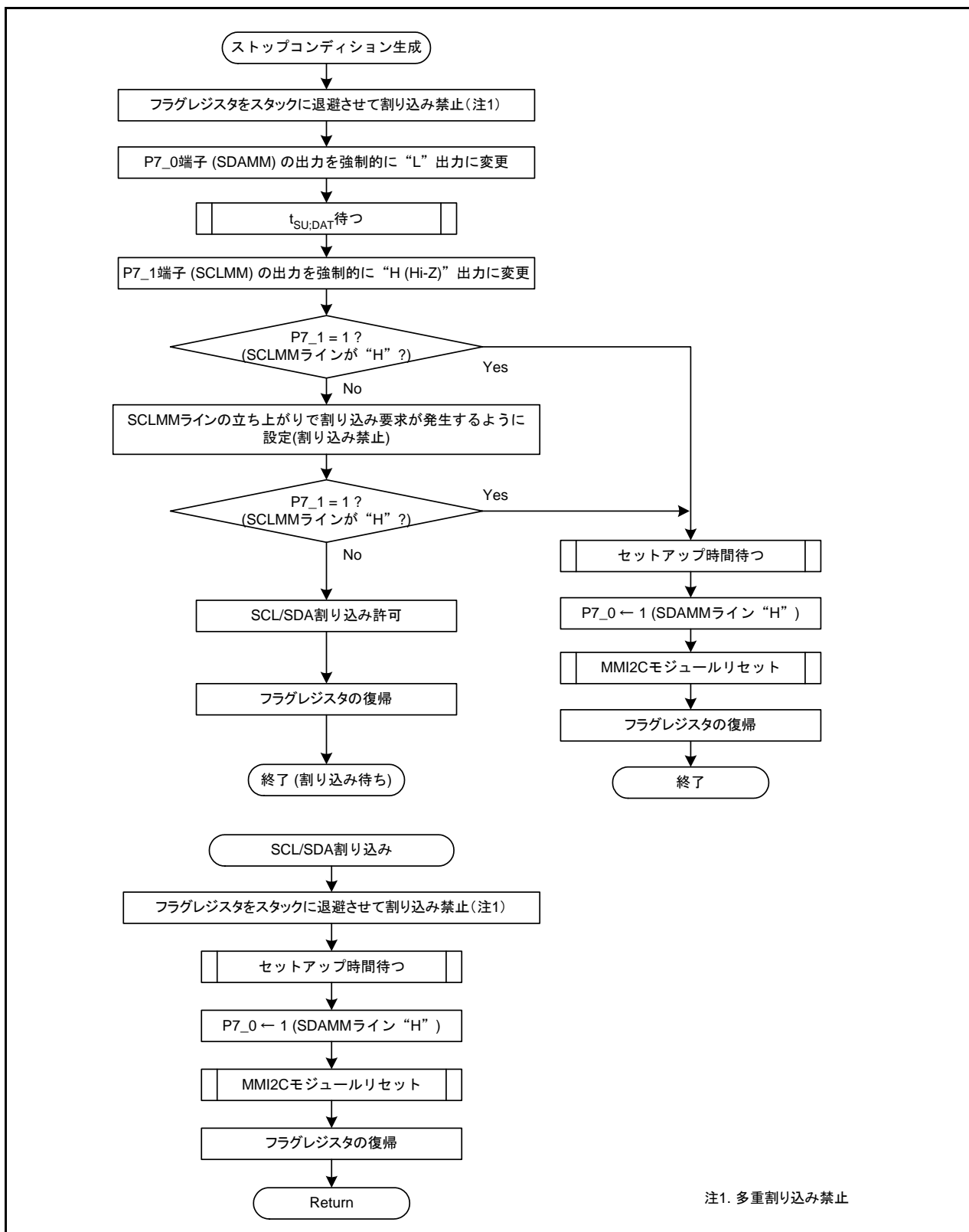


図 32.14 ストップコンディション生成フロー

32.20 CEC (Consumer Electronics Control) 機能使用上の注意事項

32.20.1 レジスタ、ビット操作

CEC 機能のレジスタ、ビットは、カウントソースに同期して動作します。プログラムでレジスタの値を変更するとレジスタの値はすぐに書き換わりますが、内部回路はカウントソースのタイミングを待って動作します。そのため、同じビットの値を続けて変更する場合や、他のビットの影響で値が変わるビットを読む場合は、カウントソースの1サイクル以上待ってください。

例1) 同じビットの値を続けて変更する例

- (1) ビットの値を“0”に変更する
- (2) カウントソースの1サイクル以上待つ
- (3) 同じビットの値を“1”に変更する

例2) 他のビットの影響で値が変わるビットを読む場合

(受信禁止にした後、CECFLG レジスタの CRERRFLG ビットが“0” (受信エラー未検出) になったことを確認する場合)

- (1) CECC3 レジスタの CRXDEN ビットを“0” (受信禁止) にする
- (2) カウントソースの1サイクル以上待つ
- (3) CECFLG レジスタの CRERRFLG ビットを読む

32.20.2 CEC 端子の VIH

CEC 端子の VIH は、CEC 規格を満たしていません。CEC 端子の VIH でご使用いただくか、図 32.15 に示す CEC 外付け回路を使用して、CEC 端子の入力電圧が CEC 端子の VIH 以上になるようにしてください。

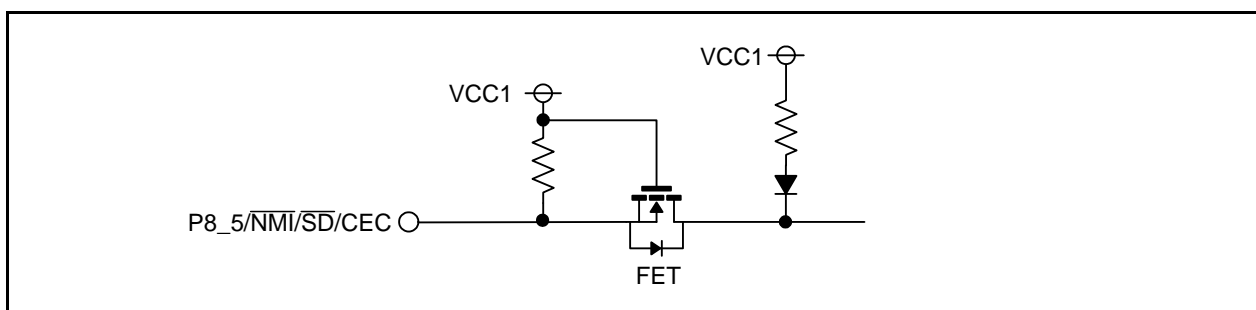


図 32.15 CEC 外付け回路

32.21 A/Dコンバータ使用上の注意事項

32.21.1 アナログ入力電圧

アナログ入力電圧は、次のようにしてください。

アナログ入力電圧(AN_0~AN_7、ANEX0、ANEX1) \leq VCC1

アナログ入力電圧(AN0_0~AN0_7、AN2_0~AN2_7) \leq VCC2

32.21.2 アナログ入力選択

$\overline{KI0}$ ~ $\overline{KI3}$ 端子のいずれかをキー入力割り込みに使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

32.21.3 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i (i=0~7)、ANEX_i、AN0_i、AN2_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。

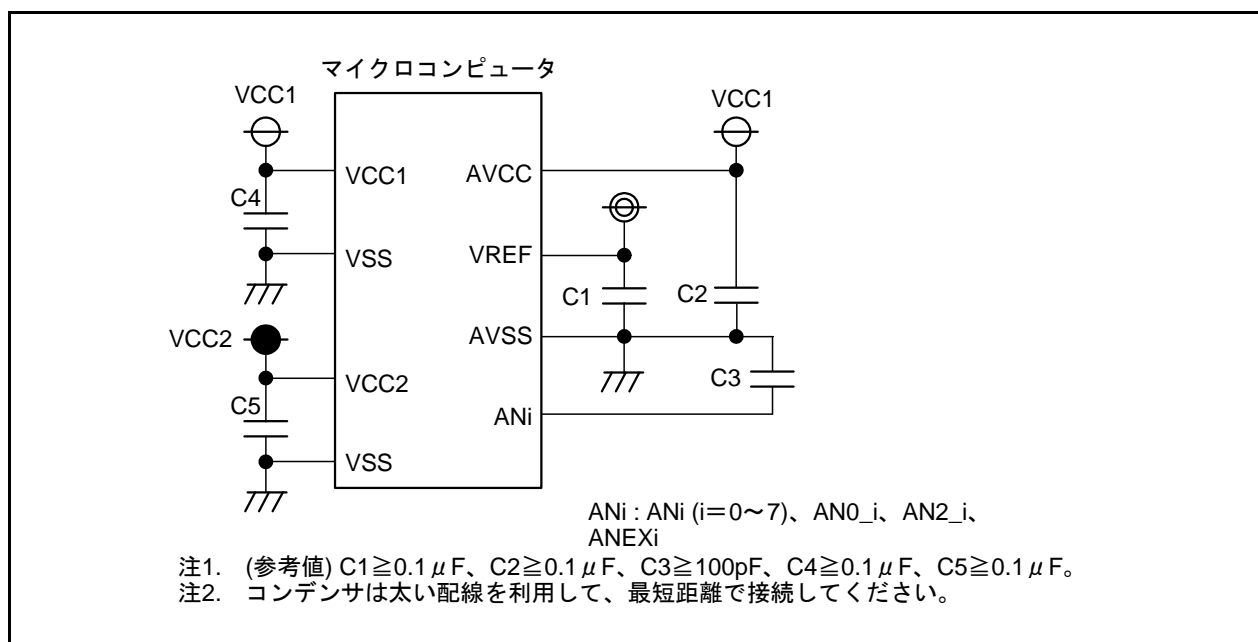


図 32.16 各端子の処理例

32.21.4 レジスタアクセス

ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのADSTBYビットを“1”から“0”にしてください。

32.21.5 A/D変換開始

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後にA/D変換を開始させてください。

32.21.6 A/D動作モードの変更

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

32.21.7 強制終了時の状態

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0” (A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタ (i=0~7)も不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

32.21.8 A/D断線検出アシスト機能

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。また、VCC1 > VCC2の場合は本機能を使用しないでください。

なお、AINRSTレジスタ変更後、A/D変換開始する場合は次の手順に従ってください。

- (1) AINRSTレジスタのAINRST1~AINRST0ビットを変更する
- (2) ϕ_{AD} の1サイクル待つ
- (3) ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする

32.21.9 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間 (「表 27.7 各A/D変換項目のサイクル数」参照)後に“1” (A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0” (A/D変換停止)が読めることがあります。

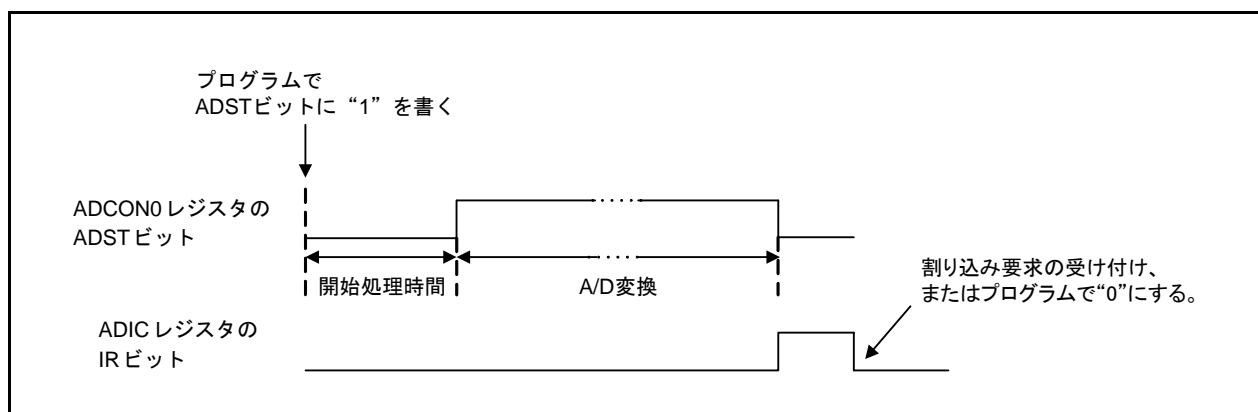


図 32.17 ADSTビットの動作

32.21.10 繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1

これらのモードでは、AD_iレジスタ (i=0~7) の値が書き換わる期間にAD_iレジスタを読むと、不定値を読み出すことがあります。そのため、AD_iレジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はfADの1サイクルです。

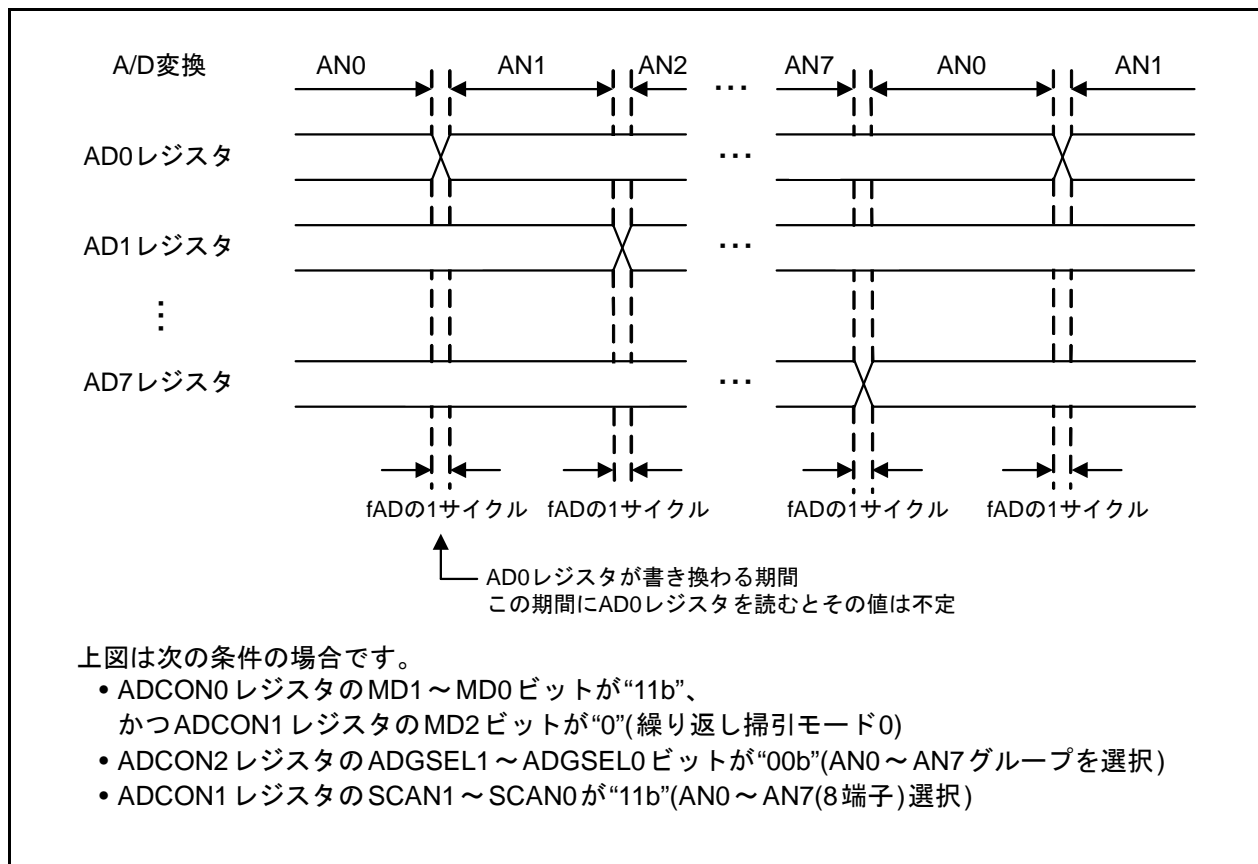


図 32.18 AD_iレジスタの値が書き換わる期間

32.22 D/Aコンバータ使用上の注意事項

32.22.1 D/Aコンバータを使用しない場合

D/Aコンバータを使用しない場合には、不要な消費電流を少なくするためにDACONレジスタのDAiEビット(i=0~1)を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

32.23 フラッシュメモリ使用上の注意事項

32.23.1 OFS1 番地、IDコード格納番地

OFS1 番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1 番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1 番地は0FFFFFFh 番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1 番地に“FEh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFFFFh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFFFFh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

32.23.2 データフラッシュの読み出し

$2.7V \leq VCC1 \leq 3.0V$ かつ $f(BCLK) \geq 16MHz$ の場合、または $3.0V < VCC1 \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

32.23.3 CPU書き換えモード

32.23.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

32.23.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- $\overline{\text{NMI}}$ 端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

32.23.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

32.23.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

32.23.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

32.23.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

32.23.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

32.23.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

32.23.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

32.23.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 高速、中速モード、PLL動作モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンド、または同じコマンドを複数回実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード(FMR22が“1”)、または低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

32.23.3.11 PM13ビット

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の期間、PM1レジスタのPM13ビットが“1”になります。FMR01ビットを“0”(CPU書き換えモード無効)にすると、PM13ビットは元の値に戻ります。ただし、CPU書き換えモード中にPM13ビットを変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。

32.23.3.12 書き換え制御プログラムを実行する領域

CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM10とPM13ビットがともに“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(40000h~BFFFFh)は使用しないでください。

32.23.3.13 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

32.23.3.14 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、パワーオン、電圧監視0、電圧監視1、電圧監視2、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視1、電圧監視2割り込み

32.23.4 ユーザブート

32.23.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地の VDSEL1 ビット、LVDAS ビット、はブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

32.23.5 EW1 モード

(テクニカルアップデート番号: TN-16C-A175A/J)

EW1モードを使用する場合、次の注意事項があります。

32.23.5.1 EW1 モードの周波数制限

EW1モードを使用する際は、CPUクロックを1MHz以上にしてください。

32.23.5.2 ブロックブランクチェックコマンドの周波数制限

ブロックブランクチェックコマンドを使用する際は、CPUクロックを3MHz以上にしてください。

32.23.5.3 ロックビットの使用禁止

FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にしてください。

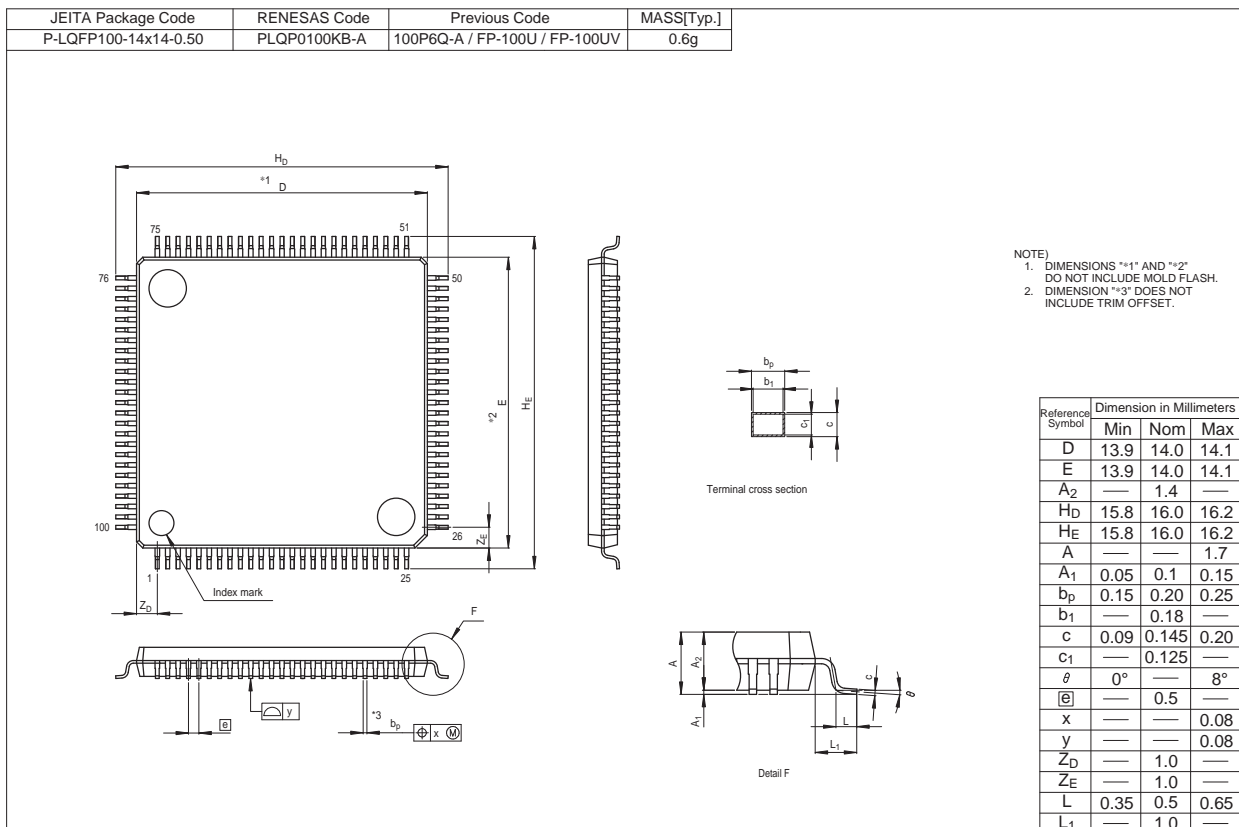
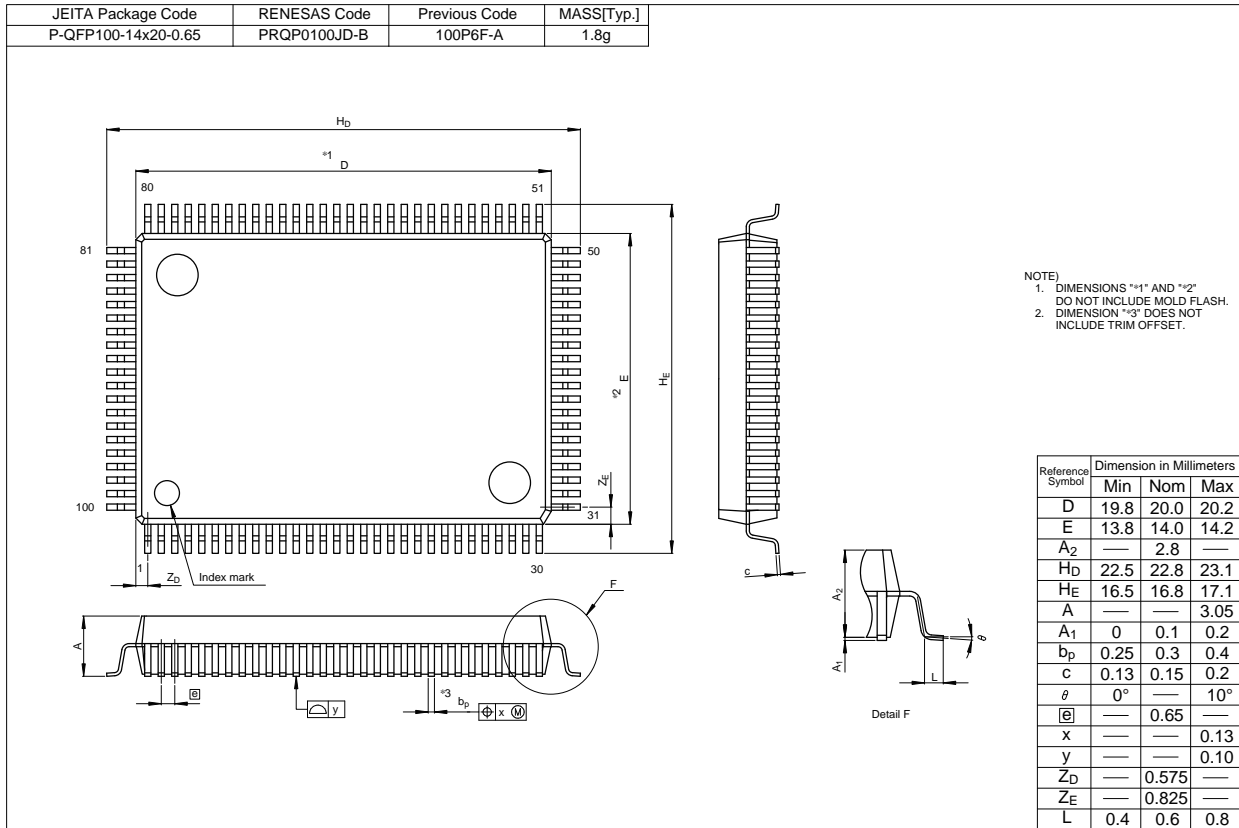
リードロックビットステータスコマンド、ロックビットプログラムコマンドを実行しないでください。

32.23.5.4 ウェイトモードまたはストップモードに遷移するユーザプログラムの EW1 モード移行手順

ウェイトモードまたはストップモードに遷移するユーザプログラムで、EW1モードを使用する場合は、RAM上で、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしてください。その後、再度FMSTPビットを“0”(フラッシュメモリ動作)にし、フラッシュメモリ上でEW1モードに移行してください。また、この処理は割り込み禁止状態で実施してください。

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。



索引

【A】

AD0~AD7	616
ADCON0	618
ADCON1	620
ADCON2	617
ADIC	192
AIER	197
AIER2	197
AINRST	615

【B】

BCNIC	192
-------------	-----

【C】

CCRB1	590
CCRB2	590
CCTB1	589
CCTB2	589
CEC1IC	192
CEC2IC	192
CECC1	580
CECC2	581
CECC3	583
CECC4	585
CECFLG	587
CISEL	588
CM0	86
CM1	88
CM2	90
CPSRF	252, 301
CRADRI1	591
CRADRI2	591
CRCD	650
CRCIN	650
CRCMR	650
CRCSAR	649
CSE	138
CSPR	222
CSR	137

【D】

DA0、DA1	645
DACON	645
DAR0~DAR3	233
DBR	152
DM0CON	235

DM0IC~DM3IC	192
DM0SL	236
DM1CON	235
DM1SL	236
DM2CON	235
DM2SL	236
DM3CON	235
DM3SL	236
DTT	332

【F】

FMR0	110, 657
FMR1	660
FMR2	111, 661
FMR6	662

【I】

ICTB2	333
IDB0、IDB1	332
IFSR	196
IFSR2A	195
IFSR3A	194
IICIC	192
INT0IC~INT2IC	193
INT3IC	193
INT4IC	193
INT5IC	193
INT6IC	193
INT7IC	193
INVC0	328
INVC1	330

【K】

KUPIC	192
-------------	-----

【N】

NMIDF	182, 200
-------------	----------

【O】

OFS1	48, 72, 225, 664
ONSF	260

【P】

P0~P10	180
PCLKR	92, 252, 300, 448, 516, 531

PCR	179, 199, 592, 614
PD0 ~ PD10	181
PDRF	335
PFCR	336
PLC0	93
PM0	46, 85, 130
PM1	131
PM2	94, 191
PMC0CON0、PMC1CON0	400
PMC0CON1、PMC1CON1	402
PMC0CON2、PMC1CON2	404
PMC0CON3、PMC1CON3	406
PMC0CPC	416
PMC0CPD	416
PMC0D0PMAX、PMC1D0PMAX	413
PMC0D0PMIN、PMC1D0PMIN	413
PMC0D1PMAX、PMC1D1PMAX	413
PMC0D1PMIN、PMC1D1PMIN	413
PMC0DAT0^PMC0DAT5	415
PMC0HDPMAX、PMC1HDPMAX	411
PMC0HDPMIN、PMC1HDPMIN	411
PMC0IC	192
PMC0INT、PMC1INT	410
PMC0RBIT	414
PMC0STS、PMC1STS	407
PMC0TIM、PMC1TIM	414
PMC1IC	192
PPWFS1、PPWFS2	303
PRCR	40
PRG2C	133
PUR0	176
PUR1	177
PUR2	178
PWMCON0	390
PWMCON1	392
PWMFS	254
PWMPRE0~PWMPRE1	390
PWMREG0~PWMREG1	391

【R】

RMAD0~RMAD3	198
RSTFR	47
RTCCHR	375
RTCCIC	192
RTCCMIN	374
RTCCR1	369
RTCCR2	371
RTCCSEC	373
RTCCSR	372
RTCHR	367
RTCMIN	366
RTCSEC	365

RTCTIC	192
RTCWK	368

【S】

S00	532
S0D0~S0D2	533
S0RIC~S2RIC	192
S0TIC~S2TIC	192
S10	546
S11	551
S1D0	534
S20	537
S2D0	539
S34C2	518
S3BRG、S4BRG	518
S3C、S4C	517
S3D0	540
S3IC	193
S3TRR、S4TRR	516
S4D0	544
S4IC	193
S5RIC~S7RIC	192
S5TIC	192
S6TIC	192
S7TIC	192
SAR0~SAR3	233
SCLDAIC	192

【T】

TA0~TA4	257
TA0IC~TA4IC	192
TA0MR	263
TA1、TA2、TA4	327
TA11、TA21、TA41	258, 327
TA1MR	263
TA2MR	263
TA3MR	263
TA4MR	263
TABSR	259, 305
TACS0~TACS2	253
TAOW	256
TAPOFS	255
TB0~TB5	301
TB01	302
TB0IC~TB2IC	192
TB0MR	306
TB11	302
TB1MR	306
TB2	327
TB21	302
TB2MR	306

TB2SC	334	WDTR	223
TB31	302	WDTS	223
TB3IC	192		
TB3MR	306		
TB41	302		
TB4IC	192		
TB4MR	306		
TB51	302		
TB5IC	192		
TB5MR	306		
TBCS0~TBCS3	304		
TBSR	305		
TCR0~TCR3	234		
TPRC	336		
TRGSR	261		

【U】

U0BCNIC	192
U0BRG~U2BRG、U5BRG~U7BRG	450
U0C0~U2C0、U5C0~U7C0	451
U0C1~U2C1、U5C1~U7C1	453
U0MR~U2MR、U5MR~U7MR	449
U0RB~U2RB、U5RB~U7RB	454
U0SMR~U2SMR、U5SMR~U7SMR	461
U0SMR2~U2SMR2、 U5SMR2~U7SMR2	460
U0SMR3~U2SMR3、 U5SMR3~U7SMR3	459
U0SMR4~U2SMR4、 U5SMR4~U7SMR4	457
U0TB~U2TB、U5TB~U7TB	450
U1BCNIC	192
U5BCNIC	192
U6BCNIC	192
U7BCNIC	192
UCON	456
UDF	262

【V】

VCR1	63
VCR2	64
VD1LS	66
VW0C	67
VW1C	68
VW2C	70, 221
VWCE	65

【W】

WDC	224
-----------	-----

1. 本版で修正または追加された箇所

改訂記録		M16C/64Aグループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
2.10	2012.03.16	全体	用語統一 「I ² Cバス」 → 「I ² C-bus」
		リセット	
		46	6.2.1 プロセッサモードレジスタ0 (PM0): レジスタの説明にPM02, PM04~PM07に関する記述を追加
		54	6.4.3 パワーオンリセット機能: 2行目の「傾きtrth以上」 → 「傾きtrth」
		54	図 6.5 パワーオンリセット回路例と動作: tw(por1) → tw(por)
		59	6.5.4 VCC1 < Vdet0の場合のハードウェアリセット: 表現を変更
		59	図 6.9 VCC1 < Vdet0の場合のハードウェアリセット: 追加
		クロック発生回路	
		83	図 8.1 システムクロック発生回路: PLL周波数シンセサイザの構成を一部変更
		85	8.2.1 プロセッサモードレジスタ0 (PM0): レジスタの説明にPM02, PM04~PM07に関する記述を追加
		97	8.3.4 サブクロック (fC): 発振開始手順の(1)の () 内のP8_5削除
		104	図 8.7 発振回路例: 「発振子」 → 「セラミック共振子または水晶発振子」
		プロセッサモード	
		130	10.2.1 プロセッサモードレジスタ0 (PM0): レジスタの説明にPM02, PM04~PM07に関する記述を追加
		131	10.2.2 プロセッサモードレジスタ1 (PM1): レジスタの説明にPM11, PM14, PM15に関する記述を追加
		バス	
		145	表 11.8 プロセッサモードと端子の機能表: ・注7を追加 ・P3_0の「メモリ拡張モード」欄を変更
		プログラマブル入出力ポート	
		170, 171	図 13.8 入出力ポートの構成 (Nチャネルオープンドレイン出力)、図 13.9 入出力ポートの構成 (NMI): 一部修正
		三相モータ制御用タイマ機能	
		323, 343, 348	表 19.1 三相モータ制御用タイマ機能の仕様、表 19.8 三相モード0の仕様、表 19.11 三相モード1の仕様: 「三相PWM出力幅」の「仕様」を修正
		リモコン信号受信機能	
		426	表 22.12 パターンマッチモード (連結動作)時の使用レジスタと設定値 (1/2): PMCiCON1 レジスタのTYP0、TYP1ビットの「PMC1」欄を修正
		440	22.5.4 連結動作: 追加
		シリアルインタフェースUARTi	
		449	23.2.2 UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7): I ² Cモードにする場合の説明を追加
		450, 454	23.2.4 UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7)、23.2.7 UARTi受信バッファレジスタ (UiRB) (i=0~2, 5~7): リセット後の値を修正
		481	表 23.15 I ² Cモード時の入出力端子: 新規に注1を追加し、旧注1を注2に変更
		マルチマスタI²C-busインタフェース	
		574	25.5.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧: 追加
		CRC演算回路	
		650	29.2.3 CRCデータレジスタ (CRCD): 説明を追加
		652	図 29.2 CRC演算例 (CRC-CCITT使用時)、図 29.3 CRC演算例 (CRC-16使用時): 変更
		フラッシュメモリ	
		657	30.3.1 フラッシュメモリ制御レジスタ0 (FMR0): FMSTPビットの説明で、手順部分の説明を変更
		684	30.8.6.2 各エラー発生時の対処方法: イレーズエラー、プログラムエラーの(2)に対して注1を追加
		使用上の注意事項	
		747	32.4.4 VCC1 < Vdet0の場合のハードウェアリセット: 表現を変更
		747	図 32.4 VCC1 < Vdet0の場合のハードウェアリセット: 追加
		748	図 32.5 発振回路例: 「発振子」 → 「セラミック共振子または水晶発振子」
		770	32.16.4 連結動作: 追加
		776	32.19.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧: 追加

前版までに修正または追加された箇所は、「2. 前版までに修正または追加された箇所」を参照してください。

2. 前版までに修正または追加された箇所

改訂記録		M16C/64Aグループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
1.01	2009.02.04	—	初版発行
		4	「表 1.3 製品一覧表」 一部変更
		5	「図 1.2 フラッシュメモリ版のマーキング図(上面図)」 一部変更
1.10	2009.07.21	全体	“VCR1”の「リセット後の値」変更
		全体	“VW1C”の「リセット後の値」注記変更
		全体	“S11”の「リセット後の値」注記変更
		全体	“f(OCOS)” → “tw(RSTL)”
		18	「図 3.2 メモリ配置」内、オンチップデバッグモニター領域の先頭番地「13800h」 → 「13000h」
		21	「表 4.2 SFR一覧(2/16)」 注記変更
		40	「図 6.1 リセット回路のブロック図」 一部変更
		43	「6.3 オプション機能選択領域の説明」 一部追加
		43	「6.3.1 オプション機能選択1番地 (OFS1)」レジスタ図、説明 一部変更
		45	「表 6.6 RESET 端子のレベルが“L”の期間の端子の状態」 一部変更
		47	「図 6.3 リセットシーケンス」 一部変更
		48	「6.4.2 ハードウェアリセット」 一部変更
		49	「図 6.5 パワーオンリセット回路例と動作」 一部変更
		49	「6.4.3 パワーオンリセット機能」 一部変更
		50	「6.4.5 電圧監視1リセット」 一部変更
		50	「6.4.6 電圧監視2リセット」 一部変更
		53	「6.5.1 電源立ち上がり勾配」 一部変更
		54	「7.1 概要」 一部変更
		56	「表 7.2 レジスタ一覧」 注記変更
		60	「7.2.4 電圧検出1レベル選択レジスタ (VD1LS)」レジスタ図一部変更
		62	「7.2.6 電圧監視1回路制御レジスタ (VW1C)」 一部変更
		64	「7.2.7 電圧監視2回路制御レジスタ (VW2C)」 一部変更
		66	「7.3 オプション機能選択領域の説明」 一部追加
		66	「7.3.1 オプション機能選択1番地 (OFS1)」レジスタ図、説明 一部変更
		72	「図 7.6 電圧監視1割り込み、電圧監視1リセット動作例」 一部変更
		74	「表 7.8 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順」 一部変更
		75	「図 7.8 電圧監視2割り込み、電圧監視2リセット動作例」 一部変更
		77	「表 8.1 クロック発生回路の仕様」 一部変更
		86	「8.2.4 発振停止検出レジスタ (CM2)」 CM22 (発振停止、再発振検出フラグ) (b2) 一部変更
		86	「8.3.2 PLLクロック」 一部変更
		92	「8.3.3 125kHzオンチップオシレータクロック (fOCO-S)」 一部変更
		94	「8.4.1 CPUクロックとBCLK」 一部変更
		103	「8.9.5 PLLクロックの発振開始」 新規に追加
		106	「9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)」 一部変更
		115	「表 9.6 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件」 一部変更
		117	「表 9.7 ストップモード時の端子の状態」 一部変更
		120	「9.4.2.1 スローリードモード」表記変更 5MHz → f(SLOW_R)
		121	「図 9.5 低消費電流リードモードの設定、解除」 一部変更
		11.章	「11.4.4 ウェイトとRDY」 削除
		133	「11.2.1 チップセレクト制御レジスタ (CSR)」 一部変更
		145	「11.3.5.10 ソフトウェアウェイト」 一部変更
		167	「図 13.6 入出力ポートの構成(6/9)」 一部変更
		168	「図 13.7 入出力ポートの構成(7/9)」 一部変更
180	「13.4.2 周辺機能入出力の優先順位」 一部文章および表削除		
212	「14.11 アドレス一致割り込み」 一部変更		
220	「15.2.1 電圧監視2回路制御レジスタ (VW2C)」 一部変更		
224	「15.3 オプション機能選択領域の説明」 一部追加		
224	「15.3.1 オプション機能選択1番地 (OFS1)」 一部変更		
229	「表 16.1 DMACの仕様」 一部変更		
238	「表 16.7 DMASビットが変化するタイミング」 一部変更		

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
1.10	2009.07.21	244	「図 16.5 外部要因によるDMA転送例」 一部変更
		250	「表 17.3 入出力端子」 一部変更
		267	「表 17.7 タイマモード時の使用レジスタと設定値」 一部変更
		270	「表 17.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)」 一部変更
		271	「表 17.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値」 一部変更
		274	「表 17.10 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)」 一部変更
		275	「表 17.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値」 一部変更
		277	「17.3.4.2 4 通倍処理動作」 一部変更
		280	「表 17.13 ワンショットタイマモード時の使用レジスタと設定値」 一部変更
		284	「表 17.15 パルス幅変調モード時の使用レジスタと設定値」 一部変更
		286	「図 17.11 16ビットパルス幅変調モードの動作例」 一部変更
		289	「表 17.17 プログラマブル出力モード時の使用レジスタと設定値」 一部変更
		295	「17.5.6.2 カウントを中断した場合の状態」 一部変更
		317	「図 18.6 パルス周期測定モード時の動作図」 一部変更
		321	「18.5.4.5 パルス幅測定モード」 一部変更
		324	「図 19.1 三相モータ制御用タイマ機能のブロック図1」 一部変更
		346	「図 19.6 三相モード0の動作例」 一部変更
		348	「表 19.11 三相モード1の仕様」 一部変更
		351	「図 19.7 三相モード1の動作例」 一部変更
		358	「図 19.9 鋸波変調モードの動作例」 一部変更
		360	「19.4.1 タイマB2割り込み」 一部変更
		366	「20.2.2 リアルタイムクロック分データレジスタ (RTCMIN)」 一部変更
		367	「20.2.3 リアルタイムクロック時データレジスタ (RTCHR)」 一部変更
		368	「20.2.4 リアルタイムクロック日データレジスタ (RTCWK)」 一部変更
		369	「20.2.5 リアルタイムクロック制御レジスタ1 (RTCCR1)」 一部変更
		387	「20.5.4 リアルタイムクロックモードの時刻読み出し手順」 一部変更
		394	「表 21.4 PWM端子の選択」 一部変更
		398	「図 22.2 リモコン信号受信機能ブロック図(2/3) (PMCi入力)」 一部変更
		402	「22.2.1 PMCi機能選択レジスタ0 (PMCiCON0) (i = 0、1)」 一部変更
		406	「22.2.3 PMCi機能選択レジスタ2 (PMCiCON2) (i = 0、1)」 一部変更
		408	「22.2.4 PMCi機能選択レジスタ3 (PMCiCON3) (i = 0、1)」 一部変更
		419	「22.3.1.1 カウントソース」 一部変更
		420	「22.3.1.2 PMCi入力」 一部変更
		422	「表 22.9 パターンマッチモード(個別動作)時の使用レジスタと設定値(1/2)」 一部変更
		428	「表 22.12 パターンマッチモード(連結動作)時の使用レジスタと設定値(1/2)」 一部変更
		438	「表 22.19 インพุットキャプチャモード時の使用レジスタと設定値(PMC0、PMC1同時カウント動作)(1/2)」 一部変更
		443	「22.5.1 PMCiの動作開始、停止」 一部変更
		446	「図 23.2 UART1ブロック図」 一部変更
		447	「図 23.3 UART2、UART5-7ブロック図」 一部変更
		469	「23.3.1.1 送受信回路の初期化」 一部変更
		480	「23.3.2.2 送受信回路の初期化」 一部変更
		488	「表 23.18 I ² Cモード時の各機能」 一部変更
		508	「23.5.1.2 CLKi出力」 新規に追加
		511	「表 24.1 SI/O3、SI/O4の仕様」 一部変更
		522	「図 24.7 SOUTi初期値設定時のタイミング図、設定方法」 一部変更
		531	「25.2.3 I2C0アドレスレジスタi (i = 0~2) (S0D0~S0D2)」 一部変更
		541	「図 25.4 データ受信時の割り込み要求発生タイミング」 一部変更
		546	「表 25.10 S10レジスタ書き込みによる機能」 一部変更
		558	「図 25.11 スタートコンディション重複防止機能有効期間」 一部変更
		562	「表 25.15 標準クロックモードでのSSC4-SSC0ビットの推奨値」 一部変更
		564	「図 25.16 タイムアウト検出タイミング」 一部変更

改訂記録		M16C/64Aグループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
1.10	2009.07.21	573	「25.5.2.4 S3D0レジスタ」 一部変更
		573	「25.5.2.6 S10レジスタ」 一部変更
		573	「25.5.3 ストップコンディション生成」 新規に追加
		580	「26.2.2 CEC機能制御レジスタ2 (CECC2)」 一部変更
		600	「図 26.12 送信信号の立ち下がりがりタイミング」 一部変更
		609	「図 27.1 A/Dコンバータのブロック図」 一部変更
		617	「27.2.6 A/D制御レジスタ1 (ADCON1)」 レジスタ図 一部変更
		618	「図 27.3 A/D変換タイミング図」 一部変更
		620	「27.3.2.2 外部トリガ」 一部変更
		625	「表 27.9 単発モード時の使用レジスタと設定値」 CKS3ビット削除
		628	「表 27.11 繰り返しモード時の使用レジスタと設定値」 CKS3ビット削除
		631	「表 27.13 単掃引モード時の使用レジスタと設定値」 CKS3ビット削除
		633	「表 27.15 繰り返し掃引モード0時の使用レジスタと設定値」 CKS3ビット削除
		635	「表 27.17 繰り返し掃引モード1時の使用レジスタと設定値」 CKS3ビット削除
		639	27.7内「φADの周波数」 削除
		30.章	「30.8.4.1 シーケンサステータス (SR7、FMR00ビット)」 削除
		30.章	「30.8.4.2 イレーズステータス (SR5、FMR07ビット)」 削除
		30.章	「30.8.4.3 プログラムステータス (SR4、FMR06ビット)」 削除
		654	「30.2 メモリ配置」 一部変更
		654	「表 30.3 プログラムROM1、プログラムROM2、データフラッシュの相違」 一部変更
		656	「30.3.1 フラッシュメモリ制御レジスタ0(FMR0)」 一部変更
		659	「30.3.2 フラッシュメモリ制御レジスタ1 (FMR1)」 一部変更
		661	「30.3.4 フラッシュメモリ制御レジスタ6 (FMR6)」 一部変更
		662	「30.4 オプション機能選択領域の説明」 一部変更
		662	「30.4.1 オプション機能選択1番地 (OFS1)」 一部変更
		664	「図 30.3 ユーザブートコード領域」 • オンチップデバッグモニタ領域の先頭番地 「13800h」 → 「13000h」 • その他、一部変更
		666	「表 30.10 EW0モードとEW1モードの違い」 一部変更
		675	「30.8.3.8 ブロックブランクチェック」 一部変更
		676	「30.8.4 ステータスレジスタ」 一部変更
		676	「表 30.13 ステータスレジスタの読み方の違い」 新規に追加
		677	「図 30.12 フルステータスチェック」 一部変更
		678	「30.8.4.2 各エラー発生時の対処方法」 一部変更
		679	「30.8.5 EW0モード」 一部変更
		680	「30.8.6 EW1モード」 一部変更
		684	「表 30.18 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1)」 一部変更
		686	「表 30.20 端子機能の説明(フラッシュメモリ標準シリアル入出力モード2)」 一部変更
		688	「30.11.3.2 CPU書き換えモードの選択」 新規に追加
		689	「低消費電力モード、オンチップオシレータ低消費電力モード」 → 「30.11.3.10 ソフトウェアコマンド」に変更
		690	「30.11.4 ユーザブート」 → 「標準シリアル入出力モード」から変更
		690	「30.11.4.1 ユーザブートプログラムの配置」 新規追加
		690	「30.11.4.2 標準シリアル入出力モード後のユーザブートモード起動」「ユーザブートモード」からタイトルのみ変更。
		690	「30.11.5 EW1モード」 新規に追加
		691	「表 31.1 絶対最大定格」 一部変更
		692	「表 31.2 推奨動作条件 (1/3)」 一部変更
		693	「表 31.3 推奨動作条件 (2/3)」 一部変更
		694	「表 31.4 推奨動作条件 (3/3)」 電源リップル関連の項目追加
		694	「図 31.1 電源リップル波形」 追加
		695	「表 31.6 A/D変換特性 (1/2)」 一部変更、注記追加に伴い、図 31.2 A/D精度測定回路を追加
		696	「表 31.7 A/D変換特性 (2/2)」 一部変更
		697	「表 31.8 フラッシュメモリ動作時のCPUクロック (f(BCLK))」 注記変更
		697	「表 31.9 フラッシュメモリ(プログラムROM1、2)の電氣的特性」 一部変更

改訂記録		M16C/64Aグループ ユーザーズマニュアル ハードウェア編		
Rev.	発行日	ページ	改訂内容	
1.10	2009.07.21	698	「表 31.11 電圧検出0回路の電気的特性」 一部変更	
		698	「表 31.12 電圧検出1回路の電気的特性」 一部変更	
		699	「表 31.13 電圧検出2回路の電気的特性」 一部変更	
		699	「表 31.14 パワーオンリセット回路」 一部変更	
		699	「図 31.3 パワーオンリセット回路の電気的特性」 一部変更	
		701	「表 31.16 125kHzオンチップオシレータ発振回路の電気的特性」 一部変更	
		702	「表 31.17 電気的特性(1)」 一部変更	
		704	「表 31.19 電気的特性(3)」 一部変更	
		705	「表 31.20 電気的特性(4)」 一部変更	
		706	「31.2.2 タイミング必要条件(周辺機能、他)」 一部変更	
		706	「表 31.21 リセット入力 (RESET入力)」 一部変更	
		719	「表 31.37 電気的特性(1)」 一部変更	
		720	「表 31.38 電気的特性(2)」 一部変更	
		721	「表 31.39 電気的特性(3)」 一部変更	
		722	「表 31.40 リセット入力 (RESET入力)」 一部変更	
		744	「32.6.5 PLLクロックの発振開始」 新規に追加	
		768	「32.20.3 ストップコンディション生成」 新規に追加	
		776	「32.24.3.2 CPU書き換えモードの選択」 新規に追加	
		778	「32.24.5 EW1モード」 新規に追加	
		2.00	2011.02.07	全体
全体	002Ah 電圧監視0回路制御レジスタ:リセット後の値を「1100 XX10b」より変更			
全体	002Bh 電圧監視1回路制御レジスタ:リセット後の値を「1000 1X10b」より変更			
全体	03A2h 断線検知アシスト機能レジスタ:リセット後の値を「XX00 0000b」より変更			
全体	03DCh D/A制御レジスタ:リセット後の値を「XXXX XX00b」より変更			
全体	D08Ah~D08Bh PMC0カウンタ値レジスタ、D09Eh~D09Fh PMC1カウンタ値レジスタを削除			
全体	電圧監視2回路制御レジスタ (VW2C): <ul style="list-style-type: none"> 「VW2Cレジスタ (VW2C3ビットを除く)を書き換えると、VW2C2ビット...」と「VW2C3、VW2C2ビットは、電圧監視1リセット、電圧監視2リセ...」を入れ替え (VW2C3ビットを除く)を追加 			
全体	用語変更「高速クロックモード」→「Fast-mode」			
概要				
3	表 1.2 仕様概要(100ピン版) (2/2): 注1を削除			
4	表 1.3 製品一覧表: 384Kバイト版の型名を追加			
5	図 1.1 型名とメモリサイズ・パッケージ: 「メモリ容量」に「384Kバイト」を追加			
11	表 1.6 端子機能の説明(100ピン版) (1/3): HOLD機能の説明を変更			
アドレス空間				
18	図 3.2 メモリ配置: <ul style="list-style-type: none"> 各予約領域に注1と注3を追加 「プログラムROM1」に384Kバイトの番地を追加 			
SFR				
20	表 4.1 SFR一覧(1): <ul style="list-style-type: none"> 001Ahのリセット値を変更 注2から「VCR1レジスタ、VCR2レジスタ」を削除 注5-注6を削除し、新たに注5を追加 			
21	表 4.2 SFR一覧(2): <ul style="list-style-type: none"> 002Ah、002Bhのリセット値を変更 注2-注7を削除し、新たに注2を追加 			
39	4.2.1 レジスタ設定時の注意事項: <ul style="list-style-type: none"> リードモディファイライト命令に関する記述を追加 表 4.20 リードモディファイライト命令を追加 			
リセット				
43	表 6.1 リセットの種類: 「初期化されないレジスタ、ビット」欄を追加			
43	図 6.1 リセット回路のブロック図: <ul style="list-style-type: none"> 各SFRの名称記載を削除 SFR(A)の隣にNOR記号を追加 			

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編		
Rev.	発行日	ページ	改訂内容	
2.00	2011.02.07	44	表 6.2 リセット時のSFRの分類: 追加	
		45	表 6.4 レジスタ一覧: • 0018h リセット要因判別レジスタのリセット後の値を「XX00 001Xb」より変更 • 注1を変更	
		46	6.2.2 リセット要因判別レジスタ (RSTFR): • CWR ビットの説明の [“0”になる条件] を変更 • OSDR ビットの説明の [“0”になる条件] を追加	
		49	表 6.7 RESET 端子のレベルが“L”の期間の端子の状態: 注1を変更	
		53	6.4.3 パワーオンリセット機能: • パワーオンリセットを使用する場合の条件に「VDSEL1 ビットを“0” (Vdet0_2)」を追加 • 最終行「に0.8VCC1以上にして」→「VIHを満たして」	
		56	6.4.10 コールド/ウォームスタート判定機能: 二つ目の箇条書きを一部変更	
		56	図 6.6 コールド/ウォームスタート判定機能の動作例: • 「電圧監視0リセット」→「内部リセット信号」 • 内部リセット信号のタイミングを変更	
		57	6.5.1 電源立ち上がり勾配: 項目「VCC1 ≤ 3.6V」を表から削除	
		57	図 6.7 SVCCのタイミング例 (3.6V < VCC1)、図 6.8 SVCCのタイミング例 (VCC1 ≤ 3.6V): 図 6.7 SVCCのタイミング図を条件別に書き換え	
		57	6.5.2 パワーオンリセット: パワーオンリセットを使用する場合の条件に「VDSEL1 ビットを“0” (Vdet0_2)」を追加	
		電圧検出回路		
		7章	リセット後の値をハードウェアリセットの場合のみ記載に変更	
		59	表 7.1 電圧検出回路の仕様: • 「VCC1監視」に「検出電圧」列を追加 • 「デジタルフィルタ」の「電圧検出0」を以下のとおり変更: - 「あり」→「デジタルフィルタ機能なし」 - 「(f(OCO-Sのn分周)×3 n: 1、2、4、8) → 「—」	
		60	図 7.1 電圧検出回路ブロック図: 書き換え	
		61	表 7.2 レジスタ一覧: 注釈を削除	
		63	7.2.2 電圧検出回路動作許可レジスタ (VCR2): • リセット後の値を変更「000X 0000b」→「0000 0000b」「001X 0000b」→「0010 0000b」 • b4を変更「何も配置されていない」→「予約ビット」	
		64	7.2.3 電圧監視機能選択レジスタ (VWCE): VW12Eのビット名を変更「電圧検出1、2回路有効」→「電圧監視1、2回路有効」	
		65	7.2.4 電圧検出1レベル選択レジスタ (VD1LS): • 本文2行目を追加 • VD1LS3~VD1LS0ビットの説明文を変更	
		66	7.2.5 電圧監視0回路制御レジスタ (VW0C): • リセット後の値を変更「1100 XX10b」→「1000 XX10b」 • VW0C1を変更「電圧監視0デジタルフィルタ無効モード選択ビット」→「予約ビット」 • VW0F0~VW0F1を変更「サンプリングクロック選択ビット」→「予約ビット」 • ビット6の説明を追加	
		67	7.2.6 電圧監視1回路制御レジスタ (VW1C): • リセット後の値を変更「1000 1X10b」→「1000 1010b」、「1000 XX10b」→削除 • 本文3行目を追加「VW1C2 ビット」→「VW1C2 ビット、VW1C3 ビット」 • VW1C3ビットの説明: 後から6行目までを追加	
		69	7.2.7 電圧監視2回路制御レジスタ (VW2C): レジスタ図の下の説明を変更	
		71	7.3.1 オプション機能選択1番地 (OFS1): LVDAS ビットの説明の1~2行目を追加	
		73	図 7.3 電圧監視0リセット発生回路のブロック図: 書き換え	
73	7.4.2.1 電圧監視0リセット: • 本文2~4行目を追加 • 表 7.6 電圧監視0リセット関連ビットの設定手順の手順1-2、5-6を削除 • 表下の説明、はじめの文を削除 • 図 7.4 電圧監視0リセット動作例を変更			

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編			
Rev.	発行日	ページ	改訂内容		
2.00	2011.02.07	74、77	図 7.5 電圧監視1 割り込み/リセット発生回路のブロック図、 図 7.7 電圧監視2 割り込み/リセット発生回路のブロック図: • レベル選択を追加 • VW1C1/W2C1の向きを“1”に変更		
		75、78	表 7.7 電圧監視1 割り込み、電圧監視1リセット関連ビットの設定手順、 表 7.8 電圧監視2 割り込み、電圧監視2リセット関連ビットの設定手順: • 手順を並び替え • 注3を追加		
		76、79	図 7.6 電圧監視1 割り込み、電圧監視1リセット動作例、図 7.8 電圧監視2 割り込み、電圧監視2 リセット動作例: 注1を変更 「VCC1 ≥ 2.7 V」 → 「推奨動作条件のVCC1」		
		クロック発生回路			
		82	図 8.1 システムクロック発生回路: • メインクロックを一部変更 • NMIとPM24につながる論理記号を変更		
		85	8.2.2 システムクロック制御レジスタ0 (CM0): CM06 ビットの説明の2項目目を変更		
		87	8.2.3 システムクロック制御レジスタ1 (CM1): • CM10 ビットの説明に「PLC0レジスタのPLC07ビットが“1”(PLL動作)」と「NMI端子に“L” を入力」を追加 • CM15ビットの説明を変更		
		93	8.2.7 プロセッサモードレジスタ2 (PM2): PM21ビットの説明の最終行を追加		
		96	8.3.4 サブクロック (fC): 手順(3)と(4)を一つに変更		
		97	8.4.1 CPUクロックとBCLK: ストップモードへの遷移時の説明を変更		
		105	8.9.3 CPUクロック: テクニカルアップデート番号を追加		
		106	8.9.5 PLL周波数シンセサイザ使用時: 追加		
		パワーコントロール			
		109	9.2.1 フラッシュメモリ制御レジスタ0 (FMR0): FMR01ビットとFMSTPビットの説明を変更		
		110	9.2.2 フラッシュメモリ制御レジスタ2 (FMR2): FMR23ビットの説明を変更		
		111	9.3.1.2 PLL動作モード: 「高速モード」を削除		
		112	9.3.1.6 低消費電力モード: 最後の3行を削除		
		113	表 9.2 通常動作モードのクロック: • 注2~注6までを削除 • 注2を新たに追加		
		116	図 9.2 分周切り替えの状態遷移: • 高速、中速モードの手順を分割 • 125kHzオンチップオシレータモードからgとhを削除		
		118	9.3.3 ウェイトモード: 最後の一文を変更		
		118	9.3.3.2 ウェイトモードへの遷移: ウェイトモードへの遷移手順を追加		
		119	9.3.3.4 ウェイトモードからの復帰: 表 9.6下の説明を削除		
		119	表 9.6 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件: • 「電圧監視1、電圧監視2」行の使用条件を変更 • 「電圧監視0リセット、電圧監視1リセット、電圧監視2リセット」行を分割及び使用条件を変 更		
		120	9.3.4.1 ストップモードへの遷移: ストップモードへの遷移手順を追加		
		121	9.3.4.3 ストップモードからの復帰: 周辺機能割り込みで復帰する場合の設定を削除		
		121	表 9.8 ストップモードからの復帰に使用できるリセット、割り込みと使用条件: 「電圧監視0リセット」行の使用条件を変更		
		122	図 9.3 フラッシュメモリの停止/再開手順: • 括弧が示す範囲を変更 • 注4を削除		
		123	9.4.2.1 スローリードモード: 2~3行目を追加		
		123、124	図 9.4 スローリードモードの設定、解除、図 9.5 低消費電力リードモードの設定、解除: 「CPUクロックを元に戻す」を削除		
		125	9.5.2 A/Dコンバータ: 2行目以降を削除		
		126	9.6.1 CPUクロック: 2行目を追加		

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編			
Rev.	発行日	ページ	改訂内容		
2.00	2011.02.07	126	9.6.2 ウェイトモード: <ul style="list-style-type: none"> • 1項目を一部追加 • 2項目を変更 • 3項目を追加 		
		126	9.6.3 ストップモード: <ul style="list-style-type: none"> • 1項目「メインクロックの発振が十分に安定するまで」→「fOCO-Sの20サイクル以上」 • 3項目を一部追加 • 4項目 変更 • 5項目 追加 		
		127	9.6.4 低消費電流リードモード: 3項目を追加		
		127	9.6.5 スローリードモード: 追加		
		プロセッサモード			
		129	10.2.1 プロセッサモードレジスタ0 (PM0): PM01~PM00ビットの説明にテクニカルアップデート番号を追加		
		134	図 10.1 シングルチップモード時のメモリ配置: 「YYYYYhの値」の表に384Kバイトの行を追加		
		バス			
		11.章	11.3.5.7 HOLD信号: 削除		
		135	表 11.1 バスの仕様: 外部バスからHOLD、HDLA削除		
		138	11.3.1.2 バスホールド: <ul style="list-style-type: none"> • 2行目の下、「メモリ拡張モードまたはマイクロプロセッサ...」の行を削除 • バスホールド状態による影響に4項目を追加 		
		149	11.4.4 $\overline{\text{HOLD}}$: 追加		
		メモリ空間拡張機能			
		152、153、155、156	図 12.1 1Mバイトモード時のメモリ配置、CS領域 (PM13=0)、図 12.2 1Mバイトモード時のメモリ配置、CS領域 (PM13=1)、図 12.3 4Mバイトモード時のメモリ配置、CS領域 (PM13=0)、図 12.4 4Mバイトモード時のメモリ配置、CS領域 (PM13=1): 「プログラムROM1」の表に384Kバイトの番地を追加		
		プログラマブル入出力ポート			
		162	13.2 入出力ポート、端子の構成: 全体の構成を変更		
		177	13.3.3 プルアップ制御レジスタ2 (PUR2): PU21のビット名変更「P8_4~P8_7のプルアップ」→「P8_4、P8_6~P8_7のプルアップ」		
		割り込み			
		191, 192	14.2.2、14.2.3 割り込み制御レジスタ: <ul style="list-style-type: none"> • シンボル、アドレスを図外に出し、1アドレスごとに示す表を追加 • IRビットの説明変更 		
		216	14.13.2 SPの設定: 「NMI割り込み」に関する記述を削除		
		229	14.13.3 NMI割り込み: 箇条書きの2項目追加		
		218	14.13.5 割り込み制御レジスタの変更: 書き換え		
		218	14.13.6 割り込み制御レジスタを変更する命令: 追加		
		ウォッチドッグタイマ			
		220	15.2.1 電圧監視2回路制御レジスタ (VW2C): レジスタ図下の説明を変更		
		221	15.2.2 カウントソース保護モードレジスタ (CSPR): b6-b0を予約ビットから変更		
		224	オプション機能選択1番地 (OFS1): レジスタ図下の本文を削除		
		DMAC			
		239	16.3.3 転送サイクル: 5行目「1サイクル」→「1バスサイクル」		
		246	16.5.1 DMiCON レジスタのDMAEビットへの書き込み (i=0~3): テクニカルアップデート番号を追加		
		タイマA			
		249	図 17.2 タイマA構成: タイマA0とタイマA3の11bからプログラマブル出力モードを削除		
		250	図 17.3 タイマAブロック図: POFSiの位置を変更		
		267	表 17.7 タイマモード時の使用レジスタと設定値: TAI1とTAiレジスタのビット欄を変更		
		271	表 17.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値: <ul style="list-style-type: none"> • PCLKR、TACS0~TACS2の「機能、設定値」欄を変更 • TAI1とTAiレジスタのビット欄を変更 		

改訂記録		M16C/64Aグループ ユーザーズマニュアル ハードウェア編		
Rev.	発行日	ページ	改訂内容	
2.00	2011.02.07	275	表 17.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値: • PCLKR、TACS0~TACS2、ONSFのTA0TGH~TA0TGLの「機能、設定値」欄を変更 • TAI1とTAIレジスタのビット欄を変更	
		280、284、289	表 17.13 ワンショットタイマモード時の使用レジスタと設定値、 表 17.15 パルス幅変調モード時の使用レジスタと設定値、 表 17.17 プログラマブル出力モード時の使用レジスタと設定値: TAI1とTAIレジスタのビット欄を変更	
		288	17.3.7 プログラマブル出力モード(タイマA1、A2、A4): タイマAiモードレジスタ(i=1, 2, 4)のMR1ビットの説明に「MR2ビットが“1”」を追加	
		293	17.5.1.2 イベントまたはトリガ: 追加	
		293	17.5.1.3 SD入力の影響: 「SDの影響」から内容も含めて変更	
		タイマB		
		309	表 18.7 タイマモード時の使用レジスタと設定値: TBI1とTBIレジスタのビット欄を変更	
		311	表 18.9 イベントカウンタモード時の使用レジスタと設定: • PCLKR、TBCS0~TBCS3の「機能、設定値」欄を変更 • TBI1とTBIレジスタのビット欄を変更	
		311	18.3.3 イベントカウンタモードのタイマBiモードレジスタ(i=0~5): TCK1ビットの「機能」欄を変更およびレジスタ図下に説明を追加	
		314	表 18.10 パルス周期測定モード、パルス幅測定モードの仕様: • 「タイマの書き込み」の2項目目を削除 • 注3を追加	
		315	表 18.11 パルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値: TBI1とTBIレジスタのビット欄を変更	
		320	18.5.3.2 イベント: 追加	
		321	18.5.4.3 イベントまたはトリガ: 追加	
		三相モータ制御用タイマ機能		
		360	19.5.2 SD入力の影響: 「強制遮断入力」からタイトルと内容を変更	
		リアルタイムクロック		
		20.章	用語変更 「1秒作成回路」→「1秒生成回路」	
		リモコン信号受信機能		
		395	図 22.1 リモコン信号受信機能のブロック図(1/3): PMCiBCを削除	
		399	22.2.1 PMCi機能選択レジスタ0 (PMCiCON0) (i=0, 1): HDENビットの説明: 「データ受信開始後」を追加	
		403	22.2.3 PMCi機能選択レジスタ2 (PMCiCON2) (i=0, 1): PSEL0~PSEL1の機能欄を変更	
		406	22.2.5 PMCiステータスレジスタ (PMCiSTS) (i=0, 1): • レジスタ図下の説明を追加 • CPFLGが“0”になる条件を追加 • DRFLGビットの説明と“0”になる条件を変更 • BFULFLGビットの説明を変更 • PTHDFLG、PTD0FLG、PTD1FLGビットが“0”になる条件を変更	
		410	22.2.7 PMCiヘッダパターン設定レジスタ (MIN) (PMCiHDPMIN) (i=0, 1) PMCiヘッダパターン設定レジスタ (MAX) (PMCiHDPMAX) (i=0, 1): レジスタ図下の説明を変更	
		411	図 22.4 ヘッダパターン、データパターン設定値: 追加	
		412	22.2.8 PMCiデータ0パターン設定レジスタ (MIN) (PMCiD0PMIN) (i=0, 1) PMCiデータ0パターン設定レジスタ (MAX) (PMCiD0PMAX) (i=0, 1) PMCiデータ1パターン設定レジスタ (MIN) (PMCiD1PMIN) (i=0, 1) PMCiデータ1パターン設定レジスタ (MAX) (PMCiD1PMAX) (i=0, 1): レジスタ図下の説明を変更	
		413	22.2.9 PMCi測定結果レジスタ (PMCiTIM) (i=0, 1): レジスタ図下の説明を追加	
		413	22.2.10 PMCO受信ビット数レジスタ (PMCORBIT): レジスタ図下の説明3行目以降を変更	
		414	22.2.11 PMCO受信データ格納レジスタi (PMCODATI) (i=0~5): レジスタ図下の説明の最終行を追加	
		417	22.3.1.2 PMCi入力: 最後から3~5行目を追加	

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編			
Rev.	発行日	ページ	改訂内容		
2.00	2011.02.07	420、426	表 22.10, 表 22.13 各モード時の使用レジスタと設定値: • PMCiINT レジスタのTIMINT 行を変更 • PMCiBC 行を削除		
		421	図 22.6 受信モードによる動作の違い(パターンマッチモード): EN ビット、IR ビット、DRFLG ビットを削除		
		422	図 22.7 フラグ動作例: 「PTHDFLG」と「フレーム開始」タイミングを追加		
		422	22.3.2.1 ヘッダ検出 (PMC0、PMC1): 詳細な記述に変更		
		423	図 22.8 受信バッファとコンペア機能: PMCORBIT レジスタから下への矢印を削除		
		427、435	22.3.3.1 設定手順、22.3.5.1 設定手順: 全面的に変更		
		427	22.3.3.2 ヘッダ、特殊データ検出: 「ヘッダが有効の場合」の後に「データ受信開始後」を追加		
		431、435	表 22.17, 表 22.20 各モード時の使用レジスタと設定値: PMCiBC 行を削除		
		432	図 22.9 受信モードによる動作の違い(インプットキャプチャモード): IR ビットが1になるタイミングを一部変更		
		436	表 22.21 リモコン信号受信機能i割り込みの割り込み要因(i=0, 1): 「割り込み要求ビット」列を追加		
		436	22.4 割り込み: 最終段落を削除		
		437	図 22.10 リモコン信号受信機能の割り込み: 割り込み要求名をシンボルに書き換え、レジスタの説明を追加		
		439	22.5.1 PMCiの動作開始、停止: 最終行から3行を移動・追加		
		439	22.5.2 レジスタ読み出し手順: 最終行を追加		
		439	22.5.3 レジスタの書き換え: 追加		
		シリアルインタフェース UARTi			
		23章	レジスタ図を並べ替え		
		23章	23.3.1.1、23.3.2.2 送受信回路の初期化を削除		
		23章	23.3.3.4 送受信クロックを削除		
		23章	図 23.24 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図 23.25 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1): 削除		
		23章	23.5.3 クロック非同期型シリアルI/O(UART)モードを削除		
		448	23.2.2 UARTi送受信モードレジスタ (UiMR) (i=0~2, 5~7): SMD2~SMD0 (シリアルI/Oモード選択ビット)の説明を追加		
		449	23.2.3 UARTiビットレートレジスタ (UiBRG) (i=0~2, 5~7): 設定範囲を変更		
		449	23.2.4 UARTi送信バッファレジスタ (UiTB) (i=0~2, 5~7): レジスタ図下の説明に「またはI2Cモード」を追加		
		456	23.2.9 UARTi特殊モードレジスタ4 (UiSMR4) (i=0~2, 5~7): • SCLHI、SWC9のビット名を変更 • STSPSEL、ACKC、SCLHI、SWC9ビットの機能欄を変更 • 各ビットの説明を変更・追加		
		459	23.2.11 UARTi特殊モードレジスタ2 (UiSMR2) (i=0~2, 5~7): • SWC、ALS、STACのビット名を変更 • b7以外の機能欄を変更		
		461	表 23.5 クロック同期型シリアルI/Oモードの仕様: 注1を変更		
		469、478	23.3.1.8、23.3.2.7 通信の途中終了時、または通信エラー発生時の処理: 追加		
		474	図 23.13 UARTモード時の受信タイミング例: 「UiBRGのカウントソース」を「UiBRGで分周した後のクロック」に変更		
		479	表 23.14 I2Cモードの仕様: • 送受信クロックのn=UiBRGレジスタの設定値「00h~FFh」から変更 • 割り込み要求発生タイミングの仕様を変更 • 注1を変更		
		480	図 23.18 I2Cモードのブロック図: CLK制御からの信号「9ビット目の立ち下がり」から変更		
		480	図 23.19 内部クロックの構成: 追加		
		481	表 23.16 I2Cモード時の使用レジスタと設定値(1/2): UiTBの機能を変更		
		482	表 23.17 I2Cモード時の使用レジスタと設定値(2/2): • UiSMR2のSWCビットの機能を変更 • UiSMR3のCKPHの機能を変更		

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
2.00	2011.02.07	483	表 23.18 I ² C モード時の各機能: <ul style="list-style-type: none"> 表上部の説明 「UiSMR3 レジスタのCKPH ビット」の記述削除 「CKHP=0」欄を削除 「UART 受信シフトレジスタから UiRB レジスタへのデータ転送タイミング」行の「IICM2=1」列を変更 「ノイズフィルター幅」行を削除 「受信データ読み出し」行の「IICM2=1」列を変更 注3を追加
		484	図 23.20 UiRB レジスタへの転送、割り込みのタイミング: 「IICM2が“0”、CKPHが“0”の場合」と「IICM2が“1”、CKPHが“0”の場合」を削除
		485	23.3.3.1 スタートコンディション、ストップコンディションの検出: 最初の2行と最後の3行を追加
		485	図 23.21 スタートコンディション、ストップコンディションの検出: 全体的に変更
		487	22.3.3.2 スタートコンディション、ストップコンディションの生成: タイトルを変更
		486	図 23.22 STSPSEL ビットの機能: 全体的に変更
		487	図 23.23 各コンディション生成時のレジスタ設定手順: 追加
		488	23.3.3.3 アービトレーション: 全体的に変更
		488	23.3.3.4 SCL 制御とクロック同期化: 追加(図含む)
		491	23.3.3.5 SCL クロックの周波数の考え方: 追加(図含む)
		492	23.3.3.6 SDA 出力制御: <ul style="list-style-type: none"> 図上部の説明を変更 図 23.27、図 23.28 を追加
		493	23.3.3.7 SDA デジタル遅延機能: 追加(図含む)
		493	23.3.3.8 SDA 入力: <ul style="list-style-type: none"> 最初の3行を変更 2段落目以降を追加(図含む)
		494	23.3.3.9 ACK、NACK: 全体的に変更
		494	23.3.3.10 送受信初期化: 最後の2行を追加
		495	表 23.20 特殊モード2の仕様: <ul style="list-style-type: none"> 「送受信クロック」行からスレーブモードに関する記述を削除 注1を削除
		496	図 23.32 特殊モード2の通信制御例 (UART2): スレーブ側のコンピュータの端子名変更
		496	表 23.21 特殊モード2時の入出力端子: CLKiの入力を削除
		497	表 23.22 特殊モード2時の使用レジスタと設定値: CKDIRの機能から「スレーブモードの場合」を削除
		501	表 23.24 SIM モードの仕様: 注2を変更
		503	図 23.35 SIM モードの送受信タイミング例: (1)のS2TIC レジスタのIR ビットが1になるタイミングを追加
		506	23.4.1 割り込み関連レジスタ: 特殊モード4 (SIMモード)の場合の説明を変更
		509、509	23.5.2.2 送信、23.5.2.3 受信: 外部クロックレベルの説明を箇条書きに変更
		510	23.5.3.1 スタートコンディション、ストップコンディション生成: テクニカルアップデート番号を追加
		510~511	23.5.3.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧~23.5.3.7 スレーブ時の送受信開始条件: 追加
		511	23.5.4 特殊モード4 (SIMモード): <ul style="list-style-type: none"> テクニカルアップデート番号を追加 2行目追加
シリアルインタフェース SI/O3、SI/O4			
		525	24.5.5 内部クロック使用時の端子の機能切り替え: テクニカルアップデート番号を追加
マルチマスタ I²C-bus インタフェース			
		527	表 25.2 I ² C 回路の検出機能: 「アービトレーションロスト検出」行に「SCLMM 端子」を追加
		533	25.2.4 I ² C0 制御レジスタ 0 (S1D0): 「ストップコンディション検出」を BC2-BC0 ビットの説明から削除
		536	25.2.5 I ² C0 クロック制御レジスタ (S20): CCR4~CCR0 ビット、FASTMODE ビットの説明を「送受信中に書き換えないで」から「S1D0 レジスタの ES0 ビットが“0”(禁止)のときに書き換えて」へ変更

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編			
Rev.	発行日	ページ	改訂内容		
2.00	2011.02.07	537	表 25.5 ACKクロック時のSDAMM端子のレベル: “00”時のスレーブアドレスの内容を変更		
		543	25.2.8 I2C0制御レジスタ2 (S4D0): <ul style="list-style-type: none"> MSLADビットのビット名を「スレーブアドレス比較ビット」から変更 TOSELビットの説明の最終行を追加 		
		545	25.2.9 I2C0ステータスレジスタ0 (S10): <ul style="list-style-type: none"> LRBビットの説明を変更 AASビットの説明の“1”になる条件の1項目目を変更、2項目を追加 PINビットの説明の“0”になる条件の5項目目を変更、6項目目を追加、SCLMM端子から“L”を出力しない条件を変更 		
		550	25.2.10 I2C0ステータスレジスタ1 (S11): AAS0~AAS2の説明: 4~5行目を追加		
		552	25.3.1.2 ビットレートとデューティ: FASTMODEビットの記述を追加		
		559	25.3.6 アービトレーションロスト: 最後から2段落目「ALSビットが“1”を“0”に変更		
		CEC (Consumer Electronics Control)機能			
		26章	用語変更: 「Directly address」→「Direct」、 「Broadcast address」→「Broadcast」		
		576	表 26.1 CEC機能の仕様(1/2): 「エラー検出」欄 「をHi-Zから“L”出力に切り替える際」→「の出力をHi-Zにしているとき」		
		580	26.2.2 CEC機能制御レジスタ2 (CECC2): <ul style="list-style-type: none"> レジスタ図下の説明を追加 CTABTSビットの説明を追加 		
		582	26.2.3 CEC機能制御レジスタ3 (CECC3): <ul style="list-style-type: none"> CTXDEN、CRXDENビットの説明: 2-3行目を追加 CREGCLRビットの説明を変更 CREGCLRビットの説明に合わせて「図 26.2 CREGFLGビットとCREGCLRビットの動作」を変更 CEOMIビットの説明を変更 		
		584	26.2.4 CEC機能制御レジスタ4 (CECC4): <ul style="list-style-type: none"> CRISE2~CRISE0、CFALL1~CFALL0、CABTWENビットの説明: 「送受信中に書き込まないでください。」を追加 CABTENビットの説明を変更 CREGFLGビットの説明を変更 		
		587	26.2.6 CEC割り込み要因選択レジスタ (CISEL): レジスタ図下の説明を削除		
		588	26.2.8 CEC送信バッファレジスタ2 (CCTB2): CCTBEビットの説明に「ここで書き込んだ情報は、次にデータを送信した後に出力されます。」を追加		
		589	26.2.9 CEC受信バッファレジスタ1 (CCRB1): RW欄「RW」→「RO」		
		590	26.2.11 CEC受信Followerアドレス設定レジスタ1 (CRADR1)、CEC受信Followerアドレス設定レジスタ2 (CRADR2): レジスタ図下の1行目と2行目の間の説明を削除		
		596	26.3.5.3 エラー判定: <ul style="list-style-type: none"> サブ項タイトルを追加 箇条書き2項目を変更 		
		598	図 26.9 受信エラー時の“L”パルス出力カタイミング: 追加		
		600	図 26.10 受信例: タイミングを一部変更		
		601	図 26.11 受信例(エラー発生時、エラー“L”パルス出力禁止から許可に変更した場合): タイミングを一部変更		
		603	26.3.6.2 アービトレーションロスト検出: 3行目追加		
		604	図 26.15 送信例: タイミングを一部変更		
		605	図 26.16 送信例(NACK受信時): CTD8FLGビットが“0”になるタイミング変更		
		606	図 26.17 送信例(アービトレーションロスト検出時): CCRBEビットのタイミング変更		
		609	26.5.2 CEC端子のVIH: 追加		
		A/Dコンバータ			
		27.章	用語変更: 「プリチャージ」→「チャージ」		
		611	図 27.1 A/Dコンバータのブロック図: 「初期化サイクルφADの2サイクル」→「φADの2サイクル」		
		617	27.2.5 A/D制御レジスタ0 (ADCON0): 誤記訂正 CSK0→CKS0		
		620	27.3.1 A/D変換サイクル数: 2文目を追加		
		623	27.3.6 A/D断線検出アシスト機能: 1~3行目を変更		

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編		
Rev.	発行日	ページ	改訂内容	
2.00	2011.02.07	624, 625	図 27.6 AVCC 側での A/D 断線検出例 (変換前チャージを選択)、 図 27.8 AVSS 側での A/D 断線検出例 (変換前デイスチャージを選択): アナログ入力 ANi の右側にスイッチを追加	
		624, 625	図 27.7 A/D 断線検出 (チャージ) 特性 (標準特性)、 図 27.9 A/D 断線検出 (デイスチャージ) 特性 (標準特性): グラフの測定条件と見方を追加	
		628, 630, 632, 634, 636, 637	図 27.10~図 27.14 各モードの動作例、 図 27.15 繰り返し掃引モード 1 で A/D 変換する端子の遷移図: 図の見方を変更	
		640	27.7.1 アナログ入力電圧: •「VCC1 ≥ VCC2 の場合」を削除 •項タイトルを追加	
		640	27.7.2 アナログ入力選択: 説明を一部変更	
		D/A コンバータ		
		645	図 28.2 D/A コンバータの等価回路: DACON レジスタの DAiE ビットの向きを反転	
		CRC 演算回路		
		29 章	レジスタ図を並べ替え	
		648	29.2.1 SFR 監視アドレスレジスタ (CRCSAR): CRCSR ビットの説明を CRCSW ビットの説明に統合	
		649	29.2.2 CRC モードレジスタ (CRCMR): (b6-b1) の読んだ値を変更: "0" → "不定"	
		フラッシュメモリ		
		30 章	29.10.1 フラッシュメモリ書き換え禁止機能 削除	
		654	表 30.2 フラッシュメモリ書き換えモードの概要: 「CPU 動作モード」、「オンボード書き換え」の行を追加	
		656	図 30.1 フラッシュメモリのブロック図: 「プログラム ROM1 容量 384K バイト」を追加	
		657	30.3.1 フラッシュメモリ制御レジスタ 0 (FMR0): • FMR00 ビットの説明: "0" になる条件の 2、3 項目追加 • FMR01 ビットの説明: 「NMI 端子に "L" を入力...」を 「NMI 端子に "H" を入力...」に変更 • FMR02 ビットの説明: 最終行追加 • FMSTP ビットの説明: FMR22 ビットに関する記述を追加	
		660	30.3.2 フラッシュメモリ制御レジスタ 1 (FMR1): 「NMI 端子に "L" を入力...」を 「NMI 端子に "H" を入力...」に変更	
		662	30.3.4 フラッシュメモリ制御レジスタ 6 (FMR6) の FMR60 ビットの説明: 「NMI 端子に "L" を入力...」を 「NMI 端子に "H" を入力...」に変更、および最終行追加	
		663	図 30.2 オプション機能選択領域: 変更	
		665	30.7 ユーザブートモード: 追加	
		665	30.7.1 ユーザブート機能: 表 30.6 の下から 「このとき、OFS1 番地の内容は有効です」を削除	
		667	表 30.9 エントリに使用できるポートのアドレス: アドレスごとに数値を表記するように変更	
		667	表 30.10 ユーザブートコード領域設定例: 追加	
		668	図 30.4 ユーザブートモードのプログラムスタート番地: 追加	
		669	表 30.11 EW0 モードと EW1 モードの違い • 「自動書き込み、自動消去時の状態」の 「EW1 モード」 を変更 • 注 1 を削除し、新たに追加	
		670, 672	30.8.1 EW0 モード、30.8.2 EW1 モード: • 「NMI... 割り込み」の説明を一部削除、変更 • ウォッチドックタイマについての記述を一部変更	
		671, 673	表 30.12 コマンド実行後のモード (EW0 モード)、表 30.13 コマンド実行後のモード (EW1 モード): 追加	
		675	表 30.15 ソフトウェアコマンド一覧表: 注 1 追加	
		677, 678	30.8.5.4 プログラム、30.8.5.5 ブロックイレーズ: EW0 モードのステータスレジスタに関する記述を削除	
		680	図 30.13 リードロックビットステータスフローチャート: フローチャートの後半変更	
		681	30.8.5.8 ブロックブランクチェック: 図下 3 行目 「ブロックブランクチェック...」以降追加	
		681	図 30.14 ブロックブランクチェックフローチャート: フローチャートの後半変更	

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編		
Rev.	発行日	ページ	改訂内容	
2.00	2011.02.07	683	表 30.18 エラーとFMR0レジスタの状態 •「コマンドシーケンスエラー」の「エラー発生条件」2項目 変更 •注1の“xxFFh”を書いた後の状態を変更	
		684	30.8.6.2 各エラー発生時の対処方法: イレーズエラーの(4)以降変更	
		687	30.9.2 強制イレーズ機能: ROMCRビットに関する記載を追加	
		687	30.9.3 標準シリアル入出力モード禁止機能: ROMCRビットに関する記載を追加	
		688、690	表 30.21、表 30.23 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1、2): 「VREF」の「機能」: 説明を追加	
		690	30.9.5 標準シリアル入出力モード2: 「メインクロックを使用します」を追加	
		691	図 30.18 標準シリアル入出力モード2を使用する場合の端子処理例: 「P6_5/CLK1」を移動	
		691	30.10.1 ROMコードプロテクト機能: ROMCRビットに関する記載を追加	
		692	30.11.1 OFS1番地、IDコード格納番地: 追加	
		693	30.11.3.2 CPU書き換えモードの選択: •「NMI端子に“L”を入力」を「NMI端子に“H”を入力」に変更 •FMR60ビットに関する記述を追加	
		693	30.11.3.7 DMA転送: EWOモードに関する記述を追加	
		694	30.11.3.10 ソフトウェアコマンド: (b): 変更 (c): 括弧内、「または同じコマンドを複数回」を追加 (e): 追加	
		694	30.11.3.14 自動消去、自動書き込みの中断: リセットを詳細に記載	
		695	30.11.4.1 ユーザブートプログラム: 「ユーザブートプログラムの配置」と「標準シリアル入出力モード後のユーザブートモード起動」をまとめ、さらに内容を追加	
		電気的特性		
		696	表 31.1 絶対最大定格: Toprのフラッシュ書き込み消去時の値を領域別に記載	
		697	表 31.2 推奨動作条件 (1/3): •VCC1 ,VCC2の値をCEC使用/未使用別に記載 •VIHとVILにCECの値を追加	
		701	表 31.9 フラッシュメモリ(プログラムROM1、2)の電気的特性: 「読み出し電圧」の測定条件を追加	
		704	表 31.14 パワーオンリセット回路: •tw(por)を追加 •注1を一部追加	
		704	図31.3 パワーオンリセット回路の電気的特性: 注2を削除	
		707、725	表 31.17 電気的特性(1): VT+-VT-のヒステリシス行に「ZP, IDU, IDV, IDW」を追加	
		710、727	表 31.20 電気的特性(4): 384K版の型名を追加	
		716、733	31.2.2.7 マルチマスタI ² C-bus、31.3.2.7 マルチマスタI ² C-bus: 追加	
		717~723、734~740	表 31.34~表 31.37 メモリ拡張モード、マイクロプロセッサモード、 表 31.54~表 31.57 メモリ拡張モード、マイクロプロセッサモード: •HOLD入力セットアップ時削除 •HOLD入力ホールド時削除 •HLDA出力遅延時間削除	
		717	表 31.34 メモリ拡張モード、マイクロプロセッサモード: RDY入力セットアップ時間「30」から変更	
		718、735	図 31.13 タイミング図、図 31.26 タイミング図: 下部の(Common to wait state and no wait state settings)を削除	
		725	表 31.38 電気的特性(1): •VOL、VT+-VT-にCECの値を追加 •VT+-VT-のヒステリシス行に「ZP, IDU, IDV, IDW」を追加 •IIHの下行にPower OFF時の端子電流を追加	
		726	表 31.39 電気的特性(2): フラッシュメモリプログラム中、フラッシュメモリイレーズ中の測定条件「VCC1=5.0V」より変更	

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
2.00	2011.02.07	727	表 31.40 電気的特性(3): • 384K版の型名を追加 • フラッシュメモリプログラム中、フラッシュメモリエーズ中の測定条件「VCC1=5.0V」より変更
		734	表 31.54 メモリ拡張モード、マイクロプロセッサモード: RDY入力セットアップ時間「40」から変更
		使用上の注意事項	
		32.章	32.1 OFS1番地、IDコード格納番地: 削除
		32.章	32.18.3 クロック非同期型シリアルI/O(UART)モード: 削除
		743	32.2.1 レジスタ設定時の注意事項: • リードモディファイライト命令に関する記述を追加 • 表 32.2 リードモディファイライト命令を追加
		746	32.4.1 電源立ち上がり勾配: 項目「VCC1 ≤ 3.6V」を削除
		746	図 32.2 SVCCのタイミング例 (3.6V < VCC1)、図 32.3 SVCCのタイミング例 (VCC1 ≤ 3.6V): 図 32.2 SVCCのタイミング図を条件別書き換え
		746	32.4.2 パワーオンリセット: パワーオンリセットを使用する場合の条件に「VDSSEL1 ビットを“0” (Vdet0_2)」を追加
		750	32.5.3 CPUクロック: テクニカルアップデート番号を追加
		751	32.5.5 PLL周波数シンセサイザ使用時: 追加
		753	32.6.1 CPUクロック: 2行目を追加
		753	32.6.2 ウェイトモード: • 1項目を一部追加 • 2項目を変更 • 3項目を追加
		753	32.6.3 ストップモード: • 1項目「メインクロックの発振が十分に安定するまで」→「fOCO-Sの20サイクル以上」 • 3項目を一部追加 • 4項目 変更 • 5項目 追加
		754	32.6.4 低消費電流リードモード: 3項目を追加
		754	32.6.5 スローリードモード: 追加
		755	32.7.4 HOLD を追加
		757	32.9.2 SPの設定: 「NMI割り込み」に関する記述を削除
		757	32.9.3 NMI割り込み: 箇条書きの2項目追加
		759	32.9.5 割り込み制御レジスタの変更: 書き換え
		759	32.9.6 割り込み制御レジスタを変更する命令: 追加
		761	32.11.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3): テクニカルアップデート番号を追加
		762	32.12.1.2 イベントまたはトリガ: 追加
		762	32.12.1.3 \overline{SD} 入力の影響: 追加
		765	32.13.3.2 イベント: 追加
		766	32.13.4.3 イベントまたはトリガ: 追加
		767	32.14.2 \overline{SD} 入力の影響: 「強制遮断入力」からタイトルと内容を変更
		770	32.16.1 PMCiの動作開始、停止: 最終行から3行を移動・追加
		770	32.16.2 レジスタ読み出し手順: 最終行を追加
		770	32.16.3 レジスタの書き換え: 追加
		772	32.17.2.2 送信、32.17.2.3 受信: 外部クロックレベルの説明を箇条書きに変更
		773	32.17.3.1 スタートコンディション、ストップコンディション生成: テクニカルアップデート番号を追加
		773~774	32.17.3.3 “L” レベル/“H” レベル入力電圧、“L” レベル出力電圧~32.17.3.7 スレープ時の送受信開始条件: 追加
774	32.17.4 特殊モード4 (SIMモード): • テクニカルアップデート番号を追加 • 2行目追加		
775	32.18.5 内部クロック使用時の端子の機能切り替え: テクニカルアップデート番号を追加		
779	32.20.2 CEC端子のVIH: 追加		

改訂記録		M16C/64A グループ ユーザーズマニュアル ハードウェア編	
Rev.	発行日	ページ	改訂内容
2.00	2011.02.07	780	32.21.1 アナログ入力電圧: 「VCC1 ≥ VCC2の場合」 → 「アナログ入力電圧は」
		780	32.21.2 アナログ入力選択: 項タイトルを追加
		784	32.23.1 OFS1 番地、IDコード格納番地: 追加
		785	32.23.3.2 CPU書き換えモードの選択: <ul style="list-style-type: none"> • 「NMI端子に“L”を入力」を「NMI端子に“H”を入力」に変更 • FMR60ビットに関する記述を追加
		785	32.23.3.7 DMA転送: EW0モードに関する記述を追加
		786	32.23.3.10 ソフトウェアコマンド: (b): 変更 (c): 括弧内、「または同じコマンドを複数回」を追加 (e): 追加
		786	32.23.3.14 自動消去、自動書き込みの中断: リセットを詳細に記載
		787	32.23.4.1 ユーザブートプログラム: 「ユーザブートプログラムの配置」と「標準シリアル入出力モード後のユーザブートモード起動」をまとめ、さらに内容を追加

本版で修正または追加された箇所は、「1. 本版で修正または追加された箇所」を参照してください。

M16C/64Aグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2009年2月4日 Rev.1.01
2012年3月16日 Rev.2.10

発行 ルネサスエレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

M16C/64A グループ