

M16C/5M、M16C/57 グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

M16C ファミリ / M16C/50 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/5M、M16C/57 グループでは以下のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/5M、M16C/57 グループデータシート	R01DS0019JJ0110
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください	M16C/5M、M16C/57 グループユーザーズ マニュアルハード ウェア編	本ユーザーズマニ アル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	M16C/60、M16C/20、 M16C/Tiny シリーズ ユーザーズマニュアル ソフトウェア編	RJJ09B0136
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクス ホームページに掲載されています	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

*1

シンボル
・・・

アドレス
・・・h番地

リセット後の値
・・・b

ビットシンボル	ビット名	機能	RW
・・・0	・・・ビット	b1 b0 0 0 : ・・・ 0 1 : ・・・ 1 0 : 設定しないでください 1 1 : ・・・	RW
・・・1		RW	
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b3)	予約ビット	“1”にしてください	RW
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0: ・・・ 1: ・・・	RO

*1

- 空白 : 用途に応じて“0”または“1”にしてください
- 0 : “0”にしてください
- 1 : “1”にしてください
- x : 何も配置されていないビットです

*2

- RW : 読むとビットの値が読めます。書くと有効データになります
- RO : 読むとビットの値が読めます。書いた値は無効になります
- WO : 書くと有効データになります。ビットの値は読めません (読んだ場合は不定値が読めます)
- : 何も配置されていないビットです

*3

- ・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください
- ・設定しないでください
設定した場合の動作は保証されません
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください

4. 略語および略称の説明

略語/略称	フルスペル	説明
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.2 仕様概要	2
1.3 製品一覧	8
1.4 ブロック図	12
1.5 ピン接続図	15
1.6 端子機能の説明	24
2. 中央演算処理装置	27
2.1 データレジスタ (R0、R1、R2、R3)	28
2.2 アドレスレジスタ (A0、A1)	28
2.3 フレームベースレジスタ (FB)	28
2.4 割り込みテーブルレジスタ (INTB)	28
2.5 プログラムカウンタ (PC)	28
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	28
2.7 スタティックベースレジスタ (SB)	28
2.8 フラグレジスタ (FLG)	28
2.8.1 キャリフラグ (Cフラグ)	28
2.8.2 デバッグフラグ (Dフラグ)	28
2.8.3 ゼロフラグ (Zフラグ)	28
2.8.4 サインフラグ (Sフラグ)	28
2.8.5 レジスタバンク指定フラグ (Bフラグ)	28
2.8.6 オーバフローフラグ (Oフラグ)	29
2.8.7 割り込み許可フラグ (Iフラグ)	29
2.8.8 スタックポインタ指定フラグ (Uフラグ)	29
2.8.9 プロセッサ割り込み優先レベル (IPL)	29
2.8.10 予約領域	29
3. メモリ	30
4. SFR	32
4.1 SFR	32
4.2 SFR使用上の注意事項	79
4.2.1 レジスタ設定時の注意事項	79
5. プロテクト	81
5.1 概要	81
5.2 レジスタの説明	81
5.2.1 プロテクトレジスタ (PRCR)	81
5.3 プロテクト使用上の注意事項	83

6.	リセット	84
6.1	概要	84
6.2	レジスタの説明	86
6.2.1	プロセッサモードレジスタ0 (PM0)	86
6.2.2	リセット要因判別レジスタ (RSTFR)	87
6.3	オプション機能選択領域の説明	88
6.3.1	オプション機能選択1番地 (OFS1)	88
6.4	動作説明	90
6.4.1	リセット後の状態	90
6.4.2	ハードウェアリセット	92
6.4.3	パワーオンリセット機能	93
6.4.4	電圧監視0リセット	94
6.4.5	電圧監視2リセット	94
6.4.6	発振停止検出リセット	95
6.4.7	ウォッチドッグタイマリセット	95
6.4.8	ソフトウェアリセット	95
6.5	リセット使用上の注意事項	96
6.5.1	電源立ち上がり勾配	96
6.5.2	パワーオンリセット	96
6.5.3	OSDRビット (発振停止検出リセット検出フラグ)	96
6.5.4	VCC < Vdet0の場合のハードウェアリセット	96
7.	電圧検出回路	97
7.1	概要	97
7.2	レジスタの説明	98
7.2.1	電圧検出2回路フラグレジスタ (VCR1)	99
7.2.2	電圧検出回路動作許可レジスタ (VCR2)	100
7.2.3	電圧監視機能選択レジスタ (VWCE)	101
7.2.4	電圧検出2レベル選択レジスタ (VD2LS)	102
7.2.5	電圧監視0回路制御レジスタ (VW0C)	103
7.2.6	電圧監視2回路制御レジスタ (VW2C)	104
7.3	オプション機能選択領域の説明	106
7.3.1	オプション機能選択1番地 (OFS1)	106
7.4	動作説明	107
7.4.1	デジタルフィルタ	107
7.4.2	電圧検出0回路	108
7.4.3	電圧検出2回路	110
7.5	割り込み	113
8.	クロック発生回路	114
8.1	概要	114
8.2	レジスタの説明	116

8.2.1	システムクロック制御レジスタ0 (CM0)	117
8.2.2	システムクロック制御レジスタ1 (CM1)	119
8.2.3	発振停止検出レジスタ (CM2)	121
8.2.4	周辺クロック選択レジスタ (PCLKR)	123
8.2.5	PLL制御レジスタ0 (PLC0)	124
8.2.6	プロセッサモードレジスタ2 (PM2)	125
8.2.7	40MHzオンチップオシレータ制御レジスタ0 (FRA0)	126
8.2.8	40MHzオンチップオシレータ制御レジスタ2 (FRA2)	127
8.3	クロック発生回路で生成するクロック	128
8.3.1	メインクロック	128
8.3.2	PLLクロック	129
8.3.3	fOCO40M	130
8.3.4	fOCO-F	130
8.3.5	125kHzオンチップオシレータクロック (fOCO-S)	130
8.3.6	サブクロック (fC)	131
8.4	CPUクロックと周辺機能クロック	132
8.4.1	CPUクロックとBCLK	132
8.4.2	周辺機能クロック (f1、fOCO40M、fOCO-F、fOCO-S、fC32、fC、メインクロック)	132
8.5	クロック出力機能	134
8.6	システムクロック保護機能	134
8.7	発振停止/再発振検出機能	135
8.7.1	CM27ビットが“0” (発振停止検出リセット)の場合の動作	135
8.7.2	CM27ビットが“1” (発振停止/再発振検出割り込み)の場合の動作	136
8.7.3	発振停止/再発振検出機能使用方法	137
8.8	割り込み	137
8.9	クロック発生回路使用上の注意事項	138
8.9.1	発振子を用いた発振回路	138
8.9.2	発振回路のノイズ対策	139
8.9.3	CPUクロック	140
8.9.4	発振停止/再発振検出機能	140
8.9.5	PLL周波数シンセサイザ使用時	141
9.	パワーコントロール	142
9.1	概要	142
9.2	レジスタの説明	142
9.2.1	フラッシュメモリ制御レジスタ0 (FMR0)	143
9.2.2	フラッシュメモリ制御レジスタ2 (FMR2)	144
9.3	クロック	145
9.3.1	通常動作モード	145
9.3.2	モード遷移手順	149
9.3.3	ウェイトモード	152

9.3.4	ストップモード	154
9.4	フラッシュメモリのパワーコントロール	156
9.4.1	フラッシュメモリの停止	156
9.4.2	フラッシュメモリの読み出し	157
9.5	消費電力を少なくするためのポイント	159
9.5.1	ポート	159
9.5.2	A/Dコンバータ	159
9.5.3	D/Aコンバータ	159
9.5.4	周辺機能の停止	159
9.5.5	発振駆動能力の切り替え	159
9.6	パワーコントロール使用上の注意事項	160
9.6.1	CPUクロック	160
9.6.2	ウェイトモード	160
9.6.3	ストップモード	160
9.6.4	低消費電流リードモード	161
9.6.5	スローリードモード	161
10.	プロセッサモード	162
10.1	概要	162
10.2	レジスタの説明	163
10.2.1	プロセッサモードレジスタ1 (PM1)	163
10.2.2	プログラム2領域制御レジスタ (PRG2C)	164
10.2.3	フラッシュメモリ制御レジスタ1 (FMR1)	165
10.3	ソフトウェアウェイト	166
10.4	バスホールド	166
11.	プログラマブル入出力ポート	167
11.1	概要	167
11.2	入出力ポート、端子の構成	168
11.3	レジスタの説明	176
11.3.1	$\overline{\text{NMI}}$ デジタルデバウンスレジスタ (NDDR)	177
11.3.2	P1_7 デジタルデバウンスレジスタ (P17DDR)	177
11.3.3	プルアップ制御レジスタ0 (PUR0)	178
11.3.4	プルアップ制御レジスタ1 (PUR1)	178
11.3.5	プルアップ制御レジスタ2 (PUR2)	179
11.3.6	ポート制御レジスタ (PCR)	180
11.3.7	入力しきい値選択レジスタ0 (VLT0)	181
11.3.8	入力しきい値選択レジスタ1 (VLT1)	182
11.3.9	入力しきい値選択レジスタ2 (VLT2)	183
11.3.10	端子割り当て制御レジスタ (PACR)	184
11.3.11	ポートPi レジスタ (Pi) (i=0~10)	185
11.3.12	ポートPi 方向レジスタ (PDi) (i=0~10)	186

11.4	周辺機能の入出力	187
11.4.1	周辺機能入出力とポート方向ビット	187
11.4.2	周辺機能入出力の優先順位	187
11.4.3	デジタルデバウンスフィルタ	188
11.5	未使用端子の処理	190
11.6	プログラマブル入出力ポート使用上の注意事項	192
11.6.1	端子割り当て制御	192
11.6.2	\overline{SD} 入力の影響	192
11.6.3	入力閾値電圧	192
12.	割り込み	193
12.1	概要	193
12.2	レジスタの説明	194
12.2.1	プロセッサモードレジスタ 2 (PM2)	196
12.2.2	割り込み制御レジスタ 1 (E2FIC、BCNIC/TMOSIC、DM0IC~DM3IC、KUPIC、ADIC、S0TIC/L0WIC、S1TIC、 S2TIC、S0RIC~S2RIC、S3RIC/C1WIC、TA0IC~TA4IC、TB0IC~TB5IC、S4TIC/RTCCIC、 S4RIC、C0WIC、S3TIC/C0EIC、RTCTIC/C1EIC、C0RIC、C1RIC、C0TIC、C1TIC、 C0FRIC、C1FRIC、C0FTIC、C1FTIC、ICOC0IC、ICOCH0IC、ICOC1IC/IICIC、 ICOCH1IC/SCLDAIC、ICOCH2IC~ICOCH3IC、BTIC)	197
12.2.3	割り込み制御レジスタ 2 (INT7IC/SS0IC、INT6IC/LIN0IC、INT3IC、INT5IC、INT4IC、INT0IC~INT2IC)	198
12.2.4	割り込み要因選択レジスタ 4 (IFSR4A)	200
12.2.5	割り込み要因選択レジスタ 3 (IFSR3A)	201
12.2.6	割り込み要因選択レジスタ 2 (IFSR2A)	202
12.2.7	割り込み要因選択レジスタ (IFSR)	203
12.2.8	アドレス一致割り込み許可レジスタ (AIER)	203
12.2.9	アドレス一致割り込み許可レジスタ 2 (AIER2)	204
12.2.10	アドレス一致割り込みレジスタ i (RMADi) (i=0~3)	204
12.2.11	NMI デジタルデバウンスレジスタ (NDDR)	205
12.2.12	P1_7 デジタルデバウンスレジスタ (P17DDR)	205
12.3	割り込みの分類	206
12.4	ソフトウェア割り込み	207
12.4.1	未定義命令割り込み	207
12.4.2	オーバフロー割り込み	207
12.4.3	BRK 割り込み	207
12.4.4	INT 命令割り込み	207
12.5	ハードウェア割り込み	208
12.5.1	特殊割り込み	208
12.5.2	周辺機能割り込み	208
12.6	割り込みと割り込みベクタ	209
12.6.1	固定ベクタテーブル	209
12.6.2	可変ベクタテーブル	210

12.7	割り込み制御	212
12.7.1	マスカブル割り込みの制御	212
12.7.2	割り込みシーケンス	214
12.7.3	割り込み応答時間	215
12.7.4	割り込み要求受け付け時のIPLの変化	215
12.7.5	レジスタ退避	216
12.7.6	割り込みルーチンからの復帰	217
12.7.7	割り込み優先順位	217
12.7.8	割り込み優先レベル判定回路	217
12.7.9	多重割り込み	219
12.8	$\overline{\text{INT}}$ 割り込み	219
12.9	$\overline{\text{NMI}}$ 割り込み	219
12.10	キー入力割り込み	220
12.11	アドレス一致割り込み	221
12.12	ノンマスカブル割り込み要因の判別	222
12.13	割り込み使用上の注意事項	223
12.13.1	00000h番地の読み出し	223
12.13.2	SPの設定	223
12.13.3	$\overline{\text{NMI}}$ 割り込み	223
12.13.4	割り込み要因の変更	224
12.13.5	割り込み制御レジスタの変更	225
12.13.6	割り込み制御レジスタを変更する命令	225
12.13.7	$\overline{\text{INT}}$ 割り込み	226
13.	ウォッチドッグタイマ	227
13.1	概要	227
13.2	レジスタの説明	229
13.2.1	電圧監視2回路制御レジスタ (VW2C)	230
13.2.2	カウントソース保護モードレジスタ (CSPR)	231
13.2.3	ウォッチドッグタイマリフレッシュレジスタ (WDTR)	231
13.2.4	ウォッチドッグタイマスタートレジスタ (WDTS)	232
13.2.5	ウォッチドッグタイマ制御レジスタ (WDC)	232
13.3	オプション機能選択領域	233
13.3.1	オプション機能選択1番地 (OFS1)	233
13.3.2	オプション機能選択2番地 (OFS2)	234
13.4	動作説明	235
13.4.1	リフレッシュ可能期間	235
13.4.2	カウントソース保護モード無効時	236
13.4.3	カウントソース保護モード有効時	237
13.5	割り込み	238
13.6	ウォッチドッグタイマ使用上の注意事項	239

14.	DMAC	240
14.1	概要	240
14.2	レジスタの説明	242
14.2.1	DMAi ソースポインタ (SARi) (i=0~3)	243
14.2.2	DMAi ディスティネーションポインタ (DARi) (i=0~3)	243
14.2.3	DMAi 転送カウンタ (TCRi) (i=0~3)	244
14.2.4	DMAi 制御レジスタ (DMiCON) (i=0~3)	245
14.2.5	DMAi 要因選択レジスタ (DMiSL) (i=0~3)	246
14.3	動作説明	249
14.3.1	DMA 許可	249
14.3.2	DMA 要求	249
14.3.3	転送サイクル	250
14.3.4	DMAC 転送サイクル数	252
14.3.5	単転送モード	253
14.3.6	リピート転送モード	254
14.3.7	チャンネルの優先順位とDMA 転送タイミング	255
14.4	割り込み	256
14.5	DMAC 使用上の注意事項	257
14.5.1	DMiCON レジスタのDMAE ビットへの書き込み (i=0~3)	257
14.5.2	DMA 要求要因の変更	257
15.	タイマ A	258
15.1	概要	258
15.2	レジスタの説明	261
15.2.1	周辺クロック選択レジスタ (PCLKR)	262
15.2.2	時計用プリスケアラリセットフラグ (CPSRF)	262
15.2.3	タイマ AB 分周制御レジスタ 0 (TCKDIVC0)	263
15.2.4	タイマ A カウントソース選択レジスタ i (TACSi) (i=0~2)	264
15.2.5	16 ビットパルス幅変調モード機能選択レジスタ (PWMFS)	265
15.2.6	タイマ A 波形出力機能選択レジスタ (TAPOFS)	266
15.2.7	タイマ A 出力波形変更許可レジスタ (TAOW)	267
15.2.8	タイマ Ai レジスタ (TAi) (i=0~4)	268
15.2.9	タイマ Ai-1 レジスタ (TAi1) (i=1, 2, 4)	269
15.2.10	カウント開始フラグ (TABSR)	270
15.2.11	ワンショット開始フラグ (ONSF)	271
15.2.12	トリガ選択レジスタ (TRGSR)	272
15.2.13	アップダウンフラグ (UDF)	273
15.2.14	タイマ Ai モードレジスタ (TAiMR) (i=0~4)	274
15.3	動作説明	275
15.3.1	複数モードに関わる共通事項	275
15.3.2	タイマモード	277

15.3.3	イベントカウンタモード(二相パルス信号処理を使用しない場合)	281
15.3.4	イベントカウンタモード(二相パルス信号処理を使用する場合)	285
15.3.5	ワンショットタイマモード	290
15.3.6	パルス幅変調モード(PWMモード)	294
15.3.7	プログラマブル出力モード(タイマA1、A2、A4)	299
15.4	割り込み	303
15.5	タイマA使用上の注意事項	304
15.5.1	複数モードに関わる共通事項	304
15.5.2	タイマA(タイマモード)	304
15.5.3	タイマA(イベントカウンタモード)	305
15.5.4	タイマA(ワンショットタイマモード)	305
15.5.5	タイマA(パルス幅変調モード)	305
15.5.6	タイマA(プログラマブル出力モード)	306
16.	タイマB	307
16.1	概要	307
16.2	レジスタの説明	310
16.2.1	周辺クロック選択レジスタ(PCLKR)	311
16.2.2	時計用プリスケアラセットフラグ(CPSRF)	312
16.2.3	タイマBiレジスタ(TBi)(i=0~5)	312
16.2.4	タイマBi-1レジスタ(TBi1)(i=0~5)	313
16.2.5	パルス周期/幅測定モード機能選択レジスタi(PPWFSi)(i=1, 2)	314
16.2.6	タイマBカウントソース選択レジスタi(TBCSi)(i=0~3)	315
16.2.7	タイマAB分周制御レジスタ0(TCKDIVC0)	316
16.2.8	カウント開始フラグ(TABSR) タイマB3, 4, 5カウント開始フラグ(TBSR)	317
16.2.9	タイマBiモードレジスタ(TBiMR)(i=0~5)	318
16.3	動作説明	319
16.3.1	複数モードに関わる共通事項	319
16.3.2	タイマモード	321
16.3.3	イベントカウンタモード	323
16.3.4	パルス周期測定モード、パルス幅測定モード	326
16.4	割り込み	331
16.5	タイマB使用上の注意事項	332
16.5.1	複数モードに関わる共通事項	332
16.5.2	タイマB(タイマモード)	332
16.5.3	タイマB(イベントカウンタモード)	332
16.5.4	タイマB(パルス周期測定/パルス幅測定モード)	332
17.	三相モータ制御用タイマ機能	334
17.1	概要	334
17.2	レジスタの説明	337

17.2.1	タイマB2レジスタ (TB2)	338
17.2.2	タイマAi、Ai-1レジスタ (TAi、TAi1) (i=1, 2, 4)	338
17.2.3	三相PWM制御レジスタ0 (INVC0)	339
17.2.4	三相PWM制御レジスタ1 (INVC1)	341
17.2.5	三相出力バッファレジスタi (IDBi) (i=0, 1)	343
17.2.6	短絡防止タイマ (DTT)	343
17.2.7	タイマB2割り込み発生頻度設定カウンタ (ICTB2)	344
17.2.8	タイマB2特殊モードレジスタ (TB2SC)	345
17.2.9	位置データ保持機能制御レジスタ (PDRF)	346
17.2.10	ポート機能制御レジスタ (PFCR)	347
17.2.11	三相プロテクト制御レジスタ (TPRC)	347
17.3	動作説明	348
17.3.1	複数モードに関わる共通事項	348
17.3.2	三角波変調 三相モード0	354
17.3.3	三角波変調 三相モード1	359
17.3.4	鋸波変調モード	366
17.4	割り込み	371
17.4.1	タイマB2割り込み	371
17.4.2	タイマA1、A2、A4割り込み	371
17.5	三相モータ制御用タイマ機能使用上の注意事項	372
17.5.1	タイマA、タイマB	372
17.5.2	\overline{SD} 入力の影響	372
18.	タイマS	373
18.1	概要	373
18.2	レジスタの説明	377
18.2.1	時間計測レジスタj (G1TMj) (j=0~7)	379
18.2.2	波形生成レジスタj (G1POj) (j=0~7)	379
18.2.3	波形生成制御レジスタj (G1POCRj) (j=0~7)	380
18.2.4	時間計測制御レジスタj (G1TMCRj) (j=0~7)	382
18.2.5	ベースタイマレジスタ (G1BT)	384
18.2.6	ベースタイマ制御レジスタ0 (G1BCR0)	385
18.2.7	ベースタイマ制御レジスタ1 (G1BCR1)	386
18.2.8	時間計測プリスケアラレジスタj (G1TPRj) (j=6, 7)	387
18.2.9	機能許可レジスタ (G1FE)	388
18.2.10	機能選択レジスタ (G1FS)	389
18.2.11	ベースタイマリセットレジスタ (G1BTRR)	390
18.2.12	カウントソース分周レジスタ (G1DV)	390
18.2.13	波形出力マスタ許可レジスタ (G1OER)	391
18.2.14	タイマS I/O 制御レジスタ0 (G1IOR0)	392
18.2.15	タイマS I/O 制御レジスタ1 (G1IOR1)	393

18.2.16	割り込み要求レジスタ (G1IR)	394
18.2.17	割り込み有効レジスタ0 (G1IE0)	395
18.2.18	割り込み有効レジスタ1 (G1IE1)	396
18.3	動作説明	397
18.3.1	ベースタイマ	397
18.3.2	時間計測機能	405
18.3.3	波形生成機能	409
18.3.4	入出力ポート機能選択	421
18.4	割り込み	422
18.4.1	IC/OCベースタイマ割り込み	423
18.4.2	IC/OCチャンネル0割り込み~ IC/OCチャンネル3割り込み	423
18.4.3	IC/OC割り込み0、IC/OC割り込み1	423
18.5	タイマS使用上の注意事項	424
18.5.1	レジスタアクセス	424
18.5.2	G1IRレジスタの変更	424
18.5.3	ICOCiICレジスタの変更 (i=0, 1)	426
18.5.4	BTSビットによるベースタイマリセット中の出力波形	426
18.5.5	G1P00レジスタによるベースタイマリセット中のOUTC1_0端子出力	426
18.5.6	時間測定機能選択時の割り込み要求	426
19.	タスク監視タイマ	427
19.1	概要	427
19.2	レジスタの説明	428
19.2.1	タスク監視タイマレジスタ (TMOS)	428
19.2.2	タスク監視タイマカウント開始フラグ (TMOSSR)	428
19.2.3	タスク監視タイマカウントソース選択レジスタ (TMOSCS)	429
19.2.4	タスク監視タイマプロテクトレジスタ (TMOSPR)	429
19.3	動作説明	430
19.4	割り込み	431
19.5	タスク監視タイマの注意事項	432
19.5.1	レジスタ設定	432
19.5.2	タイマの読み出し	432
20.	リアルタイムクロック	433
20.1	概要	433
20.2	レジスタの説明	435
20.2.1	リアルタイムクロック秒データレジスタ (RTCSEC)	436
20.2.2	リアルタイムクロック分データレジスタ (RTCMIN)	437
20.2.3	リアルタイムクロック時データレジスタ (RTCHR)	438
20.2.4	リアルタイムクロック日データレジスタ (RTCWK)	439
20.2.5	リアルタイムクロック制御レジスタ1 (RTCCR1)	440
20.2.6	リアルタイムクロック制御レジスタ2 (RTCCR2)	442

20.2.7	リアルタイムクロックカウントソース選択レジスタ (RTCCSR)	443
20.2.8	リアルタイムクロック秒コンペアデータレジスタ (RTCCSEC)	444
20.2.9	リアルタイムクロック分コンペアデータレジスタ (RTCCMIN)	445
20.2.10	リアルタイムクロック時コンペアデータレジスタ (RTCCHR)	446
20.3	動作説明	447
20.3.1	基本動作	447
20.3.2	コンペアモード	450
20.4	割り込み	456
20.5	リアルタイムクロック使用上の注意事項	457
20.5.1	カウント開始、停止	457
20.5.2	レジスタ設定 (時刻データ他)	457
20.5.3	レジスタ設定 (コンペアデータ)	457
20.5.4	リアルタイムクロックモードの時刻読み出し手順	458
21.	シリアルインタフェース UART _i (i=0~4)	459
21.1	概要	459
21.2	レジスタの説明	462
21.2.1	UARTクロック選択レジスタ (UCLKSEL0)	464
21.2.2	周辺クロック選択レジスタ (PCLKR)	465
21.2.3	UART _i 送受信モードレジスタ (UiMR) (i=0~4)	466
21.2.4	UART _i ビットレートレジスタ (UiBRG) (i=0~4)	467
21.2.5	UART _i 送信バッファレジスタ (UiTB) (i=0~4)	467
21.2.6	UART _i 送受信制御レジスタ0 (UiC0) (i=0~4)	468
21.2.7	UART _i 送受信制御レジスタ1 (UiC1) (i=0~4)	470
21.2.8	UART _i 受信バッファレジスタ (UiRB) (i=0~4)	471
21.2.9	UART2特殊モードレジスタ4 (U2SMR4)	473
21.2.10	UART2特殊モードレジスタ3 (U2SMR3)	475
21.2.11	UART2特殊モードレジスタ2 (U2SMR2)	476
21.2.12	UART2特殊モードレジスタ (U2SMR)	477
21.2.13	端子割り当て制御レジスタ (PACR)	478
21.3	動作説明	479
21.3.1	クロック同期形シリアルI/Oモード	479
21.3.2	クロック非同期形シリアルI/O (UART)モード	487
21.3.3	特殊モード1 (I ² Cモード) (UART2)	496
21.3.4	特殊モード2 (UART2)	512
21.3.5	特殊モード3 (IEモード) (UART2)	516
21.3.6	特殊モード4 (SIMモード) (UART2)	518
21.4	割り込み	523
21.4.1	割り込み関連レジスタ	523
21.4.2	受信割り込み	524
21.5	シリアルインタフェース UART _i (i=0~4) 使用上の注意事項	525

21.5.1	複数モードに関わる共通事項	525
21.5.2	クロック同期形シリアルI/Oモード	525
21.5.3	特殊モード (I ² Cモード)	527
21.5.4	特殊モード4 (SIMモード)	528
22.	マルチマスタI ² C-busインタフェース	529
22.1	概要	529
22.2	レジスタの説明	532
22.2.1	I2C0データシフトレジスタ (S00)	533
22.2.2	I2C0アドレスレジスタ <i>i</i> (i=0~2) (S0D0~S0D2)	534
22.2.3	I2C0制御レジスタ0 (S1D0)	535
22.2.4	I2C0クロック制御レジスタ (S20)	538
22.2.5	I2C0スタート/ストップコンディション制御レジスタ (S2D0)	540
22.2.6	I2C0制御レジスタ1 (S3D0)	541
22.2.7	I2C0制御レジスタ2 (S4D0)	545
22.2.8	I2C0ステータスレジスタ0 (S10)	547
22.2.9	I2C0ステータスレジスタ1 (S11)	552
22.3	動作説明	553
22.3.1	クロック	553
22.3.2	スタートコンディション発生方法	555
22.3.3	ストップコンディション発生方法	557
22.3.4	リスタートコンディションの発生	558
22.3.5	スタートコンディション重複防止機能	559
22.3.6	アービトレーションロスト	561
22.3.7	スタート/ストップコンディション検出	562
22.3.8	スレーブアドレス/データ送受信完了時の動作	565
22.3.9	タイムアウト検出	566
22.3.10	データ送受信例	567
22.4	割り込み	572
22.5	マルチマスタI ² C-busインタフェース使用上の注意事項	575
22.5.1	CPUクロックの制限	575
22.5.2	レジスタアクセス	575
23.	シリアルバスインタフェース	576
23.1	概要	576
23.2	レジスタの説明	576
23.2.1	SS0ビットカウンタレジスタ (SS0BR)	577
23.2.2	SS0送信データレジスタ (SS0TDR)	578
23.2.3	SS0受信データレジスタ (SS0RDR)	578
23.2.4	SS0制御レジスタH (SS0CRH)	579
23.2.5	SS0制御レジスタL (SS0CRL)	580
23.2.6	SS0モードレジスタ (SS0MR)	581

23.2.7	SS0許可レジスタ (SS0ER)	582
23.2.8	SS0ステータスレジスタ (SS0SR)	583
23.2.9	SS0モードレジスタ2 (SS0MR2)	585
23.3	動作説明	586
23.3.1	複数モードに関わる共通事項	586
23.3.2	クロック同期式シリアル通信モード	592
23.3.3	4線式シリアルバスモード	600
23.4	割り込み	609
23.5	シリアルバスインタフェース使用上の注意事項	610
23.5.1	SS0SRレジスタ	610
24.	LINモジュール	611
24.1	LINモジュール関連レジスタ	613
24.1.1	LINウェイクアップボーレート選択レジスタ (LWBR)	613
24.1.2	LINボーレートプリスケラ0レジスタ (LBRP0)	614
24.1.3	LINボーレートプリスケラ1レジスタ (LBRP1)	614
24.1.4	LINセルフテスト制御レジスタ (LSTC)	615
24.1.5	LINポートクロック制御レジスタ (LPC)	616
24.1.6	LIN0モードレジスタ (LOMD)	617
24.1.7	LIN0ブレークフィールド設定レジスタ (LOBRK)	618
24.1.8	LIN0スペース設定レジスタ (LOSPC)	619
24.1.9	LIN0ウェイクアップ設定レジスタ (LOWUP)	620
24.1.10	LIN0割り込み許可レジスタ (LOIE)	621
24.1.11	LIN0エラー検出許可レジスタ (LOEDE)	622
24.1.12	LIN0制御レジスタ (LOC)	624
24.1.13	LIN0送信制御レジスタ (L0TC)	625
24.1.14	LIN0モードステータスレジスタ (LOMST)	626
24.1.15	LIN0ステータスレジスタ (LOST)	627
24.1.16	LIN0エラーステータスレジスタ (LOEST)	629
24.1.17	LIN0レスポンスフィールド設定レジスタ (L0RFC)	631
24.1.18	LIN0 IDバッファレジスタ (LOIDB)	633
24.1.19	LIN0チェックサムバッファレジスタ (LOCB)	634
24.1.20	LIN0データnバッファレジスタ (L0DBn) (n=1~8)	635
24.2	動作モード	636
24.2.1	LINリセットモード	637
24.2.2	LIN動作モード	637
24.2.3	LINウェイクアップモード	637
24.2.4	LINセルフテストモード	637
24.3	動作概要	638
24.3.1	ヘッダ送信	638
24.3.2	レスポンス送信	639

24.3.3	レスポンス受信	640
24.4	ボーレートジェネレータ	641
24.5	データ送信/受信	643
24.5.1	データ送信	643
24.5.2	データ受信	644
24.6	送信/受信データのバッファ処理	645
24.6.1	LINフレームの送信	645
24.6.2	LINフレームの受信	646
24.7	ウェイクアップ送信/受信	647
24.7.1	ウェイクアップ送信動作	647
24.7.2	ウェイクアップ受信動作	647
24.7.3	ウェイクアップ受信を用いた低消費電力モード制御	649
24.7.4	ウェイクアップ衝突	650
24.8	ステータス	651
24.9	エラーステータス	652
24.9.1	エラーステータスの種類	652
24.9.2	LINエラー検出の対象時間領域	653
24.10	割り込み	654
24.11	LINセルフテストモード	655
24.11.1	LINセルフテストモードへの遷移	656
24.11.2	LINセルフテストモードにおける送信	656
24.11.3	LINセルフテストモードにおける受信	657
24.11.4	LINセルフテストモード終了	657
24.12	LINモジュール使用上の注意事項	658
24.12.1	SD入力の影響	658
25.	CANモジュール	659
25.1	CAN SFR	662
25.1.1	CANi制御レジスタ (CiCTRL) (i=0, 1)	663
25.1.2	CANiクロック選択レジスタ (CiCLKR) (i=0, 1)	667
25.1.3	CANiビットコンフィグレーションレジスタ (CiBCR) (i=0, 1)	668
25.1.4	CANiマスクレジスタ k (CiMKRk) (i=0, 1, k=0~7)	670
25.1.5	CANi FIFO受信ID比較レジスタ n (CiFIDCR0, CiFIDCR1) (i=0, 1, n=0, 1)	671
25.1.6	CANiマスク無効レジスタ (CiMKIVLR) (i=0, 1)	673
25.1.7	CANiメールボックスレジスタ j (CiMBj) (i=0, 1, j=0~31)	674
25.1.8	CANiメールボックス割り込み許可レジスタ (CiMIER) (i=0, 1)	678
25.1.9	CANiメッセージ制御レジスタ j (CiMCTLj) (i=0, 1, j=0~31)	679
25.1.10	CANi受信FIFO制御レジスタ (CiRFCR) (i=0, 1)	683
25.1.11	CANi受信FIFOポインタ制御レジスタ (CiRFPCR) (i=0, 1)	686
25.1.12	CANi送信FIFO制御レジスタ (CiTFCR) (i=0, 1)	687
25.1.13	CANi送信FIFOポインタ制御レジスタ (CiTFPCR) (i=0, 1)	689

25.1.14	CANiステータスレジスタ (CiSTR) (i=0, 1)	690
25.1.15	CANiメールボックスサーチモードレジスタ (CiMSMR) (i=0, 1)	693
25.1.16	CANiメールボックスサーチステータスレジスタ (CiMSSR) (i=0, 1)	694
25.1.17	CANiチャンネルサーチサポートレジスタ (CiCSSR) (i=0, 1)	696
25.1.18	CANiアクセプタンスフィルタサポートレジスタ (CiAFSR) (i=0, 1)	697
25.1.19	CANiエラー割り込み許可レジスタ (CiEIER) (i=0, 1)	698
25.1.20	CANiエラー割り込み要因判定レジスタ (CiEIFR) (i=0, 1)	700
25.1.21	CANi受信エラーカウントレジスタ (CiRECR) (i=0, 1)	703
25.1.22	CANi送信エラーカウントレジスタ (CiTECR) (i=0, 1)	704
25.1.23	CANiエラーコード格納レジスタ (CiECSR) (i=0, 1)	705
25.1.24	CANiタイムスタンプレジスタ (CiTSR) (i=0, 1)	707
25.1.25	CANiテスト制御レジスタ (CiTCR) (i=0, 1)	708
25.2	動作モード	711
25.2.1	CANリセットモード	712
25.2.2	CAN Halt モード	713
25.2.3	CANスリープモード	714
25.2.4	CANオペレーション モード(バスオフ状態以外)	715
25.2.5	CANオペレーションモード(バスオフ状態)	716
25.3	CAN通信速度の設定	717
25.3.1	CANクロックの設定	717
25.3.2	ビットタイミングの設定	717
25.3.3	ビットレート	718
25.4	メールボックスとマスクレジスタの構成	719
25.5	アクセプタンスフィルタ処理とマスク機能	721
25.6	受信、送信	724
25.6.1	受信	725
25.6.2	送信	727
25.7	CAN割り込み	728
26.	A/Dコンバータ	729
26.1	概要	729
26.2	レジスタの説明	731
26.2.1	断線検知アシスト機能レジスタ (AINRST)	732
26.2.2	A/D レジスタ i (ADi) (i=0~7)	733
26.2.3	A/D 制御レジスタ 2 (ADCON2)	734
26.2.4	A/D 制御レジスタ 0 (ADCON0)	735
26.2.5	A/D 制御レジスタ 1 (ADCON1)	737
26.3	動作説明	738
26.3.1	A/D 変換サイクル数	738
26.3.2	A/D 変換開始条件	740
26.3.3	A/D 変換結果	741

26.3.4	消費電流低減機能	741
26.3.5	A/D断線検出アシスト機能	741
26.4	動作モード	743
26.4.1	単発モード	743
26.4.2	繰り返しモード	745
26.4.3	単掃引モード	747
26.4.4	繰り返し掃引モード0	749
26.5	外部センサ	751
26.6	割り込み	752
26.7	A/Dコンバータ使用上の注意事項	753
26.7.1	アナログ入力選択	753
26.7.2	端子の処理	753
26.7.3	レジスタアクセス	753
26.7.4	A/D変換開始	753
26.7.5	A/D動作モードの変更	753
26.7.6	強制終了時の状態	754
26.7.7	A/D断線検出アシスト機能	754
26.7.8	A/D変換終了の検出方法	754
26.7.9	ϕ AD	754
27.	D/Aコンバータ	755
27.1	概要	755
27.2	レジスタの説明	755
27.2.1	D/A0レジスタ (DA0)	756
27.2.2	D/A制御レジスタ (DACON)	756
27.3	動作説明	757
27.4	D/Aコンバータ使用上の注意事項	758
27.4.1	D/Aコンバータを使用しない場合	758
28.	CRC演算回路	759
28.1	概要	759
28.2	レジスタの説明	760
28.2.1	SFR監視アドレスレジスタ (CRCSAR)	760
28.2.2	CRCモードレジスタ (CRCMR)	761
28.2.3	CRCデータレジスタ (CRCD)	761
28.2.4	CRCインプットレジスタ (CRCIN)	761
28.3	動作説明	762
28.3.1	基本動作	762
28.3.2	SFRアクセス監視機能	762
29.	フラッシュメモリ	765
29.1	概要	765

29.2	メモリ配置	767
29.3	レジスタの説明	768
29.3.1	フラッシュメモリ制御レジスタ0 (FMR0)	768
29.3.2	フラッシュメモリ制御レジスタ1 (FMR1)	771
29.3.3	フラッシュメモリ制御レジスタ2 (FMR2)	772
29.3.4	フラッシュメモリ制御レジスタ3 (FMR3)	773
29.3.5	フラッシュメモリ制御レジスタ6 (FMR6)	774
29.4	オプション機能選択領域の説明	775
29.4.1	オプション機能選択1番地 (OFS1)	776
29.4.2	オプション機能選択2番地 (OFS2)	777
29.5	フラッシュメモリ書き換え禁止機能	778
29.6	ブートモード	778
29.7	ユーザブートモード	778
29.7.1	ユーザブート機能	778
29.8	CPU書き換えモード	782
29.8.1	EW0モード	783
29.8.2	EW1モード	789
29.8.3	動作速度	795
29.8.4	データ保護機能	795
29.8.5	サスペンド機能	796
29.8.6	ソフトウェアコマンド	798
29.8.7	ステータスレジスタ	805
29.9	標準シリアル入出力モード	808
29.9.1	IDコードチェック機能	809
29.9.2	強制イレーズ機能	810
29.9.3	標準シリアル入出力モード禁止機能	810
29.9.4	標準シリアル入出力モード1	811
29.9.5	標準シリアル入出力モード2	813
29.10	パラレル入出力モード	814
29.10.1	ROMコードプロテクト機能	814
29.11	フラッシュメモリ使用上の注意事項	815
29.11.1	OFS1番地、OFS2番地、IDコード格納番地	815
29.11.2	データフラッシュの読み出し	815
29.11.3	CPU書き換えモード	816
29.11.4	ユーザブート	818
30.	E ² PROMエミュレーションデータフラッシュ	819
30.1	概要	819
30.2	レジスタの説明	820
30.2.1	E2データフラッシュアドレスレジスタ (E2FA)	821
30.2.2	E2データフラッシュ命令レジスタ (E2FI)	821

30.2.3	E2データフラッシュデータレジスタ (E2FD)	822
30.2.4	E2データフラッシュモードレジスタ (E2FM)	823
30.2.5	E2データフラッシュ制御レジスタ (E2FC)	824
30.2.6	E2データフラッシュステータスレジスタ1 (E2FS1)	824
30.2.7	E2データフラッシュステータスレジスタ0 (E2FS0)	825
30.3	ブロック構成	826
30.4	オペレーション	827
30.5	フルステータスチェック	830
30.5.1	各エラー発生時の対処方法	830
30.6	割り込み	831
30.7	E ² PROMエミュレーションデータフラッシュ使用上の注意事項	832
30.7.1	CPU書き換えモードとの関係	832
30.7.2	書き換え時のCPUクロック	832
30.7.3	クロック遷移	832
31.	電気的特性	833
31.1	電気的特性(Jバージョン、5V、3V共通)	833
31.1.1	絶対最大定格	833
31.1.2	推奨動作条件	834
31.1.3	A/D変換特性	836
31.1.4	D/A変換特性	837
31.1.5	フラッシュメモリの電気的特性	838
31.1.6	E ² PROMエミュレーションデータフラッシュの電気的特性	841
31.1.7	電圧検出回路、電源回路の電気的特性	842
31.1.8	発振回路の電気的特性	844
31.2	電気的特性(Jバージョン、V _{CC} =5V)	845
31.2.1	電気的特性	845
31.2.2	タイミング必要条件(周辺機能、他)	847
31.3	電気的特性(Jバージョン、V _{CC} =3V)	858
31.3.1	電気的特性	858
31.3.2	タイミング必要条件(周辺機能、他)	860
31.4	電気的特性(Kバージョン、5V、3V共通)	871
31.4.1	絶対最大定格	871
31.4.2	推奨動作条件	872
31.4.3	A/D変換特性	874
31.4.4	D/A変換特性	875
31.4.5	フラッシュメモリの電気的特性	876
31.4.6	E ² PROMエミュレーションデータフラッシュの電気的特性	879
31.4.7	電圧検出回路、電源回路の電気的特性	880
31.4.8	発振回路の電気的特性	882
31.5	電気的特性(Kバージョン、V _{CC} =5V)	883

31.5.1	電气的特性	883
31.5.2	タイミング必要条件(周辺機能、他)	885
31.6	電气的特性(Kバージョン、 $V_{CC}=3V$)	896
31.6.1	電气的特性	896
31.6.2	タイミング必要条件(周辺機能、他)	898
32.	使用上の注意事項	909
32.1	ノイズに関する注意事項	909
32.2	SFR使用上の注意事項	910
32.2.1	レジスタ設定時の注意事項	910
32.3	プロテクト使用上の注意事項	912
32.4	リセット使用上の注意事項	913
32.4.1	電源立ち上がり勾配	913
32.4.2	パワーオンリセット	913
32.4.3	OSDRビット(発振停止検出リセット検出フラグ)	913
32.4.4	$V_{CC} < V_{det0}$ の場合のハードウェアリセット	913
32.5	クロック発生回路使用上の注意事項	914
32.5.1	発振子を用いた発振回路	914
32.5.2	発振回路のノイズ対策	915
32.5.3	CPUクロック	916
32.5.4	発振停止/再発振検出機能	916
32.5.5	PLL周波数シンセサイザ使用時	917
32.6	パワーコントロール使用上の注意事項	918
32.6.1	CPUクロック	918
32.6.2	ウェイトモード	918
32.6.3	ストップモード	918
32.6.4	低消費電流リードモード	919
32.6.5	スローリードモード	919
32.7	プログラマブル入出力ポート使用上の注意事項	920
32.7.1	端子割り当て制御	920
32.7.2	\overline{SD} 入力の影響	920
32.7.3	入力閾値電圧	920
32.8	割り込み使用上の注意事項	921
32.8.1	0000h番地の読み出し	921
32.8.2	SPの設定	921
32.8.3	\overline{NMI} 割り込み	921
32.8.4	割り込み要因の変更	922
32.8.5	割り込み制御レジスタの変更	923
32.8.6	割り込み制御レジスタを変更する命令	923
32.8.7	\overline{INT} 割り込み	924
32.9	ウォッチドッグタイマ使用上の注意事項	925

32.10	DMAC使用上の注意事項	926
32.10.1	DMiCONレジスタのDMAEビットへの書き込み(i=0~3)	926
32.10.2	DMA要求要因の変更	926
32.11	タイマA使用上の注意事項	927
32.11.1	複数モードに関わる共通事項	927
32.11.2	タイマA(タイマモード)	927
32.11.3	タイマA(イベントカウンタモード)	928
32.11.4	タイマA(ワンショットタイマモード)	928
32.11.5	タイマA(パルス幅変調モード)	928
32.11.6	タイマA(プログラマブル出力モード)	929
32.12	タイマB使用上の注意事項	930
32.12.1	複数モードに関わる共通事項	930
32.12.2	タイマB(タイマモード)	930
32.12.3	タイマB(イベントカウンタモード)	930
32.12.4	タイマB(パルス周期測定/パルス幅測定モード)	930
32.13	三相モータ制御用タイマ機能使用上の注意事項	932
32.13.1	タイマA、タイマB	932
32.13.2	\overline{SD} 入力の影響	932
32.14	タイマS使用上の注意事項	933
32.14.1	レジスタアクセス	933
32.14.2	G1IRレジスタの変更	933
32.14.3	ICOCiICレジスタの変更(i=0, 1)	935
32.14.4	BTSビットによるベースタイマリセット中の出力波形	935
32.14.5	G1PO0レジスタによるベースタイマリセット中のOUTC1_0端子出力	935
32.14.6	時間測定機能選択時の割り込み要求	935
32.15	タスク監視タイマの注意事項	936
32.15.1	レジスタ設定	936
32.15.2	タイマの読み出し	936
32.16	リアルタイムクロック使用上の注意事項	937
32.16.1	カウント開始、停止	937
32.16.2	レジスタ設定(時刻データ他)	937
32.16.3	レジスタ設定(コンペアデータ)	937
32.16.4	リアルタイムクロックモードの時刻読み出し手順	938
32.17	シリアルインタフェースUARTi(i=0~4)使用上の注意事項	939
32.17.1	複数モードに関わる共通事項	939
32.17.2	クロック同期形シリアルI/Oモード	939
32.17.3	特殊モード(I ² Cモード)	941
32.17.4	特殊モード4(SIMモード)	942
32.18	マルチマスタI ² C-busインタフェース使用上の注意事項	943
32.18.1	CPUクロックの制限	943
32.18.2	レジスタアクセス	943

32.19	シリアルバスインタフェース使用上の注意事項	944
32.19.1	SS0SRレジスタ	944
32.20	LINモジュール使用上の注意事項	945
32.20.1	\overline{SD} 入力の影響	945
32.21	CANモジュール使用上の注意事項	946
32.22	A/Dコンバータ使用上の注意事項	947
32.22.1	アナログ入力選択	947
32.22.2	端子の処理	947
32.22.3	レジスタアクセス	947
32.22.4	A/D変換開始	947
32.22.5	A/D動作モードの変更	948
32.22.6	強制終了時の状態	948
32.22.7	A/D断線検出アシスト機能	948
32.22.8	A/D変換終了の検出方法	948
32.22.9	ϕAD	948
32.23	D/Aコンバータ使用上の注意事項	949
32.23.1	D/Aコンバータを使用しない場合	949
32.24	フラッシュメモリ使用上の注意事項	950
32.24.1	OFS1番地、OFS2番地、IDコード格納番地	950
32.24.2	データフラッシュの読み出し	950
32.24.3	CPU書き換えモード	951
32.24.4	ユーザブート	953
32.25	E ² PROMエミュレーションデータフラッシュ使用上の注意事項	954
32.25.1	CPU書き換えモードとの関係	954
32.25.2	書き換え時のCPUクロック	954
32.25.3	クロック遷移	954
索引	955

番地別ページ早見表

掲載ページは1箇所だけ示しています。詳細は索引を参照してください

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	86
0005h	プロセッサモードレジスタ1	PM1	163
0006h	システムクロック制御レジスタ0	CM0	117
0007h	システムクロック制御レジスタ1	CM1	119
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	81
000Bh			
000Ch	発振停止検出レジスタ	CM2	121
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	164
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	123
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	262
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	87
0019h	電圧検出2回路フラグレジスタ	VCR1	99
001Ah	電圧検出回路動作許可レジスタ	VCR2	100
001Bh			
001Ch	PLL制御レジスタ0	PLC0	124
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	125
001Fh			
0020h			
0021h			
0022h	40MHzオンチップオシレータ制御レジスタ0	FRA0	126
0023h			
0024h	40MHzオンチップオシレータ制御レジスタ2	FRA2	127
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	101
0027h			
0028h	電圧検出2レベル選択レジスタ	VD2LS	102
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	103
002Bh			
002Ch	電圧監視2回路制御レジスタ	VW2C	104
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			

番地	レジスタ	シンボル	掲載ページ
0041h	E ² データフラッシュ割り込み制御レジスタ	E2FIC	197
0042h	INT7割り込み制御レジスタ、シリアルバスインタフェース0割り込み制御レジスタ	INT7IC、SS0IC	198
0043h	INT6割り込み制御レジスタ、LINO割り込み制御レジスタ	INT6IC、LINOIC	198
0044h	INT3割り込み制御レジスタ	INT3IC	198
0045h	タイマB5割り込み制御レジスタ	TB5IC	197
0046h	タイマB4割り込み制御レジスタ	TB4IC	197
0047h	タイマB3割り込み制御レジスタ	TB3IC	197
0048h	INT5割り込み制御レジスタ	INT5IC	198
0049h	INT4割り込み制御レジスタ	INT4IC	198
004Ah	UART2バス衝突検出割り込み制御レジスタ、タスク監視タイマ割り込み制御レジスタ	BCNIC、TMOSIC	197
004Bh	DMA0割り込み制御レジスタ	DM0IC	197
004Ch	DMA1割り込み制御レジスタ	DM1IC	197
004Dh	キー入力割り込み制御レジスタ	KUPIC	197
004Eh	A/D変換割り込み制御レジスタ	ADIC	197
004Fh	UART2送信割り込み制御レジスタ	S2TIC	197
0050h	UART2受信割り込み制御レジスタ	S2RIC	197
0051h	UART0送信割り込み制御レジスタ、LINO"L"検出割り込み制御レジスタ	S0TIC、LOWIC	197
0052h	UART0受信割り込み制御レジスタ	S0RIC	197
0053h	UART1送信割り込み制御レジスタ	S1TIC	197
0054h	UART1受信割り込み制御レジスタ	S1RIC	197
0055h	タイマA0割り込み制御レジスタ	TA0IC	197
0056h	タイマA1割り込み制御レジスタ	TA1IC	197
0057h	タイマA2割り込み制御レジスタ	TA2IC	197
0058h	タイマA3割り込み制御レジスタ	TA3IC	197
0059h	タイマA4割り込み制御レジスタ	TA4IC	197
005Ah	タイマB0割り込み制御レジスタ	TB0IC	197
005Bh	タイマB1割り込み制御レジスタ	TB1IC	197
005Ch	タイマB2割り込み制御レジスタ	TB2IC	197
005Dh	INT0割り込み制御レジスタ	INT0IC	198
005Eh	INT1割り込み制御レジスタ	INT1IC	198
005Fh	INT2割り込み制御レジスタ	INT2IC	198
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	197
006Ah	DMA3割り込み制御レジスタ	DM3IC	197
006Bh	CAN1受信完了割り込み制御レジスタ	C1RIC	197
006Ch	CAN1送信完了割り込み制御レジスタ	C1TIC	197
006Dh	CAN1受信FIFO割り込み制御レジスタ	C1FRIC	197
006Eh	CAN1送信FIFO割り込み制御レジスタ	C1FTIC	197
006Fh	UART4送信割り込み制御レジスタ、リアルタイムクロックコンペア割り込み制御レジスタ	S4TIC、RTCCIC	197
0070h	UART4受信割り込み制御レジスタ	S4RIC	197
0071h	CAN0ウェイクアップ割り込み制御レジスタ	C0WIC	197
0072h	UART3送信割り込み制御レジスタ、CAN0エラー割り込み制御レジスタ	S3TIC、C0EIC	197
0073h	UART3受信割り込み制御レジスタ、CAN1ウェイクアップ割り込み制御レジスタ	S3RIC、C1WIC	197
0074h	リアルタイムクロック周期割り込み制御レジスタ、CAN1エラー割り込み制御レジスタ	RTCTIC、C1EIC	197
0075h	CAN0受信完了割り込み制御レジスタ	C0RIC	197
0076h	CAN0送信完了割り込み制御レジスタ	C0TIC	197
0077h	CAN0受信FIFO割り込み制御レジスタ	C0FRIC	197
0078h	CAN0送信FIFO割り込み制御レジスタ	C0FTIC	197
0079h	IC/OC割り込み0制御レジスタ	ICOC0IC	197
007Ah	IC/OCチャネル0割り込み制御レジスタ	ICOC0IC	197
007Bh	IC/OC割り込み1制御レジスタ、I2C-busインタフェース割り込み制御レジスタ	ICOC1IC、IICIC	197
007Ch	SCL/SDA割り込み制御レジスタ、IC/OCチャネル1割り込み制御レジスタ	SCLDAIC、ICOC1IC	197

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
007Dh	IC/OCチャネル2割り込み制御レジスタ	ICCOCH2IC	197
007Eh	IC/OCチャネル3割り込み制御レジスタ	ICCOCH3IC	197
007Fh	IC/OCベースタイム割り込み制御レジスタ	BTIC	197
0080h	E ² データフラッシュアドレスレジスタ	E2FA	821
0081h			
0082h			
0083h			
0084h			
0085h			
0085h			
0086h			
0087h			
0088h	E ² データフラッシュ命令レジスタ	E2FI	821
0089h			
008Ah			
008Bh			
008Ch	E ² データフラッシュデータレジスタ	E2FD	822
008Dh			
008Eh			
008Fh			
0090h	E ² データフラッシュモードレジスタ	E2FM	823
0091h			
0092h	E ² データフラッシュ制御レジスタ	E2FC	824
0093h			
0094h	E ² データフラッシュステータスレジスタ1	E2FS1	824
0095h~009Fh			
00A0h			
00A1h	E ² データフラッシュステータスレジスタ0	E2FS0	825
00A2h~0160h			
0161h	LINウェイクアップポーレート選択レジスタ	LWBR	613
0162h	LINポーレートプリスケアラ0レジスタ	LBRP0	614
0163h	LINポーレートプリスケアラ1レジスタ	LBRP1	614
0164h	LINセルフテスト制御レジスタ	LSTC	615
0165h	LINポートクロック制御レジスタ	LPC	616
0166h			
0167h			
0168h	LINOモードレジスタ	L0MD	617
0169h	LINOブレークフィールド設定レジスタ	LOBRK	618
016Ah	LINOスペース設定レジスタ	L0SPC	619
016Bh	LINOウェイクアップ設定レジスタ	LOWUP	620
016Ch	LINO割り込み許可レジスタ	LOIE	621
016Dh	LINOエラー検出許可レジスタ	LOEDE	622
016Eh	LINO制御レジスタ	LOC	624
016Fh			
0170h	LINO送信制御レジスタ	L0TC	625
0171h	LINOモードステータスレジスタ	L0MST	626
0172h	LINOステータスレジスタ	L0ST	627
0173h	LINOエラーステータスレジスタ	L0EST	629
0174h	LINOレスポンスフィールド設定レジスタ	L0RFC	631
0175h	LINO IDバッファレジスタ	L0IDB	633
0176h	LINOチェックサムバッファレジスタ	L0CB	634
0177h			
0178h	LINOデータ1バッファレジスタ	L0DB1	635
0179h	LINOデータ2バッファレジスタ	L0DB2	635
017Ah	LINOデータ3バッファレジスタ	L0DB3	635
017Bh	LINOデータ4バッファレジスタ	L0DB4	635
017Ch	LINOデータ5バッファレジスタ	L0DB5	635
017Dh	LINOデータ6バッファレジスタ	L0DB6	635
017Eh	LINOデータ7バッファレジスタ	L0DB7	635
017Fh	LINOデータ8バッファレジスタ	L0DB8	635

番地	レジスタ	シンボル	掲載ページ
0180h	DMA0ソースポインタ	SAR0	243
0181h			
0182h			
0183h			
0184h	DMA0ディスティネーションポインタ	DAR0	243
0185h			
0186h			
0187h			
0188h	DMA0転送カウンタ	TCR0	244
0189h			
018Ah			
018Bh			
018Ch	DMA0制御レジスタ	DM0CON	245
018Dh			
018Eh			
018Fh			
0190h	DMA1ソースポインタ	SAR1	243
0191h			
0192h			
0193h			
0194h	DMA1ディスティネーションポインタ	DAR1	243
0195h			
0196h			
0197h			
0198h	DMA1転送カウンタ	TCR1	244
0199h			
019Ah			
019Bh			
019Ch	DMA1制御レジスタ	DM1CON	245
019Dh			
019Eh			
019Fh			
01A0h	DMA2ソースポインタ	SAR2	243
01A1h			
01A2h			
01A3h			
01A4h	DMA2ディスティネーションポインタ	DAR2	243
01A5h			
01A6h			
01A7h			
01A8h	DMA2転送カウンタ	TCR2	244
01A9h			
01AAh			
01ABh			
01ACh	DMA2制御レジスタ	DM2CON	245
01ADh			
01AEh			
01AFh			
01B0h	DMA3ソースポインタ	SAR3	243
01B1h			
01B2h			
01B3h			
01B4h	DMA3ディスティネーションポインタ	DAR3	243
01B5h			
01B6h			
01B7h			
01B8h	DMA3転送カウンタ	TCR3	244
01B9h			
01BAh			
01BBh			
01BCh	DMA3制御レジスタ	DM3CON	245
01BDh			
01BEh			
01BFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01C0h	タイマB0-1レジスタ	TB01	313
01C1h			
01C2h	タイマB1-1レジスタ	TB11	313
01C3h			
01C4h	タイマB2-1レジスタ	TB21	313
01C5h			
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	314
01C7h			
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	315
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	315
01CAh			
01CBh	タイマAB分周制御レジスタ0	TCKDIVC0	263
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ0	TACS0	264
01D1h	タイマAカウントソース選択レジスタ1	TACS1	264
01D2h	タイマAカウントソース選択レジスタ2	TACS2	264
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	265
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	266
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	267
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	347
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	タイマB3-1レジスタ	TB31	313
01E1h			
01E2h	タイマB4-1レジスタ	TB41	313
01E3h			
01E4h	タイマB5-1レジスタ	TB51	313
01E5h			
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	314
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	315
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	315
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	タスク監視タイマレジスタ	TMOS	428
01F1h			
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	428
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	429
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	429
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			

番地	レジスタ	シンボル	掲載ページ
0200h			
0201h			
0202h			
0203h			
0204h	割り込み要因選択レジスタ4	IFSR4A	200
0205h	割り込み要因選択レジスタ3	IFSR3A	201
0206h	割り込み要因選択レジスタ2	IFSR2A	202
0207h	割り込み要因選択レジスタ	IFSR	203
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	203
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	204
0210h	アドレス一致割り込みレジスタ0	RMAD0	204
0211h			
0212h			
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	204
0215h			
0216h			
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	204
0219h			
021Ah			
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	204
021Dh			
021Eh			
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	768
0221h	フラッシュメモリ制御レジスタ1	FMR1	771
0222h	フラッシュメモリ制御レジスタ2	FMR2	144
0223h	フラッシュメモリ制御レジスタ3	FMR3	773
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	774
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0244h			
0245h			
0246h			
0247h			
0248h	UART0送受信モードレジスタ	U0MR	466
0249h	UART0ビットレートレジスタ	U0BRG	467
024Ah	UART0送信バッファレジスタ	U0TB	467
024Bh			
024Ch	UART0送受信制御レジスタ0	U0C0	468
024Dh	UART0送受信制御レジスタ1	U0C1	470
024Eh	UART0受信バッファレジスタ	U0RB	471
024Fh			
0250h			
0251h			
0252h	UARTクロック選択レジスタ	UCLKSEL0	464
0253h			
0254h			
0255h			
0256h			
0257h			
0258h	UART1送受信モードレジスタ	U1MR	466
0259h	UART1ビットレートレジスタ	U1BRG	467
025Ah	UART1送信バッファレジスタ	U1TB	467
025Bh			
025Ch	UART1送受信制御レジスタ0	U1C0	468
025Dh	UART1送受信制御レジスタ1	U1C1	470
025Eh	UART1受信バッファレジスタ	U1RB	471
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	473
0265h	UART2特殊モードレジスタ3	U2SMR3	475
0266h	UART2特殊モードレジスタ2	U2SMR2	476
0267h	UART2特殊モードレジスタ	U2SMR	477
0268h	UART2送受信モードレジスタ	U2MR	466
0269h	UART2ビットレートレジスタ	U2BRG	467
026Ah	UART2送信バッファレジスタ	U2TB	467
026Bh			
026Ch	UART2送受信制御レジスタ0	U2C0	468
026Dh	UART2送受信制御レジスタ1	U2C1	470
026Eh	UART2受信バッファレジスタ	U2RB	471
026Fh			
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			

番地	レジスタ	シンボル	掲載ページ
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h	UART4送受信モードレジスタ	U4MR	466
0299h	UART4ビットレートレジスタ	U4BRG	467
029Ah	UART4送信バッファレジスタ	U4TB	467
029Bh			
029Ch	UART4送受信制御レジスタ0	U4C0	468
029Dh	UART4送受信制御レジスタ1	U4C1	470
029Eh	UART4受信バッファレジスタ	U4RB	471
029Fh			
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h	UART3送受信モードレジスタ	U3MR	466
02A9h	UART3ビットレートレジスタ	U3BRG	467
02AAh	UART3送信バッファレジスタ	U3TB	467
02ABh			
02ACh	UART3送受信制御レジスタ0	U3C0	468
02ADh	UART3送受信制御レジスタ1	U3C1	470
02AEh	UART3受信バッファレジスタ	U3RB	471
02AFh			
02B0h	I2C0データシフトレジスタ	S00	533
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	534
02B3h	I2C0制御レジスタ0	S1D0	535
02B4h	I2C0クロック制御レジスタ	S20	538
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	540
02B6h	I2C0制御レジスタ1	S3D0	541
02B7h	I2C0制御レジスタ2	S4D0	545
02B8h	I2C0ステータスレジスタ0	S10	547
02B9h	I2C0ステータスレジスタ1	S11	552
02BAh	I2C0アドレスレジスタ1	S0D1	534
02BBh	I2C0アドレスレジスタ2	S0D2	534
02BCh			
02BDh			
02BEh			
02BFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0、G1PO0	379
02C1h			
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1、G1PO1	379
02C3h			
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2、G1PO2	379
02C5h			
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3、G1PO3	379
02C7h			
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4、G1PO4	379
02C9h			
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5、G1PO5	379
02CBh			
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6、G1PO6	379
02CDh			
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7、G1PO7	379
02CFh			
02D0h	波形生成制御レジスタ0	G1POCR0	380
02D1h	波形生成制御レジスタ1	G1POCR1	380
02D2h	波形生成制御レジスタ2	G1POCR2	380
02D3h	波形生成制御レジスタ3	G1POCR3	380
02D4h	波形生成制御レジスタ4	G1POCR4	380
02D5h	波形生成制御レジスタ5	G1POCR5	380
02D6h	波形生成制御レジスタ6	G1POCR6	380
02D7h	波形生成制御レジスタ7	G1POCR7	380
02D8h	時間計測制御レジスタ0	G1TMCR0	382
02D9h	時間計測制御レジスタ1	G1TMCR1	382
02DAh	時間計測制御レジスタ2	G1TMCR2	382
02DBh	時間計測制御レジスタ3	G1TMCR3	382
02DCh	時間計測制御レジスタ4	G1TMCR4	382
02DDh	時間計測制御レジスタ5	G1TMCR5	382
02DEh	時間計測制御レジスタ6	G1TMCR6	382
02DFh	時間計測制御レジスタ7	G1TMCR7	382
02E0h	ベースタイマレジスタ	G1BT	384
02E1h			
02E2h	ベースタイマ制御レジスタ0	G1BCR0	385
02E3h	ベースタイマ制御レジスタ1	G1BCR1	386
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	387
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	387
02E6h	機能許可レジスタ	G1FE	388
02E7h	機能選択レジスタ	G1FS	389
02E8h	ベースタイマリセットレジスタ	G1BTRR	390
02E9h			
02EAh	カウントソース分周レジスタ	G1DV	390
02EBh			
02ECh	波形出力マスタ許可レジスタ	G1OER	391
02EDh			
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	392
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	393
02F0h	割り込み要求レジスタ	G1IR	394
02F1h	割り込み有効レジスタ0	G1IE0	395
02F2h	割り込み有効レジスタ1	G1IE1	396
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh	NMI デジタルデバウンスレジスタ	NDDR	205
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	205

番地	レジスタ	シンボル	掲載ページ
0300h	タイマB3、4、5カウント開始フラグ	TBSR	317
0301h			
0302h	タイマA1-1レジスタ	TA11	269
0303h			
0304h	タイマA2-1レジスタ	TA21	269
0305h			
0306h	タイマA4-1レジスタ	TA41	269
0307h			
0308h	三相PWM制御レジスタ0	INVC0	339
0309h	三相PWM制御レジスタ1	INVC1	341
030Ah	三相出力バッファレジスタ0	IDB0	343
030Bh	三相出力バッファレジスタ1	IDB1	343
030Ch	短絡防止タイマ	DTT	343
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	344
030Eh	位置データ保持機能制御レジスタ	PDRF	346
030Fh			
0310h	タイマB3レジスタ	TB3	312
0311h			
0312h	タイマB4レジスタ	TB4	312
0313h			
0314h	タイマB5レジスタ	TB5	312
0315h			
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	347
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	318
031Ch	タイマB4モードレジスタ	TB4MR	318
031Dh	タイマB5モードレジスタ	TB5MR	318
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	270
0321h			
0322h	ワンショット開始フラグ	ONSF	271
0323h	トリガ選択レジスタ	TRGSR	272
0324h	アップダウンフラグ	UDF	273
0325h			
0326h	タイマA0レジスタ	TA0	268
0327h			
0328h	タイマA1レジスタ	TA1	268
0329h			
032Ah	タイマA2レジスタ	TA2	268
032Bh			
032Ch	タイマA3レジスタ	TA3	268
032Dh			
032Eh	タイマA4レジスタ	TA4	268
032Fh			
0330h	タイマB0レジスタ	TB0	312
0331h			
0332h	タイマB1レジスタ	TB1	312
0333h			
0334h	タイマB2レジスタ	TB2	312
0335h			
0336h	タイマA0モードレジスタ	TA0MR	274
0337h	タイマA1モードレジスタ	TA1MR	274
0338h	タイマA2モードレジスタ	TA2MR	274
0339h	タイマA3モードレジスタ	TA3MR	274
033Ah	タイマA4モードレジスタ	TA4MR	274

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
033Bh	タイマB0モードレジスタ	TB0MR	318
033Ch	タイマB1モードレジスタ	TB1MR	318
033Dh	タイマB2モードレジスタ	TB2MR	318
033Eh	タイマB2特殊モードレジスタ	TB2SC	345
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	436
0341h	リアルタイムクロック分データレジスタ	RTCMIN	437
0342h	リアルタイムクロック時データレジスタ	RTCHR	438
0343h	リアルタイムクロック日データレジスタ	RTCWK	439
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	440
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	442
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	443
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	444
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	445
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	446
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h	SS0ビットカウンタレジスタ	SS0BR	577
0354h	SS0送信データレジスタ	SS0TDR	578
0355h			
0356h	SS0受信データレジスタ	SS0RDR	578
0357h			
0358h	SS0制御レジスタH	SS0CRH	579
0359h	SS0制御レジスタL	SS0CRL	580
035Ah	SS0モードレジスタ	SS0MR	581
035Bh	SS0許可レジスタ	SS0ER	582
035Ch	SS0ステータスレジスタ	SS0SR	583
035Dh	SS0モードレジスタ2	SS0MR2	585
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	178
0361h	ブルアップ制御レジスタ1	PUR1	178
0362h	ブルアップ制御レジスタ2	PUR2	179
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	180
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch	入力しきい値選択レジスタ0	VLT0	181
036Dh	入力しきい値選択レジスタ1	VLT1	182
036Eh	入力しきい値選択レジスタ2	VLT2	183
036Fh			

番地	レジスタ	シンボル	掲載ページ
0370h	端子割り当て制御レジスタ	PACR	192
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	231
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	231
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	232
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	232
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	246
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	246
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	246
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	246
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	732
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	760
03B5h			
03B6h	CRCモードレジスタ	CRCMR	761
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	761
03BDh			
03BEh	CRC入力レジスタ	CRCIN	761
03BFh			
03C0h	A/Dレジスタ0	AD0	733
03C1h			
03C2h	A/Dレジスタ1	AD1	733
03C3h			
03C4h	A/Dレジスタ2	AD2	733
03C5h			
03C6h	A/Dレジスタ3	AD3	733
03C7h			
03C8h	A/Dレジスタ4	AD4	733
03C9h			
03CAh	A/Dレジスタ5	AD5	733
03CBh			
03CCh	A/Dレジスタ6	AD6	733
03CDh			
03CEh	A/Dレジスタ7	AD7	733
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	734
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	735
03D7h	A/D制御レジスタ1	ADCON1	737
03D8h	D/A0レジスタ	DA0	756
03D9h			
03DAh			
03DBh			
03DCh	D/A制御レジスタ	DACON	756
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	185
03E1h	ポートP1レジスタ	P1	185
03E2h	ポートP0方向レジスタ	PD0	186
03E3h	ポートP1方向レジスタ	PD1	186
03E4h	ポートP2レジスタ	P2	185
03E5h	ポートP3レジスタ	P3	185
03E6h	ポートP2方向レジスタ	PD2	186
03E7h	ポートP3方向レジスタ	PD3	186
03E8h	ポートP4レジスタ	P4	185
03E9h	ポートP5レジスタ	P5	185
03EAh	ポートP4方向レジスタ	PD4	186
03EBh	ポートP5方向レジスタ	PD5	186
03ECh	ポートP6レジスタ	P6	185
03EDh	ポートP7レジスタ	P7	185
03EEh	ポートP6方向レジスタ	PD6	186
03EFh	ポートP7方向レジスタ	PD7	186

番地	レジスタ	シンボル	掲載ページ
03F0h	ポートP8レジスタ	P8	185
03F1h	ポートP9レジスタ	P9	185
03F2h	ポートP8方向レジスタ	PD8	186
03F3h	ポートP9方向レジスタ	PD9	186
03F4h	ポートP10レジスタ	P10	185
03F5h			
03F6h	ポートP10方向レジスタ	PD10	186
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
0400~D1EF			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D1F0h			
D1F1h			
D1F2h			
D1F3h			
D1F4h			
D1F5h			
D1F6h			
D1F7h			
D1F8h			
D1F9h			
D1FAh			
D1FBh			
D1FCh			
D1FDh			
D1FEh			
D1FFh			
D200h	CAN1 メールボックス0: メッセージ識別子	C1MB0	674
D201h			
D202h			
D203h			
D204h			
D205h	CAN1 メールボックス0: データ長		
D206h	CAN1 メールボックス0: データフィールド		
D207h			
D208h			
D209h			
D20Ah			
D20Bh			
D20Ch			
D20Dh			
D20Eh	CAN1 メールボックス0: タイムスタンプ		
D20Fh			
D210h	CAN1 メールボックス1: メッセージ識別子	C1MB1	674
D211h			
D212h			
D213h			
D214h			
D215h	CAN1 メールボックス1: データ長		
D216h	CAN1 メールボックス1: データフィールド		
D217h			
D218h			
D219h			
D21Ah			
D21Bh			
D21Ch			
D21Dh			
D21Eh	CAN1 メールボックス1: タイムスタンプ		
D21Fh			
D220h	CAN1 メールボックス2: メッセージ識別子	C1MB2	674
D221h			
D222h			
D223h			
D224h			
D225h	CAN1 メールボックス2: データ長		
D226h	CAN1 メールボックス2: データフィールド		
D227h			
D228h			
D229h			
D22Ah			
D22Bh			
D22Ch			
D22Dh			
D22Eh	CAN1 メールボックス2: タイムスタンプ		
D22Fh			

番地	レジスタ	シンボル	掲載ページ
D230h	CAN1 メールボックス3: メッセージ識別子	C1MB3	674
D231h			
D232h			
D233h			
D234h			
D235h	CAN1 メールボックス3: データ長		
D236h	CAN1 メールボックス3: データフィールド		
D237h			
D238h			
D239h			
D23Ah			
D23Bh			
D23Ch			
D23Dh			
D23Eh	CAN1 メールボックス3: タイムスタンプ		
D23Fh			
D240h	CAN1 メールボックス4: メッセージ識別子	C1MB4	674
D241h			
D242h			
D243h			
D244h			
D245h	CAN1 メールボックス4: データ長		
D246h	CAN1 メールボックス4: データフィールド		
D247h			
D248h			
D249h			
D24Ah			
D24Bh			
D24Ch			
D24Dh			
D24Eh	CAN1 メールボックス4: タイムスタンプ		
D24Fh			
D250h	CAN1 メールボックス5: メッセージ識別子	C1MB5	674
D251h			
D252h			
D253h			
D254h			
D255h	CAN1 メールボックス5: データ長		
D256h	CAN1 メールボックス5: データフィールド		
D257h			
D258h			
D259h			
D25Ah			
D25Bh			
D25Ch			
D25Dh			
D25Eh	CAN1 メールボックス5: タイムスタンプ		
D25Fh			
D260h	CAN1 メールボックス6: メッセージ識別子	C1MB6	674
D261h			
D262h			
D263h			
D264h			
D265h	CAN1 メールボックス6: データ長		
D266h	CAN1 メールボックス6: データフィールド		
D267h			
D268h			
D269h			
D26Ah			
D26Bh			
D26Ch			
D26Dh			
D26Eh	CAN1 メールボックス6: タイムスタンプ		
D26Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D270h	CAN1 メールボックス7: メッセージ識別子	C1MB7	674		
D271h					
D272h					
D273h					
D274h					
D275h	CAN1 メールボックス7: データ長	C1MB7	674		
D276h	CAN1 メールボックス7: データフィールド				
D277h					
D278h					
D279h					
D27Ah					
D27Bh					
D27Ch					
D27Dh					
D27Eh	CAN1 メールボックス7: タイムスタンプ				
D27Fh					
D280h	CAN1 メールボックス8: メッセージ識別子			C1MB8	674
D281h					
D282h					
D283h					
D284h					
D285h	CAN1 メールボックス8: データ長	C1MB8	674		
D286h	CAN1 メールボックス8: データフィールド				
D287h					
D288h					
D289h					
D28Ah					
D28Bh					
D28Ch					
D28Dh					
D28Eh	CAN1 メールボックス8: タイムスタンプ				
D28Fh					
D290h	CAN1 メールボックス9: メッセージ識別子			C1MB9	674
D291h					
D292h					
D293h					
D294h					
D295h	CAN1 メールボックス9: データ長	C1MB9	674		
D296h	CAN1 メールボックス9: データフィールド				
D297h					
D298h					
D299h					
D29Ah					
D29Bh					
D29Ch					
D29Dh					
D29Eh	CAN1 メールボックス9: タイムスタンプ				
D29Fh					
D2A0h	CAN1 メールボックス10: メッセージ識別子			C1MB10	674
D2A1h					
D2A2h					
D2A3h					
D2A4h					
D2A5h	CAN1 メールボックス10: データ長	C1MB10	674		
D2A6h	CAN1 メールボックス10: データフィールド				
D2A7h					
D2A8h					
D2A9h					
D2AAh					
D2ABh					
D2ACh					
D2ADh					
D2AEh	CAN1 メールボックス10: タイムスタンプ				
D2AFh					

番地	レジスタ	シンボル	掲載ページ		
D2B0h	CAN1 メールボックス11: メッセージ識別子	C1MB11	674		
D2B1h					
D2B2h					
D2B3h					
D2B4h					
D2B5h	CAN1 メールボックス11: データ長	C1MB11	674		
D2B6h	CAN1 メールボックス11: データフィールド				
D2B7h					
D2B8h					
D2B9h					
D2BAh					
D2BBh					
D2BCh					
D2BDh					
D2BEh	CAN1 メールボックス11: タイムスタンプ				
D2BFh					
D2C0h	CAN1 メールボックス12: メッセージ識別子			C1MB12	674
D2C1h					
D2C2h					
D2C3h					
D2C4h					
D2C5h	CAN1 メールボックス12: データ長	C1MB12	674		
D2C6h	CAN1 メールボックス12: データフィールド				
D2C7h					
D2C8h					
D2C9h					
D2CAh					
D2CBh					
D2CCh					
D2CDh					
D2CEh	CAN1 メールボックス12: タイムスタンプ				
D2CFh					
D2D0h	CAN1 メールボックス13: メッセージ識別子			C1MB13	674
D2D1h					
D2D2h					
D2D3h					
D2D4h					
D2D5h	CAN1 メールボックス13: データ長	C1MB13	674		
D2D6h	CAN1 メールボックス13: データフィールド				
D2D7h					
D2D8h					
D2D9h					
D2DAh					
D2DBh					
D2DCh					
D2DDh					
D2DEh	CAN1 メールボックス13: タイムスタンプ				
D2DFh					
D2E0h	CAN1 メールボックス14: メッセージ識別子			C1MB14	674
D2E1h					
D2E2h					
D2E3h					
D2E4h					
D2E5h	CAN1 メールボックス14: データ長	C1MB14	674		
D2E6h	CAN1 メールボックス14: データフィールド				
D2E7h					
D2E8h					
D2E9h					
D2EAh					
D2EBh					
D2ECh					
D2EDh					
D2EEh	CAN1 メールボックス14: タイムスタンプ				
D2EFh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D2F0h	CAN1 メールボックス 15: メッセージ識別子	C1MB15	674
D2F1h			
D2F2h			
D2F3h			
D2F4h			
D2F5h			
D2F6h			
D2F7h			
D2F8h			
D2F9h			
D2FAh			
D2FBh			
D2FCh			
D2FDh			
D2FEh			
D2FFh			
D300h	CAN1 メールボックス 16: メッセージ識別子	C1MB16	674
D301h			
D302h			
D303h			
D304h			
D305h			
D306h			
D307h			
D308h			
D309h			
D30Ah			
D30Bh			
D30Ch			
D30Dh			
D30Eh			
D30Fh			
D310h	CAN1 メールボックス 17: メッセージ識別子	C1MB17	674
D311h			
D312h			
D313h			
D314h			
D315h			
D316h			
D317h			
D318h			
D319h			
D31Ah			
D31Bh			
D31Ch			
D31Dh			
D31Eh			
D31Fh			
D320h	CAN1 メールボックス 18: メッセージ識別子	C1MB18	674
D321h			
D322h			
D323h			
D324h			
D325h			
D326h			
D327h			
D328h			
D329h			
D32Ah			
D32Bh			
D32Ch			
D32Dh			
D32Eh			
D32Fh			

番地	レジスタ	シンボル	掲載ページ
D330h	CAN1 メールボックス 19: メッセージ識別子	C1MB19	674
D331h			
D332h			
D333h			
D334h			
D335h			
D336h			
D337h			
D338h			
D339h			
D33Ah			
D33Bh			
D33Ch			
D33Dh			
D33Eh			
D33Fh			
D340h	CAN1 メールボックス 20: メッセージ識別子	C1MB20	674
D341h			
D342h			
D343h			
D344h			
D345h			
D346h			
D347h			
D348h			
D349h			
D34Ah			
D34Bh			
D34Ch			
D34Dh			
D34Eh			
D34Fh			
D350h	CAN1 メールボックス 21: メッセージ識別子	C1MB21	674
D351h			
D352h			
D353h			
D354h			
D355h			
D356h			
D357h			
D358h			
D359h			
D35Ah			
D35Bh			
D35Ch			
D35Dh			
D35Eh			
D35Fh			
D360h	CAN1 メールボックス 22: メッセージ識別子	C1MB22	674
D361h			
D362h			
D363h			
D364h			
D365h			
D366h			
D367h			
D368h			
D369h			
D36Ah			
D36Bh			
D36Ch			
D36Dh			
D36Eh			
D36Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D370h	CAN1 メールボックス 23: メッセージ識別子	C1MB23	674		
D371h					
D372h					
D373h					
D374h					
D375h	CAN1 メールボックス 23: データ長	C1MB23	674		
D376h	CAN1 メールボックス 23: データフィールド				
D377h					
D378h					
D379h					
D37Ah					
D37Bh					
D37Ch					
D37Dh					
D37Eh	CAN1 メールボックス 23: タイムスタンプ				
D37Fh					
D380h	CAN1 メールボックス 24: メッセージ識別子			C1MB24	674
D381h					
D382h					
D383h					
D384h					
D385h	CAN1 メールボックス 24: データ長	C1MB24	674		
D386h	CAN1 メールボックス 24: データフィールド				
D387h					
D388h					
D389h					
D38Ah					
D38Bh					
D38Ch					
D38Dh					
D38Eh	CAN1 メールボックス 24: タイムスタンプ				
D38Fh					
D390h	CAN1 メールボックス 25: メッセージ識別子			C1MB25	674
D391h					
D392h					
D393h					
D394h					
D395h	CAN1 メールボックス 25: データ長	C1MB25	674		
D396h	CAN1 メールボックス 25: データフィールド				
D397h					
D398h					
D399h					
D39Ah					
D39Bh					
D39Ch					
D39Dh					
D39Eh	CAN1 メールボックス 25: タイムスタンプ				
D39Fh					
D3A0h	CAN1 メールボックス 26: メッセージ識別子			C1MB26	674
D3A1h					
D3A2h					
D3A3h					
D3A4h					
D3A5h	CAN1 メールボックス 26: データ長	C1MB26	674		
D3A6h	CAN1 メールボックス 26: データフィールド				
D3A7h					
D3A8h					
D3A9h					
D3AAh					
D3ABh					
D3ACh					
D3ADh					
D3AEh	CAN1 メールボックス 26: タイムスタンプ				
D3AFh					

番地	レジスタ	シンボル	掲載ページ		
D3B0h	CAN1 メールボックス 27: メッセージ識別子	C1MB27	674		
D3B1h					
D3B2h					
D3B3h					
D3B4h					
D3B5h	CAN1 メールボックス 27: データ長	C1MB27	674		
D3B6h	CAN1 メールボックス 27: データフィールド				
D3B7h					
D3B8h					
D3B9h					
D3BAh					
D3BBh					
D3BCh					
D3BDh					
D3BEh	CAN1 メールボックス 27: タイムスタンプ				
D3BFh					
D3C0h	CAN1 メールボックス 28: メッセージ識別子			C1MB28	674
D3C1h					
D3C2h					
D3C3h					
D3C4h					
D3C5h	CAN1 メールボックス 28: データ長	C1MB28	674		
D3C6h	CAN1 メールボックス 28: データフィールド				
D3C7h					
D3C8h					
D3C9h					
D3CAh					
D3CBh					
D3CCh					
D3CDh					
D3CEh	CAN1 メールボックス 28: タイムスタンプ				
D3CFh					
D3D0h	CAN1 メールボックス 29: メッセージ識別子			C1MB29	674
D3D1h					
D3D2h					
D3D3h					
D3D4h					
D3D5h	CAN1 メールボックス 29: データ長	C1MB29	674		
D3D6h	CAN1 メールボックス 29: データフィールド				
D3D7h					
D3D8h					
D3D9h					
D3DAh					
D3DBh					
D3DCh					
D3DDh					
D3DEh	CAN1 メールボックス 29: タイムスタンプ				
D3DFh					
D3E0h	CAN1 メールボックス 30: メッセージ識別子			C1MB30	674
D3E1h					
D3E2h					
D3E3h					
D3E4h					
D3E5h	CAN1 メールボックス 30: データ長	C1MB30	674		
D3E6h	CAN1 メールボックス 30: データフィールド				
D3E7h					
D3E8h					
D3E9h					
D3EAh					
D3EBh					
D3ECh					
D3EDh					
D3EEh	CAN1 メールボックス 30: タイムスタンプ				
D3EFh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D3F0h	CAN1 メールボックス 31: メッセージ識別子	C1MB31	674
D3F1h			
D3F2h			
D3F3h			
D3F4h			
D3F5h			
D3F6h			
D3F7h			
D3F8h			
D3F9h			
D3FAh	CAN1 メールボックス 31: データ長		
D3FBh			
D3FCh			
D3FDh			
D3FEh			
D3FFh			
D400h			
D401h			
D402h			
D403h			
D404h	CAN1 マスクレジスタ 0	C1MKR0	670
D405h			
D406h			
D407h			
D408h			
D409h	CAN1 マスクレジスタ 1	C1MKR1	670
D40Ah			
D40Bh			
D40Ch			
D40Dh			
D40Eh	CAN1 マスクレジスタ 2	C1MKR2	670
D40Fh			
D410h			
D411h			
D412h			
D413h	CAN1 マスクレジスタ 3	C1MKR3	670
D414h			
D415h			
D416h			
D417h			
D418h	CAN1 マスクレジスタ 4	C1MKR4	670
D419h			
D41Ah			
D41Bh			
D41Ch			
D41Dh	CAN1 マスクレジスタ 5	C1MKR5	670
D41Eh			
D41Fh			
D420h			
D421h			
D422h	CAN1 マスクレジスタ 6	C1MKR6	670
D423h			
D424h			
D425h			
D426h			
D427h	CAN1 マスクレジスタ 7	C1MKR7	670
D428h			
D429h			
D42Ah			
D42Bh			
D42Ch	CAN1 マスク無効レジスタ	C1MKIVLR	673
D42Dh			
D42Eh			
D42Fh			
D430h~D49Fh			
D420h	CAN1 メールボックス 31: タイムスタンプ		
D421h			
D422h			
D423h			
D424h			
D425h	CAN1 FIFO 受信 ID 比較レジスタ 0	C1FIDCR0	671
D426h			
D427h			
D428h			
D429h			
D42Ah	CAN1 FIFO 受信 ID 比較レジスタ 1	C1FIDCR1	671
D42Bh			
D42Ch			
D42Dh			
D42Eh			
D42Fh	CAN1 メールボックス 割り込み許可レジスタ	C1MIER	678
D430h~D49Fh			

番地	レジスタ	シンボル	掲載ページ
D4A0h	CAN1 メッセージ制御レジスタ 0	C1MCTL0	679
D4A1h	CAN1 メッセージ制御レジスタ 1	C1MCTL1	679
D4A2h	CAN1 メッセージ制御レジスタ 2	C1MCTL2	679
D4A3h	CAN1 メッセージ制御レジスタ 3	C1MCTL3	679
D4A4h	CAN1 メッセージ制御レジスタ 4	C1MCTL4	679
D4A5h	CAN1 メッセージ制御レジスタ 5	C1MCTL5	679
D4A6h	CAN1 メッセージ制御レジスタ 6	C1MCTL6	679
D4A7h	CAN1 メッセージ制御レジスタ 7	C1MCTL7	679
D4A8h	CAN1 メッセージ制御レジスタ 8	C1MCTL8	679
D4A9h	CAN1 メッセージ制御レジスタ 9	C1MCTL9	679
D4AAh	CAN1 メッセージ制御レジスタ 10	C1MCTL10	679
D4ABh	CAN1 メッセージ制御レジスタ 11	C1MCTL11	679
D4ACh	CAN1 メッセージ制御レジスタ 12	C1MCTL12	679
D4ADh	CAN1 メッセージ制御レジスタ 13	C1MCTL13	679
D4AEh	CAN1 メッセージ制御レジスタ 14	C1MCTL14	679
D4AFh	CAN1 メッセージ制御レジスタ 15	C1MCTL15	679
D4B0h	CAN1 メッセージ制御レジスタ 16	C1MCTL16	679
D4B1h	CAN1 メッセージ制御レジスタ 17	C1MCTL17	679
D4B2h	CAN1 メッセージ制御レジスタ 18	C1MCTL18	679
D4B3h	CAN1 メッセージ制御レジスタ 19	C1MCTL19	679
D4B4h	CAN1 メッセージ制御レジスタ 20	C1MCTL20	679
D4B5h	CAN1 メッセージ制御レジスタ 21	C1MCTL21	679
D4B6h	CAN1 メッセージ制御レジスタ 22	C1MCTL22	679
D4B7h	CAN1 メッセージ制御レジスタ 23	C1MCTL23	679
D4B8h	CAN1 メッセージ制御レジスタ 24	C1MCTL24	679
D4B9h	CAN1 メッセージ制御レジスタ 25	C1MCTL25	679
D4BAh	CAN1 メッセージ制御レジスタ 26	C1MCTL26	679
D4BBh	CAN1 メッセージ制御レジスタ 27	C1MCTL27	679
D4BCh	CAN1 メッセージ制御レジスタ 28	C1MCTL28	679
D4BDh	CAN1 メッセージ制御レジスタ 29	C1MCTL29	679
D4BEh	CAN1 メッセージ制御レジスタ 30	C1MCTL30	679
D4BFh	CAN1 メッセージ制御レジスタ 31	C1MCTL31	679
D4C0h	CAN1 制御レジスタ	C1CTLR	663
D4C1h			
D4C2h	CAN1 ステータスレジスタ	C1STR	690
D4C3h			
D4C4h	CAN1 ビットコンフィグレーションレジスタ	C1BCR	668
D4C5h			
D4C6h			
D4C7h	CAN1 クロック選択レジスタ	C1CLKR	667
D4C8h	CAN1 受信 FIFO 制御レジスタ	C1RFRCR	683
D4C9h	CAN1 受信 FIFO ポインタ制御レジスタ	C1RFPCR	686
D4CAh	CAN1 送信 FIFO 制御レジスタ	C1TFRCR	687
D4CBh	CAN1 送信 FIFO ポインタ制御レジスタ	C1TFPCR	689
D4CCh	CAN1 エラー割り込み許可レジスタ	C1EIER	698
D4CDh	CAN1 エラー割り込み要因判定レジスタ	C1EIFR	700
D4CEh	CAN1 受信エラーカウントレジスタ	C1RECR	703
D4CFh	CAN1 送信エラーカウントレジスタ	C1TECR	704
D4D0h	CAN1 エラーコード格納レジスタ	C1ECSR	705
D4D1h	CAN1 チャネルサーチャポートレジスタ	C1CSSR	696
D4D2h	CAN1 メールボックスサーチャポートレジスタ	C1MSSR	694
D4D3h	CAN1 メールボックスサーチモードレジスタ	C1MSMR	693
D4D4h	CAN1 タイムスタンプレジスタ	C1TSR	707
D4D5h			
D4D6h	CAN1 アクセプタンスフィルタサポートレジスタ	C1AFSR	697
D4D7h			
D4D8h	CAN1 テスト制御レジスタ	C1TCR	708
D4D9h			
D4DAh			
D4DBh			
D4DCh			
D4DDh			
D4DEh			
D4DFh			
D4E0h~D4FFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D500h	CAN0 メールボックス0: メッセージ識別子	COMB0	674		
D501h					
D502h					
D503h					
D504h					
D505h	CAN0 メールボックス0: データ長	COMB0	674		
D506h	CAN0 メールボックス0: データフィールド				
D507h					
D508h					
D509h					
D50Ah					
D50Bh					
D50Ch					
D50Dh					
D50Eh	CAN0 メールボックス0: タイムスタンプ				
D50Fh					
D510h	CAN0 メールボックス1: メッセージ識別子			COMB1	674
D511h					
D512h					
D513h					
D514h					
D515h	CAN0 メールボックス1: データ長	COMB1	674		
D516h	CAN0 メールボックス1: データフィールド				
D517h					
D518h					
D519h					
D51Ah					
D51Bh					
D51Ch					
D51Dh					
D51Eh	CAN0 メールボックス1: タイムスタンプ				
D51Fh					
D520h	CAN0 メールボックス2: メッセージ識別子			COMB2	674
D521h					
D522h					
D523h					
D524h					
D525h	CAN0 メールボックス2: データ長	COMB2	674		
D526h	CAN0 メールボックス2: データフィールド				
D527h					
D528h					
D529h					
D52Ah					
D52Bh					
D52Ch					
D52Dh					
D52Eh	CAN0 メールボックス2: タイムスタンプ				
D52Fh					
D530h	CAN0 メールボックス3: メッセージ識別子			COMB3	674
D531h					
D532h					
D533h					
D534h					
D535h	CAN0 メールボックス3: データ長	COMB3	674		
D536h	CAN0 メールボックス3: データフィールド				
D537h					
D538h					
D539h					
D53Ah					
D53Bh					
D53Ch					
D53Dh					
D53Eh	CAN0 メールボックス3: タイムスタンプ				
D53Fh					

番地	レジスタ	シンボル	掲載ページ		
D540h	CAN0 メールボックス4: メッセージ識別子	COMB4	674		
D541h					
D542h					
D543h					
D544h					
D545h	CAN0 メールボックス4: データ長	COMB4	674		
D546h	CAN0 メールボックス4: データフィールド				
D547h					
D548h					
D549h					
D54Ah					
D54Bh					
D54Ch					
D54Dh					
D54Eh	CAN0 メールボックス4: タイムスタンプ				
D54Fh					
D550h	CAN0 メールボックス5: メッセージ識別子			COMB5	674
D551h					
D552h					
D553h					
D554h					
D555h	CAN0 メールボックス5: データ長	COMB5	674		
D556h	CAN0 メールボックス5: データフィールド				
D557h					
D558h					
D559h					
D55Ah					
D55Bh					
D55Ch					
D55Dh					
D55Eh	CAN0 メールボックス5: タイムスタンプ				
D55Fh					
D560h	CAN0 メールボックス6: メッセージ識別子			COMB6	674
D561h					
D562h					
D563h					
D564h					
D565h	CAN0 メールボックス6: データ長	COMB6	674		
D566h	CAN0 メールボックス6: データフィールド				
D567h					
D568h					
D569h					
D56Ah					
D56Bh					
D56Ch					
D56Dh					
D56Eh	CAN0 メールボックス6: タイムスタンプ				
D56Fh					
D570h	CAN0 メールボックス7: メッセージ識別子			COMB7	674
D571h					
D572h					
D573h					
D574h					
D575h	CAN0 メールボックス7: データ長	COMB7	674		
D576h	CAN0 メールボックス7: データフィールド				
D577h					
D578h					
D579h					
D57Ah					
D57Bh					
D57Ch					
D57Dh					
D57Eh	CAN0 メールボックス7: タイムスタンプ				
D57Fh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D580h	CAN0 メールボックス 8: メッセージ識別子	COMB8	674		
D581h					
D582h					
D583h					
D584h					
D585h	CAN0 メールボックス 8: データ長				
D586h	CAN0 メールボックス 8: データフィールド				
D587h					
D588h					
D589h					
D58Ah					
D58Bh					
D58Ch					
D58Dh					
D58Eh	CAN0 メールボックス 8: タイムスタンプ				
D58Fh					
D590h	CAN0 メールボックス 9: メッセージ識別子			COMB9	674
D591h					
D592h					
D593h					
D594h					
D595h					
D596h	CAN0 メールボックス 9: データ長				
D597h	CAN0 メールボックス 9: データフィールド				
D598h					
D599h					
D59Ah					
D59Bh					
D59Ch					
D59Dh					
D59Eh	CAN0 メールボックス 9: タイムスタンプ				
D59Fh					
D5A0h	CAN0 メールボックス 10: メッセージ識別子			COMB10	674
D5A1h					
D5A2h					
D5A3h					
D5A4h					
D5A5h					
D5A6h	CAN0 メールボックス 10: データ長				
D5A7h	CAN0 メールボックス 10: データフィールド				
D5A8h					
D5A9h					
D5AAh					
D5ABh					
D5ACh					
D5ADh					
D5AEh	CAN0 メールボックス 10: タイムスタンプ				
D5AFh					
D5B0h	CAN0 メールボックス 11: メッセージ識別子			COMB11	674
D5B1h					
D5B2h					
D5B3h					
D5B4h					
D5B5h					
D5B6h	CAN0 メールボックス 11: データ長				
D5B7h	CAN0 メールボックス 11: データフィールド				
D5B8h					
D5B9h					
D5BAh					
D5BBh					
D5BCh					
D5BDh					
D5BEh	CAN0 メールボックス 11: タイムスタンプ				
D5BFh					

番地	レジスタ	シンボル	掲載ページ		
D5C0h	CAN0 メールボックス 12: メッセージ識別子	COMB12	674		
D5C1h					
D5C2h					
D5C3h					
D5C4h					
D5C5h	CAN0 メールボックス 12: データ長				
D5C6h	CAN0 メールボックス 12: データフィールド				
D5C7h					
D5C8h					
D5C9h					
D5CAh					
D5CBh					
D5CCh					
D5CDh					
D5CEh	CAN0 メールボックス 12: タイムスタンプ				
D5CFh					
D5D0h	CAN0 メールボックス 13: メッセージ識別子			COMB13	674
D5D1h					
D5D2h					
D5D3h					
D5D4h					
D5D5h					
D5D6h	CAN0 メールボックス 13: データ長				
D5D7h	CAN0 メールボックス 13: データフィールド				
D5D8h					
D5D9h					
D5DAh					
D5DBh					
D5DCh					
D5DDh					
D5DEh	CAN0 メールボックス 13: タイムスタンプ				
D5DFh					
D5E0h	CAN0 メールボックス 14: メッセージ識別子			COMB14	674
D5E1h					
D5E2h					
D5E3h					
D5E4h					
D5E5h					
D5E6h	CAN0 メールボックス 14: データ長				
D5E7h	CAN0 メールボックス 14: データフィールド				
D5E8h					
D5E9h					
D5EAh					
D5EBh					
D5ECh					
D5EDh					
D5EEh	CAN0 メールボックス 14: タイムスタンプ				
D5EFh					
D5F0h	CAN0 メールボックス 15: メッセージ識別子			COMB15	674
D5F1h					
D5F2h					
D5F3h					
D5F4h					
D5F5h					
D5F6h	CAN0 メールボックス 15: データ長				
D5F7h	CAN0 メールボックス 15: データフィールド				
D5F8h					
D5F9h					
D5FAh					
D5FBh					
D5FCh					
D5FDh					
D5FEh	CAN0 メールボックス 15: タイムスタンプ				
D5FFh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D600h	CAN0 メールボックス 16: メッセージ識別子	COMB16	674		
D601h					
D602h					
D603h					
D604h					
D605h	CAN0 メールボックス 16: データ長	COMB17	674		
D606h	CAN0 メールボックス 16: データフィールド				
D607h					
D608h					
D609h					
D60Ah					
D60Bh					
D60Ch					
D60Dh					
D60Eh	CAN0 メールボックス 16: タイムスタンプ				
D60Fh					
D610h	CAN0 メールボックス 17: メッセージ識別子			COMB18	674
D611h					
D612h					
D613h					
D614h					
D615h	CAN0 メールボックス 17: データ長				
D616h	CAN0 メールボックス 17: データフィールド				
D617h					
D618h					
D619h					
D61Ah					
D61Bh					
D61Ch					
D61Dh					
D61Eh	CAN0 メールボックス 17: タイムスタンプ				
D61Fh					
D620h	CAN0 メールボックス 18: メッセージ識別子	COMB19	674		
D621h					
D622h					
D623h					
D624h					
D625h	CAN0 メールボックス 18: データ長				
D626h	CAN0 メールボックス 18: データフィールド				
D627h					
D628h					
D629h					
D62Ah					
D62Bh					
D62Ch					
D62Dh					
D62Eh	CAN0 メールボックス 18: タイムスタンプ				
D62Fh					
D630h	CAN0 メールボックス 19: メッセージ識別子	COMB20	674		
D631h					
D632h					
D633h					
D634h					
D635h	CAN0 メールボックス 19: データ長				
D636h	CAN0 メールボックス 19: データフィールド				
D637h					
D638h					
D639h					
D63Ah					
D63Bh					
D63Ch					
D63Dh					
D63Eh	CAN0 メールボックス 19: タイムスタンプ				
D63Fh					

番地	レジスタ	シンボル	掲載ページ		
D640h	CAN0 メールボックス 20: メッセージ識別子	COMB20	674		
D641h					
D642h					
D643h					
D644h					
D645h	CAN0 メールボックス 20: データ長	COMB21	674		
D646h	CAN0 メールボックス 20: データフィールド				
D647h					
D648h					
D649h					
D64Ah					
D64Bh					
D64Ch					
D64Dh					
D64Eh	CAN0 メールボックス 20: タイムスタンプ				
D64Fh					
D650h	CAN0 メールボックス 21: メッセージ識別子			COMB22	674
D651h					
D652h					
D653h					
D654h					
D655h	CAN0 メールボックス 21: データ長				
D656h	CAN0 メールボックス 21: データフィールド				
D657h					
D658h					
D659h					
D65Ah					
D65Bh					
D65Ch					
D65Dh					
D65Eh	CAN0 メールボックス 21: タイムスタンプ				
D65Fh					
D660h	CAN0 メールボックス 22: メッセージ識別子	COMB23	674		
D661h					
D662h					
D663h					
D664h					
D665h	CAN0 メールボックス 22: データ長				
D666h	CAN0 メールボックス 22: データフィールド				
D667h					
D668h					
D669h					
D66Ah					
D66Bh					
D66Ch					
D66Dh					
D66Eh	CAN0 メールボックス 22: タイムスタンプ				
D66Fh					
D670h	CAN0 メールボックス 23: メッセージ識別子	COMB23	674		
D671h					
D672h					
D673h					
D674h					
D675h	CAN0 メールボックス 23: データ長				
D676h	CAN0 メールボックス 23: データフィールド				
D677h					
D678h					
D679h					
D67Ah					
D67Bh					
D67Ch					
D67Dh					
D67Eh	CAN0 メールボックス 23: タイムスタンプ				
D67Fh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D680h	CAN0 メールボックス 24: メッセージ識別子	COMB24	674		
D681h					
D682h					
D683h					
D684h					
D685h	CAN0 メールボックス 24: データ長	COMB24	674		
D686h	CAN0 メールボックス 24: データフィールド				
D687h					
D688h					
D689h					
D68Ah					
D68Bh					
D68Ch					
D68Dh					
D68Eh	CAN0 メールボックス 24: タイムスタンプ				
D68Fh					
D690h	CAN0 メールボックス 25: メッセージ識別子			COMB25	674
D691h					
D692h					
D693h					
D694h					
D695h	CAN0 メールボックス 25: データ長	COMB25	674		
D696h	CAN0 メールボックス 25: データフィールド				
D697h					
D698h					
D699h					
D69Ah					
D69Bh					
D69Ch					
D69Dh					
D69Eh	CAN0 メールボックス 25: タイムスタンプ				
D69Fh					
D6A0h	CAN0 メールボックス 26: メッセージ識別子			COMB26	674
D6A1h					
D6A2h					
D6A3h					
D6A4h					
D6A5h	CAN0 メールボックス 26: データ長	COMB26	674		
D6A6h	CAN0 メールボックス 26: データフィールド				
D6A7h					
D6A8h					
D6A9h					
D6AAh					
D6ABh					
D6ACh					
D6ADh					
D6AEh	CAN0 メールボックス 26: タイムスタンプ				
D6AFh					
D6B0h	CAN0 メールボックス 27: メッセージ識別子			COMB27	674
D6B1h					
D6B2h					
D6B3h					
D6B4h					
D6B5h	CAN0 メールボックス 27: データ長	COMB27	674		
D6B6h	CAN0 メールボックス 27: データフィールド				
D6B7h					
D6B8h					
D6B9h					
D6BAh					
D6BBh					
D6BCh					
D6BDh					
D6BEh	CAN0 メールボックス 27: タイムスタンプ				
D6BFh					

番地	レジスタ	シンボル	掲載ページ		
D6C0h	CAN0 メールボックス 28: メッセージ識別子	COMB28	674		
D6C1h					
D6C2h					
D6C3h					
D6C4h					
D6C5h	CAN0 メールボックス 28: データ長	COMB28	674		
D6C6h	CAN0 メールボックス 28: データフィールド				
D6C7h					
D6C8h					
D6C9h					
D6CAh					
D6CBh					
D6CCh					
D6CDh					
D6CEh	CAN0 メールボックス 28: タイムスタンプ				
D6CFh					
D6D0h	CAN0 メールボックス 29: メッセージ識別子			COMB29	674
D6D1h					
D6D2h					
D6D3h					
D6D4h					
D6D5h	CAN0 メールボックス 29: データ長	COMB29	674		
D6D6h	CAN0 メールボックス 29: データフィールド				
D6D7h					
D6D8h					
D6D9h					
D6DAh					
D6DBh					
D6DCh					
D6DDh					
D6DEh	CAN0 メールボックス 29: タイムスタンプ				
D6DFh					
D6E0h	CAN0 メールボックス 30: メッセージ識別子			COMB30	674
D6E1h					
D6E2h					
D6E3h					
D6E4h					
D6E5h	CAN0 メールボックス 30: データ長	COMB30	674		
D6E6h	CAN0 メールボックス 30: データフィールド				
D6E7h					
D6E8h					
D6E9h					
D6EAh					
D6EBh					
D6ECh					
D6EDh					
D6EEh	CAN0 メールボックス 30: タイムスタンプ				
D6EFh					
D6F0h	CAN0 メールボックス 31: メッセージ識別子			COMB31	674
D6F1h					
D6F2h					
D6F3h					
D6F4h					
D6F5h	CAN0 メールボックス 31: データ長	COMB31	674		
D6F6h	CAN0 メールボックス 31: データフィールド				
D6F7h					
D6F8h					
D6F9h					
D6FAh					
D6FBh					
D6FCh					
D6FDh					
D6FEh	CAN0 メールボックス 31: タイムスタンプ				
D6FFh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D700h	CAN0 マスクレジスタ 0	COMKR0	670
D701h			
D702h			
D703h			
D704h	CAN0 マスクレジスタ 1	COMKR1	670
D705h			
D706h			
D707h			
D708h	CAN0 マスクレジスタ 2	COMKR2	670
D709h			
D70Ah			
D70Bh			
D70Ch	CAN0 マスクレジスタ 3	COMKR3	670
D70Dh			
D70Eh			
D70Fh			
D710h	CAN0 マスクレジスタ 4	COMKR4	670
D711h			
D712h			
D713h			
D714h	CAN0 マスクレジスタ 5	COMKR5	670
D715h			
D716h			
D717h			
D718h	CAN0 マスクレジスタ 6	COMKR6	670
D719h			
D71Ah			
D71Bh			
D71Ch	CAN0 マスクレジスタ 7	COMKR7	670
D71Dh			
D71Eh			
D71Fh			
D720h	CAN0FIFO 受信 ID 比較レジスタ 0	C0FIDCR0	671
D721h			
D722h			
D723h			
D724h	CAN0FIFO 受信 ID 比較レジスタ 1	C0FIDCR1	671
D725h			
D726h			
D727h			
D728h	CAN0 マスク無効レジスタ	COMKIVLR	673
D729h			
D72Ah			
D72Bh			
D72Ch	CAN0 メールボックス割り込み許可レジスタ	COMIER	678
D72Dh			
D72Eh			
D72Fh			
D730h~D79F			
D7A0h	CAN0 メッセージ制御レジスタ 0	COMCTL0	679
D7A1h	CAN0 メッセージ制御レジスタ 1	COMCTL1	679
D7A2h	CAN0 メッセージ制御レジスタ 2	COMCTL2	679
D7A3h	CAN0 メッセージ制御レジスタ 3	COMCTL3	679
D7A4h	CAN0 メッセージ制御レジスタ 4	COMCTL4	679
D7A5h	CAN0 メッセージ制御レジスタ 5	COMCTL5	679
D7A6h	CAN0 メッセージ制御レジスタ 6	COMCTL6	679
D7A7h	CAN0 メッセージ制御レジスタ 7	COMCTL7	679
D7A8h	CAN0 メッセージ制御レジスタ 8	COMCTL8	679
D7A9h	CAN0 メッセージ制御レジスタ 9	COMCTL9	679
D7AAh	CAN0 メッセージ制御レジスタ 10	COMCTL10	679
D7ABh	CAN0 メッセージ制御レジスタ 11	COMCTL11	679
D7ACh	CAN0 メッセージ制御レジスタ 12	COMCTL12	679
D7ADh	CAN0 メッセージ制御レジスタ 13	COMCTL13	679
D7AEh	CAN0 メッセージ制御レジスタ 14	COMCTL14	679
D7AFh	CAN0 メッセージ制御レジスタ 15	COMCTL15	679

番地	レジスタ	シンボル	掲載ページ
D7B0h	CAN0 メッセージ制御レジスタ 16	COMCTL16	679
D7B1h	CAN0 メッセージ制御レジスタ 17	COMCTL17	679
D7B2h	CAN0 メッセージ制御レジスタ 18	COMCTL18	679
D7B3h	CAN0 メッセージ制御レジスタ 19	COMCTL19	679
D7B4h	CAN0 メッセージ制御レジスタ 20	COMCTL20	679
D7B5h	CAN0 メッセージ制御レジスタ 21	COMCTL21	679
D7B6h	CAN0 メッセージ制御レジスタ 22	COMCTL22	679
D7B7h	CAN0 メッセージ制御レジスタ 23	COMCTL23	679
D7B8h	CAN0 メッセージ制御レジスタ 24	COMCTL24	679
D7B9h	CAN0 メッセージ制御レジスタ 25	COMCTL25	679
D7BAh	CAN0 メッセージ制御レジスタ 26	COMCTL26	679
D7BBh	CAN0 メッセージ制御レジスタ 27	COMCTL27	679
D7BCh	CAN0 メッセージ制御レジスタ 28	COMCTL28	679
D7BDh	CAN0 メッセージ制御レジスタ 29	COMCTL29	679
D7BEh	CAN0 メッセージ制御レジスタ 30	COMCTL30	679
D7BFh	CAN0 メッセージ制御レジスタ 31	COMCTL31	679
D7C0h	CAN0 制御レジスタ	COCTLR	663
D7C1h			
D7C2h	CAN0 ステータスレジスタ	C0STR	690
D7C3h			
D7C4h	CAN0 ビットコンフィギュレーションレジスタ	C0BCR	668
D7C5h			
D7C6h			
D7C7h	CAN0 クロック選択レジスタ	C0CLKR	667
D7C8h	CAN0 受信 FIFO 制御レジスタ	C0RFCR	683
D7C9h	CAN0 受信 FIFO ポインタ制御レジスタ	C0RFPCR	686
D7CAh	CAN0 送信 FIFO 制御レジスタ	C0TFCR	687
D7CBh	CAN0 送信 FIFO ポインタ制御レジスタ	C0TFPCR	689
D7CCh	CAN0 エラー割り込み許可レジスタ	C0EIER	698
D7CDh	CAN0 エラー割り込み要因判定レジスタ	C0EIFR	700
D7CEh	CAN0 受信エラーカウントレジスタ	C0RECR	703
D7CFh	CAN0 送信エラーカウントレジスタ	C0TECR	704
D7D0h	CAN0 エラーコード格納レジスタ	C0ECSR	705
D7D1h	CAN0 チャネルサーチサポートレジスタ	C0CSSR	696
D7D2h	CAN0 メールボックスサーチステータスレジスタ	COMSSR	694
D7D3h	CAN0 メールボックスサーチモードレジスタ	COMSMR	693
D7D4h	CAN0 タイムスタンプレジスタ	C0TSR	707
D7D5h			
D7D6h	CAN0 アクセプタンスフィルタサポートレジスタ	C0AFSR	697
D7D7h			
D7D8h	CAN0 テスト制御レジスタ	C0TCR	708
D7D9h			
D7DAh			
D7DBh			
D7DCh			
D7DDh			
D7DEh			
D7DFh			

空欄は予約領域です。アクセスしないでください。

FFFDh	オプション機能選択2番地	OFS2	776
FFFFh	オプション機能選択1番地	OFS1	776

OFS1番地、OFS2番地はSFRではありません。

1. 概要

1.1 特長

M16C/5M、M16C/57グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、64ピン、80ピン、または100ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、命令を高速に実行する能力を備えています。CANモジュール(M16C/5Mグループ)、LINモジュールを内蔵し、車載やFAのLANシステムに適したマイクロコンピュータです。乗算器、DMACがあるため、高速な演算処理が必要なOA、家電製品、産業機器の制御にも適しています。

M16C/5M、M16C/57グループはM16C/5L、M16C/56グループの上位の製品となり、同一アーキテクチャでピン配置互換、周辺機能上位互換を保持します。さらにM16C/5M、M16C/57グループはシリアルE²PROMの長所をとりこんだE²PROMエミュレーションデータフラッシュ(E²データフラッシュ)を内蔵します。

1.1.1 用途

車載、カーオーディオ、FAのLANシステム、他

1.2 仕様概要

表 1.1~表 1.6にM16C/5M、M16C/57 グループの仕様概要を示します。

表 1.1 仕様概要 (100ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60 シリーズコア (乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ、E ² データフラッシュ	「表 1.7 製品一覧表 ~ 表 1.10 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 5回路 (メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ、40MHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力: 87 (プルアップ抵抗設定可能) Nチャンネルオープンドレインポート: 1
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 13 (NMI、INT×8、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 50 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理 (二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART4	<ul style="list-style-type: none"> 4チャンネル (UART、クロック同期形シリアルI/O) 1チャンネル (UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
マルチマスタI ² C-busインタフェース		1チャンネル
A/Dコンバータ		分解能10ビット×26チャンネル
D/Aコンバータ		分解能8ビット×1回路

表 1.2 仕様概要(100ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
シリアルバスインタフェース		1チャンネル <ul style="list-style-type: none"> • クロック同期式シリアル通信モード • 4線式シリアルバスモード • キャラクタ長：8~16ビット可変
LINモジュール		1チャンネル
CANモジュール		32スロット×2チャンネルまたは1チャンネル(M16C/5Mグループのみ)(注1)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧：3.0V~5.5V • プログラム、イレーズ回数：1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ：ROMコードプロテクト、IDコードチェック
E ² データフラッシュ		プログラム、イレーズ回数：100,000回(注1)
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V
消費電流		「31. 電気的特性」に記載
動作周囲温度		-40℃~85℃、-40℃~125℃(注1)
パッケージ		100ピンLQFP：PLQP0100KB-A(旧パッケージコード：100P6Q-A)

注1. 動作周囲温度、CANモジュール、E²データフラッシュは、「表 1.7 M16C/5Mグループ製品一覧表(J版)~表 1.10 M16C/57グループ製品一覧表(K版)」を参照してください。

表 1.3 仕様概要 (80ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60 シリーズコア (乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ、E ² データフラッシュ	「表 1.7 製品一覧表 ~ 表 1.10 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 5回路(メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ、40MHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力: 70 (プルアップ抵抗設定可能) Nチャンネルオープンドレインポート: 1
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケール付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 43 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理 (二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×3 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART4	<ul style="list-style-type: none"> 4チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
マルチマスタI ² C-busインタフェース		1チャンネル
A/Dコンバータ		分解能10ビット×27チャンネル
D/Aコンバータ		分解能8ビット×1回路

表 1.4 仕様概要 (80ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
シリアルバスインタフェース		1チャンネル <ul style="list-style-type: none"> • クロック同期式シリアル通信モード • 4線式シリアルバスモード • キャラクタ長：8~16ビット可変
LINモジュール		1チャンネル
CANモジュール		32スロット×2チャンネルまたは1チャンネル (M16C/5Mグループのみ) (注1)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧：3.0V~5.5V • プログラム、イレーズ回数：1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ：ROMコードプロテクト、IDコードチェック
E ² データフラッシュ		プログラム、イレーズ回数：100,000回 (注1)
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V
消費電流		「31. 電気的特性」に記載
動作周囲温度		-40℃~85℃、-40℃~125℃ (注1)
パッケージ		80ピンLQFP：PLQP0080KB-A (旧パッケージコード：80P6Q-A)

注1. 動作周囲温度、CANモジュール、E²データフラッシュは、「表 1.7 M16C/5Mグループ製品一覧表(J版)~表 1.10 M16C/57グループ製品一覧表(K版)」を参照してください。

表 1.5 仕様概要 (64ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60 シリーズコア (乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ、E ² データフラッシュ	「表 1.7 製品一覧表 ~ 表 1.10 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 5回路(メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ、40MHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> CMOS入出力: 54 (プルアップ抵抗設定可能) Nチャンネルオープンドレインポート: 1
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケール付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 41 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理 (二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×3 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART3	<ul style="list-style-type: none"> 3チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
マルチマスタI ² C-busインタフェース		1チャンネル
A/Dコンバータ		分解能10ビット×16チャンネル
D/Aコンバータ		分解能8ビット×1回路

表 1.6 仕様概要 (64ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
シリアルバスインタフェース		1チャンネル <ul style="list-style-type: none"> • クロック同期式シリアル通信モード • 4線式シリアルバスモード • キャラクタ長：8~16ビット可変
LINモジュール		1チャンネル
CANモジュール		32スロット×2チャンネルまたは1チャンネル (M16C/5Mグループのみ) (注1)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧：3.0V~5.5V • プログラム、イレーズ回数：1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ：ROMコードプロテクト、IDコードチェック
E ² データフラッシュ		プログラム、イレーズ回数：100,000回 (注1)
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V
消費電流		「31. 電気的特性」に記載
動作周囲温度		-40℃~85℃、-40℃~125℃ (注1)
パッケージ		64ピンLQFP：PLQP0064KB-A (旧パッケージコード：64P6Q-A)

注1. 動作周囲温度、CANモジュール、E²データフラッシュは、「表 1.7 M16C/5Mグループ製品一覧表(J版)~表 1.10 M16C/57グループ製品一覧表(K版)」を参照してください。

1.3 製品一覧

表 1.7~表 1.10 に製品一覧表、図 1.1 に型名とメモリサイズ・パッケージ、図 1.2 にマーキング図 (上面図) を示します。

表 1.7 M16C/5M グループ製品一覧表 (J版)

2011年9月現在

型名	ROM容量				RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ	E ² データフラッシュ				
R5F35M23JFE	96Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	8Kバイト	1チャンネル	PLQP0080KB-A	動作周囲温度 -40°C~85°C
R5F35M33JFF				—			PLQP0064KB-A	
R5F35M73JFE				—			PLQP0080KB-A	
R5F35M83JFF				—			PLQP0064KB-A	
R5F35M16JFB	128Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	12Kバイト		PLQP0100KB-A	
R5F35M26JFE				—			PLQP0080KB-A	
R5F35M36JFF				—			PLQP0064KB-A	
R5F35M66JFB				—			PLQP0100KB-A	
R5F35M76JFE				—			PLQP0080KB-A	
R5F35M86JFF	—	PLQP0064KB-A						
R5F35M1EJFB	256Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	20Kバイト		PLQP0100KB-A	
R5F35M2EJFE				—			PLQP0080KB-A	
R5F35M3EJFF				—			PLQP0064KB-A	
R5F35M6EJFB				—			PLQP0100KB-A	
R5F35M7EJFE				—			PLQP0080KB-A	
R5F35M8EJFF	—	PLQP0064KB-A						
R5F35MB3JFE	96Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	8Kバイト	2チャンネル	PLQP0080KB-A	
R5F35MC3JFF				—			PLQP0064KB-A	
R5F35ME3JFE				—			PLQP0080KB-A	
R5F35MF3JFF				—			PLQP0064KB-A	
R5F35MA6JFB	128Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	12Kバイト		PLQP0100KB-A	
R5F35MB6JFE				—			PLQP0080KB-A	
R5F35MC6JFF				—			PLQP0064KB-A	
R5F35MD6JFB				—			PLQP0100KB-A	
R5F35ME6JFE				—			PLQP0080KB-A	
R5F35MF6JFF	—	PLQP0064KB-A						
R5F35MAEJFB	256Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	20Kバイト		PLQP0100KB-A	
R5F35MBEJFE				—			PLQP0080KB-A	
R5F35MCEJFF				—			PLQP0064KB-A	
R5F35MDEJFB				—			PLQP0100KB-A	
R5F35MEEJFE				—			PLQP0080KB-A	
R5F35MFEJFF	—	PLQP0064KB-A						

(開): 開発中

(計): 計画中

各パッケージの旧パッケージコードは以下のとおりです。

PLQP0100KB-A: 100P6Q-A、PLQP0080KB-A: 80P6Q-A、PLQP0064KB-A: 64P6Q-A

表 1.8 M16C/5M グループ製品一覧表 (K版)

2011年9月現在

型名	ROM容量				RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ	E2データフラッシュ				
R5F35M23KFE	96Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	8Kバイト	1チャンネル	PLQP0080KB-A	動作周囲温度 -40°C~125°C
R5F35M33KFF				—			PLQP0064KB-A	
R5F35M73KFE				—			PLQP0080KB-A	
R5F35M83KFF				—			PLQP0064KB-A	
R5F35M16KFB	128Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	12Kバイト		PLQP0100KB-A	
R5F35M26KFE				—			PLQP0080KB-A	
R5F35M36KFF				—			PLQP0064KB-A	
R5F35M66KFB				—			PLQP0100KB-A	
R5F35M76KFE				—			PLQP0080KB-A	
R5F35M86KFF				—			PLQP0064KB-A	
R5F35M1EKFB	256Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	20Kバイト		PLQP0100KB-A	
R5F35M2EKFE				—			PLQP0080KB-A	
R5F35M3EKFF				—		PLQP0064KB-A		
R5F35M6EKFB				—		PLQP0100KB-A		
R5F35M7EKFE				—		PLQP0080KB-A		
R5F35M8EKFF				—		PLQP0064KB-A		
R5F35MB3KFE	96Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	8Kバイト	PLQP0080KB-A		
R5F35MC3KFF				—		PLQP0064KB-A		
R5F35ME3KFE				—		PLQP0080KB-A		
R5F35MF3KFF				—		PLQP0064KB-A		
R5F35MA6KFB	128Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	12Kバイト	PLQP0100KB-A		
R5F35MB6KFE				—		PLQP0080KB-A		
R5F35MC6KFF				—		PLQP0064KB-A		
R5F35MD6KFB				—		PLQP0100KB-A		
R5F35ME6KFE				—		PLQP0080KB-A		
R5F35MF6KFF				—		PLQP0064KB-A		
R5F35MAEKFB	256Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	20Kバイト	PLQP0100KB-A		
R5F35MBEKFE				—		PLQP0080KB-A		
R5F35MCEKFF				—		PLQP0064KB-A		
R5F35MDEKFB				—		PLQP0100KB-A		
R5F35MEEKFE				—		PLQP0080KB-A		
R5F35MFEKFF				—		PLQP0064KB-A		

(開): 開発中

(計): 計画中

各パッケージの旧パッケージコードは以下のとおりです。

PLQP0100KB-A: 100P6Q-A、PLQP0080KB-A: 80P6Q-A、PLQP0064KB-A: 64P6Q-A

表 1.9 M16C/57 グループ製品一覧表 (J版)

2011年9月現在

型名	ROM容量				RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ	E2データフラッシュ				
R5F35723JFE	96Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	8Kバイト	なし	PLQP0080KB-A PLQP0064KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A	動作周囲温度 -40°C~85°C
R5F35733JFF				—				
R5F35773JFE				—				
R5F35783JFF				—				
R5F35716JFB	128Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	12Kバイト			
R5F35726JFE				—				
R5F35736JFF				—				
R5F35766JFB				—				
R5F35776JFE				—				
R5F35786JFF	256Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	20Kバイト			
R5F3571EJFB				—				
R5F3572EJFE				—				
R5F3573EJFF				—				
R5F3576EJFB				—				
R5F3577EJFE				—				
R5F3578EJFF	—							

(開): 開発中

(計): 計画中

各パッケージの旧パッケージコードは以下のとおりです。

PLQP0100KB-A: 100P6Q-A、PLQP0080KB-A: 80P6Q-A、PLQP0064KB-A: 64P6Q-A

表 1.10 M16C/57 グループ製品一覧表 (K版)

2011年9月現在

型名	ROM容量				RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ	E2データフラッシュ				
R5F35723KFE	96Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	8Kバイト	なし	PLQP0080KB-A PLQP0064KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A PLQP0100KB-A PLQP0080KB-A PLQP0064KB-A	動作周囲温度 -40°C~125°C
R5F35733KFF				—				
R5F35773KFE				—				
R5F35783KFF				—				
R5F35716KFB	128Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	12Kバイト			
R5F35726KFE				—				
R5F35736KFF				—				
R5F35766KFB				—				
R5F35776KFE				—				
R5F35786KFF	256Kバイト	16Kバイト	4Kバイト ×2 ブロック	4Kバイト	20Kバイト			
R5F3571EKFB				—				
R5F3572EKFE				—				
R5F3573EKFF				—				
R5F3576EKFB				—				
R5F3577EKFE				—				
R5F3578EKFF	—							

(開): 開発中

(計): 計画中

各パッケージの旧パッケージコードは以下のとおりです。

PLQP0100KB-A: 100P6Q-A、PLQP0080KB-A: 80P6Q-A、PLQP0064KB-A: 64P6Q-A

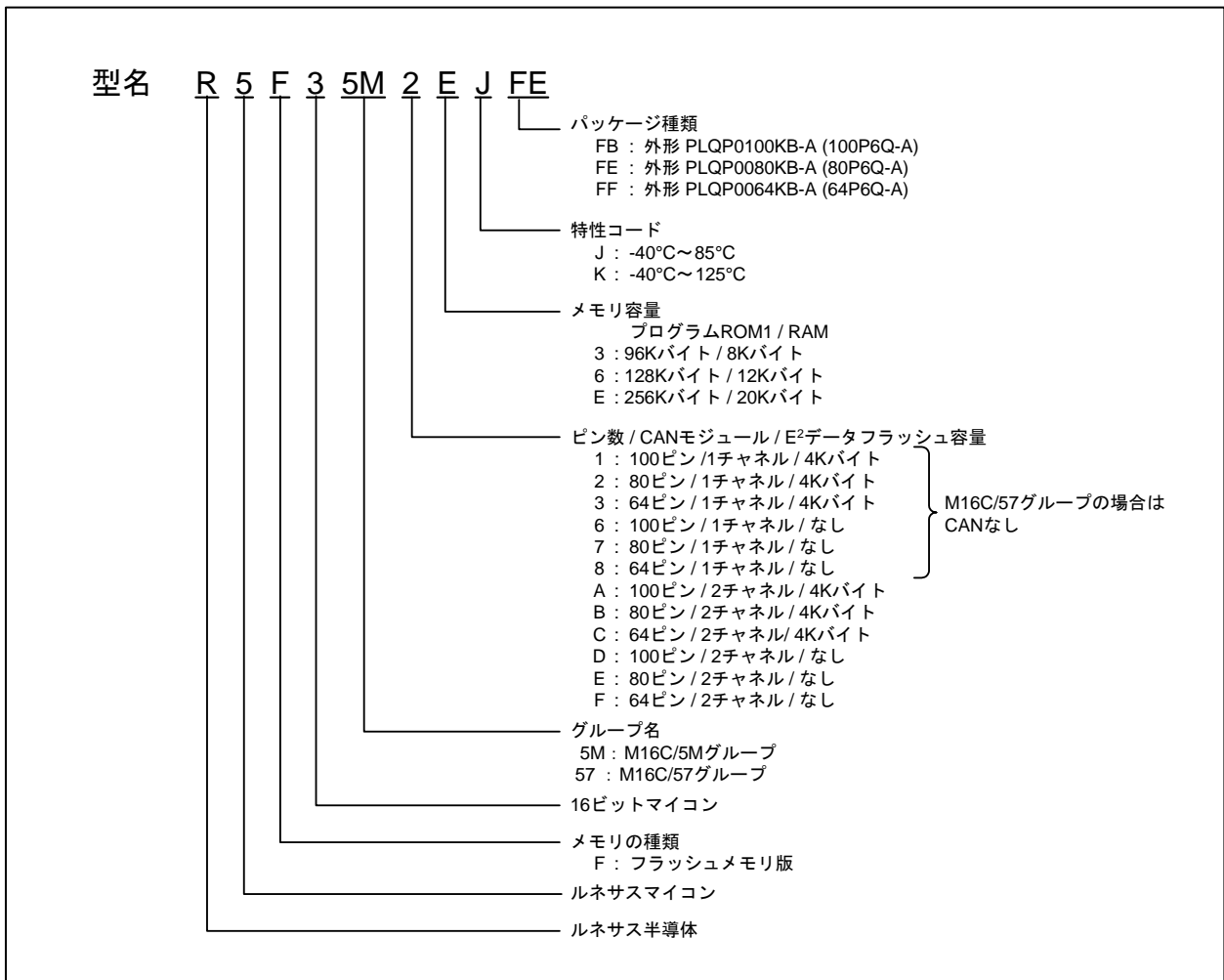


図 1.1 型名とメモリサイズ・パッケージ

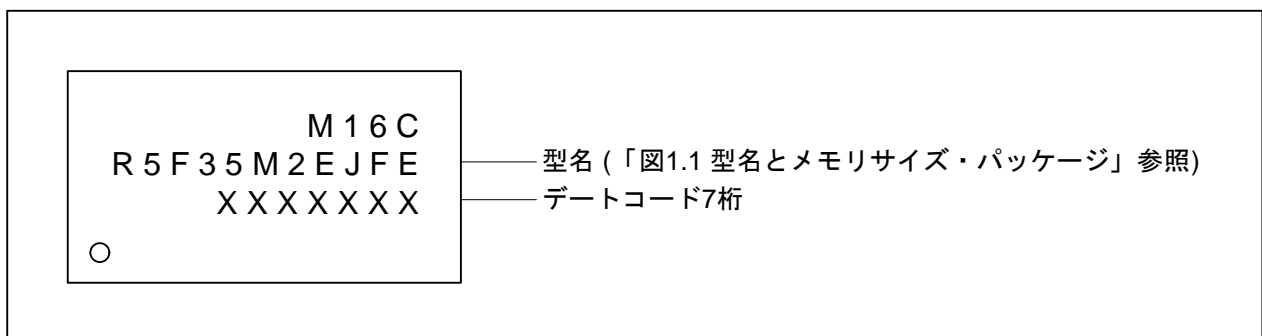


図 1.2 マーキング図 (上面図)

1.4 ブロック図

図 1.3~図 1.5にM16C/5M、M16C/57グループのブロック図を示します。

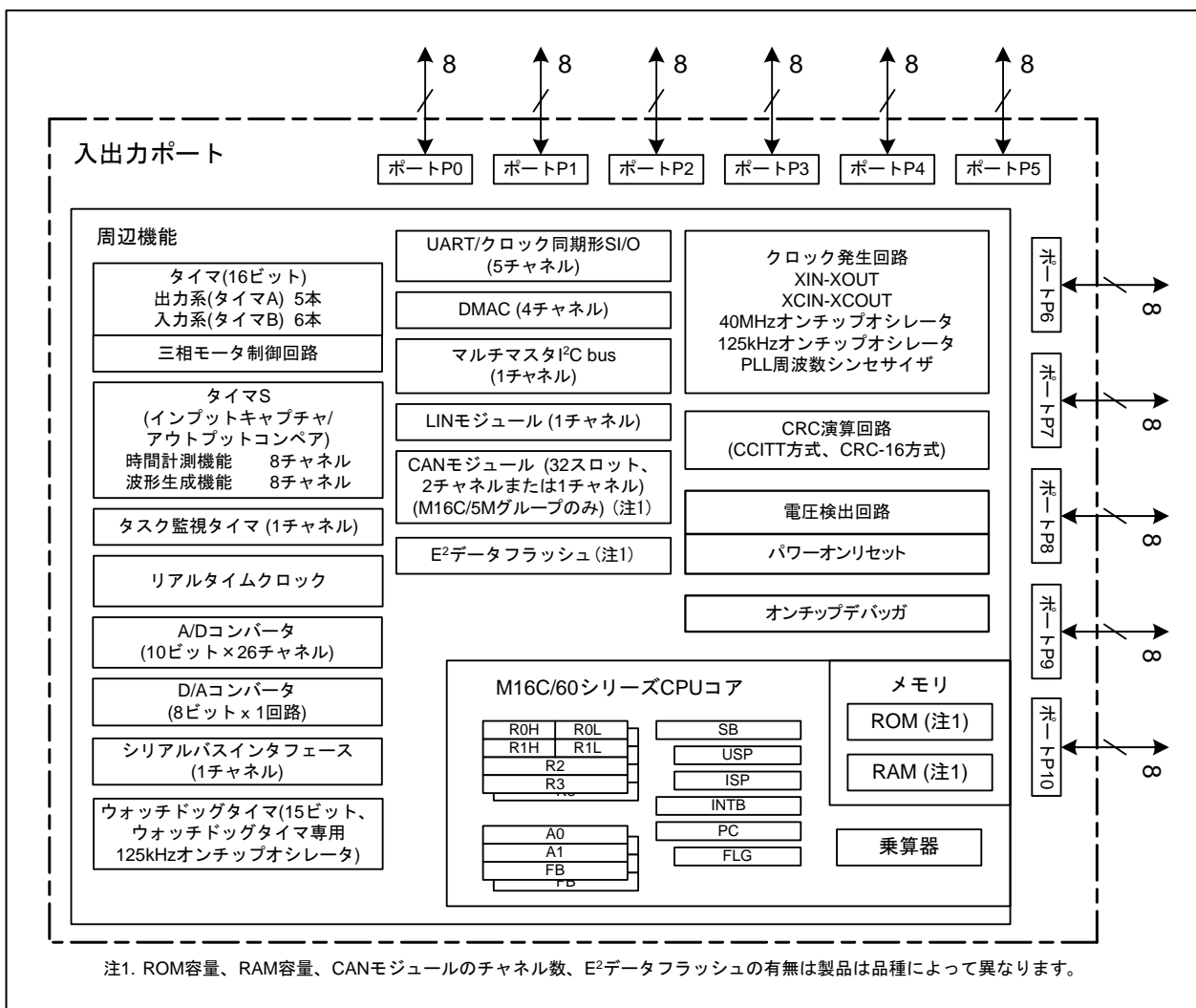


図 1.3 ブロック図 (100ピン版)

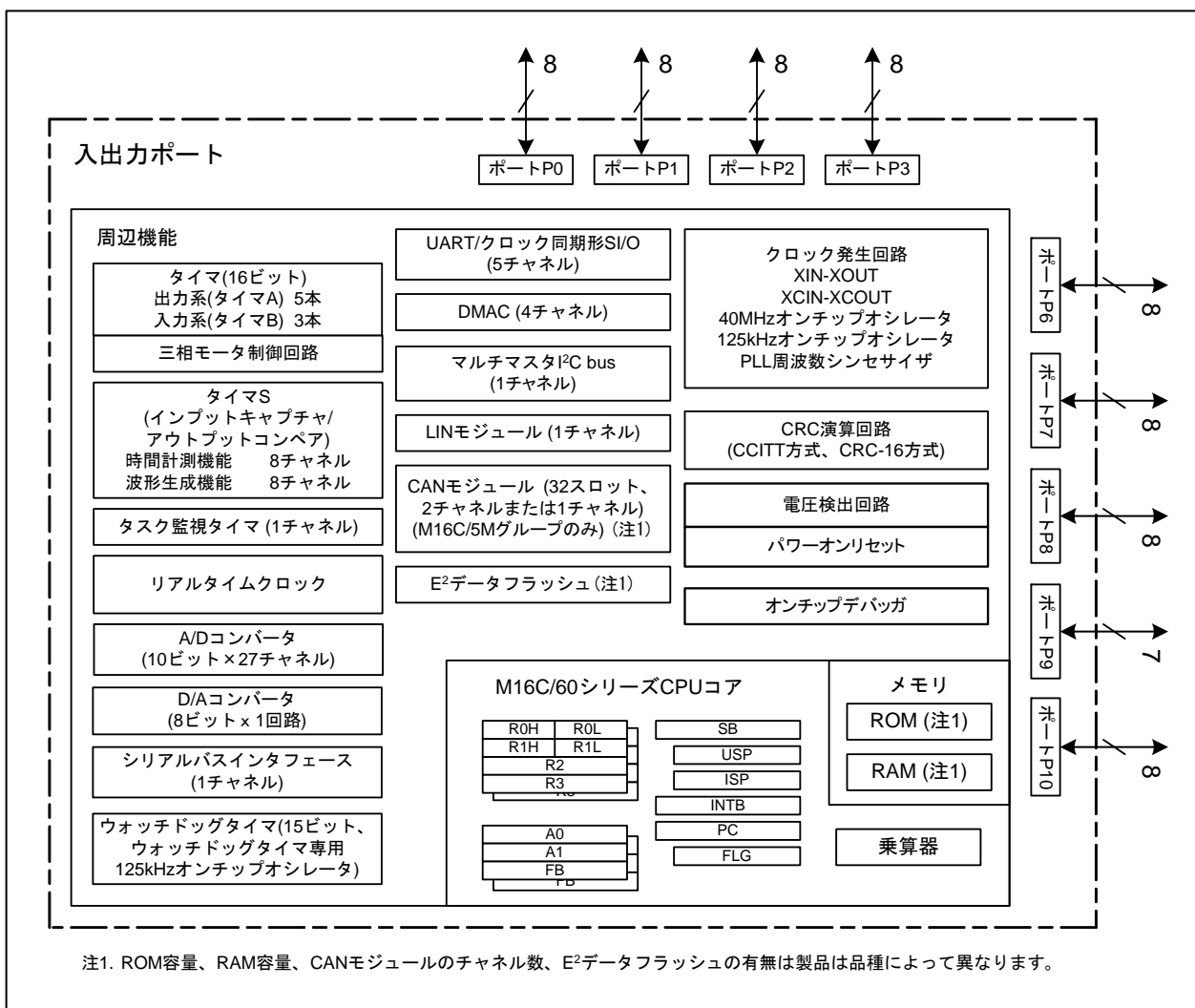


図 1.4 ブロック図 (80ピン版)

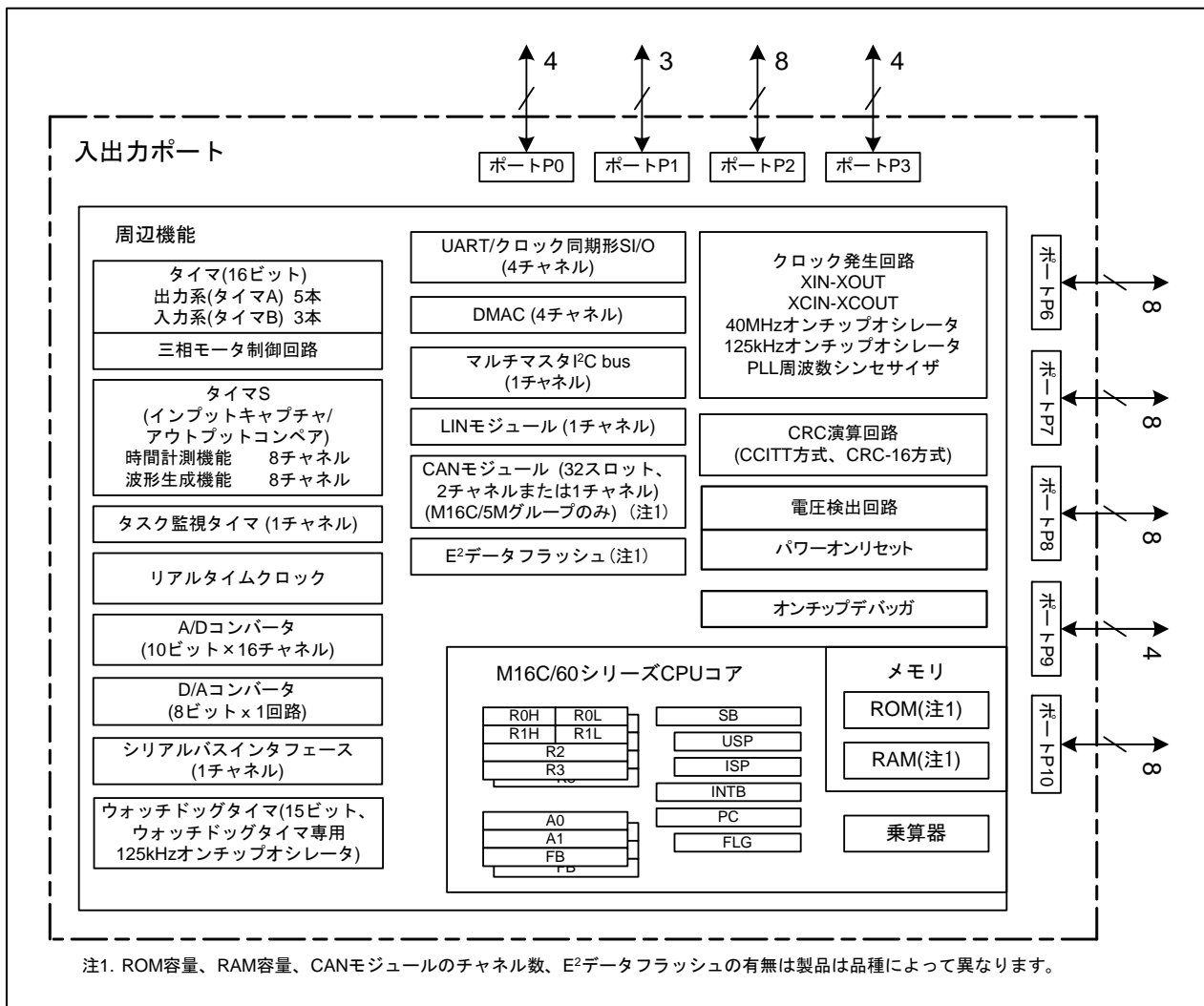


図 1.5 ブロック図 (64ピン版)

1.5 ピン接続図

図 1.6に100ピン版接続図(上面図)、表 1.11~表 1.12に100ピン版端子名一覧表を示します。

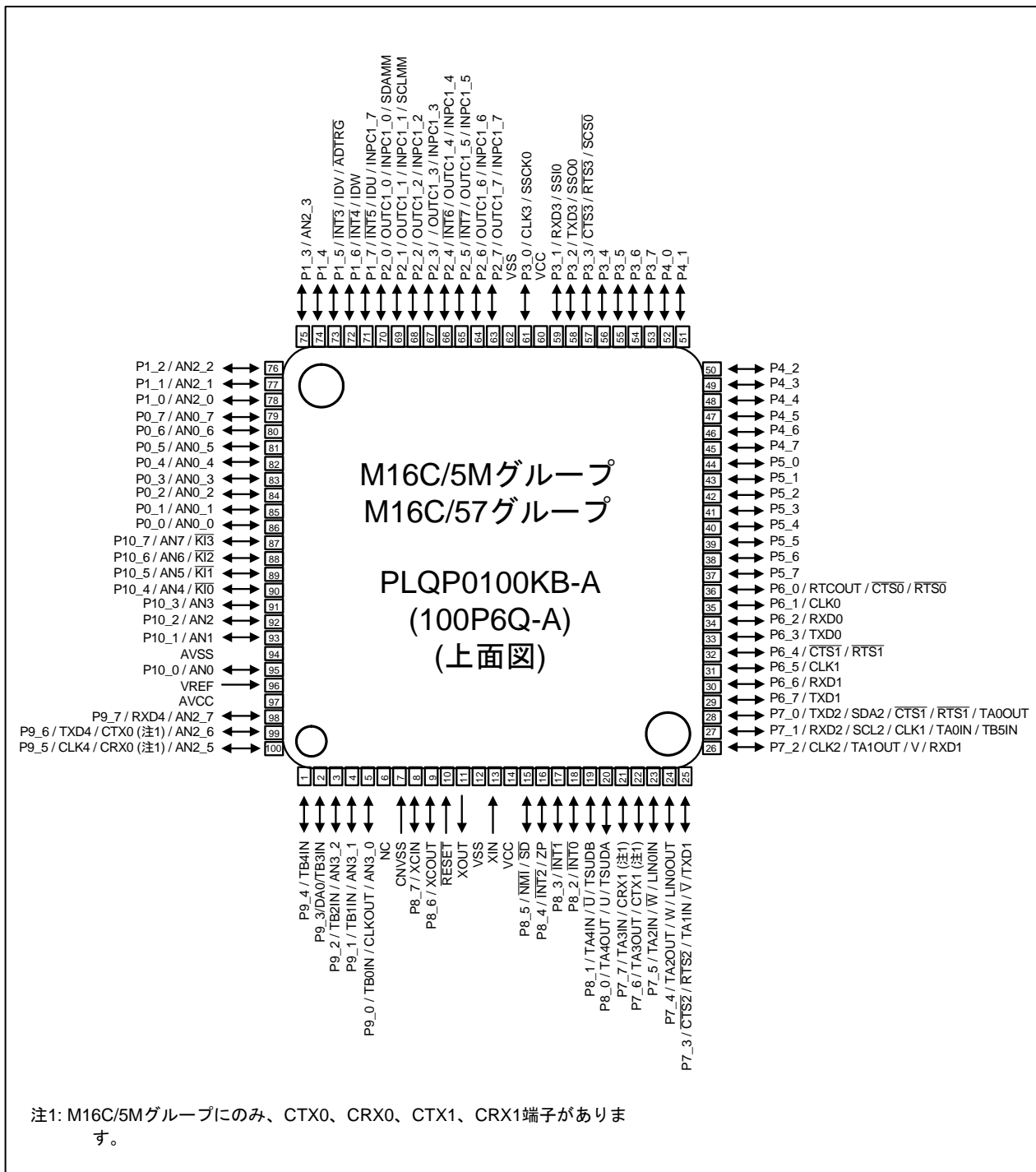


図 1.6 100ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“100b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.11 100ピン版端子名一覧表 (1/2)

Pin No	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN/LIN/シリアルバスインタフェース	マルチマスタ I ² C-bus	アナログ
1		P9_4		TB4IN				
2		P9_3		TB3IN				DA0
3		P9_2		TB2IN				AN3_2
4		P9_1		TB1IN				AN3_1
5	CLKOUT	P9_0		TB0IN				AN3_0
6	NC							
7	CNVSS							
8	XCIN	P8_7						
9	XCOU	P8_6						
10	RESET							
11	XOUT							
12	VSS							
13	XIN							
14	VCC							
15		P8_5	NMI	SD				
16		P8_4	INT2	ZP				
17		P8_3	INT1					
18		P8_2	INT0					
19		P8_1		TA4IN/U	TSUDB			
20		P8_0		TA4OUT/U	TSUDA			
21		P7_7		TA3IN		CRX1 (注1)		
22		P7_6		TA3OUT		CTX1 (注1)		
23		P7_5		TA2IN/W		LIN0IN		
24		P7_4		TA2OUT/W		LIN0OUT		
25		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
26		P7_2		TA1OUT/V		CLK2/RXD1		
27		P7_1		TA0IN/TB5IN		RXD2/SCL2/CLK1		
28		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
29		P6_7				TXD1		
30		P6_6				RXD1		
31		P6_5				CLK1		
32		P6_4				CTS1/RTS1		
33		P6_3				TXD0		
34		P6_2				RXD0		
35		P6_1				CLK0		
36		P6_0	RTCOUT			CTS0/RTS0		
37		P5_7						
38		P5_6						
39		P5_5						
40		P5_4						
41		P5_3						
42		P5_2						
43		P5_1						
44		P5_0						
45		P4_7						
46		P4_6						
47		P4_5						
48		P4_4						
49		P4_3						
50		P4_2						

注1. M16C/5Mグループにのみ、CTX1、CRX1端子があります。

表 1.12 100ピン版端子名一覧表(2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN/LIN/シリアルバスインタフェース	マルチマスタ I ² C-bus	アナログ
51		P4_1						
52		P4_0						
53		P3_7						
54		P3_6						
55		P3_5						
56		P3_4						
57		P3_3				CTS3/RTS3/SCS0		
58		P3_2				TXD3/SSO0		
59		P3_1				RXD3/SSIO		
60	VCC							
61		P3_0				CLK3/SSCK0		
62	VSS							
63		P2_7			OUTC1_7/INPC1_7			
64		P2_6			OUTC1_6/INPC1_6			
65		P2_5	INT7		OUTC1_5/INPC1_5			
66		P2_4	INT6		OUTC1_4/INPC1_4			
67		P2_3			OUTC1_3/INPC1_3			
68		P2_2			OUTC1_2/INPC1_2			
69		P2_1			OUTC1_1/INPC1_1		SCLMM	
70		P2_0			OUTC1_0/INPC1_0		SDAMM	
71		P1_7	INT5	IDU	INPC1_7			
72		P1_6	INT4	IDW				
73		P1_5	INT3	IDV				ADTRG
74		P1_4						
75		P1_3						AN2_3
76		P1_2						AN2_2
77		P1_1						AN2_1
78		P1_0						AN2_0
79		P0_7						AN0_7
80		P0_6						AN0_6
81		P0_5						AN0_5
82		P0_4						AN0_4
83		P0_3						AN0_3
84		P0_2						AN0_2
85		P0_1						AN0_1
86		P0_0						AN0_0
87		P10_7	KI3					AN_7
88		P10_6	KI2					AN_6
89		P10_5	KI1					AN_5
90		P10_4	KI0					AN_4
91		P10_3						AN_3
92		P10_2						AN_2
93		P10_1						AN_1
94	AVSS							
95		P10_0						AN_0
96	VREF							
97	AVCC							
98		P9_7				RXD4		AN2_7
99		P9_6				TXD4/CTX0 (注1)		AN2_6
100		P9_5				CLK4/CRX0 (注1)		AN2_5

注1. M16C/5Mグループにのみ、CTX0、CRX0端子があります。

図 1.7に 80ピン版ピン接続図(上面図)、表 1.13~表 1.14に 80ピン版端子名一覧表を示します。

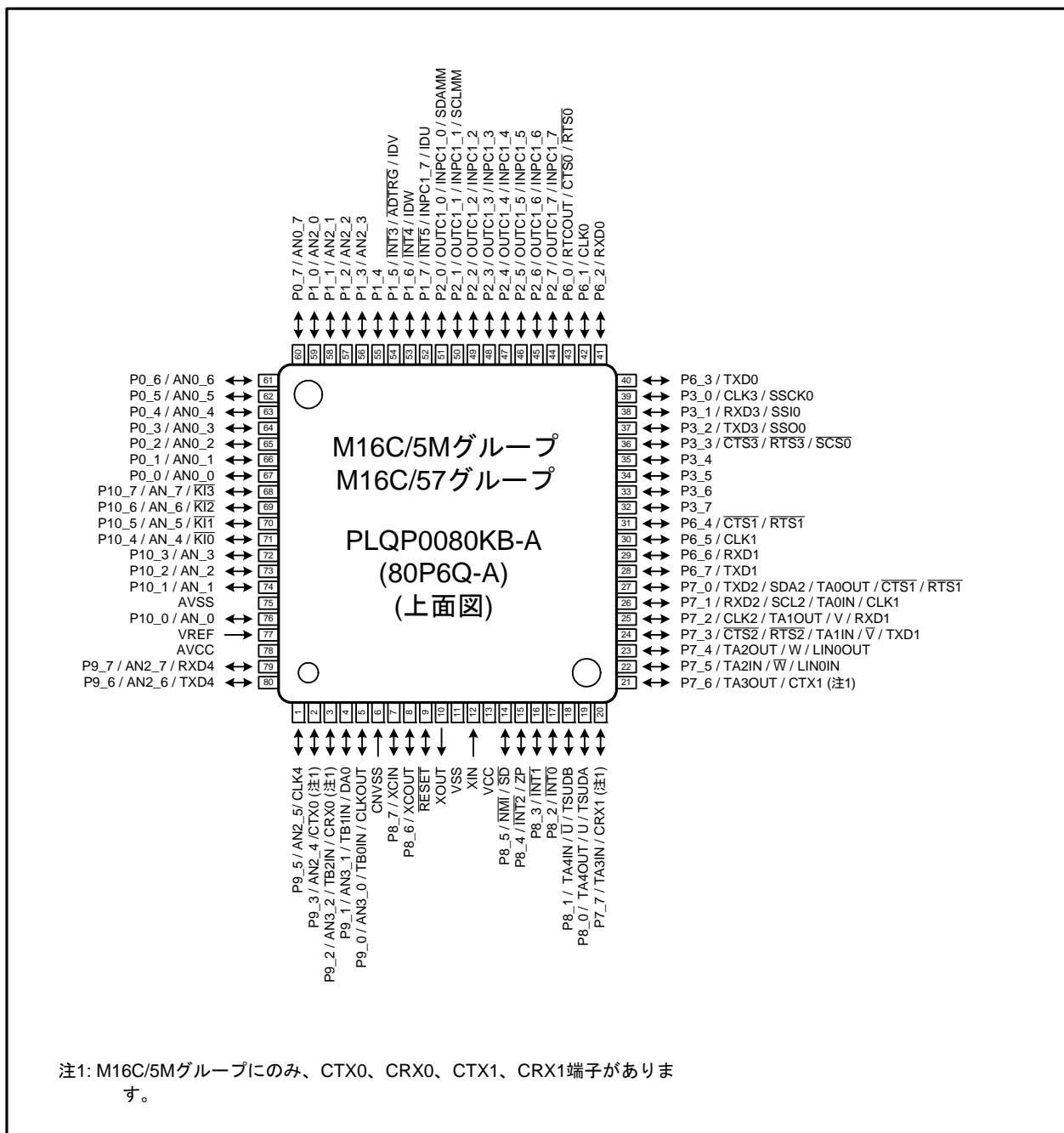


図 1.7 80ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“011b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.13 80ピン版端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN/LIN/シリアルバスインタフェース	マルチマスタ I ² C-bus	アナログ
1		P9_5				CLK4		AN2_5
2		P9_3				CTX0 (注1)		AN2_4
3		P9_2		TB2IN		CRX0 (注1)		AN3_2
4		P9_1		TB1IN				AN3_1/DA0
5	CLKOUT	P9_0		TB0IN				AN3_0
6	CNVSS							
7	XCIN	P8_7						
8	XCOU	P8_6						
9	RESET							
10	XOUT							
11	VSS							
12	XIN							
13	VCC							
14		P8_5	NMI	SD				
15		P8_4	INT2	ZP				
16		P8_3	INT1					
17		P8_2	INT0					
18		P8_1		TA4IN/U	TSUDB			
19		P8_0		TA4OUT/U	TSUDA			
20		P7_7		TA3IN		CRX1 (注1)		
21		P7_6		TA3OUT		CTX1 (注1)		
22		P7_5		TA2IN/W		LIN0IN		
23		P7_4		TA2OUT/W		LIN0OUT		
24		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
25		P7_2		TA1OUT/V		CLK2/RXD1		
26		P7_1		TA0IN		RXD2/SCL2/CLK1		
27		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
28		P6_7				TXD1		
29		P6_6				RXD1		
30		P6_5				CLK1		
31		P6_4				CTS1/RTS1		
32		P3_7						
33		P3_6						
34		P3_5						
35		P3_4						
36		P3_3				CTS3/RTS3/SCS0		
37		P3_2				TXD3/SSO0		
38		P3_1				RXD3/SSI0		
39		P3_0				CLK3/SSCK0		
40		P6_3				TXD0		

注1. M16C/5Mグループにのみ、CTX0、CRX0、CTX1、CRX1端子があります。

表 1.14 80ピン版端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN/LIN/シリアルバスインタフェース	マルチマスタ I ² C-bus	アナログ
41		P6_2				RXD0		
42		P6_1				CLK0		
43		P6_0		RTCOUT		CTS0/RTS0		
44		P2_7			OUTC1_7/INPC1_7			
45		P2_6			OUTC1_6/INPC1_6			
46		P2_5			OUTC1_5/INPC1_5			
47		P2_4			OUTC1_4/INPC1_4			
48		P2_3			OUTC1_3/INPC1_3			
49		P2_2			OUTC1_2/INPC1_2			
50		P2_1			OUTC1_1/INPC1_1		SCLMM	
51		P2_0			OUTC1_0/INPC1_0		SDAMM	
52		P1_7	INT5	IDU	INPC1_7			
53		P1_6	INT4	IDW				
54		P1_5	INT3	IDV				ADTRG
55		P1_4						
56		P1_3						AN2_3
57		P1_2						AN2_2
58		P1_1						AN2_1
59		P1_0						AN2_0
60		P0_7						AN0_7
61		P0_6						AN0_6
62		P0_5						AN0_5
63		P0_4						AN0_4
64		P0_3						AN0_3
65		P0_2						AN0_2
66		P0_1						AN0_1
67		P0_0						AN0_0
68		P10_7	KI3					AN_7
69		P10_6	KI2					AN_6
70		P10_5	KI1					AN_5
71		P10_4	KI0					AN_4
72		P10_3						AN_3
73		P10_2						AN_2
74		P10_1						AN_1
75	AVSS							
76		P10_0						AN_0
77	VREF							
78	AVCC							
79		P9_7				RXD4		AN2_7
80		P9_6				TXD4		AN2_6

図 1.8に 64 ピン版ピン接続図(上面図)、表 1.15~表 1.16に 64 ピン版端子名一覧表を示します。

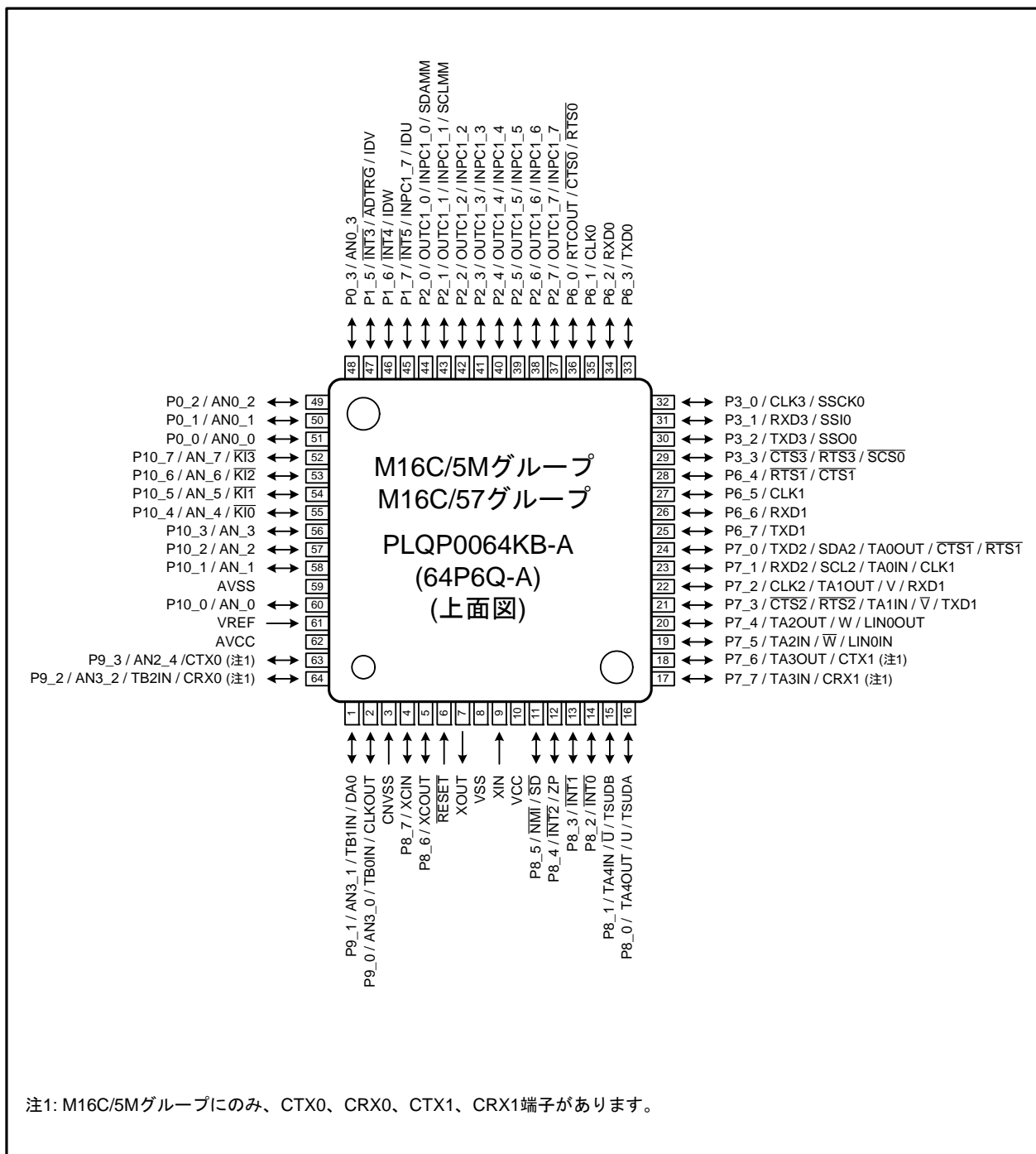


図 1.8 64 ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“010b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.15 64ピン版端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN/LIN/シリアルバスインタフェース	マルチマスタ I ² C-bus	アナログ
1		P9_1		TB1IN				AN3_1/DA0
2	CLKOUT	P9_0		TB0IN				AN3_0
3	CNVSS							
4	XCIN	P8_7						
5	XCOU	P8_6						
6	RESET							
7	XOUT							
8	VSS							
9	XIN							
10	VCC							
11		P8_5	NMI	SD				
12		P8_4	INT2	ZP				
13		P8_3	INT1					
14		P8_2	INT0					
15		P8_1		TA4IN/U	TSUDB			
16		P8_0		TA4OUT/U	TSUDA			
17		P7_7		TA3IN		CRX1 (注1)		
18		P7_6		TA3OUT		CTX1 (注1)		
19		P7_5		TA2IN/W		LIN0IN		
20		P7_4		TA2OUT/W		LIN0OUT		
21		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
22		P7_2		TA1OUT/V		CLK2/RXD1		
23		P7_1		TA0IN		RXD2/SCL2/CLK1		
24		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
25		P6_7				TXD1		
26		P6_6				RXD1		
27		P6_5				CLK1		
28		P6_4				CTS1/RTS1		
29		P3_3				CTS3/RTS3/SCS0		
30		P3_2				TXD3/SSO0		

注1. M16C/5Mグループにのみ、CTX1、CRX1端子があります。

表 1.16 64ピン版端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN/LIN/シリアルバスインタフェース	マルチマスタ I ² C-bus	アナログ
31		P3_1				RXD3/SSI0		
32		P3_0				CLK3/SSCK0		
33		P6_3				TXD0		
34		P6_2				RXD0		
35		P6_1				CLK0		
36		P6_0		RTCOUT		$\overline{\text{CTS0}}/\overline{\text{RTS0}}$		
37		P2_7			OUTC1_7/INPC1_7			
38		P2_6			OUTC1_6/INPC1_6			
39		P2_5			OUTC1_5/INPC1_5			
40		P2_4			OUTC1_4/INPC1_4			
41		P2_3			OUTC1_3/INPC1_3			
42		P2_2			OUTC1_2/INPC1_2			
43		P2_1			OUTC1_1/INPC1_1		SCLMM	
44		P2_0			OUTC1_0/INPC1_0		SDAMM	
45		P1_7	$\overline{\text{INT5}}$	IDU	INPC1_7			
46		P1_6	$\overline{\text{INT4}}$	IDW				
47		P1_5	$\overline{\text{INT3}}$	IDV				$\overline{\text{ADTRG}}$
48		P0_3						AN0_3
49		P0_2						AN0_2
50		P0_1						AN0_1
51		P0_0						AN0_0
52		P10_7	$\overline{\text{KI3}}$					AN_7
53		P10_6	$\overline{\text{KI2}}$					AN_6
54		P10_5	$\overline{\text{KI1}}$					AN_5
55		P10_4	$\overline{\text{KI0}}$					AN_4
56		P10_3						AN_3
57		P10_2						AN_2
58		P10_1						AN_1
59	AVSS							
60		P10_0						AN_0
61	VREF							
62	AVCC							
63		P9_3				CTX0 (注1)		AN2_4
64		P9_2		TB2IN		CRX0 (注1)		AN3_2

注1. M16C/5Mグループにのみ、CTX0、CRX0端子があります。

1.6 端子機能の説明

表 1.17 端子機能の説明 (64ピン版、80ピン版、100ピン版共通) (1/2)

分類	端子名	入出力	機能
電源入力	VCC, VSS	入力	VSS端子には、0Vを入力してください。VCC端子には、3.0~5.5Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/DコンバータとD/Aコンバータの電源入力です。AVCC端子はVCCに接続してください。AVSS端子はVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	抵抗を介してVSSに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください。メインクロック回路を使用しない場合、XINをVCC端子に接続し、XOUTは開放してください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。(注1)
サブクロック出力	XCOUT	出力	
クロック出力	CLKOUT	出力	f1、f8、f32またはfCと同じ周期を持つクロックを出力します。
INT割り込み入力	INT0~INT5	入力	INT割り込みの入力です。
NMI入力	NMI	入力	NMIの入力です。
キー入力割り込み	KI0~KI3	入力	キー入力割り込みの入力です。
タイマA	TA0OUT~ TA4OUT	入出力	タイマA0~A4の入出力です。
	TA0IN~TA4IN	入力	タイマA0~A4の入力です。
	ZP	入力	Z相の入力です。
タイマB	TB0IN~TB2IN	入力	タイマB0~B2の入力です。
三相モータ制御用 タイマ	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	三相モータ制御用タイマの出力です。
	IDU, IDW, IDV, \bar{SD}	入出力	三相モータ制御用タイマの入力です。
リアルタイム クロック	RTCOUT	出力	リアルタイムクロックの出力です。
シリアルインタ フェース UART0~UART3	CTS0~CTS3	入力	送信制御用入力です。
	RTS0~RTS3	出力	受信制御用出力です。
	CLK0~CLK3	入出力	転送クロック入出力です。
	RXD0~RXD3	入力	シリアルデータ入力です。
	TXD0~TXD3	出力	シリアルデータ出力です。
UART2 I ² Cモード	SDA2	入出力	シリアルデータ入出力です。
	SCL2	入出力	転送クロック入出力です。
マルチマスタ I ² C-bus	SDAMM	入出力	シリアルデータ入出力です。
	SCLMM		転送クロック入出力です。
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN_0~AN_7 AN0_0~AN0_3 AN3_0~AN3_2	入力	アナログ入力です。
	ADTRG	入力	外部トリガ入力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表 1.18 端子機能の説明 (64ピン版、80ピン版、100ピン版共通) (2/2)

分類	端子名	入出力	機能
タイマS	INPC1_0~INPC1_7	入力	時間計測機能の入力です。
	OUTC1_0~OUTC1_7	出力	波形生成機能の出力です。
	TSUDA、TSUDB	入力	二相パルス入力です。
CANモジュール (注1)	CRX0, CRX1	入力	CAN通信機能の受信データ入力です。
	CTX0, CTX1	出力	CAN通信機能の送信データ出力です。
D/Aコンバータ	DA0	出力	D/Aコンバータの出力です。
LINモジュール	LIN0OUT	出力	LIN通信機能の送信データ出力です。
	LIN0IN	入力	LIN通信機能の受信データ入力です。
シリアルバスインタフェース	SSO0	出力	シリアルデータ出力です。
	SSI0	入力	シリアルデータ入力です。
	SSCK0	入出力	送受信クロック入出力です。
	SCS0	入力	制御用入力です。
入出力ポート	P0_0~P0_3 P1_5~P1_7 P2_0~P2_7 P3_0~P3_3 P6_0~P6_7 P7_0~P7_7 P8_0~P8_7 P9_0~P9_3 P10_0~P10_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。 ただし、P8_5の出力はNチャネルオープンドレイン出力。プルアップはありません。P8_5は、 $\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入カレベルを確認できます。

注1. M16C/5Mグループにのみ、CANモジュールがあります。

表 1.19 端子機能の説明(100ピン版のみ)

分類	端子名	入出力	機能
INT割り込み入力	INT6、INT7	入力	INT割り込みの入力です。
タイマB	TB3IN~TB5IN	入力	タイマB3~B5の入力です。
入出力ポート	P4_0~P4_7 P5_0~P5_7 P9_4	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。 また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。

表 1.20 端子機能の説明(80ピン版、64ピン版のみ共通)

分類	端子名	入出力	機能
A/Dコンバータ	AN2_4	入力	アナログ入力です。

表 1.21 端子機能の説明(100ピン版、80ピン版のみ共通)

分類	端子名	入出力	機能
シリアルインタフェース UART4	CLK4	入出力	転送クロック入出力です。
	RXD4	入力	シリアルデータ入力です。
	TXD4	出力	シリアルデータ出力です。
A/Dコンバータ	AN0_4~AN0_7 AN2_0~AN2_3 AN2_5~AN2_7	入力	アナログ入力です。
入出力ポート	P0_4~P0_7 P1_0~P1_4 P3_4~P3_7 P9_5~P9_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。 また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

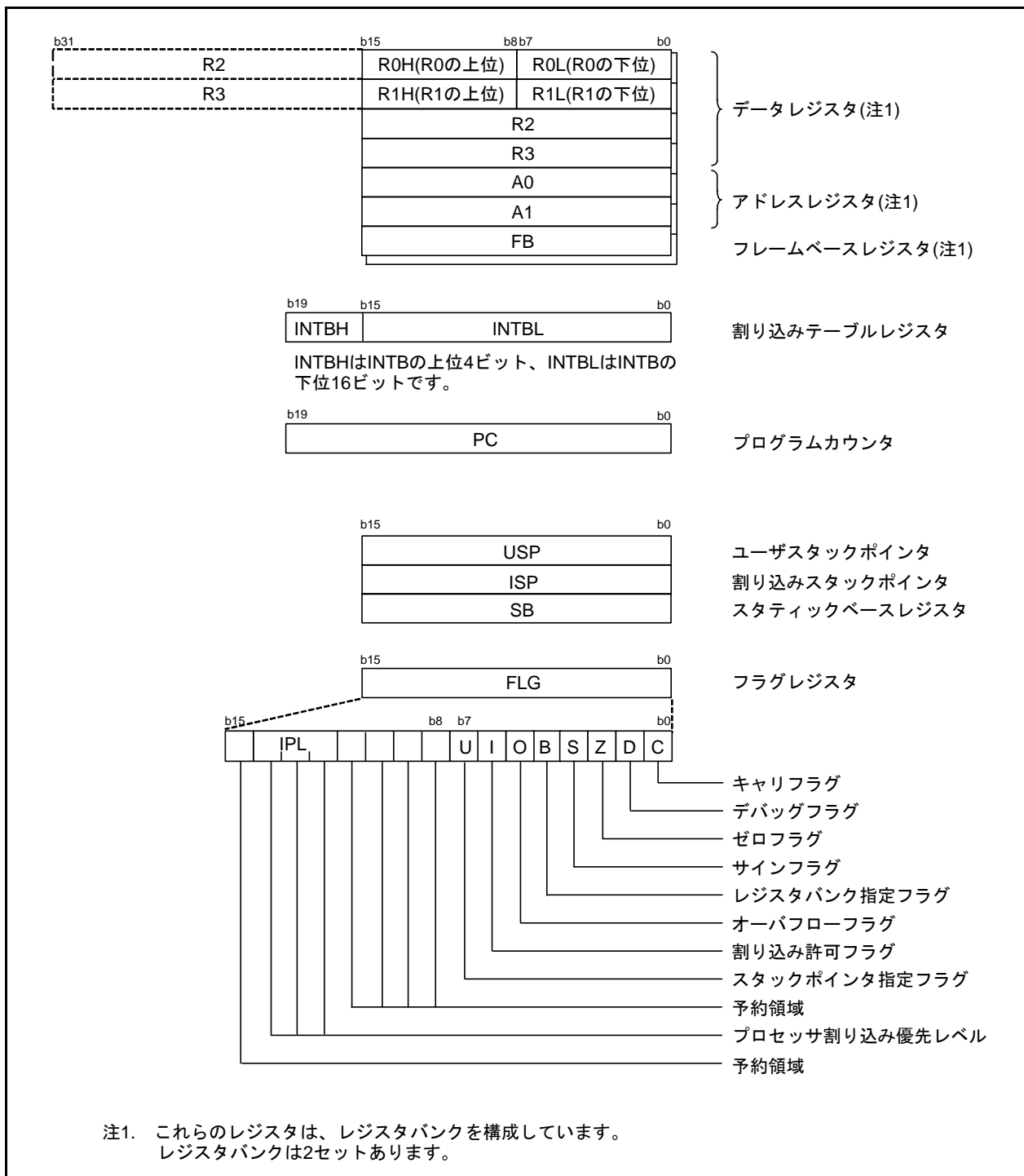


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

SFRは、00000h番地から003FFh番地と、0D000h番地から0D7FFh番地に配置されています。ここには周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、アクセスしないでください。

内部RAMは00400h番地から上位方向に配置されます。たとえば8Kバイトの内部RAMは、00400h番地から023FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時の、スタックとしても使用します。

内部ROMはフラッシュメモリです。内部ROMにはE²データフラッシュ、データフラッシュ、プログラムROM1、プログラムROM2があります。

データフラッシュは、0E000h番地から0FFFFh番地に配置されます。この領域は主にデータ格納用ですが、プログラムを格納することもできます。

プログラムROM2は、10000h番地から13FFFh番地に配置されます。プログラムROM1は、FFFFh番地から下位方向に配置されます。たとえば64KバイトのプログラムROM1は、F0000h番地からFFFFh番地に配置されます。

E²データフラッシュはE2FAレジスタの値をアドレスに使用するため、メモリ配置図には図示されません。また、E²データフラッシュにプログラムを格納することはできません。E²データフラッシュの有無は製品によって異なります。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されます。このベクタはJMPS命令またはJSRS命令で使用します(「M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル」参照)。

割り込みの固定ベクタテーブル、IDコード格納番地、OFS1番地、OFS2番地はFFFDBh番地からFFFFh番地に配置されます。

割り込みの可変ベクタテーブルは、INTBレジスタに設定された先頭番地から256バイトの領域に配置されます。

図 3.1にメモリ配置を示します。

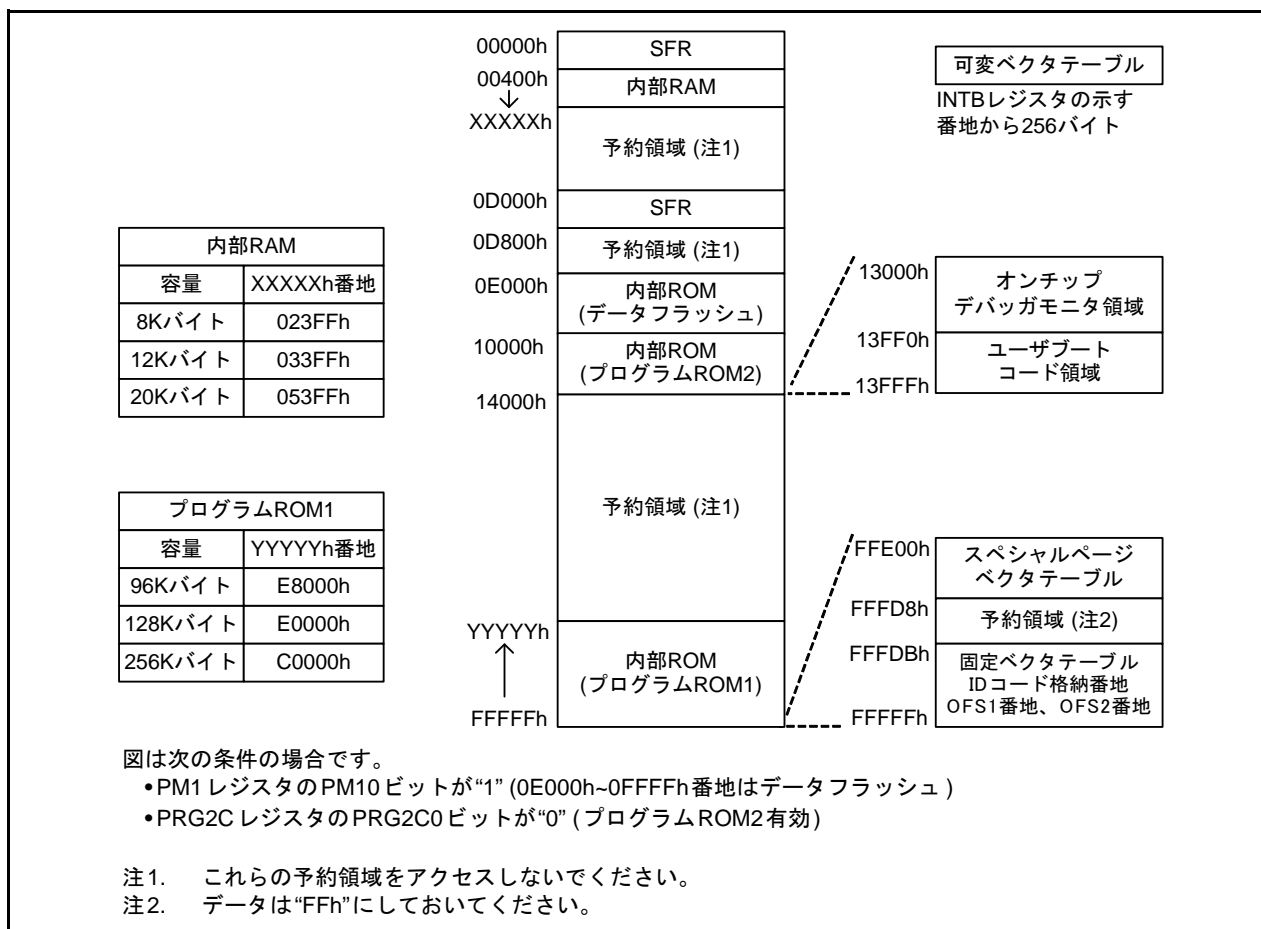


図 3.1 メモリ配置図

4. SFR

4.1 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。

表 4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	XX0X 001Xb (ハードウェアリセット) (注4)
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注2)
001Ah	電圧検出回路動作許可レジスタ	VCR2	000X 0000b (注2、5) 001X 0000b (注2、6)
001Bh			
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
001Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
- 注2. 次のレジスタは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視2リセット時は変化しません。
VCR1レジスタ、VCR2レジスタ
- 注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注4. RSTFRレジスタの各ビットは、リセットの種類によって状態が異なります。
- 注5. OFS1番地のLVDASビットが“1”かつハードウェアリセット。
- 注6. 下記のいずれかのリセット後
- ・電圧監視0リセット
 - ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
 - ・パワーオンリセット

表 4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0020h			
0021h			
0022h	40MHz オンチップオシレータ制御レジスタ 0	FRA0	XXXX XX00b
0023h			
0024h	40MHz オンチップオシレータ制御レジスタ 2	FRA2	0XX0 X000b
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	00h
0027h			
0028h	電圧検出 2 レベル選択レジスタ	VD2LS	0000 0100b (注2)
0029h			
002Ah	電圧監視 0 回路制御レジスタ	VW0C	1000 1X10b (注3、4) 1100 1X11b (注3、5)
002Bh			
002Ch	電圧監視 2 回路制御レジスタ	VW2C	1000 0X10b (注3、6)
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
- 注2. ハードウェアリセット、パワーオンリセット、電圧監視0リセットまたは電圧監視2リセット
- 注3. 次のレジスタまたはビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視2リセット時は変化しません。
VW0C レジスタ、VW2C レジスタのVW2C2 ビット、VW2C3 ビット。
- 注4. OFS1 番地のLVDAS ビットが“1”かつハードウェアリセット
- 注5. 下記のいずれかのリセット後
- ・電圧監視0リセット
 - ・OFS1 番地のLVDAS ビットが“0”かつハードウェアリセット
 - ・パワーオンリセット
- 注6. ハードウェアリセット、パワーオンリセットまたは電圧監視0リセット

表 4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h	E2データフラッシュ割り込み制御レジスタ	E2FIC	XXXX X000b
0042h	INT7割り込み制御レジスタ シリアルバスインタフェース0割り込み制御レジスタ	INT7IC SS0IC	XX00 X000b
0043h	INT6割り込み制御レジスタ LINO割り込み制御レジスタ	INT6IC LINOIC	XX00 X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
0048h	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
0049h	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ タスク監視タイマ割り込み制御レジスタ	BCNIC TMOSIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ LINO"L"検出割り込み制御レジスタ	S0TIC LOWIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	CAN1 受信完了割り込み制御レジスタ	C1RIC	XXXX X000b
006Ch	CAN1 送信完了割り込み制御レジスタ	C1TIC	XXXX X000b
006Dh	CAN1 受信FIFO 割り込み制御レジスタ	C1FRIC	XXXX X000b
006Eh	CAN1 送信FIFO 割り込み制御レジスタ	C1FTIC	XXXX X000b
006Fh	UART4 送信割り込み制御レジスタ	S4TIC	XXXX X000b
	リアルタイムクロックコンペア割り込み制御レジスタ	RTCCIC	
0070h	UART4 受信割り込み制御レジスタ	S4RIC	XXXX X000b
0071h	CAN0 ウェイクアップ割り込み制御レジスタ	C0WIC	XXXX X000b
0072h	UART3 送信割り込み制御レジスタ	S3TIC	XXXX X000b
	CAN0 エラー割り込み制御レジスタ	C0EIC	
0073h	UART3 受信割り込み制御レジスタ	S3RIC	XXXX X000b
	CAN1 ウェイクアップ割り込み制御レジスタ	C1WIC	
0074h	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
	CAN1 エラー割り込み制御レジスタ	C1EIC	
0075h	CAN0 受信完了割り込み制御レジスタ	C0RIC	XXXX X000b
0076h	CAN0 送信完了割り込み制御レジスタ	C0TIC	XXXX X000b
0077h	CAN0 受信FIFO 割り込み制御レジスタ	C0FRIC	XXXX X000b
0078h	CAN0 送信FIFO 割り込み制御レジスタ	C0FTIC	XXXX X000b
0079h	IC/OC 割り込み0 制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OC チャネル0 割り込み制御レジスタ	ICOCH0IC	XXXX X000b
007Bh	IC/OC 割り込み1 制御レジスタ	ICOC1IC	XXXX X000b
	I2C-bus インタフェース割り込み制御レジスタ	IICIC	
007Ch	IC/OC チャネル1 割り込み制御レジスタ	ICOCH1IC	XXXX X000b
	SCL/SDA 割り込み制御レジスタ	SCLDAIC	
007Dh	IC/OC チャネル2 割り込み制御レジスタ	ICOCH2IC	XXXX X000b
007Eh	IC/OC チャネル3 割り込み制御レジスタ	ICOCH3IC	XXXX X000b
007Fh	IC/OC ベースタイマ割り込み制御レジスタ	BTIC	XXXX X000b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
0080h	E ² データフラッシュアドレスレジスタ	E2FA	00h
0081h			00h
0082h			XXh
0083h			XXh
0084h			
0085h			
0086h			
0087h			
0088h	E ² データフラッシュ命令レジスタ	E2FI	00h
0089h			XXh
008Ah			
008Bh			
008Ch	E ² データフラッシュデータレジスタ	E2FD	XXh
008Dh			XXh
008Eh			
008Fh			
0090h	E ² データフラッシュモードレジスタ	E2FM	00h
0091h			
0092h	E ² データフラッシュ制御レジスタ	E2FC	XXXX XXX0b
0093h			
0094h	E ² データフラッシュステータスレジスタ1	E2FS1	XXXX XXX0b
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h			
00A1h	E ² データフラッシュステータスレジスタ0	E2FS0	0X00 XXXXb
00A2h			
00A3h			
00A4h			
00A5h			
00A6h			
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h~ 015Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
0160h			
0161h	LINウェイクアップポーレート選択レジスタ	LWBR	00h
0162h	LINポーレートプリスケラ0レジスタ	LBRP0	00h
0163h	LINポーレートプリスケラ1レジスタ	LBRP1	00h
0164h	LINセルフテスト制御レジスタ	LSTC	00h
0165h	LINポートクロック制御レジスタ	LPC	00h
0166h			
0167h			
0168h	LIN0モードレジスタ	L0MD	00h
0169h	LIN0ブレークフィールド設定レジスタ	L0BRK	00h
016Ah	LIN0スペース設定レジスタ	L0SPC	00h
016Bh	LIN0ウェイクアップ設定レジスタ	L0WUP	00h
016Ch	LIN0割り込み許可レジスタ	L0IE	00h
016Dh	LIN0エラー検出許可レジスタ	L0EDE	00h
016Eh	LIN0制御レジスタ	L0C	00h
016Fh			
0170h	LIN0送信制御レジスタ	L0TC	00h
0171h	LIN0モードステータスレジスタ	L0MST	00h
0172h	LIN0ステータスレジスタ	L0ST	00h
0173h	LIN0エラーステータスレジスタ	L0EST	00h
0174h	LIN0レスポンスフィールド設定レジスタ	L0RFC	00h
0175h	LIN0 IDバッファレジスタ	L0IDB	XXh
0176h	LIN0チェックサムバッファレジスタ	L0CB	XXh
0177h			
0178h	LIN0データ1バッファレジスタ	L0DB1	XXh
0179h	LIN0データ2バッファレジスタ	L0DB2	XXh
017Ah	LIN0データ3バッファレジスタ	L0DB3	XXh
017Bh	LIN0データ4バッファレジスタ	L0DB4	XXh
017Ch	LIN0データ5バッファレジスタ	L0DB5	XXh
017Dh	LIN0データ6バッファレジスタ	L0DB6	XXh
017Eh	LIN0データ7バッファレジスタ	L0DB7	XXh
017Fh	LIN0データ8バッファレジスタ	L0DB8	XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01ADh			
01AEh			
01AFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1 レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1 レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1 レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ 1	PPWFS1	XXXX X000b
01C7h			
01C8h	タイマBカウントソース選択レジスタ 0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ 1	TBCS1	X0h
01CAh			
01CBh	タイマAB分周制御レジスタ 0	TCKDIVC0	0000 X000b
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ 0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ 1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ 2	TACS2	X0h
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	00h
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	タスク監視タイマレジスタ	TMOS	XXh
01F1h			XXh
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	XXXX XXX0b
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	XXXX 0000b
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	00h
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h	割り込み要因選択レジスタ4	IFSR4A	00h
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11) (注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h			
0245h			
0246h			
0247h			
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h			
0251h			
0252h	UARTクロック選択レジスタ	UCLKSEL0	X0h
0253h			
0254h			
0255h			
0256h			
0257h			
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	0000 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h	UART4送受信モードレジスタ	U4MR	00h
0299h	UART4ビットレートレジスタ	U4BRG	XXh
029Ah	UART4送信バッファレジスタ	U4TB	XXh
029Bh			XXh
029Ch	UART4送受信制御レジスタ0	U4C0	0000 1000b
029Dh	UART4送受信制御レジスタ1	U4C1	0000 0010b
029Eh	UART4受信バッファレジスタ	U4RB	XXh
029Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13) (注1)

番地	レジスタ	シンボル	リセット後の値
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h	UART3送受信モードレジスタ	U3MR	00h
02A9h	UART3ビットレートレジスタ	U3BRG	XXh
02AAh	UART3送信バッファレジスタ	U3TB	XXh
02ABh			XXh
02ACh	UART3送受信制御レジスタ0	U3C0	0000 1000b
02ADh	UART3送受信制御レジスタ1	U3C1	0000 0010b
02AEh	UART3受信バッファレジスタ	U3RB	XXh
02AFh			XXh
02B0h	I2C0データシフトレジスタ	S00	XXh
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	0000 000Xb
02B3h	I2C0制御レジスタ0	S1D0	00h
02B4h	I2C0クロック制御レジスタ	S20	00h
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	0001 1010b
02B6h	I2C0制御レジスタ1	S3D0	0011 0000b
02B7h	I2C0制御レジスタ2	S4D0	00h
02B8h	I2C0ステータスレジスタ0	S10	0001 000Xb
02B9h	I2C0ステータスレジスタ1	S11	XXXX X000b
02BAh	I2C0アドレスレジスタ1	S0D1	0000 000Xb
02BBh	I2C0アドレスレジスタ2	S0D2	0000 000Xb
02BCh			
02BDh			
02BEh			
02BFh			
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0	XXh
02C1h		G1PO0	XXh
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1	XXh
02C3h		G1PO1	XXh
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2	XXh
02C5h		G1PO2	XXh
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3	XXh
02C7h		G1PO3	XXh
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4	XXh
02C9h		G1PO4	XXh
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5	XXh
02CBh		G1PO5	XXh
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6	XXh
02CDh		G1PO6	XXh
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7	XXh
02CFh		G1PO7	XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
02D0h	波形生成制御レジスタ0	G1POCR0	0X00 XX00b
02D1h	波形生成制御レジスタ1	G1POCR1	0X00 XX00b
02D2h	波形生成制御レジスタ2	G1POCR2	0X00 XX00b
02D3h	波形生成制御レジスタ3	G1POCR3	0X00 XX00b
02D4h	波形生成制御レジスタ4	G1POCR4	0X00 XX00b
02D5h	波形生成制御レジスタ5	G1POCR5	0X00 XX00b
02D6h	波形生成制御レジスタ6	G1POCR6	0X00 XX00b
02D7h	波形生成制御レジスタ7	G1POCR7	0X00 XX00b
02D8h	時間計測制御レジスタ0	G1TMCR0	00h
02D9h	時間計測制御レジスタ1	G1TMCR1	00h
02DAh	時間計測制御レジスタ2	G1TMCR2	00h
02DBh	時間計測制御レジスタ3	G1TMCR3	00h
02DCh	時間計測制御レジスタ4	G1TMCR4	00h
02DDh	時間計測制御レジスタ5	G1TMCR5	00h
02DEh	時間計測制御レジスタ6	G1TMCR6	00h
02DFh	時間計測制御レジスタ7	G1TMCR7	00h
02E0h	ベースタイマレジスタ	G1BT	XXh
02E1h			XXh
02E2h	ベースタイマ制御レジスタ0	G1BCR0	00h
02E3h	ベースタイマ制御レジスタ1	G1BCR1	00h
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	00h
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	00h
02E6h	機能許可レジスタ	G1FE	00h
02E7h	機能選択レジスタ	G1FS	00h
02E8h	ベースタイマリセットレジスタ	G1BTRR	XXh
02E9h			XXh
02EAh	カウントソース分周レジスタ	G1DV	00h
02EBh			
02ECh	波形出力マスタ許可レジスタ	G1OER	00h
02EDh			
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	00h
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	00h
02F0h	割り込み要求レジスタ	G1IR	XXh
02F1h	割り込み有効レジスタ0	G1IE0	00h
02F2h	割り込み有効レジスタ1	G1IE1	00h
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh	NMI デジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	FFh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15) (注1)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3, 4, 5カウンタ開始フラグ	TBSR	000X XXXXb
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
030Fh			
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
031Eh			
031Fh			
0320h	カウンタ開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16) (注1)

番地	レジスタ	シンボル	リセット後の値
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h	SS0ビットカウンタレジスタ	SS0BR	1111 1000b
0354h	SS0送信データレジスタ	SS0TDR	FFh
0355h			FFh
0356h	SS0受信データレジスタ	SS0RDR	FFh
0357h			FFh
0358h	SS0制御レジスタH	SS0CRH	00h
0359h	SS0制御レジスタL	SS0CRL	0111 1101b
035Ah	SS0モードレジスタ	SS0MR	0001 0000b
035Bh	SS0許可レジスタ	SS0ER	00h
035Ch	SS0ステータスレジスタ	SS0SR	00h
035Dh	SS0モードレジスタ2	SS0MR2	00h
035Eh			
035Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)(注1)

番地	レジスタ	シンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	00h
0362h	プルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	0XX0 0XX0b
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch	入力しきい値選択レジスタ0	VLT0	00h
036Dh	入力しきい値選択レジスタ1	VLT1	00h
036Eh	入力しきい値選択レジスタ2	VLT2	XX00 0000b
036Fh			
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注2)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

表 4.18 SFR一覧(18)(注1)

番地	レジスタ	シンボル	リセット後の値
0390h	DMA2 要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3 要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0 要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1 要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR 監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRC モードレジスタ	CRCMR	0XXX XXX0b
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRC データレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRC インพุットレジスタ	CRCIN	XXh
03BFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.19 SFR一覧(19) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h	A/Dレジスタ0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/Dレジスタ1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/Dレジスタ2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/Dレジスタ3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/Dレジスタ4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/Dレジスタ5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/Dレジスタ6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/Dレジスタ7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	0000 X00Xb
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ1	ADCON1	0000 X000b
03D8h	D/A0レジスタ	DA0	00h
03D9h			
03DAh			
03DBh			
03DCh	D/A制御レジスタ	DACON	00h
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.20 SFR一覧(20)(注1)

番地	レジスタ	シンボル	リセット後の値
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.21 SFR一覧(21)(注1)

番地	レジスタ	シンボル	リセット後の値
D1F0h			
D1F1h			
D1F2h			
D1F3h			
D1F4h			
D1F5h			
D1F6h			
D1F7h			
D1F8h			
D1F9h			
D1FAh			
D1FBh			
D1FCh			
D1FDh			
D1FEh			
D1FFh			
D200h	CAN1 メールボックス0: メッセージ識別子	C1MB0	XXh
D201h			XXh
D202h			XXh
D203h			XXh
D204h			
D205h	CAN1 メールボックス0: データ長		XXh
D206h	CAN1 メールボックス0: データフィールド		XXh
D207h		XXh	
D208h		XXh	
D209h		XXh	
D20Ah		XXh	
D20Bh		XXh	
D20Ch		XXh	
D20Dh		XXh	
D20Eh	CAN1 メールボックス0: タイムスタンプ		XXh
D20Fh		XXh	
D210h	CAN1 メールボックス1: メッセージ識別子	C1MB1	XXh
D211h			XXh
D212h			XXh
D213h			XXh
D214h			
D215h	CAN1 メールボックス1: データ長		XXh
D216h	CAN1 メールボックス1: データフィールド		XXh
D217h		XXh	
D218h		XXh	
D219h		XXh	
D21Ah		XXh	
D21Bh		XXh	
D21Ch		XXh	
D21Dh		XXh	
D21Eh	CAN1 メールボックス1: タイムスタンプ		XXh
D21Fh		XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22) (注1)

番地	レジスタ	シンボル	リセット後の値		
D220h	CAN1 メールボックス2: メッセージ識別子	C1MB2	XXh		
D221h			XXh		
D222h			XXh		
D223h			XXh		
D224h					
D225h	CAN1 メールボックス2: データ長		XXh		
D226h	CAN1 メールボックス2: データフィールド		XXh		
D227h			XXh		
D228h			XXh		
D229h			XXh		
D22Ah			XXh		
D22Bh			XXh		
D22Ch			XXh		
D22Dh			XXh		
D22Eh			CAN1 メールボックス2: タイムスタンプ		XXh
D22Fh					XXh
D230h	CAN1 メールボックス3: メッセージ識別子	C1MB3	XXh		
D231h			XXh		
D232h			XXh		
D233h			XXh		
D234h					
D235h	CAN1 メールボックス3: データ長		XXh		
D236h	CAN1 メールボックス3: データフィールド		XXh		
D237h			XXh		
D238h			XXh		
D239h			XXh		
D23Ah			XXh		
D23Bh			XXh		
D23Ch			XXh		
D23Dh			XXh		
D23Eh			CAN1 メールボックス3: タイムスタンプ		XXh
D23Fh					XXh
D240h	CAN1 メールボックス4: メッセージ識別子	C1MB4	XXh		
D241h			XXh		
D242h			XXh		
D243h			XXh		
D244h					
D245h	CAN1 メールボックス4: データ長		XXh		
D246h	CAN1 メールボックス4: データフィールド		XXh		
D247h			XXh		
D248h			XXh		
D249h			XXh		
D24Ah			XXh		
D24Bh			XXh		
D24Ch			XXh		
D24Dh			XXh		
D24Eh			CAN1 メールボックス4: タイムスタンプ		XXh
D24Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23) (注1)

番地	レジスタ	シンボル	リセット後の値		
D250h	CAN1 メールボックス5: メッセージ識別子	C1MB5	XXh		
D251h			XXh		
D252h			XXh		
D253h			XXh		
D254h					
D255h	CAN1 メールボックス5: データ長		XXh		
D256h	CAN1 メールボックス5: データフィールド		XXh		
D257h			XXh		
D258h			XXh		
D259h			XXh		
D25Ah			XXh		
D25Bh			XXh		
D25Ch			XXh		
D25Dh			XXh		
D25Eh			CAN1 メールボックス5: タイムスタンプ		XXh
D25Fh					XXh
D260h	CAN1 メールボックス6: メッセージ識別子	C1MB6	XXh		
D261h			XXh		
D262h			XXh		
D263h			XXh		
D264h					
D265h	CAN1 メールボックス6: データ長		XXh		
D266h	CAN1 メールボックス6: データフィールド		XXh		
D267h			XXh		
D268h			XXh		
D269h			XXh		
D26Ah			XXh		
D26Bh			XXh		
D26Ch			XXh		
D26Dh			XXh		
D26Eh			CAN1 メールボックス6: タイムスタンプ		XXh
D26Fh					XXh
D270h	CAN1 メールボックス7: メッセージ識別子	C1MB7	XXh		
D271h			XXh		
D272h			XXh		
D273h			XXh		
D274h					
D275h	CAN1 メールボックス7: データ長		XXh		
D276h	CAN1 メールボックス7: データフィールド		XXh		
D277h			XXh		
D278h			XXh		
D279h			XXh		
D27Ah			XXh		
D27Bh			XXh		
D27Ch			XXh		
D27Dh			XXh		
D27Eh			CAN1 メールボックス7: タイムスタンプ		XXh
D27Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.24 SFR一覧(24) (注1)

番地	レジスタ	シンボル	リセット後の値	
D280h	CAN1 メールボックス 8: メッセージ識別子	C1MB8	XXh	
D281h			XXh	
D282h			XXh	
D283h			XXh	
D284h				
D285h	CAN1 メールボックス 8: データ長		XXh	
D286h	CAN1 メールボックス 8: データフィールド		XXh	
D287h		XXh		
D288h		XXh		
D289h		XXh		
D28Ah		XXh		
D28Bh		XXh		
D28Ch		XXh		
D28Dh		XXh		
D28Eh		CAN1 メールボックス 8: タイムスタンプ		XXh
D28Fh			XXh	
D290h	CAN1 メールボックス 9: メッセージ識別子	C1MB9	XXh	
D291h			XXh	
D292h			XXh	
D293h			XXh	
D294h				
D295h	CAN1 メールボックス 9: データ長		XXh	
D296h	CAN1 メールボックス 9: データフィールド		XXh	
D297h		XXh		
D298h		XXh		
D299h		XXh		
D29Ah		XXh		
D29Bh		XXh		
D29Ch		XXh		
D29Dh		XXh		
D29Eh		CAN1 メールボックス 9: タイムスタンプ		XXh
D29Fh			XXh	
D2A0h	CAN1 メールボックス 10: メッセージ識別子	C1MB10	XXh	
D2A1h			XXh	
D2A2h			XXh	
D2A3h			XXh	
D2A4h				
D2A5h	CAN1 メールボックス 10: データ長		XXh	
D2A6h	CAN1 メールボックス 10: データフィールド		XXh	
D2A7h		XXh		
D2A8h		XXh		
D2A9h		XXh		
D2AAh		XXh		
D2ABh		XXh		
D2ACh		XXh		
D2ADh		XXh		
D2AEh		CAN1 メールボックス 10: タイムスタンプ		XXh
D2AFh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.25 SFR一覧(25) (注1)

番地	レジスタ	シンボル	リセット後の値		
D2B0h	CAN1 メールボックス 11: メッセージ識別子	C1MB11	XXh		
D2B1h			XXh		
D2B2h			XXh		
D2B3h			XXh		
D2B4h					
D2B5h	CAN1 メールボックス 11: データ長		XXh		
D2B6h	CAN1 メールボックス 11: データフィールド		XXh		
D2B7h			XXh		
D2B8h			XXh		
D2B9h			XXh		
D2BAh			XXh		
D2BBh			XXh		
D2BCh			XXh		
D2BDh			XXh		
D2BEh			CAN1 メールボックス 11: タイムスタンプ		XXh
D2BFh					XXh
D2C0h	CAN1 メールボックス 12: メッセージ識別子	C1MB12	XXh		
D2C1h			XXh		
D2C2h			XXh		
D2C3h			XXh		
D2C4h					
D2C5h	CAN1 メールボックス 12: データ長		XXh		
D2C6h	CAN1 メールボックス 12: データフィールド		XXh		
D2C7h			XXh		
D2C8h			XXh		
D2C9h			XXh		
D2CAh			XXh		
D2CBh			XXh		
D2CCh			XXh		
D2CDh			XXh		
D2CEh			CAN1 メールボックス 12: タイムスタンプ		XXh
D2CFh					XXh
D2D0h	CAN1 メールボックス 13: メッセージ識別子	C1MB13	XXh		
D2D1h			XXh		
D2D2h			XXh		
D2D3h			XXh		
D2D4h					
D2D5h	CAN1 メールボックス 13: データ長		XXh		
D2D6h	CAN1 メールボックス 13: データフィールド		XXh		
D2D7h			XXh		
D2D8h			XXh		
D2D9h			XXh		
D2DAh			XXh		
D2DBh			XXh		
D2DCh			XXh		
D2DDh			XXh		
D2DEh			CAN1 メールボックス 13: タイムスタンプ		XXh
D2DFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.26 SFR一覧(26) (注1)

番地	レジスタ	シンボル	リセット後の値		
D2E0h	CAN1 メールボックス 14: メッセージ識別子	C1MB14	XXh		
D2E1h			XXh		
D2E2h			XXh		
D2E3h			XXh		
D2E4h					
D2E5h	CAN1 メールボックス 14: データ長		XXh		
D2E6h	CAN1 メールボックス 14: データフィールド		XXh		
D2E7h			XXh		
D2E8h			XXh		
D2E9h			XXh		
D2EAh			XXh		
D2EBh			XXh		
D2ECh			XXh		
D2EDh			XXh		
D2EEh			CAN1 メールボックス 14: タイムスタンプ		XXh
D2EFh					XXh
D2F0h	CAN1 メールボックス 15: メッセージ識別子	C1MB15	XXh		
D2F1h			XXh		
D2F2h			XXh		
D2F3h			XXh		
D2F4h					
D2F5h	CAN1 メールボックス 15: データ長		XXh		
D2F6h	CAN1 メールボックス 15: データフィールド		XXh		
D2F7h			XXh		
D2F8h			XXh		
D2F9h			XXh		
D2FAh			XXh		
D2FBh			XXh		
D2FCh			XXh		
D2FDh			XXh		
D2FEh			CAN1 メールボックス 15: タイムスタンプ		XXh
D2FFh					XXh
D300h	CAN1 メールボックス 16: メッセージ識別子	C1MB16	XXh		
D301h			XXh		
D302h			XXh		
D303h			XXh		
D304h					
D305h	CAN1 メールボックス 16: データ長		XXh		
D306h	CAN1 メールボックス 16: データフィールド		XXh		
D307h			XXh		
D308h			XXh		
D309h			XXh		
D30Ah			XXh		
D30Bh			XXh		
D30Ch			XXh		
D30Dh			XXh		
D30Eh			CAN1 メールボックス 16: タイムスタンプ		XXh
D30Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.27 SFR一覧(27) (注1)

番地	レジスタ	シンボル	リセット後の値		
D310h	CAN1 メールボックス 17: メッセージ識別子	C1MB17	XXh		
D311h			XXh		
D312h			XXh		
D313h			XXh		
D314h					
D315h	CAN1 メールボックス 17: データ長		XXh		
D316h	CAN1 メールボックス 17: データフィールド		XXh		
D317h			XXh		
D318h			XXh		
D319h			XXh		
D31Ah			XXh		
D31Bh			XXh		
D31Ch			XXh		
D31Dh			XXh		
D31Eh			CAN1 メールボックス 17: タイムスタンプ		XXh
D31Fh					XXh
D320h	CAN1 メールボックス 18: メッセージ識別子	C1MB18	XXh		
D321h			XXh		
D322h			XXh		
D323h			XXh		
D324h					
D325h	CAN1 メールボックス 18: データ長		XXh		
D326h	CAN1 メールボックス 18: データフィールド		XXh		
D327h			XXh		
D328h			XXh		
D329h			XXh		
D32Ah			XXh		
D32Bh			XXh		
D32Ch			XXh		
D32Dh			XXh		
D32Eh			CAN1 メールボックス 18: タイムスタンプ		XXh
D32Fh					XXh
D330h	CAN1 メールボックス 19: メッセージ識別子	C1MB19	XXh		
D331h			XXh		
D332h			XXh		
D333h			XXh		
D334h					
D335h	CAN1 メールボックス 19: データ長		XXh		
D336h	CAN1 メールボックス 19: データフィールド		XXh		
D337h			XXh		
D338h			XXh		
D339h			XXh		
D33Ah			XXh		
D33Bh			XXh		
D33Ch			XXh		
D33Dh			XXh		
D33Eh			CAN1 メールボックス 19: タイムスタンプ		XXh
D33Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.28 SFR一覧(28) (注1)

番地	レジスタ	シンボル	リセット後の値		
D340h	CAN1 メールボックス 20: メッセージ識別子	C1MB20	XXh		
D341h			XXh		
D342h			XXh		
D343h			XXh		
D344h					
D345h	CAN1 メールボックス 20: データ長		XXh		
D346h	CAN1 メールボックス 20: データフィールド		XXh		
D347h			XXh		
D348h			XXh		
D349h			XXh		
D34Ah			XXh		
D34Bh			XXh		
D34Ch			XXh		
D34Dh			XXh		
D34Eh			CAN1 メールボックス 20: タイムスタンプ		XXh
D34Fh					XXh
D350h	CAN1 メールボックス 21: メッセージ識別子	C1MB21	XXh		
D351h			XXh		
D352h			XXh		
D353h			XXh		
D354h					
D355h	CAN1 メールボックス 21: データ長		XXh		
D356h	CAN1 メールボックス 21: データフィールド		XXh		
D357h			XXh		
D358h			XXh		
D359h			XXh		
D35Ah			XXh		
D35Bh			XXh		
D35Ch			XXh		
D35Dh			XXh		
D35Eh			CAN1 メールボックス 21: タイムスタンプ		XXh
D35Fh					XXh
D360h	CAN1 メールボックス 22: メッセージ識別子	C1MB22	XXh		
D361h			XXh		
D362h			XXh		
D363h			XXh		
D364h					
D365h	CAN1 メールボックス 22: データ長		XXh		
D366h	CAN1 メールボックス 22: データフィールド		XXh		
D367h			XXh		
D368h			XXh		
D369h			XXh		
D36Ah			XXh		
D36Bh			XXh		
D36Ch			XXh		
D36Dh			XXh		
D36Eh			CAN1 メールボックス 22: タイムスタンプ		XXh
D36Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.29 SFR一覧(29) (注1)

番地	レジスタ	シンボル	リセット後の値		
D370h	CAN1 メールボックス 23: メッセージ識別子	C1MB23	XXh		
D371h			XXh		
D372h			XXh		
D373h			XXh		
D374h					
D375h	CAN1 メールボックス 23: データ長		XXh		
D376h	CAN1 メールボックス 23: データフィールド		XXh		
D377h			XXh		
D378h			XXh		
D379h			XXh		
D37Ah			XXh		
D37Bh			XXh		
D37Ch			XXh		
D37Dh			XXh		
D37Eh			CAN1 メールボックス 23: タイムスタンプ		XXh
D37Fh					XXh
D380h	CAN1 メールボックス 24: メッセージ識別子	C1MB24	XXh		
D381h			XXh		
D382h			XXh		
D383h			XXh		
D384h					
D385h	CAN1 メールボックス 24: データ長		XXh		
D386h	CAN1 メールボックス 24: データフィールド		XXh		
D387h			XXh		
D388h			XXh		
D389h			XXh		
D38Ah			XXh		
D38Bh			XXh		
D38Ch			XXh		
D38Dh			XXh		
D38Eh			CAN1 メールボックス 24: タイムスタンプ		XXh
D38Fh					XXh
D390h	CAN1 メールボックス 25: メッセージ識別子	C1MB25	XXh		
D391h			XXh		
D392h			XXh		
D393h			XXh		
D394h					
D395h	CAN1 メールボックス 25: データ長		XXh		
D396h	CAN1 メールボックス 25: データフィールド		XXh		
D397h			XXh		
D398h			XXh		
D399h			XXh		
D39Ah			XXh		
D39Bh			XXh		
D39Ch			XXh		
D39Dh			XXh		
D39Eh			CAN1 メールボックス 25: タイムスタンプ		XXh
D39Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.30 SFR一覧(30)(注1)

番地	レジスタ	シンボル	リセット後の値		
D3A0h	CAN1 メールボックス 26: メッセージ識別子	C1MB26	XXh		
D3A1h			XXh		
D3A2h			XXh		
D3A3h			XXh		
D3A4h					
D3A5h	CAN1 メールボックス 26: データ長		XXh		
D3A6h	CAN1 メールボックス 26: データフィールド	C1MB26	XXh		
D3A7h			XXh		
D3A8h			XXh		
D3A9h			XXh		
D3AAh			XXh		
D3ABh			XXh		
D3ACh			XXh		
D3ADh			XXh		
D3AEh			CAN1 メールボックス 26: タイムスタンプ		XXh
D3AFh					XXh
D3B0h	CAN1 メールボックス 27: メッセージ識別子	C1MB27	XXh		
D3B1h			XXh		
D3B2h			XXh		
D3B3h			XXh		
D3B4h					
D3B5h	CAN1 メールボックス 27: データ長		XXh		
D3B6h	CAN1 メールボックス 27: データフィールド	C1MB27	XXh		
D3B7h			XXh		
D3B8h			XXh		
D3B9h			XXh		
D3BAh			XXh		
D3BBh			XXh		
D3BCh			XXh		
D3BDh			XXh		
D3BEh			CAN1 メールボックス 27: タイムスタンプ		XXh
D3BFh					XXh
D3C0h	CAN1 メールボックス 28: メッセージ識別子	C1MB28	XXh		
D3C1h			XXh		
D3C2h			XXh		
D3C3h			XXh		
D3C4h					
D3C5h	CAN1 メールボックス 28: データ長		XXh		
D3C6h	CAN1 メールボックス 28: データフィールド	C1MB28	XXh		
D3C7h			XXh		
D3C8h			XXh		
D3C9h			XXh		
D3CAh			XXh		
D3CBh			XXh		
D3CCh			XXh		
D3CDh			XXh		
D3CEh			CAN1 メールボックス 28: タイムスタンプ		XXh
D3CFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.31 SFR一覧(31)(注1)

番地	レジスタ	シンボル	リセット後の値		
D3D0h	CAN1 メールボックス 29: メッセージ識別子	C1MB29	XXh		
D3D1h			XXh		
D3D2h			XXh		
D3D3h			XXh		
D3D4h					
D3D5h	CAN1 メールボックス 29: データ長		XXh		
D3D6h	CAN1 メールボックス 29: データフィールド		XXh		
D3D7h			XXh		
D3D8h			XXh		
D3D9h			XXh		
D3DAh			XXh		
D3DBh			XXh		
D3DCh			XXh		
D3DDh			XXh		
D3DEh			CAN1 メールボックス 29: タイムスタンプ		XXh
D3DFh					XXh
D3E0h	CAN1 メールボックス 30: メッセージ識別子	C1MB30	XXh		
D3E1h			XXh		
D3E2h			XXh		
D3E3h			XXh		
D3E4h					
D3E5h	CAN1 メールボックス 30: データ長		XXh		
D3E6h	CAN1 メールボックス 30: データフィールド		XXh		
D3E7h			XXh		
D3E8h			XXh		
D3E9h			XXh		
D3EAh			XXh		
D3EBh			XXh		
D3ECh			XXh		
D3EDh			XXh		
D3EEh			CAN1 メールボックス 30: タイムスタンプ		XXh
D3EFh					XXh
D3F0h	CAN1 メールボックス 31: メッセージ識別子	C1MB31	XXh		
D3F1h			XXh		
D3F2h			XXh		
D3F3h			XXh		
D3F4h					
D3F5h	CAN1 メールボックス 31: データ長		XXh		
D3F6h	CAN1 メールボックス 31: データフィールド		XXh		
D3F7h			XXh		
D3F8h			XXh		
D3F9h			XXh		
D3FAh			XXh		
D3FBh			XXh		
D3FCh			XXh		
D3FDh			XXh		
D3FEh			CAN1 メールボックス 31: タイムスタンプ		XXh
D3FFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.32 SFR一覧(32)(注1)

番地	レジスタ	シンボル	リセット後の値
D400h	CAN1 マスクレジスタ 0	C1MKR0	XXh
D401h			XXh
D402h			XXh
D403h			XXh
D404h	CAN1 マスクレジスタ 1	C1MKR1	XXh
D405h			XXh
D406h			XXh
D407h			XXh
D408h	CAN1 マスクレジスタ 2	C1MKR2	XXh
D409h			XXh
D40Ah			XXh
D40Bh			XXh
D40Ch	CAN1 マスクレジスタ 3	C1MKR3	XXh
D40Dh			XXh
D40Eh			XXh
D40Fh			XXh
D410h	CAN1 マスクレジスタ 4	C1MKR4	XXh
D411h			XXh
D412h			XXh
D413h			XXh
D414h	CAN1 マスクレジスタ 5	C1MKR5	XXh
D415h			XXh
D416h			XXh
D417h			XXh
D418h	CAN1 マスクレジスタ 6	C1MKR6	XXh
D419h			XXh
D41Ah			XXh
D41Bh			XXh
D41Ch	CAN1 マスクレジスタ 7	C1MKR7	XXh
D41Dh			XXh
D41Eh			XXh
D41Fh			XXh
D420h	CAN1FIFO 受信ID比較レジスタ 0	C1FIDCR0	XXh
D421h			XXh
D422h			XXh
D423h			XXh
D424h	CAN1FIFO 受信ID比較レジスタ 1	C1FIDCR1	XXh
D425h			XXh
D426h			XXh
D427h			XXh
D428h	CAN1 マスク無効レジスタ	C1MKIVLR	XXh
D429h			XXh
D42Ah			XXh
D42Bh			XXh
D42Ch	CAN1 メールボックス割り込み許可レジスタ	C1MIER	XXh
D42Dh			XXh
D42Eh			XXh
D42Fh			XXh
D430h~ D49Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.33 SFR一覧(33) (注1)

番地	レジスタ	シンボル	リセット後の値
D4A0h	CAN1 メッセージ制御レジスタ 0	C1MCTL0	00h
D4A1h	CAN1 メッセージ制御レジスタ 1	C1MCTL1	00h
D4A2h	CAN1 メッセージ制御レジスタ 2	C1MCTL2	00h
D4A3h	CAN1 メッセージ制御レジスタ 3	C1MCTL3	00h
D4A4h	CAN1 メッセージ制御レジスタ 4	C1MCTL4	00h
D4A5h	CAN1 メッセージ制御レジスタ 5	C1MCTL5	00h
D4A6h	CAN1 メッセージ制御レジスタ 6	C1MCTL6	00h
D4A7h	CAN1 メッセージ制御レジスタ 7	C1MCTL7	00h
D4A8h	CAN1 メッセージ制御レジスタ 8	C1MCTL8	00h
D4A9h	CAN1 メッセージ制御レジスタ 9	C1MCTL9	00h
D4AAh	CAN1 メッセージ制御レジスタ 10	C1MCTL10	00h
D4ABh	CAN1 メッセージ制御レジスタ 11	C1MCTL11	00h
D4ACh	CAN1 メッセージ制御レジスタ 12	C1MCTL12	00h
D4ADh	CAN1 メッセージ制御レジスタ 13	C1MCTL13	00h
D4AEh	CAN1 メッセージ制御レジスタ 14	C1MCTL14	00h
D4AFh	CAN1 メッセージ制御レジスタ 15	C1MCTL15	00h
D4B0h	CAN1 メッセージ制御レジスタ 16	C1MCTL16	00h
D4B1h	CAN1 メッセージ制御レジスタ 17	C1MCTL17	00h
D4B2h	CAN1 メッセージ制御レジスタ 18	C1MCTL18	00h
D4B3h	CAN1 メッセージ制御レジスタ 19	C1MCTL19	00h
D4B4h	CAN1 メッセージ制御レジスタ 20	C1MCTL20	00h
D4B5h	CAN1 メッセージ制御レジスタ 21	C1MCTL21	00h
D4B6h	CAN1 メッセージ制御レジスタ 22	C1MCTL22	00h
D4B7h	CAN1 メッセージ制御レジスタ 23	C1MCTL23	00h
D4B8h	CAN1 メッセージ制御レジスタ 24	C1MCTL24	00h
D4B9h	CAN1 メッセージ制御レジスタ 25	C1MCTL25	00h
D4BAh	CAN1 メッセージ制御レジスタ 26	C1MCTL26	00h
D4BBh	CAN1 メッセージ制御レジスタ 27	C1MCTL27	00h
D4BCh	CAN1 メッセージ制御レジスタ 28	C1MCTL28	00h
D4BDh	CAN1 メッセージ制御レジスタ 29	C1MCTL29	00h
D4BEh	CAN1 メッセージ制御レジスタ 30	C1MCTL30	00h
D4BFh	CAN1 メッセージ制御レジスタ 31	C1MCTL31	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.34 SFR一覧(34) (注1)

番地	レジスタ	シンボル	リセット後の値
D4C0h	CAN1 制御レジスタ	C1CTLR	0000 0101b
D4C1h			00h
D4C2h	CAN1 ステータスレジスタ	C1STR	0000 0101b
D4C3h			00h
D4C4h	CAN1 ビットコンフィグレーションレジスタ	C1BCR	00h
D4C5h			00h
D4C6h			00h
D4C7h	CAN1 クロック選択レジスタ	C1CLKR	00h
D4C8h	CAN1 受信FIFO制御レジスタ	C1RFCR	1000 0000b
D4C9h	CAN1 受信FIFOポインタ制御レジスタ	C1RFPCR	XXh
D4CAh	CAN1 送信FIFO制御レジスタ	C1TFCR	1000 0000b
D4CBh	CAN1 送信FIFOポインタ制御レジスタ	C1TFPCR	XXh
D4CCh	CAN1 エラー割り込み許可レジスタ	C1EIER	00h
D4CDh	CAN1 エラー割り込み要因判定レジスタ	C1EIFR	00h
D4CEh	CAN1 受信エラーカウントレジスタ	C1RECR	00h
D4CFh	CAN1 送信エラーカウントレジスタ	C1TECR	00h
D4D0h	CAN1 エラーコード格納レジスタ	C1ECSR	00h
D4D1h	CAN1 チャネルサーチサポートレジスタ	C1CSSR	XXh
D4D2h	CAN1 メールボックスサーチステータスレジスタ	C1MSSR	1000 0000b
D4D3h	CAN1 メールボックスサーチモードレジスタ	C1MSMR	0000 0000b
D4D4h	CAN1 タイムスタンプレジスタ	C1TSR	00h
D4D5h			00h
D4D6h	CAN1 アクセプタンスフィルタサポートレジスタ	C1AFSR	XXh
D4D7h			XXh
D4D8h	CAN1 テスト制御レジスタ	C1TCR	00h
D4D9h			
D4DAh			
D4DBh			
D4DCh			
D4DDh			
D4DEh			
D4DFh			
D4E0h~ D4FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.35 SFR一覧(35) (注1)

番地	レジスタ	シンボル	リセット後の値	
D500h	CAN0 メールボックス0: メッセージ識別子	COMB0	XXh	
D501h			XXh	
D502h			XXh	
D503h			XXh	
D504h				
D505h	CAN0 メールボックス0: データ長		XXh	
D506h	CAN0 メールボックス0: データフィールド		XXh	
D507h		XXh		
D508h		XXh		
D509h		XXh		
D50Ah		XXh		
D50Bh		XXh		
D50Ch		XXh		
D50Dh		XXh		
D50Eh		CAN0 メールボックス0: タイムスタンプ		XXh
D50Fh			XXh	
D510h	CAN0 メールボックス1: メッセージ識別子	COMB1	XXh	
D511h			XXh	
D512h			XXh	
D513h			XXh	
D514h				
D515h	CAN0 メールボックス1: データ長		XXh	
D516h	CAN0 メールボックス1: データフィールド		XXh	
D517h		XXh		
D518h		XXh		
D519h		XXh		
D51Ah		XXh		
D51Bh		XXh		
D51Ch		XXh		
D51Dh		XXh		
D51Eh		CAN0 メールボックス1: タイムスタンプ		XXh
D51Fh			XXh	
D520h	CAN0 メールボックス2: メッセージ識別子	COMB2	XXh	
D521h			XXh	
D522h			XXh	
D523h			XXh	
D524h				
D525h	CAN0 メールボックス2: データ長		XXh	
D526h	CAN0 メールボックス2: データフィールド		XXh	
D527h		XXh		
D528h		XXh		
D529h		XXh		
D52Ah		XXh		
D52Bh		XXh		
D52Ch		XXh		
D52Dh		XXh		
D52Eh		CAN0 メールボックス2: タイムスタンプ		XXh
D52Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.36 SFR一覧(36) (注1)

番地	レジスタ	シンボル	リセット後の値		
D530h	CAN0 メールボックス3: メッセージ識別子	COMB3	XXh		
D531h			XXh		
D532h			XXh		
D533h			XXh		
D534h					
D535h	CAN0 メールボックス3: データ長		XXh		
D536h	CAN0 メールボックス3: データフィールド		XXh		
D537h			XXh		
D538h			XXh		
D539h			XXh		
D53Ah			XXh		
D53Bh			XXh		
D53Ch			XXh		
D53Dh			XXh		
D53Eh			CAN0 メールボックス3: タイムスタンプ		XXh
D53Fh					XXh
D540h	CAN0 メールボックス4: メッセージ識別子	COMB4	XXh		
D541h			XXh		
D542h			XXh		
D543h			XXh		
D544h					
D545h	CAN0 メールボックス4: データ長		XXh		
D546h	CAN0 メールボックス4: データフィールド		XXh		
D547h			XXh		
D548h			XXh		
D549h			XXh		
D54Ah			XXh		
D54Bh			XXh		
D54Ch			XXh		
D54Dh			XXh		
D54Eh			CAN0 メールボックス4: タイムスタンプ		XXh
D54Fh					XXh
D550h	CAN0 メールボックス5: メッセージ識別子	COMB5	XXh		
D551h			XXh		
D552h			XXh		
D553h			XXh		
D554h					
D555h	CAN0 メールボックス5: データ長		XXh		
D556h	CAN0 メールボックス5: データフィールド		XXh		
D557h			XXh		
D558h			XXh		
D559h			XXh		
D55Ah			XXh		
D55Bh			XXh		
D55Ch			XXh		
D55Dh			XXh		
D55Eh			CAN0 メールボックス5: タイムスタンプ		XXh
D55Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.37 SFR一覧(37)(注1)

番地	レジスタ	シンボル	リセット後の値	
D560h	CAN0 メールボックス6: メッセージ識別子	COMB6	XXh	
D561h			XXh	
D562h			XXh	
D563h			XXh	
D564h				
D565h	CAN0 メールボックス6: データ長		XXh	
D566h	CAN0 メールボックス6: データフィールド		XXh	
D567h		XXh		
D568h		XXh		
D569h		XXh		
D56Ah		XXh		
D56Bh		XXh		
D56Ch		XXh		
D56Dh		XXh		
D56Eh		CAN0 メールボックス6: タイムスタンプ		XXh
D56Fh			XXh	
D570h	CAN0 メールボックス7: メッセージ識別子	COMB7	XXh	
D571h			XXh	
D572h			XXh	
D573h			XXh	
D574h				
D575h	CAN0 メールボックス7: データ長		XXh	
D576h	CAN0 メールボックス7: データフィールド		XXh	
D577h		XXh		
D578h		XXh		
D579h		XXh		
D57Ah		XXh		
D57Bh		XXh		
D57Ch		XXh		
D57Dh		XXh		
D57Eh		CAN0 メールボックス7: タイムスタンプ		XXh
D57Fh			XXh	
D580h	CAN0 メールボックス8: メッセージ識別子	COMB8	XXh	
D581h			XXh	
D582h			XXh	
D583h			XXh	
D584h				
D585h	CAN0 メールボックス8: データ長		XXh	
D586h	CAN0 メールボックス8: データフィールド		XXh	
D587h		XXh		
D588h		XXh		
D589h		XXh		
D58Ah		XXh		
D58Bh		XXh		
D58Ch		XXh		
D58Dh		XXh		
D58Eh		CAN0 メールボックス8: タイムスタンプ		XXh
D58Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.38 SFR一覧(38) (注1)

番地	レジスタ	シンボル	リセット後の値	
D590h	CAN0 メールボックス 9: メッセージ識別子	COMB9	XXh	
D591h			XXh	
D592h			XXh	
D593h			XXh	
D594h				
D595h	CAN0 メールボックス 9: データ長		XXh	
D596h	CAN0 メールボックス 9: データフィールド		XXh	
D597h		XXh		
D598h		XXh		
D599h		XXh		
D59Ah		XXh		
D59Bh		XXh		
D59Ch		XXh		
D59Dh		XXh		
D59Eh		CAN0 メールボックス 9: タイムスタンプ		XXh
D59Fh			XXh	
D5A0h	CAN0 メールボックス 10: メッセージ識別子	COMB10	XXh	
D5A1h			XXh	
D5A2h			XXh	
D5A3h			XXh	
D5A4h				
D5A5h	CAN0 メールボックス 10: データ長		XXh	
D5A6h	CAN0 メールボックス 10: データフィールド		XXh	
D5A7h		XXh		
D5A8h		XXh		
D5A9h		XXh		
D5AAh		XXh		
D5ABh		XXh		
D5ACh		XXh		
D5ADh		XXh		
D5AEh		CAN0 メールボックス 10: タイムスタンプ		XXh
D5AFh			XXh	
D5B0h	CAN0 メールボックス 11: メッセージ識別子	COMB11	XXh	
D5B1h			XXh	
D5B2h			XXh	
D5B3h			XXh	
D5B4h				
D5B5h	CAN0 メールボックス 11: データ長		XXh	
D5B6h	CAN0 メールボックス 11: データフィールド		XXh	
D5B7h		XXh		
D5B8h		XXh		
D5B9h		XXh		
D5BAh		XXh		
D5BBh		XXh		
D5BCh		XXh		
D5BDh		XXh		
D5BEh		CAN0 メールボックス 11: タイムスタンプ		XXh
D5BFh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.39 SFR一覧(39) (注1)

番地	レジスタ	シンボル	リセット後の値		
D5C0h	CAN0 メールボックス 12: メッセージ識別子	COMB12	XXh		
D5C1h			XXh		
D5C2h			XXh		
D5C3h			XXh		
D5C4h					
D5C5h	CAN0 メールボックス 12: データ長		XXh		
D5C6h	CAN0 メールボックス 12: データフィールド		XXh		
D5C7h			XXh		
D5C8h			XXh		
D5C9h			XXh		
D5CAh			XXh		
D5CBh			XXh		
D5CCh			XXh		
D5CDh			XXh		
D5CEh			CAN0 メールボックス 12: タイムスタンプ		XXh
D5CFh					XXh
D5D0h	CAN0 メールボックス 13: メッセージ識別子	COMB13	XXh		
D5D1h			XXh		
D5D2h			XXh		
D5D3h			XXh		
D5D4h					
D5D5h	CAN0 メールボックス 13: データ長		XXh		
D5D6h	CAN0 メールボックス 13: データフィールド		XXh		
D5D7h			XXh		
D5D8h			XXh		
D5D9h			XXh		
D5DAh			XXh		
D5DBh			XXh		
D5DCh			XXh		
D5DDh			XXh		
D5DEh			CAN0 メールボックス 13: タイムスタンプ		XXh
D5DFh					XXh
D5E0h	CAN0 メールボックス 14: メッセージ識別子	COMB14	XXh		
D5E1h			XXh		
D5E2h			XXh		
D5E3h			XXh		
D5E4h					
D5E5h	CAN0 メールボックス 14: データ長		XXh		
D5E6h	CAN0 メールボックス 14: データフィールド		XXh		
D5E7h			XXh		
D5E8h			XXh		
D5E9h			XXh		
D5EAh			XXh		
D5EBh			XXh		
D5ECh			XXh		
D5EDh			XXh		
D5EEh			CAN0 メールボックス 14: タイムスタンプ		XXh
D5EFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.40 SFR一覧(40) (注1)

番地	レジスタ	シンボル	リセット後の値	
D5F0h	CAN0 メールボックス 15: メッセージ識別子	COMB15	XXh	
D5F1h			XXh	
D5F2h			XXh	
D5F3h			XXh	
D5F4h				
D5F5h	CAN0 メールボックス 15: データ長		XXh	
D5F6h	CAN0 メールボックス 15: データフィールド		XXh	
D5F7h		XXh		
D5F8h		XXh		
D5F9h		XXh		
D5FAh		XXh		
D5FBh		XXh		
D5FCh		XXh		
D5FDh		XXh		
D5FEh		CAN0 メールボックス 15: タイムスタンプ		XXh
D5FFh			XXh	
D600h	CAN0 メールボックス 16: メッセージ識別子	COMB16	XXh	
D601h			XXh	
D602h			XXh	
D603h			XXh	
D604h				
D605h	CAN0 メールボックス 16: データ長		XXh	
D606h	CAN0 メールボックス 16: データフィールド		XXh	
D607h		XXh		
D608h		XXh		
D609h		XXh		
D60Ah		XXh		
D60Bh		XXh		
D60Ch		XXh		
D60Dh		XXh		
D60Eh		CAN0 メールボックス 16: タイムスタンプ		XXh
D60Fh			XXh	
D610h	CAN0 メールボックス 17: メッセージ識別子	COMB17	XXh	
D611h			XXh	
D612h			XXh	
D613h			XXh	
D614h				
D615h	CAN0 メールボックス 17: データ長		XXh	
D616h	CAN0 メールボックス 17: データフィールド		XXh	
D617h		XXh		
D618h		XXh		
D619h		XXh		
D61Ah		XXh		
D61Bh		XXh		
D61Ch		XXh		
D61Dh		XXh		
D61Eh		CAN0 メールボックス 17: タイムスタンプ		XXh
D61Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.41 SFR一覧(41)(注1)

番地	レジスタ	シンボル	リセット後の値		
D620h	CAN0 メールボックス 18: メッセージ識別子	COMB18	XXh		
D621h			XXh		
D622h			XXh		
D623h			XXh		
D624h					
D625h	CAN0 メールボックス 18: データ長		XXh		
D626h	CAN0 メールボックス 18: データフィールド		XXh		
D627h			XXh		
D628h			XXh		
D629h			XXh		
D62Ah			XXh		
D62Bh			XXh		
D62Ch			XXh		
D62Dh			XXh		
D62Eh			CAN0 メールボックス 18: タイムスタンプ		XXh
D62Fh					XXh
D630h	CAN0 メールボックス 19: メッセージ識別子	COMB19	XXh		
D631h			XXh		
D632h			XXh		
D633h			XXh		
D634h					
D635h	CAN0 メールボックス 19: データ長		XXh		
D636h	CAN0 メールボックス 19: データフィールド		XXh		
D637h			XXh		
D638h			XXh		
D639h			XXh		
D63Ah			XXh		
D63Bh			XXh		
D63Ch			XXh		
D63Dh			XXh		
D63Eh			CAN0 メールボックス 19: タイムスタンプ		XXh
D63Fh					XXh
D640h	CAN0 メールボックス 20: メッセージ識別子	COMB20	XXh		
D641h			XXh		
D642h			XXh		
D643h			XXh		
D644h					
D645h	CAN0 メールボックス 20: データ長		XXh		
D646h	CAN0 メールボックス 20: データフィールド		XXh		
D647h			XXh		
D648h			XXh		
D649h			XXh		
D64Ah			XXh		
D64Bh			XXh		
D64Ch			XXh		
D64Dh			XXh		
D64Eh			CAN0 メールボックス 20: タイムスタンプ		XXh
D64Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.42 SFR一覧(42) (注1)

番地	レジスタ	シンボル	リセット後の値		
D650h	CAN0 メールボックス 21: メッセージ識別子	COMB21	XXh		
D651h			XXh		
D652h			XXh		
D653h			XXh		
D654h					
D655h	CAN0 メールボックス 21: データ長		XXh		
D656h	CAN0 メールボックス 21: データフィールド		XXh		
D657h			XXh		
D658h			XXh		
D659h			XXh		
D65Ah			XXh		
D65Bh			XXh		
D65Ch			XXh		
D65Dh			XXh		
D65Eh			CAN0 メールボックス 21: タイムスタンプ		XXh
D65Fh					XXh
D660h	CAN0 メールボックス 22: メッセージ識別子	COMB22	XXh		
D661h			XXh		
D662h			XXh		
D663h			XXh		
D664h					
D665h	CAN0 メールボックス 22: データ長		XXh		
D666h	CAN0 メールボックス 22: データフィールド		XXh		
D667h			XXh		
D668h			XXh		
D669h			XXh		
D66Ah			XXh		
D66Bh			XXh		
D66Ch			XXh		
D66Dh			XXh		
D66Eh			CAN0 メールボックス 22: タイムスタンプ		XXh
D66Fh					XXh
D670h	CAN0 メールボックス 23: メッセージ識別子	COMB23	XXh		
D671h			XXh		
D672h			XXh		
D673h			XXh		
D674h					
D675h	CAN0 メールボックス 23: データ長		XXh		
D676h	CAN0 メールボックス 23: データフィールド		XXh		
D677h			XXh		
D678h			XXh		
D679h			XXh		
D67Ah			XXh		
D67Bh			XXh		
D67Ch			XXh		
D67Dh			XXh		
D67Eh			CAN0 メールボックス 23: タイムスタンプ		XXh
D67Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.43 SFR一覧(43) (注1)

番地	レジスタ	シンボル	リセット後の値		
D680h	CAN0 メールボックス 24: メッセージ識別子	COMB24	XXh		
D681h			XXh		
D682h			XXh		
D683h			XXh		
D684h					
D685h	CAN0 メールボックス 24: データ長		XXh		
D686h	CAN0 メールボックス 24: データフィールド		XXh		
D687h			XXh		
D688h			XXh		
D689h			XXh		
D68Ah			XXh		
D68Bh			XXh		
D68Ch			XXh		
D68Dh			XXh		
D68Eh			CAN0 メールボックス 24: タイムスタンプ		XXh
D68Fh					XXh
D690h	CAN0 メールボックス 25: メッセージ識別子	COMB25	XXh		
D691h			XXh		
D692h			XXh		
D693h			XXh		
D694h					
D695h	CAN0 メールボックス 25: データ長		XXh		
D696h	CAN0 メールボックス 25: データフィールド		XXh		
D697h			XXh		
D698h			XXh		
D699h			XXh		
D69Ah			XXh		
D69Bh			XXh		
D69Ch			XXh		
D69Dh			XXh		
D69Eh			CAN0 メールボックス 25: タイムスタンプ		XXh
D69Fh					XXh
D6A0h	CAN0 メールボックス 26: メッセージ識別子	COMB26	XXh		
D6A1h			XXh		
D6A2h			XXh		
D6A3h			XXh		
D6A4h					
D6A5h	CAN0 メールボックス 26: データ長		XXh		
D6A6h	CAN0 メールボックス 26: データフィールド		XXh		
D6A7h			XXh		
D6A8h			XXh		
D6A9h			XXh		
D6AAh			XXh		
D6ABh			XXh		
D6ACh			XXh		
D6ADh			XXh		
D6AEh			CAN0 メールボックス 26: タイムスタンプ		XXh
D6AFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.44 SFR一覧(44) (注1)

番地	レジスタ	シンボル	リセット後の値		
D6B0h	CAN0 メールボックス 27: メッセージ識別子	COMB27	XXh		
D6B1h			XXh		
D6B2h			XXh		
D6B3h			XXh		
D6B4h					
D6B5h	CAN0 メールボックス 27: データ長		XXh		
D6B6h	CAN0 メールボックス 27: データフィールド		XXh		
D6B7h			XXh		
D6B8h			XXh		
D6B9h			XXh		
D6BAh			XXh		
D6BBh			XXh		
D6BCh			XXh		
D6BDh			XXh		
D6BEh			CAN0 メールボックス 27: タイムスタンプ		XXh
D6BFh					XXh
D6C0h	CAN0 メールボックス 28: メッセージ識別子	COMB28	XXh		
D6C1h			XXh		
D6C2h			XXh		
D6C3h			XXh		
D6C4h					
D6C5h	CAN0 メールボックス 28: データ長		XXh		
D6C6h	CAN0 メールボックス 28: データフィールド		XXh		
D6C7h			XXh		
D6C8h			XXh		
D6C9h			XXh		
D6CAh			XXh		
D6CBh			XXh		
D6CCh			XXh		
D6CDh			XXh		
D6CEh			CAN0 メールボックス 28: タイムスタンプ		XXh
D6CFh					XXh
D6D0h	CAN0 メールボックス 29: メッセージ識別子	COMB29	XXh		
D6D1h			XXh		
D6D2h			XXh		
D6D3h			XXh		
D6D4h					
D6D5h	CAN0 メールボックス 29: データ長		XXh		
D6D6h	CAN0 メールボックス 29: データフィールド		XXh		
D6D7h			XXh		
D6D8h			XXh		
D6D9h			XXh		
D6DAh			XXh		
D6DBh			XXh		
D6DCh			XXh		
D6DDh			XXh		
D6DEh			CAN0 メールボックス 29: タイムスタンプ		XXh
D6DFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.45 SFR一覧(45) (注1)

番地	レジスタ	シンボル	リセット後の値		
D6E0h	CAN0 メールボックス 30: メッセージ識別子	COMB30	XXh		
D6E1h			XXh		
D6E2h			XXh		
D6E3h			XXh		
D6E4h					
D6E5h	CAN0 メールボックス 30: データ長		XXh		
D6E6h	CAN0 メールボックス 30: データフィールド		XXh		
D6E7h			XXh		
D6E8h			XXh		
D6E9h			XXh		
D6EAh			XXh		
D6EBh			XXh		
D6ECh			XXh		
D6EDh			XXh		
D6EEh			CAN0 メールボックス 30: タイムスタンプ		XXh
D6EFh					XXh
D6F0h	CAN0 メールボックス 31: メッセージ識別子	COMB31	XXh		
D6F1h			XXh		
D6F2h			XXh		
D6F3h			XXh		
D6F4h					
D6F5h	CAN0 メールボックス 31: データ長		XXh		
D6F6h	CAN0 メールボックス 31: データフィールド		XXh		
D6F7h			XXh		
D6F8h			XXh		
D6F9h			XXh		
D6FAh			XXh		
D6FBh			XXh		
D6FCh			XXh		
D6FDh			XXh		
D6FEh			CAN0 メールボックス 31: タイムスタンプ		XXh
D6FFh					XXh
D700h	CAN0 マスクレジスタ 0	COMKR0	XXh		
D701h			XXh		
D702h			XXh		
D703h			XXh		
D704h	CAN0 マスクレジスタ 1	COMKR1	XXh		
D705h			XXh		
D706h			XXh		
D707h			XXh		
D708h	CAN0 マスクレジスタ 2	COMKR2	XXh		
D709h			XXh		
D70Ah			XXh		
D70Bh			XXh		
D70Ch	CAN0 マスクレジスタ 3	COMKR3	XXh		
D70Dh			XXh		
D70Eh			XXh		
D70Fh			XXh		

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.46 SFR一覧(46) (注1)

番地	レジスタ	シンボル	リセット後の値
D710h	CAN0 マスクレジスタ 4	COMKR4	XXh
D711h			XXh
D712h			XXh
D713h			XXh
D714h	CAN0 マスクレジスタ 5	COMKR5	XXh
D715h			XXh
D716h			XXh
D717h			XXh
D718h	CAN0 マスクレジスタ 6	COMKR6	XXh
D719h			XXh
D71Ah			XXh
D71Bh			XXh
D71Ch	CAN0 マスクレジスタ 7	COMKR7	XXh
D71Dh			XXh
D71Eh			XXh
D71Fh			XXh
D720h	CAN0FIFO 受信ID 比較レジスタ 0	C0FIDCR0	XXh
D721h			XXh
D722h			XXh
D723h			XXh
D724h	CAN0FIFO 受信ID 比較レジスタ 1	C0FIDCR1	XXh
D725h			XXh
D726h			XXh
D727h			XXh
D728h	CAN0 マスク無効レジスタ	COMKIVLR	XXh
D729h			XXh
D72Ah			XXh
D72Bh			XXh
D72Ch	CAN0 メールボックス 割り込み許可レジスタ	COMIER	XXh
D72Dh			XXh
D72Eh			XXh
D72Fh			XXh
D730h~ D79Fh			
D7A0h	CAN0 メッセージ制御レジスタ 0	COMCTL0	00h
D7A1h	CAN0 メッセージ制御レジスタ 1	COMCTL1	00h
D7A2h	CAN0 メッセージ制御レジスタ 2	COMCTL2	00h
D7A3h	CAN0 メッセージ制御レジスタ 3	COMCTL3	00h
D7A4h	CAN0 メッセージ制御レジスタ 4	COMCTL4	00h
D7A5h	CAN0 メッセージ制御レジスタ 5	COMCTL5	00h
D7A6h	CAN0 メッセージ制御レジスタ 6	COMCTL6	00h
D7A7h	CAN0 メッセージ制御レジスタ 7	COMCTL7	00h
D7A8h	CAN0 メッセージ制御レジスタ 8	COMCTL8	00h
D7A9h	CAN0 メッセージ制御レジスタ 9	COMCTL9	00h
D7AAh	CAN0 メッセージ制御レジスタ 10	COMCTL10	00h
D7ABh	CAN0 メッセージ制御レジスタ 11	COMCTL11	00h
D7ACh	CAN0 メッセージ制御レジスタ 12	COMCTL12	00h
D7ADh	CAN0 メッセージ制御レジスタ 13	COMCTL13	00h
D7AEh	CAN0 メッセージ制御レジスタ 14	COMCTL14	00h
D7AFh	CAN0 メッセージ制御レジスタ 15	COMCTL15	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.47 SFR一覧(47) (注1)

番地	レジスタ	シンボル	リセット後の値
D7B0h	CAN0メッセージ制御レジスタ 16	C0MCTL16	00h
D7B1h	CAN0メッセージ制御レジスタ 17	C0MCTL17	00h
D7B2h	CAN0メッセージ制御レジスタ 18	C0MCTL18	00h
D7B3h	CAN0メッセージ制御レジスタ 19	C0MCTL19	00h
D7B4h	CAN0メッセージ制御レジスタ 20	C0MCTL20	00h
D7B5h	CAN0メッセージ制御レジスタ 21	C0MCTL21	00h
D7B6h	CAN0メッセージ制御レジスタ 22	C0MCTL22	00h
D7B7h	CAN0メッセージ制御レジスタ 23	C0MCTL23	00h
D7B8h	CAN0メッセージ制御レジスタ 24	C0MCTL24	00h
D7B9h	CAN0メッセージ制御レジスタ 25	C0MCTL25	00h
D7BAh	CAN0メッセージ制御レジスタ 26	C0MCTL26	00h
D7BBh	CAN0メッセージ制御レジスタ 27	C0MCTL27	00h
D7BCh	CAN0メッセージ制御レジスタ 28	C0MCTL28	00h
D7BDh	CAN0メッセージ制御レジスタ 29	C0MCTL29	00h
D7BEh	CAN0メッセージ制御レジスタ 30	C0MCTL30	00h
D7BFh	CAN0メッセージ制御レジスタ 31	C0MCTL31	00h
D7C0h	CAN0制御レジスタ	C0CTLR	0000 0101b
D7C1h			0000 0000b
D7C2h	CAN0ステータスレジスタ	C0STR	0000 0101b
D7C3h			0000 0000b
D7C4h	CAN0ビットコンフィグレーションレジスタ	C0BCR	00h
D7C5h			00h
D7C6h			00h
D7C7h	CAN0クロック選択レジスタ	C0CLKR	00h
D7C8h	CAN0受信FIFO制御レジスタ	C0RFCR	1000 0000b
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR	XXh
D7CAh	CAN0送信FIFO制御レジスタ	C0TFPCR	1000 0000b
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR	XXh
D7CCh	CAN0エラー割り込み許可レジスタ	C0EIER	00h
D7CDh	CAN0エラー割り込み要因判定レジスタ	C0EIFR	00h
D7CEh	CAN0受信エラーカウントレジスタ	C0RECR	00h
D7CFh	CAN0送信エラーカウントレジスタ	C0TECR	00h
D7D0h	CAN0エラーコード格納レジスタ	C0ECSR	00h
D7D1h	CAN0チャンネルサーチサポートレジスタ	C0CSSR	XXh
D7D2h	CAN0メールボックスサーチステータスレジスタ	C0MSSR	1000 0000b
D7D3h	CAN0メールボックスサーチモードレジスタ	C0MSMR	0000 0000b
D7D4h	CAN0タイムスタンプレジスタ	C0TSR	00h
D7D5h			00h
D7D6h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFSR	XXh
D7D7h			XXh
D7D8h	CAN0テスト制御レジスタ	C0TCR	00h
D7D9h			
D7DAh			
D7DBh			
D7DCh			
D7DDh			
D7DEh			
D7DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

4.2 SFR使用上の注意事項

4.2.1 レジスタ設定時の注意事項

表 4.48 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 4.48 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0299h	UART4ビットレートレジスタ	U4BRG
029Bh~029Ah	UART4送信バッファレジスタ	U4TB
02A9h	UART3ビットレートレジスタ	U3BRG
02ABh~02AAh	UART3送信バッファレジスタ	U3TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR
D4C9h	CAN1受信FIFOポインタ制御レジスタ	C1RFPCR
D4CBh	CAN1送信FIFOポインタ制御レジスタ	C1TFPCR

表 4.49 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROL <i>C</i> 、ROR <i>C</i> 、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

5. プロテクト

5.1 概要

プロテクトはプログラムが暴走したときに備え、重要なレジスタが簡単に書き換えられないように保護する機能です。

5.2 レジスタの説明

表 5.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
000Ah	プロテクトレジスタ	PRCR	00h

5.2.1 プロテクトレジスタ (PRCR)

プロテクトレジスタ				
ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PRCR	アドレス 000Ah番地	リセット後の値 00h	
0 0	PRC0	プロテクトビット0	CM0、CM1、CM2、PLC0、PCLKR、FRA0、FRA2レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
	PRC1	プロテクトビット1	PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
	PRC2	プロテクトビット2	PD9、U4MR、NDDR、PACRレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
	PRC3	プロテクトビット3	VCR2、VWCE、VD2LS、VW0C、VW2Cレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
	— (b5-b4)	予約ビット	“0” にしてください	RW
	PRC6	プロテクトビット6	PRG2Cレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
	PRC7	プロテクトビット7	E2FMレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW

PRC7、PRC6、PRC3、PRC1、PRC0 (プロテクトビット7、6、3、1、0) (b7、b6、b3、b1、b0)

PRC7、PRC6、PRC3、PRC1、PRC0ビットはプログラムで“1”(書き込み許可)を書くと、その後“1”(書き込み許可)の状態が続きます。これらのビットで保護されるレジスタは次の手順で変更してください。

- (1) PRC_i (i=0, 1, 3, 6, 7) ビットに“1”を書く
- (2) PRC_i ビットで保護されるレジスタに値を書く
- (3) PRC_i ビットに“0”(書き込み禁止)を書く

PRC2 (プロテクトビット2) (b2)

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実施すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。下に手順を示します。手順の(1)と(2)の間に割り込みやDMA転送が入らないようにしてください。

- (1) PRC2ビットに“1”を書く
- (2) PRC2ビットで保護されるレジスタに値を書く

5.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1”（書き込み許可）を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0”（書き込み禁止）になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

6. リセット

6.1 概要

リセットには、ハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1にリセットの種類、図 6.1にリセット回路のブロック図を示します。図表中の記号(A)~(D)のレジスタ、ビットは表 6.3に示します。

表 6.1 リセットの種類

リセットの名称	要因	初期化されないレジスタ、ビット
ハードウェアリセット	RESET端子の入力電圧が“L”	(A)
パワーオンリセット	VCCの上昇	なし
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)	なし
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)	(B)
発振停止検出リセット	メインクロック発振回路の停止を検出	(B)(C)(D)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー	(B)(C)
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く	(B)(C)

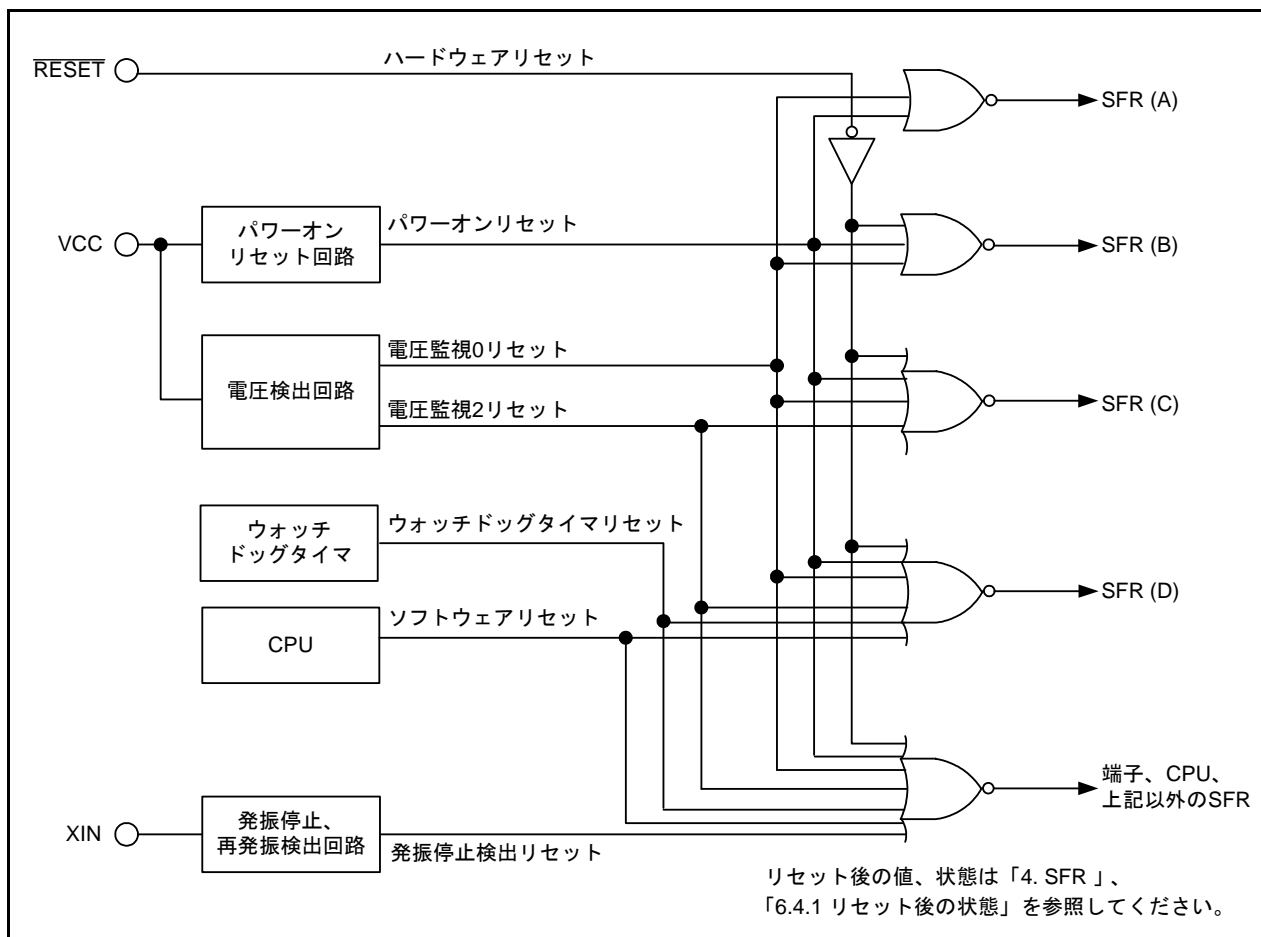


図 6.1 リセット回路のブロック図

表 6.2 リセット時のSFRの分類

SFRの分類	レジスタ、ビット
SFR(A)	RSTFR レジスタのOSDR ビット
SFR(B)	VCR1 レジスタ、VCR2 レジスタ、VW0C レジスタ VW2C レジスタのVW2C2 ビット、VW2C3 ビット
SFR(C)	VD2LS レジスタ
SFR(D)	CM2 レジスタのCM20、CM21、CM27 ビット

表 6.3 入出力端子

端子名	入出力	機能
RESET	入力	ハードウェアリセットの入力
VCC	入力	電源入力。パワーオンリセット、電圧監視0リセット、電圧監視2リセットはVCCを監視する
XIN	入力	メインクロック入力。発振停止検出リセットはメインクロックを監視する

6.2 レジスタの説明

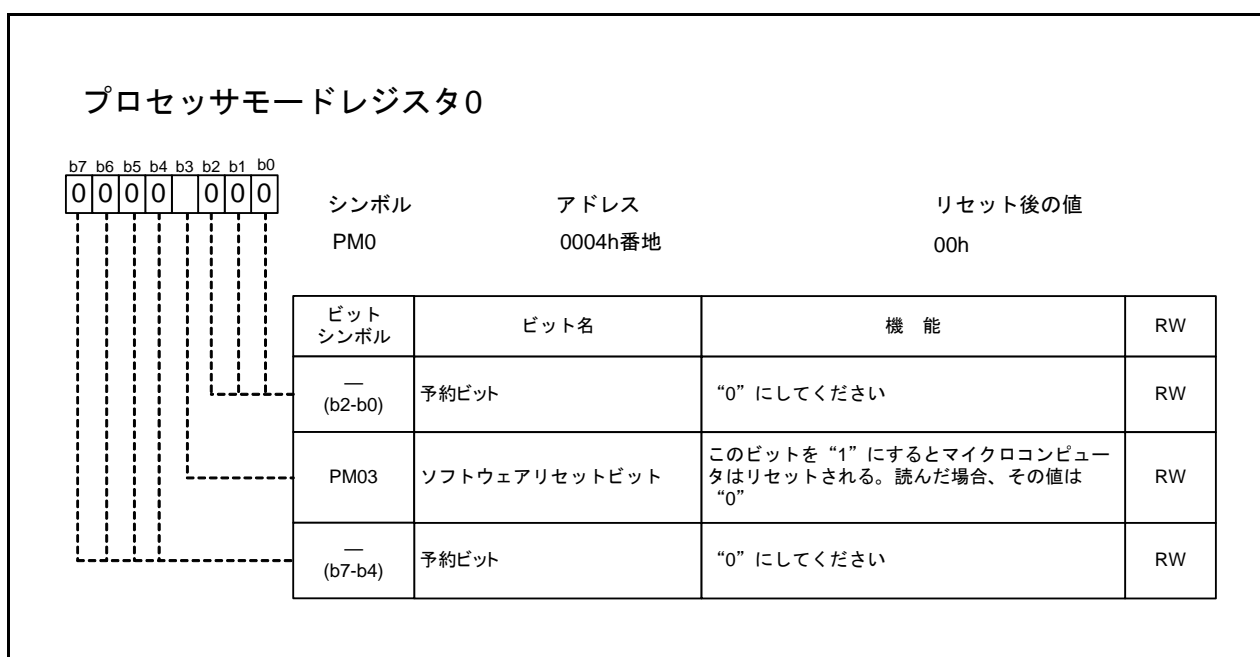
電圧監視0リセット、電圧監視2リセットで使用するレジスタは「7. 電圧検出回路」を参照してください。ウォッチドッグタイマリセットで使用するレジスタは「13. ウォッチドッグタイマ」を参照してください。発振停止検出リセットで使用するレジスタは「8.7 発振停止/再発振検出機能」を参照してください。

表 6.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	00h
0018h	リセット要因判別レジスタ	RSTFR	— (注1)

注1. 「6.2.2 リセット要因判別レジスタ (RSTFR)」参照

6.2.1 プロセッサモードレジスタ0 (PM0)



このレジスタはPRCRレジスタのPRC1ビットを"1" (書き込み許可)にした後で書き換えてください。

PM03 (ソフトウェアリセットビット) (b3)

PM03ビットに"1"を書くと、ソフトウェアリセットします。

6.2.2 リセット要因判別レジスタ (RSTFR)

リセット要因判別レジスタ			
シンボル RSTFR	アドレス 0018h番地	リセット後の値 「表 6.5」参照	
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW
HWR	ハードウェアリセット検出 フラグ	0: 未検出 1: 検出	RO
SWR	ソフトウェアリセット検出 フラグ	0: 未検出 1: 検出	RO
WDR	ウォッチドッグタイマリセット 検出フラグ	0: 未検出 1: 検出	RO
— (b4)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW
LVD2R	電圧監視2リセット検出フラグ	0: 未検出 1: 検出	RO
OSDR	発振停止検出リセット検出 フラグ	0: 未検出 1: 検出	RW
— (b7)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW

表 6.5 リセット後のRSTFRレジスタのビットの値

リセット	RSTFRレジスタのビット				
	OSDR	LVD2R	WDR	SWR	HWR
ハードウェアリセット	変化しない	0	0	0	1
パワーオンリセット	0	0	0	0	0
電圧監視0リセット	0	0	0	0	0
電圧監視2リセット	0	1	0	0	0
発振停止検出リセット	1	0	0	0	0
ウォッチドッグタイマリセット	0	0	1	0	0
ソフトウェアリセット	0	0	0	1	0

HWR (ハードウェアリセット検出フラグ) (b1)

OFS1番地のLVDASビットが“0” (ハードウェアリセット後、電圧監視0リセット有効)の場合、またはリセット後プログラムで電圧監視0リセットを有効にした場合、ハードウェアリセット後のHWRビットの値は不定です。

OSDR (発振停止検出リセット検出フラグ) (b6)

OSDRビットは、次の条件でも変化します。

["0"になる条件]

- 電源投入
- OSDRビットに“0”を書く

プログラムで“1”を書いても変化しません。

6.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

6.3.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地								
b7	b6	b5	b4	b3	b2	b1	b0	
		0	1			1		
シンボル OFS1								
アドレス FFFFh番地								
ビット シンボル	ビット名							機能
WDTON	ウォッチドッグタイマ起動選択ビット							0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態
— (b1)	予約ビット							“1” にしてください
ROMCR	ROMコードプロテクト解除ビット							0: ROMコードプロテクト解除 1: ROMCP1ビット有効
ROMCP1	ROMコードプロテクトビット							0: ROMコードプロテクト有効 1: ROMコードプロテクト解除
— (b4)	予約ビット							“1” にしてください
— (b5)	予約ビット							“0” にしてください
LVDAS	電圧検出回路起動ビット							0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効
CSPROINI	リセット後カウントソース保護モード選択ビット							0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効

WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

リセット後のウォッチドッグタイマの状態を決めるビットです。

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときは、WDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

ウォッチドッグタイマ、カウントソース保護モードの詳細は「13. ウォッチドッグタイマ」を参照してください。

ROMCR (ROMコードプロテクト解除ビット) (b2)**ROMCP1 (ROMコードプロテクトビット) (b3)**

パラレル入出力モードによるフラッシュメモリの読み出しや値の変更を禁止します。

表 6.6 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

予約ビット (b5)

“0”にしてください。

LVDAS (電圧検出0回路起動ビット) (b6)

パワーオンリセットを使用する場合は、LVDAS ビットを“0” (ハードウェアリセット後、電圧監視0リセット有効)にしてください。

シングルチップモードで有効です。ブートモードでは無効です。

6.4 動作説明

6.4.1 リセット後の状態

リセット後のSFRの状態はリセットの種類によって変わります。「4. SFR」の「リセット後の値」を参照してください。表 6.7に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態、図 6.2にリセット後のCPUレジスタの状態、図 6.3にリセットシーケンスを示します。

表 6.7 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態 (注1)
P0~P10	入力ポート(ハイインピーダンス)

注1. 電源投入後、内部電源電圧が安定してからの状態です。電源投入後、td(P-R)経つまでは不定です。

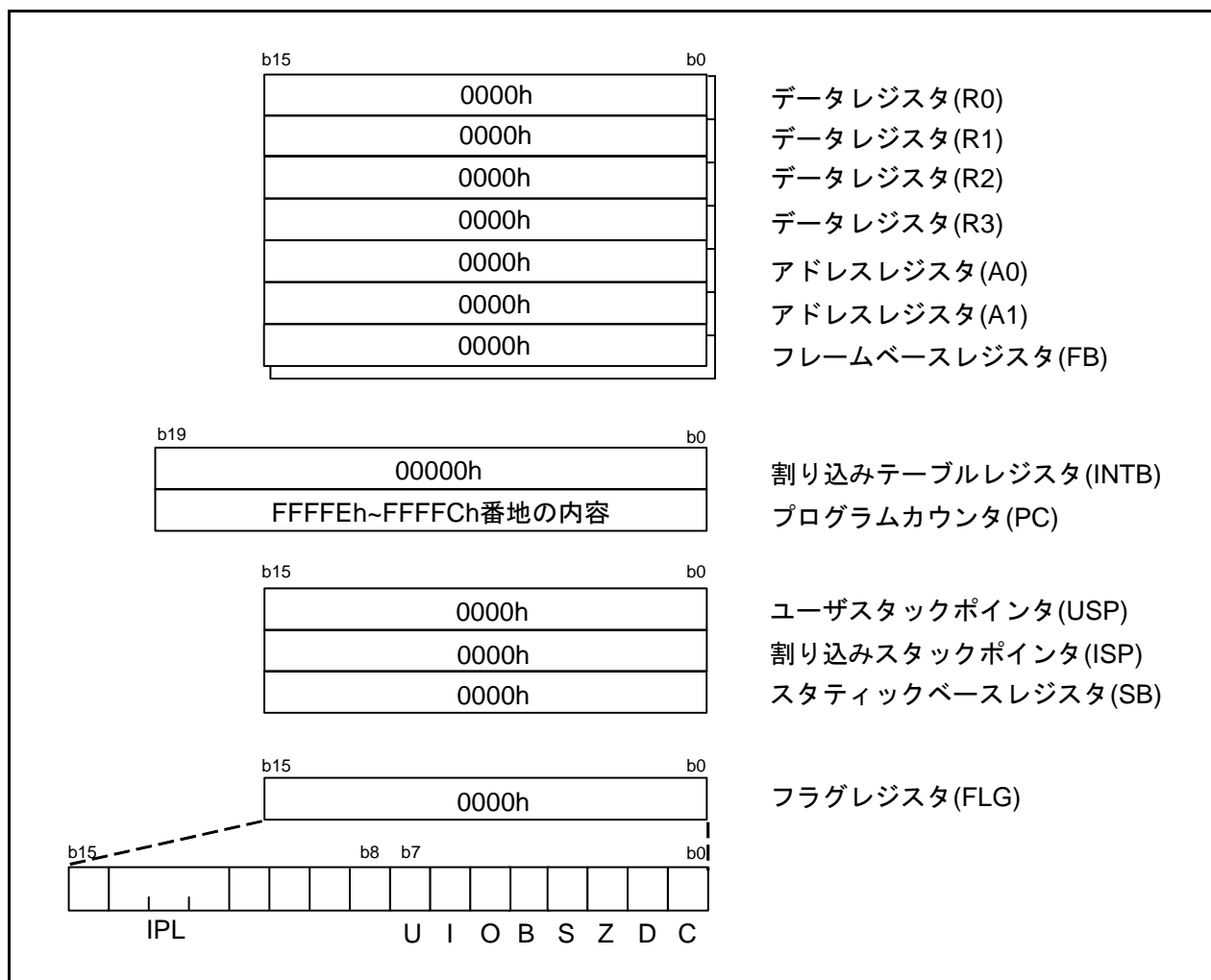


図 6.2 リセット後のCPUレジスタの状態

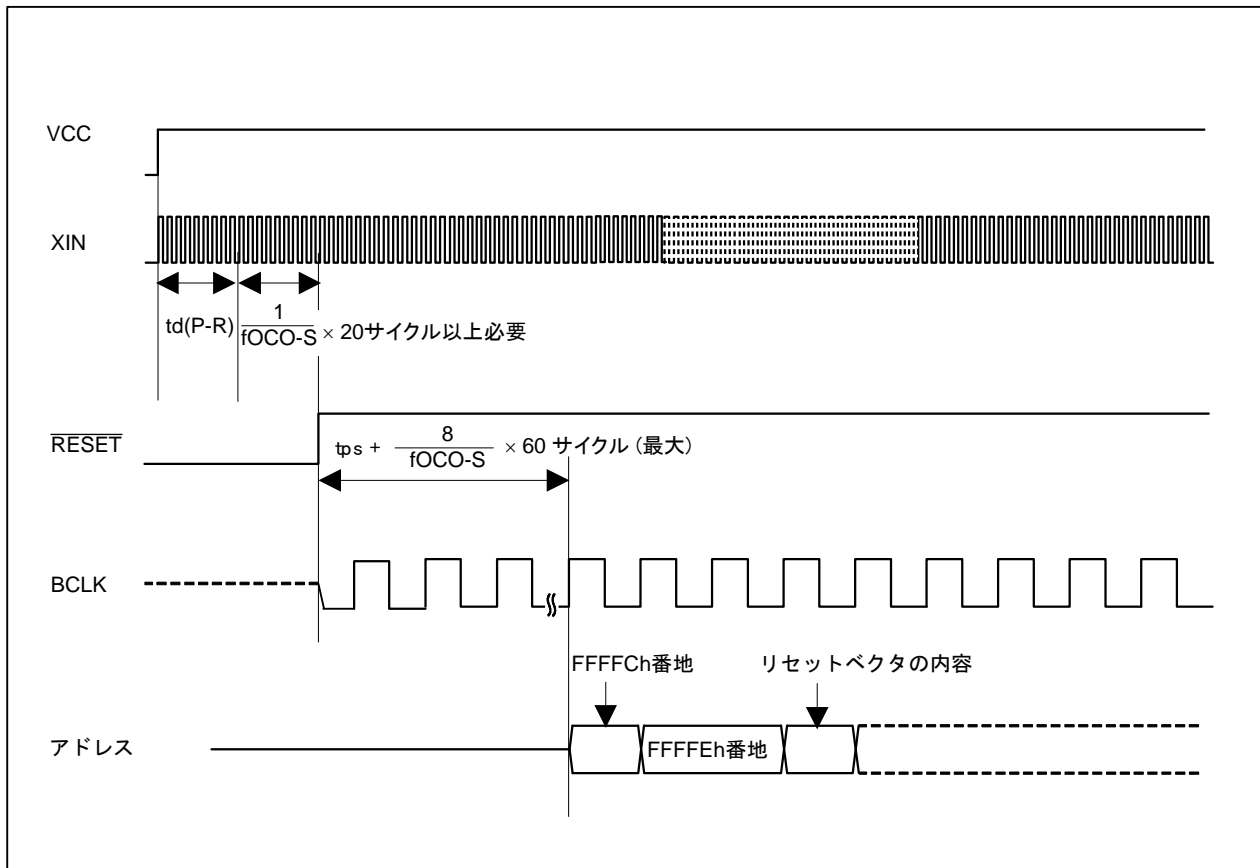


図 6.3 リセットシーケンス

6.4.2 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子、CPU、SFRが初期化されます。

$\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ハードウェアリセット後、RSTFRレジスタのHWRビットが“1”(ハードウェアリセット検出)になります。ただし、電圧監視0リセット有効の場合、HWRビットは不定です。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへの書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

ハードウェアリセットを発生させる手順は次のとおりです。

電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) $t_w(\text{RSTL})$ 待つ
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) $\frac{1}{f_{\text{OCO-S}}} \times 20$ サイクル待つ
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

図 6.4 にリセット回路の例を示します。

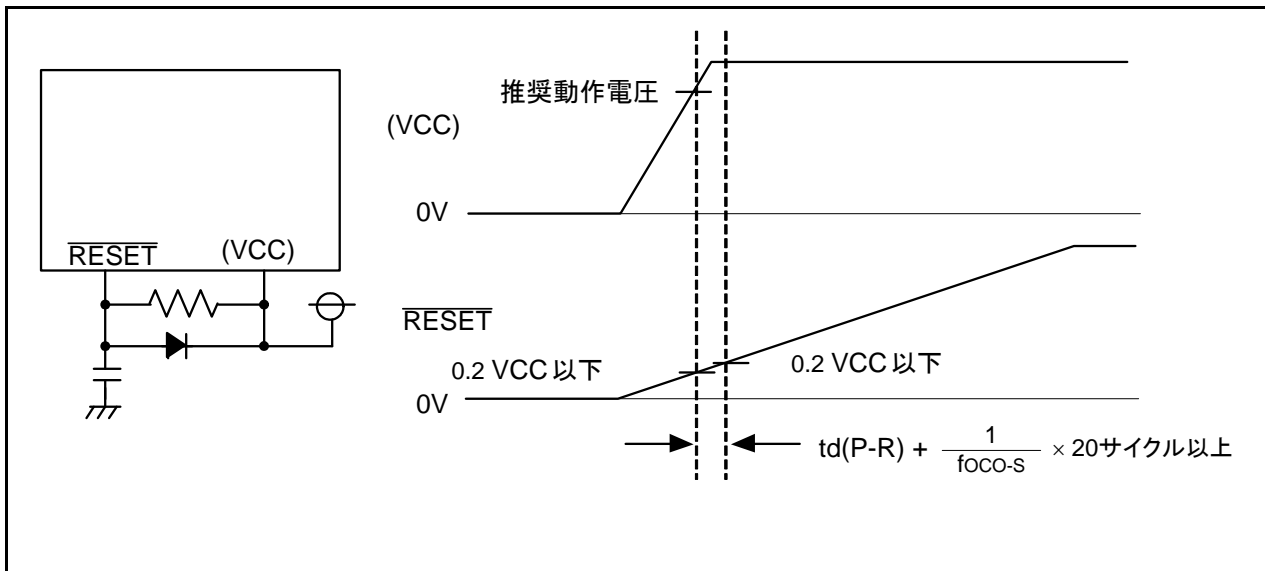


図 6.4 リセット回路の例

6.4.3 パワーオンリセット機能

抵抗を介して $\overline{\text{RESET}}$ 端子をVCCに接続し、VCCを立ち上がり傾き tr_{th} 以上で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。 $\overline{\text{RESET}}$ 端子にコンデンサを接続する場合も、 $\overline{\text{RESET}}$ 端子の電圧は常に V_{IH} の範囲内にしてください。

次にVCC端子に入力する電圧が V_{det0} 以上になると、fOCO-Sのカウントを開始します。fOCO-Sを128回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。内部RAMは初期化されません。

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合は、OFS1番地のLVDASビットを“0”（ハードウェアリセット後、電圧監視0リセット有効）にしてください。この場合、電圧監視0リセットが有効（VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”）になります。プログラムでこれらが無効にしないでください。

電圧監視0リセットの設定手順などは「7. 電圧検出回路」を参照してください。

図 6.5 にパワーオンリセット動作を示します。

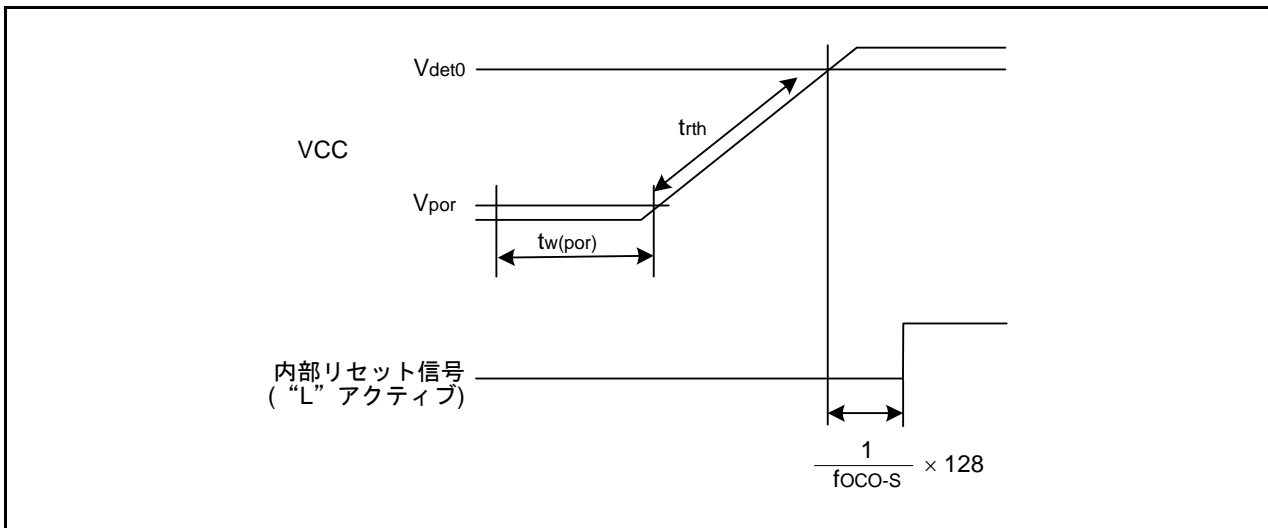


図 6.5 パワーオンリセット動作

6.4.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、fOCO-Sのカウントを開始します。fOCO-Sを128回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.5 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VW2CレジスタのVW2C6ビットが“1” (Vdet2通過時に電圧監視2リセット)の場合、VCC端子に入力する電圧がVdet2以下になると端子、CPU、SFRが初期化されます。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。その後、一定時間経つとリセットベクタで示される番地からプログラムを実行します。

電圧監視2リセット後RSTFRレジスタのLVD2Rビットが“1” (電圧監視2リセット検出)になります。電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

電圧監視2リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.6 発振停止検出リセット

CM2レジスタのCM27ビットが“0”（発振停止検出時リセット）の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。

発振停止検出リセット後RSTFRレジスタのOSDRビットが“1”（発振停止検出リセット検出）になります。発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にメインクロック発振回路の停止を検出すると、内部RAMは不定となります。

発振停止検出リセットはハードウェアリセットまたは電圧監視0リセットで解除されます。

発振停止検出機能の詳細は「8.7 発振停止/再発振検出機能」を参照してください。

6.4.7 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”（ウォッチドッグタイマアンダフロー時リセット）の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセット後RSTFRレジスタのWDRビットが“1”（ウォッチドッグタイマリセット検出）になります。ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

6.4.8 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”（マイクロコンピュータをリセット）にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ソフトウェアリセット後RSTFRレジスタのSWRビットが“1”（ソフトウェアリセット検出）になります。ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

6.5 リセット使用上の注意事項

6.5.1 電源立ち上がり勾配

電源投入時等、VCC端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源立ち上がり勾配 (VCC) (電圧範囲0V~2.0V)	0.05			V/ms

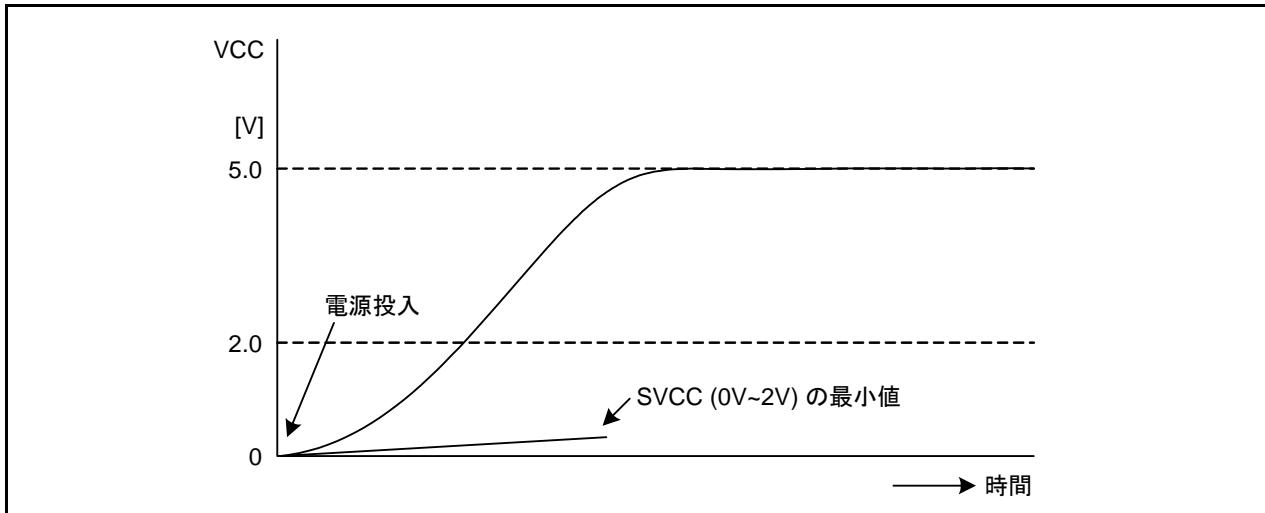


図 6.6 SVCCのタイミング例

6.5.2 パワーオンリセット

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合はOFS1番地のLVDASビットを“0”（ハードウェアリセット後、電圧監視0リセット有効）にしてください。この場合、電圧監視0リセットが有効（VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”）になります。プログラムでこれらを無効にしないでください。

6.5.3 OSDRビット（発振停止検出リセット検出フラグ）

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”（未検出）になります。

6.5.4 VCC < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”（ハードウェアリセット後、電圧監視0リセット有効）かつVCC < Vdet0の状態、ハードウェアリセットした場合、 $\overline{\text{RESET}}$ 端子の入力レベルが“L”から“H”になると、リセットベクタで示される番地からプログラムを開始します。電圧監視0リセットにはなりません。

7. 電圧検出回路

7.1 概要

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視0リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表 7.1 に電圧検出回路の仕様を、図 7.1 に電圧検出回路ブロック図を示します。

表 7.1 電圧検出回路の仕様

項目		電圧検出0	電圧検出2
VCC監視	監視する電圧	Vdet0	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VCR1レジスタのVC13ビット Vdet2より高いか低いか
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット; VCC > Vdet0でCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット; 一定時間後にCPU動作再開
	割り込み	なし	電圧監視2割り込み デジタルフィルタ有効時はVdet2 > VCC、VCC > Vdet2の両方で割り込み要求; デジタルフィルタ無効時はVdet2 > VCC、VCC > Vdet2のどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	なし	あり
	サンプリング時間	なし	(fOCO-Sのn分周)×3 n: 1、2、4、8

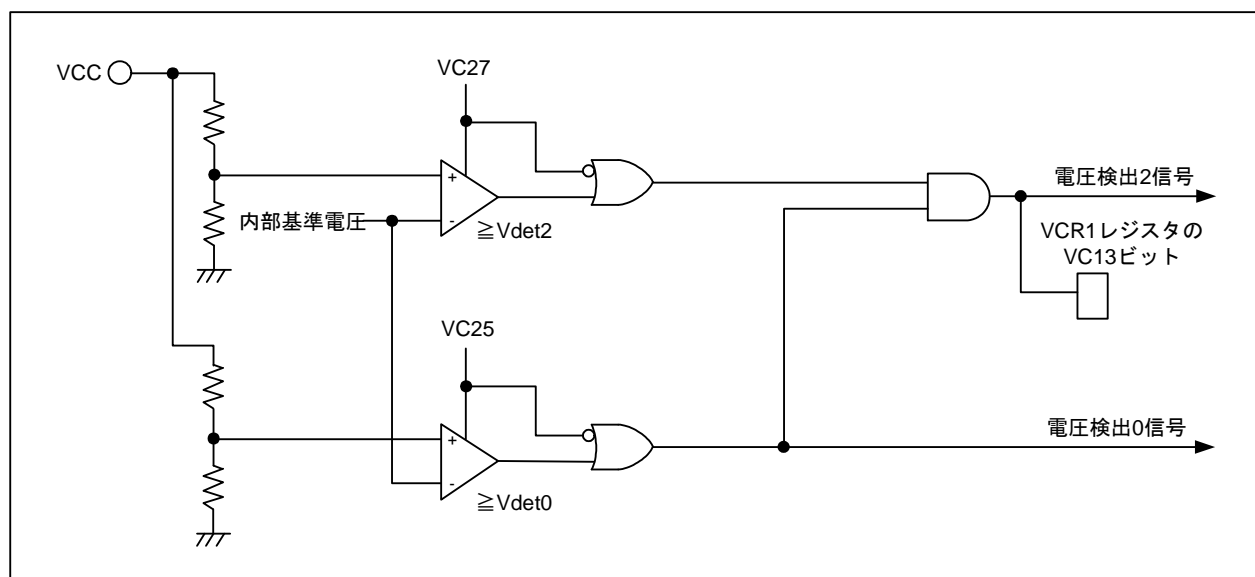


図 7.1 電圧検出回路ブロック図

7.2 レジスタの説明

表 7.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注1、5)
001Ah	電圧検出回路動作許可レジスタ	VCR2	000X 0000b (注2、5) 001X 0000b (注3、5)
0026h	電圧監視機能選択レジスタ	VWCE	00h
0028h	電圧検出2レベル選択レジスタ	VD2LS	0000 0100b (注4、6)
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 1X10b (注2、5) 1100 1X11b (注3、5)
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b (注1、7)

注1. ハードウェアリセット、パワーオンリセット、または電圧監視0リセット

注2. OFS1番地のLVDASビットが“1”、かつハードウェアリセット

注3. 下記のいずれかのリセット後

- ・電圧監視0リセット
- ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
- ・パワーオンリセット

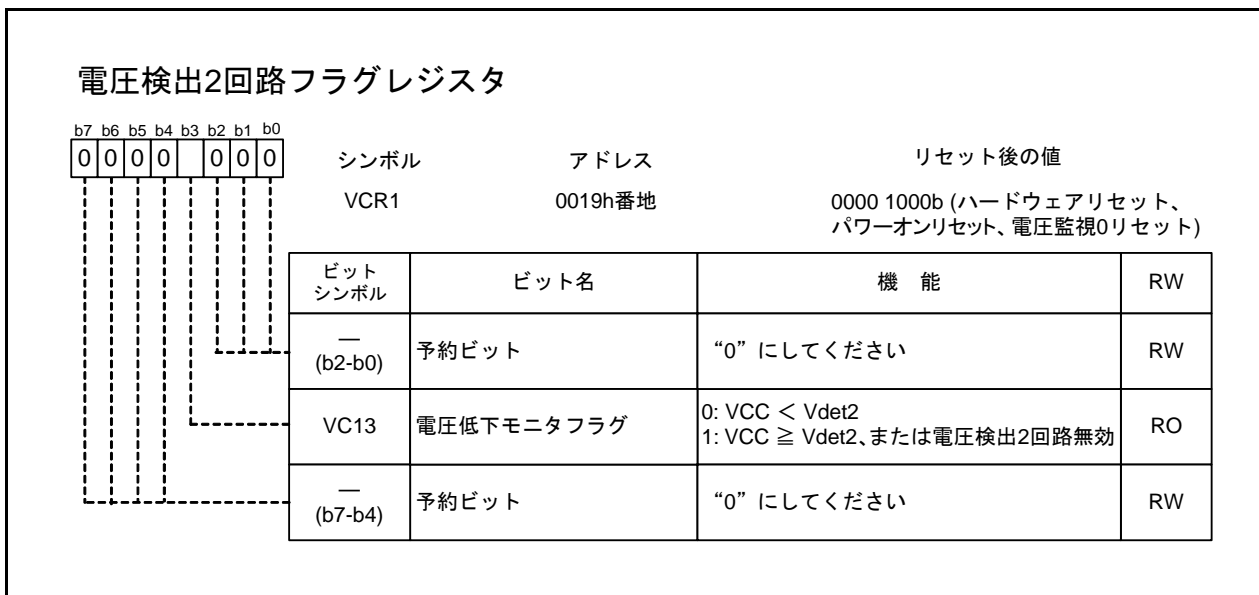
注4. ハードウェアリセット、パワーオンリセット、電圧監視0リセット、または電圧監視2リセット

注5. 電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

注6. 発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

注7. VW2C2、VW2C3ビットは、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

7.2.1 電圧検出2回路フラグレジスタ (VCR1)



電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC13 (電圧低下モニタフラグ) (b3)

VWCEレジスタのVW12Eビットが“1” (電圧監視2回路有効)かつVCR2レジスタのVC27ビットが“1” (電圧検出2回路有効)のとき、VC13ビットは有効です。

["0"]になる条件]

- VCC < Vdet2 (VW12Eビットが“1”かつVC27ビットが“1”の場合)

["1"]になる条件]

- VCC ≥ Vdet2 (VW12Eビットが“1”かつVC27ビットが“1”の場合)
- VCR2レジスタのVC27ビットが“0” (電圧検出2回路無効)

7.2.2 電圧検出回路動作許可レジスタ (VCR2)

電圧検出回路動作許可レジスタ

<table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px;">b7</td><td style="padding: 2px;">b6</td><td style="padding: 2px;">b5</td><td style="padding: 2px;">b4</td><td style="padding: 2px;">b3</td><td style="padding: 2px;">b2</td><td style="padding: 2px;">b1</td><td style="padding: 2px;">b0</td> </tr> <tr> <td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">X</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td> </tr> </table>	b7	b6	b5	b4	b3	b2	b1	b0	0	0	X	0	0	0	0	0	シンボル VCR2	アドレス 001Ah番地	リセット後の値 000X 0000b (注1) 001X 0000b (注2)
b7	b6	b5	b4	b3	b2	b1	b0												
0	0	X	0	0	0	0	0												

ビットシンボル	ビット名	機能	RW
— (b3-b0)	予約ビット	“0” にしてください。	RW
— (b4)	何も配置されていない。書く場合は、“0” を書いてください。読んだ場合、その値は不定。		—
VC25	電圧検出0許可ビット	0: 電圧検出0回路無効 1: 電圧検出0回路有効	RW
— (b6)	予約ビット	“0” にしてください。	RW
VC27	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	RW

注1. OFS1番地のLVDASビットが“1” かつハードウェアリセット
注2. 下記のいずれかのリセット後

- ・電圧監視0リセット
- ・OFS1番地のLVDASビットが“0” かつハードウェアリセット
- ・パワーオンリセット

VCR2レジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。
VCR2レジスタの値は、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC25 (電圧検出0許可ビット) (b5)

電圧監視0リセットを使用する場合、VC25ビットを“1” (電圧検出0回路有効)にしてください。VC25ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

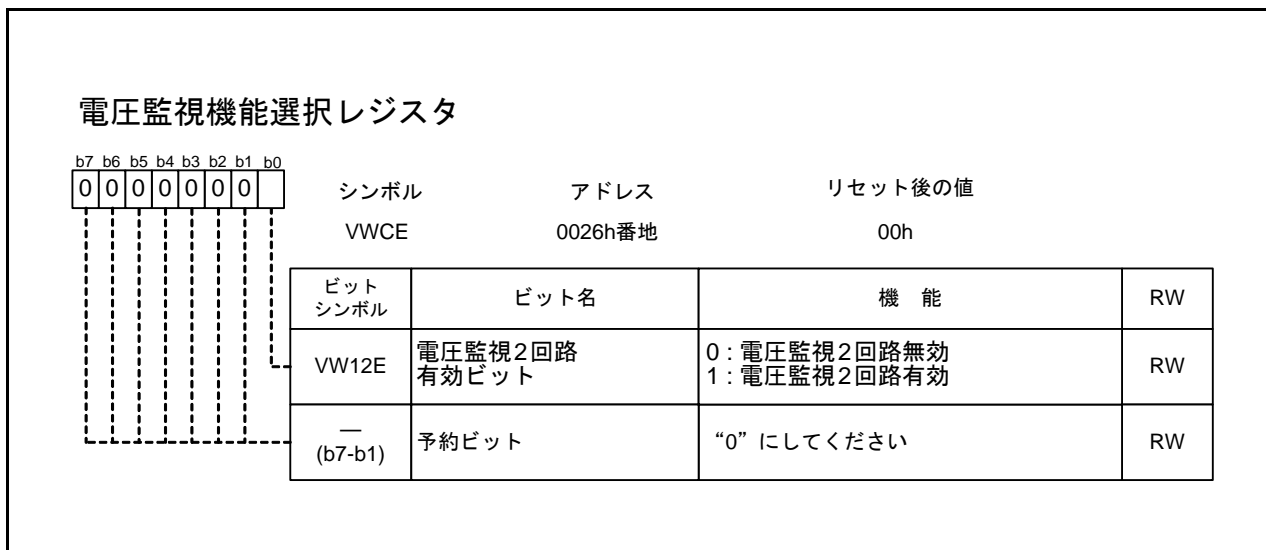
VC27 (電圧検出2許可ビット) (b7)

VWCEレジスタのVW12Eビットが“1” (電圧監視2回路有効)、かつVC27ビットが“1” (電圧検出2回路有効)のとき、電圧検出2回路が有効になります。次のときVW12EビットとVC27ビットをともに“1”にしてください。

- ・電圧監視2割り込み/リセットを使用する
- ・VCR1レジスタのVC13ビットを使用する
- ・VW2CレジスタのVW2C2ビットを使用する

VC27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

7.2.3 電圧監視機能選択レジスタ (VWCE)

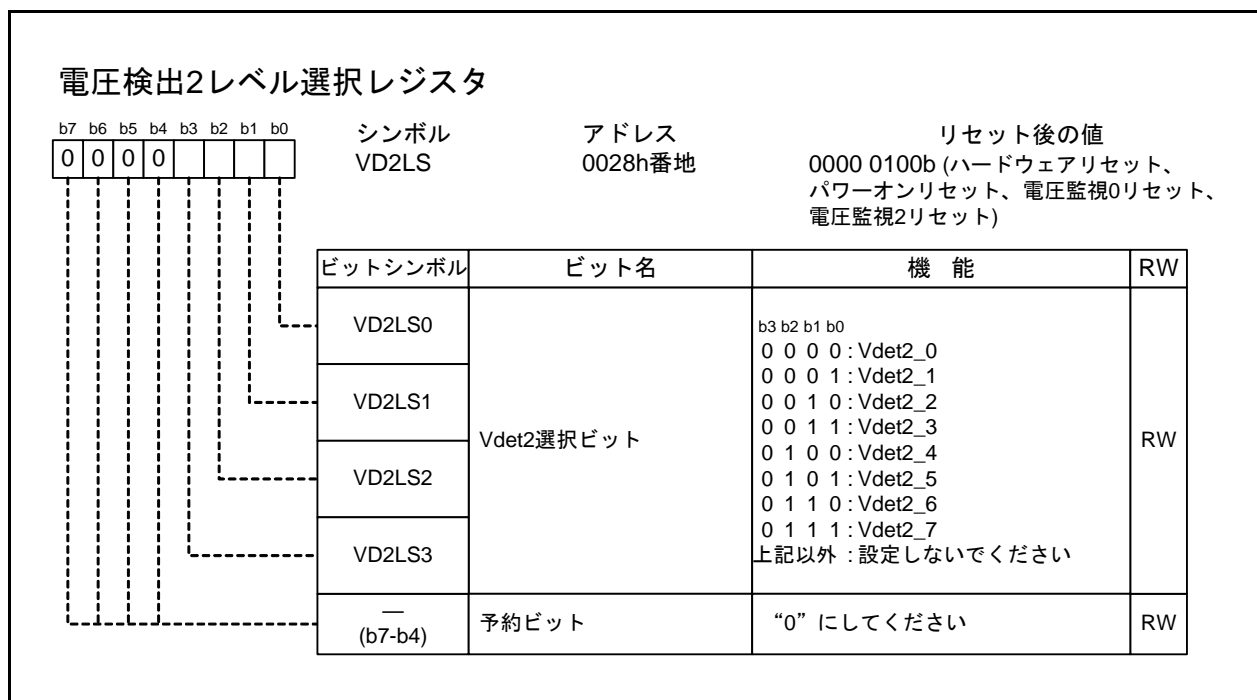


VWCEレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW12E (電圧監視2回路有効ビット) (b0)

VCR2レジスタのVC27ビットを“1”(有効)にする場合、VW12Eビットを“1”(有効)にしてください。

7.2.4 電圧検出2レベル選択レジスタ (VD2LS)



VD2LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VD2LSレジスタの値は、VWCEレジスタのVW12Eビットの影響を受けます。表7.3にVD2LSレジスタの値を示します。VD2LSレジスタに値を設定した後、VW12Eビットを“0”にし、再び“1”にすると以前設定した値に戻ります。

表 7.3 VD2LSレジスタの値

VW12Eビット	VD2LSレジスタの値
0	0000 0100b
1	VD2LSレジスタに設定した値 (VD2LSレジスタに何も設定していない場合は“0000 0111b”)

VD2LS3~VD2LS0 (Vdet2選択ビット) (b3~b0)

電圧検出2回路を使用する場合、上記VD2LSレジスタ図に示した値を設定してください。

電圧検出2回路を使用しない場合はリセット後の値のまま構いません。

7.2.5 電圧監視0回路制御レジスタ (VW0C)

電圧監視0回路制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
1 1 0 0 0 1 1	VW0C	002Ah番地	1000 1X10b (注1) 1100 1X11b (注2)

ビットシンボル	ビット名	機能	RW
VW0C0	電圧監視0リセット許可ビット	0: 禁止 1: 許可	RW
— (b1)	予約ビット	“1” にしてください。	RW
— (b2)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW
— (b3)	予約ビット	読んだ場合、その値は不定。	RO
— (b4)	予約ビット	“0” にしてください。	RW
— (b5)	予約ビット	“0” にしてください。	RW
— (b7-b6)	予約ビット	“1” にしてください。	RW

注1. OFS1番地のLVDASビットが“1” かつハードウェアリセット
 注2. 電圧監視0リセット、OFS1番地のLVDASビットが“0” かつハードウェアリセット、
 パワーオンリセット

VW0C レジスタはPRCR レジスタのPRC3 ビットを“1” (書き込み許可)にした後で書き換えてください。

電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW0C0 (電圧監視0リセット許可ビット) (b0)

VW0C0 ビットはVCR2 レジスタのVC25 ビットが“1” (電圧検出0回路有効) のとき有効です。VC25 ビットが“0” (電圧検出0回路無効) のときは、VW0C0 ビットを“0” (禁止) にしてください。

VW0C0 ビットを“1” (許可) にするときは、VW0C レジスタのビット6も併せて“1” にしてください。

7.2.6 電圧監視2回路制御レジスタ (VW2C)

電圧監視2回路制御レジスタ			
ビットシンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/ リセット許可ビット	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ 無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW
VW2C2	電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ	0: 未検出 1: ウォッチドッグタイマアンダフロー検出	RW
VW2F0	サンプリングクロック選択 ビット	b5 b4	RW
VW2F1		0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	
VW2C6	電圧監視2回路モード選択 ビット	0: Vdet2通過時に電圧監視2割り込み 1: Vdet2通過時に電圧監視2リセット	RW
VW2C7	電圧監視2割り込み/ リセット発生条件選択ビット	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2C3、VW2C2ビットは、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2Cレジスタ(VW2C3ビットを除く)を書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

VW2C0 (電圧監視2割り込み/リセット許可ビット) (b0)

VW2C0ビットは、VWCEレジスタのVW12Eビットが“1”(電圧監視2回路有効)かつVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき有効です。VC27ビットが“0”(電圧検出2回路無効)のときは、VW2C0ビットを“0”(禁止)にしてください。

VW2C1 (電圧監視2デジタルフィルタ無効モード選択ビット) (b1)

電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合は、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。

VW2C2 (電圧変化検出フラグ) (b2)

VW2C2ビットはVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき有効です。VW2C2ビットはプログラムで“1”を書いても変化しません。

[“0”になる条件]

- プログラムで“0”を書く

[“1”になる条件]

表 7.4 VW2C2ビットが“1”になる条件

ビット設定(注1)			VW2C2ビットが“1”になる条件
VW2C1	VW2C6	VW2C7	
0	0	0または1	VC13ビットが変化(“0”から“1”、“1”から“0”の両方)
	1	1	VC13ビットが“1”から“0”に変化
1	0	0	VC13ビットが“0”から“1”に変化
		1	VC13ビットが“1”から“0”に変化
	1	1	VC13ビットが“1”から“0”に変化

VC13ビット: VCR1レジスタのビット

注1. 上記以外の組み合わせを設定しないでください。

VW2C6 (電圧監視2回路モード選択ビット) (b6)

VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効です。

VW2C7 (電圧監視2割り込み/リセット発生条件選択ビット) (b7)

VW2C6ビットが“0”(Vdet2通過時に電圧監視2割り込み)、かつVW2C1ビットが“1”(デジタルフィルタ無効)のとき、VW2C7ビットで電圧監視2割り込み/リセット発生条件が選択できます。

VW2C6ビットが“1”(Vdet2通過時に電圧監視2リセット)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

VW2C1ビットが“0”(デジタルフィルタ有効)のとき、VW2C7ビットに関係なく、電圧監視2割り込みは、VCCがVdet2以上になるとき、以下になるときの両方で発生します。

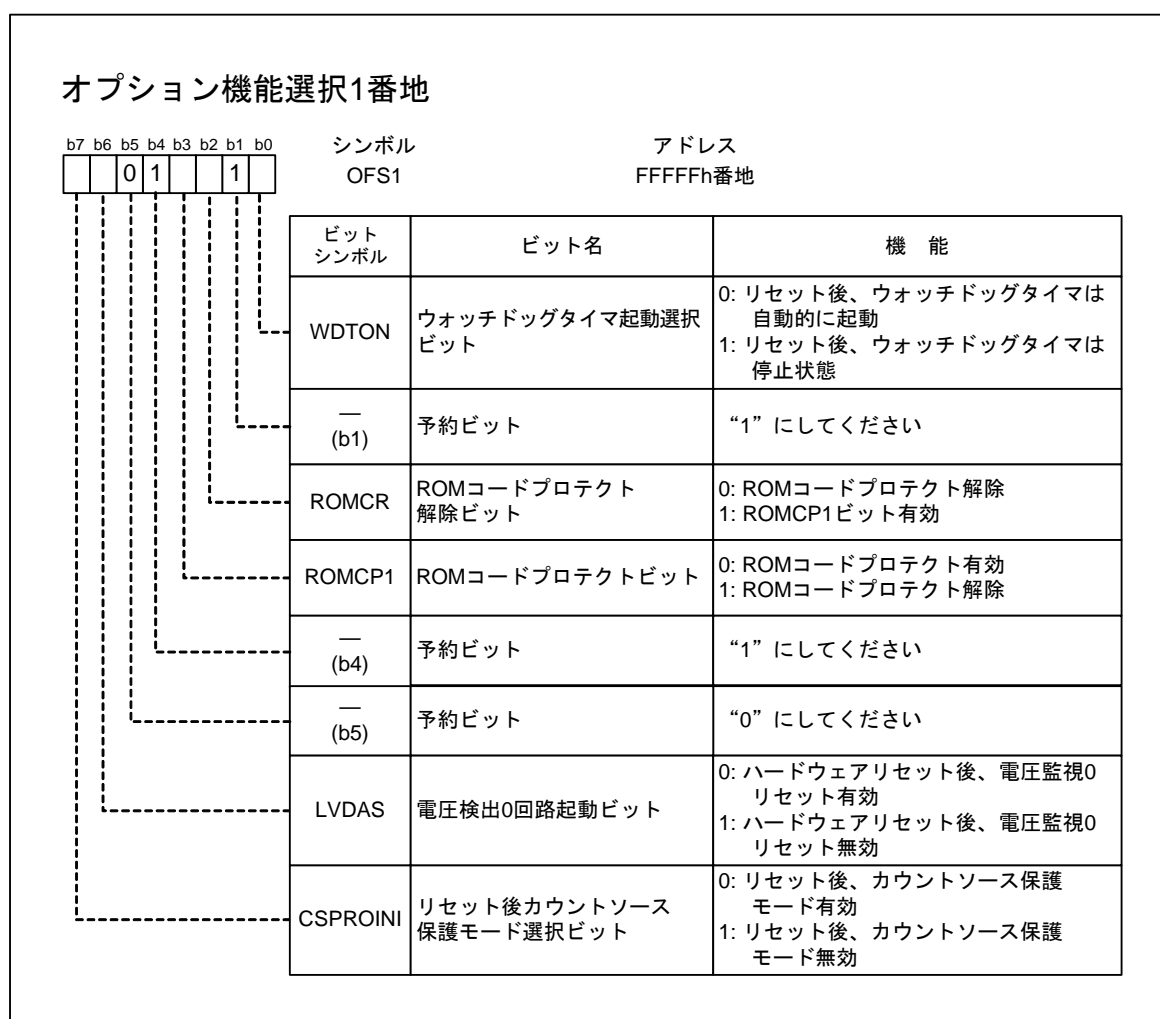
7.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

7.3.1 オプション機能選択1番地 (OFS1)



LVDAS (電圧検出0回路起動ビット) (b6)

パワーオンリセットを使用する場合は、LVDAS ビットを“0” (ハードウェアリセット後、電圧監視0リセット有効) にしてください。

LVDAS ビットはシングルチップモードで有効です。ブートモードでは無効です。

7.4 動作説明

7.4.1 デジタルフィルタ

VCC入力電圧の監視にデジタルフィルタを使用できます。電圧検出2回路はVW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にするとデジタルフィルタが有効になります。

サンプリングクロックはfOCO-Sの1、2、4、8分周から選択できます。デジタルフィルタを使用する場合、CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にしてください。

デジタルフィルタは、サンプリングクロックごとにVCC入力電圧のレベルをサンプリングします。サンプリング時にレベルが3度続けて一致すると、3度目のサンプリングタイミングで、内部リセット信号が“L”になる、または電圧監視2割り込み要求が発生します。したがって、デジタルフィルタを使用するとVCC入力電圧のレベルがVdet2を通過してから、リセットまたは割り込みが発生するまで、最大でサンプリングクロックの3サイクルかかります。

なお、ストップモードではfOCO-Sが停止しますので、デジタルフィルタが動作しません。ストップモードからの復帰に電圧検出2回路を使用する場合はVW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

図7.2にデジタルフィルタの動作例を示します。

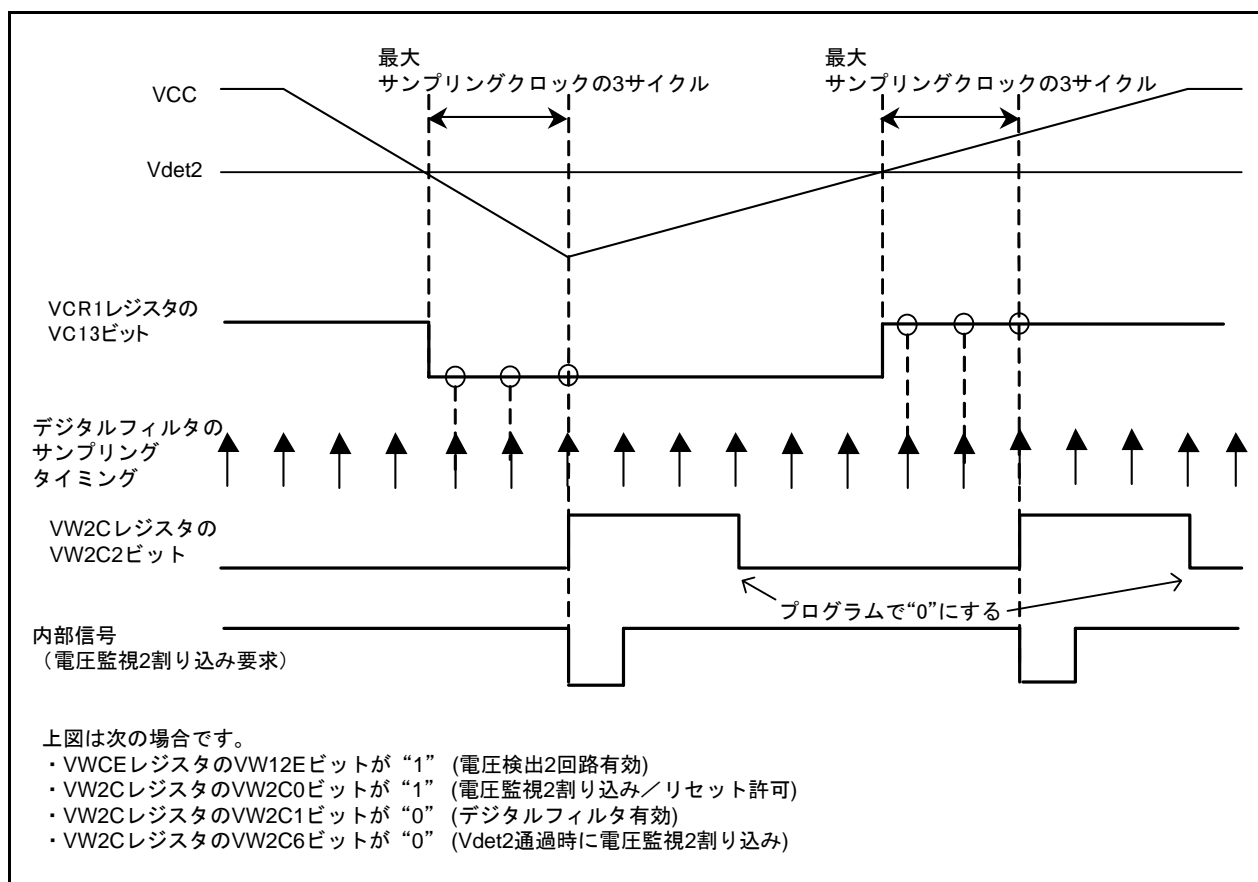


図 7.2 デジタルフィルタの動作例

7.4.2 電圧検出0回路

VCR2レジスタのVC25ビットが“1”（電圧検出0回路有効）のとき、VCC端子に入力する電圧が上昇または下降してVdet0を通過したか監視します。

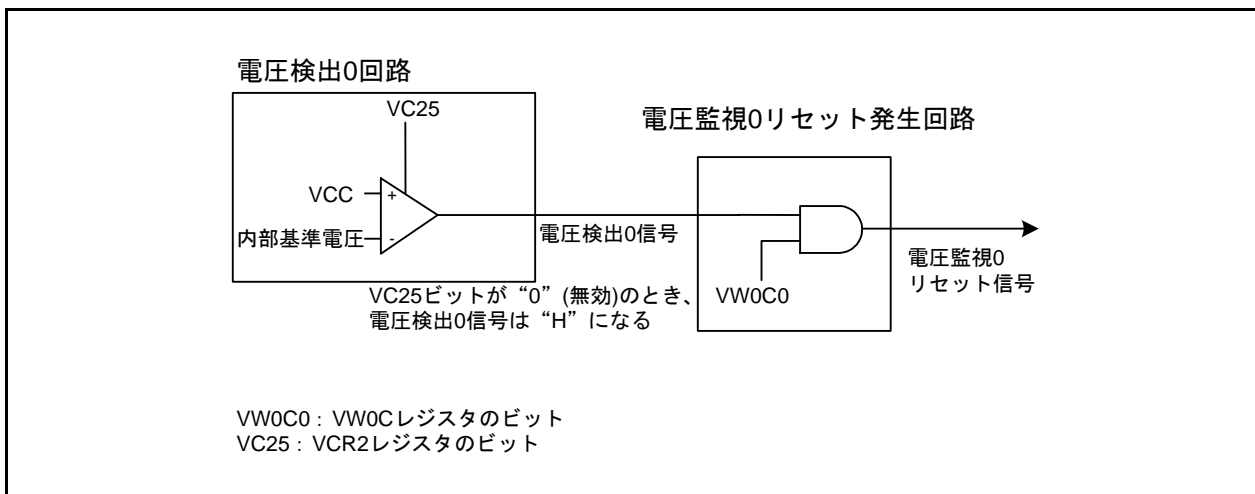


図 7.3 電圧監視0リセット発生回路のブロック図

7.4.2.1 電圧監視0リセット

表 7.5 に電圧監視0リセット関連ビットの設定手順を示します。

表 7.5 電圧監視0リセット関連ビットの設定手順

手順	
1	VCR2レジスタのVC25ビットを“1”（電圧検出0回路有効）にする
2	td(E-A)待つ
3	VW0Cレジスタのビット6、7を“1”にする
4	VW0Cレジスタのビット2を“0”にする（手順3の後、改めてビット2を“0”にする）
5	VW0CレジスタのVW0C0ビットを“1”（電圧監視0リセット許可）にする

図 7.4に電圧監視0リセット動作例を示します。

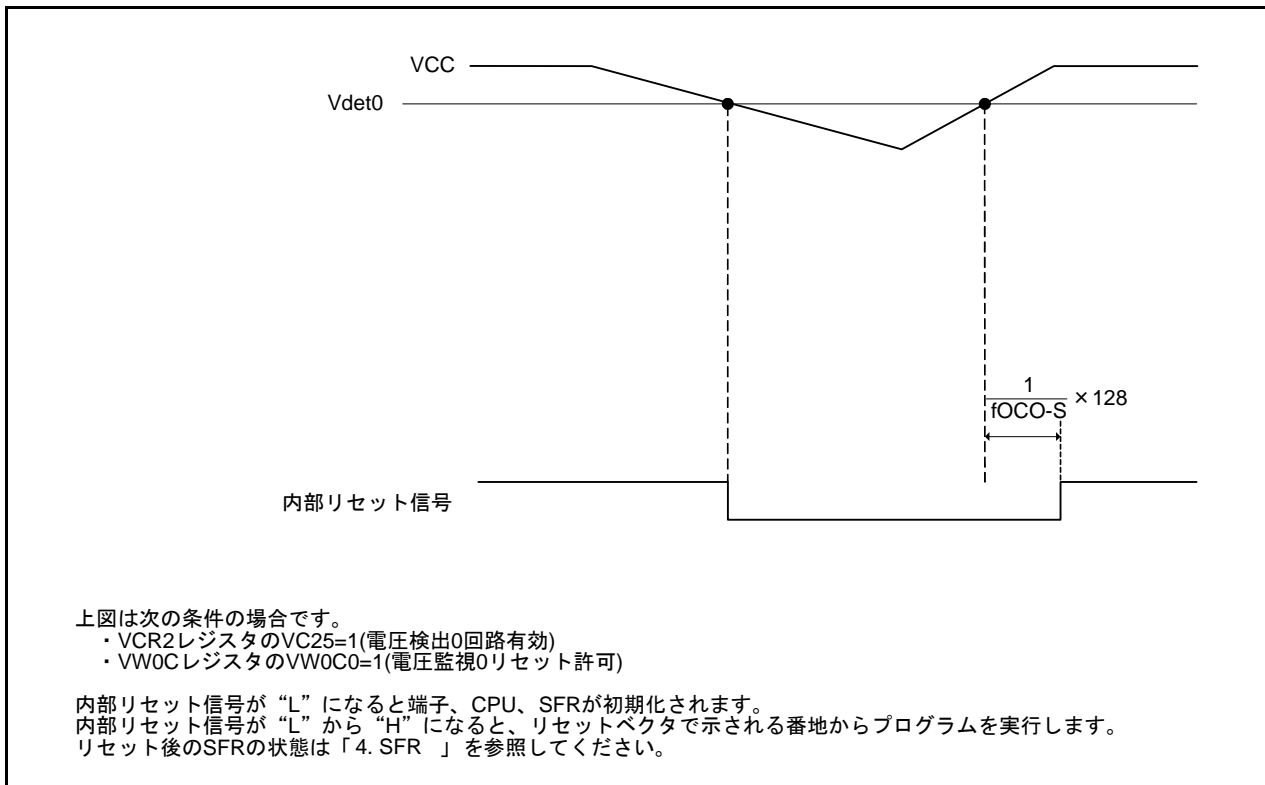


図 7.4 電圧監視0リセット動作例

7.4.3 電圧検出2回路

VWCEレジスタのVW12Eビットが“1”（電圧監視2回路有効）、かつVCR2レジスタのVC27ビットが“1”（電圧検出2回路有効）のとき、VCC端子の入力する電圧が上昇または下降してVdet2を通過したか監視します。

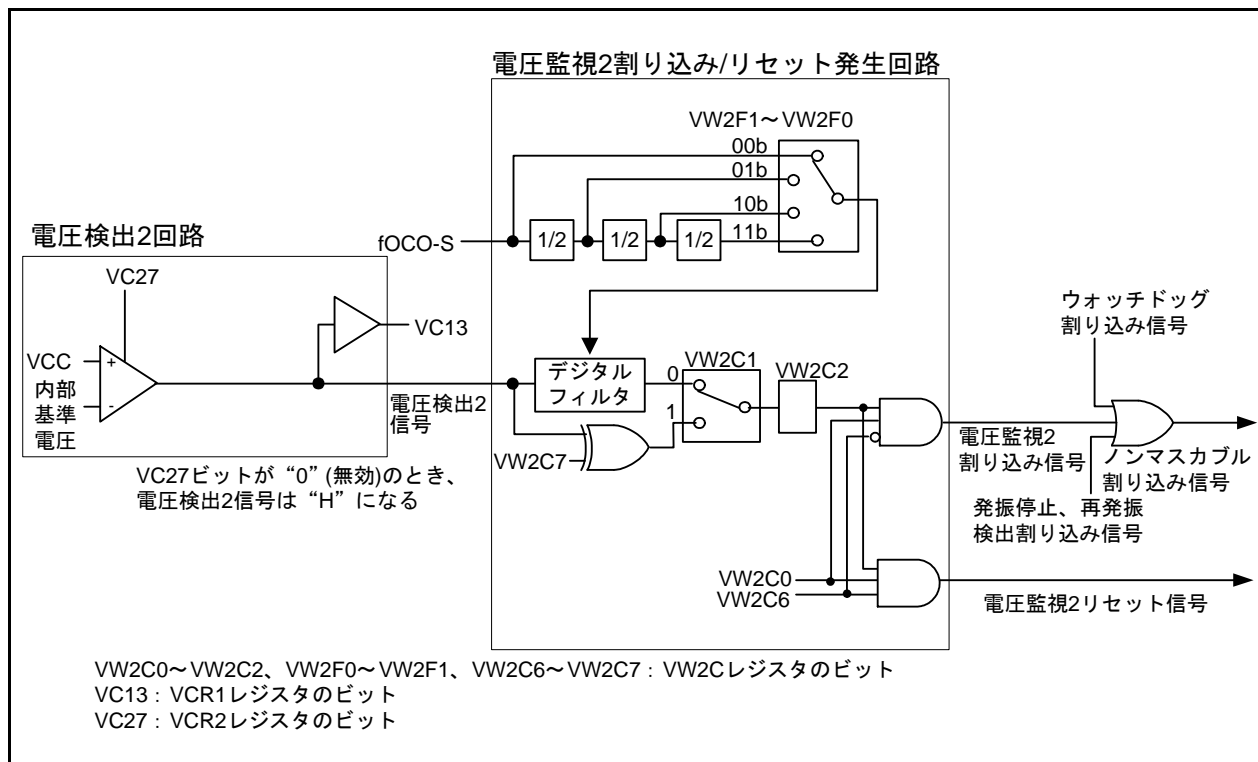


図 7.5 電圧監視2割り込み/リセット発生回路のブロック図

7.4.3.1 Vdet2のモニタ

VWCEレジスタのVW12Eビットを“1”（電圧監視2回路有効）にし、かつVCR2レジスタのVC27ビットを“1”（電圧検出2回路有効）にしてください。td(E-A)経過後、VCR1レジスタのVC13ビットでVdet2をモニタできます。

7.4.3.2 電圧監視2割り込み、電圧監視2リセット

表 7.6に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を示します。

表 7.6 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にする		—	
2	デジタルフィルタのサンプリングクロックの3サイクル待つ		— (待ち時間なし)	
3	VWCEレジスタのVW12Eビットを“1”(電圧検出2回路有効)にする			
4	VD2LSレジスタのVD2LS3~VD2LS0ビットでVdet2を選択する			
5	VCR2レジスタのVC27ビットを“1”(電圧検出2回路有効)にする			
6	td(E-A)待つ			
7	VW2CレジスタのVW2F0~VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
8 (注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
9 (注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込み)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセット)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込み)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセット)にする
10	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
11	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順7、8と9は同時に(1命令で)実行しても構いません。

電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

電圧監視2リセットが発生するとRSTFRレジスタのLVD2Rビットが“1”(電圧監視2リセット検出)になります。リセット後の状態などは「6.4.5 電圧監視2リセット」を参照してください。

図 7.6に電圧監視2割り込み、電圧監視2リセット動作例を示します。

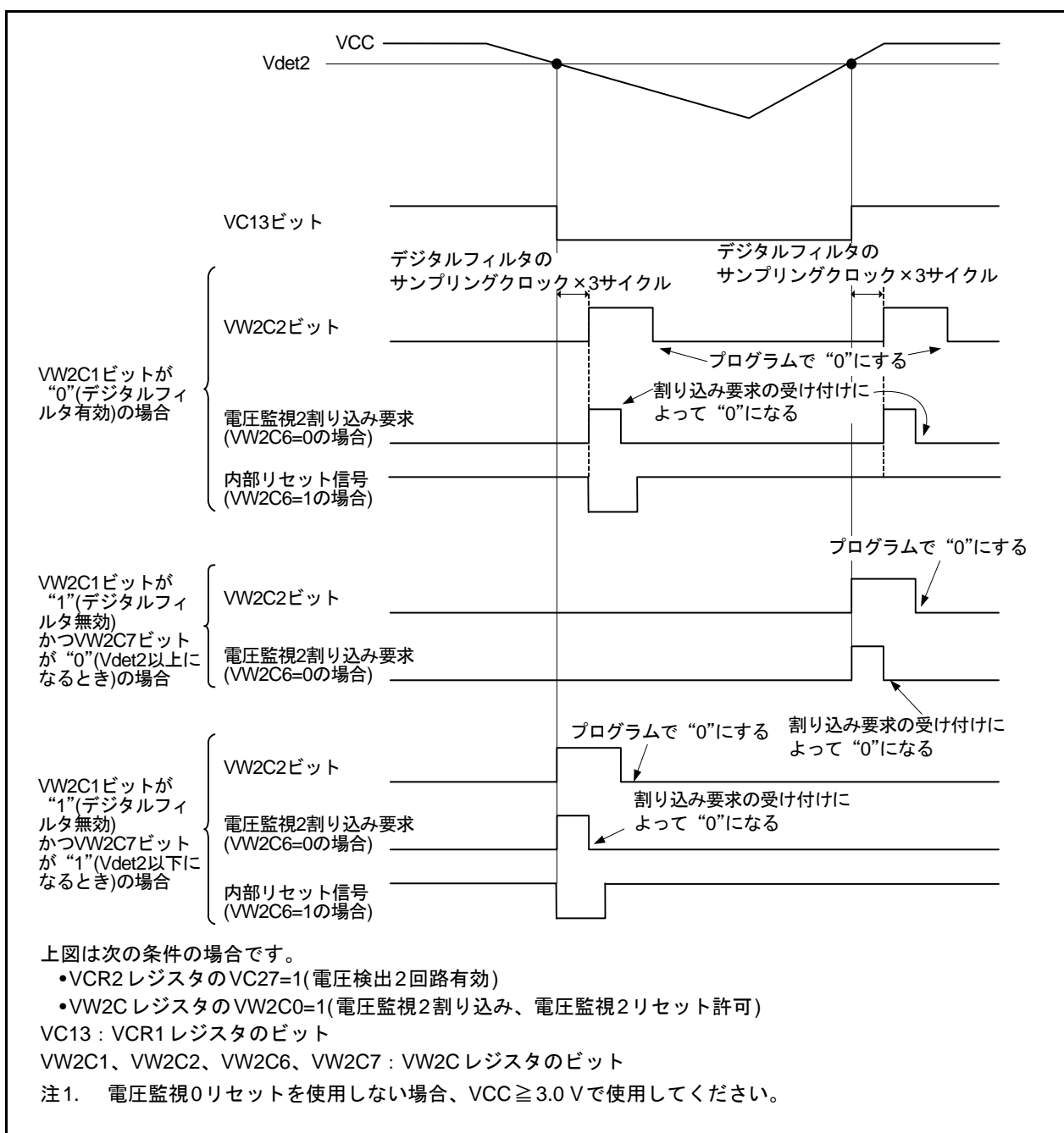


図 7.6 電圧監視2割り込み、電圧監視2リセット動作例

7.5 割り込み

電圧監視2割り込みはノンマスクابل割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

電圧監視2の検出フラグは、VW2CレジスタのVW2C2ビットです。VW2C2ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8. クロック発生回路

8.1 概要

CPUや周辺機能の動作クロックを発生する機能です。クロック発生回路として、次の回路があります。

- メインクロック発振回路
- PLL周波数シンセサイザ
- 40MHz オンチップオシレータ
- 125kHz オンチップオシレータ
- サブクロック発振回路

表 8.1 にクロック発生回路の仕様を示します。また、図 8.1 にシステムクロック発生回路のブロック図を示します。

表 8.1 クロック発生回路の仕様

項目	メインクロック 発振回路	PLL周波数 シンセサイザ	オンチップオシレータ		サブクロック 発振回路
			40MHz オンチップ オシレータ	125kHz オンチップオシレータ	
用途	<ul style="list-style-type: none"> •CPUの クロック源 •周辺機能の クロック源 	<ul style="list-style-type: none"> •CPUの クロック源 •周辺機能の クロック源 	<ul style="list-style-type: none"> •CPUの クロック源 •周辺機能の クロック源 •メインクロック 発振停止時の CPU、周辺機能 のクロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 •メインクロック発振停 止時のCPU、周辺機能 のクロック源 •CPUクロック停止時の ウォッチドッグタイマ のカウントソース 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロッ ク源
クロック周波数	f(XIN)	f(PLL)	fOCO40M	fOCO-S	f(XCIN)
接続できる 発振子	<ul style="list-style-type: none"> •セラミック 共振子 •水晶発振子 	—(注1)	—	—	水晶発振子
発振子の 接続端子	XIN、XOUT	—(注1)	—	—	XCIN、XCOUT
発振の開始、 停止機能	あり	あり	あり	あり	あり
リセット後の 状態	発振	停止	停止	発振	停止
その他	外部で生成 されたクロック を入力可能	—(注1)	—	—	—

注1. PLL周波数シンセサイザは基準クロック源としてメインクロック発振回路を使用します。
したがって、これらの項目はメインクロック発振回路に準じます。

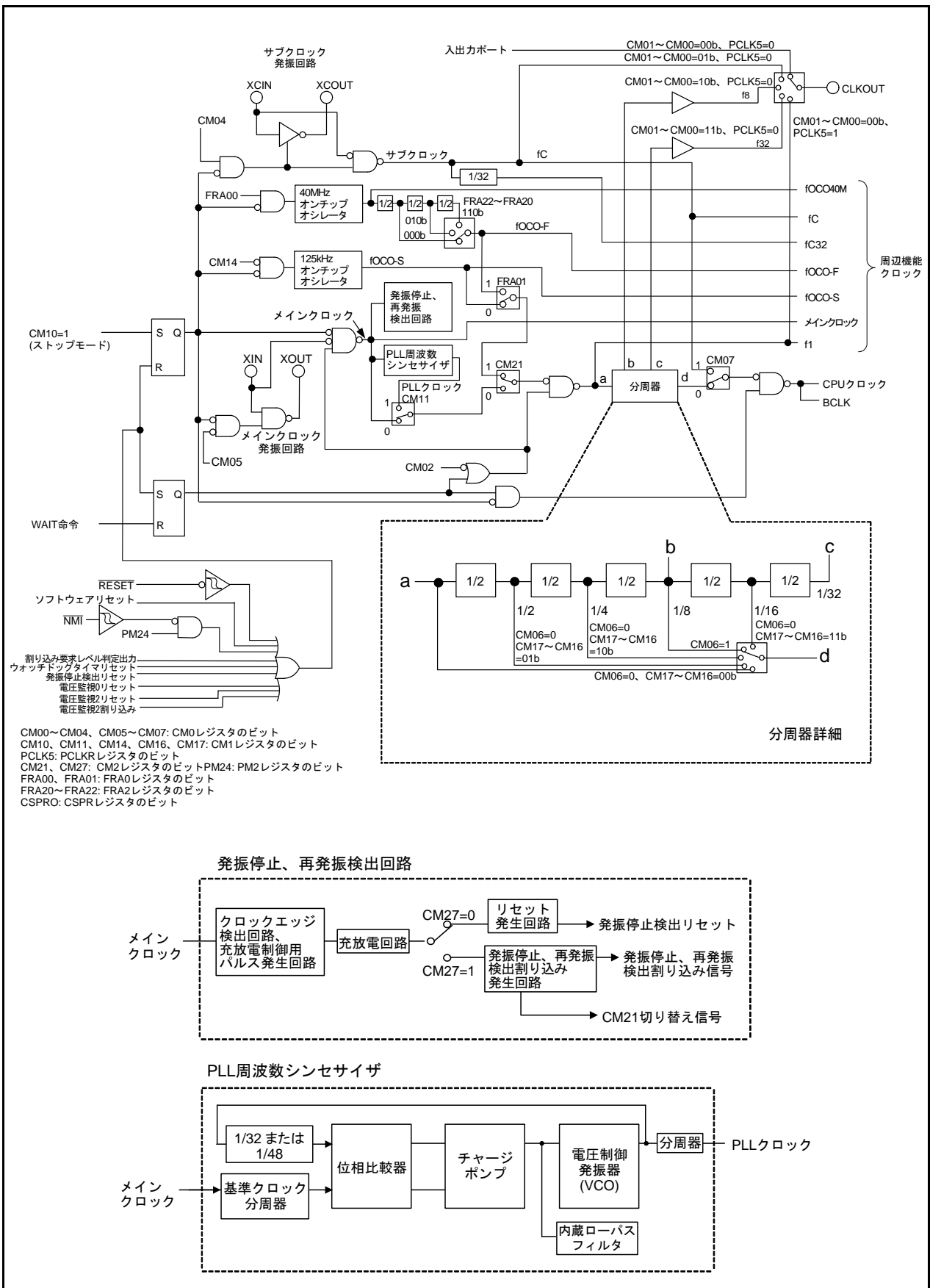


図 8.1 システムクロック発生回路

表 8.2 入出力端子

端子名	入出力	機能
XIN	入力	メインクロック発振回路を構成する
XOUT	出力	
XCIN	入力(注1)	サブクロック発振回路を構成する
XCOU	出力(注1)	
CLKOUT	出力	クロック出力

注1. 端子を共用するポートの方向ビットは“0” (入力モード)にしてください。

8.2 レジスタの説明

表 8.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注1)
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
0022h	40MHzオンチップオシレータ制御レジスタ0	FRA0	XXXX XX00b
0024h	40MHzオンチップオシレータ制御レジスタ2	FRA2	0XX0 X000b

注1. CM20、CM21、CM27ビットは発振停止検出リセットでは変化しません。

8.2.1 システムクロック制御レジスタ0 (CM0)

システムクロック制御レジスタ0			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	CM0	0006h番地	0100 1000b
	ビットシンボル	ビット名	機能
	CM00	クロック出力機能選択ビット	b1 b0 0 0: 入出力ポート 0 1: fCを出力 1 0: f8を出力 1 1: f32を出力
	CM01		
	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックf1停止しない 1: ウェイトモード時、周辺機能クロックf1停止する
	CM03	XCIN-XCOUT駆動能力選択ビット	0: Low 1: High
	CM04	ポートXC切り替えビット	0: 入出力ポート 1: XCIN-XCOUT発振機能
	CM05	メインクロック停止ビット	0: 発振 1: 停止
	CM06	メインクロック分周比選択ビット0	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード
	CM07	システムクロック選択ビット	0: メインクロック、PLLクロック またはオンチップオシレータクロック 1: サブクロック

CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM01~CM00 (クロック出力機能選択ビット) (b1~b0)

CLKOUT端子の出力を選択できます。PCLKRレジスタのPCLK5ビットが“0”(CM01~CM00ビットで選択)の場合に有効です。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。表 8.4にCLKOUT端子の機能を示します。

表 8.4 CLKOUT端子の機能

PCLKRレジスタ PCLK5ビット	CM0レジスタ		CLKOUT端子の出力
	CM01ビット	CM00ビット	
0	0	0	入出力ポート
0	0	1	fCを出力
0	1	0	f8を出力
0	1	1	f32を出力
1	0	0	f1を出力

上記以外の組み合わせを設定しないでください。

CM02 (ウェイトモード時周辺機能クロック停止ビット) (b2)

ウェイトモード時に周辺機能クロックのf1を停止させる機能です。周辺機能クロックのfC、fC32、fOCO-S、fOCO-F、fOCO40MはCM02ビットの影響を受けません。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02ビットに書いても変化しません。

CM03 (XCIN-XCOOUT駆動能力選択ビット) (b3)

サブクロックの発振が安定しているとき、駆動能力をLowにすると、消費電力が少なくなります。

CM04ビットが“0”(P8_6、P8_7は入出力ポート)の間、またはストップモードへ遷移したとき、CM03ビットは“1”(High)になります。

CM04 (ポートXC切り替えビット) (b4)

CM04ビットが“0”(P8_6、P8_7は入出力ポート)の間、CM03ビットは“1”(High)になります。

CM05 (メインクロック停止ビット) (b5)

CM05ビットはメインクロックを停止させるためのビットです。メインクロックを停止させるのは次の場合です。

- 低消費電力モードにする
- 125kHz オンチップオシレータ低消費電力モードにする
- 40MHz オンチップオシレータモードでメインクロックを停止させる

CM05ビットはメインクロックが停止したかどうかの検出には使用できません。メインクロックの停止検出は「8.7 発振停止/再発振検出機能」を参照してください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM05ビットに書いても変化しません。

CM06 (メインクロック分周比選択ビット0) (b6)

次の条件のとき、CM06ビットは“1”(8分周モード)になります。

- ストップモードに遷移
- CM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつCM05ビットが“1”(メインクロック停止)のとき

CM07 (システムクロック選択ビット) (b7)

CPUクロック源と周辺機能クロックf1は、CM07ビット、CM1レジスタのCM11ビット、CM2レジスタのCM21ビットの組み合わせで決まります。CM07ビットが“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)の場合、CM11ビットとCM21ビットの組み合わせでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”(CPUクロック源はサブクロック)の場合、CPUクロック源はfCで、CM11ビットとCM21ビットの組み合わせで周辺機能クロックf1が選択できます。

PM21ビットを“1”(クロック変更禁止)にする場合、CM07ビットを“0”(メインクロック)にした後で、PM21ビットを“1”にしてください。PM21ビットが“1”の場合、CM07ビットに書いても変化しません。

8.2.2 システムクロック制御レジスタ1 (CM1)

システムクロック制御レジスタ1		シンボル	アドレス	リセット後の値
		CM1	0007h番地	0010 0000b
ビットシンボル	ビット名	機能	RW	
CM10	全クロック停止制御ビット	0: クロック発振 1: 全クロック停止(ストップモード)	RW	
CM11	システムクロック選択ビット1	0: メインクロック 1: PLLクロック	RW	
— (b2)	予約ビット	“0” にしてください	RW	
CM13	XIN-XOUT帰還抵抗 選択ビット	0: 内蔵帰還抵抗接続 1: 内蔵帰還抵抗未接続	RW	
CM14	125 kHzオンチップオシレータ 発振停止ビット	0: 125 kHzオンチップオシレータ発振 1: 125 kHzオンチップオシレータ停止	RW	
CM15	XIN-XOUT駆動能力選択ビット	0: Low 1: High	RW	
CM16	メインクロック分周比 選択ビット1	b7 b6 0 0: 分周なしモード 0 1: 2分周モード 1 0: 4分周モード 1 1: 16分周モード	RW	
CM17				

CM1レジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM10 (全クロック停止制御ビット) (b0)

CM11ビットが“1”（PLLクロック）、またはCM2レジスタのCM20ビットが“1”（発振停止/再発振検出機能有効）の場合、CM10ビットを“1”にしないでください。

次の場合、CM10ビットに書いても変化しません（ストップモードになりません）。

- PM2レジスタのPM21ビットが“1”（クロック変更禁止）
- CSPRレジスタのCSPROビットが“1”（ウォッチドッグタイマのカウントソース保護モード有効）
- PLC0レジスタのPLC07ビットが“1”（PLL動作）
- $\overline{\text{NMI}}$ 端子に“L”を入力

CM11 (システムクロック選択ビット1) (b1)

CM11ビットはCM2レジスタのCM21ビットが“0”（メインクロックまたはPLLクロック）のとき有効です。

CM07ビットが“0”（CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック）の場合、CM11ビットでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”（CPUクロック源はサブクロック）の場合、CM11ビットで周辺機能クロックf1が選択できます。

PM2レジスタのPM21ビットが“1”（クロック変更禁止）の場合、CM11ビットに書いても変化しません。

CM13 (XIN-XOUT帰還抵抗選択ビット) (b3)

CM13ビットは、メインクロックをまったく使用しない場合、またはXIN端子に外部で生成したクロックを供給する場合に使用できます。XIN-XOUT端子間にセラミック共振子または水晶発振子を接続する場合は、CM13ビットを“0” (内蔵帰還抵抗接続) にしてください (CM13ビットを“1”にしないでください)。

CM10ビットが“1” (ストップモード) のときは、CM13ビットの値に関わらず帰還抵抗は未接続になります。

CM14 (125kHzオンチップオシレータ発振停止ビット) (b4)

CM14ビットは、CM21ビットが“0” (メインクロックまたはPLLクロック) のとき、“1” (125kHzオンチップオシレータ停止) にできます。CM21ビットを“1” (オンチップオシレータクロック) にすると、CM14ビットは“0” (125kHzオンチップオシレータ発振) になり、“1”を書いても変化しません (125kHzオンチップオシレータは停止しません)。

CSPRレジスタのCSPROビットが“1” (ウォッチドッグタイマのカウントソース保護モード有効) のとき、CM14ビットは“0” (125kHzオンチップオシレータ発振) になり、“1”を書いても変化しません (125kHzオンチップオシレータは停止しません)。

CM15 (XIN-XOUT駆動能力選択ビット) (b5)

次の条件のとき、CM15ビットが“1” (駆動能力High) に固定されます。

- ストップモードに遷移
- CM2レジスタのCM21ビットを“0” (メインクロックまたはPLLクロック) かつCM0レジスタのCM05ビットを“1” (メインクロック停止) にしたとき

CM17~CM16 (メインクロック分周比選択ビット1) (b7~b6)

CM06ビットが“0” (CM17~CM16ビット有効) の場合に有効です。

8.2.3 発振停止検出レジスタ (CM2)

発振停止検出レジスタ		シンボル	アドレス	リセット後の値						
b7	b6	b5	b4	b3	b2	b1	b0	CM2	000Ch番地	0X00 0010b
	X	0	0							
ビットシンボル	ビット名	機能	RW							
CM20	発振停止/再発振検出許可ビット	0: 発振停止/再発振検出機能無効 1: 発振停止/再発振検出機能有効	RW							
CM21	システムクロック選択ビット2	0: メインクロックまたはPLLクロック 1: オンチップオシレータクロック	RW							
CM22	発振停止/再発振検出フラグ	0: メインクロック停止/再発振を未検出 1: メインクロック停止/再発振を検出	RW							
CM23	XINモニタフラグ	0: メインクロック発振 1: メインクロック停止	RO							
— (b5-b4)	予約ビット	“0” にしてください	RW							
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—							
CM27	発振停止/再発振検出時の動作選択ビット	0: 発振停止検出リセット 1: 発振停止/再発振検出割り込み	RW							

CM2レジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。CM20、CM21、CM27ビットは、発振停止検出リセット時は変化しません。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM20 (発振停止/再発振検出許可ビット) (b0)

ストップモードへ遷移する場合、CM20ビットを“0”（発振停止/再発振検出機能無効）にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”（有効）にしてください。

PM2レジスタのPM21ビットが“1”（クロック変更禁止）の場合、CM20ビットに書いても変化しません。

CM21 (システムクロック選択ビット2) (b1)

CM07ビットが“0”（CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック）の場合、CM21ビットでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”（CPUクロック源はサブクロック）の場合、CM21ビットで周辺機能クロックf1が選択できます。

CM21ビットを“1”（オンチップオシレータクロック）にする場合、FRA0レジスタのFRA01ビットで125kHzオンチップオシレータまたは40MHzオンチップオシレータを選択してください。

CM20ビットが“1”（発振停止/再発振検出機能有効）で、かつCM23ビットが“1”（メインクロック停止）のとき、CM21ビットを“0”（メインクロックまたはPLLクロック）にしないでください。

CM20ビットが“1”（発振停止/再発振検出機能有効）、CM27ビットが“1”（発振停止/再発振検出割り込み）、かつCPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”（オンチップオシレータクロック）になります。詳細は「8.7 発振停止/再発振検出機能」を参照してください。

CM22 (発振停止/再発振検出フラグ) (b2)

["0"になる条件]

- プログラムで"0"を書く

["1"になる条件]

- メインクロック停止検出
- メインクロック再発振検出
(プログラムで"1"を書いても変化しない)

CM22ビットが"0"から"1"に変化すると発振停止/再発振検出割り込み要求が発生します。割り込みルーチンで発振停止/再発振検出割り込みと他の割り込みとの要因判別のために使用してください。

CM22ビットが"1"のとき、発振停止または再発振を検出しても、発振停止/再発振検出割り込みは発生しません。また、発振停止/再発振検出割り込み要求が受け付けられても、"0"になりません。

CM23 (XINモニタフラグ) (b3)

発振停止/再発振検出割り込みルーチンで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。

8.2.4 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ		シンボル	アドレス	リセット後の値
		PCLKR	0012h番地	0000 0011b
ビットシンボル	ビット名	機能	RW	
PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック選択ビット (タイマA、タイマB、短絡防止タイマ、タイマS、マルチマスタI ² C-busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW	
PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0 : f2SIO 1 : f1SIO	RW	
— (b4-b2)	予約ビット	“0” にしてください	RW	
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW	
— (b7-b6)	予約ビット	“0” にしてください	RW	

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

PCLK5 (クロック出力機能拡張ビット) (b5)

CLKOUT端子の出力を選択できます。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。「表 8.4 CLKOUT端子の機能」を参照してください。

8.2.5 PLL制御レジスタ0 (PLC0)

PLL制御レジスタ0				
ビットシンボル	シンボル	アドレス	リセット後の値	
b7 b6 b5 b4 b3 b2 b1 b0	PLC0	001Ch番地	0X01 X010b	
	PLC00	b2 b1 b0 0 0 0: 設定しないでください	RW	
	PLC01	PLL通倍率選択ビット 0 0 1: 2通倍 0 1 0: 4通倍 0 1 1: 6通倍 1 0 0: 8通倍 1 0 1:] 設定しないでください 1 1 0:] 1 1 1:]	RW	
	PLC02		RW	
— (b3)	予約ビット		読んだ場合、その値は不定	RO
	PLC04		b5 b4 0 0: 分周なし	RW
	PLC05	基準周波数カウンタ設定ビット 0 1: 2分周 1 0: 4分周 1 1: 設定しないでください	RW	
— (b6)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—	
	PLC07	動作許可ビット 0: PLL停止 1: PLL動作	RW	

PLC0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLC02~PLC00 (PLL通倍率選択ビット) (b2~b0)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC02~PLC00ビットに書いても変化しません。

PLC05~PLC04 (基準周波数カウンタ設定ビット) (b5~b4)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC05~PLC04ビットに書いても変化しません。

PLC07 (動作許可ビット) (b7)

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC07ビットに書いても変化しません。

8.2.6 プロセッサモードレジスタ2 (PM2)

プロセッサモードレジスタ2			
ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PM2	アドレス 001Eh番地	リセット後の値 XX00 0X01b
— (b0)	予約ビット	“1” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット	0: NMI割り込み禁止 1: NMI割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

PM2レジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PM21 (システムクロック保護ビット) (b1)

CPUクロックを保護するための機能です。（「8.6 システムクロック保護機能」参照）

PM21ビットを“1”にすると次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

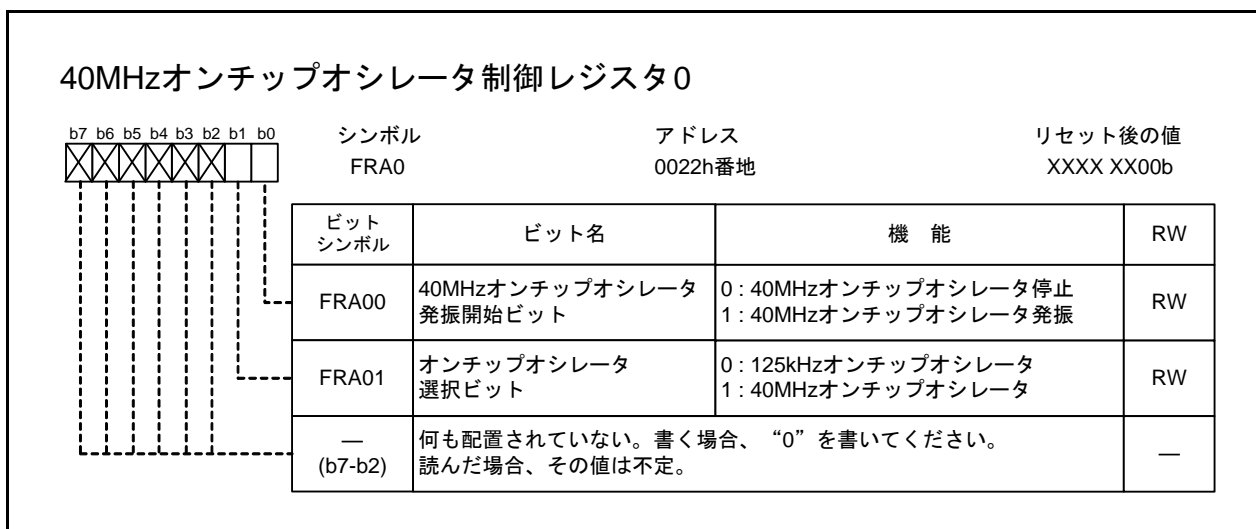
PM21ビットが“1”のときは、WAIT命令を実行しないでください。

PM21ビットは、一度“1”にするとプログラムでは“0”にできません（“0”を書いても変化しません）。

PM25 (周辺機能クロックfC供給許可ビット) (b5)

リアルタイムクロックにfC供給するビットです（「図 8.5 周辺機能クロック」参照）。

8.2.7 40MHzオンチップオシレータ制御レジスタ0 (FRA0)



FRA0レジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

FRA00 (40MHzオンチップオシレータ発振開始ビット) (b0)

発振停止/再発振検出割り込みを使用する場合は、FRA00ビットが“0” (40MHzオンチップオシレータ停止)、かつFRA01ビットが“1” (40MHzオンチップオシレータ)という状態にしないでください。

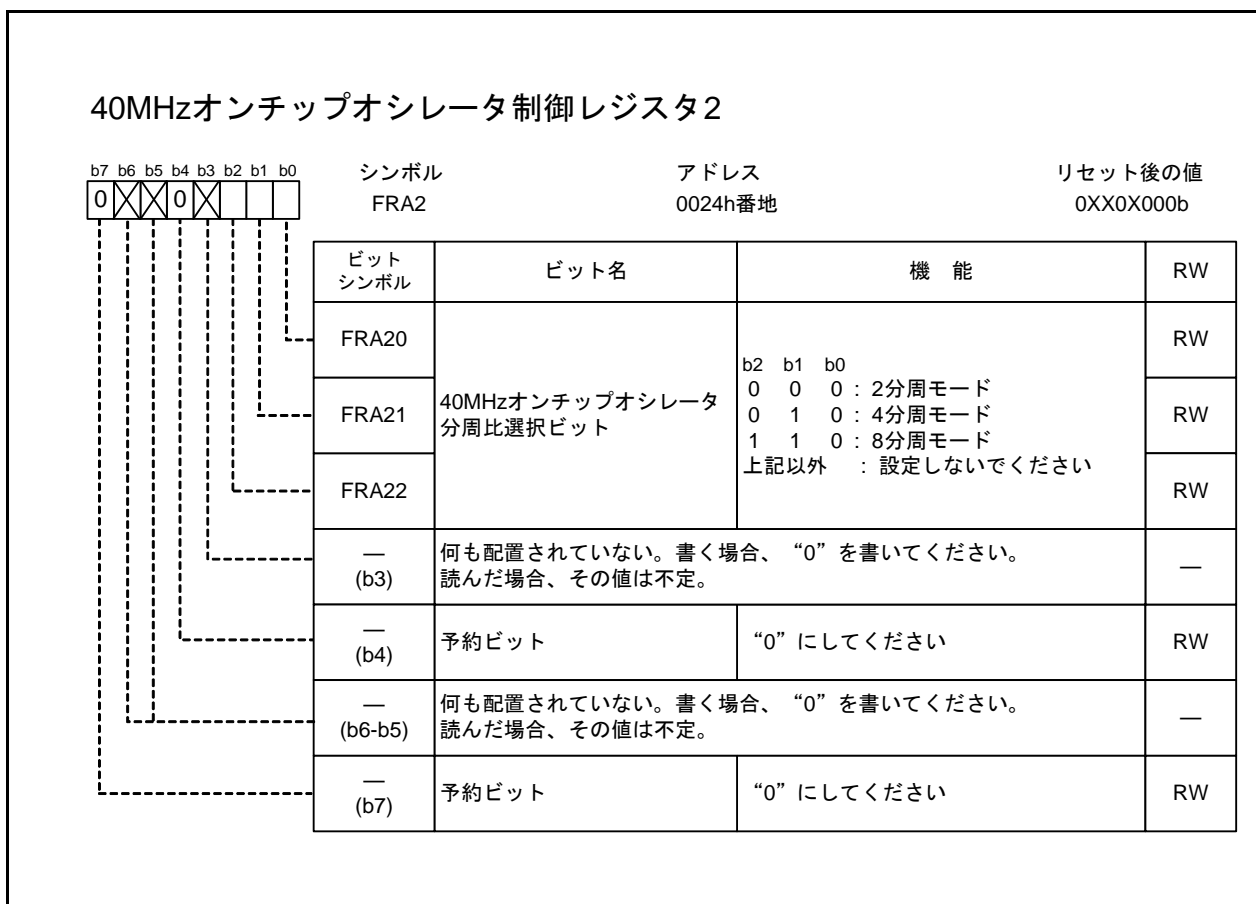
FRA01 (オンチップオシレータ選択ビット) (b1)

FRA01ビットは次の条件が両方成立しているとき変更してください。

- FRA00ビットが“1” (40MHzオンチップオシレータ発振)、かつ発振安定
- CM1レジスタのCM14ビットが“0” (125kHzオンチップオシレータ発振)、かつ発振安定

FRA01ビットに“0” (125kHzオンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0” (40MHzオンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

8.2.8 40MHzオンチップオシレータ制御レジスタ2 (FRA2)



FRA2レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

8.3 クロック発生回路で生成するクロック

クロック発生回路で生成するクロックを説明します。

8.3.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、メインクロックは動作していますが、CPUクロック源にはなっていません。

メインクロック発振回路はXIN-XOUT端子間にセラミック共振子または水晶発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図8.2にメインクロックの接続回路例を示します。

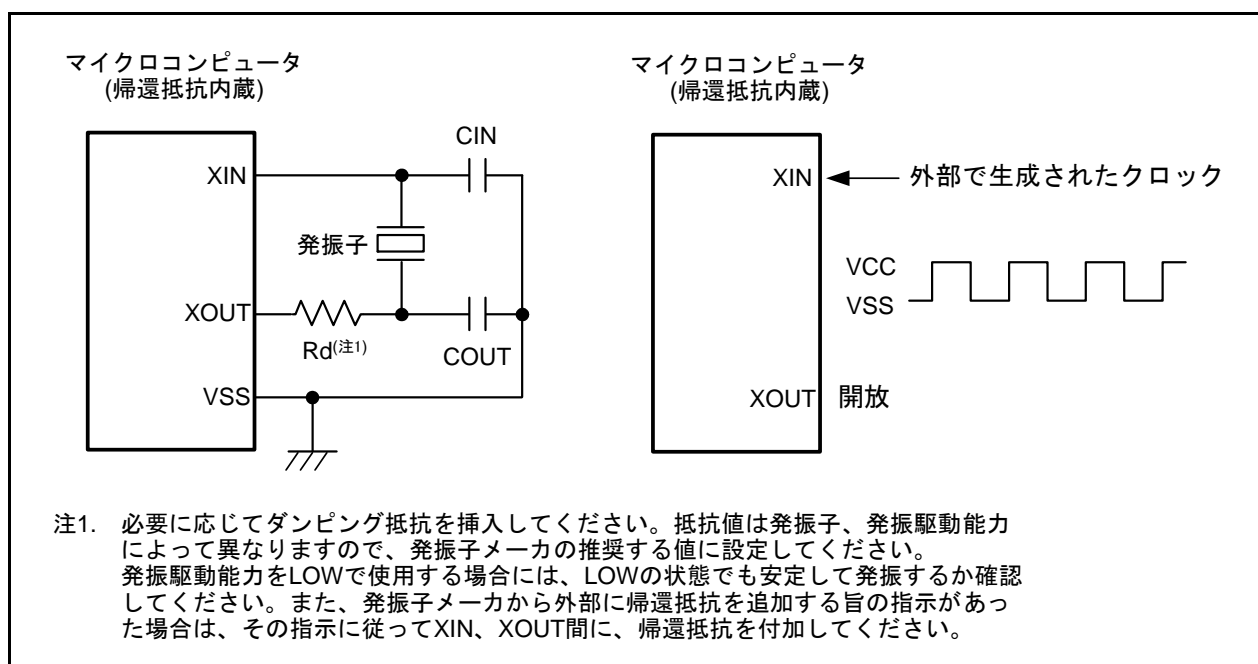


図 8.2 メインクロックの接続回路例

CPUクロックのクロック源をサブクロック (fC) またはオンチップオシレータクロック (fOCO-F、fOCO-S)に切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、XOUTは“H”になります。このとき、内蔵している帰還抵抗は接続したままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

メインクロック発振回路をまったく使用しない場合、CM1レジスタのCM13ビットで帰還抵抗未接続を選択できます。

メインクロック発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

メインクロック発振開始

- (1)CM15ビットを“1”(駆動能力High)にする (XIN-XOUT間にセラミック共振子または水晶発振子を接続している場合)
- (2)CM05ビットを“0”(メインクロック発振)にする
- (3)メインクロック発振安定時間を待つ (外部クロックをXIN端子から入力する場合は、外部クロックを入力する)

メインクロックの発振停止

- (1)CM2レジスタのCM20ビットを“0”(発振停止/再発振検出機能無効)にする
- (2)CM05ビットを“1”(停止)にする
- (3)(外部クロックをXIN端子から入力する場合)外部クロックを停止させる

8.3.2 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。

リセット後、PLL周波数シンセサイザは停止しています。

メインクロックをPLC0レジスタのPLC05~PLC04ビットで選択した値で分周し、PLC02~PLC00ビットで選択した値で逡倍したものがPLLクロックになります。分周後のクロック周波数が2MHz~5MHzになるようにPLC05~PLC04ビットを設定してください。図 8.3にメインクロックとPLLクロックの関係を示します。

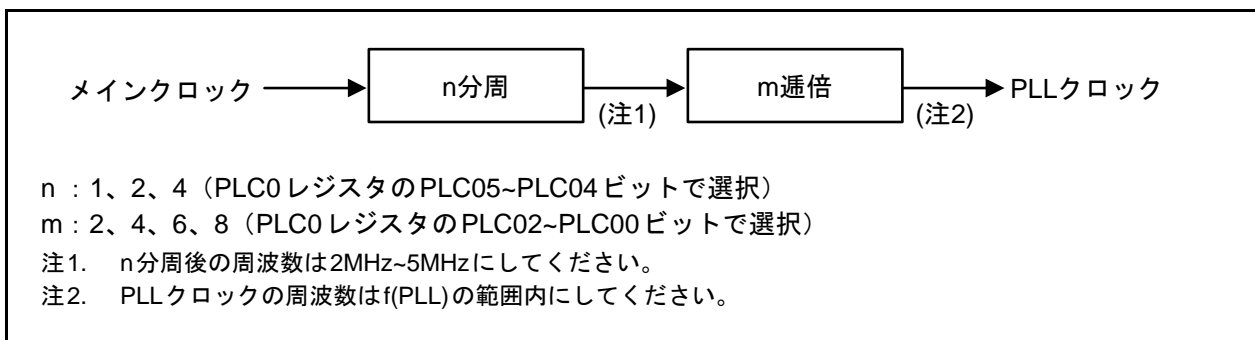


図 8.3 メインクロックとPLLクロックの関係

表 8.5 PLLクロックの周波数設定例

メインクロック	設定値		PLLクロック
	PLC05~PLC04ビット	PLC02~PLC00ビット	
10MHz	01b (2分周)	010b (4逡倍)	20MHz
5MHz	00b (分周なし)	010b (4逡倍)	
12MHz	10b (4分周)	100b (8逡倍)	24MHz
6MHz	01b (2分周)	100b (8逡倍)	
16MHz	10b (4分周)	100b (8逡倍)	32MHz
8MHz	01b (2分周)	100b (8逡倍)	

8.3.3 fOCO40M

fOCO40Mは、40MHz オンチップオシレータで供給する約40MHzのクロックです。fOCO40MはA/Dコンバータの ϕ ADのクロック源になります。

40MHz オンチップオシレータの発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

40MHz オンチップオシレータの発振開始

- (1) FRA0レジスタのFRA00ビットを“1” (40MHz オンチップオシレータ発振)にする
- (2) tsu(fOCO40M)待つ

40MHz オンチップオシレータの発振停止

- (1) FRA0レジスタのFRA01ビットを“0” (125kHz オンチップオシレータ)にする (CM27ビットが“1” (発振停止/再発振検出割り込みを使用する)の場合)
- (2) FRA0レジスタのFRA00ビットを“0” (40MHz オンチップオシレータ停止)にする

8.3.4 fOCO-F

fOCO-Fは、40MHz オンチップオシレータが供給する約40MHzのクロックをFRA2レジスタのFRA22~FRA20ビットで選択した値で分周したものです。fOCO-FはCPUクロックと周辺機能クロックのクロック源になります。

リセット後、fOCO-Fは停止しています。

CM2レジスタのCM20ビットが“1” (発振停止/再発振検出機能有効)、かつCM27ビットが“1” (発振停止/再発振検出割り込み)の場合、メインクロックが停止したときに、FRA01が“1”ならfOCO-FがCPUクロック源になります。

40MHz オンチップオシレータの発振開始/停止は「8.3.3 fOCO40M」を参照してください。

8.3.5 125kHz オンチップオシレータクロック (fOCO-S)

125kHz オンチップオシレータが供給する約125kHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、CSPRレジスタのCSPROビットが“1” (カウントソース保護モード)の場合、ウォッチドッグタイマのカウントソースになります (「13.4.3 カウントソース保護モード有効時」参照)。

リセット後、fOCO-Sの8分周がCPUクロックになります。

CM2レジスタのCM20ビットが“1” (発振停止/再発振検出機能有効)、かつCM27ビットが“1” (発振停止/再発振検出割り込み)の場合、メインクロックが停止したときに、FRA01が“0”なら自動的に125kHz オンチップオシレータが動作を開始し、クロックを供給します。

fOCO-Sの発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

fOCO-Sの発振開始

- (1) CM1レジスタのCM14ビットを“0” (125kHz オンチップオシレータ発振)にする
- (2) tsu(fOCO-S)待つ

fOCO-Sの発振停止

- (1) CM1レジスタのCM14ビットを“1” (125kHz オンチップオシレータ停止)にする

なお、CM21ビットが“1” (CPUクロック源はオンチップオシレータ)のとき、CM14ビットは“0” (125kHz オンチップオシレータ発振)になります。

8.3.6 サブクロック (fC)

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマB、リアルタイムクロックのカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。図 8.4にサブクロックの接続回路例を示します。

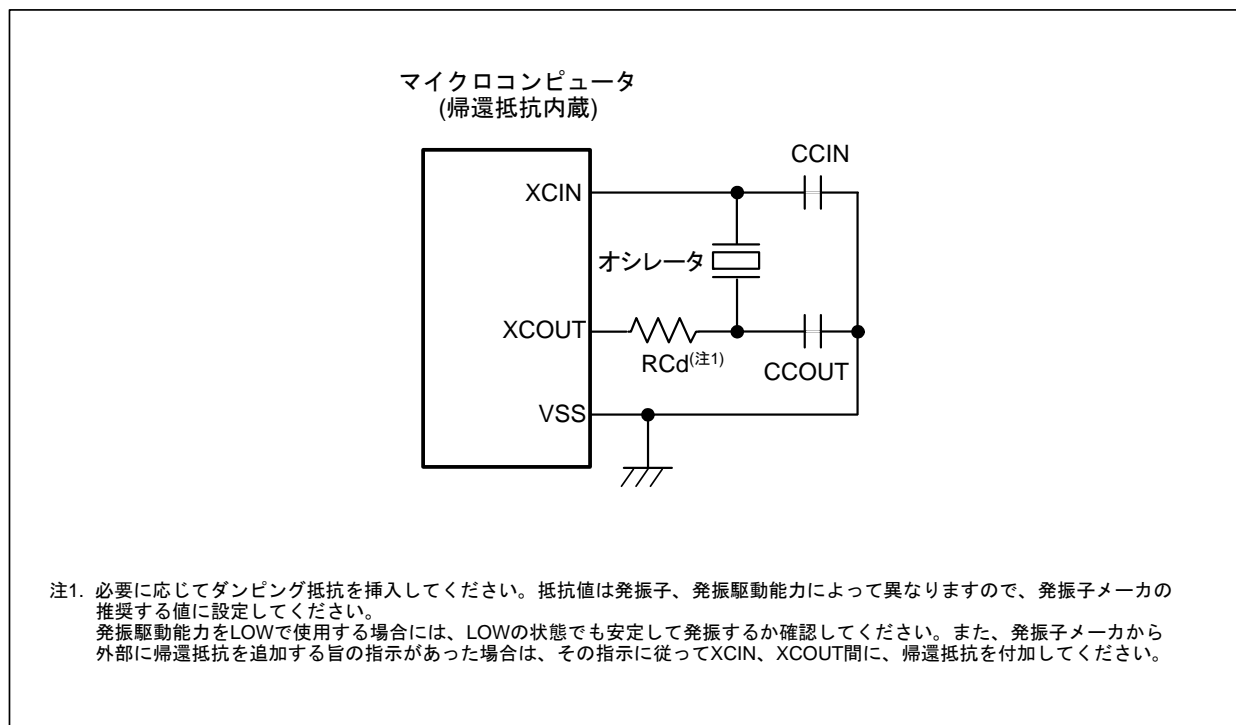


図 8.4 サブクロックの接続回路例

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロック発振開始は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

- (1) PUR2レジスタのPU21ビットを“0” (P8_4、P8_6、P8_7はプルアップなし)にする
- (2) PD8レジスタのPD8_6、PD8_7ビットを“0” (ポートP8_6、P8_7は入力ポート)にする
- (3) CM04ビットを“1” (XCIN-XCOUT発振機能)にする。CM03ビットを“1” (XCIN-XCOUT駆動能力High)にする。
- (4) サブクロック発振安定時間を待つ

8.4 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

8.4.1 CPUクロックとBCLK

CPUクロックは、CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、PLLクロック、fOCO-F、fOCO-S、またはfCが選択できます(「表 9.2 通常動作モードのクロック」参照)。

CPUクロックのクロック源としてメインクロック、PLLクロック、fOCO-F、またはfOCO-Sを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択できます。

CPUクロックのクロック源としてfCを選択した場合は分周せず、fCがそのままCPUのクロックになります。

リセット後、fOCO-Sの8分周がCPUクロックになります。また、ストップモードへの遷移時、またはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつCM05ビットが“1”(メインクロック停止)のとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

BCLKはバスの基準クロックです。

8.4.2 周辺機能クロック (f1、fOCO40M、fOCO-F、fOCO-S、fC32、fC、メインクロック)

f1、fOCO40M、fOCO-F、fOCO-S、fC32は周辺機能の動作クロックになります。

f1は次のいずれかです。

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)
- fOCO-Fの1分周(分周なし)

f1はタイマA、タイマB、タイマS、タスク監視タイマ、リアルタイムクロック、UART0~UART4、マルチマスタI²C-busインタフェース、シリアルバスインタフェース、LINモジュール、A/Dコンバータで使用します。また、 $\overline{\text{NMI}}$ 、P1_7デジタルデバウンスフィルタのサンプリングクロックにもなります。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックf1を停止する)にした後にWAIT命令を実行した場合、f1は停止します。

fOCO40MはA/Dコンバータで使用できます。fOCO40MはFRA0レジスタのFRA00ビットが“1”(40MHzオンチップオシレータ発振)のとき使用できます。

fOCO-FはタイマA、タイマB、UART0~UART4で使用できます。fOCO-FはFRA0レジスタのFRA00ビットが“1”(40MHzオンチップオシレータ発振)のとき使用できます。

fOCO-SはタイマA、タイマBで使用できます。また、リセット、電圧検出回路でも使用します。fOCO-SはCM1レジスタのCM14ビットが“0”(125kHzオンチップオシレータ発振)のとき使用できます。

fC32はfCを32分周したもので、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

fCは、PM2レジスタのPM25ビットが“1”(周辺機能クロックfC供給許可)の場合、リアルタイムクロックのカウントソースになります。fCはサブクロックが供給されているときに使用できます。

メインクロックはLINモジュール、CANモジュールで使用できます。

図 8.5に周辺機能クロックを示します。

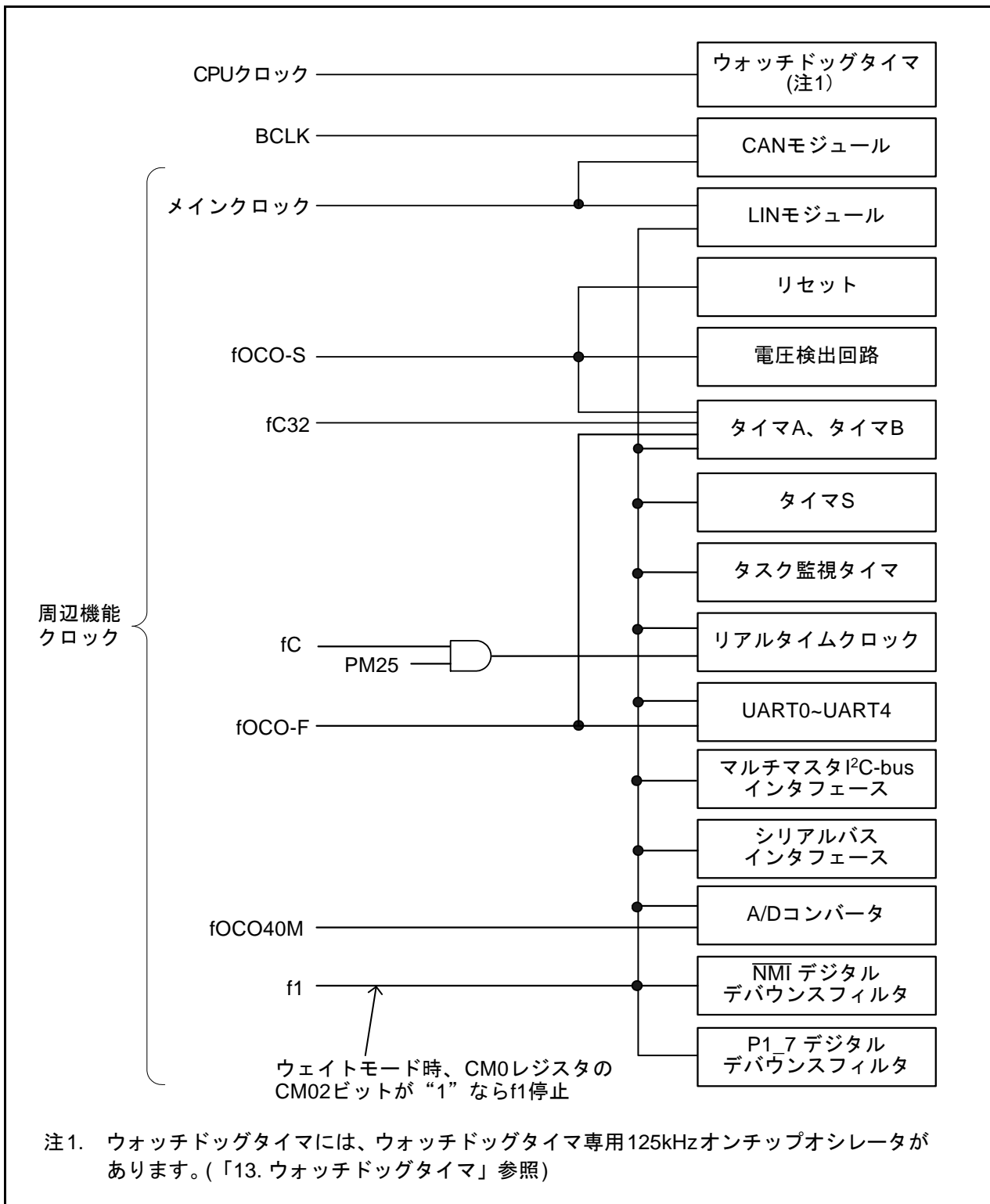


図 8.5 周辺機能クロック

8.5 クロック出力機能

CLKOUT端子からf1、f8、f32、またはfCを出力できます。CM0レジスタのCM01~CM00ビットとPCLKRレジスタのPCLK5ビットで選択してください。f8はf1の8分周と同一周波数、f32はf1の32分周と同一周波数です。

CLKOUT端子から出力するクロックは、25MHz以下にしてください。

8.6 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラム暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット(ウェイトモード時の周辺機能クロックf1)
- CM0レジスタのCM05ビット(メインクロックを停止させないため)
- CM0レジスタのCM07ビット(CPUクロックのクロック源)
- CM1レジスタのCM10ビット(ストップモードに遷移しない)
- CM1レジスタのCM11ビット(CPUクロックのクロック源)
- CM2レジスタのCM20ビット(発振停止/再発振検出機能の設定)
- PLC0レジスタの全ビット(PLL周波数シンセサイザの設定)

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1)PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2)PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
- (3)PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

PM21ビットが“1”のとき、WAIT命令を実行しないでください。

8.7 発振停止/再発振検出機能

発振停止/再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止/再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

発振停止/再発振検出時にはリセットまたは発振停止/再発振検出割り込みが発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

表 8.6に発振停止/再発振検出機能の仕様を示します。

表 8.6 発振停止/再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止/再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止/再発振検出時の動作	CM27ビットが“0”の場合: 発振停止検出リセット発生 CM27ビットが“1”の場合: 発振停止/再発振検出割り込み発生

8.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作

CM20ビットが“1”(発振停止/再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「4. SFR」、「6. リセット」参照)。

この状態はハードウェアリセット、または電圧監視0リセットによって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

8.7.2 CM27ビットが“1” (発振停止/再発振検出割り込み)の場合の動作

CM20ビットが“1” (発振停止/再発振検出機能有効)のときに、メインクロックの停止または再発振を検出した場合、表 8.7に示す状態になります。

高速モード、中速モード、低速モードではCM21ビットが“1”になります。FRA01ビットは変化しません。したがって、高速モード、中速モードは125kHzオンチップオシレータモードまたは40MHzオンチップオシレータモードになります。CM07ビットは変化しませんので、低速モードは低速モードのままですが、周辺機能クロックのクロック源はfOCO-SまたはfOCO-Fになります。

CM21ビットが“1”になると、CM14ビットは“0” (125kHzオンチップオシレータ発振)になりますが、FRA00ビットは変化しません (40MHzオンチップオシレータは自動で発振しません)。したがって、FRA01ビットを“1” (40MHzオンチップオシレータ選択)にしている場合は、FRA00ビットを“1” (40MHzオンチップオシレータ発振)にしてください (FRA00ビットが“0”、かつFRA01ビットが“1”という状態にしないでください)。

PLL動作モードではCM21ビットは変化しませんので、割り込みルーチン内で125kHzオンチップオシレータモードまたは40MHzオンチップオシレータモードにしてください。

表 8.7 CM27ビットが“1”の場合の発振停止/再発振検出後の状態

条件		検出後の状態
メインクロック 発振停止を検出	高速モード	<ul style="list-style-type: none"> • 発振停止/再発振検出割り込み要求が発生する • CM14ビット=0 (125kHzオンチップオシレータ発振) • CM21ビット=1 (fOCO-SまたはfOCO-FがCPUクロックと周辺機能クロックのクロック源)(注1、2) • CM22ビット=1 (メインクロック停止を検出) • CM23ビット=1 (メインクロック停止)
	中速モード	
	低速モード	
	40MHzオンチップオシレータモード	
	125kHzオンチップオシレータモード	<ul style="list-style-type: none"> • CM22ビット=1 (メインクロック停止を検出) • CM23ビット=1 (メインクロック停止)
	PLL動作モード	<ul style="list-style-type: none"> • 発振停止/再発振検出割り込み要求が発生する • CM14ビット=0 (125kHzオンチップオシレータ発振) • CM21ビットは変化しない • CM22ビット=1 (メインクロック停止を検出) • CM23ビット=1 (メインクロック停止)
メインクロック 再発振を検出	—	<ul style="list-style-type: none"> • 発振停止/再発振検出割り込み要求が発生する • CM14ビット=0 (125kHzオンチップオシレータ発振) • CM21ビットは変化しない • CM22ビット=1 (メインクロック再発振を検出) • CM23ビット=0 (メインクロック発振)

CM14ビット: CM1レジスタのビット

CM21、CM22、CM23ビット: CM2レジスタのビット

注1. FRA01ビットの値によってfOCO-SまたはfOCO-Fが決まります。

注2. 低速モード時のCPUクロックはfC

8.7.3 発振停止/再発振検出機能使用方法

発振停止検出後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図 8.6 にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。

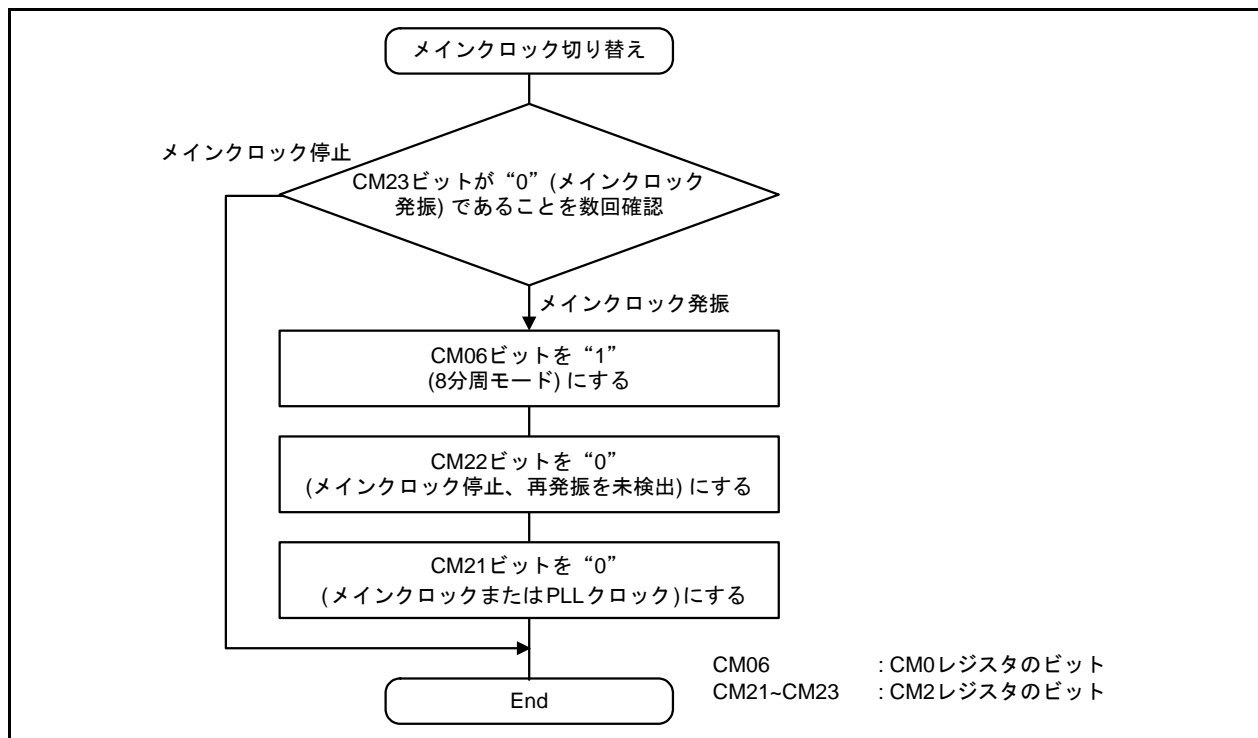


図 8.6 オンチップオシレータクロックからメインクロックへの切り替え手順

発振停止/再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止/再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止/再発振検出割り込みが許可されます。

8.8 割り込み

発振停止/再発振検出割り込みはノンマスカブル割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

発振停止/再発振検出の検出フラグは、CM2レジスタのCM22ビットです。CM22ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8.9 クロック発生回路使用上の注意事項

8.9.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/5M、M16C/57グループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。なお、CLKOUT端子から出力するクロックは、25MHz以下にしてください。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビット、CM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表 8.8 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ	CM0レジスタ	
PCLK5ビット	CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

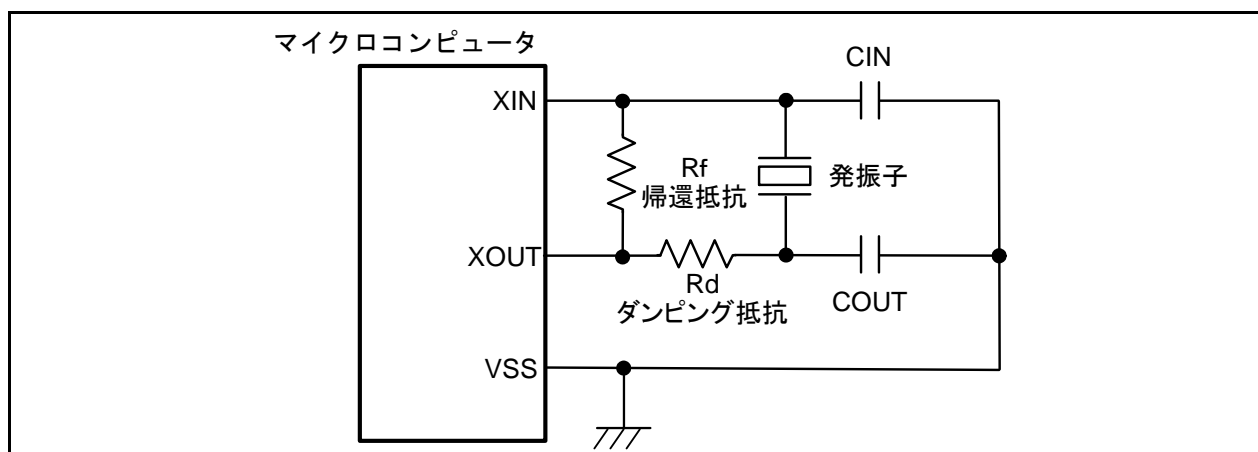


図 8.7 発振回路例

8.9.2 発振回路のノイズ対策

8.9.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

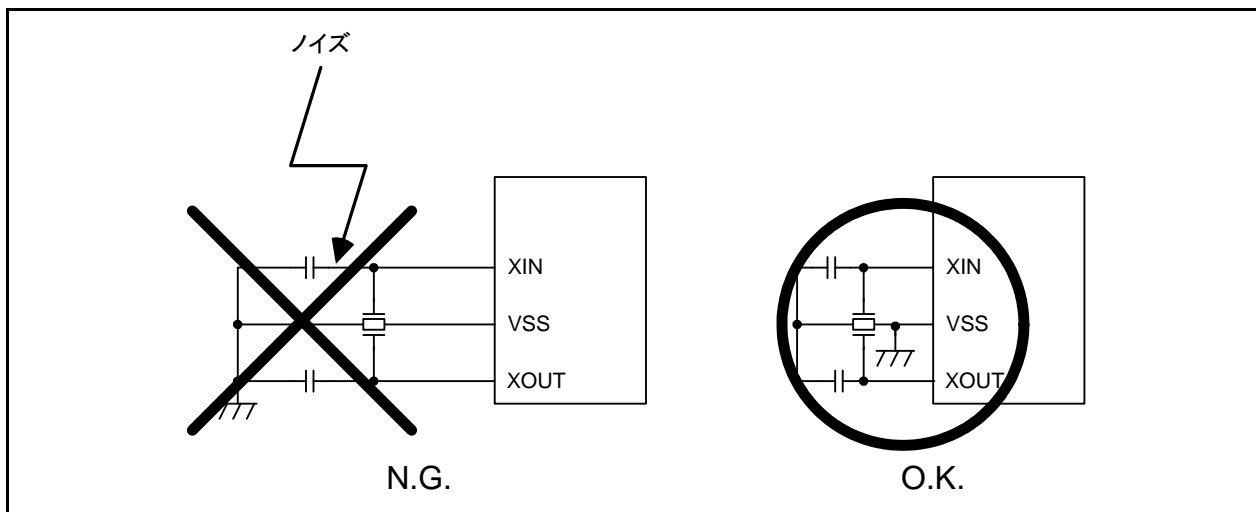


図 8.8 クロック入出力端子の配線

•理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

8.9.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

•理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

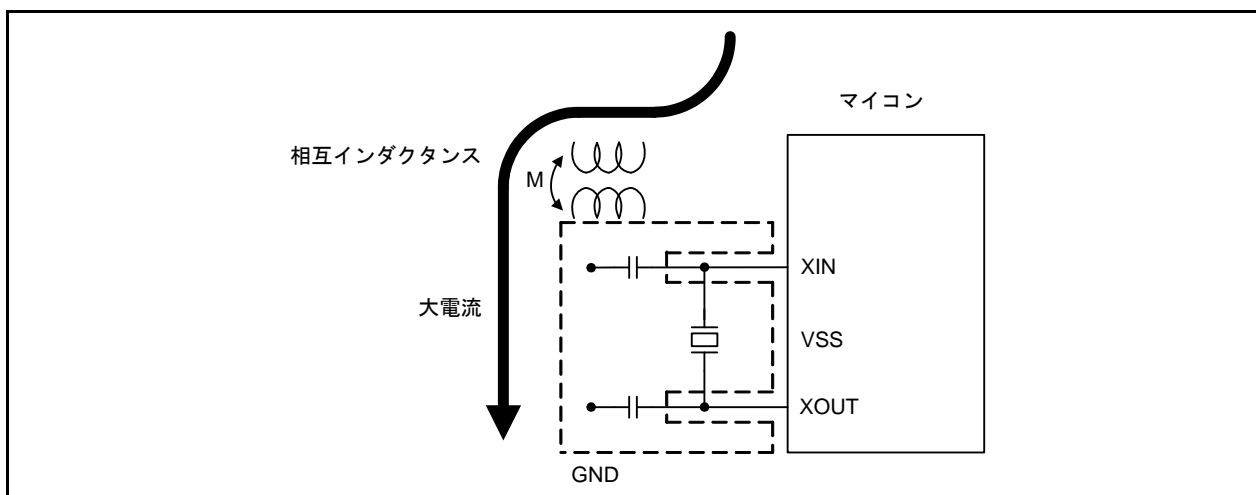


図 8.9 大電流が流れる信号線の配線

8.9.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化するTAiOUT端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

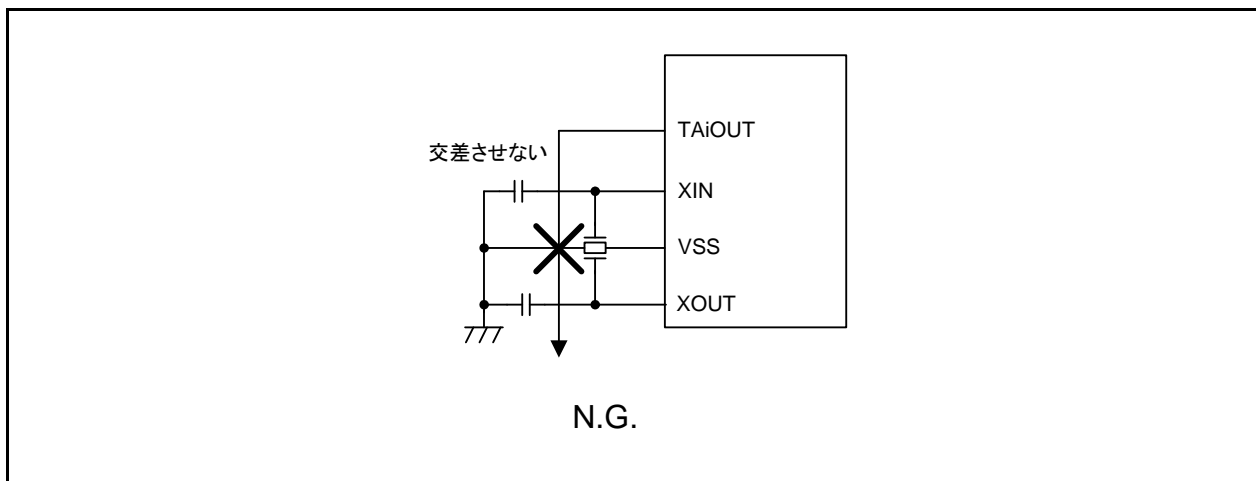


図 8.10 高速にレベル変化する信号線の配線

8.9.3 CPUクロック

(テクニカルアップデート番号: TN-M16C-109-0309)

外部で生成したクロックをXIN端子に入力し、かつCPUクロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

8.9.4 発振停止/再発振検出機能

- 次の場合は、CM20ビットを“0”(発振停止/再発振検出機能無効)にした後、それぞれの状態に遷移してください。

CM05ビットを“1”(メインクロック停止)にする場合

CM10ビットを“1”(ストップモード)にする場合

- 発振停止/再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックf1を停止しない)にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”(発振停止/再発振検出機能無効)にしてください。
- CM27ビットが“1”(発振停止/再発振検出割り込み)の場合、FRA01ビットが“1”(40MHzオンチップオシレータ選択)のときは、FRA00ビットを“1”(40MHzオンチップオシレータ発振)にしてください(FRA00ビットが“0”、かつFRA01ビットが“1”という状態にしないでください)

8.9.5 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 8.9 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
$f(\text{ripple})$	電源リップル許容周波数(VCC)			10	kHz
$V_{p-p}(\text{ripple})$	電源リップル許容振幅電圧	(VCC=5V時)		0.5	V
		(VCC=3V時)		0.3	V
$V_{CC}(\Delta V/\Delta T)$	電源リップル立ち上がり/立ち下がり勾配	(VCC=5V時)		0.3	V/ms
		(VCC=3V時)		0.3	V/ms

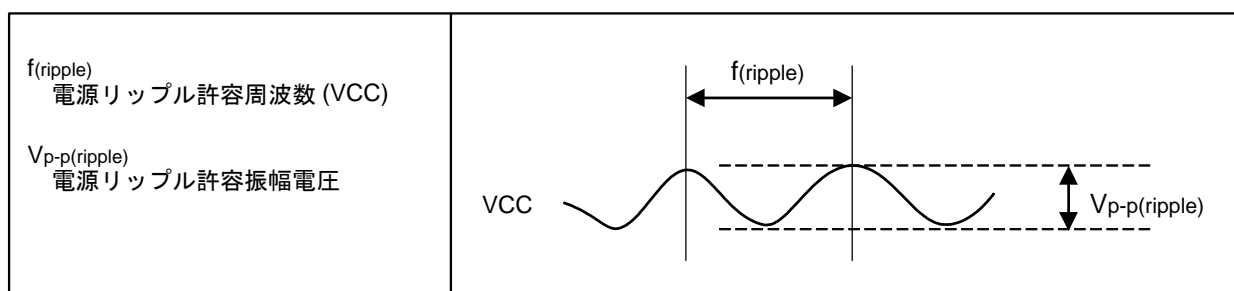


図 8.11 電源変動のタイミング図

9. パワーコントロール

9.1 概要

マイコンの消費電流を少なくするための手段を紹介します。

9.2 レジスタの説明

クロック関連のレジスタは「8. クロック発生回路」を参照してください。

表 9.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b

9.2.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0		シンボル	アドレス	リセット後の値							
b7	b6	b5	b4	b3	b2	b1	b0	FMR0	0220h番地	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)	
								ビットシンボル	ビット名	機能	RW
								FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO
								FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
								FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効	RW
								FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
								— (b4)	予約ビット	“0” にしてください	RW
								— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。	RW
								FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了	RO
								FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー終了	RO

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1” (CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。

また、EW0モード時はRAM上のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1” (フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはRAMに配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1” (レディ)に戻らなくなった)

9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)

フラッシュメモリ制御レジスタ2			
ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0” にしてください	RW
FMR22	スローリードモード許可ビット	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード許可ビット	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

FMR22 (スローリードモード許可ビット) (b2)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR22ビットは“0”(スローリードモード禁止)にしてください。

FMR22ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。また、FMR22ビットとFMR23ビットを同時に変更しないでください。

FMR23 (低消費電流リードモード許可ビット) (b3)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR23ビットは“0”(低消費電流リードモード禁止)にしてください。

低消費電流リードモードはCM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のときに使用できます。

FMR23ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。FMR22ビットとFMR23ビットを同時に変更しないでください。

次のいずれかが当てはまる場合は、FMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

- CM07ビットが“0”(CPUクロックはサブクロック以外)
- FMR22ビットが“0”(スローリードモード禁止)
- FMSTPビットが“1”(フラッシュメモリ停止)
- FMSTPビットを“1”から“0”にした後の復帰動作中(tps)

FMR23ビットが“1”のとき、次の処理をしないでください (FMR23ビットを“0”にした後、処理してください)。

- CPUクロックの変更
- FMSTPビットを“1”(フラッシュメモリ停止)にする
- ウェイトモードまたはストップモードに遷移
- 次のコマンドを実行
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック

9.3 クロック

マイコンの消費電力は、動作しているクロックの数と周波数に関係があります。動作しているクロックが少ないほど、また、周波数が低いほど消費電力は少なくなります。

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

9.3.1 通常動作モード

通常動作モードでは、CPUクロック、周辺機能クロックがともに供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は少なくなります。また、不要な発振回路を停止させるとさらに消費電力は少なくなります。

9.3.1.1 高速モード、中速モード

高速モードでは、メインクロックの1分周(分周なし)がCPUクロックとなります。

中速モードでは、メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。

高速モード、中速モードとも、メインクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。また、fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できません。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。fOCO40M、fOCO-Fが供給されている場合はfOCO40M、fOCO-Fが周辺機能クロックとして使用できます。

9.3.1.2 PLL動作モード

PLLクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。また、PLLクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。fOCO40M、fOCO-Fが供給されている場合はfOCO40M、fOCO-Fが周辺機能クロックとして使用できます。

PLL動作モードへは高速モードまたは中速モードから遷移できます。また、PLL動作モードからは高速モードまたは中速モードに遷移できます。ウェイトモード、ストップモードを含む他のモードに遷移するときは、高速モードまたは中速モードに遷移した後、他のモードに遷移してください(「図 9.1 クロックのモードの状態遷移」参照)。

9.3.1.3 40MHzオンチップオシレータモード

fOCO-Fを1分周(分周なし)、2、4、8、16分周したものがCPUクロックになります。また、fOCO-Fの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合は、fOCO-Sが周辺機能クロックとして使用できます。fOCO40M、fOCO-Fが周辺機能クロックとして使用できます。

9.3.1.4 125kHzオンチップオシレータモード

fOCO-Sの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、fOCO-Sの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合は、fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが周辺機能クロックとして使用できます。fOCO40M、fOCO-Fが供給されている場合はfOCO40M、fOCO-Fが周辺機能クロックとして使用できます。

9.3.1.5 125kHzオンチップオシレータ低消費電力モード

125kHz オンチップオシレータモードにした後、メインクロックとfOCO-Fを停止させた状態です。fOCO-Sの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、fOCO-Sの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが周辺機能クロックとして使用できます。

9.3.1.6 低速モード

fCがCPUクロックとなります。

CM21ビットが“0”かつCM11ビットが“0”(メインクロック)の場合はメインクロックの1分周と同一周波数のf1が周辺機能クロックになります。CM21ビットが“0”かつCM11ビットが“1”(PLLクロック)の場合はPLLクロックの1分周と同一周波数のf1が周辺機能クロックになります。CM21ビットが“1”(オンチップオシレータクロック)かつFRA01ビットが“0”(125kHzオンチップオシレータ)の場合はfOCO-Sの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。CM21ビットが“1”(オンチップオシレータクロック)かつFRA01ビットが“1”(40MHzオンチップオシレータ)の場合はfOCO-Fの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。fOCO40M、fOCO-Fが供給されている場合はfOCO40M、fOCO-Fが周辺機能クロックとして使用できます。

9.3.1.7 低消費電力モード

低速モードにした後、メインクロックとfOCO-Fを停止させた状態です。fCがCPUクロックとなります。また、CM21ビットが“1”(オンチップオシレータクロック)かつFRA01ビットが“0”(125kHzオンチップオシレータ)の場合、fOCO-Sの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

表 9.2 通常動作モードのクロック

モード	CPUクロック	周辺機能クロック(注2)			
		f1	fC、fC32	fOCO-S	fOCO-F fOCO40M
高速モード	メインクロックの1分周(注1)	メインクロックの1分周	使用可	使用可	使用可
中速モード	メインクロックのn分周(注1)				
PLL動作モード	PLLクロックのn分周(注1)				
40MHzオンチップオシレータモード	fOCO-Fのn分周(注1)	fOCO-Fの1分周	使用可	使用可	使用可
125kHzオンチップオシレータモード	fOCO-Sのn分周(注1)	fOCO-Sの1分周	使用可	使用可	使用可
125kHzオンチップオシレータ低消費電力モード	fOCO-Sのn分周(注1)	fOCO-Sの1分周	使用可	使用可	使用できない
低速モード	fC	次のいずれか メインクロックの1分周 (CM21=0かつCM11=0の場合) PLLクロックの1分周 (CM21=0かつCM11=1の場合) fOCO-Fの1分周 (CM21=1かつFRA01=1の場合) fOCO-Sの1分周 (CM21=1かつFRA01=0の場合)	使用可	使用可	使用可
低消費電力モード	fC	fOCO-Sの1分周 (CM21=1かつFRA01=0の場合)	使用可	使用可	使用できない

CM11 : CM1レジスタのビット

CM21 : CM2レジスタのビット

FRA01: FRA0レジスタのビット

注1. CM0レジスタのCM06ビットと、CM1レジスタのCM17~CM16ビットで選択

注2. 周辺機能クロックは、各クロックが供給されている場合、使用可能です。供給方法は「8. クロック発生回路」を参照してください。

表 9.3 クロック関連ビットの設定とモード

モード	CM2レジスタ	CM1レジスタ		CM0レジスタ			FRA0レジスタ	
	CM21	CM14	CM11	CM07	CM05	CM04	FRA01	FRA00
高速、中速モード	0	—	0	0	0	—	—	—
PLL動作モード	0	—	1	0	0	—	—	—
40MHzオンチップ オシレータモード	1	—	0	0	—	—	1	1
125kHzオンチップ オシレータモード	1	0	0	0	0(注1)	—	0	1(注1)
125kHzオンチップ オシレータ 低消費電力モード	1	0	0	0	1	—	0	0
低速モード	—	—	0	1	0(注1)	1	—	1(注1)
低消費電力モード	—	—	0	1	1	1	—	0

注1. メインクロック、fOCO-Fのいずれか、または両方が発振

— : 0または1

表 9.4 クロック分周関連ビットの選択(注1)

分周	CM1レジスタ	CM0レジスタ
	CM17~CM16	CM06
分周なし(注2)	00b	0
2分周	01b	0
4分周	10b	0
8分周	—	1
16分周	11b	0

— : 00b~11bのいずれでもよい

注1. 高速、中速モード、PLL動作モード、125kHzオンチップオシレータモード、125kHzオンチップオシレータ低消費電力モードの場合です。

注2. 高速モードは分周なしの設定にしてください。

表 9.5 40MHzオンチップオシレータモードの分周関連ビットの設定例

分周	CPUクロックの 周波数	FRA2レジスタ	CM1レジスタ	CM0レジスタ
		FRA22~FRA20	CM17~CM16	CM06
2分周	約20MHz	000b(2分周)	00b(分周なし)	0
4分周	約10MHz	000b(2分周)	01b(2分周)	0
8分周	約5MHz	000b(2分周)	10b(4分周)	0
16分周	約2.5MHz	000b(2分周)	—	1(8分周)
32分周	約1.25MHz	000b(2分周)	11b(16分周)	0
64分周	約625kHz	010b(4分周)	11b(16分周)	0
128分周	約312.5kHz	110b(8分周)	11b(16分周)	0

9.3.2 モード遷移手順

図 9.1 にクロックのモードの状態遷移を示します。図 9.1 の矢印はモード間の遷移が可能なことを示します。

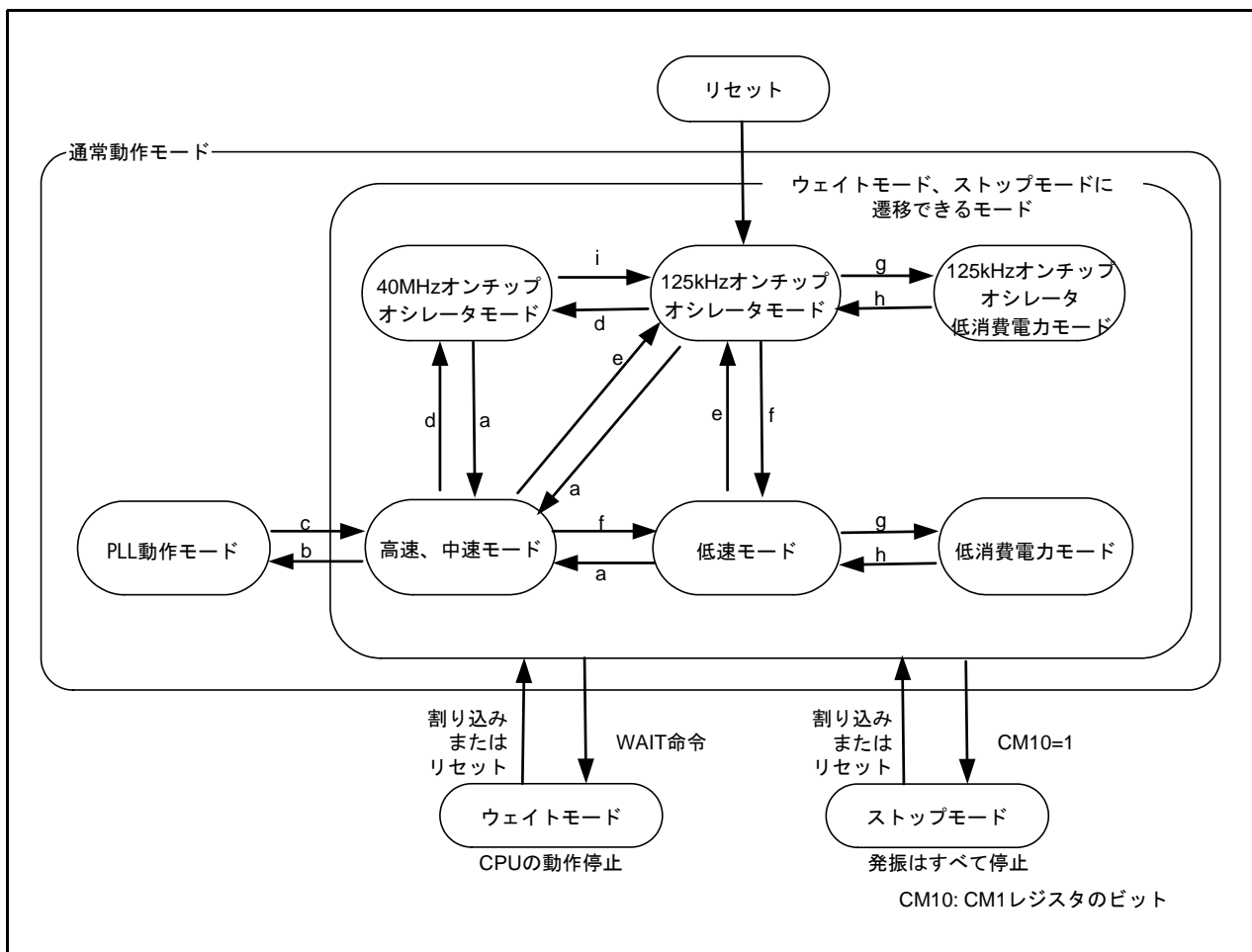


図 9.1 クロックのモードの状態遷移

クロックの発振開始、停止、通常動作モード内のモード遷移は次のようにしてください。

- モードを遷移する場合は、遷移先のクロックが十分安定した後で遷移してください。
- クロックを停止する場合は、モードを遷移し終わった後で停止してください。モードの遷移と遷移元のクロックの停止を同時に行わないでください。
- モード遷移は後述の a~i に示す手順に従って実行してください。ただし、各レジスタ、ビットのアクセス方法などは「9.2 レジスタの説明」を参照してください。なお、a~i の記号は「図 9.1 クロックのモードの状態遷移」の矢印の a~i に対応しています。
- 発振開始/停止の方法は「8.3.1 メインクロック」から「8.3.6 サブクロック (fC)」を参照してください。

- a. 40MHz オンチップオシレータ、125kHz オンチップオシレータ、低速モードから高速モードまたは中速モードに遷移
 - (1)メインクロック発振、安定待ち。「8.3.1 メインクロック」参照
 - (2)CM06ビットを“1” (8分周) にする
 - (3)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0” (CPUクロック源はメインクロック) にする

- b. 高速、中速モードからPLL動作モードに遷移
 - (1)PLC0レジスタのPLC05~PLC04、PLC02~PLC00ビットで通倍率等を設定する
 - (2)PLC07ビットを“1” (PLL動作) にする
 - (3)PLLクロックが安定するまで (tsu(PLL)) 待つ
 - (4)CM11ビットを“1”、CM21ビットを“0”、CM07ビットを“0” (CPUクロック源はPLLクロック) にする

- c. PLL動作モードから高速モードまたは中速モードに遷移
 - (1)CM06、CM17~CM16ビットで分周比を選択する
 - (2)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0” (CPUクロック源はメインクロック) にする
 - (3)PLC07ビットを“0” (PLL停止) にする

- d. 高速、中速、125kHz オンチップオシレータモードから40MHz オンチップオシレータモードに遷移
 - (1)40MHz オンチップオシレータ発振、安定待ち。「8.3.4 fOCO-F」参照
 - (2)CM06ビットを“1” (8分周) にする
 - (3)FRA01ビットを“1” (40MHz オンチップオシレータ) にする
 - (4)CM21ビットを“1” (CPUクロック源はオンチップオシレータクロック) にする

- e. 高速、中速、低速モードから125kHz オンチップオシレータモードに遷移
 - (1)125kHz オンチップオシレータ発振、安定待ち。「8.3.5 125kHz オンチップオシレータクロック (fOCO-S)」参照
 - (2)FRA01ビットを“0” (125kHz オンチップオシレータ) にする
 - (3)CM21ビットを“1” (CPUクロック源はオンチップオシレータクロック) にする
 - (4)CM07ビットを“0” (CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック) にする

- f. 高速、中速、125kHz オンチップオシレータモードから低速モードに遷移
 - (1)サブクロック発振、安定待ち。「8.3.6 サブクロック (fC)」参照
 - (2)CM07ビットを“1” (CPUクロック源はサブクロック) にする

- g. 125kHz オンチップオシレータモードから125kHz オンチップオシレータ低消費電力モードに遷移。または低速モードから低消費電力モードに遷移。
下記のいずれか、または両方を実行。順序は逆でも構いません。
 - (1)メインクロック発振停止。「8.3.1 メインクロック」参照
 - (2)40MHz オンチップオシレータ発振停止。「8.3.4 fOCO-F」参照

- h. 125kHz オンチップオシレータ低消費電力モードから 125kHz オンチップオシレータモードに遷移。
または低消費電力モードから低速モードに遷移。
下記のいずれか、または両方を実行。順序は逆でも構いません。
 - (1)メインクロック発振、安定待ち。「8.3.1 メインクロック」参照
 - (2)40MHzオンチップオシレータ発振、安定待ち。「8.3.4 fOCO-F」参照

- i 40MHz オンチップオシレータモードから 125kHz オンチップオシレータモードに遷移
 - (1)125kHz オンチップオシレータ発振、安定待ち。「8.3.5 125kHz オンチップオシレータクロック (fOCO-S)」参照
 - (2)CM06ビットを“1” (8分周)にする、またはFRA22~FRA20ビットを“110b” (8分周)にする
 - (3)FRA01ビットを“0” (125kHz オンチップオシレータ)にする

9.3.3 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPU、ウォッチドッグタイマが停止します。ただし、CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合、ウォッチドッグタイマは動作します。クロック発生回路は停止しませんので、周辺機能クロックが供給されている周辺機能は動作します。

9.3.3.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合、ウェイトモード時にf1が停止しますので消費電力が低減できます。f1以外の周辺機能クロック(fOCO40M、fOCO-F、fOCO-S、fC、fC32)はCM02ビットでは停止しません。

9.3.3.2 ウェイトモードへの遷移

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると、消費電力が低減できます。

ウェイトモードを使用する場合、以下の手順で遷移してください。

- (1) Iフラグを“0”にする
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ウェイトモードからの復帰に使用する周辺機能が停止している場合、動作させる。
- (3) ウェイトモードからの復帰に使用しない割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、電圧監視2リセット、ウォッチドッグタイマリセット、 $\overline{\text{NMI}}$ 割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”にする)
- (4) Iフラグを“1”にする
- (5) WAIT命令を実行する

9.3.3.3 ウェイトモード時の端子の状態

表 9.6にウェイトモード時の端子の状態を示します。

表 9.6 ウェイトモード時の端子の状態

端子		端子の状態
入出力ポート		ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません
	f1、f8、f32選択時	CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

9.3.3.4 ウェイトモードからの復帰

リセットまたは割り込みにより、ウェイトモードから復帰します。表 9.7 にウェイトモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”（ウェイトモード時、周辺機能クロックf1を停止しない）の場合は、周辺機能割り込みをウェイトモードからの復帰に使用できます。CM02ビットが“1”（ウェイトモード時、周辺機能クロックf1を停止する）の場合は、周辺機能クロックf1を使用する周辺機能は停止します。したがって、外部信号、f1以外の周辺機能クロック（fOCO40M、fOCO-F、fOCO-S、fC、fC32）によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表 9.7 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
		CM02=0の場合	CM02=1の場合
割り込み	INT	使用可	使用可 ただし、INT5はデジタルデバウンスフィルタ無効 (P17DDRレジスタが"FFh")のとき使用可
	キー入力	使用可	使用可
	タイマA、 タイマB	すべてのモードで使用可	fOCO-F、fOCO-SまたはfC32が供給され、かつそのクロックがカウントソースのとき使用可。 イベントカウンタモードで外部信号をカウント時、使用可
	タイマS	すべてのモードで使用可、 ただし、IC/OC割り込み0およびIC/OC割り込み1は使用不可	使用不可
	シリアル インタフェース	内部クロックまたは外部クロックで使用可	外部クロックで使用可 内部クロックはfOCO-Fが供給され、かつfOCO-Fが内部クロックのクロック源のとき使用可
	マルチマスタ I ² C-bus インタ フェース	使用可	SCL/SDA割り込み使用可
	CAN0ウェイク アップ、CAN1 ウェイクアップ	CANスリープモードで 使用可	CANスリープモードで使用可
	A/Dコンバータ	単発モードまたは単掃引 モードで使用可	fOCO40Mが供給され、かつfOCO40MがfADのとき、単発 モードまたは単掃引モードで使用可
	LINO“L”検出	使用可	
	LINO	使用可	使用不可
リセット	リアルタイム クロック	fCが供給され、かつfCがカウントソースのとき使用可	
	電圧監視2	デジタルフィルタ無効 (VW2CレジスタのVW2C1ビットが“1”)のとき使用可。または、 デジタルフィルタ有効 (VW2CレジスタのVW2C1ビットが“0”)かつfOCO-S供給 (CM1 レジスタのCM14ビットが“0”)のとき使用可	
	NMI	使用可	デジタルデバウンスフィルタ無効 (NDDRレジスタが“FF”)のとき使用可
リ セ ツ ト	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	
	電圧監視2リセット	デジタルフィルタ無効 (VW2CレジスタのVW2C1ビットが“1”)のとき使用可。または、 デジタルフィルタ有効 (VW2CレジスタのVW2C1ビットが“0”)かつfOCO-S供給 (CM1 レジスタのCM14ビットが“0”)のとき使用可	
	ウォッチドッグタイマ	カウントソース保護モード有効 (CSPRレジスタのCSPROビットが“1”)のとき使用可	

割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

9.3.4 ストップモード

ストップモードでは、すべての発振回路が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。VCC端子に印加する電圧を3.0V以下にする場合、 $VCC \geq VRAM$ にしてください。

また、外部信号によって動作する周辺機能は動作します。

9.3.4.1 ストップモードへの遷移

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力High)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止/再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

ストップモードを使用する場合、以下の手順で遷移してください。

- (1)Iフラグを“0”にする
- (2)ストップモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ストップモードからの復帰に使用する周辺機能が停止している場合は、動作させる。
- (3)ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、 \overline{NMI} 割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“000b”にする)
- (4)Iフラグを“1”にする。
- (5)CM1レジスタのCM10ビットを“1”にする。

なお、 \overline{NMI} 割り込み復帰する場合はNDDRレジスタに“FFh”を設定してから、 $\overline{INT5}$ 割り込みで復帰する場合はP17DDRレジスタに“FFh”を設定してからCM10ビットを“1”にしてください。

9.3.4.2 ストップモード時の端子の状態

表 9.8にストップモード時の端子の状態を示します。

表 9.8 ストップモード時の端子の状態

端子	端子の状態
入出力ポート	ストップモードに入る直前の状態を保持
CLKOUT	H
XOUT	H
XCIN、XCOUT	ハイインピーダンス

9.3.4.3 ストップモードからの復帰

リセットまたは割り込みにより、ストップモードから復帰します。表 9.9 にストップモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

表 9.9 ストップモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
割り込み	周辺機能 割り込み	$\overline{\text{INT}}$	使用可 ただし、 $\overline{\text{INT5}}$ はデジタルデバウンスフィルタ無効 (P17DDRレジスタが“FFh”)のとき使用可
		キー入力	使用可
		タイマA、タイマB	イベントカウンタモードで外部信号をカウント時、使用可
		シリアルインタフェース	外部クロックを選択時、使用可
		マルチマスタI ² C-bus インタフェース	SCL/SDA割り込み使用可
		CAN0ウェイクアップ、 CAN1ウェイクアップ	CANスリープモードで使用可
		LIN“L”検出	使用可
	電圧監視2割り込み	デジタルフィルタ無効 (VW2CレジスタのVW2C1ビットが“1”)のとき使用可	
	$\overline{\text{NMI}}$	デジタルデバウンスフィルタ無効(NDDRレジスタが “FFh”)のとき使用可	
リセット	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	

ハードウェアリセット、電圧監視0リセット、 $\overline{\text{NMI}}$ 割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード遷移前のCPUクロックによって異なります。表 9.10 にストップモードから復帰後のCPUクロックを示します。

表 9.10 ストップモードから復帰後のCPUクロック

ストップモード遷移前のCPUクロック	ストップモードから復帰後のCPUクロック
メインクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周	メインクロックの8分周
fOCO-Sの1分周(分周なし)、2分周、4分周、8分周、または16分周	fOCO-Sの8分周
fOCO-Fの1分周(分周なし)、2分周、4分周、8分周、または16分周	fOCO-Fの8分周
fC	fC

注1. CM06ビットが“1”(8分周モード)になります。FRA22~FRA20ビットは変化しません。

9.4 フラッシュメモリのパワーコントロール

9.4.1 フラッシュメモリの停止

フラッシュメモリを停止すると、消費電流が少なくなります。フラッシュメモリを停止するので、RAM上でプログラムを実行してください。図9.2にフラッシュメモリの停止/再開手順を示します。このフローチャートに従って操作してください。

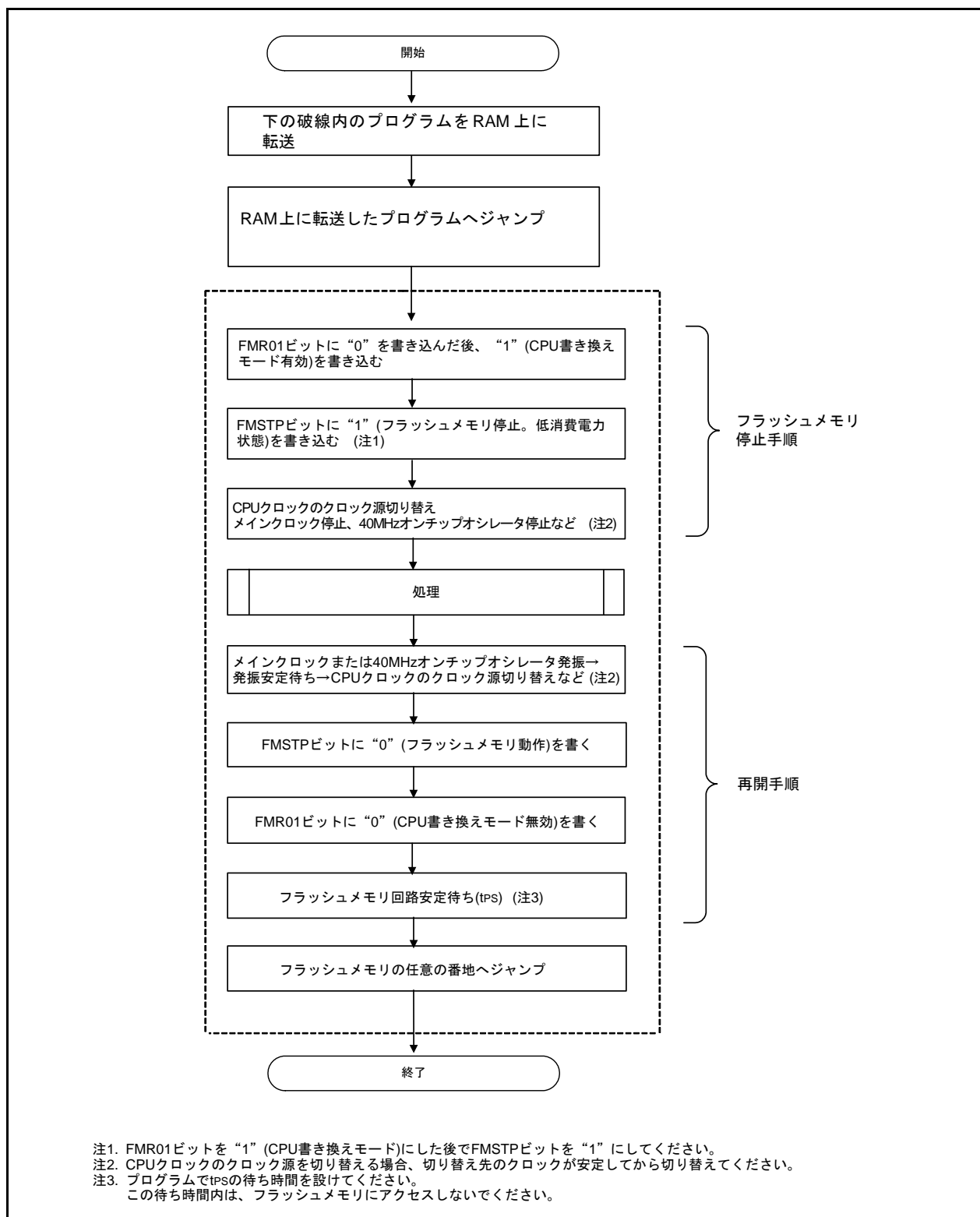


図9.2 フラッシュメモリの停止/再開手順

9.4.2 フラッシュメモリの読み出し

FMR2レジスタのFMR22、FMR23ビットを使って、フラッシュメモリを読み出す際の消費電流を低減できます。

9.4.2.1 スローリードモード

$f(\text{BCLK}) \leq f(\text{SLOW_R})$ 、かつPM1レジスタのPM17ビットが“1”(1ウェイト)のとき使用できます。125kHz オンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。(テクニカルアップデート番号：TN-16C-A179A/J)

図9.3にスローリードモードの設定、解除を示します。

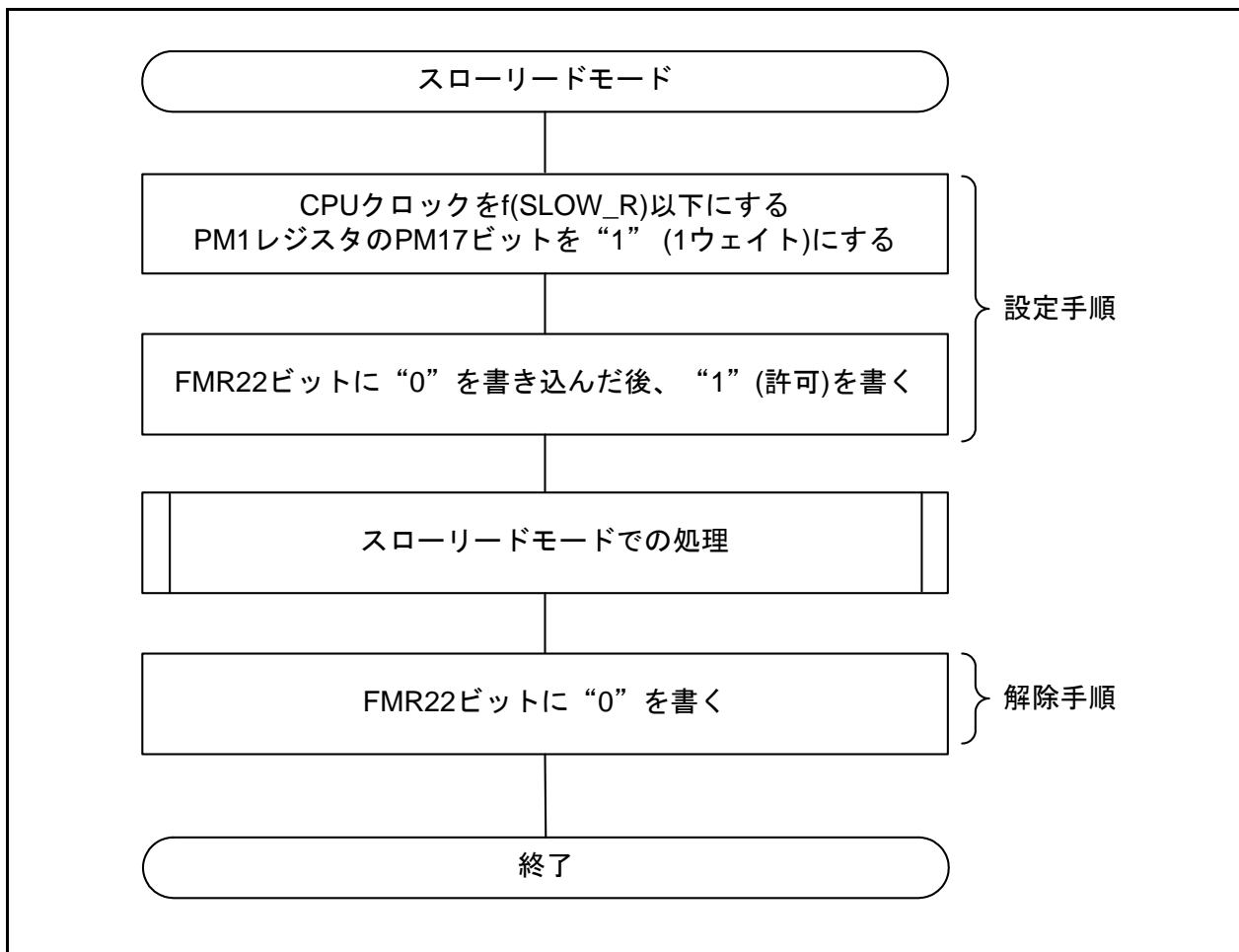


図9.3 スローリードモードの設定、解除

9.4.2.2 低消費電流リードモード

CM0レジスタのCM07ビットが“1” (CPUクロックはサブクロック) のとき使用できます。図 9.4 に低消費電流リードモードの設定、解除を示します。

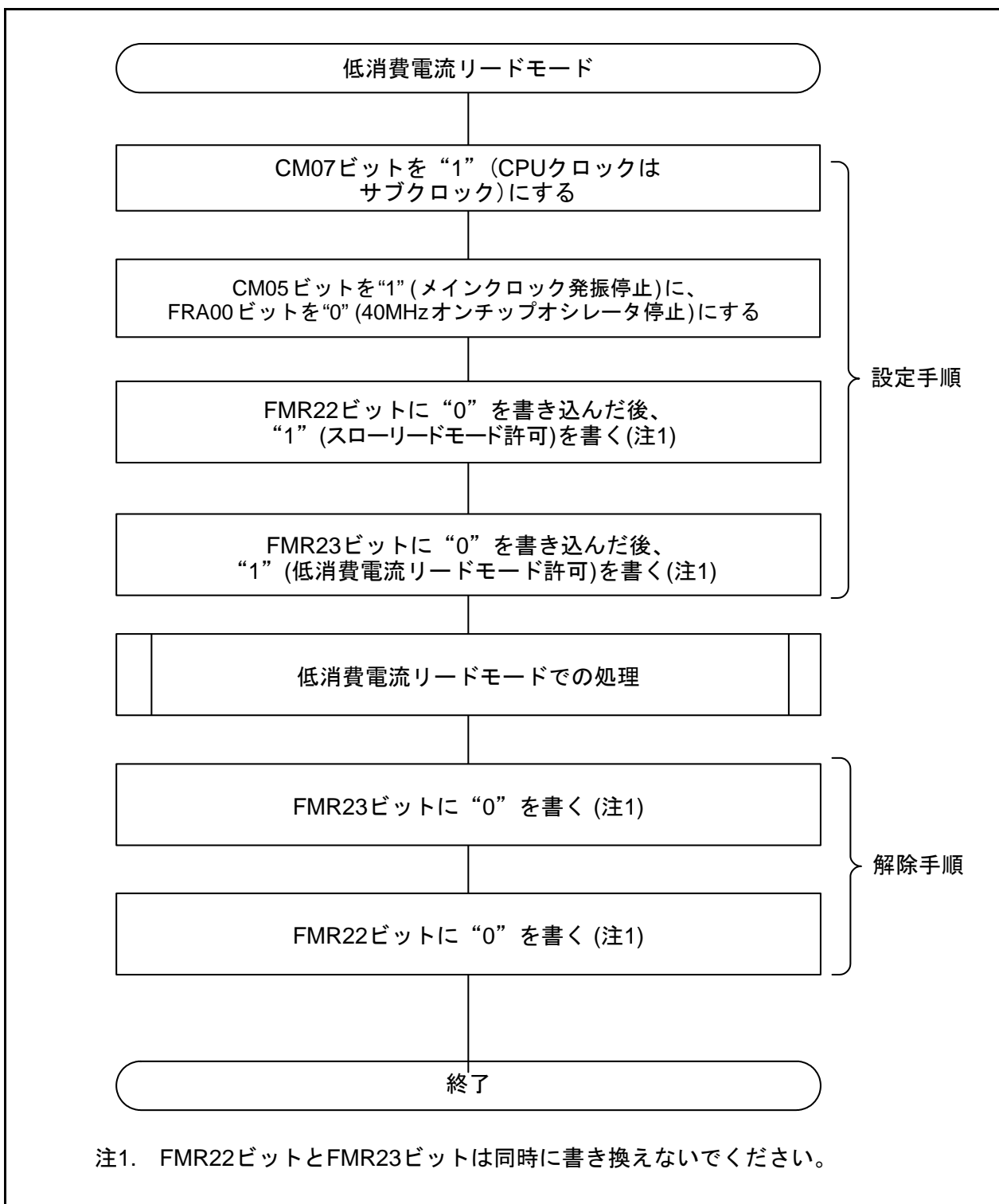


図 9.4 低消費電流リードモードの設定、解除

9.5 消費電力を少なくするためのポイント

消費電力を少なくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

9.5.1 ポート

ウェイトモードまたはストップモードに遷移しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに遷移してください。

9.5.2 A/Dコンバータ

A/D変換を行わない場合、ADCON1レジスタのADSTBYビットを“0” (A/D動作停止)にしてください。

9.5.3 D/Aコンバータ

D/A変換を行わない場合、DACONレジスタのDA0Eビットを“0” (出力禁止)にし、DA0レジスタを“00h”にしてください。

9.5.4 周辺機能の停止

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

9.5.5 発振駆動能力の切り替え

発振が安定している場合、駆動能力を“Low”にしてください。

9.6 パワーコントロール使用上の注意事項

9.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

9.6.2 ウェイトモード

- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューはWAIT命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにWAIT命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
          WAIT          ;ウェイトモードに遷移
          NOP          ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。
 - PLL動作モード (中速モードに遷移した後、PLC07ビットを“0” (PLL停止)にする)
 - 低消費電流リードモード (FMR2レジスタのFMR23ビットを“0” (低消費電流リードモード禁止)にする)
 - CPU書き換えモード (FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止にする)
- PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。PLC07ビットが“1” (PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

9.6.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上 $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ (i=0~4)のMR0ビットを“0” (パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1” (ストップモード)にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

ストップモードに遷移するときのプログラム例を示します。

```

例:      FSET    I
          BSET    0, CM1      ;ストップモードに遷移
          JMP.B   L2          ;JMP.B 命令を挿入

L2:      NOP
          NOP                ;NOP命令を4つ以上
          NOP
          NOP
          NOP
  
```

- ストップモード時、CLKOUT端子は“H”を出力します。したがって、CLKOUT端子の出力が“H”から“L”になった直後にストップモードになると“L”幅が短くなります。



- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

9.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図 9.4 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

9.6.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

10. プロセッサモード

10.1 概要

プロセッサモードは、シングルチップモードに対応します。表 10.1 にプロセッサモードの特長を示します。

表 10.1 プロセッサモードの特長

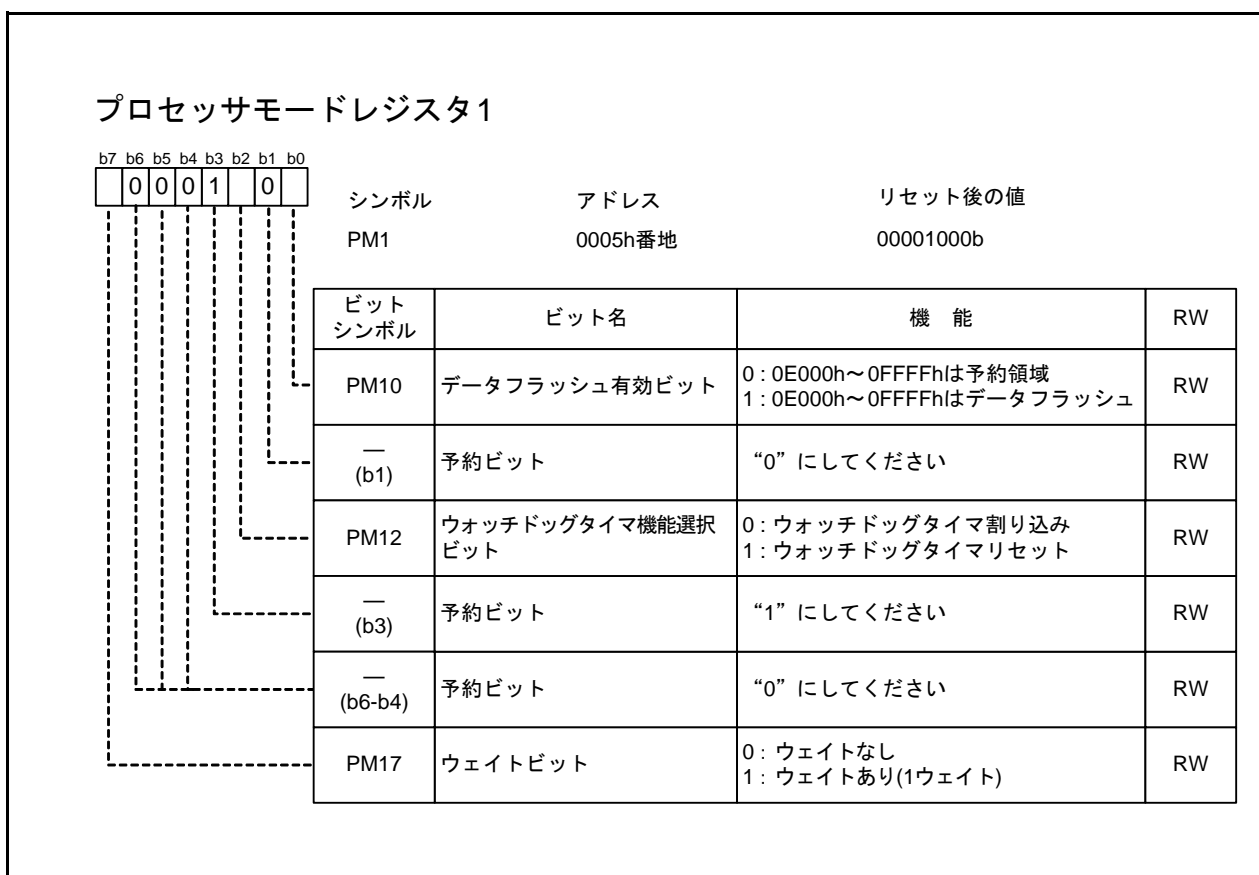
プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

10.2 レジスタの説明

表 10.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb

10.2.1 プロセッサモードレジスタ1 (PM1)



このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。PM12ビットはプログラムで“1”を書くと“1”になります（“0”を書いても変化しません）。

PM10 (データフラッシュ有効ビット) (b0)

0E000h~0FFFFh番地の機能を選択するビットです。

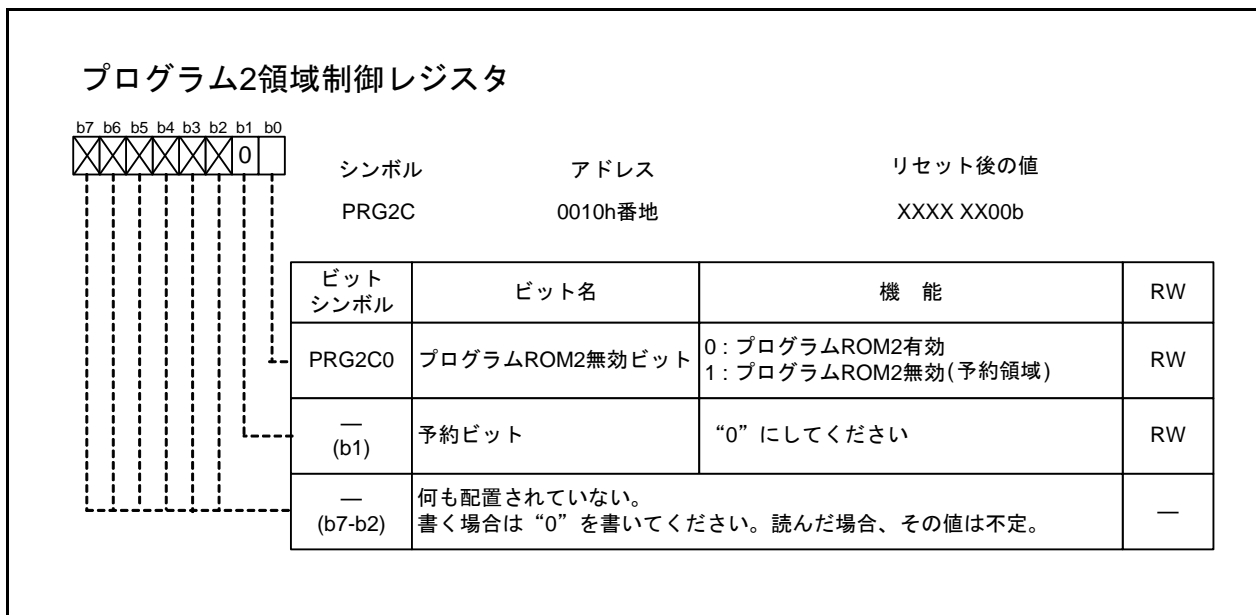
データフラッシュにはブロック A (0E000h~0EFFFh番地)、ブロック B (0F000h~0FFFFh) があります。PM10ビットでデータフラッシュを選択すると、ブロック A、ブロック B両方が使用できます。

PM10ビットは、FMR0レジスタのFMR01ビットが“1”（CPU書き換えモード）の期間、自動的に“1”になります。

PM17 (ウェイトビット) (b7)

内部メモリのソフトウェアウェイトを選択する機能です。

10.2.2 プログラム2領域制御レジスタ (PRG2C)



このレジスタはPRCRレジスタのPRC6ビットを“1”(書き込み許可)にした後で書き換えてください。

PRG2C0 (プログラムROM2無効ビット) (b0)

プログラムROM2 (10000h~13FFFh番地) の機能を選択するビットです。

プログラムROM2はオンチップデバッグモニタ領域、ユーザブートコード領域を含みます。(「29.7.1 ユーザブート機能」参照。)

10.2.3 フラッシュメモリ制御レジスタ1 (FMR1)

フラッシュメモリ制御レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR1	アドレス 0221h番地	リセット後の値 00X0 XX0Xb
	ビット シンボル	ビット名	機 能
— (b0)	予約ビット	読んだ場合、その値は不定	RO
FMR11	FMR6レジスタへの 書き込み許可ビット	0: 禁止 1: 許可	RW
— (b3-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
FMR16	ロックビットステータス フラグ	0: ロック 1: 非ロック	RO
FMR17	データフラッシュウェイト ビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う	RW

FMR17 (データフラッシュウェイトビット) (b7)

データフラッシュのウェイトを選択するビットです。

“0” (1ウェイト) にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

10.3 ソフトウェアウェイト

ソフトウェアウェイト関連ビットにはPM1レジスタのPM17ビット、FMR1レジスタのFMR17ビットがあります。これらのビットによってバスサイクルが決定されます。表 10.3 にソフトウェアウェイト関連ビットとバスサイクルの関係を示します。

表 10.3 ソフトウェアウェイト関連ビットとバスサイクル

領域		ソフトウェアウェイト関連ビットの設定		ソフトウェアウェイト	バスサイクル
		FMR1レジスタ FMR17ビット	PM1レジスタ PM17ビット		
SFR		—	—	1ウェイト	BCLKの2サイクル (注1)
内部RAM		—	0	なし	BCLKの1サイクル (注1)
			1	1ウェイト	BCLKの2サイクル
内部ROM	プログラムROM1	—	0	なし	BCLKの1サイクル (注1)
	プログラムROM2		1	1ウェイト	BCLKの2サイクル
	データフラッシュ	0	—	1ウェイト	BCLKの2サイクル (注1)
		1	0	なし	BCLKの1サイクル
		1	1ウェイト	BCLKの2サイクル	

—:“0”でも“1”でも影響ない

注1. リセット後の状態

10.4 バスホールド

次の場合は内部バスがホールド状態になります。

- フラッシュメモリをEW1モードで書き換える際の、自動書き込み、自動消去中バスがホールド状態になると、次のような影響が出ます。
 - CPU停止
 - DMAC停止
 - CSPRレジスタのCSPROビットが“0”(カウントソース保護モード無効)の場合、ウォッチドッグタイマ停止
 - 入出力ポートの状態保持

なお、バスの使用優先順位は高い方から順に、バスホールド、DMAC、CPUとなります。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMAはバス使用権を得ることはできません。図 10.1 にバスの使用優先順位を示します。

バスホールド > DMAC > CPU

図 10.1 バスの使用優先順位

11. プログラマブル入出力ポート

注意

80ピン版にはP4_0~P4_7、P5_0~P5_7、P9_4はありません。

64ピン版にはP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4_0~P4_7、P5_0~P5_7、P9_4~P9_7はありません。

11.1 概要

プログラマブル入出力ポート(以下、入出力ポートと称す)の仕様を表 11.1に示します。

各端子は、入出力ポート、または周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。また、周辺機能の入出力端子として使用する場合は、「11.4 周辺機能の入出力」を参照してください。

表 11.2に端子構成を示します。

表 11.1 プログラマブル入出力ポートの仕様

項目	仕様		
	100ピン版	80ピン版	64ピン版
本数	88本	71本	55本
入出力選択	1本ごとにプログラムで選択		
選択機能	プルアップ抵抗を4本単位で選択(ただし、P8_5はプルアップ抵抗なし) 入力レベルを8本単位で選択		

表 11.2 入出力端子

端子名			入出力	機能
100ピン版	80ピン版	64ピン版		
P0_0~P0_7、 P1_0~P1_7、 P2_0~P2_7、 P3_0~P3_7、 P4_0~P4_7、 P5_0~P5_7、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_4、 P8_6~P8_7、 P9_0~P9_7、 P10_0~P10_7	P0_0~P0_7、 P1_0~P1_7、 P2_0~P2_7、 P3_0~P3_7、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_4、 P8_6~P8_7、 P9_0~P9_3、 P9_5~P9_7、 P10_0~P10_7	P0_0~P0_3、 P1_5~P1_7、 P2_0~P2_7、 P3_0~P3_3、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_4、 P8_6~P8_7、 P9_0~P9_3、 P10_0~P10_7	入出力	入出力ポート CMOS出力、プルアップ抵抗選択可能 入力レベルを選択可能
P8_5	P8_5	P8_5	入出力	入出力ポート Nチャンネルオープンドレイン出力、 プルアップ抵抗なし 入力レベルを選択可能

11.2 入出力ポート、端子の構成

図 11.1~図 11.6、および表 11.3~表 11.8に入出力ポートの構成、図 11.8に端子の構成を示します。

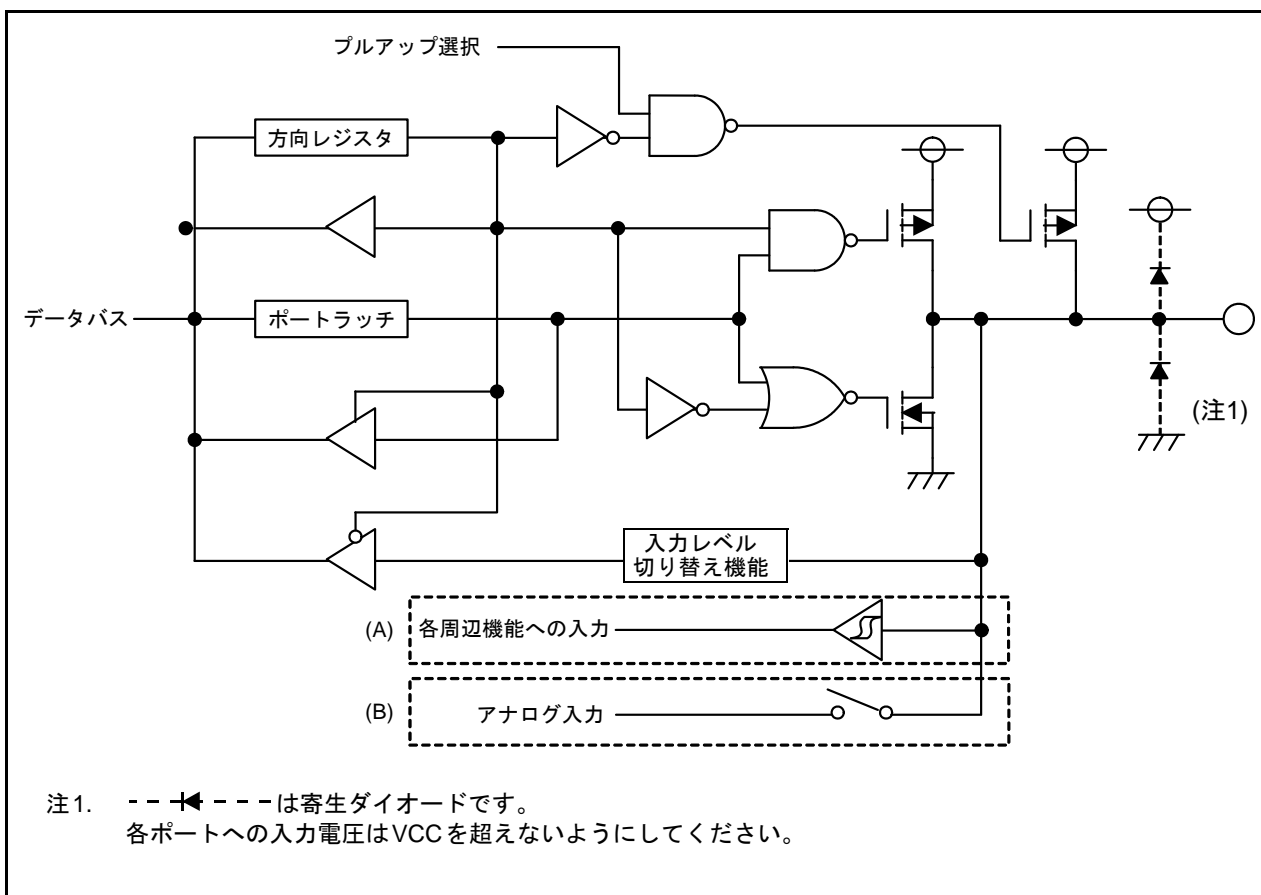


図 11.1 入出力ポートの構成 (基本)

表 11.3 入出力ポートの構成 (基本)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P3_4~P3_7、P4_0~P4_7、P5_0~P5_7	なし	なし
P0_0~P0_7、P10_0~P10_3、P9_3 (注1)	なし	あり
P3_1、P6_2、P6_6、P7_7、P8_2~P8_4、P9_4	あり	なし
P9_1 (注2)、P9_2、P9_7、P10_4~P10_7	あり	あり

注1. P9_3はM16C/57グループの80ピン版、64ピン版の場合

注2. P9_1はM16C/5Mグループ、M16C/57グループの100ピン版の場合

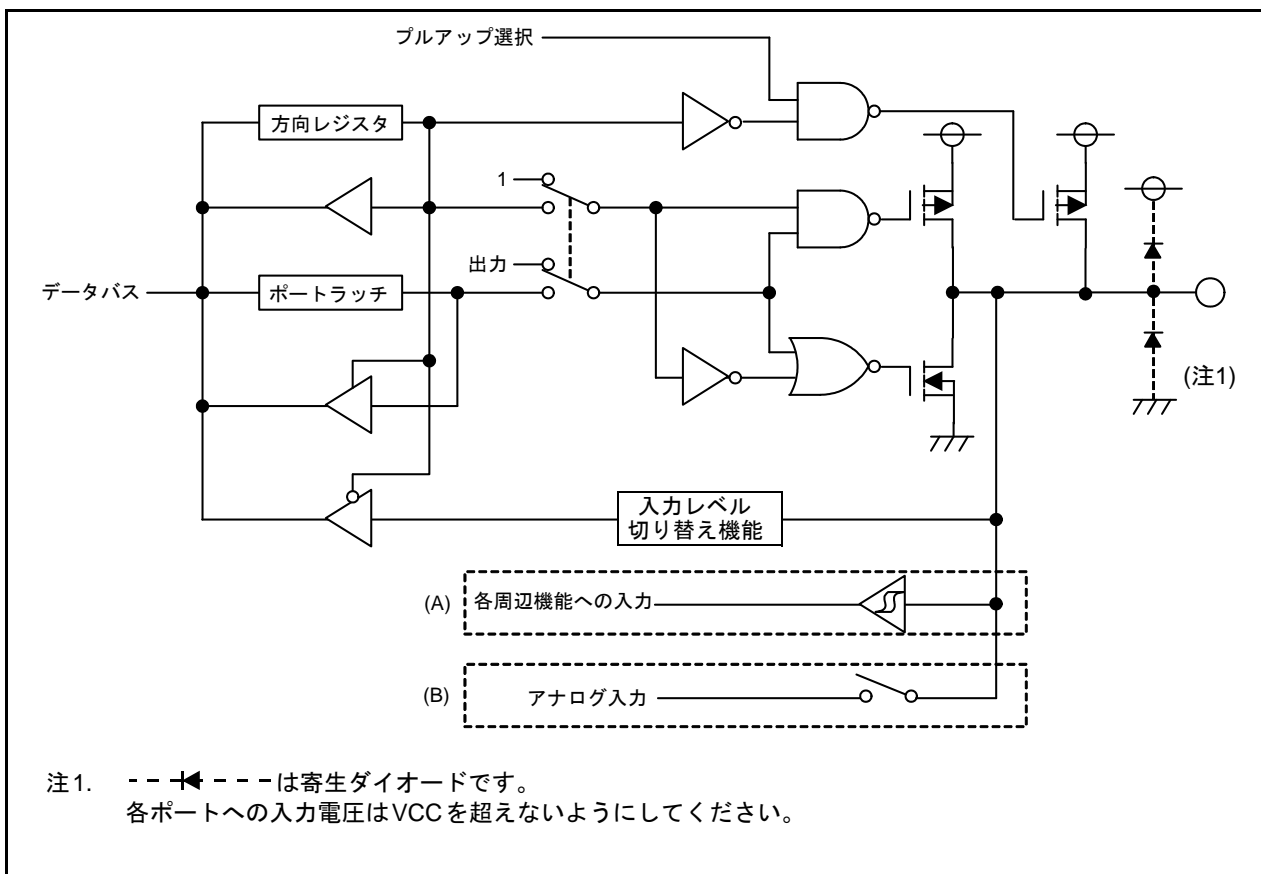


図 11.2 入出力ポートの構成 (出力あり)

表 11.4 入出力ポートの構成 (出力あり)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P9_3 (注1)	なし	あり
P2_2~P2_7、P3_0、P3_3、P6_0、P6_1、 P6_4、P6_5、P7_4~P7_6、P8_0、P8_1	あり	なし
P9_0、P9_5	あり	あり

注1. M16C/5Mグループの80ピン版、64ピン版の場合

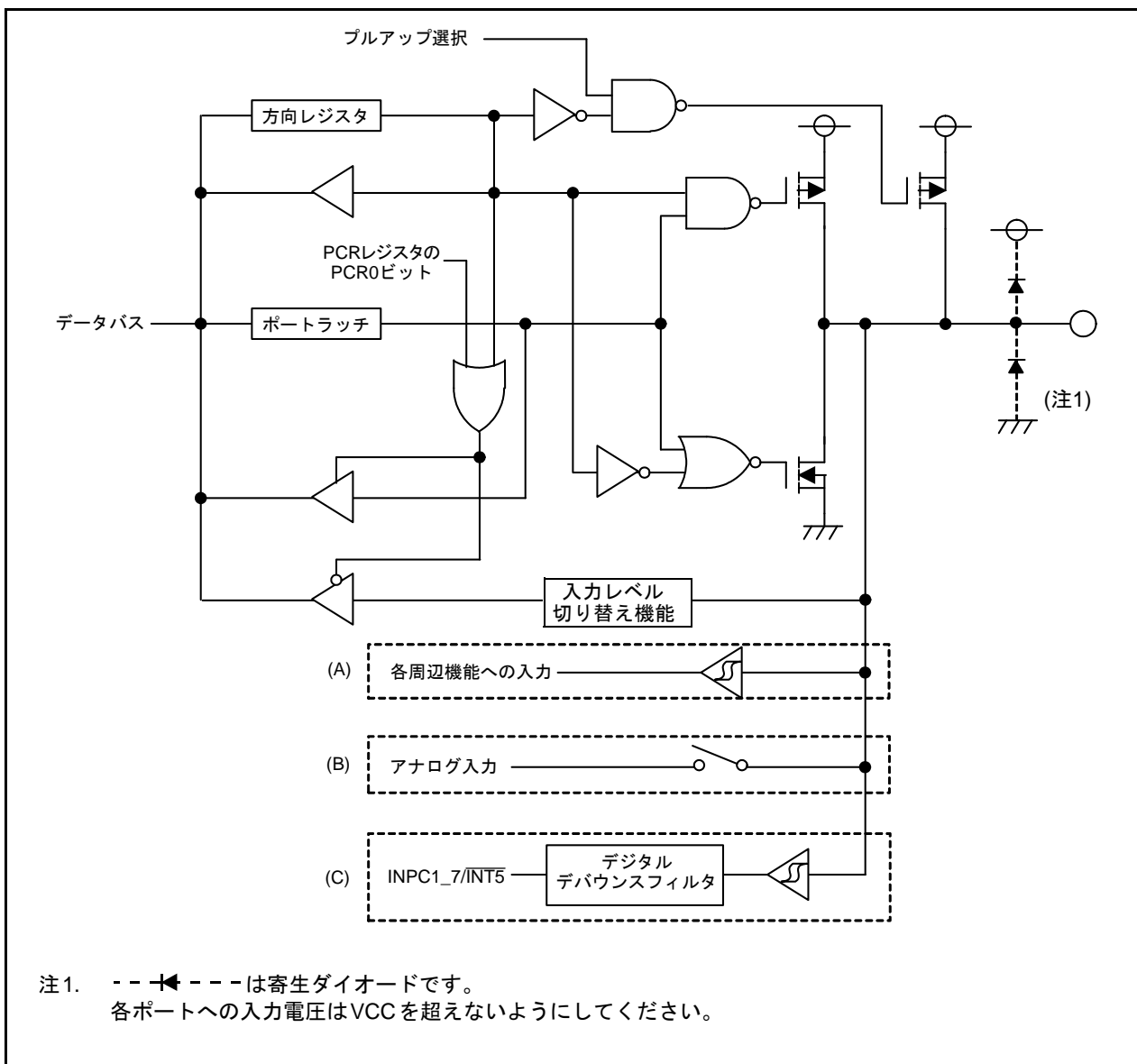


図 11.3 入出力ポートの構成 (ポートP1、P1_7)

表 11.5 入出力ポートの構成 (ポートP1、P1_7)

ポート	周辺機能入出力		
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)	周辺機能入力 図中回路 (C)
P1_4	なし	なし	なし
P1_0~P1_3	なし	あり	なし
P1_5、P1_6	あり	なし	なし
P1_7	あり	なし	あり

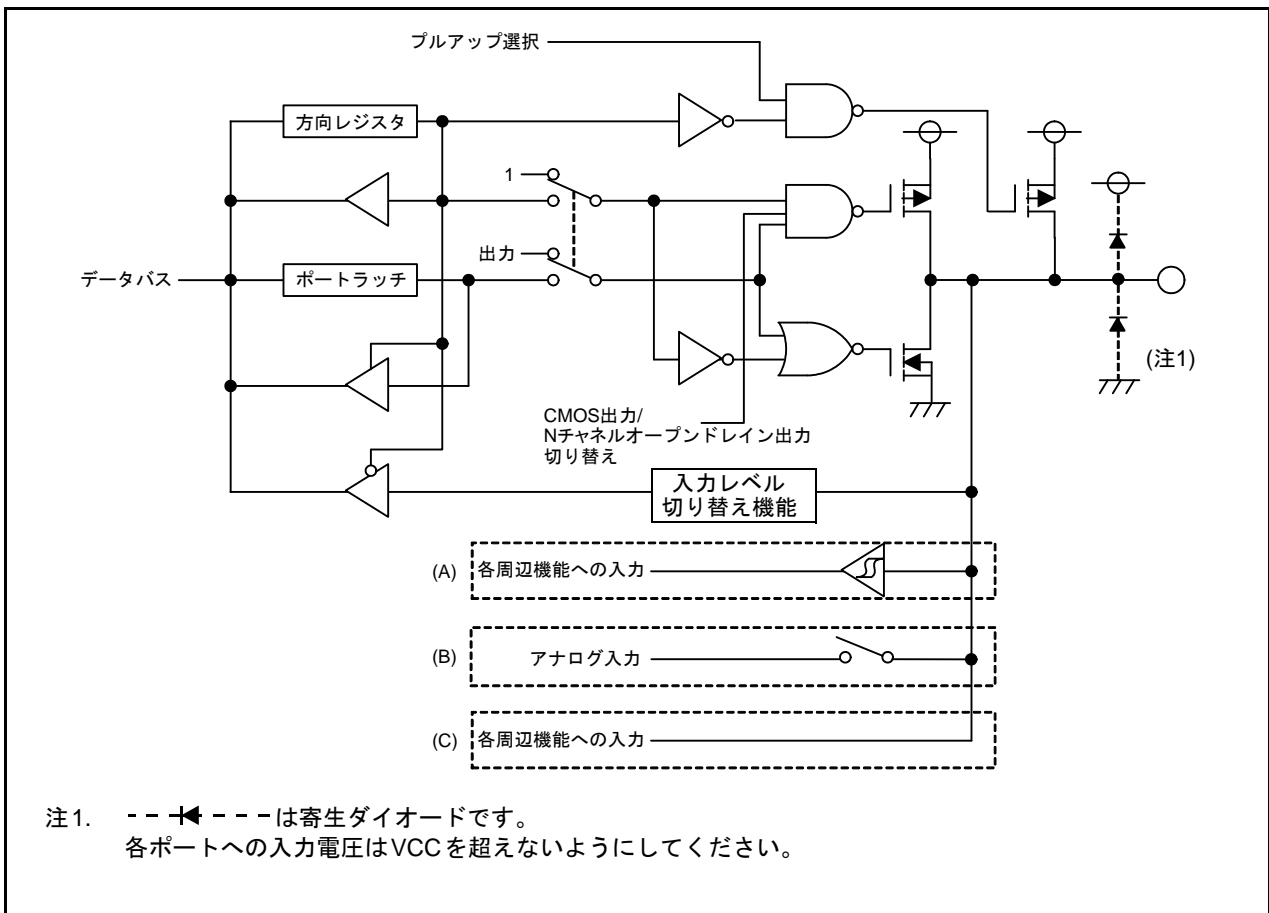


図 11.4 入出力ポートの構成 (CMOS出力/Nチャネルオープンドレイン出力切り替え)

表 11.6 入出力ポートの構成 (CMOS出力/Nチャネルオープンドレイン出力切り替え)

ポート	周辺機能入出力		
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)	周辺機能入力 図中回路 (C)
P3_2、P6_3、P6_7	なし	なし	なし
P9_6	なし	あり	なし
P7_0~P7_3	あり	なし	なし
P2_0、P2_1	あり	なし	あり

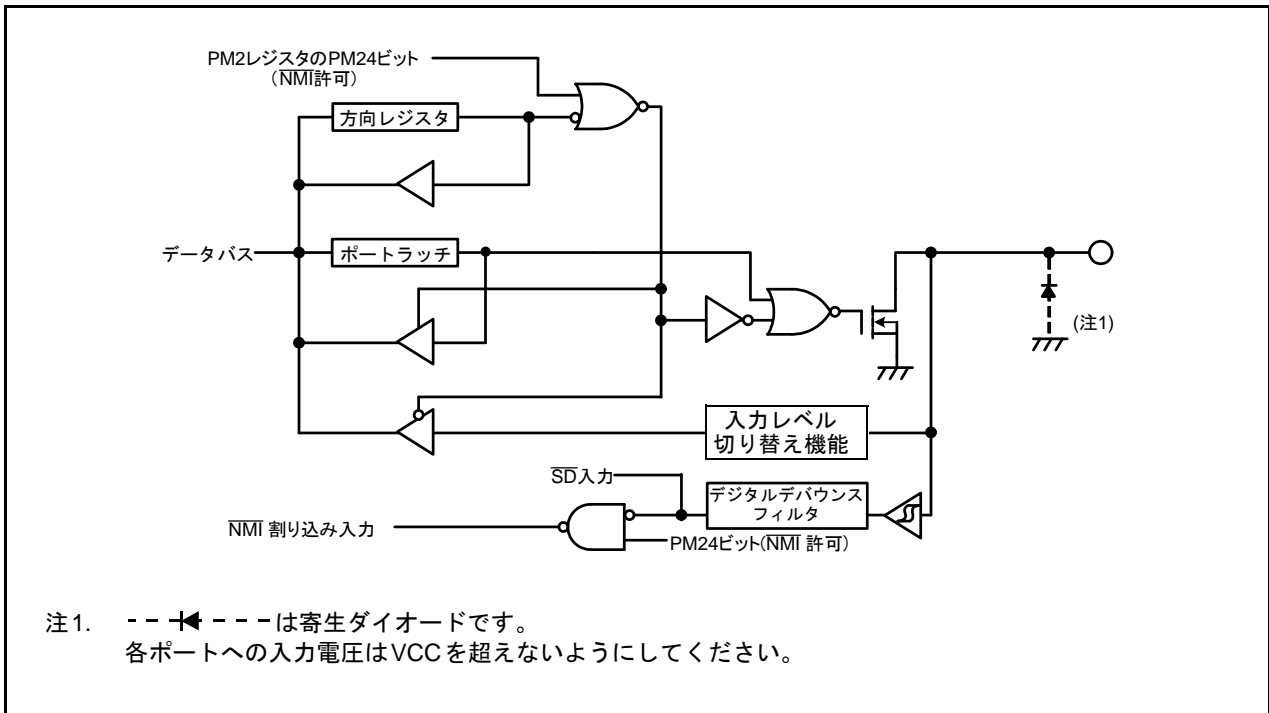


図 11.5 入出力ポートの構成 (NMI)

表 11.7 入出力ポートの構成 (NMI)

ポート	周辺機能入出力	
	周辺機能入力	アナログ入力
P8_5	あり	なし

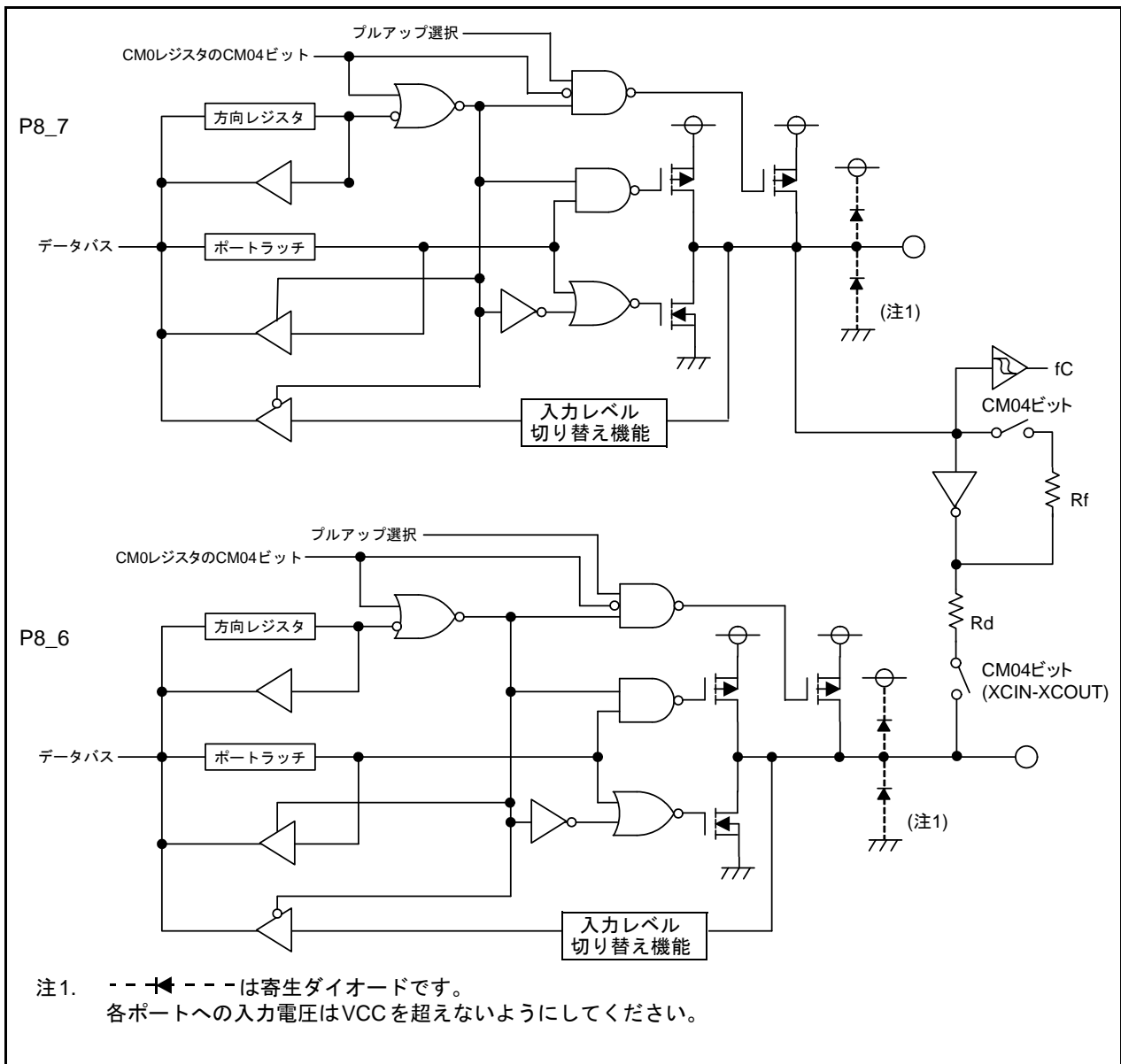


図 11.6 入出力ポートの構成 (XC)

表 11.8 入出力ポートの構成 (XC)

ポート	周辺機能入出力	
	周辺機能入力	アナログ入力
P8_6、P8_7	なし	なし

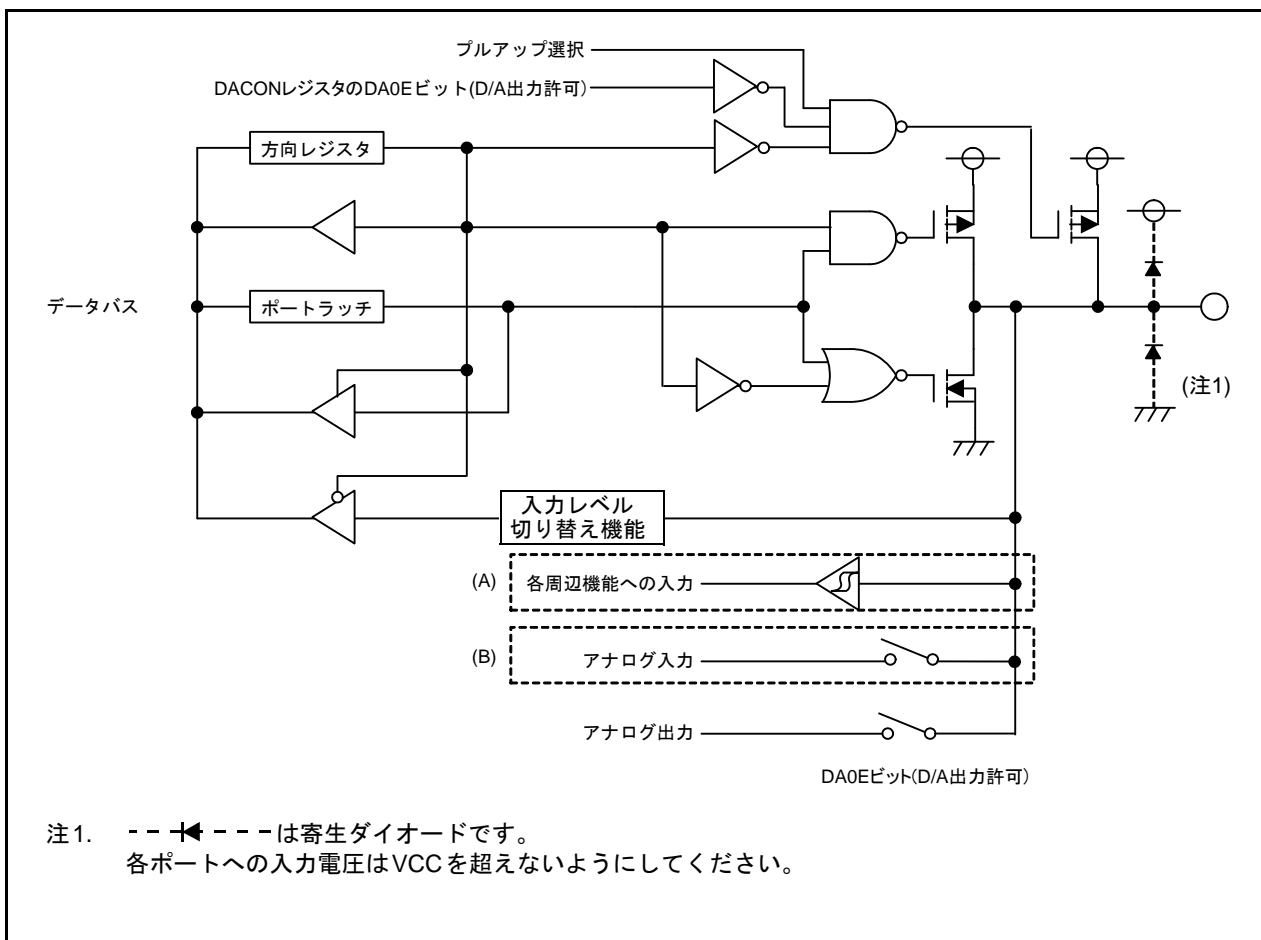


図 11.7 入出力ポートの構成 (D/A)

表 11.9 入出力ポートの構成 (D/A)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P9_1 (注1)	あり	あり
P9_3 (注2)	あり	なし

注1. M16C/5Mグループ、M16C/57グループの80ピン版、64ピン版の場合

注2. M16C/5Mグループ、M16C/57グループの100ピン版の場合

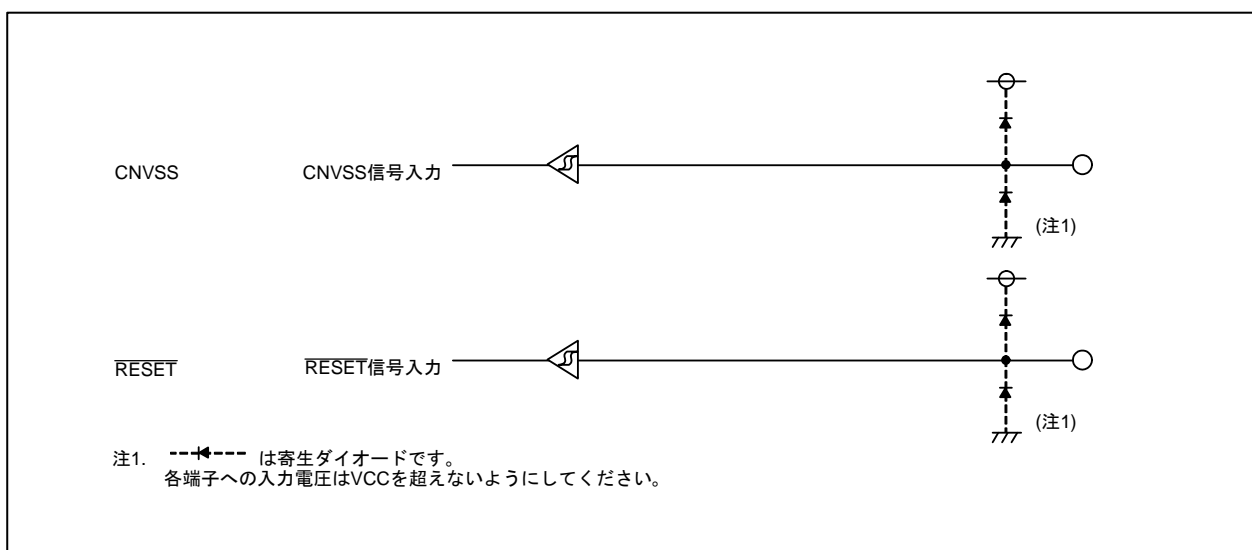


図 11.8 端子の構成

11.3 レジスタの説明

表 11.10 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02FEh	NMI デジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	FFh
0360h	プルアップ制御レジスタ 0	PUR0	00h
0361h	プルアップ制御レジスタ 1	PUR1	00h
0362h	プルアップ制御レジスタ 2	PUR2	00h
0366h	ポート制御レジスタ	PCR	0XX0 0XX0b
036Ch	入力しきい値選択レジスタ 0	VLT0	00h
036Dh	入力しきい値選択レジスタ 1	VLT1	00h
036Eh	入力しきい値選択レジスタ 2	VLT2	XX00 0000b
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b
03E0h	ポート P0 レジスタ	P0	XXh
03E1h	ポート P1 レジスタ	P1	XXh
03E2h	ポート P0 方向レジスタ	PD0	00h
03E3h	ポート P1 方向レジスタ	PD1	00h
03E4h	ポート P2 レジスタ	P2	XXh
03E5h	ポート P3 レジスタ	P3	XXh
03E6h	ポート P2 方向レジスタ	PD2	00h
03E7h	ポート P3 方向レジスタ	PD3	00h
03E8h	ポート P4 レジスタ	P4	XXh
03E9h	ポート P5 レジスタ	P5	XXh
03EAh	ポート P4 方向レジスタ	PD4	00h
03EBh	ポート P5 方向レジスタ	PD5	00h
03ECh	ポート P6 レジスタ	P6	XXh
03EDh	ポート P7 レジスタ	P7	XXh
03EEh	ポート P6 方向レジスタ	PD6	00h
03EFh	ポート P7 方向レジスタ	PD7	00h
03F0h	ポート P8 レジスタ	P8	XXh
03F1h	ポート P9 レジスタ	P9	XXh
03F2h	ポート P8 方向レジスタ	PD8	00h
03F3h	ポート P9 方向レジスタ	PD9	00h
03F4h	ポート P10 レジスタ	P10	XXh
03F6h	ポート P10 方向レジスタ	PD10	00h

11.3.1 $\overline{\text{NMI}}$ デジタルデバウンスレジスタ (NDDR)

$\overline{\text{NMI}}$ デジタルデバウンスレジスタ		シンボル	アドレス	リセット後の値
b7	b0	NDDR	02FEh番地	FFh
		機 能	設定範囲	RW
		設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\overline{\text{NMI}}/\overline{\text{SD}}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、ストップモードに入る前に、NDDR レジスタに“FFh”を設定してください。

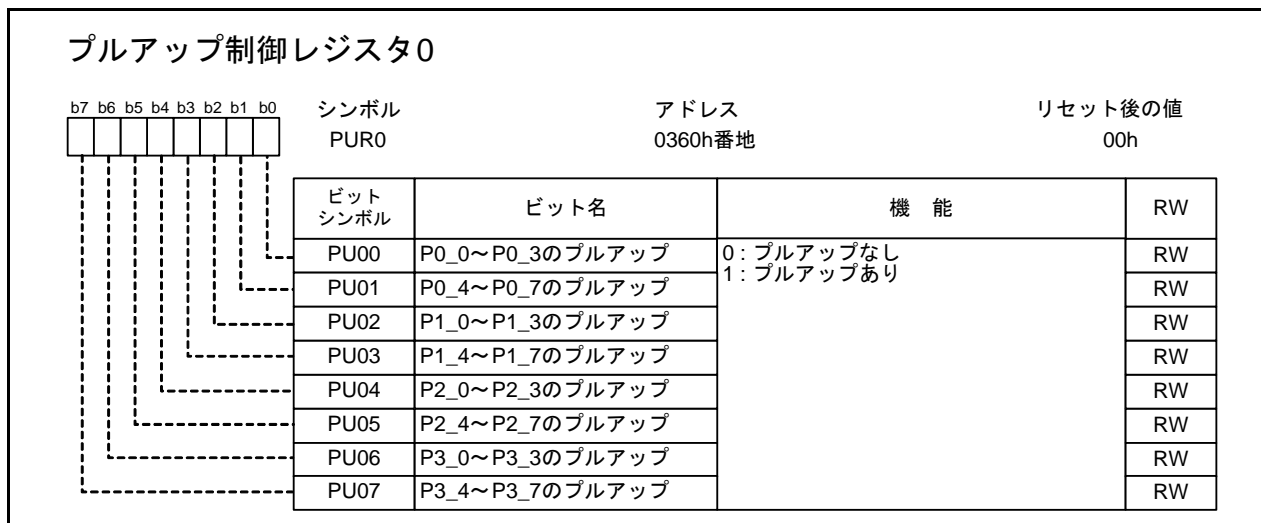
このレジスタは、PRCR レジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

11.3.2 P1_7 デジタルデバウンスレジスタ (P17DDR)

P1_7 デジタルデバウンスレジスタ		シンボル	アドレス	リセット後の値
b7	b0	P17DDR	02FFh番地	FFh
		機 能	設定範囲	RW
		設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\text{INPC1}_7/\text{INT5}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

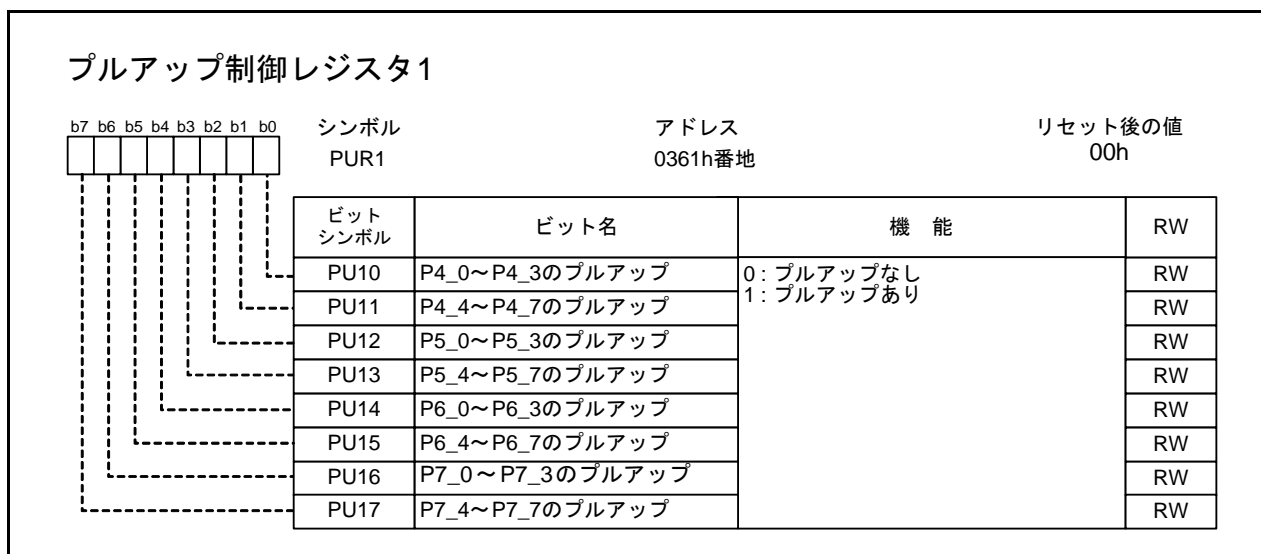
ストップモードからの復帰に $\overline{\text{INT5}}$ 割り込みを使用する場合、ストップモードに入る前に、P17DDR レジスタに“FFh”を設定してください。

11.3.3 プルアップ制御レジスタ0 (PUR0)



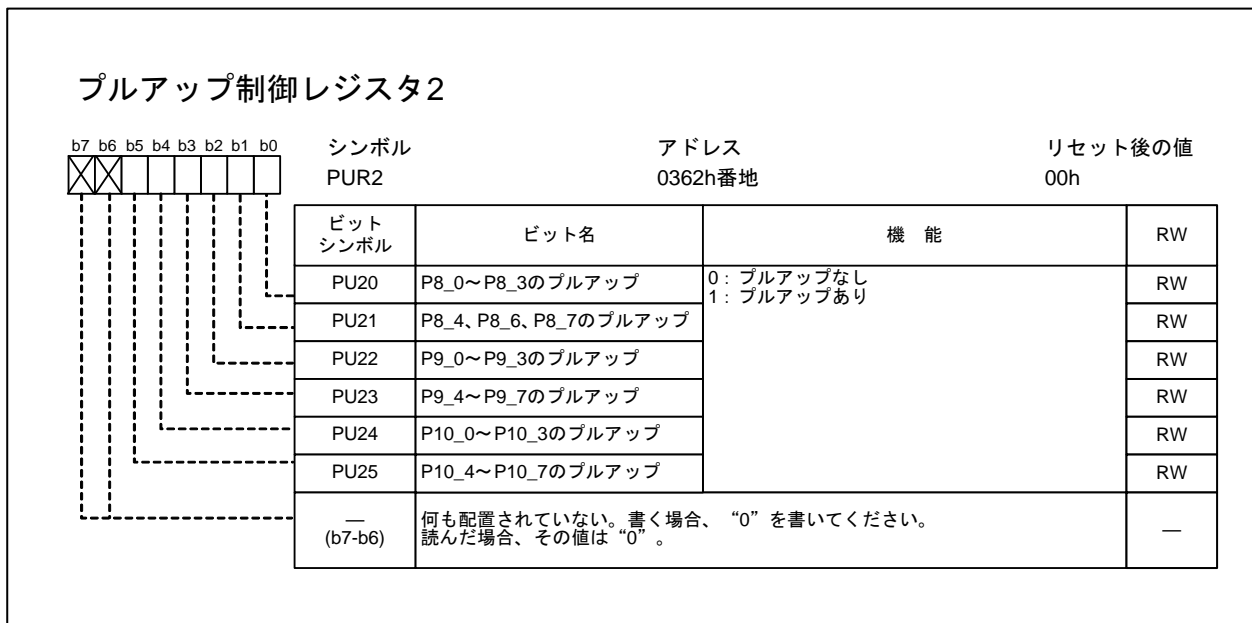
PUR0レジスタのビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされます。

11.3.4 プルアップ制御レジスタ1 (PUR1)



PUR1レジスタのビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされます。

11.3.5 プルアップ制御レジスタ2 (PUR2)



PU20 (P8_0~P8_3のプルアップ) (b0)

PU22 (P9_0~P9_3のプルアップ) (b2)

PU23 (P9_4~P9_7のプルアップ) (b3)

PU24 (P10_0~P10_3のプルアップ) (b4)

PU25 (P10_4~P10_7のプルアップ) (b5)

PU2i (i=0, 2~5)ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

PU21 (P8_4、P8_6~P8_7のプルアップ) (b1)

PU21ビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされま

す。
P8_5端子は、プルアップはありません。

11.3.6 ポート制御レジスタ (PCR)

ポート制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0 X X X 0 0 X X

シンボル
PCR

アドレス
0366h番地

リセット後の値
0XX0 0XX0b

ビット シンボル	ビット名	機 能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の 入力レベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
— (b4-b3)	予約ビット	“0”にしてください	RW
— (b6-b5)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7)	予約ビット	“0”にしてください	RW

PCR0 (ポートP1制御ビット) (b0)

PCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

11.3.7 入力しきい値選択レジスタ0 (VLT0)

入力しきい値選択レジスタ0

シンボル VLT0	アドレス 036Ch番地	リセット後の値 00h
ビット シンボル	ビット名	機 能
VLT00	P0の入カレベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください
VLT01		RW
VLT02	P1の入カレベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください
VLT03		RW
VLT04	P2の入カレベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください
VLT05		RW
VLT06	P3の入カレベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください
VLT07		RW

ポートの入カレベルが選択できます。周辺機能の入カレベルには影響ありません。

11.3.8 入力しきい値選択レジスタ1 (VLT1)

入力しきい値選択レジスタ1		シンボル VLT1	アドレス 036Dh番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0				
VLT10	P4の入カレベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW	
VLT11			RW	
VLT12	P5の入カレベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW	
VLT13			RW	
VLT14	P6の入カレベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW	
VLT15			RW	
VLT16	P7の入カレベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW	
VLT17			RW	

ポートの入カレベルが選択できます。周辺機能の入カレベルには影響ありません。

11.3.9 入力しきい値選択レジスタ2 (VLT2)

入力しきい値選択レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
VLT2

アドレス
036Eh番地

リセット後の値
XX00 0000b

ビット シンボル	ビット名	機 能	RW
VLT20	P8の入カレベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW
VLT21			RW
VLT22	P9の入カレベル選択 ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW
VLT23			RW
VLT24	P10の入カレベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 設定しないでください 1 0 : 0.70 × VCC 1 1 : 設定しないでください	RW
VLT25			RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

ポートの入カレベルが選択できます。周辺機能の入カレベルには影響ありません。

11.3.10 端子割り当て制御レジスタ (PACR)



このレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

PACR2~PACR0 (端子許可ビット)(b2~b0)

PACR2~PACR0ビットはリセット後“000b”です。使用する製品にあわせて“010b”(64ピン版)、“011b”(80ピン版)、または“100b”(100ピン版)を選択してください。

PACR2~PACR0ビットは、各端子の入出力を行うより前に、設定してください。リセット後の値のままでは、一部の端子の入出力機能が動作しません。

11.3.11 ポートPiレジスタ (Pi) (i=0~10)

ポートPiレジスタ (i=0~8, 10)

シンボル	アドレス	リセット後の値
P0~P3	03E0h、03E1h、03E4h、03E5h番地	XXh
P4	03E8h番地	XXh
P5	03E9h番地	XXh
P6~P7	03ECh、03EDh番地	XXh
P8	03F0h番地	XXh
P10	03F4h番地	XXh

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L” レベル 1: “H” レベル	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット		RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

ポートP9レジスタ

シンボル	アドレス	リセット後の値
P9	03F1h番地	XXh

ビットシンボル	ビット名	機能	RW
P9_0	ポートP9_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L” レベル 1: “H” レベル	RW
P9_1	ポートP9_1ビット		RW
P9_2	ポートP9_2ビット		RW
P9_3	ポートP9_3ビット		RW
P9_4	ポートP9_4ビット(注1)		RW
P9_5	ポートP9_5ビット		RW
P9_6	ポートP9_6ビット		RW
P9_7	ポートP9_7ビット		RW

注1. 64ピン版、80ピン版では、何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと端子の状態を読む回路で構成されています。

入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポータラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポータラッチを読み、書くとポータラッチに書きます。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

11.3.12 ポートPi方向レジスタ (PDi) (i=0~10)

ポートPi方向レジスタ (i=0~8, 10)

シンボル	アドレス	リセット後の値
PD0~PD3	03E2h, 03E3h, 03E6h, 03E7h番地	00h
PD4	03EAh番地	00h
PD5	03EBh番地	00h
PD6~PD7	03EEh, 03EFh番地	00h
PD8	03F2h番地	00h
PD10	03F6h番地	00h

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi_0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PDi_1	ポートPi_1方向ビット		RW
PDi_2	ポートPi_2方向ビット		RW
PDi_3	ポートPi_3方向ビット		RW
PDi_4	ポートPi_4方向ビット		RW
PDi_5	ポートPi_5方向ビット		RW
PDi_6	ポートPi_6方向ビット		RW
PDi_7	ポートPi_7方向ビット		RW

ポートPD9方向レジスタ

シンボル	アドレス	リセット後の値
PD9	03F3h番地	00h

ビットシンボル	ビット名	機能	RW
PD9_0	ポートP9_0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD9_1	ポートP9_1方向ビット		RW
PD9_2	ポートP9_2方向ビット		RW
PD9_3	ポートP9_3方向ビット		RW
PD9_4	ポートP9_4方向ビット(注1)		RW
PD9_5	ポートP9_5方向ビット		RW
PD9_6	ポートP9_6方向ビット		RW
PD9_7	ポートP9_7方向ビット		RW

注1. 64ピン版、80ピン版では、何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

PD9レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

周辺機能の入力端子を使用する場合は、端子を共用しているポートの方向ビットを“0”（入力モード）にしてください。

11.4 周辺機能の入出力

11.4.1 周辺機能入出力とポート方向ビット

プログラマブル入出力ポートは、周辺機能の入出力と端子を共用する場合があります（「表 1.11～表 1.16 端子名一覧表」参照）。周辺機能の入出力端子の機能には、端子を共用するポートの方向ビットの影響を受けるものがあります。表 11.11 に周辺機能の入出力として機能する場合の方向ビットの設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 11.11 周辺機能の入出力として機能する場合の方向ビットの設定

周辺機能の入出力		端子を共用しているポートの方向ビットの設定
入力		“0” (入力モード)にしてください
出力	D/Aコンバータ	“0” (入力モード)にしてください
	その他	“0”でも“1”でもよい (方向ビットの設定に関係なく、出力になる)

11.4.2 周辺機能入出力の優先順位

複数の周辺機能が端子を共用している場合があります。この場合、例えば、ある端子を共用する周辺機能Aと周辺機能Bが動作すると次のようになります。

- その端子が周辺機能Aの入力端子と、周辺機能Bの入力端子の機能を持つ場合
同じ信号をそれぞれの入力信号として入力します。ただし、周辺機能A、Bがその信号を受け付けるタイミングは周辺機能A、Bの内部の遅延などによって異なります。
- その端子が周辺機能Aの出力端子と、周辺機能Bの入力端子の機能を持つ場合
周辺機能Aは出力信号を端子から出力します。その信号を周辺機能Bが入力します。

11.4.3 デジタルデバウンスフィルタ

デジタルデバウンス機能を2回路内蔵しています。デジタルデバウンス機能は、入力信号の立ち上がりエッジ、または立ち下がりエッジの後、プログラムで設定したフィルタ幅の時間を超えてそのレベルが保持された時点でレベルの確定が行われるため、ノイズの除去に有効です。

この機能は、 $\overline{\text{NMI/SD}}$ と $\overline{\text{INT5/INPC1_7}}$ に割り当てられており、デジタルフィルタ幅はそれぞれNDDRレジスタ、P17DDRレジスタで設定します。なお、ポートP1_7/IDUの入力、ポートP8_5の入力に対してデジタルバウンス機能は無効です。

フィルタ幅: $\frac{(n+1) \times 8}{f1}$ n: NDDRレジスタまたはP17DDRレジスタの設定値

NDDRレジスタまたはP17DDRレジスタは、f1の8分周をカウントソースとし、設定値をダウンカウントします。NDDRレジスタ、またはP17DDRレジスタを読み出した場合、カウント値が読み出されず、端子入力の立ち上がりエッジ、または立ち下がりエッジで設定値がリロードされます。

デジタルデバウンス機能を使用する場合、NDDRレジスタまたはP17DDRレジスタの設定可能値は“00h~FFh”です。“FFh”を設定すると、デジタルフィルタなしとなります。詳細を図11.9に示します。

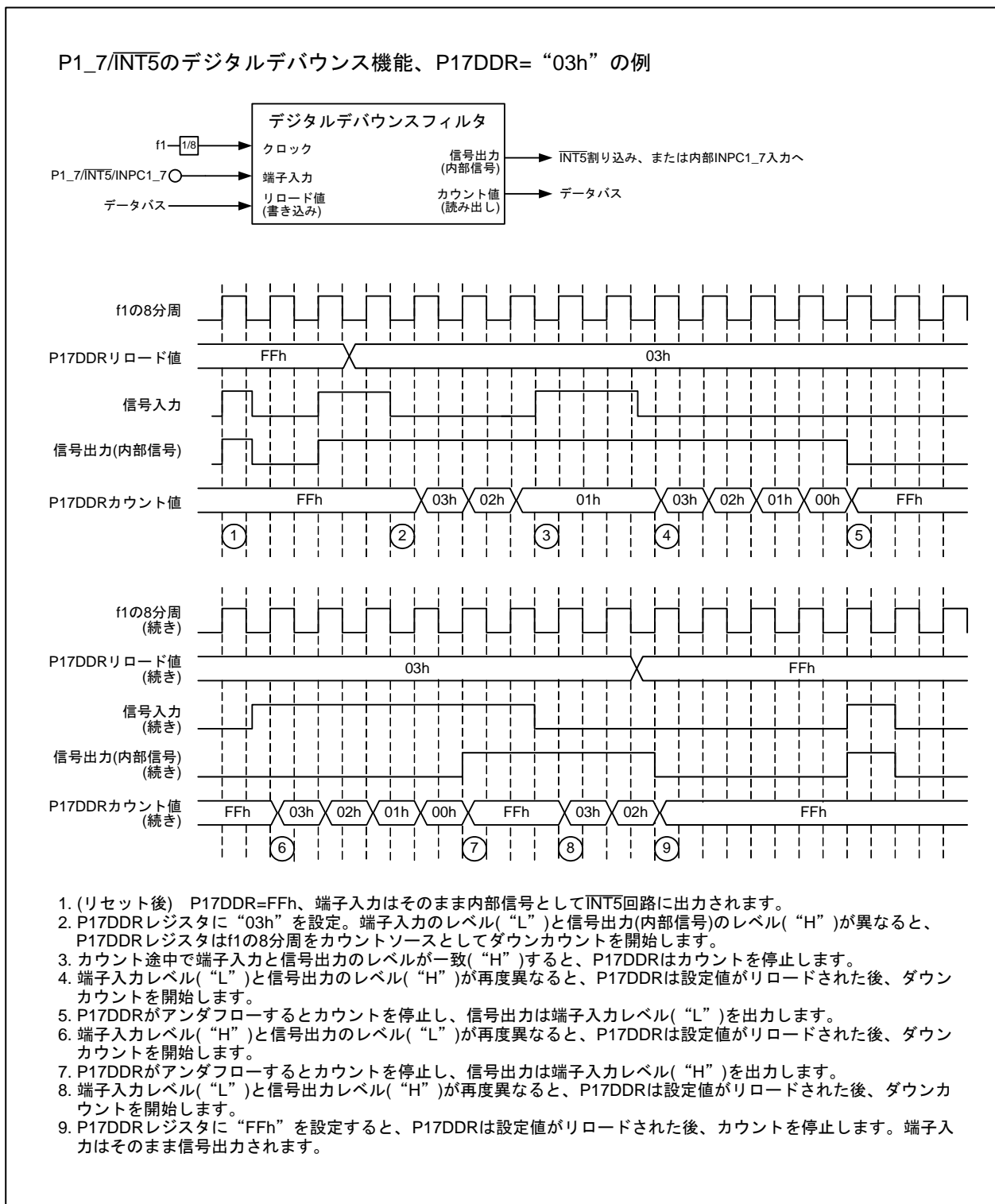


図 11.9 デジタルデバウンスフィルタの動作例

11.5 未使用端子の処理

表 11.12 シングルチップモード時の未使用端子の処理例

端子名	処理内容 (注2)
ポートP0~P10	次のいずれか <ul style="list-style-type: none"> • 入力モードに設定し、端子ごとに抵抗を介してVSSに接続 (プルダウン) • 入力モードに設定し、端子ごとに抵抗を介してVCCに接続 (プルアップ) • 出力モードに設定し、端子を開放 (注1)
XOUT (注3)	開放
XIN	抵抗を介してVCCに接続 (プルアップ)
AVCC	VCCに接続
AVSS、VREF	VSSに接続
NC	開放、VCCに接続、またはVSSに接続

注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの値が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの値を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線 (2cm 以内) で処理してください。

注3. XIN端子に外部クロックを入力している場合、または抵抗を介してVCCに接続している場合。

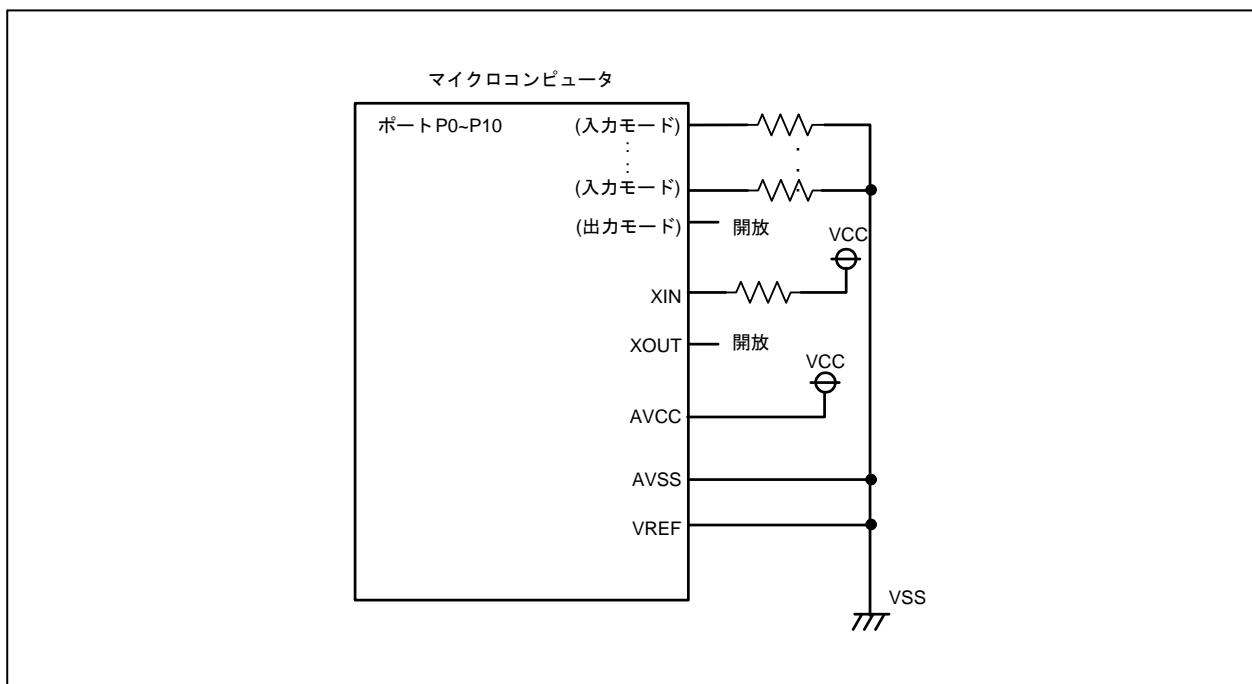


図 11.10 未使用端子の処理例

11.6 プログラマブル入出力ポート使用上の注意事項

11.6.1 端子割り当て制御

PACRレジスタのPACR2~PACR0ビットはリセット後“000b”です。使用する製品にあわせて“010b” (64ピン版)、“011b” (80ピン版)、または“100b” (100ピン版) を選択してください。

PACR2~PACR0ビットを設定した後でプログラマブル入出力ポートや周辺機能の入出力を設定してください。

11.6.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

11.6.3 入力閾値電圧

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外 (“H”でも“L”でもないレベル) のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

12. 割り込み

12.1 概要

表 12.1に割り込みの概要を、表 12.2に入出力端子を示します。表 12.2に示す端子は、外部割り込みの入力端子です。周辺機能割り込みに関係する端子は各周辺機能を参照してください。

表 12.1 割り込みの概要

割り込みの分類		割り込み	機能
ソフトウェア		未定義命令(UND命令) オーバフロー (INTO命令) BRK命令 INT命令	命令の実行で割り込みが発生する ノンマスクブル割り込み(注2)
ハードウェア	特殊	NMI ウォッチドッグタイマ 発振停止/再発振検出 電圧監視2 アドレス一致 シングルステップ(注1) DBC(注1)	マイクロコンピュータのハードウェアによる割り込み ノンマスクブル割り込み(注2)
	周辺機能	$\overline{\text{INT}}$ 、タイマなど (「12.6.2 可変ベクタテーブル」参照)	マイクロコンピュータ内部の周辺機能による割り込み マスクブル割り込み(割り込み優先レベル: 7レベル) (注2)

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
 ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

表 12.2 入出力端子

端子名	入出力	機能
$\overline{\text{NMI}}$	入力(注1)	$\overline{\text{NMI}}$ 割り込み入力
$\overline{\text{INTi}}$	入力(注1)	$\overline{\text{INTi}}$ 割り込み入力
KI0~KI3	入力(注1)	キー入力

i=0~7

注1. 端子を共用するポートの方向ビットは“0”(入力モード)にしてください。

12.2 レジスタの説明

表 12.3 レジスタ一覧(1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
0041h	E ² データフラッシュ割り込み制御レジスタ	E2FIC	XXXX X000b
0042h	INT7割り込み制御レジスタ、シリアルバスインタフェース0割り込み制御レジスタ	INT7IC、SS0IC	XX00 X000b
0043h	INT6割り込み制御レジスタ、LIN0割り込み制御レジスタ	INT6IC、LIN0IC	XX00 X000b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
0048h	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
0049h	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ、タスク監視タイマ割り込み制御レジスタ	BCNIC、TMOSIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ、LIN0“L”検出割り込み制御レジスタ	S0TIC、LOWIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh	CAN1受信完了割り込み制御レジスタ	C1RIC	XXXX X000b
006Ch	CAN1送信完了割り込み制御レジスタ	C1TIC	XXXX X000b
006Dh	CAN1受信FIFO割り込み制御レジスタ	C1FRIC	XXXX X000b
006Eh	CAN1送信FIFO割り込み制御レジスタ	C1FTIC	XXXX X000b

表 12.4 レジスタ一覧(2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Fh	UART4送信割り込み制御レジスタ、リアルタイムクロックコンペア割り込み制御レジスタ	S4TIC、RTCCIC	XXXX X000b
0070h	UART4受信割り込み制御レジスタ	S4RIC	XXXX X000b
0071h	CAN0ウェイクアップ割り込み制御レジスタ	C0WIC	XXXX X000b
0072h	UART3送信割り込み制御レジスタ、CAN0エラー割り込み制御レジスタ	S3TIC、C0EIC	XXXX X000b
0073h	UART3受信割り込み制御レジスタ、CAN1ウェイクアップ割り込み制御レジスタ	S3RIC、C1WIC	XXXX X000b
0074h	リアルタイムクロック周期割り込み制御レジスタ、CAN1エラー割り込み制御レジスタ	RTCTIC、C1EIC	XXXX X000b
0075h	CAN0受信完了割り込み制御レジスタ	C0RIC	XXXX X000b
0076h	CAN0送信完了割り込み制御レジスタ	C0TIC	XXXX X000b
0077h	CAN0受信FIFO割り込み制御レジスタ	C0FRIC	XXXX X000b
0078h	CAN0送信FIFO割り込み制御レジスタ	C0FTIC	XXXX X000b
0079h	IC/OC割り込み0制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OCチャンネル0割り込み制御レジスタ	ICOC0IC	XXXX X000b
007Bh	IC/OC割り込み1制御レジスタ、I2C-busインタフェース割り込み制御レジスタ	ICOC1IC、IICIC	XXXX X000b
007Ch	IC/OCチャンネル1割り込み制御レジスタ、SCL/SDA割り込み制御レジスタ	ICOC1IC、SCLDAIC	XXXX X000b
007Dh	IC/OCチャンネル2割り込み制御レジスタ	ICOC2IC	XXXX X000b
007Eh	IC/OCチャンネル3割り込み制御レジスタ	ICOC3IC	XXXX X000b
007Fh	IC/OCベースタイム割り込み制御レジスタ	BTIC	XXXX X000b
0204h	割り込み要因選択レジスタ4	IFSR4A	00h
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
02FEh	NMIデジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7デジタルデバウンスレジスタ	P17DDR	FFh

12.2.1 プロセッサモードレジスタ2 (PM2)

プロセッサモードレジスタ2			
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“1” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット	0: $\overline{\text{NMI}}$ 割り込み禁止 1: $\overline{\text{NMI}}$ 割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

PM2レジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PM24 ($\overline{\text{NMI}}$ 割り込み許可ビット) (b4)

一度“1”にすると、プログラムでは“0”にできません（“0”を書いても変化しません）。

12.2.2 割り込み制御レジスタ1

(E2FIC、BCNIC/TMOSIC、DM0IC~DM3IC、KUPIC、ADIC、S0TIC/LOWIC、S1TIC、S2TIC、S0RIC~S2RIC、S3RIC/C1WIC、TA0IC~TA4IC、TB0IC~TB5IC、S4TIC/RTCCIC、S4RIC、C0WIC、S3TIC/C0EIC、RTCTIC/C1EIC、C0RIC、C1RIC、C0TIC、C1TIC、C0FRIC、C1FRIC、C0FTIC、C1FTIC、ICOC0IC、ICOH0IC、ICOC1IC/IICIC、ICOH1IC/SCLDAIC、ICOH2IC~ICOH3IC、BTIC)

割り込み制御レジスタ1			
シンボル	アドレス	リセット後の値	
シンボル、アドレスは下表参照			
XXXX X000b			
ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止)	RW
ILVL1		0 0 1: レベル1	RW
ILVL2		0 1 0: レベル2	
		0 1 1: レベル3	
IR	割り込み要求ビット	1 0 0: レベル4	RW
		1 0 1: レベル5	
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	1 1 0: レベル6	—
		1 1 1: レベル7	

シンボル	アドレス
E2FIC	0041h 番地
BCNIC/TMOSIC	004Ah 番地
DM0IC	004Bh 番地
DM1IC	004Ch 番地
DM2IC	0069h 番地
DM3IC	006Ah 番地
KUPIC	004Dh 番地
ADIC	004Eh 番地
S0TIC/LOWIC	0051h 番地
S1TIC	0053h 番地
S2TIC	004Fh 番地
S0RIC	0052h 番地
S1RIC	0054h 番地
S2RIC	0050h 番地
S3RIC/C1WIC	0073h 番地

シンボル	アドレス
TA0IC	0055h 番地
TA1IC	0056h 番地
TA2IC	0057h 番地
TA3IC	0058h 番地
TA4IC	0059h 番地
TB0IC	005Ah 番地
TB1IC	005Bh 番地
TB2IC	005Ch 番地
TB3IC	0047h 番地
TB4IC	0046h 番地
TB5IC	0045h 番地
S4TIC/RTCCIC	006Fh 番地
S4RIC	0070h 番地
C0WIC	0071h 番地
S3TIC/C0EIC	0072h 番地

シンボル	アドレス
RTCTIC/C1EIC	0074h 番地
C0RIC	0075h 番地
C1RIC	006Bh 番地
C0TIC	0076h 番地
C1TIC	006Ch 番地
C0FRIC	0077h 番地
C1FRIC	006Dh 番地
C0FTIC	0078h 番地
C1FTIC	006Eh 番地
ICOC0IC	0079h 番地
ICOH0IC	007Ah 番地
ICOC1IC/IICIC	007Bh 番地
ICOH1IC/SCLDAIC	007Ch 番地
ICOH2IC	007Dh 番地
ICOH3IC	007Eh 番地
BTIC	007Fh 番地

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。

複数の割り込み要因がレジスタを共用している場合は、IFSR2A、IFSR3A、IFSR4A レジスタで選択してください。

IR (割り込み要求ビット) (b3)

IRビットが“0”のときに“1”を書かないでください。

12.2.3 割り込み制御レジスタ2

(INT7IC/SS0IC、INT6IC/LIN0IC、INT3IC、INT5IC、INT4IC、INT0IC~INT2IC)

割り込み制御レジスタ2		シンボル	アドレス	リセット後の値
		シンボル、アドレスは下表参照		XX00 X000b
ビットシンボル	ビット名	機能		RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	0 0 0: レベル0 (割り込み禁止)	RW
ILVL1		0 0 1: レベル1	RW	
ILVL2		0 1 0: レベル2	RW	
		0 1 1: レベル3	RW	
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	RW	
POL	極性切り替えビット	0: 立ち下がりエッジを選択 1: 立ち上がりエッジを選択	RW	
— (b5)	予約ビット	“0” にしてください。		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—

シンボル	アドレス
INT7IC/SS0IC	0042h
INT6IC/LIN0IC	0043h
INT3IC	0044h
INT5IC	0048h
INT4IC	0049h

シンボル	アドレス
INT0IC	005Dh
INT1IC	005Eh
INT2IC	005Fh

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。複数の割り込み要因がレジスタを共用している場合は、IFSR4 レジスタで選択してください。

IR (割り込み要求ビット) (b3)

IR ビットは“0”のときに“1”を書かないでください。

IFSR4A レジスタの IFSR44 ビットが“1” (SS0) の場合、SS0IC レジスタの IR ビットは RO になります。したがって、“0”を書いても“0”になりません。

同様に IFSR4A レジスタの IFSR45 ビットが“1” (LIN0) の場合、LIN0IC レジスタの IR ビットは RO になります。したがって、“0”を書いても“0”になりません。

シリアルバスインタフェース、LIN モジュールの割り込みが、I フラグ、IR ビット、ILVL0~ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1 つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1” (割り込み許可) の場合、割り込み制御レジスタの IR ビットが“1” (割り込み要求あり) になります。

- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

POL (極性切り替えビット) (b4)

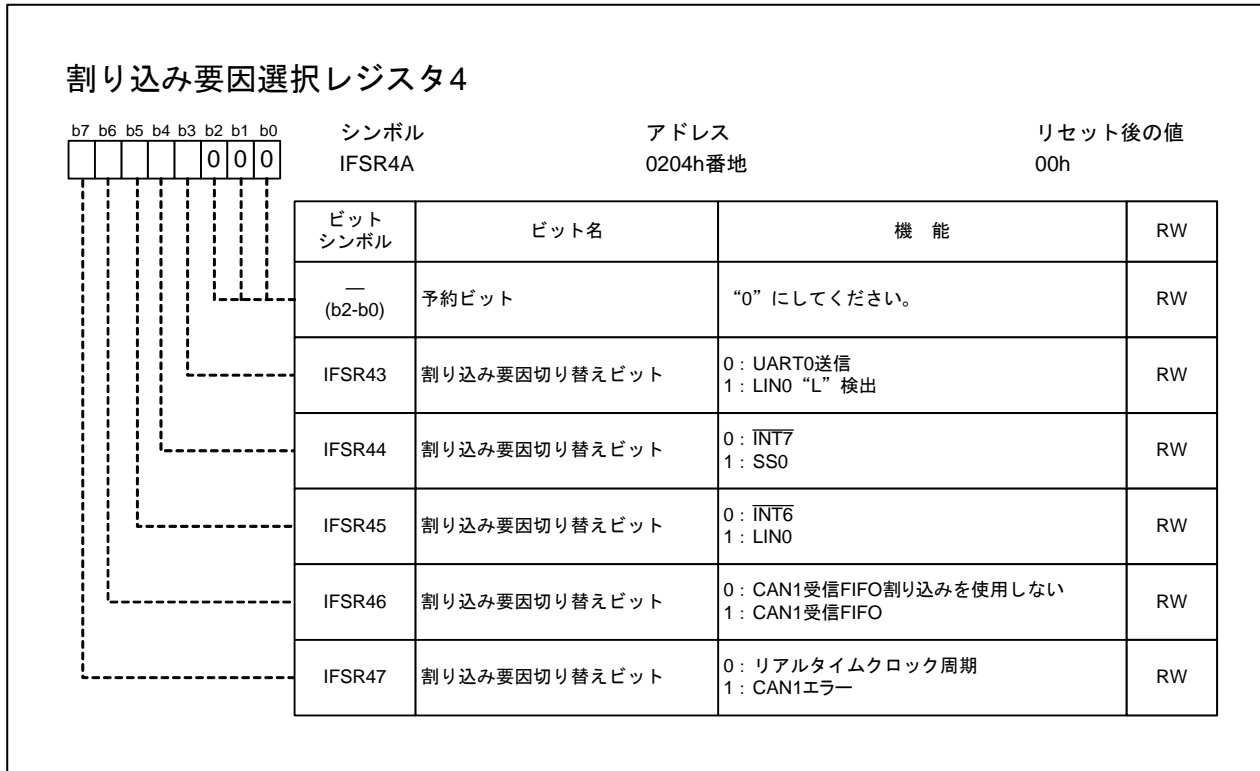
IFSRレジスタのIFSR_iビット(i=0~5)が“1”(両エッジ)の場合、INT_iICレジスタのPOLビットを“0”(立ち下がリエッジ)にしてください。

IFSR3AレジスタのIFSR30、IFSR31ビットが“1”(両エッジ)の場合、INT6IC、INT7ICレジスタのPOLビットを“0”(立ち下がリエッジ)にしてください。

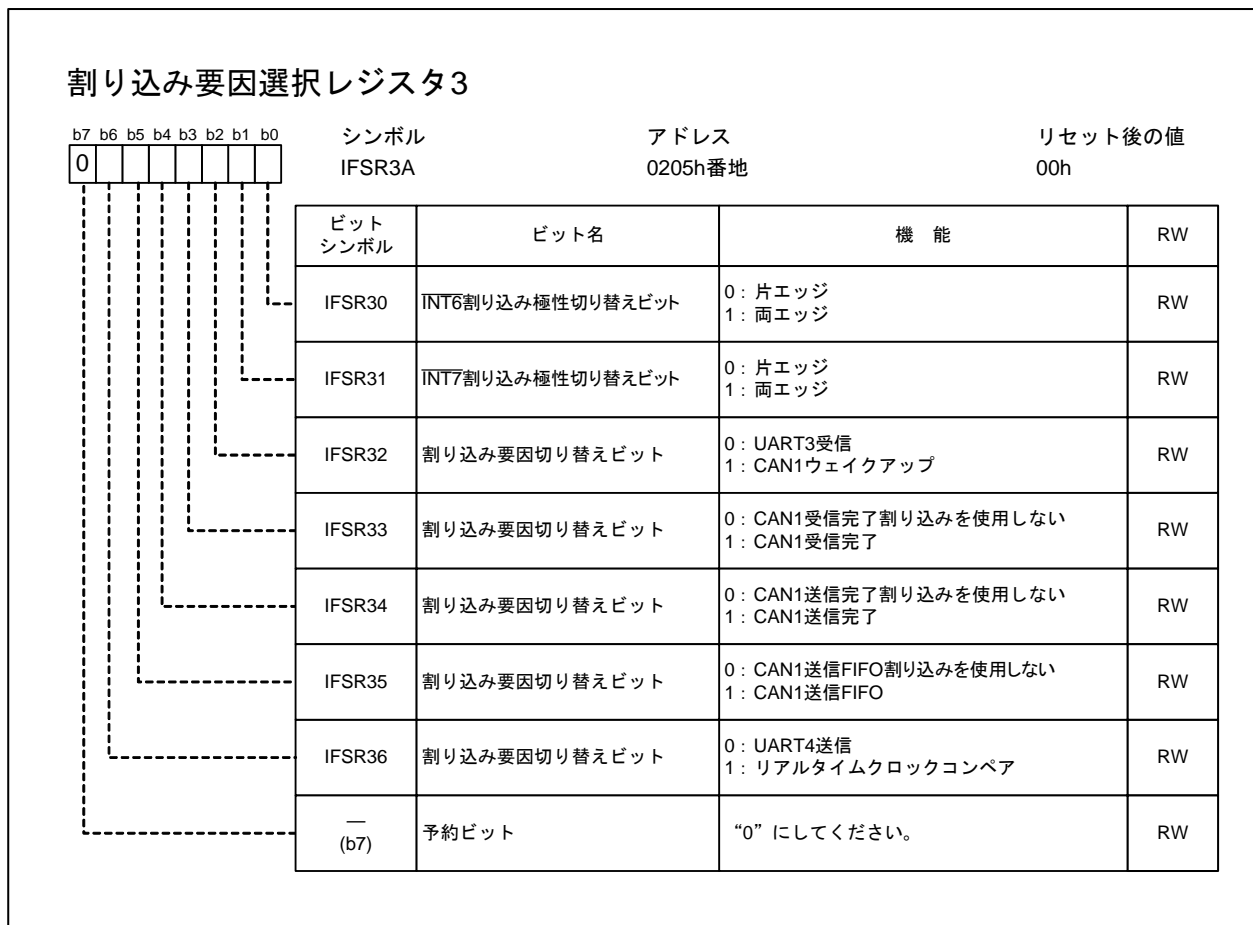
IFSR4AレジスタのIFSR44ビットが“1”(SS0)の場合、SS0ICレジスタのPOLビットは“0”にしてください。

IFSR4AレジスタのIFSR45ビットが“1”(LIN0)の場合、LIN0ICレジスタのPOLビットは“0”にしてください。

12.2.4 割り込み要因選択レジスタ4 (IFSR4A)

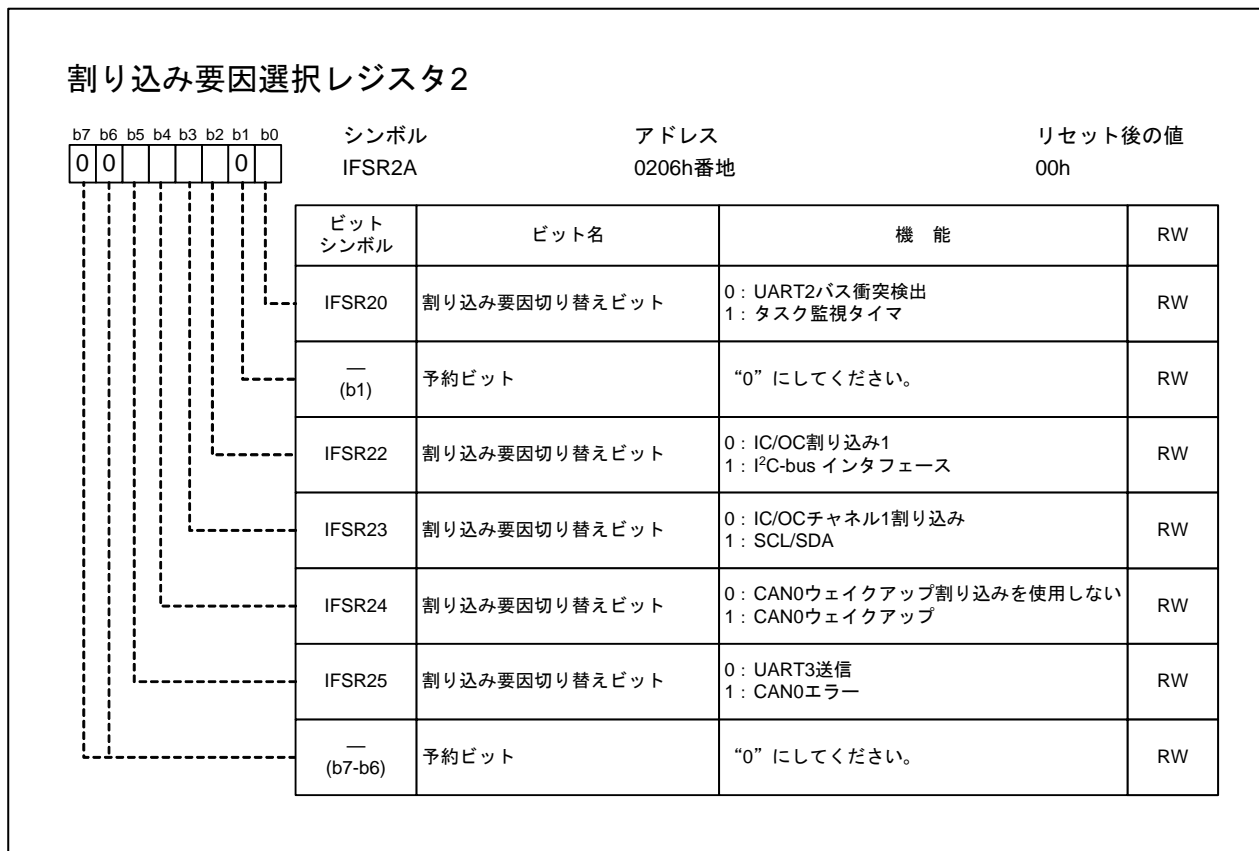


12.2.5 割り込み要因選択レジスタ3 (IFSR3A)

IFSR31、IFSR30 ($\overline{INT7}$ 、 $\overline{INT6}$ 割り込み極性切り替えビット) (b1、b0)

“1” (両エッジ) を選択する場合、対応するINT6IC、INT7ICレジスタのPOLビットを“0” (立ち下がりエッジ) にしてください。

12.2.6 割り込み要因選択レジスタ2 (IFSR2A)



12.2.7 割り込み要因選択レジスタ (IFSR)

割り込み要因選択レジスタ

ビット シンボル	ビット名	機 能	RW
IFSR0	INT0割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR1	INT1割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR2	INT2割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR3	INT3割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR4	INT4割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR5	INT5割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR6	割り込み要因切り替え ビット	0: INT4割り込みを使用しない 1: INT4	RW
IFSR7	割り込み要因切り替え ビット	0: INT5割り込みを使用しない 1: INT5	RW

シンボル: IFSR
アドレス: 0207h番地
リセット後の値: 00h

IFSR5~IFSR0 (INT5~INT0割り込み極性切り替えビット) (b5~b0)

“1” (両エッジ) を選択する場合は、対応する INTOIC~INT5IC レジスタの POL ビットを“0” (立ち下がりエッジ) にしてください。

12.2.8 アドレス一致割り込み許可レジスタ (AIER)

アドレス一致割り込み許可レジスタ

ビット シンボル	ビット名	機 能	RW
AIER0	アドレス一致割り込み0許可 ビット	0: 禁止 1: 許可	RW
AIER1	アドレス一致割り込み1許可 ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

シンボル: AIER
アドレス: 020Eh番地
リセット後の値: XXXX XX00b

12.2.9 アドレス一致割り込み許可レジスタ2 (AIER2)

アドレス一致割り込み許可レジスタ2

ビット シンボル	ビット名	機 能	RW
AIER20	アドレス一致割り込み2許可ビット	0: 禁止 1: 許可	RW
AIER21	アドレス一致割り込み3許可ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

シンボル: AIER2
アドレス: 020Fh番地
リセット後の値: XXXX XX00b

12.2.10 アドレス一致割り込みレジスタi (RMADi) (i=0~3)

アドレス一致割り込みレジスタi (i=0~3)

シンボル	アドレス	リセット後の値
RMAD0	0212h~0210h番地	X0 0000h
RMAD1	0216h~0214h番地	X0 0000h
RMAD2	021Ah~0218h番地	X0 0000h
RMAD3	021Eh~021Ch番地	X0 0000h

機 能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ (b19-b0)	00000h~FFFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

12.2.11 $\overline{\text{NMI}}$ デジタルデバウンスレジスタ (NDDR)

NMI デジタルデバウンスレジスタ			
b7 [] b0	シンボル NDDR	アドレス 02FEh番地	リセット後の値 FFh
	機 能	設定範囲	RW
	設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\overline{\text{NMI}}/\overline{\text{SD}}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、ストップモードに入る前に、NDDRレジスタに“FFh”を設定してください。

このレジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送を入らないようにしてください。

12.2.12 P1_7 デジタルデバウンスレジスタ (P17DDR)

P1_7 デジタルデバウンスレジスタ			
b7 [] b0	シンボル P17DDR	アドレス 02FFh番地	リセット後の値 FFh
	機 能	設定範囲	RW
	設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\text{INPC1}_7/\text{INT5}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

ストップモードからの復帰に $\overline{\text{INT5}}$ 割り込みを使用する場合、ストップモードに入る前に、P17DDRレジスタに“FFh”を設定してください。

12.3 割り込みの分類

図 12.1に割り込みの分類を示します。

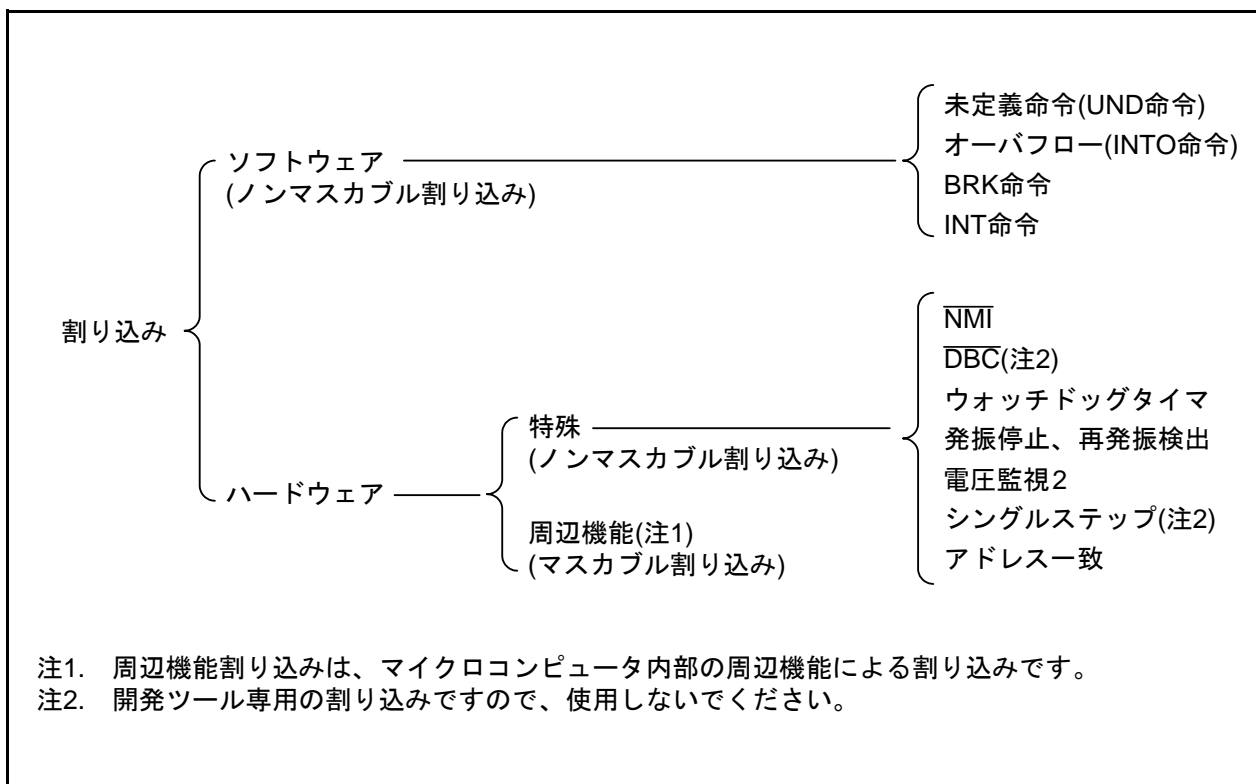


図 12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

12.4 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.4.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.4.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”（演算の結果がオーバフロー）の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.4.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.4.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0~63です。ソフトウェア割り込み番号0~31、41~63は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0~31では、命令実行時にUフラグを退避し、Uフラグを“0”（ISPを選択）にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32~63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.5 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

12.5.1 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

12.5.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「12.9 $\overline{\text{NMI}}$ 割り込み」を参照してください。

12.5.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.5.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマをリフレッシュしてください。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

12.5.1.4 発振停止/再発振検出割り込み

発振停止/再発振検出機能による割り込みです。発振停止/再発振検出機能の詳細は「8. クロック発生回路」を参照してください。

12.5.1.5 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

12.5.1.6 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.5.1.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.11 アドレス一致割り込み」を参照してください。

12.5.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 12.6 ~ 表 12.7 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.6 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 12.2 に割り込みベクタを示します。

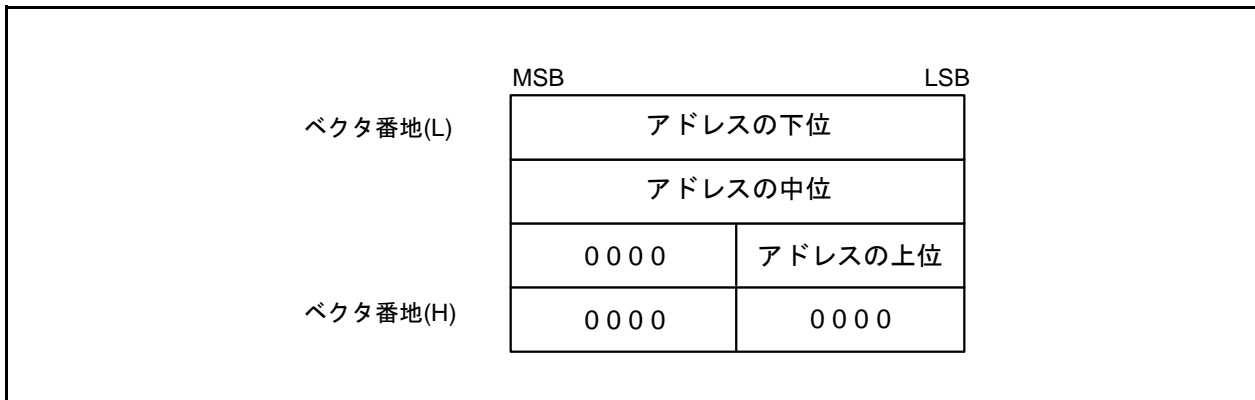


図 12.2 割り込みベクタ

12.6.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表 12.5 に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能やOFS1番地に使用します。詳細は「29. フラッシュメモリ」を参照してください。

表 12.5 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	参照先
未定義命令(UND命令)	FFFDCh~FFFDfH	M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル
オーバフロー(INTO命令)	FFFE0h~FFFE3h	
BRK命令(注2)	FFFE4h~FFFE7h	
アドレス一致	FFFE8h~FFFEbH	12.11 アドレス一致割り込み
シングルステップ(注1)	FFFECh~FFFEfH	—
ウォッチドッグタイマ、 発振停止/再発振検出、 電圧監視2	FFFF0h~FFFF3h	13. ウォッチドッグタイマ、 8. クロック発生回路、 7. 電圧検出回路
DBC(注1)	FFFF4h~FFFF7h	—
NMI	FFFF8h~FFFFbH	12.9 NMI割り込み
リセット	FFFFCh~FFFFFh	6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE6h番地の値がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行

12.6.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表 12.6 可変ベクタテーブル(1/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT命令割り込み (注5)	+0~+3 (0000h~0003h) ~ +252 ~+255 (00FCh~00FFh)	0~63	M16C/60、M16C/20、 M16C/Tiny シリーズソフトウェア マニュアル
BRK命令 (注5)	+0~+3 (0000h~0003h)	0	
E ² データフラッシュ	+4~+7 (0004h~0007h)	1	30. E ² PROMエミュレーション データフラッシュ
INT7、SS0 (注8)	+8~+11 (0008h~000Bh)	2	12.8 INT割り込み 23. シリアルバスインタフェース
INT6、LIN0 (注9)	+12~+15 (000Ch~000Fh)	3	12.8 INT割り込み 24. LINモジュール
INT3	+16~+19 (0010h~0013h)	4	12.8 INT割り込み
タイマB5	+20~+23 (0014h~0017h)	5	16. タイマB
タイマB4	+24~+27 (0018h~001Bh)	6	
タイマB3	+28~+31 (001Ch~001Fh)	7	
INT5 (注2)	+32~+35 (0020h~0023h)	8	12.8 INT割り込み
INT4 (注3)	+36~+39 (0024h~0027h)	9	
UART2バス衝突検出 (注6)、 タスク監視タイマ (注7)	+40~+43 (0028h~002Bh)	10	21. シリアルインタフェース UARTi (i=0~4) 19. タスク監視タイマ
DMA0	+44~+47 (002Ch~002Fh)	11	14. DMAC
DMA1	+48~+51 (0030h~0033h)	12	
キー入力割り込み	+52~+55 (0034h~0037h)	13	12.10 キー入力割り込み
A/Dコンバータ	+56~+59 (0038h~003Bh)	14	26. A/Dコンバータ
UART2送信、NACK2 (注4)	+60~+63 (003Ch~003Fh)	15	21. シリアルインタフェース UARTi (i=0~4)
UART2受信、ACK2 (注4)	+64~+67 (0040h~0043h)	16	
UART0送信、LIN0“L”検出 (注10)	+68~+71 (0044h~0047h)	17	21. シリアルインタフェース UARTi (i=0~4) 24. LINモジュール
UART0受信	+72~+75 (0048h~004Bh)	18	21. シリアルインタフェース UARTi (i=0~4)
UART1送信	+76~+79 (004Ch~004Fh)	19	
UART1受信	+80~+83 (0050h~0053h)	20	
タイマA0	+84~+87 (0054h~0057h)	21	15. タイマA
タイマA1	+88~+91 (0058h~005Bh)	22	
タイマA2	+92~+95 (005Ch~005Fh)	23	
タイマA3	+96~+99 (0060h~0063h)	24	
タイマA4	+100~+103 (0064h~0067h)	25	
タイマB0	+104~+107 (0068h~006Bh)	26	16. タイマB
タイマB1	+108~+111 (006Ch~006Fh)	27	
タイマB2	+112~+115 (0070h~0073h)	28	

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR7ビットを“1”にしてください。

注3. IFSRレジスタのIFSR6ビットを“1”にしてください。

注4. I²Cモード時にNACK、ACKが割り込み要因になります。

注5. Iフラグによる禁止はできません。

注6. バス衝突検出: IEモード時はバス衝突検出が割り込み要因になります。I²Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

注7. IFSR2AレジスタのIFSR20ビットで選択してください。

注8. IFSR4AレジスタのIFSR44ビットで選択してください。

注9. IFSR4AレジスタのIFSR45ビットで選択してください。

注10. IFSR4AレジスタのIFSR43ビットで選択してください。

表 12.7 可変ベクタテーブル(2/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT0	+116~+119 (0074h~0077h)	29	12.8 INT割り込み
INT1	+120~+123 (0078h~007Bh)	30	
INT2	+124~+127 (007Ch~007Fh)	31	
DMA2	+164~+167 (00A4h~00A7h)	41	14. DMAC
DMA3	+168~+171 (00A8h~00ABh)	42	
CAN1受信完了 (注6)	+172~+175 (00ACh~00AFh)	43	25. CANモジュール
CAN1送信完了 (注7)	+176~+179 (00B0h~00B3h)	44	
CAN1受信FIFO (注8)	+180~+183 (00B4h~00B7h)	45	
CAN1送信FIFO (注9)	+184~+187 (00B8h~00BBh)	46	
UART4送信、リアルタイムクロックコンペア (注2)	+188~+191 (00BCh~00BFh)	47	20. リアルタイムクロック 21. シリアルインタフェース UARTi (i=0~4)
UART4受信	+192~+195 (00C0h~00C3h)	48	
CAN0ウェイクアップ	+196~+199 (00C4h~00C7h)	49	25. CANモジュール
UART3送信、CAN0エラー (注4)	+200~+203 (00C8h~00CBh)	50	21. シリアルインタフェース UARTi (i=0~4)
UART3受信、CAN1ウェイクアップ (注10)	+204~+207 (00CCh~00CFh)	51	
リアルタイムクロック周期、CAN1エラー (注11)	+208~+211 (00D0h~00D3h)	52	20. リアルタイムクロック、 25. CANモジュール
CAN0受信完了	+212~+215 (00D4h~00D7h)	53	25. CANモジュール
CAN0送信完了	+216~+219 (00D8h~00DBh)	54	
CAN0受信FIFO	+220~+223 (00DCh~00DFh)	55	
CAN0送信FIFO	+224~+227 (00E0h~00E3h)	56	
IC/OC割り込み0 (0~7)	+228~+231 (00E4h~00E7h)	57	18. タイマS 22. マルチマスタI ² C-busインタ フェース
IC/OCチャンネル0	+232~+235 (00E8h~00EBh)	58	
IC/OC割り込み1 (0~7) I ² Cbus割り込み (注3)	+236~+239 (00ECh~00EFh)	59	
IC/OCチャンネル1、SCL/SDA割り込み (注5)	+240~+243 (00F0h~00F3h)	60	
IC/OCチャンネル2	+244~+247 (00F4h~00F7h)	61	
IC/OCチャンネル3	+248~+251 (00F8h~00FBh)	62	
IC/OCベースタイマ	+252~+255 (00FCh~00FFh)	63	

- 注1. INTBレジスタが示す番地からの相対番地です。
注2. IFSR3AレジスタのIFSR36ビットで選択してください。
注3. IFSR2AレジスタのIFSR22ビットで選択してください。
注4. IFSR2AレジスタのIFSR25ビットで選択してください。
注5. IFSR2AレジスタのIFSR23ビットで選択してください。
注6. IFSR3AレジスタのIFSR33ビットを“1”にしてください。
注7. IFSR3AレジスタのIFSR34ビットを“1”にしてください。
注8. IFSR4AレジスタのIFSR46ビットを“1”にしてください。
注9. IFSR3AレジスタのIFSR35ビットを“1”にしてください。
注10. IFSR3AレジスタのIFSR32ビットで選択してください。
注11. IFSR4AレジスタのIFSR47ビットで選択してください。

12.7 割り込み制御

12.7.1 マスカブル割り込みの制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、**FLG**レジスタの**I**フラグ、**IPL**、各割り込み制御レジスタの**ILVL2~ILVL0**ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの**IR**ビットに示されます。

12.7.1.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

12.7.1.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられた後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、シリアルバスインタフェース、LINモジュールの割り込みでは、IRビットの動作が異なります。「12.2.3 割り込み制御レジスタ2 (INT7IC/SS0IC、INT6IC/LIN0IC、INT3IC、INT5IC、INT4IC、INT0IC~INT2IC)」を参照してください。

12.7.1.3 ILVL2~ILVL0ビット、IPL

割り込み優先レベルは、**ILVL2~ILVL0**ビットで設定できます。

表 12.8 に割り込み優先レベルの設定、表 12.9 に **IPL** により許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、**ILVL2~ILVL0**ビット、**IPL**はそれぞれ独立しており、互いに影響を与えることはありません。

表 12.8 割り込み優先レベルの設定


ILVL2~ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い  高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 12.9 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクブル割り込みを禁止

12.7.2 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図 12.3 に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
 - Iフラグは“0”(割り込み禁止)
 - Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
 - Uフラグは“0”(ISPを指定)
 ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

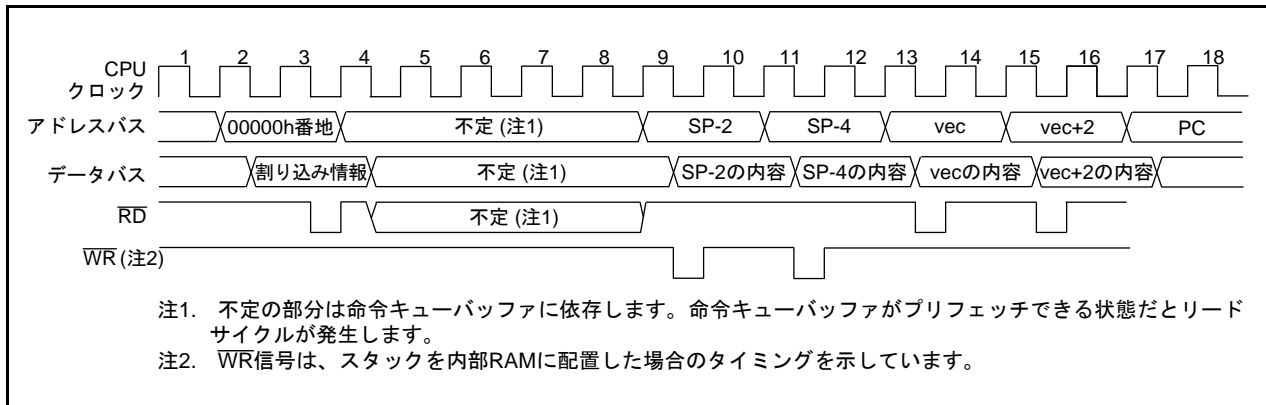


図 12.3 割り込みシーケンスの実行時間

12.7.3 割り込み応答時間

図 12.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 12.4の(a))と割り込みシーケンスを実行する時間(図 12.4の(b))で構成されます。

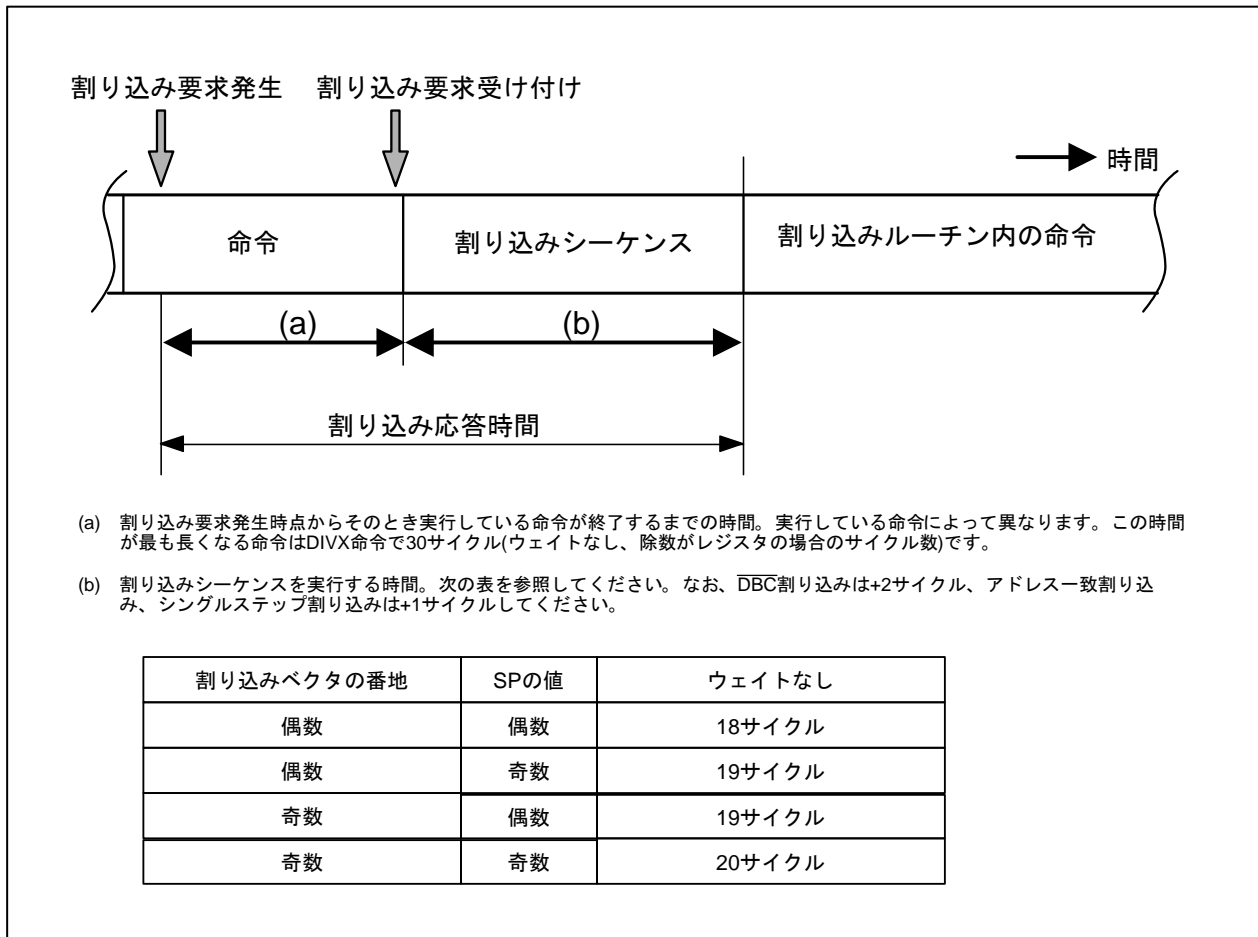


図 12.4 割り込み応答時間

12.7.4 割り込み要求受け付け時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 12.10に示す値がIPLに設定されます。表 12.10にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 12.10 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、NMI、発振停止/再発振検出、電圧監視2	7
ソフトウェア、アドレス一致、 \overline{DBC} 、シングルステップ	変化しない

12.7.5 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図12.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

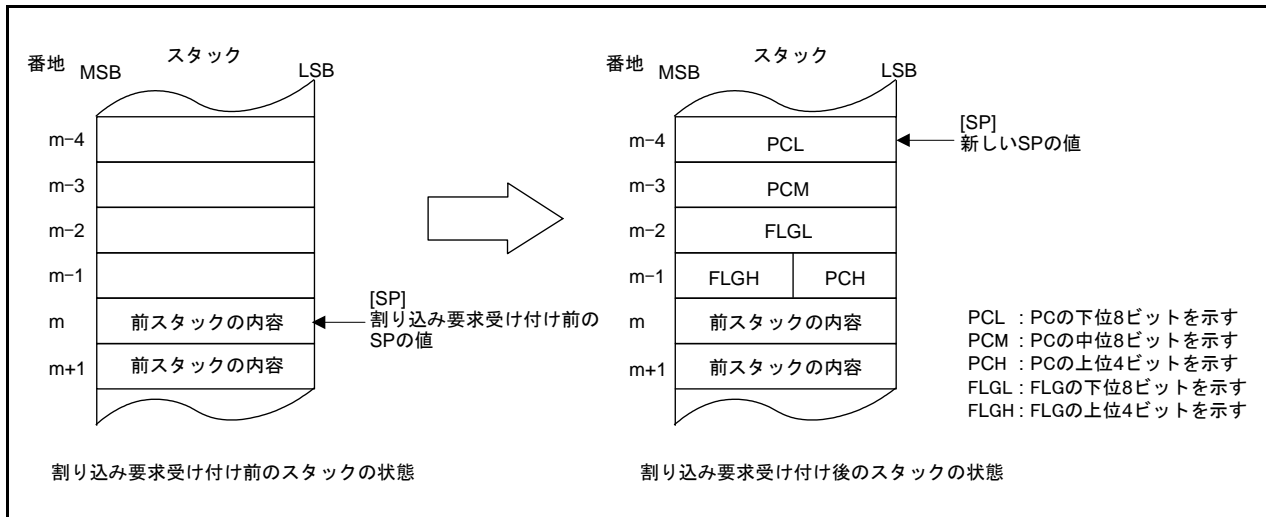


図 12.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図12.6にレジスタ退避動作を示します。

注1. ソフトウェア番号32~63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

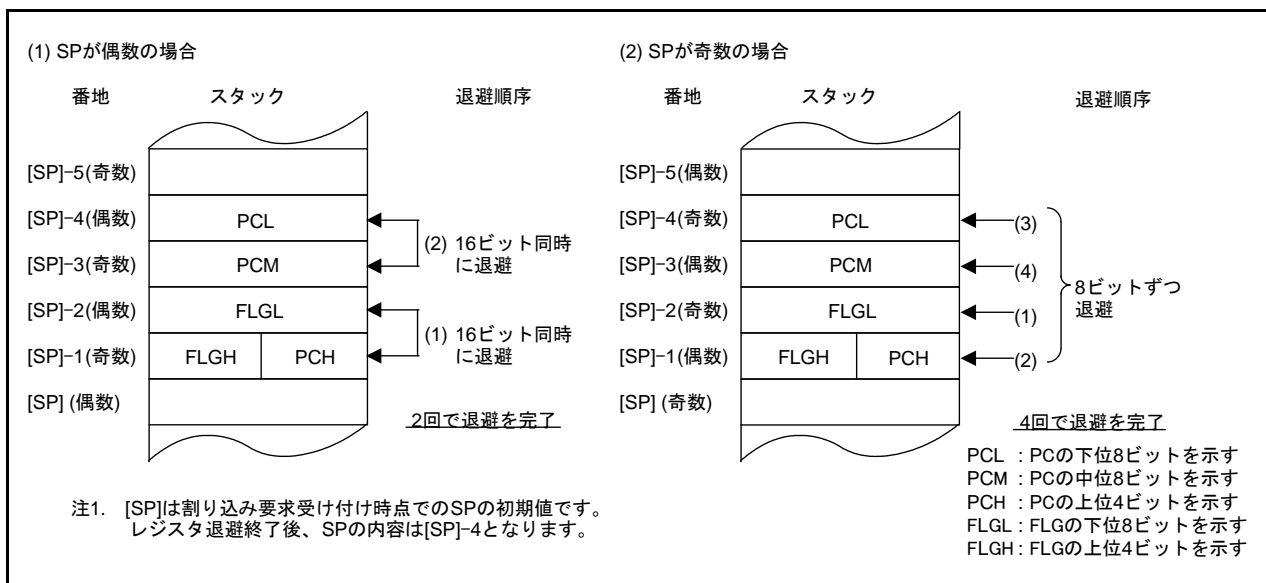


図 12.6 レジスタ退避動作

12.7.6 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

12.7.7 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺機能割り込み)の優先レベルは、ILVL2~ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図12.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

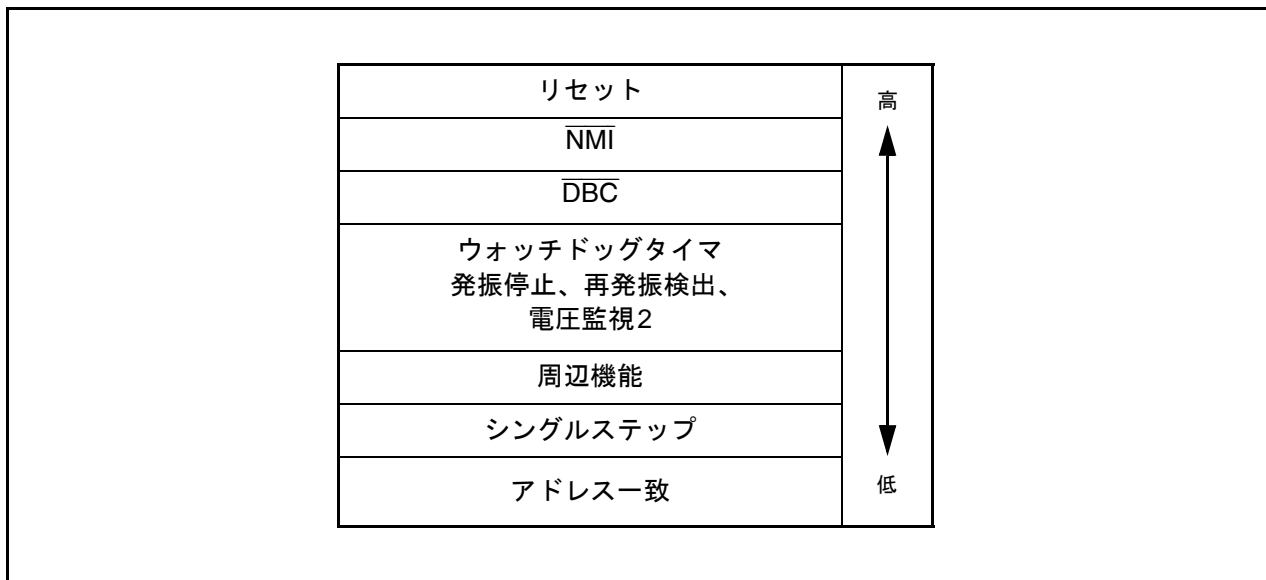


図 12.7 ハードウェア割り込みの割り込み優先順位

12.7.8 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図12.8に割り込み優先レベル判定回路を示します。

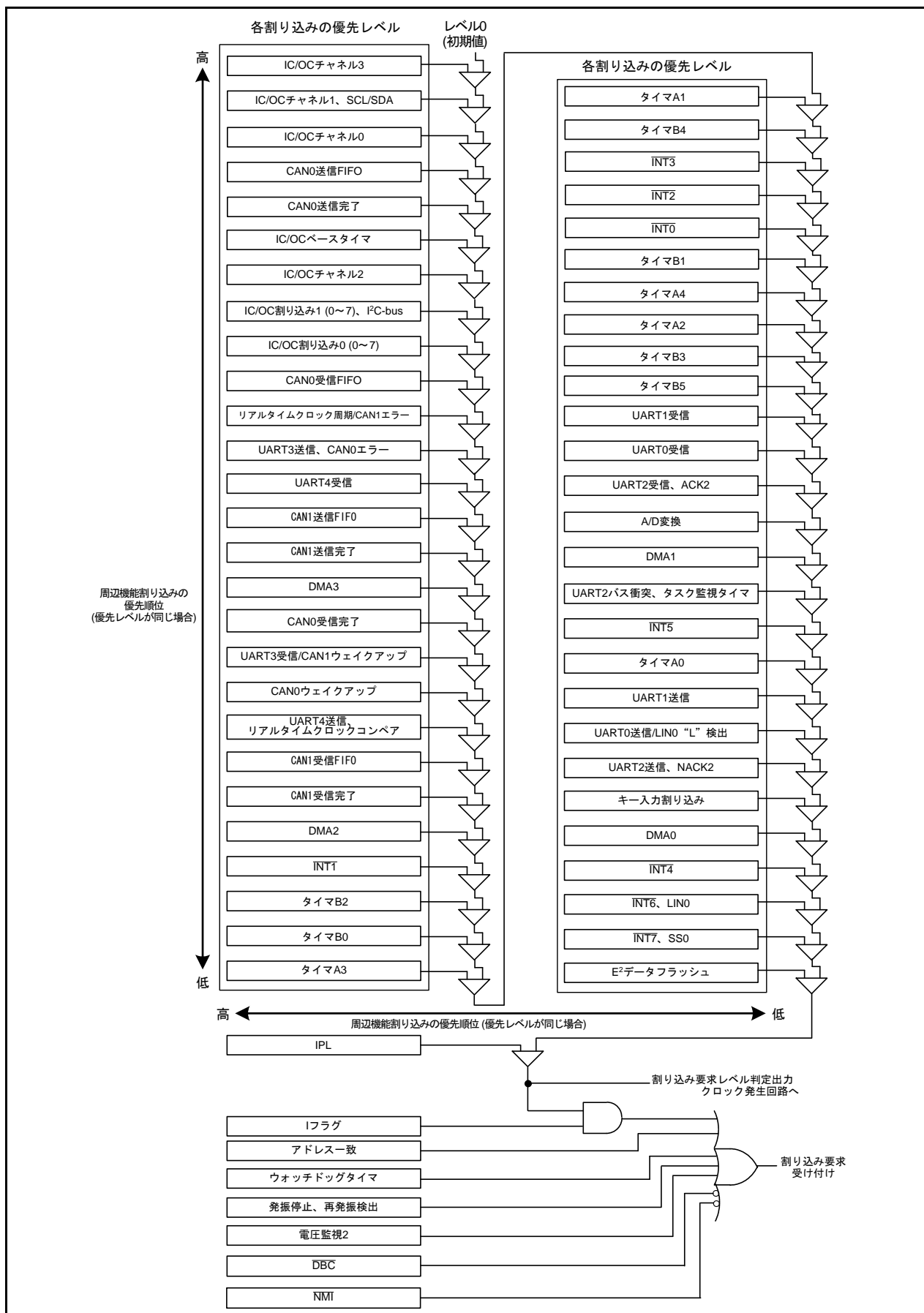


図 12.8 割り込み優先レベル判定回路

12.7.9 多重割り込み

割り込みルーチンへ分岐したときの状態は次のとおりです。

- Iフラグ = 0 (割り込み禁止)
- IRビット = 0 (割り込み要求なし)
- 割り込み優先レベル = IPL

割り込みルーチン内でIフラグを“1” (割り込み許可)にすることによって、IPLより高い優先順位を持つ割り込み要求を受け付けることができます。

なお、優先順位が低いために受け付けられなかった割り込み要求 (IRビット)は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、次の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の > 復帰されたIPL
割り込み優先レベル

12.8 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT}}_i$ 割り込み($i=0\sim 5$)は外部入力による割り込みです。極性をIFSRレジスタのIFSR $_i$ ビットで選択できます。

$\overline{\text{INT}}_4$ 割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1” ($\overline{\text{INT}}_4$)に、 $\overline{\text{INT}}_5$ 割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1” ($\overline{\text{INT}}_5$)にしてください。

$\overline{\text{INT}}_6$ 、 $\overline{\text{INT}}_7$ 割り込みは外部入力による割り込みです。極性をIFSR3AレジスタのIFSR30、IFSR31ビットで選択できます。

$\overline{\text{INT}}_6$ 割り込みを使用するときは、IFSR4AレジスタのIFSR45ビットを“0” ($\overline{\text{INT}}_6$)に、 $\overline{\text{INT}}_7$ 割り込みを使用するときはIFSR4AレジスタのIFSR44ビットを“0” ($\overline{\text{INT}}_7$)にしてください。

12.9 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。 $\overline{\text{NMI}}$ 割り込みを使用する場合は、PM2レジスタのPM24ビットを“1” ($\overline{\text{NMI}}$ 割り込み許可)にしてください。 $\overline{\text{NMI}}$ 入力にはデジタルデバウンス機能があります。デジタルデバウンス機能は「11. プログラマブル入出力ポート」を参照してください。図 12.9に $\overline{\text{NMI}}$ 割り込みのブロック図を示します。

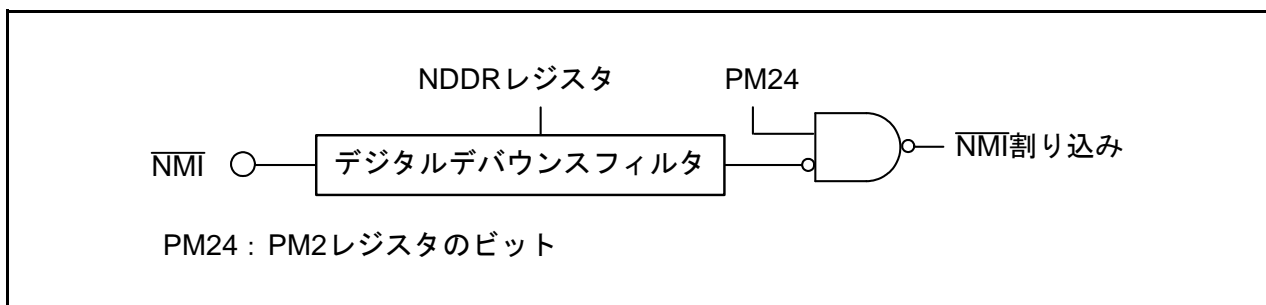


図 12.9 $\overline{\text{NMI}}$ 割り込みのブロック図

12.10 キー入力割り込み

P10_4 ~ P10_7のうち、PD10レジスタのPD10_4 ~ PD10_7ビットを“0” (入力)にしている端子のいずれかの入力が“L”レベルになると、KUPICレジスタのIRビットが“1” (キー入力割り込み要求あり)になります。KI0~KI3端子のいずれかをキー入力割り込み入力に使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。なお、PD10_4 ~ PD10_7ビットを“0” (入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力はキー入力割り込みとして検知されません。

キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

図 12.10にキー入力割り込みのブロック図を示します。

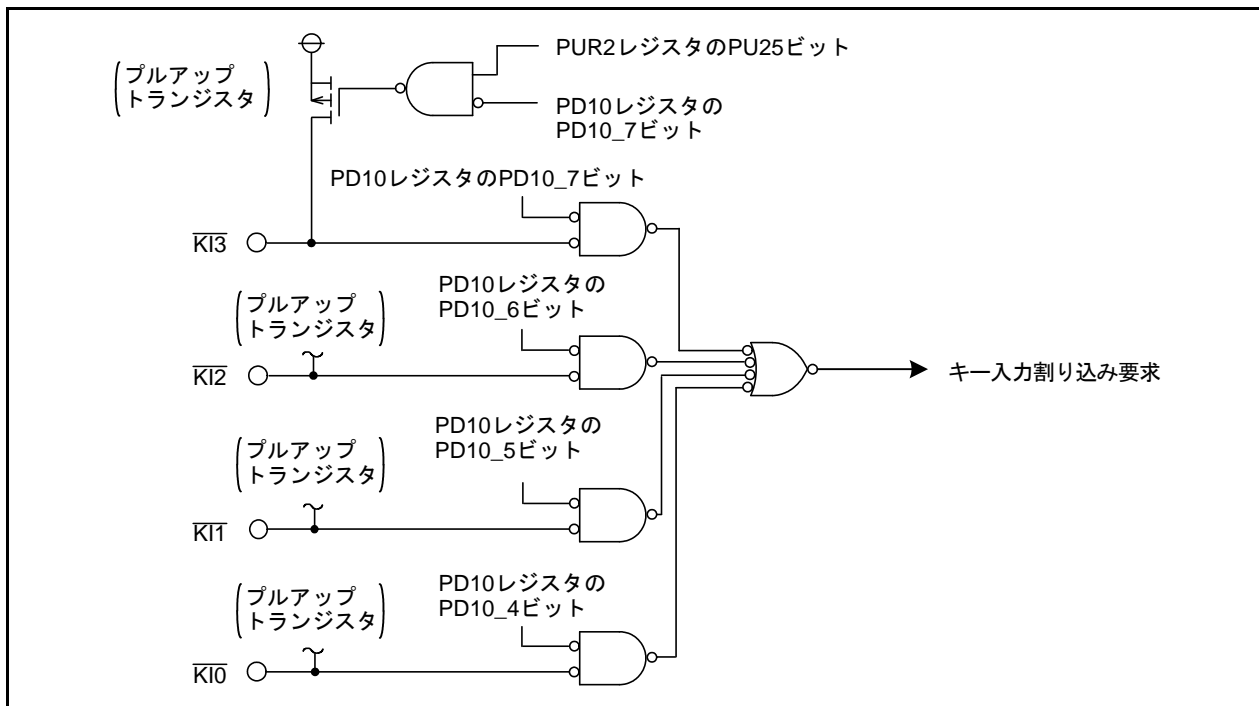


図 12.10 キー入力割り込みのブロック図

12.11 アドレス一致割り込み

RMAD_iレジスタ (i=0~3) で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMAD_iレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.7.5 レジスタ退避」参照)は、RMAD_iレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの値を書き換えてREIT命令で復帰する
- スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 12.11 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD _i レジスタで示される番地の命令	退避されるPCの値
<ul style="list-style-type: none"> • 16ビットオペコード命令 • 8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest=A0またはA1)	RMAD _i レジスタで示される番地+2
上記以外	RMAD _i レジスタで示される番地+1

退避されるPCの値: 「12.7.5 レジスタ退避」参照

表 12.12 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

12.12 ノンマスカブル割り込み要因の判別

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。表 12.13にノンマスカブル割り込みの要因判別に使用するビットを示します。

表 12.13 ノンマスカブル割り込みの要因判別に使用するビット

割り込み	検出フラグ	
	ビット位置	機能
ウォッチドッグタイマ	VW2CレジスタのVW2C3ビット (ウォッチドッグタイマアンダフロー検出)	0: 未検出 1: 検出
発振停止/再発振検出	CM2レジスタのCM22ビット (発振停止/再発振検出)	
電圧監視2	VW2CレジスタのVW2C2ビット (Vdet2通過検出)	

12.13 割り込み使用上の注意事項

12.13.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

12.13.2 SPの設定

割り込みを受け付ける前に、SP (USP、ISP) に値を設定してください。リセット後、SP (USP、ISP) は“0000h”です。そのため、SP (USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、すべての割り込みが禁止されています。

12.13.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”($\overline{\text{NMI}}$ 割り込み禁止) にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットに“1”を設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットに“1”を設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

12.13.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 12.11 に割り込み要因の変更手順例を示します。

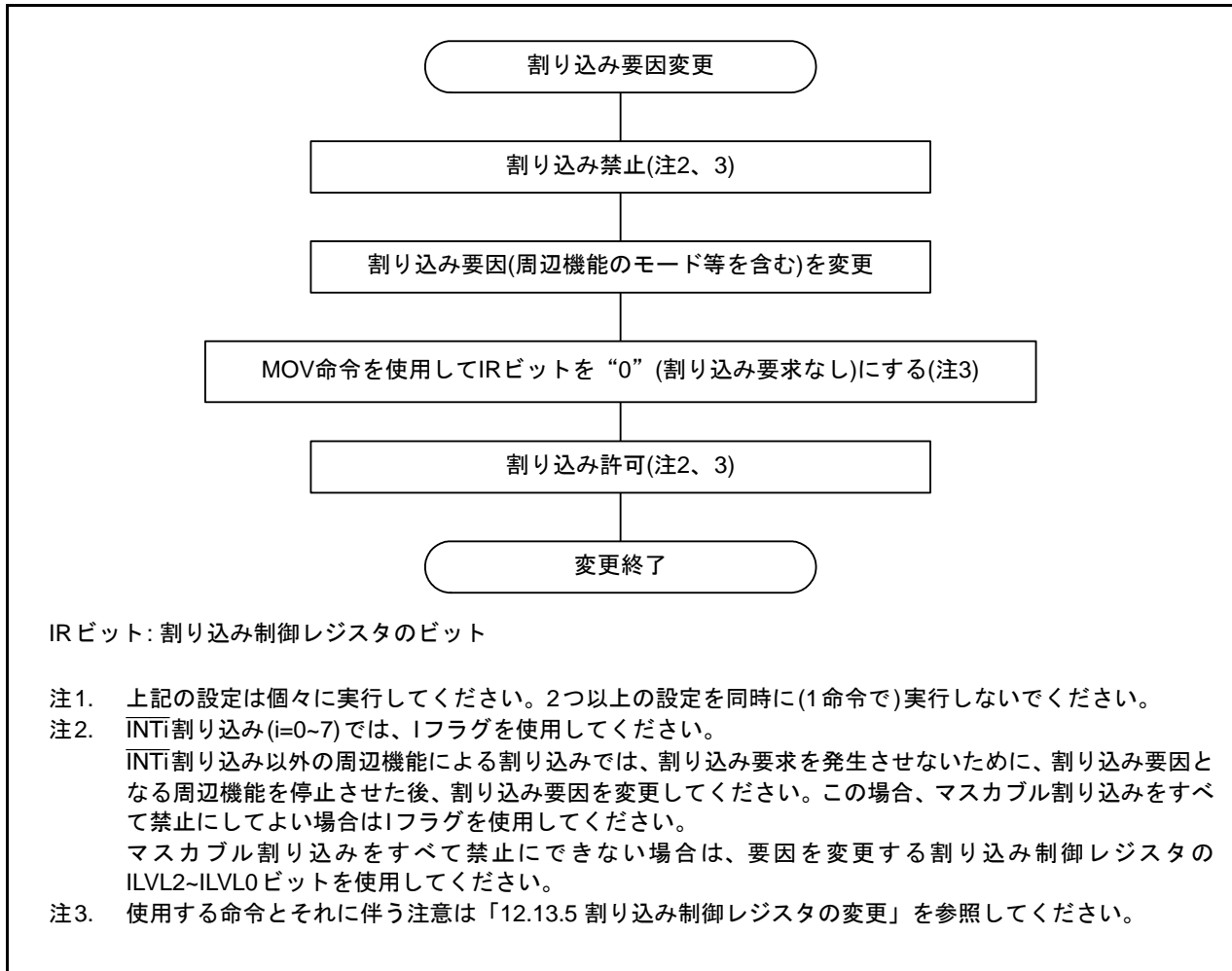


図 12.11 割り込み要因の変更手順例

12.13.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所で変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「12.13.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ;割り込み禁止
  AND.B   #00H, 0055H     ;TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ;割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ;割り込み禁止
  AND.B   #00H, 0055H     ;TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0        ;ダミーリード
  FSET    I                ;割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ;割り込み禁止
  AND.B   #00H, 0055H     ;TA0ICレジスタを“00h”にする
  POPC    FLG            ;割り込み許可
```

12.13.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。

AND、OR、BCLR、BSET、MOV

このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

12.13.7 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT0}}$ ~ $\overline{\text{INT7}}$ 端子に入力する信号には、CPUクロックに関係なく $t_w(\text{INL})$ 以上の“L”幅または $t_w(\text{INH})$ 以上の“H”幅が必要です。
- INT0IC ~ INT5IC レジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。
- INT6IC ~ INT7IC レジスタのPOLビット、IFSR3AレジスタのIFSR31~IFSR30ビット、IFSR4AレジスタのIFSR45~IFSR44ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

13. ウォッチドッグタイマ

13.1 概要

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表 13.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.4.7 ウォッチドッグタイマリセット」を参照してください。

図 13.1にウォッチドッグタイマのブロック図を示します。

表 13.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ専用125kHzオンチップオシレータクロック (fWDT)
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 (OFS1番地のWDTONビットで選択) <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	<ul style="list-style-type: none"> ストップモード ウェイトモード EW1モードでコマンド実行中(サスペンド中は除く)。 	なし
ウォッチドッグタイマカウンタリフレッシュタイミング	<ul style="list-style-type: none"> リセット(「6. リセット」を参照してください) WDTRレジスタに“00h”、続いて“FFh”を書く(受け付け期間の設定あり) アンダフロー 	
ウォッチドッグタイマの初期値	7FFFh	OFS2番地のWDTUFS1~WDTUFS0ビットで選択
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比 16分周または128分周 (WDCレジスタのWDC7ビットで選択) ただし、CM0レジスタのCM07ビットが“1”(サブクロック)の場合は2分周 カウントソース保護モード 有効または無効 (OFS1番地のCSPROINIビットまたはCSPRレジスタのCSPROビットで選択) ウォッチドッグタイマのリフレッシュ受け付け周期 OFS2番地のWDTRCS1~WDTRCS0ビットで選択 	

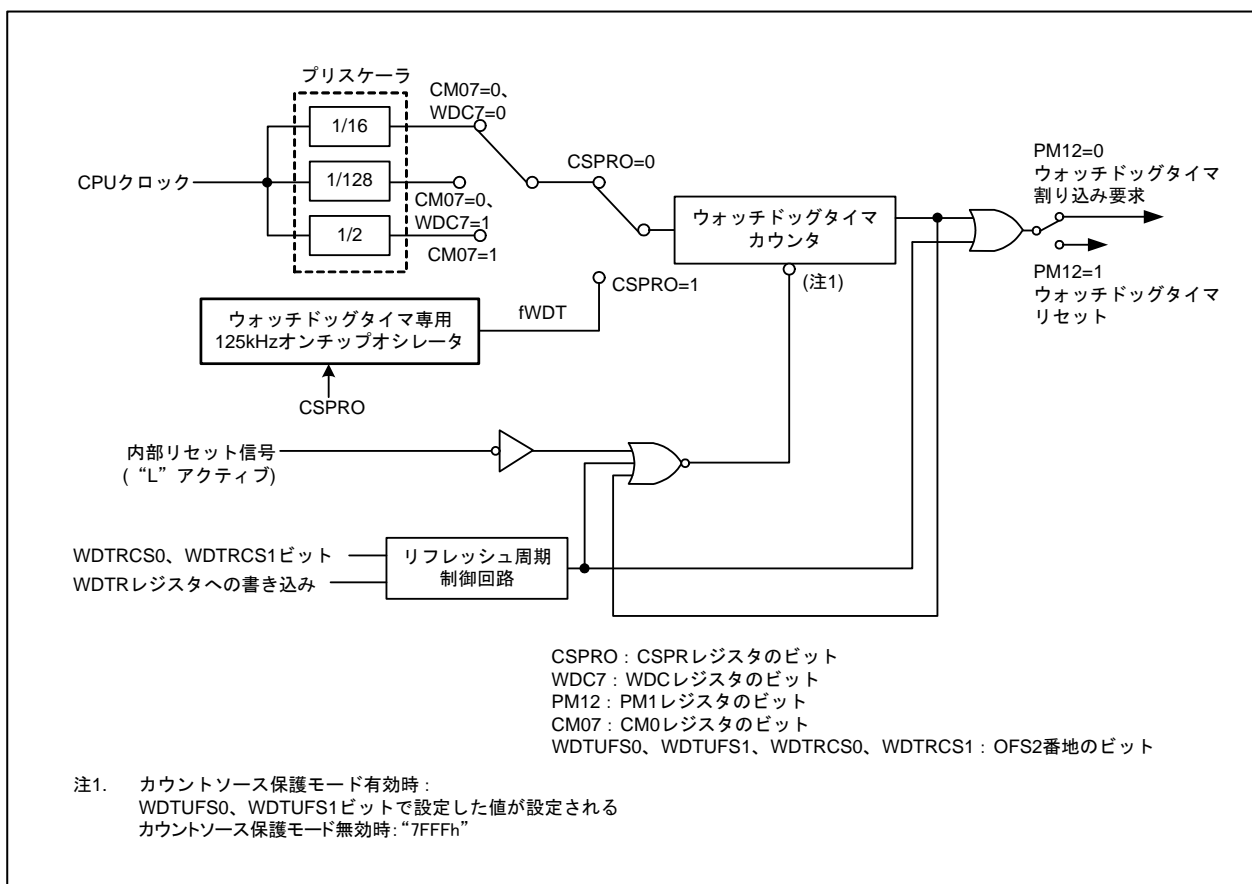


図 13.1 ウォッチドッグタイマのブロック図

13.2 レジスタの説明

表 13.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注1)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb

注1. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

13.2.1 電圧監視2回路制御レジスタ (VW2C)

電圧監視2回路制御レジスタ		リセット後の値 1000 0X10b (ハードウェアリセット、 パワーオンリセット、電圧監視0リセット)	
シンボル VW2C	アドレス 002Ch番地		
		ビット シンボル	RW
		VW2C0	RW
		VW2C1	RW
		VW2C2	RW
		VW2C3	RW
		VW2F0	RW
		VW2F1	
		VW2C6	RW
		VW2C7	RW

ビット シンボル	ビット名	機 能	RW
VW2C0	電圧監視2割り込み/ リセット許可ビット	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ 無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW
VW2C2	電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ	0: 未検出 1: ウォッチドッグタイマアンダフロー検出	RW
VW2F0	サンプリングクロック選択 ビット	b5 b4	RW
VW2F1		0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	
VW2C6	電圧監視2回路モード選択 ビット	0: Vdet2通過時に電圧監視2割り込み 1: Vdet2通過時に電圧監視2リセット	RW
VW2C7	電圧監視2割り込み/ リセット発生条件選択ビット	0: VCC がVdet2以上になるとき 1: VCC がVdet2以下になるとき	RW

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタ(VW2C3ビットを除く)を書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

VW2C2、VW2C3ビットは、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2C3 (WDT検出フラグ) (b3)

割り込みルーチンでウォッチドッグタイマ、発振停止/再発振検出、電圧監視2の要因判別に使用してください。

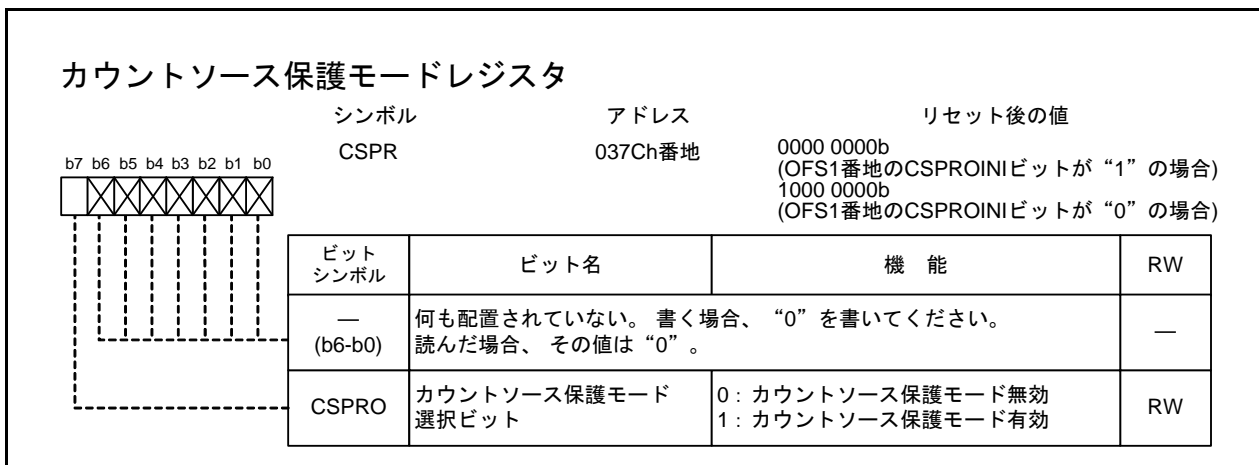
["0"]になる条件]

- プログラムで“0”を書く

["1"]になる条件]

- ウォッチドッグタイマのアンダフロー検出
(プログラムで“1”を書いても変化しません)

13.2.2 カウントソース保護モードレジスタ (CSPR)



CSPRO (カウントソース保護モード選択ビット) (b7)

CSPRO ビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。

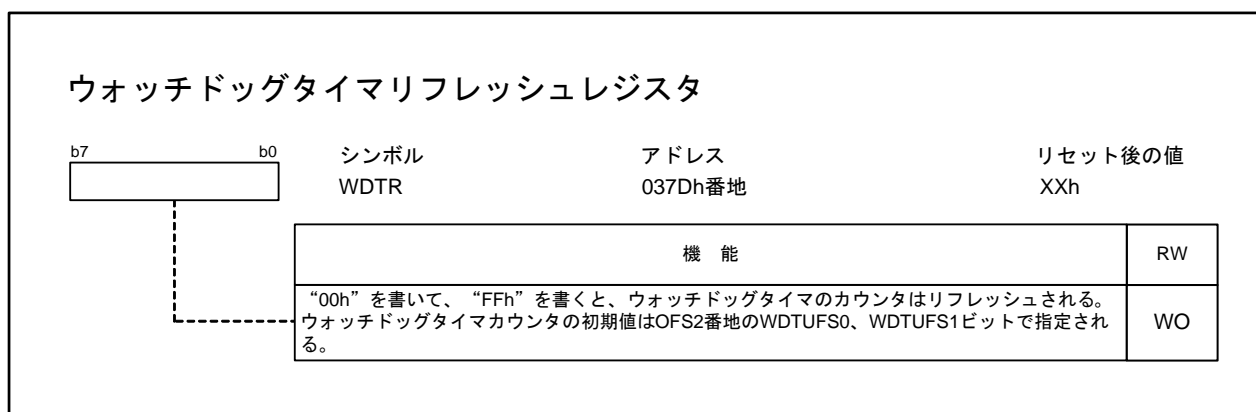
CSPR レジスタのCSPRO ビットを“1” (カウントソース保護モード有効) にすると、自動的に次のようになります。

- ウォッチドッグタイマ専用 125kHz オンチップオシレータが発振
- PM1 レジスタのPM12 ビットが“1” (ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)
- ウォッチドッグタイマの初期値がOFS2番地のWDTUFS1~WDTUFS0で選択した値になる

OFS1番地のCSPROINIビットが“0”の場合、CSPRO ビットは“1”になります。CSPROINI ビットはプログラムでは変更できません。CSPROINI ビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

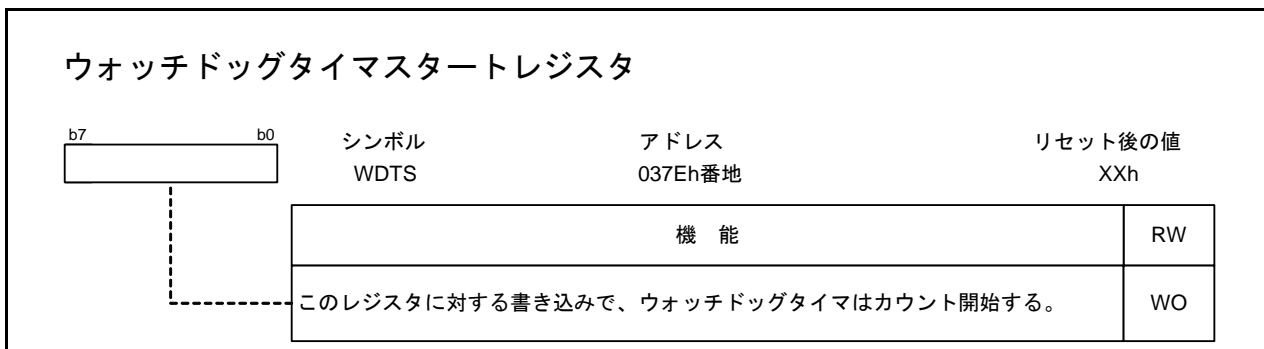
ウォッチドッグタイマ動作中にCSPRO ビットを変更しないでください。

13.2.3 ウォッチドッグタイマリフレッシュレジスタ (WDTR)



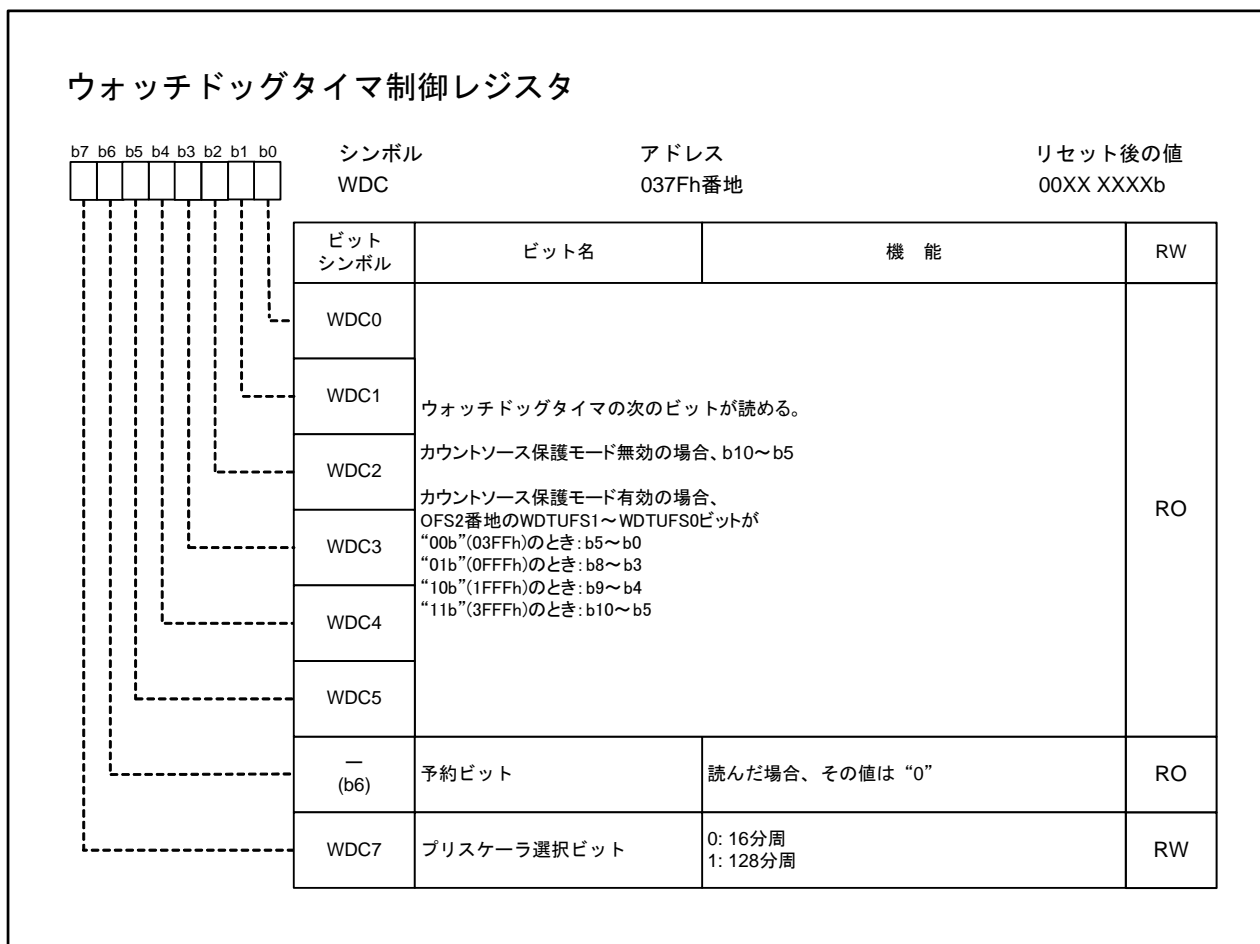
ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

13.2.4 ウォッチドッグタイマスタートレジスタ (WDTS)



WDTSレジスタは、OFS1番地のWDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき有効です。

13.2.5 ウォッチドッグタイマ制御レジスタ (WDC)



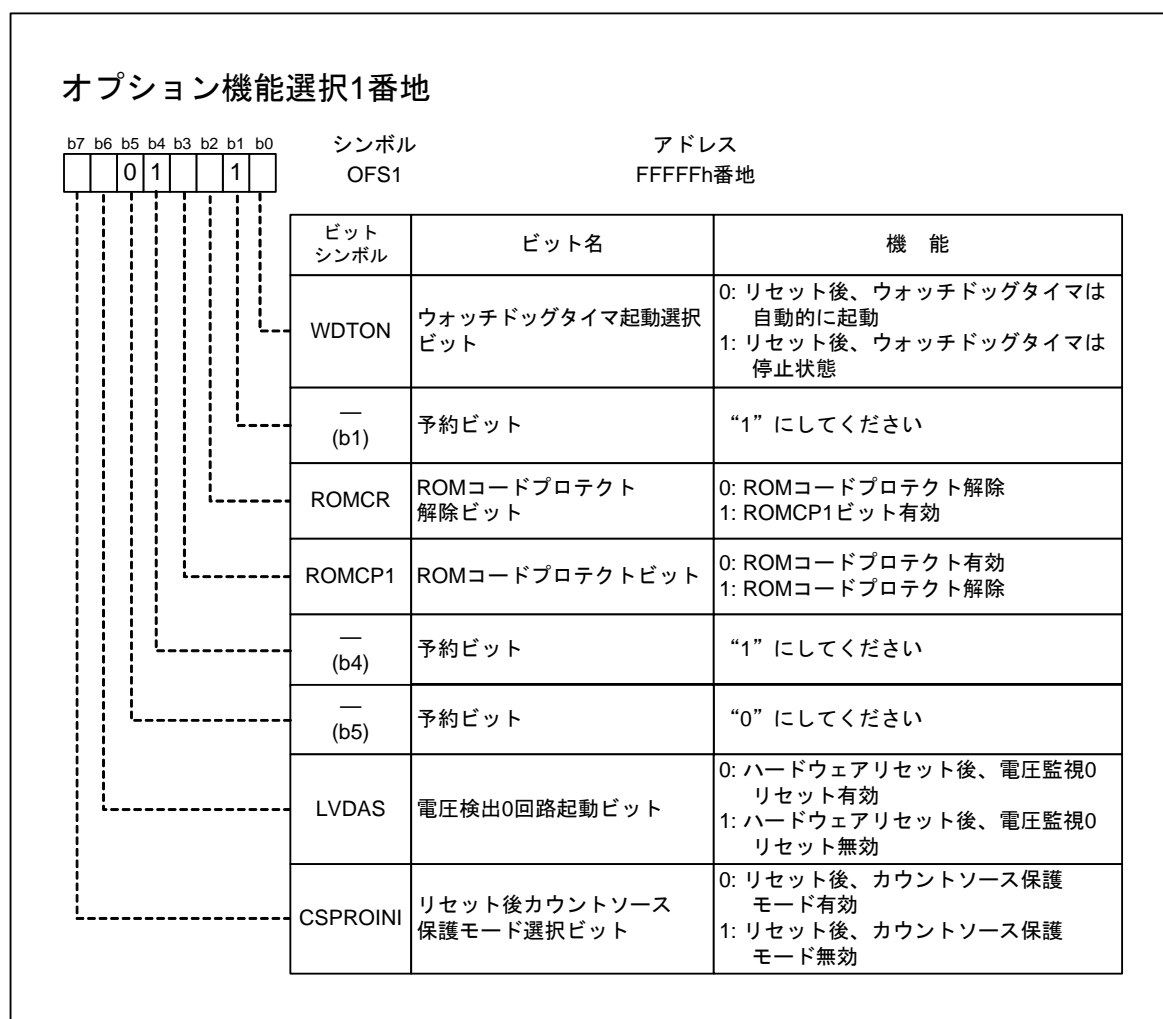
13.3 オプション機能選択領域

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地、OFS2番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地、OFS2番地の値は、ユーザがプログラムで設定した値です。

13.3.1 オプション機能選択1番地(OFS1)



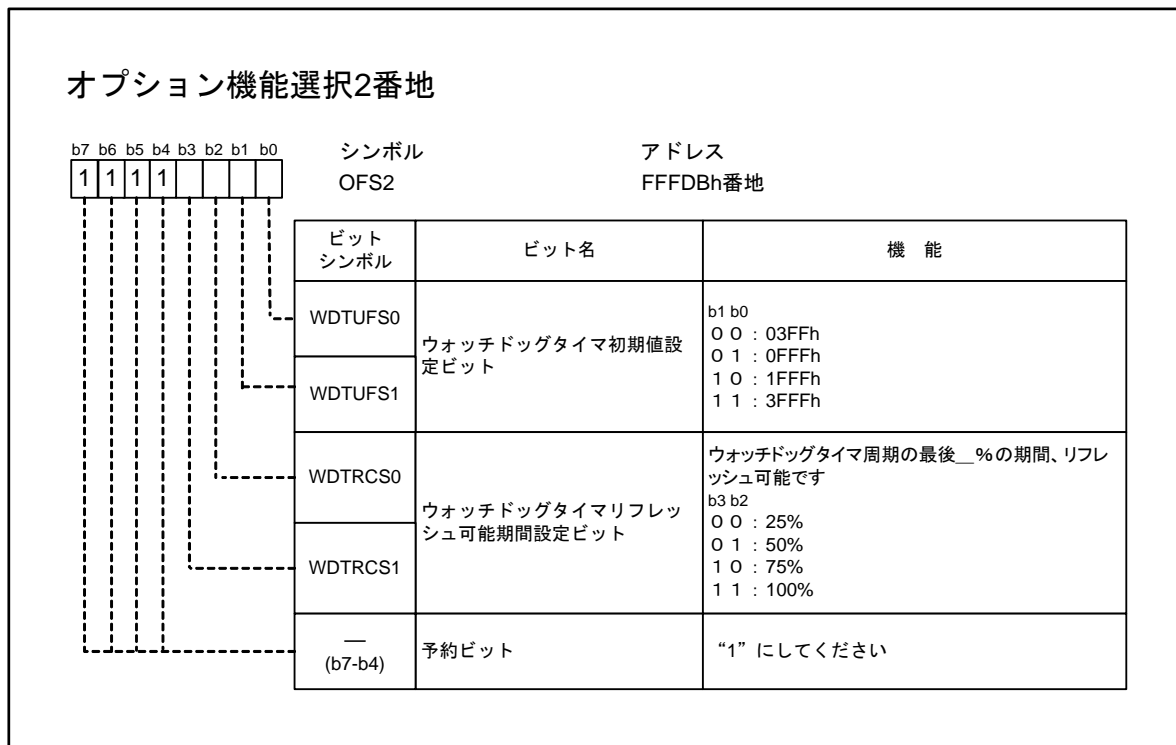
WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

リセット後のウォッチドッグタイマの状態を決めるビットです。

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときは、WDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

13.3.2 オプション機能選択2番地 (OFS2)



WDTUFS1~WDTUFS0 (ウォッチドッグタイマ初期値設定ビット) (b1~b0)

CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合に有効です。

WDTRCS1~WDTRCS0

(ウォッチドッグタイマリフレッシュ可能期間設定ビット) (b3~b2)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受け付け可能な期間を選択できます。

詳細は「13.4.1 リフレッシュ可能期間」を参照してください。

13.4 動作説明

13.4.1 リフレッシュ可能期間

ウォッチドッグタイマをリフレッシュするために、WDTRレジスタに書き込む期間をアンダーフロー前の一定期間に限定することができます。リフレッシュできる期間はOFS2番地のWDTRCS1~WDTRCS0ビットで選択できます。WDTRCS1~WDTRCS0ビットで示す期間は、ウォッチドッグタイマのアンダフロー周期を100%としています。図13.2にウォッチドッグタイマのリフレッシュ可能期間を示します。

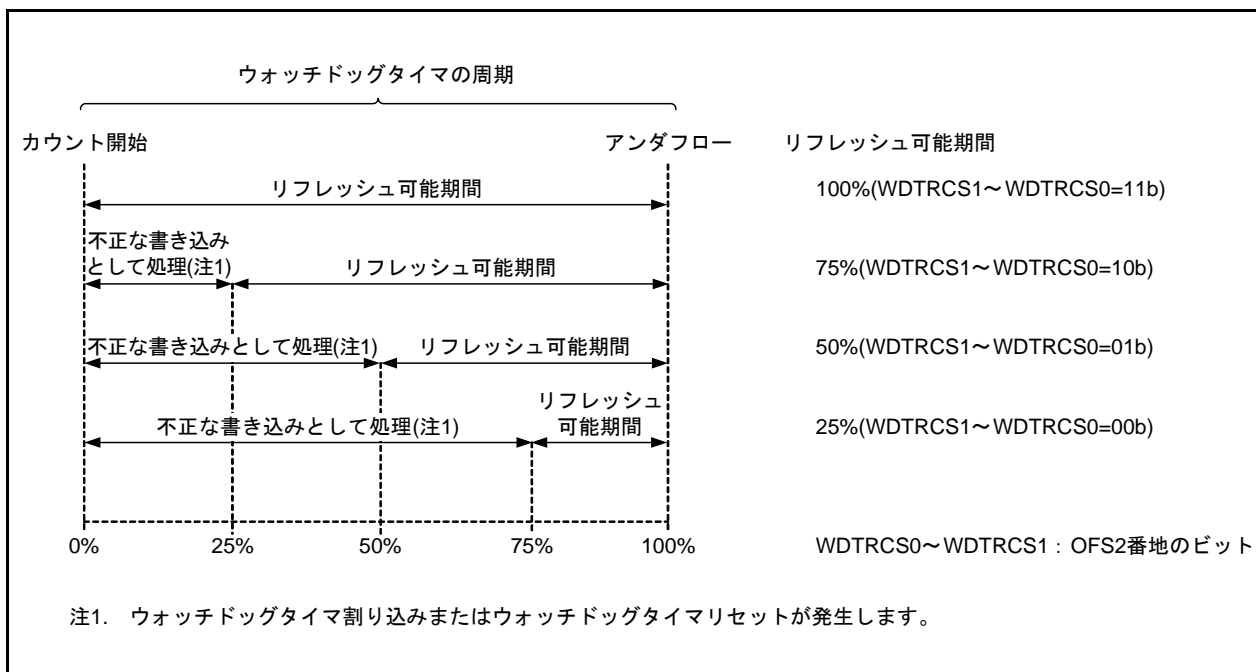


図 13.2 ウォッチドッグタイマのリフレッシュ可能期間

13.4.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表 13.3にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表 13.3 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	<p>CM0レジスタのCM07ビットが“0”(メインクロック、PLLクロック、40MHzオンチップオシレータ、125kHzオンチップオシレータ)の場合(注1)</p> $\frac{\text{プリスケアラの分周値}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$ <p>n:16または128 (WDCレジスタのWDC7ビットで選択) 例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms</p> <p>CM0レジスタのCM07ビットが“1”(サブクロック)の場合(注1)</p> $\frac{\text{プリスケアラの分周値}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」を参照してください) WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択</p> <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	<ul style="list-style-type: none"> ストップモード ウェイトモード EW1モードでコマンド実行中(サスペンド中は除く)。 <p>解除後、保持されていた値からカウントを継続</p>
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「6.4.7 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、“FFh”を書くとリフレッシュされます。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。プリスケアラはリセットで、初期化されます。

13.4.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはfWDTです。

表 13.4にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表 13.4 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	fWDT
カウント動作	ダウンカウント
周期	$\frac{\text{ウォッチドッグタイマのカウント値(m)}}{fWDT}$ m: OFS2番地のWDTUFS1~WDTUFS0ビットで設定した値 例: WDTUFS1~WDTUFS0ビットが“00b” (“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」を参照してください) WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.4.7 ウォッチドッグタイマリセット」参照)

カウントソース保護モード有効時は、ウォッチドッグタイマ専用125kHzオンチップオシレータクロック(fWDT)がウォッチドッグタイマのカウントソースになります。

ウォッチドッグタイマ専用125kHzオンチップオシレータは、CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、自動で発振します。

13.5 割り込み

ウォッチドッグタイマ割り込みはノンマスクابل割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの割り込み要因による割り込み要求かを判定してください。

ウォッチドッグタイマの検出フラグは、VW2CレジスタのVW2C3ビットです。VW2C3ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

13.6 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

14. DMAC

14.1 概要

DMAC (ダイレクト・メモリ・アクセス・コントローラ) はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ (8ビットまたは16ビット) を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード (16ビット) または1バイト (8ビット) のデータ転送を完了するまでの動作を高速に行えます。表 14.1にDMACの仕様、図 14.1にDMACブロック図を示します。

表 14.1 DMACの仕様

項目	仕様	
チャンネル数	4チャンネル(サイクルスチール方式)	
転送空間	<ul style="list-style-type: none"> • 1Mバイトの任意の空間から固定番地 • 固定番地から1Mバイトの任意の空間 • 固定番地から固定番地 	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA要求要因(注1)	50要因 INT0~INT7端子の立ち下がリエッジ (8) INT0~INT7端子の両エッジ (8) タイマA0~タイマA4割り込み要求 (5) タイマB0~タイマB5割り込み要求 (6) UART0~UART4送信割り込み要求 (5) UART0、UART1、UART3、UART4受信割り込み要求 (4) UART2受信/ACK割り込み要求 (1) IC/OCベースタイマ割り込み要求 (1) IC/OCチャンネル0~IC/OCチャンネル7割り込み (8) A/D変換 割り込み要求 (1) SS0送信データレジスタエンプティ割り込み要求 (1) SS0受信データレジスタフル割り込み要求 (1) ソフトウェアトリガ (1)	
チャンネル優先順位	DMA0 > DMA1 > DMA2 > DMA3 (DMA0が最優先)	
転送単位	8ビットまたは16ビット	
転送番地方向	順方向または固定 (転送元と転送先の両方を順方向にしないでください)	
転送モード	単転送	DMAi転送カウンタがアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	DMAi転送カウンタがアンダフローしたとき	
DMA転送開始	DMiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される	
DMA転送停止	単転送	<ul style="list-style-type: none"> • DMAEビットを“0”(禁止)にする • DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング	DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiレジスタまたはDARiレジスタのうち、順方向に指定された方のレジスタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード	
DMA転送サイクル数	SFR、内部RAM間:3サイクル	

注1. 選択できる要因はチャンネルによって異なります。
i=0~3

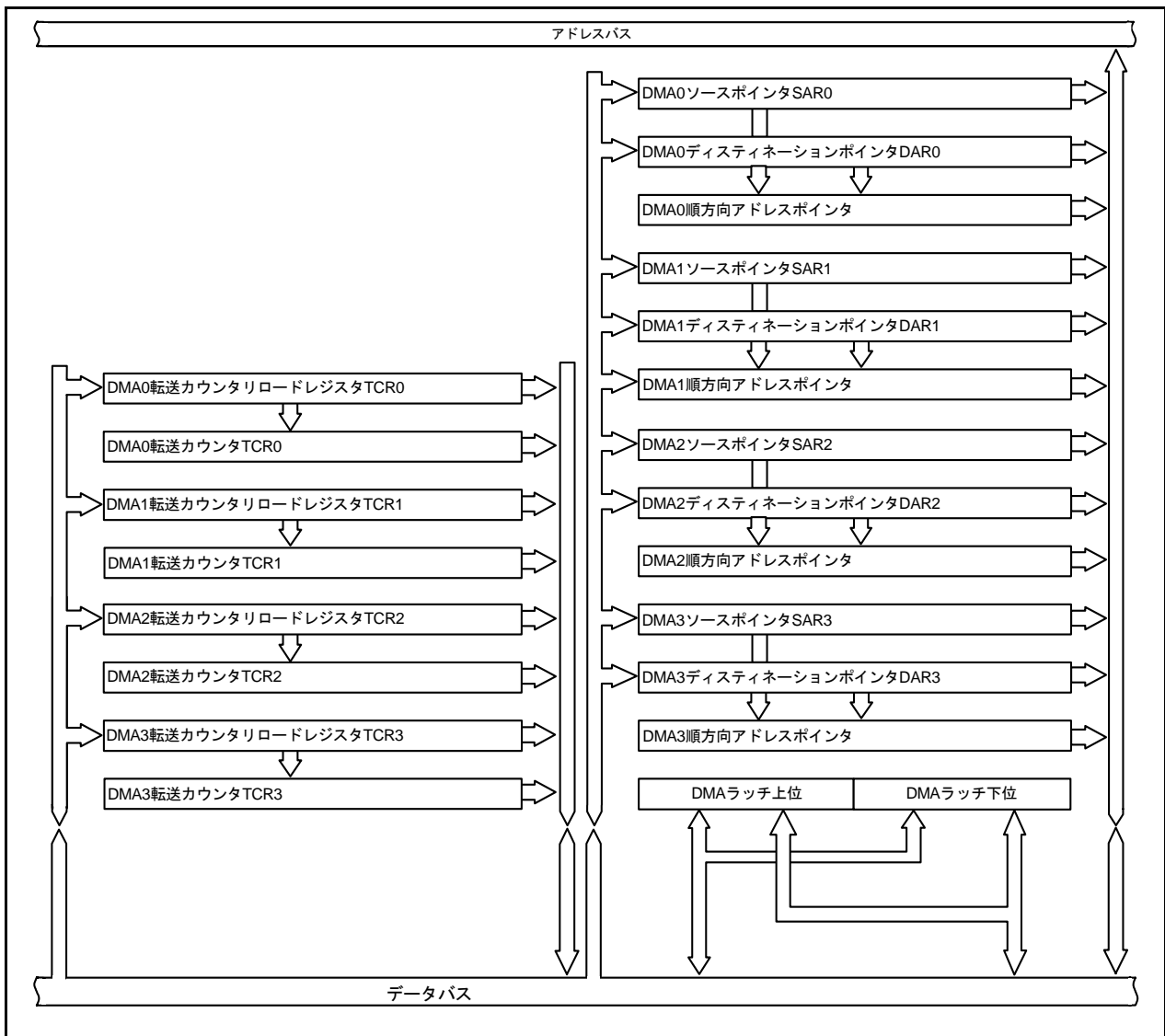


図 14.1 DMACブロック図

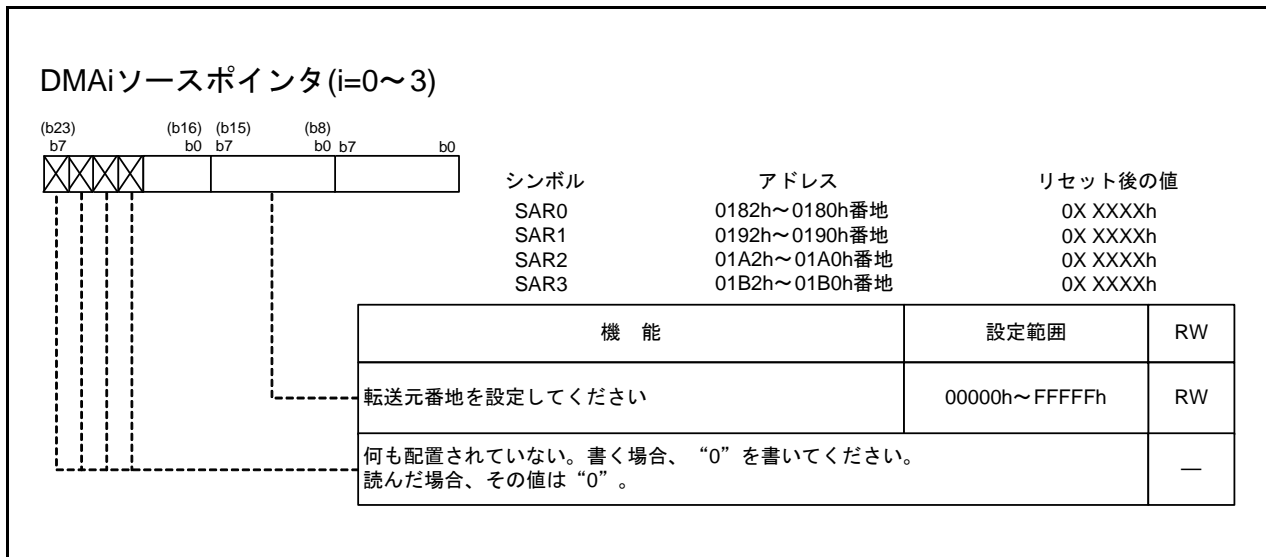
14.2 レジスタの説明

表 14.2にDMACのレジスタを示します。これらのレジスタをDMACでアクセスしないでください。

表 14.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
0390h	DMA2 要因選択レジスタ	DM2SL	00h
0392h	DMA3 要因選択レジスタ	DM3SL	00h
0398h	DMA0 要因選択レジスタ	DM0SL	00h
039Ah	DMA1 要因選択レジスタ	DM1SL	00h

14.2.1 DMAi ソースポインタ (SARi) (i=0~3)



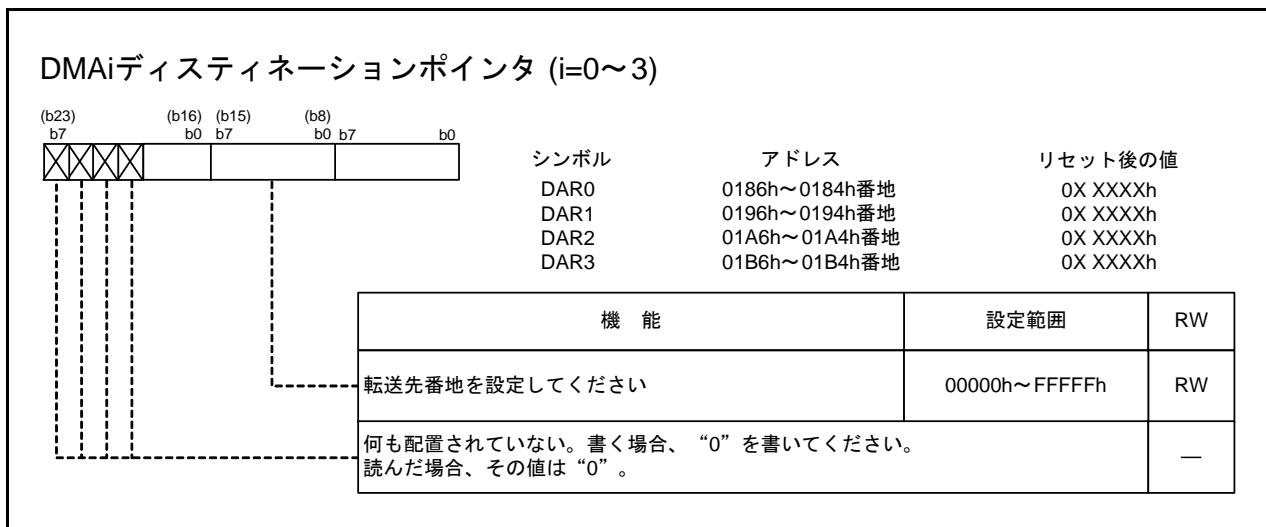
DMiCONレジスタのDSDビットが“0” (固定)の場合、SARiレジスタには、DMiCONレジスタのDMAEビットが“0” (DMA禁止)のとき書いてください。

DSDビットが“1” (順方向)の場合は、いつでも書けます。

DSDビットが“1”かつDMAEビットが“1” (DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

14.2.2 DMAi ディスティネーションポインタ (DARi) (i=0~3)



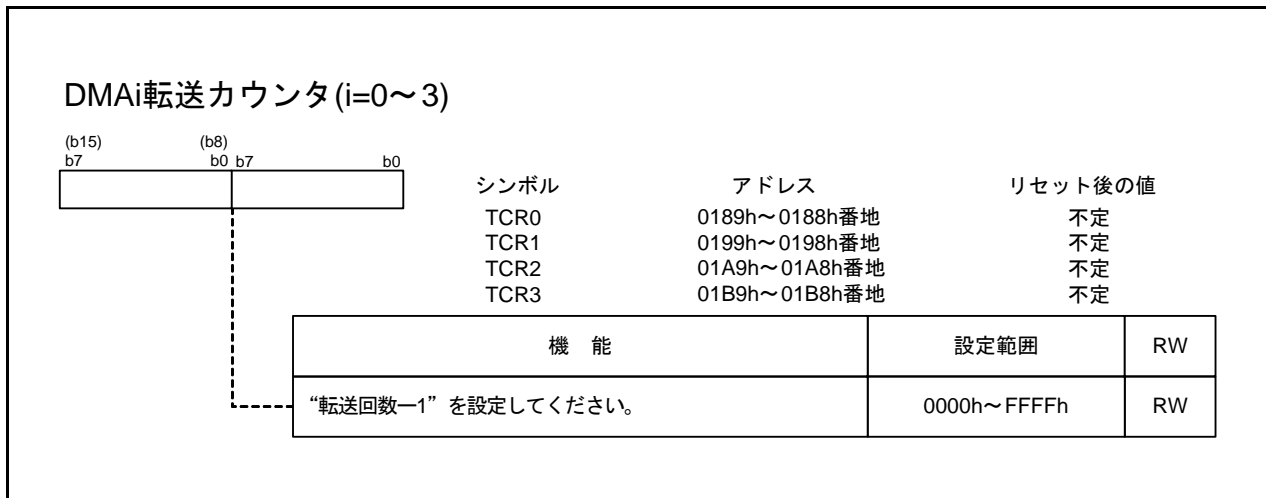
DMiCONレジスタのDADビットが“0” (固定)の場合、DARiレジスタには、DMiCONレジスタのDMAEビットが“0” (DMA禁止)のとき書いてください。

DADビットが“1” (順方向)の場合は、いつでも書けます。

DADビットが“1”かつDMAEビットが“1” (DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

14.2.3 DMAi転送カウンタ (TCRi) (i=0~3)

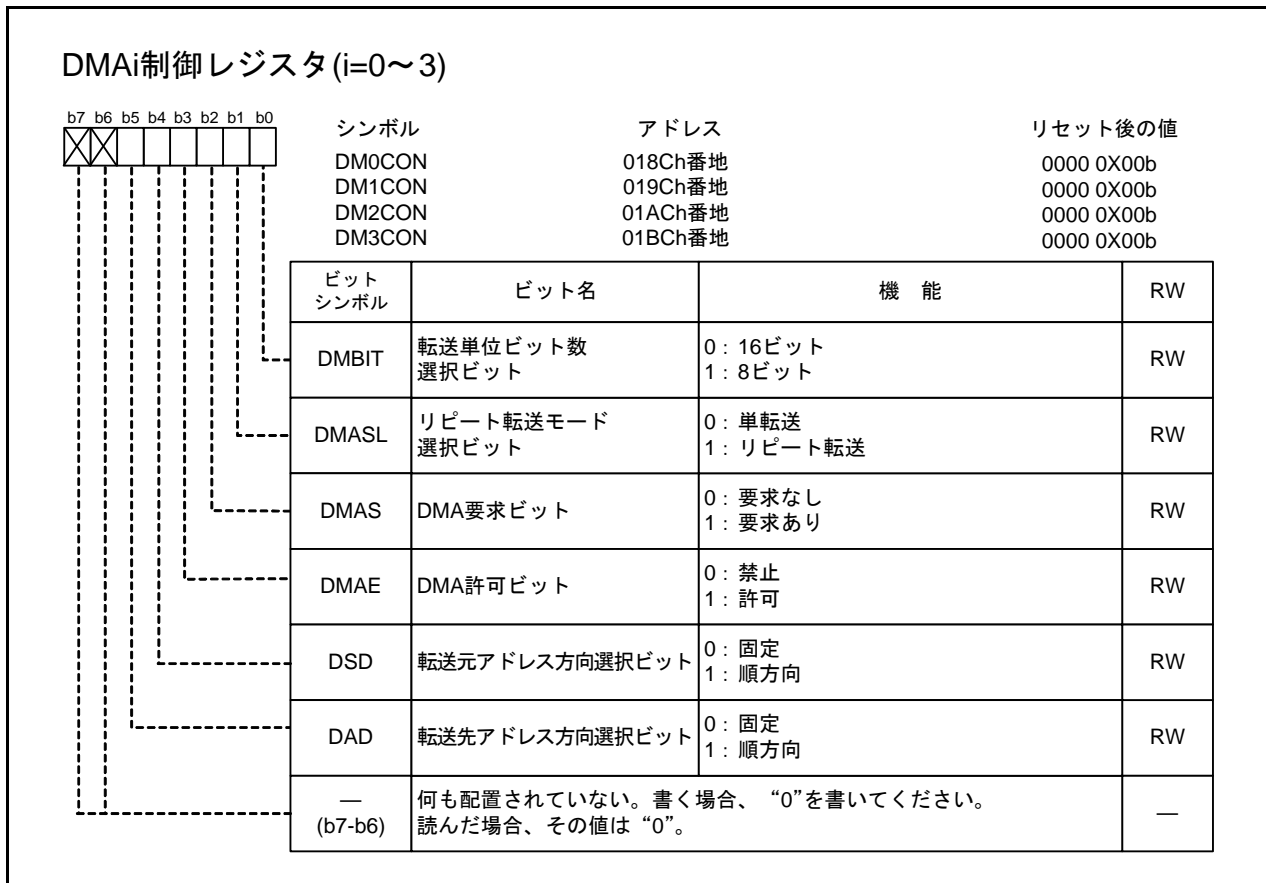


TCRiレジスタに書いた値はDMAi転送カウンタリロードレジスタに格納されます。

DMAi転送カウンタリロードレジスタの値は、次のタイミングでDMAi転送カウンタへ転送されます。

- DMiCONレジスタのDMAEビットに“1” (DMA許可) を書く
(単転送モード、リピート転送モードとも)
- DMAi転送カウンタがアンダフロー (リピート転送モード時)

14.2.4 DMAi制御レジスタ (DMiCON) (i=0~3)

**DMAS (DMA 要求ビット) (b2)**

[“0”になる条件]

- プログラムで“0”を書く
- データ転送開始

[“1”になる条件]

- DMA 要求検出
(プログラムで“1”を書いても変化しません)

DMAE (DMA 許可ビット) (b3)

[“0”になる条件]

- プログラムで“0”を書く
- DMA 転送カウンタアンダフロー (単転送モード時)

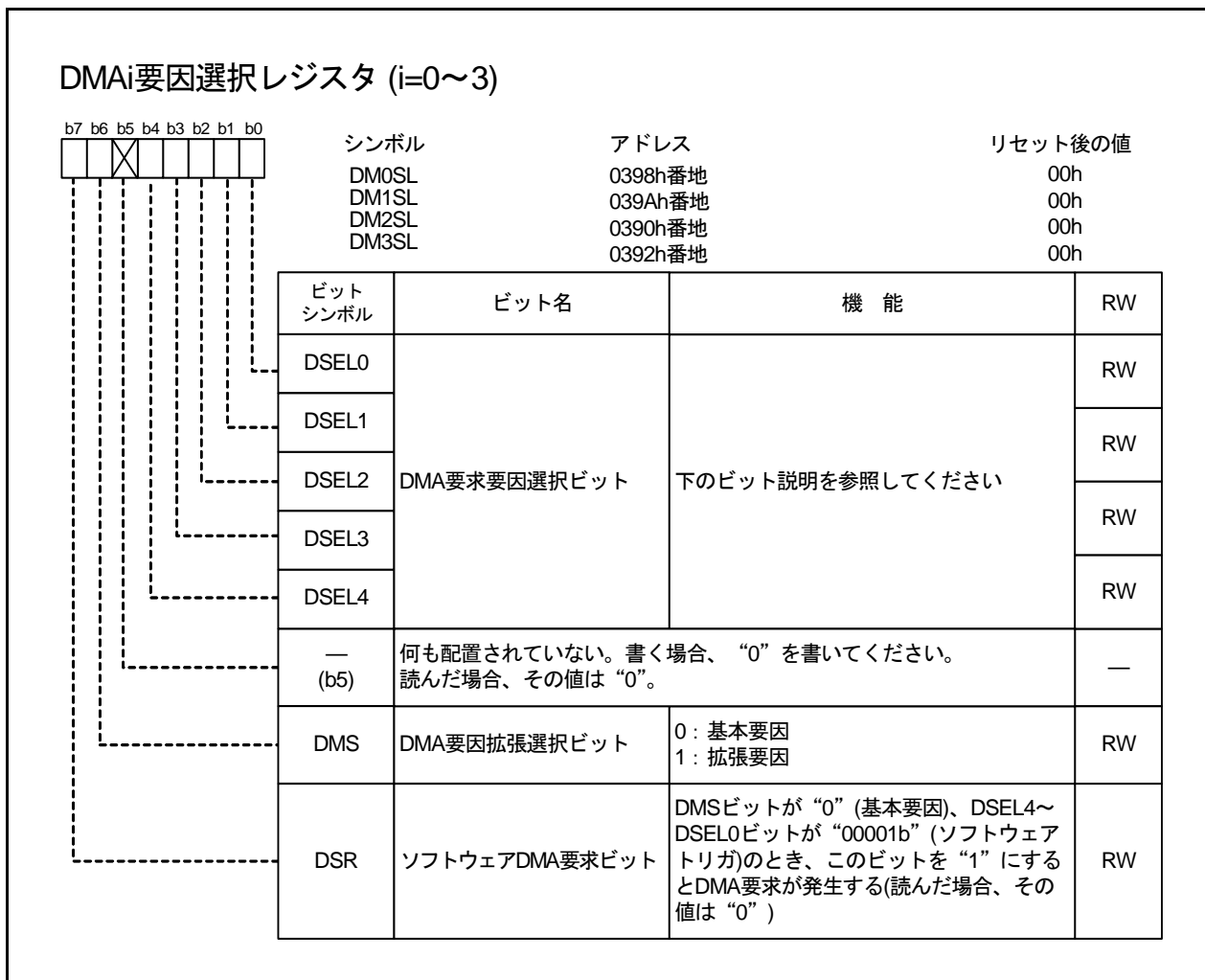
[“1”になる条件]

- プログラムで“1”を書く

DSD (転送元アドレス方向選択ビット) (b4)**DAD (転送先アドレス方向選択ビット) (b5)**

DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

14.2.5 DMAi 要因選択レジスタ (DMiSL) (i=0~3)



DSEL4~DSEL0 (DMA 要求要因選択ビット) (b4~b0)

DMAi の要求要因は、DMS ビットと DSEL4~DSEL0 ビットの組み合わせで表 14.3~表 14.6 のとおり選択できます。表 14.3~表 14.6 に DMA 要求要因を示します。

表 14.3 DMA0のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT0端子の立ち下がリエッジ	IC/OC ベースタイマ
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	IC/OC チャネル0
0 0 0 1 1 b	タイマA1	IC/OC チャネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	INT0端子の両エッジ
0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	IC/OC チャネル2
0 1 0 1 1 b	UART0受信	IC/OC チャネル3
0 1 1 0 0 b	UART2送信	IC/OC チャネル4
0 1 1 0 1 b	UART2受信	IC/OC チャネル5
0 1 1 1 0 b	A/D変換	IC/OC チャネル6
0 1 1 1 1 b	UART1送信	IC/OC チャネル7
1 0 0 0 0 b	UART1受信	INT4端子の立ち下がリエッジ
1 0 0 0 1 b	-	INT4端子の両エッジ
1 0 0 1 0 b	-	SS0受信データレジスタフル
1 0 0 1 1 b	UART4送信	SS0送信データレジスタエンブティ
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

表 14.4 DMA1のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT1端子の立ち下がリエッジ	IC/OC ベースタイマ
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	IC/OC チャネル0
0 0 0 1 1 b	タイマA1	IC/OC チャネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	-
0 0 1 1 1 b	タイマB0	INT1端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	IC/OC チャネル2
0 1 0 1 1 b	UART0受信	IC/OC チャネル3
0 1 1 0 0 b	UART2送信	IC/OC チャネル4
0 1 1 0 1 b	UART2受信/ACK2	IC/OC チャネル5
0 1 1 1 0 b	A/D変換	IC/OC チャネル6
0 1 1 1 1 b	UART1受信	IC/OC チャネル7
1 0 0 0 0 b	UART1送信	INT5端子の立ち下がリエッジ
1 0 0 0 1 b	-	INT5端子の両エッジ
1 0 0 1 0 b	-	SS0受信データレジスタフル
1 0 0 1 1 b	UART4送信	SS0送信データレジスタエンブティ
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

表 14.5 DMA2のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT2端子の立ち下がリエッジ	IC/OCベースタイマ
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	IC/OCチャンネル0
0 0 0 1 1 b	タイマA1	IC/OCチャンネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	INT2端子の両エッジ
0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	IC/OCチャンネル2
0 1 0 1 1 b	UART0受信	IC/OCチャンネル3
0 1 1 0 0 b	UART2送信	IC/OCチャンネル4
0 1 1 0 1 b	UART2受信	IC/OCチャンネル5
0 1 1 1 0 b	A/D変換	IC/OCチャンネル6
0 1 1 1 1 b	UART1送信	IC/OCチャンネル7
1 0 0 0 0 b	UART1受信	INT6端子の立ち下がリエッジ
1 0 0 0 1 b	-	INT6端子の両エッジ
1 0 0 1 0 b	-	SS0受信データレジスタフル
1 0 0 1 1 b	UART4送信	SS0送信データレジスタエンプティ
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

表 14.6 DMA3のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT3端子の立ち下がリエッジ	IC/OCベースタイマ
0 0 0 0 1 b	ソフトウェアトリガ	-
0 0 0 1 0 b	タイマA0	IC/OCチャンネル0
0 0 0 1 1 b	タイマA1	IC/OCチャンネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	-
0 0 1 1 1 b	タイマB0	INT3端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	IC/OCチャンネル2
0 1 0 1 1 b	UART0受信	IC/OCチャンネル3
0 1 1 0 0 b	UART2送信	IC/OCチャンネル4
0 1 1 0 1 b	UART2受信/ACK2	IC/OCチャンネル5
0 1 1 1 0 b	A/D変換	IC/OCチャンネル6
0 1 1 1 1 b	UART1受信	IC/OCチャンネル7
1 0 0 0 0 b	UART1送信	INT7端子の立ち下がリエッジ
1 0 0 0 1 b	-	INT7端子の両エッジ
1 0 0 1 0 b	-	SS0受信データレジスタフル
1 0 0 1 1 b	UART4送信	SS0送信データレジスタエンプティ
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" -: 設定しないでください。

14.3 動作説明

14.3.1 DMA許可

DMiCONレジスタ (i=0~3)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMAiは次のように動作します。また、DMAEビットが“1”の状態ですべて“1”を書いた場合も同様の動作をします。

- DMiCONレジスタのDSDビットが“1”(順方向)の場合は、SARiレジスタの値を順方向アドレスポインタへリロードする。DMiCONレジスタのDADビットが“1”(順方向)の場合は、DARiレジスタの値を順方向アドレスポインタへリロードする。
- DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする。

14.3.2 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ (i=0~3)のDMSビット、DSEL4~DSEL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表 14.7にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません(“1”を書いても変化しません)。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。また、DMA転送サイクルよりもDMA要求が発生するサイクルが短い場合、転送要求回数と転送回数が一致しない場合があります。

なお、DMA要因に周辺機能を選択した場合、割り込み制御レジスタとの関係は次のとおりです。

- DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。
- DMA転送の受け付けでは、割り込み制御レジスタのIRビットは変化しません。

表 14.7 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> •データ転送開始直前 •プログラムで“0”を書いたとき
外部要因	INT0~INT7端子の入力エッジがDMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択したものと一致したとき	
周辺機能	DMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択した周辺機能の、割り込み要求が発生するタイミング(割り込み制御レジスタのIRビットが“0”なら、“1”に変化するタイミング)	

i=0~3

14.3.3 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。

図 14.2 にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1バスサイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。たとえば、転送単位が16ビットで、転送元番地、転送先番地がともに奇数番地の場合(図 14.2の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

14.3.3.1 転送元番地、転送先番地の影響

転送単位が16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位が16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

14.3.3.2 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

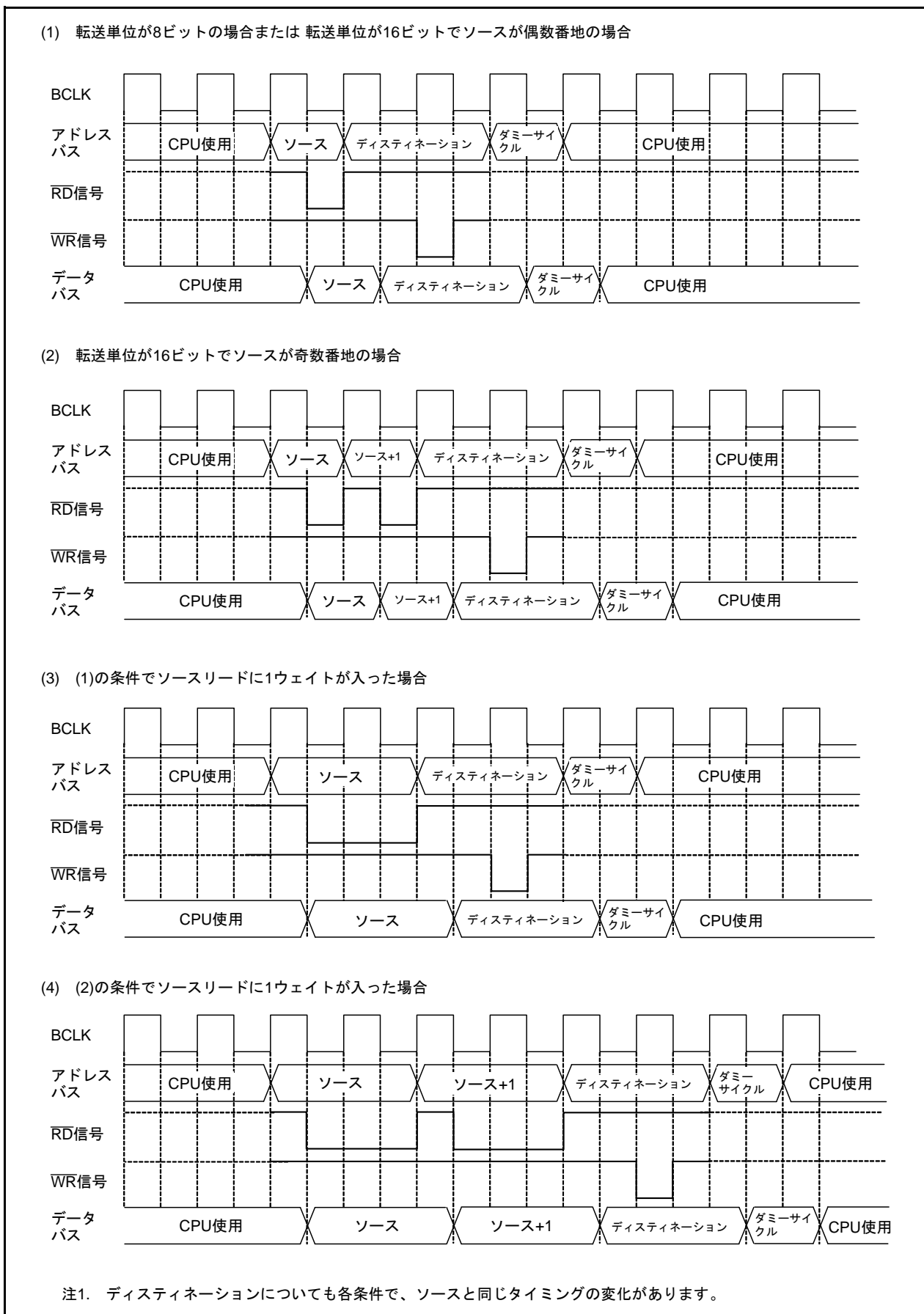


図 14.2 ソースリードサイクル例

14.3.4 DMAC転送サイクル数

DMAC転送サイクル数は次のとおり計算できます。

1転送単位の転送サイクル数=読み出しサイクル数×j+書き込みサイクル数×k

表 14.8 DMAC転送サイクル数

転送単位	アクセス番地	シングルチップモード	
		読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=1)	偶数	1	1
	奇数	1	1
16ビット転送 (DMBIT=0)	偶数	1	1
	奇数	2	2

DMBIT: DMiCONレジスタのビット (i=0~3)

表 14.9 係数j、k

	内部領域		
	内部ROM、RAM		SFR
	ウェイト なし	ウェイト あり	1ウェイト
j	1	2	2
k	1	2	2

14.3.5 単転送モード

単転送モードでは、DMA_i転送カウンタがアンダフローすると転送が終了します。図 14.3に単転送モードの動作例を示します。

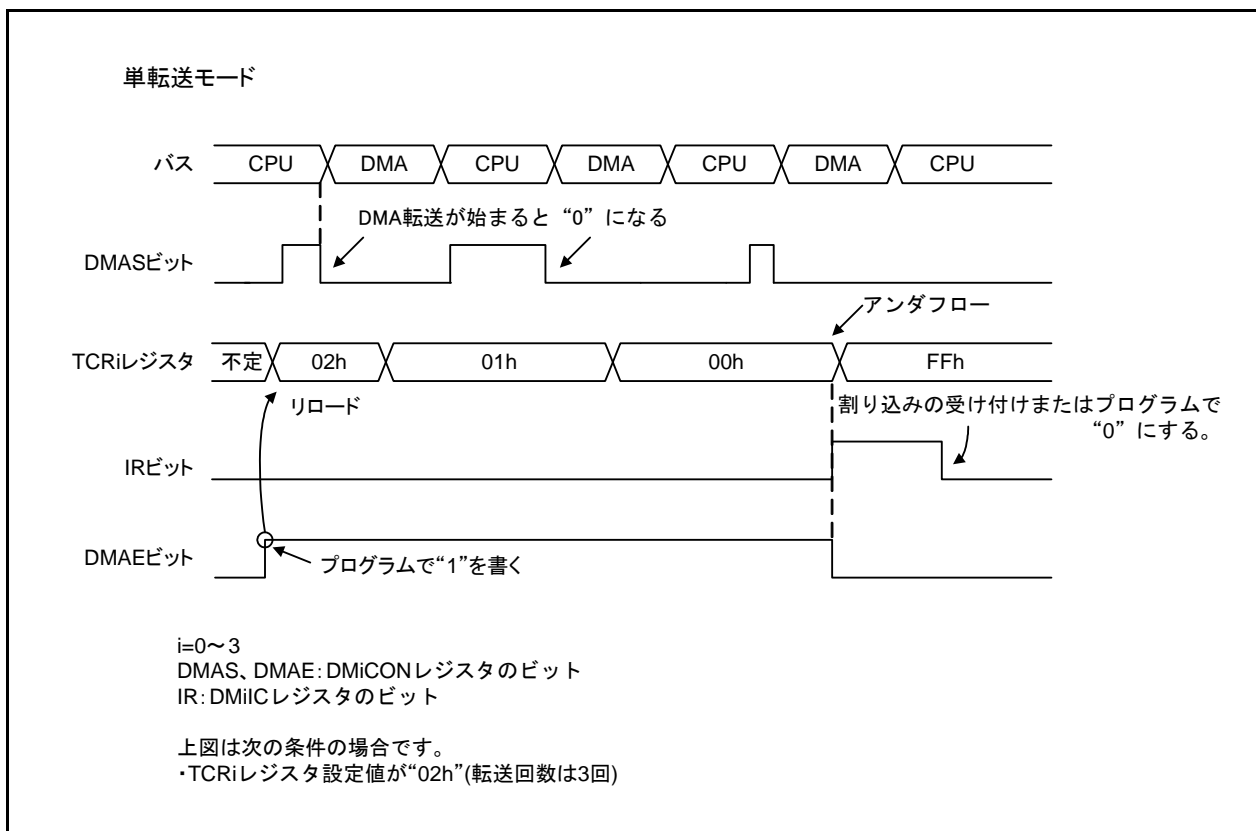


図 14.3 単転送モードの動作例

14.3.6 リピート転送モード

リピート転送モードでは、DMA_i転送カウンタがアンダフローした後、DMA_i転送カウンタリロードレジスタの値がDMA_i転送カウンタにリロードされ、DMA転送を継続します。図 14.4にリピート転送モードの動作例を示します。

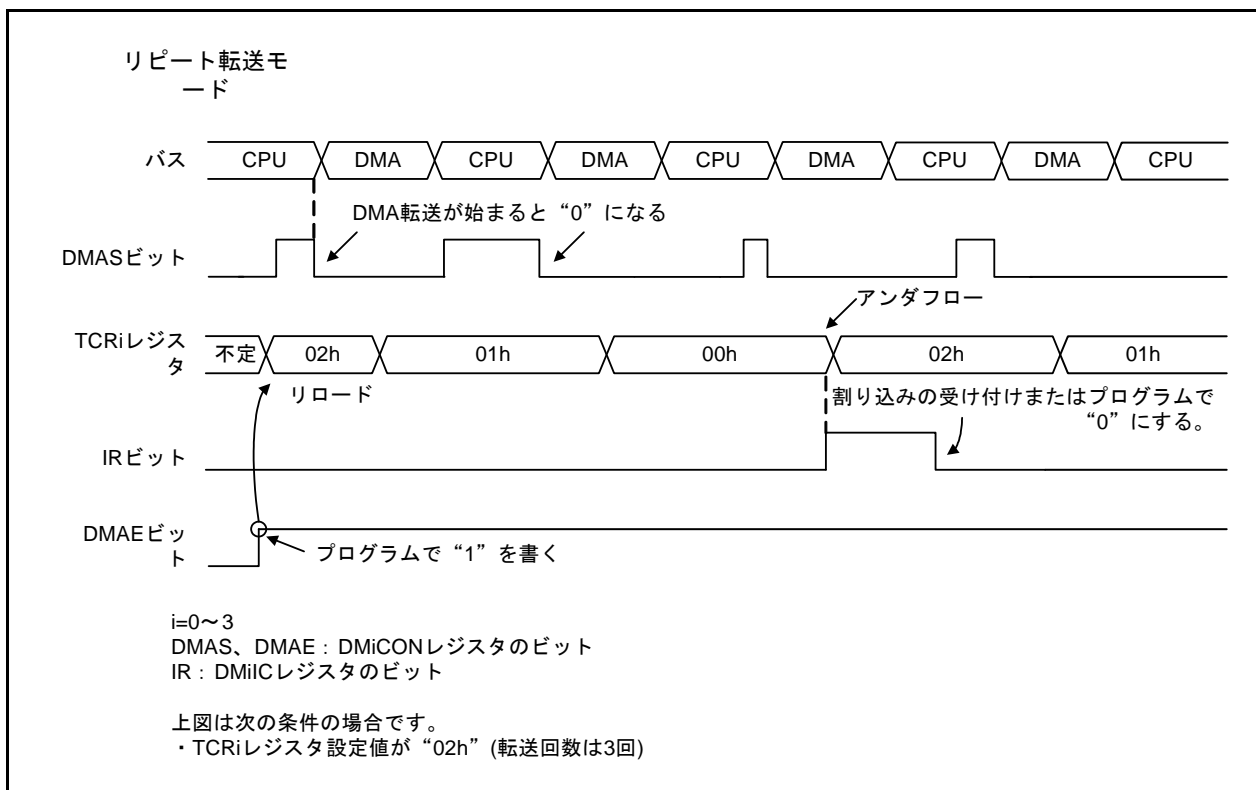


図 14.4 リピート転送モードの動作例

14.3.7 チャンネルの優先順位とDMA転送タイミング

DMA0~DMA3のうち、複数のチャンネルが許可されている場合、複数のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図14.5に外部要因によるDMA転送例を示します。

図14.5ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図14.5のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

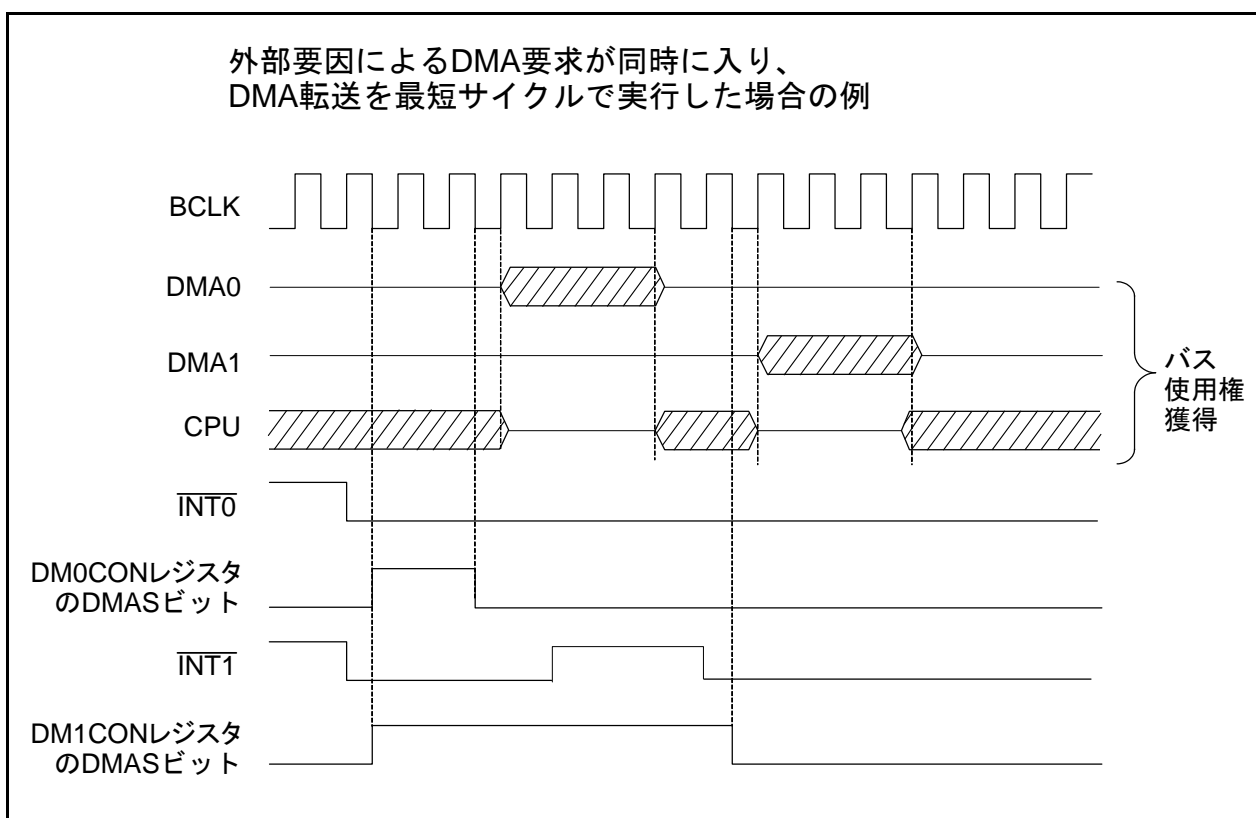


図 14.5 外部要因によるDMA転送例

14.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。
また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。

表 14.10 DMACの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

14.5 DMAC使用上の注意事項

14.5.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3)

(テクニカルアップデート番号: TN-M16C-92-0301)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1”(DMA_iがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMA_iが初期状態(注2)になっていることを、プログラムで確認する。
DMA_iが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCR_iレジスタの値で確認してください。

TCR_iレジスタを読んで、DMA転送開始前にTCR_iレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCR_iレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

14.5.2 DMA要求要因の変更

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。

15. タイマA

15.1 概要

タイマAにはタイマA0~A4があります。すべてのタイマは独立して動作します。表 15.1にタイマAの仕様を、表 15.2にタイマAの仕様の相違を、図 15.1にタイマA、Bカウントソースを、図 15.2にタイマA構成を、図 15.3にタイマAブロック図を、表 15.3に入出力端子を示します。

表 15.1 タイマAの仕様

項目	内容
構成	16ビットタイマ×5
動作モード	<ul style="list-style-type: none"> タイマモード 内部カウントソースをカウントするモード イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード パルス幅変調モード (PWMモード) 任意の幅と周期のパルスを連続して出力するモード プログラマブル出力モード 任意の“H”幅、“L”幅のパルスを連続して出力するモード (タイマA1、A2、A4)
割り込み要因	オーバフロー/アンダフロー×5

表 15.2 タイマAの仕様の相違

項目	タイマ				
	A0	A1	A2	A3	A4
イベントカウンタモード (二相パルス処理)	なし	なし	あり	あり	あり
プログラマブル出力モード	なし	あり	あり	なし	あり

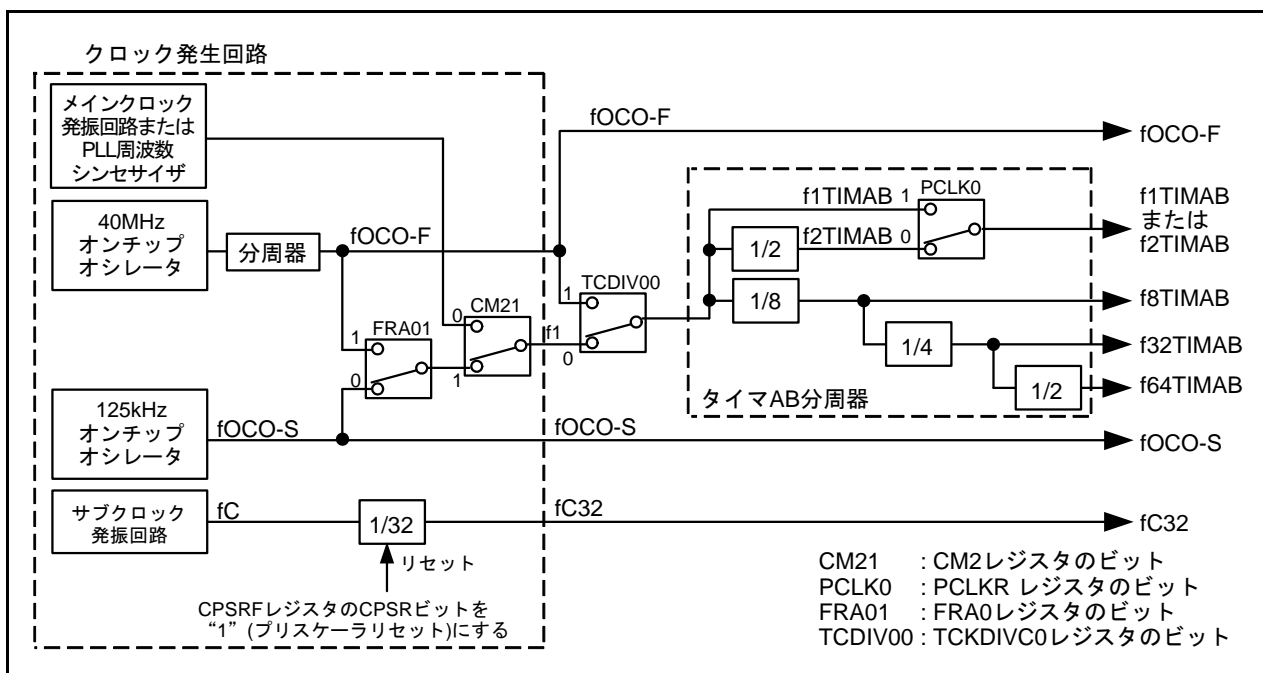


図 15.1 タイマA、Bカウントソース

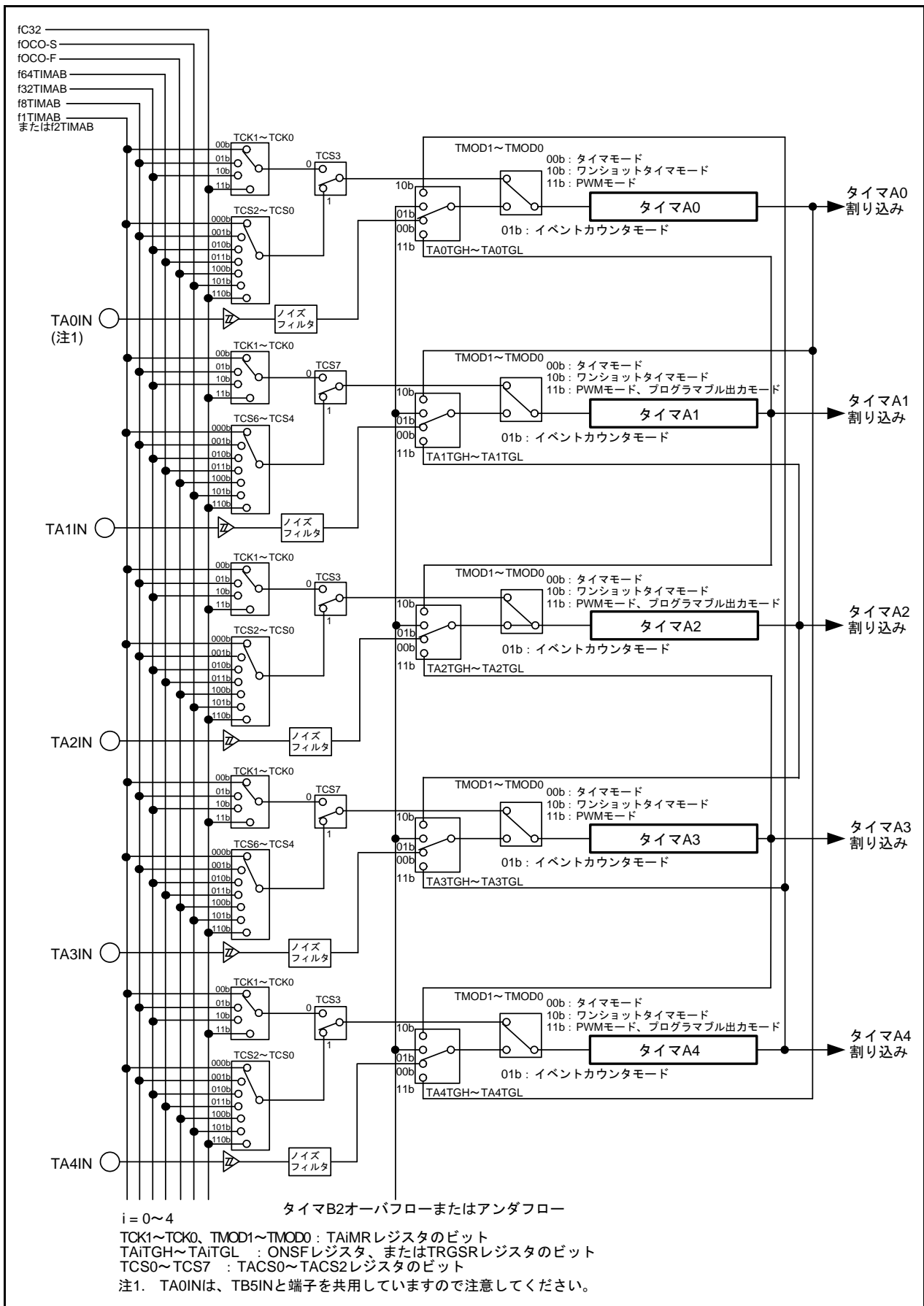


図 15.2 タイマA構成

図 15.3 タイマAブロック図

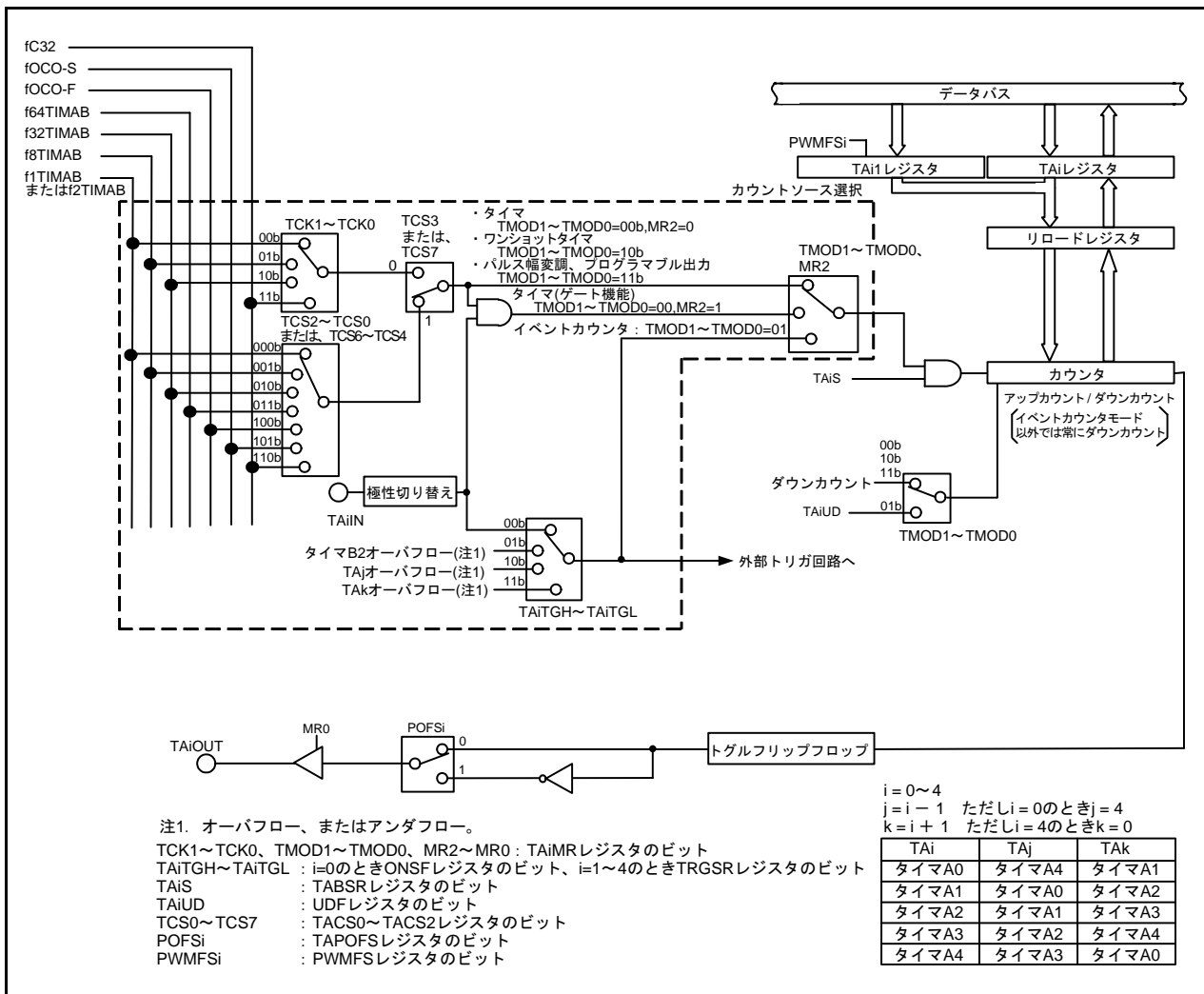


表 15.3 入出力端子

端子名	入出力	機能
TAiIN	入力 (注1)	ゲート入力 (タイマモード) カウントソース入力 (イベントカウンタモード) 二相パルス入力 (イベントカウンタモード (二相パルス信号処理)) トリガ入力 (ワンショットタイマモード、PWMモード、プログラマブル出力モード)
TAiOUT	出力	パルス出力 (タイマモード、イベントカウンタモード、ワンショットタイマモード、PWMモード、プログラマブル出力モード)
	入力 (注1)	二相パルス入力 (イベントカウンタモード (二相パルス信号処理))
ZP	入力 (注1)	Z相 (カウンタ初期化)入力 (イベントカウンタモード (二相パルス信号処理))

i=0~4、ただし、二相パルス入力はi=2, 3, 4、プログラマブル出力モードはi=1, 2, 4

注1. TAIiIN、TAiOUT、ZP 端子を入力で使用する場合、端子を共用するポートの方向ビットを“0” (入力モード)にしてください。

15.2 レジスタの説明

タイマA関連レジスタを表 15.4 レジスタ一覧に示します。

TCKDIVC0レジスタのTCDIV00ビットを設定した後、その他のタイマA関連レジスタを設定してください。TCDIV00ビットを変更した後も、その他のタイマA関連レジスタを再設定してください。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 15.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
01CBh	タイマAB分周制御レジスタ0	TCKDIVC0	0000 X000b
01D0h	タイマAカウントソース選択レジスタ0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ2	TACS2	X0h
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0320h	カウント開始フラグ	TABSR	00h
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h

15.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b
0 0 0 0 0 0 0 0			

ビットシンボル	ビット名	機能	RW
PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック選択ビット (タイマA、タイマB、短絡防止タイマ、タイマS、マルチマスタI ² C-busインタフェースのクロック源)	0: f2TIMAB/f2IIC 1: f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0: f2SIO 1: f1SIO	RW
— (b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0: CM0レジスタのCM01~CM00ビットで選択 1: f1を出力	RW
— (b7-b6)	予約ビット	“0” にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

15.2.2 時計用プリスケアラリセットフラグ (CPSRF)

時計用プリスケアラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル CPSRF	アドレス 0015h番地	リセット後の値 0XXX XXXXb
X X X X X X X X			

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。 (読んだ場合、その値は“0”)	RW

15.2.3 タイマAB分周制御レジスタ0 (TCKDIVC0)

タイマAB分周制御レジスタ0			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TCKDIVC0	アドレス 01CBh番地	リセット後の値 0000 X000b
0 0 0 0 X 0 0			
ビット シンボル	ビット名	機能	RW
TCDIV00	タイマAB分周前クロック選 択ビット	0 : f1 1 : fOCO-F	RW
— (b2-b1)	予約ビット	“0” にしてください。	RW
— (b3)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7-b4)	予約ビット	“0” にしてください。	RW

TCDIV00 (タイマAB分周前クロック選択ビット) (b0)

TCDIV00 ビットはタイマA、B停止中に設定してください。

TCDIV00 ビットを設定した後、その他のタイマA関連レジスタを設定してください。TCDIV00 ビットを変更した後も、その他のタイマA関連レジスタを再設定してください。

15.2.4 タイマAカウントソース選択レジスタ*i* (TACSi) (*i*=0~2)

タイマAカウントソース選択レジスタ0、タイマAカウントソース選択レジスタ1			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	TACS0~TACS1	01D0h~01D1h番地	00h
	ビット名	機能	RW
TCS0	TAiカウントソース選択ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB	RW
TCS1		1 0 0 : fOCO-F	RW
TCS2		1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS3		TAiカウントソース選択肢指定ビット 0 : TCK0~TCK1有効、TCS0~TCS2無効 1 : TCK0~TCK1無効、TCS0~TCS2有効	RW
TCS4	TAjカウントソース選択ビット	b6 b5 b4 0 0 0 : f1TIMABまたはf2TIMAB 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB	RW
TCS5		1 0 0 : fOCO-F	RW
TCS6		1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS7		TAjカウントソース選択肢指定ビット 0 : TCK0~TCK1有効、TCS4~TCS6無効 1 : TCK0~TCK1無効、TCS4~TCS6有効	RW

TACS0レジスタ : *i*=0、*j*=1、TACS1レジスタ : *i*=2、*j*=3

タイマAカウントソース選択レジスタ2			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	TACS2	01D2h番地	X0h
	ビット名	機能	RW
TCS0	TA4カウントソース選択ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB	RW
TCS1		1 0 0 : fOCO-F	RW
TCS2		1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS3		TA4カウントソース選択肢指定ビット 0 : TCK0~TCK1有効、TCS0~TCS2無効 1 : TCK0~TCK1無効、TCS0~TCS2有効	RW
— (b7-b4)	何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—

TCS2~TCS0 (TAiカウントソース選択ビット) (b2~b0) (*i*=0, 2, 4)TCS6~TCS4 (TAjカウントソース選択ビット) (b6~b4) (*j*=1, 3)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

15.2.5 16ビットパルス幅変調モード機能選択レジスタ (PWMFS)

16ビットパルス幅変調モード機能選択レジスタ

シンボル	アドレス	リセット後の値
PWMFS	01D4h番地	0XX0 X00Xb

ビットシンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PWMFS1	タイマA1プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
PWMFS2	タイマA2プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PWMFS4	タイマA4プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b6-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b7)	予約ビット	“0” にしてください。	RW

PWMFS1 (タイマA1プログラマブル出力モード選択ビット) (b1)

PWMFS2 (タイマA2プログラマブル出力モード選択ビット) (b2)

PWMFS4 (タイマA4プログラマブル出力モード選択ビット) (b4)

TAiMRレジスタのTMOD1~TMOD0ビットが“11b”(PWMモードまたはプログラマブル出力モード)、かつMR3ビットが“0”(16ビットPWMモード)のとき有効です。

15.2.6 タイマA波形出力機能選択レジスタ (TAPOFS)

タイマA波形出力機能選択レジスタ			
	シンボル TAPOFS	アドレス 01D5h番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機 能	RW
POFS0	TA0OUT出力極性制御ビット	0: 出力波形 “H” アクティブ 1: 出力波形 “L” アクティブ (出力反転)	RW
POFS1	TA1OUT出力極性制御ビット		RW
POFS2	TA2OUT出力極性制御ビット		RW
POFS3	TA3OUT出力極性制御ビット		RW
POFS4	TA4OUT出力極性制御ビット		RW
— (b7-b5)	何も設定されていない。 書く場合 “0” を書いてください。読んだ場合、その値は不定。		—

15.2.7 タイマA出力波形変更許可レジスタ (TAOW)

タイマA出力波形変更許可レジスタ			
	シンボル TAOW	アドレス 01D8h番地	リセット後の値 XXX0 X00Xb
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
TA1OW	タイマA1出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
TA2OW	タイマA2出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
— (b3)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
TA4OW	タイマA4出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
— (b7-b5)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

プログラマブル出力モードで有効です。

出力中に出力波形の周期や幅を変更する場合は、次の手順で変更してください。

- (1)TAiOW ビット (i=1, 2, 4)を“0” (出力波形変更禁止)にする
- (2)TAi、TAi1 レジスタの両方またはいずれかに値を書く
- (3)TAiOW ビットを“1” (出力波形変更許可)にする

TAiOUT 出力の立ち上がりエッジ (POFSi ビットが“1”の場合は立ち下がりエッジ)のカウントソース 1 サイクル分前に、TAiOW ビットが“1” (出力波形変更許可)ならば、更新後の値がリロードされます。TAiOW ビットが“0” (出力波形変更禁止)ならば、更新前の値をリロードします。

15.2.8 タイマAiレジスタ (TAi) (i=0~4)

タイマAiレジスタ (i=0~4)			
	シンボル	アドレス	リセット後の値
	TA0	0327h~0326h番地	不定
	TA1	0329h~0328h番地	不定
	TA2	032Bh~032Ah番地	不定
	TA3	032Dh~032Ch番地	不定
	TA4	032Fh~032Eh番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、 カウンタ周期： $\frac{(n+1)}{fj}$	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、 アップカウント時、FFFFh-n+1回カウント ダウンカウント時、n+1回カウント	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、 パルス幅： $\frac{n}{fj}$	0000h~FFFFh	WO
パルス幅変調モード (16ビットPWMモード)	設定値をnとすると、 PWMの周期： $\frac{(2^{16}-1)}{fj}$ PWMのパルス幅： $\frac{n}{fj}$	0000h~FFFEh	WO
パルス幅変調モード (8ビットPWMモード)	上位番地の設定値をn、下位番地の設定 値をmとすると PWMの周期： $\frac{(2^8-1) \times (m+1)}{fj}$ PWMパルスのパルス幅： $\frac{(m+1)n}{fj}$	00h~FEh (上位番地) 00h~FFh (下位番地)	WO
プログラマブル出力 モード	TAiレジスタ設定値をm、TAi1レジスタ設 定値をnとすると、次の波形を出力する “H”幅： $\frac{m}{fj}$ “L”幅： $\frac{n}{fj}$	0000h~FFFFh	WO

fj: カウントソースの周波数

16ビット単位でアクセスしてください。TAiレジスタへはMOV命令を使用して書いてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

ワンショットタイマモード

TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、このとき、パルス出力ありを選択していても、TAiOUT端子からパルスは出力されません。

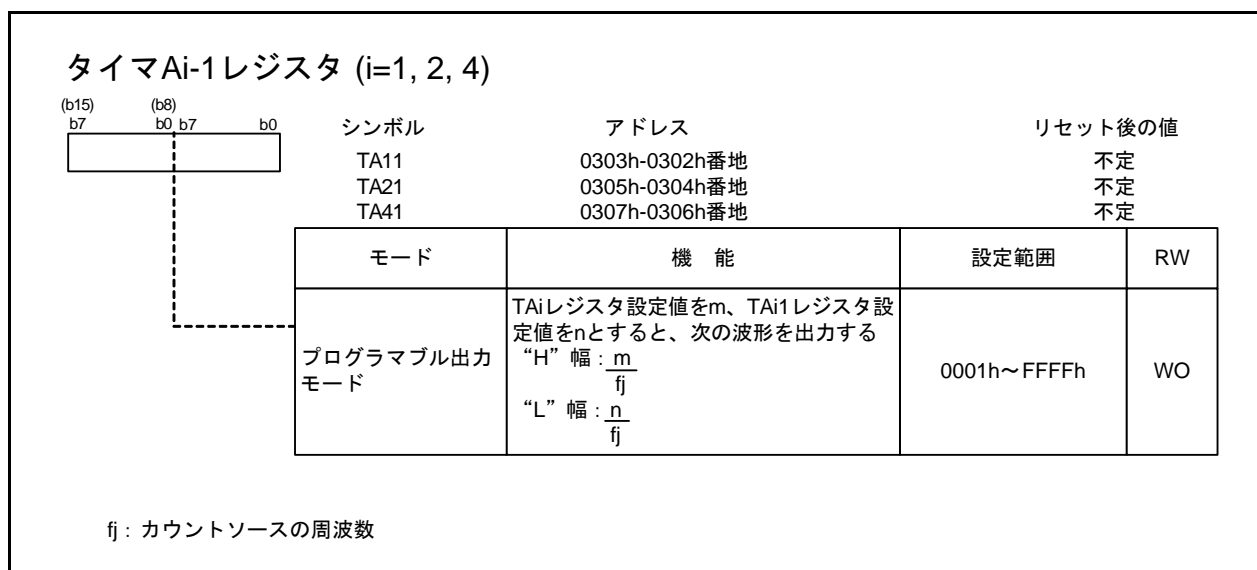
パルス幅変調モード(16ビットPWMモード)

TAiレジスタを“0000h”にした場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。

パルス幅変調モード(8ビットPWMモード)

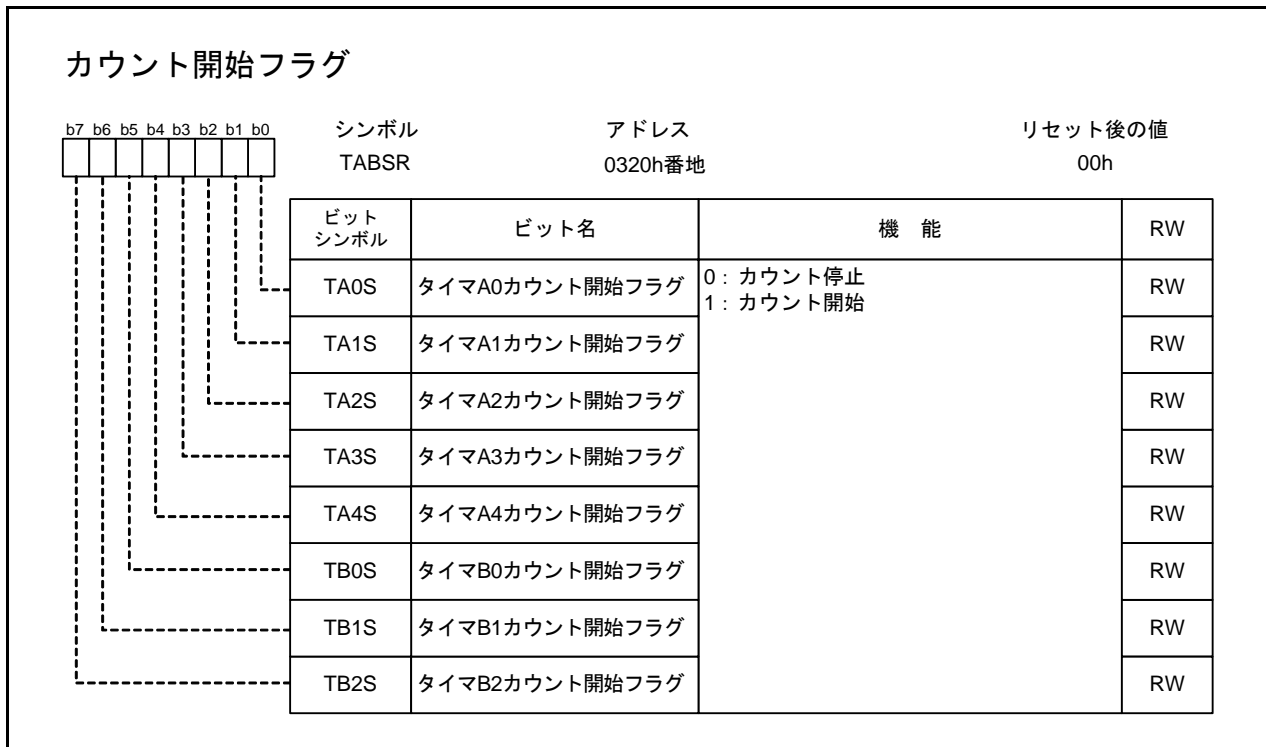
8ビットプリスケアラ(下位8ビット)と8ビットパルス幅変調器(上位8ビット)として動作します。TAiレジスタの上位8ビットに“00h”を設定した場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。

15.2.9 タイマAi-1レジスタ (TAi1) (i=1, 2, 4)



16ビット単位でアクセスしてください。MOV命令を使用して書いてください。

15.2.10 カウント開始フラグ (TABSR)



15.2.11 ワンショット開始フラグ(ONSF)

ワンショット開始フラグ		シンボル	アドレス	リセット後の値
		ONSF	0322h番地	00h
ビットシンボル	ビット名	機能		RW
TA0OS	タイマA0ワンショット開始フラグ	このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。		RW
TA1OS	タイマA1ワンショット開始フラグ			RW
TA2OS	タイマA2ワンショット開始フラグ			RW
TA3OS	タイマA3ワンショット開始フラグ			RW
TA4OS	タイマA4ワンショット開始フラグ			RW
TAZIE	Z相入力有効ビット			0: Z相入力無効 1: Z相入力有効
TA0TGL	タイマA0イベント/トリガ選択ビット	b7 b6 0 0: TA0IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA4を選択 1 1: タイマA1を選択	RW	
TA0TGH			RW	

TAiOS (タイマAiワンショット開始フラグ) (i=0~4) (b4~b0)

ワンショットタイマモードで有効。TAiMRレジスタのMR2ビットが“0” (TAiOSビット有効)の場合、TABSRRレジスタのTAiSビットを“1” (カウント開始)にした後、このビットを“1”にすると、タイマAiのカウントを開始します。

TAZIE (Z相入力有効ビット) (b5)

タイマA3のイベントカウンタモード(二相パルス信号処理)で使用するビットです。詳細は、「15.3.4.3 二相パルス信号処理でのカウンタ初期化」を参照してください。

TA0TGH~TA0TGL (タイマA0イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード(二相パルス信号処理を使用しない)のイベント
- ワンショットタイマモード、PWMモードのトリガ

ただし、TA0MRレジスタのMR2ビットが“1” (TA0TGH~TA0TGLビットでトリガ選択)の場合。

TA0TGH~TA0TGLビットが“00b”の場合、TA0MRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TA0TGH~TA0TGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

15.2.12 トリガ選択レジスタ (TRGSR)

トリガ選択レジスタ		シンボル	アドレス	リセット後の値
		TRGSR	0323h番地	00h
ビットシンボル	ビット名	機能		RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0	0 0: TA1IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA0を選択 1 1: タイマA2を選択	RW
TA1TGH		RW		
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2	0 0: TA2IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA1を選択 1 1: タイマA3を選択	RW
TA2TGH		RW		
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4	0 0: TA3IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA2を選択 1 1: タイマA4を選択	RW
TA3TGH		RW		
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6	0 0: TA4IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA3を選択 1 1: タイマA0を選択	RW
TA4TGH		RW		

TA1TGH~TA1TGL (タイマA1イベント/トリガ選択ビット) (b1~b0)

TA2TGH~TA2TGL (タイマA2イベント/トリガ選択ビット) (b3~b2)

TA3TGH~TA3TGL (タイマA3イベント/トリガ選択ビット) (b5~b4)

TA4TGH~TA4TGL (タイマA4イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

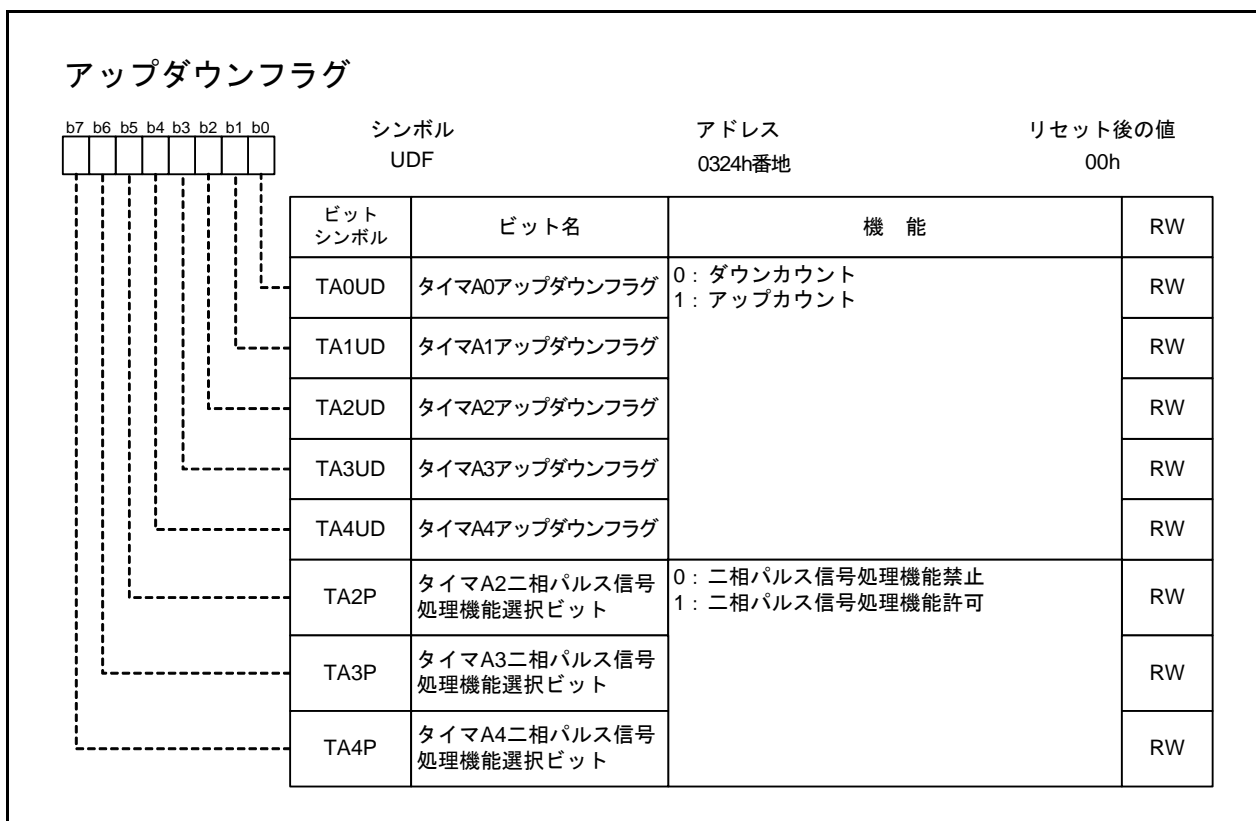
- イベントカウンタモード (二相パルス信号処理を使用しない) のイベント
- ワンショットタイマモード、PWMモード、プログラマブル出力モードのトリガ

ただし、TAiMRレジスタのMR2ビットが“1” (TAiTGH~TAiTGLビットでトリガ選択) の場合。

TAiTGH~TAiTGLビットが“00b”の場合、TAiMRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します (IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

15.2.13 アップダウンフラグ(UDF)

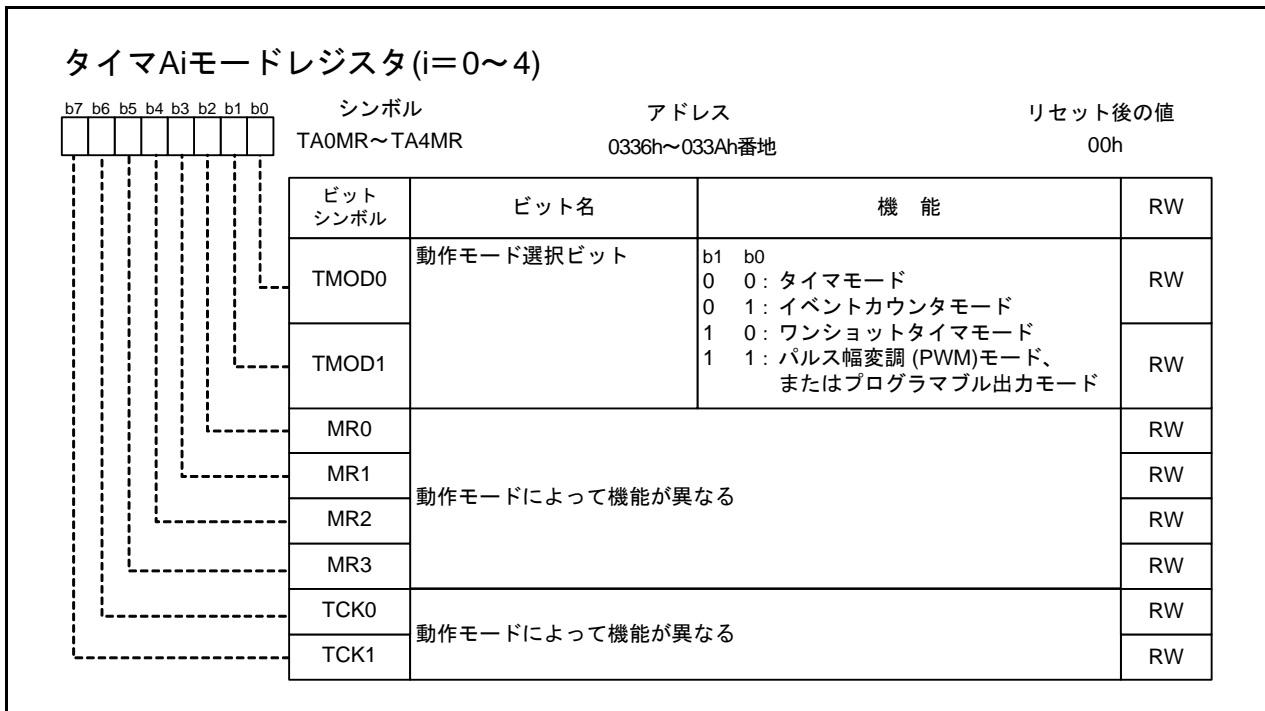
**TAiUD (タイマAi アップダウンフラグ) (i=0~4) (b4~b0)**

イベントカウンタモード(二相パルス信号処理機能を使用しない場合)時、有効になります。

TA2P (タイマA2二相パルス信号処理機能選択ビット) (b5)**TA3P (タイマA3二相パルス信号処理機能選択ビット) (b6)****TA4P (タイマA4二相パルス信号処理機能選択ビット) (b7)**

二相パルス信号処理機能を使用しない場合、“0”にしてください。

15.2.14 タイマAiモードレジスタ (TAiMR) (i=0~4)



15.3 動作説明

15.3.1 複数モードに関わる共通事項

15.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

たとえば、停止しているカウンタは、カウント開始条件が揃った後、最初のカウンタソースのカウントタイミングからカウントを開始します。したがって、カウント開始条件が揃ってから、カウント開始するまで、遅延があります。図 15.4 にワンショットタイマモードの出力例を示します。

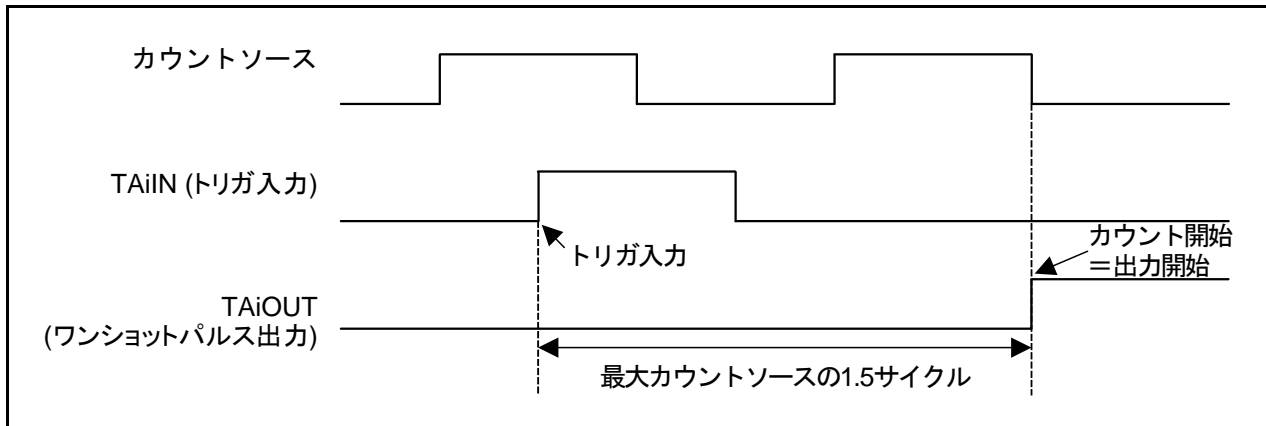


図 15.4 ワンショットタイマモードの出力例

15.3.1.2 カウンタリロードタイミング

タイマ A_i は TA_i レジスタに設定された値 (n とします) からカウントを開始します。 TA_i レジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタは n からカウンタソースをダウンカウントします。そして、“0000h” になった次のカウンタソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます (アップカウントの場合は同様に“FFFFh” になった次のカウンタソースで、リロードレジスタの値をリロードします)。

TA_i レジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウンタソースが入力されるまで
 TA_i レジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウンタソースが入力された後
 TA_i レジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
 カウンタはカウント中の値を引き続きカウントし、“0000h” (または“FFFFh”) になった次のカウンタソースでリロードレジスタの値をリロードする。

15.3.1.3 カウントソース

タイマモード、ワンショットタイマモード、PWMモード、プログラマブル出力モードでは、内部のクロックをカウントします(「図 15.1 タイマA、B カウントソース」参照)。表 15.5にタイマAカウントソースを示します。

f1は次のいずれかです。(「8. クロック発生回路」参照)

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)
- fOCO-Fの1分周(分周なし)

表 15.5 タイマAカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3	TCS2~TCS0	TCK1~TCK0	
		TCS7	TCS6~TCS4		
f1TIMAB	1	0	—	00b	f1またはfOCO-F(注1)
		1	000b	—	
f2TIMAB	0	0	—	00b	f1の2分周または fOCO-Fの2分周(注1)
		1	000b	—	
f8TIMAB	—	0	—	01b	f1の8分周または fOCO-Fの8分周(注1)
		1	001b	—	
f32TIMAB	—	0	—	10b	f1の32分周または fOCO-Fの32分周(注1)
		1	010b	—	
f64TIMAB	—	1	011b	—	f1の64分周または fOCO-Fの64分周(注1)
fOCO-F	—	1	100b	—	fOCO-F
fOCO-S	—	1	101b	—	fOCO-S
fC32	—	0	—	11b	fC32
		1	110b	—	

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TACS0~TACS2レジスタのビット

TCK1~TCK0: TAI*M*R (i=0~4)レジスタのビット

注1. f1またはfOCO-FはTCKDIVC0レジスタのTCDIV00ビットで選択してください。

15.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 15.6 にタイマモードの仕様を、表 15.7 にタイマモード時の使用レジスタと設定値を、図 15.5 にタイマモード時の動作例を示します。

表 15.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$\frac{(n+1)}{fj}$ n: TAIレジスタの設定値 0000h~FFFFh fj: カウントソースの周波数
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の期間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 15.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	“00b”にしてください
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

タイマモード タイマAiモードレジスタ (i=0~4)		シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機 能		RW
TMOD0	動作モード選択ビット	b1 b0	0 0: タイマモード	RW
TMOD1				RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)		RW
MR1	ゲート機能選択ビット	b4 b3	0 0: ゲート機能なし (TAiIN端子は入出力ポート) 0 1: TAiIN端子に“L”が入力されている 期間カウントする 1 0: TAiIN端子に“H”が入力されている 期間カウントする	RW
MR2				RW
MR3	タイマモードでは“0”にしてください			RW
TCK0	カウントソース選択 ビット	b7 b6	0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1				

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

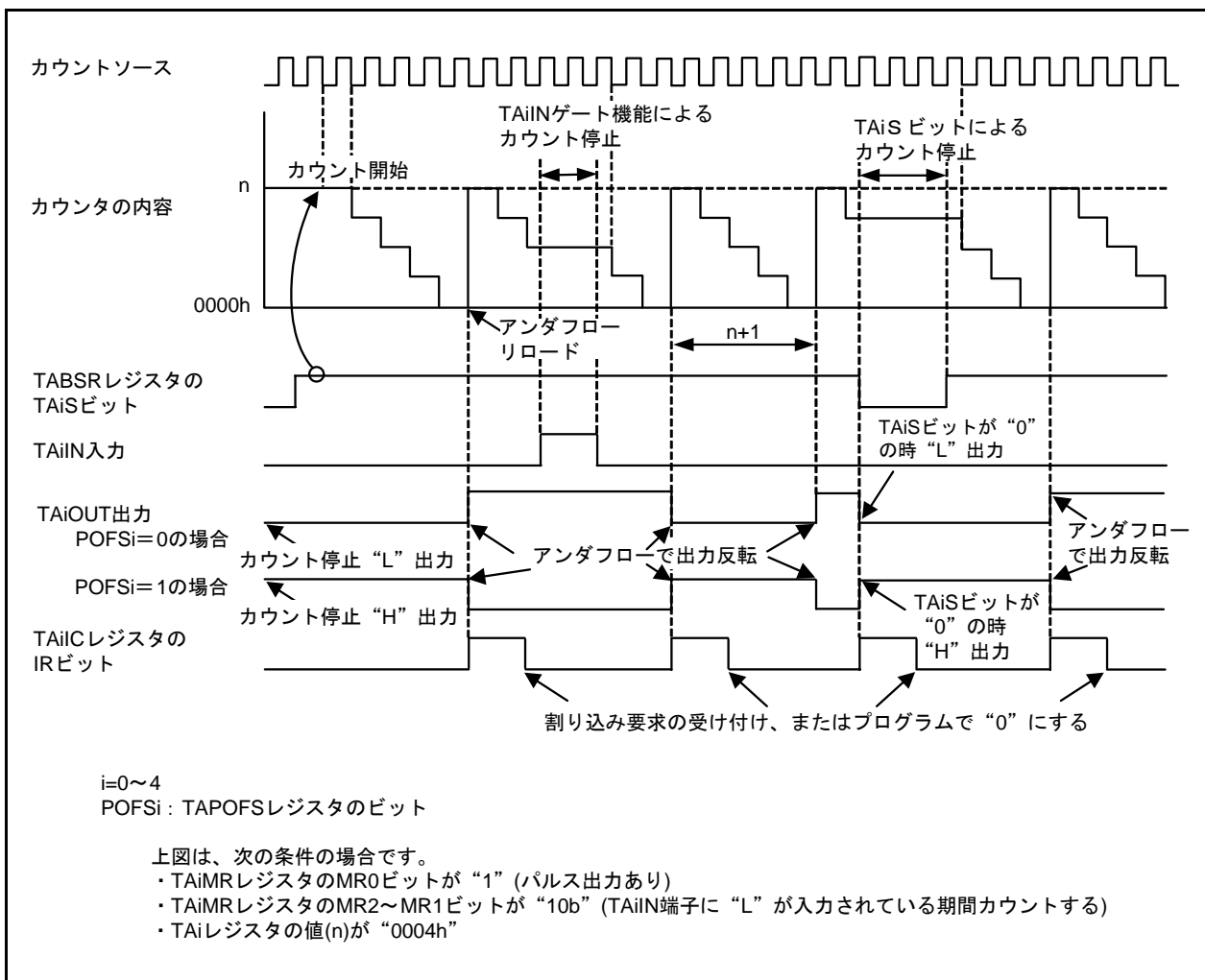


図 15.5 タイマモード時の動作例

15.3.3 イベントカウンタモード (二相パルス信号処理を使用しない場合)

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。

タイマA2、A3、A4は二相の外部信号をカウントできます。(「15.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)」参照。)

表 15.8にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、表 15.9にイベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)を、図 15.6にイベントカウンタモード時の動作例を示します。

表 15.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TAIiN端子に入力された外部信号(有効エッジを選択可能) • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー ($j = i - 1$、ただし$i=0$のとき$j=4$) • タイマAkのオーバフローまたはアンダフロー ($k = i + 1$、ただし$i=4$のとき$k=0$)
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントをプログラムで選択可能 • オーバフローまたはアンダフロー時は、リロードレジスタの値をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 $FFFFh - n + 1$ • ダウンカウント時 $n + 1$ n: TAIレジスタの設定値 $0000h \sim FFFFh$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない • パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。 TAiSビットが“0”(カウント停止)の間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の間は“H”を出力)

i=0~4

表 15.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TCKDIVC0	TCDIV00	-(設定しないでよい)
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントソースを選択してください
TRGSR	TAiTGH~TAiTGL	カウントソースを選択してください
UDF	TAiUD	カウント動作を選択してください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用しない場合)
タイマAiモードレジスタ (i=0~4)

ビット シンボル	シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
b7			
b6			
b5	0		
b4	0		
b3			
b2			
b1	0		
b0	1		
ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1	カウント極性選択ビット	0: 外部信号の立ち下がりを実カウント 1: 外部信号の立ち上がりを実カウント	RW
MR2	イベントカウンタモードでは“0”にしてください		RW
MR3	イベントカウンタモードでは“0”にしてください		RW
TCK0	カウント動作タイプ 選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW

MR1 (カウント極性選択ビット) (b3)

ONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

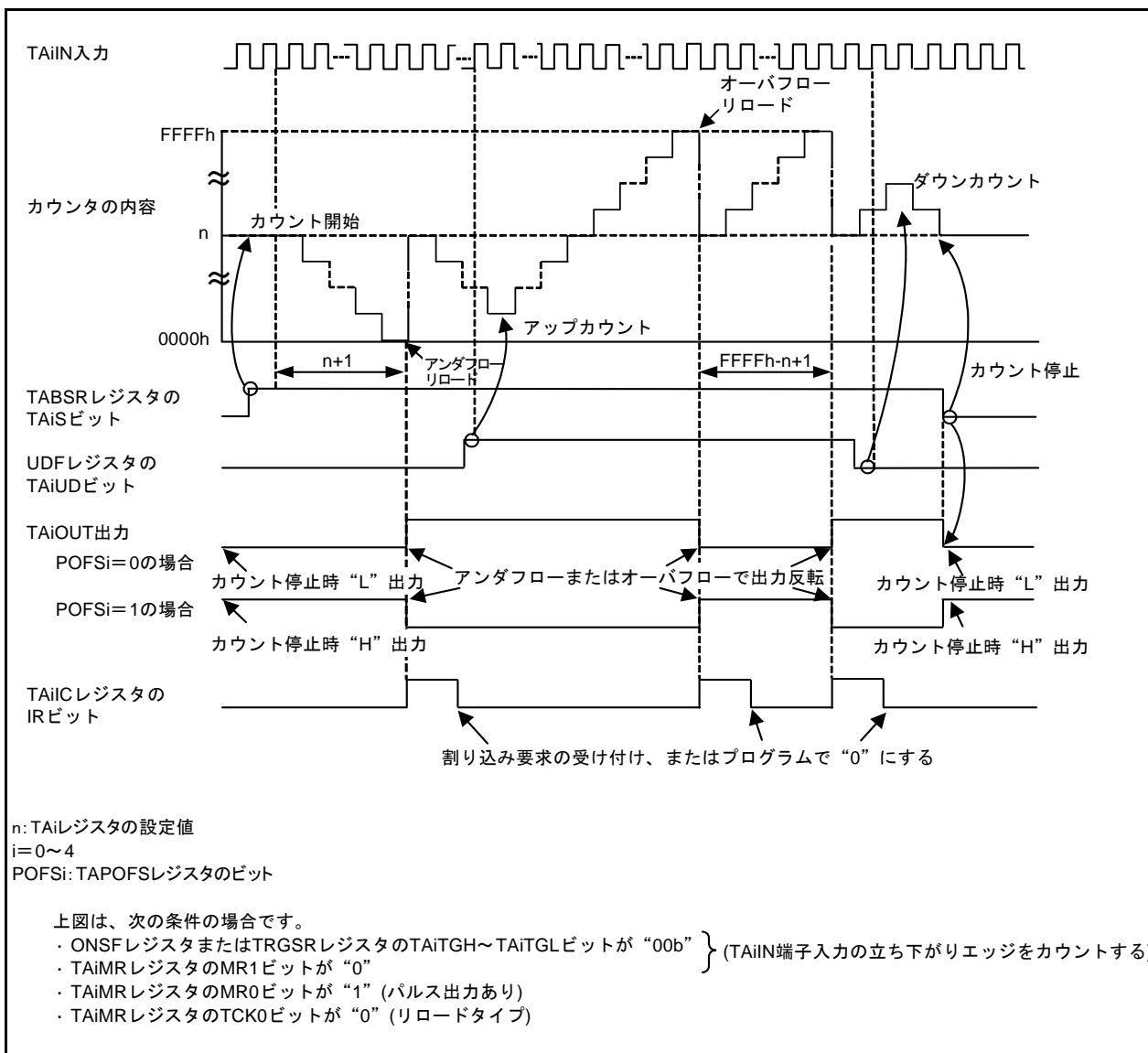


図 15.6 イベントカウンタモード時の動作例

15.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)

二相パルス信号をカウントするモードです。タイマA2、A3、A4が使用できます。表 15.10にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を、表 15.11にイベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値を示します。

表 15.10 イベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの値をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 $FFFFh - n + 1$ • ダウンカウント時 $n + 1$ n: TAi レジスタの設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4 レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 通常処理動作、または4通倍処理動作を選択(タイマA3) • Z相入力によるカウンタ初期化(タイマA3) • Z相入力により、タイマのカウント値を“0”にする

i=2~4

表 15.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TCKDIVC0	TCDIV00	-(設定しないでよい)
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	“0”にしてください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	タイマA3でZ相入力を使用するとき“1”にしてください
	TA0TGH~TA0TGL	-(設定しないでよい)
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“1”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=2~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用する場合)
 タイマAiモードレジスタ (i=2~4)

ビット シンボル	ビット名	機 能	RW
シンボル TA2MR~TA4MR アドレス 0338h~033Ah番地 リセット後の値 00h			
b7			
b6			
b5	0		
b4	1		
b3	0		
b2	0		
b1	0		
b0	1		
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット	0: 通常処理動作 1: 4逓倍処理動作	RW

TCK1 (二相パルス処理動作選択ビット) (b7)

タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

15.3.4.1 通常処理動作

TAjOUT 端子 (j=2, 3) の入力信号が“H”の期間、TAjIN 端子の立ち上がりをアップカウントし、立ち下がりやをダウンカウントします。

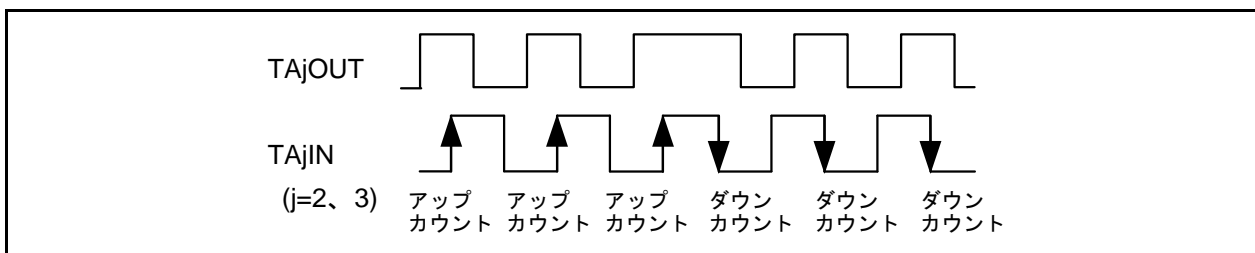


図 15.7 通常処理動作

15.3.4.2 4 通倍処理動作

TAkOUT 端子 (k=3, 4) の入力信号が“H”の期間に TAKIN 端子の入力信号が立ち上がる位相関係の場合、TAKOUT、TAKIN 端子の入力信号の立ち上がり、立ち下がりやをアップカウントします。TAKOUT 端子の入力信号が“H”の期間に TAKIN 端子の入力信号が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の入力信号の立ち上がり、立ち下がりやをダウンカウントします。

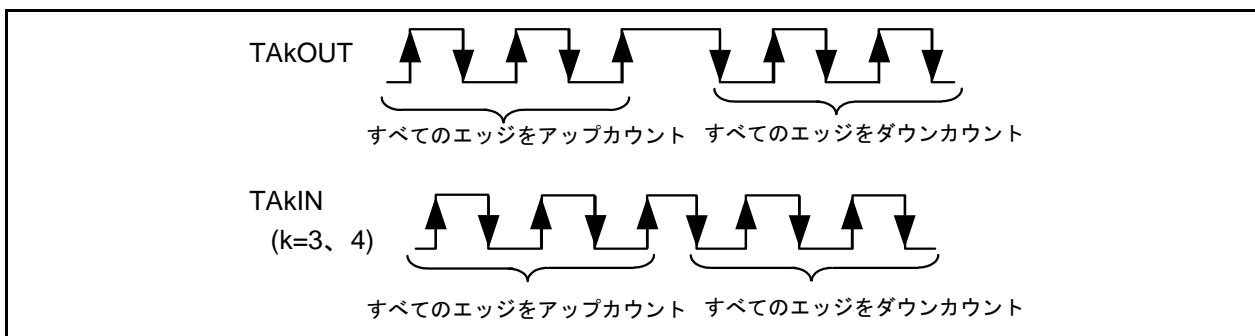


図 15.8 4 通倍処理動作

15.3.4.3 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0000h”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図15.9 二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

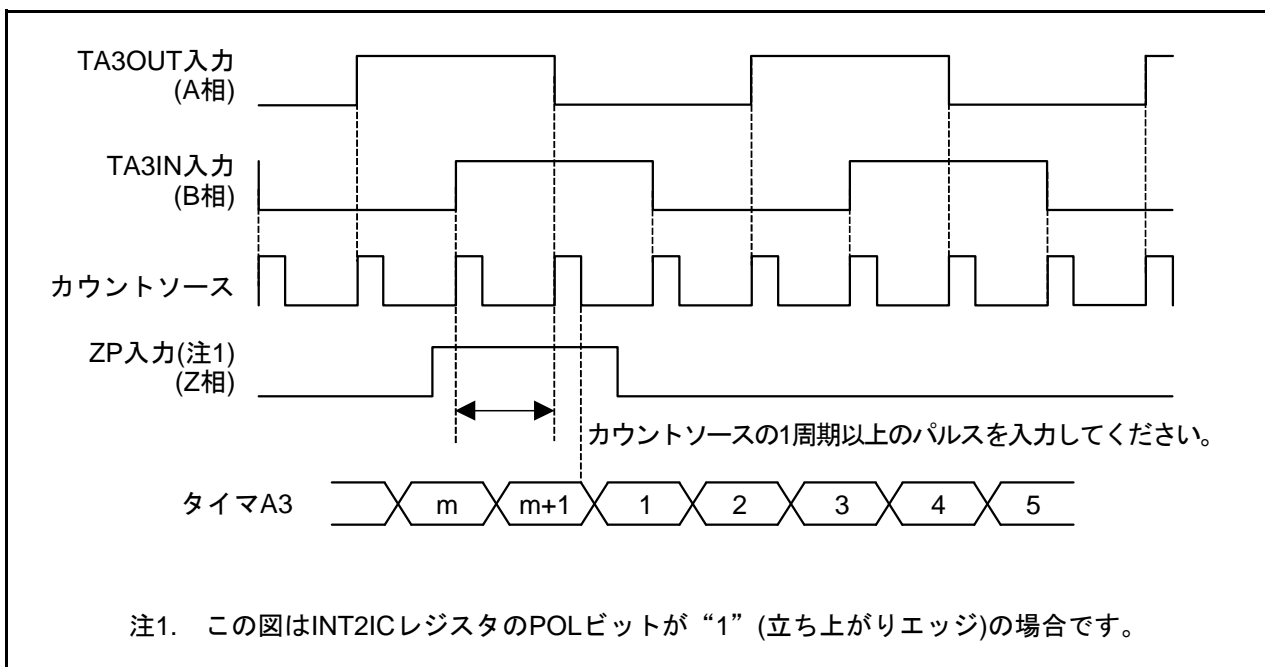
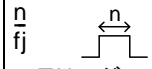


図 15.9 二相パルス(A相、B相)とZ相の関係

15.3.5 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。表 15.12にワンショットタイマモードの仕様を、表 15.13にワンショットタイマモード時の使用レジスタと設定値を、図 15.10にワンショットタイマモード時の動作例を示します。

表 15.12 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • カウンタが“0000h”になるタイミングでリロードしてカウントを停止 • カウント中にトリガが発生した場合、リロードしてカウントを継続
パルス幅	 <p>n: TAIレジスタの設定値 0000h~FFFFh ただし、“0000h”を設定した場合、カウンタは動作しない fj: カウントソースの周波数</p>
カウント開始条件	TABSRレジスタのTAISビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> • TAIIN端子からの外部トリガ入力 • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー (j = i - 1、ただしi=0のときj=4) • タイマAkのオーバフローまたはアンダフロー (k = i + 1、ただしi=4のときk=0) • ONSFレジスタのTAIOSビットを“1”(ワンショット開始)にする
カウント停止条件	<ul style="list-style-type: none"> • カウント値が“0000h”になりリロードした後 • TAI Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が“0000h”になるタイミング
TAIIN端子機能	入出力ポートまたはトリガ入力
TAIOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAIレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAIレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中(ただし、1回目のカウントソース入力後)TAIレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力 • 出力極性制御 TAIOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 15.13 ワンショットタイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケラをリセットするとき“1”を書いてください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	MR2ビットが“0”でカウントを開始するとき“1”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

ワンショットタイマモード タイマAiモードレジスタ (i=0~4)			
ビット シンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 0 1 0	TA0MR~TA4MR	0336h~033Ah番地	00h
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0: ワンショットタイマモード	RW
			RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: TAiOSビットが有効 1: TAiTGH~TAiTGLビットで選択	RW
MR3	ワンショットタイマモードでは“0”にしてください		RW
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW

MR1 (外部トリガ選択ビット) (b3)

MR2ビットが“1”、かつONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

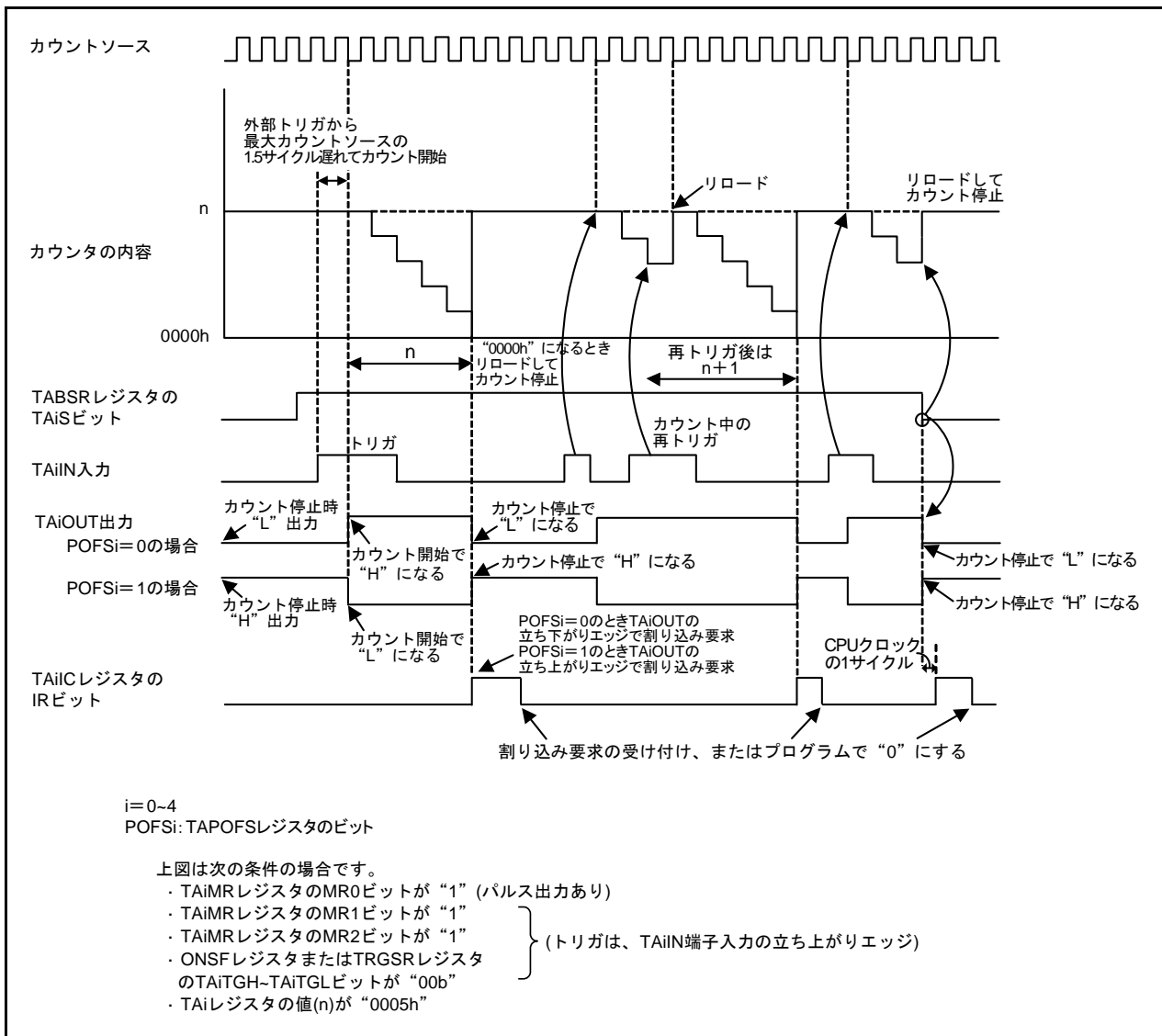
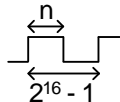
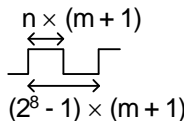


図 15.10 ワンショットタイマモード時の動作例

15.3.6 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。表 15.14 にパルス幅変調モードの仕様を、表 15.15 にパルス幅変調モード時の使用レジスタと設定値を、図 15.11 に16ビットパルス幅変調モードの動作例を、図 15.12 に8ビットパルス幅変調モードの動作例を示します。

表 15.14 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^{16}-1)}{f_j}$ <p>n:TAiレジスタの設定値 fj:カウントソースの周波数</p>
8ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n \times (m+1)}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^8-1) \times (m+1)}{f_j}$ <p>m:TAiレジスタの下位番地の設定値 n:TAiレジスタの上位番地の設定値 fj:カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSRレジスタのTAiSビットを“1”(カウント開始)にする • TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー(j=i-1、ただしi=0のときj=4)、 タイマAkのオーバフローまたはアンダフロー(k=i+1、ただしi=4のときk=0)
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 15.15 パルス幅変調モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	PWMのパルス幅、周期を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

パルス幅変調モード タイマAiモードレジスタ (i=0~4)			
シンボル TA0MR~TA4MR		アドレス 0336h~033Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW
TMOD1			RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAITGH~TAITGLビットで選択	RW
MR3	16/8ビットPWMモード選択 ビット	0: 16ビットPWMモード 1: 8ビットPWMモード	RW
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1			

MR1 (外部トリガ選択ビット) (b3)

MR2 ビットが“1”、かつ ONSF レジスタまたは TRGSR レジスタの TAITGH~TAITGL ビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

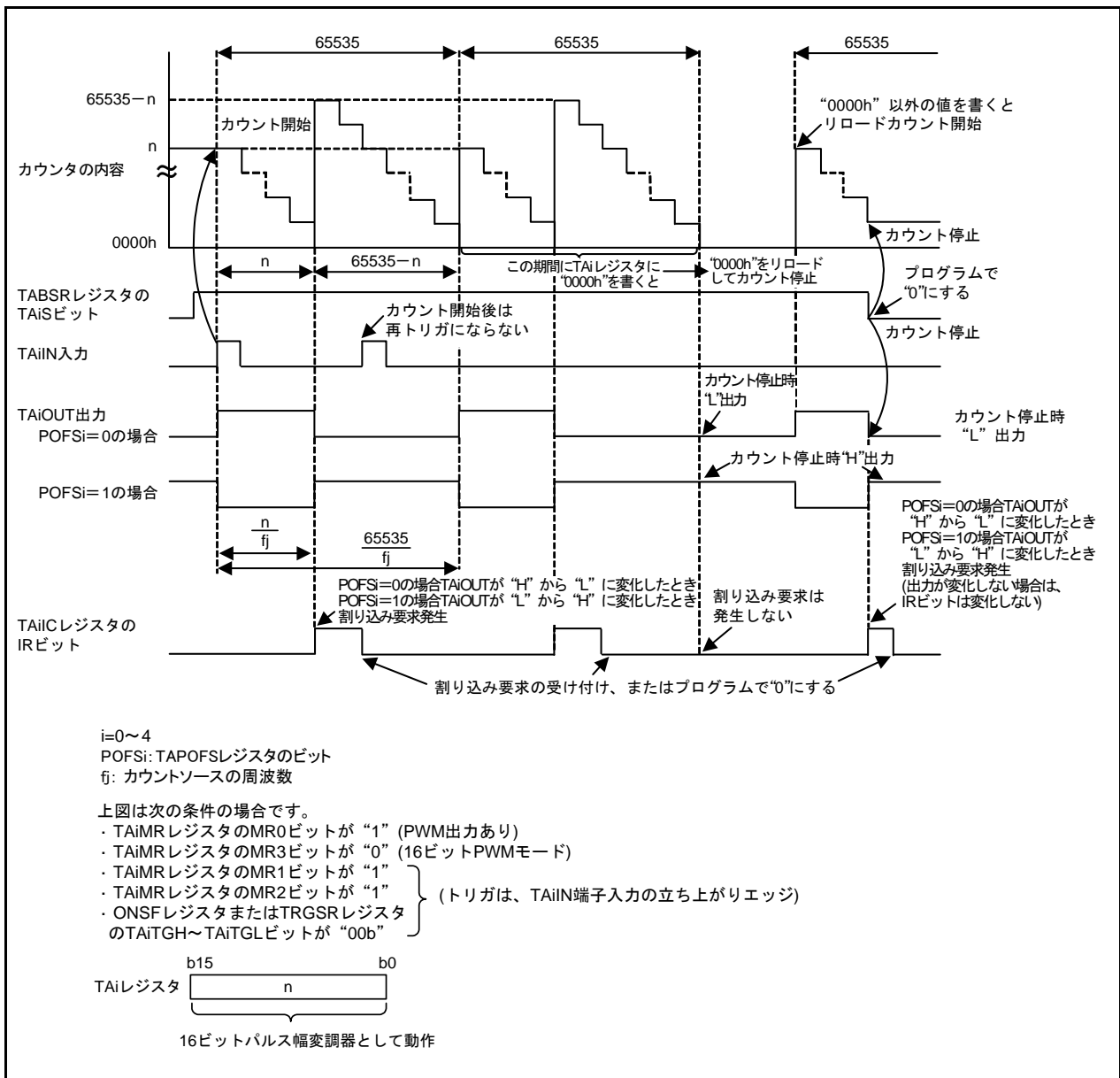


図 15.11 16ビットパルス幅変調モードの動作例

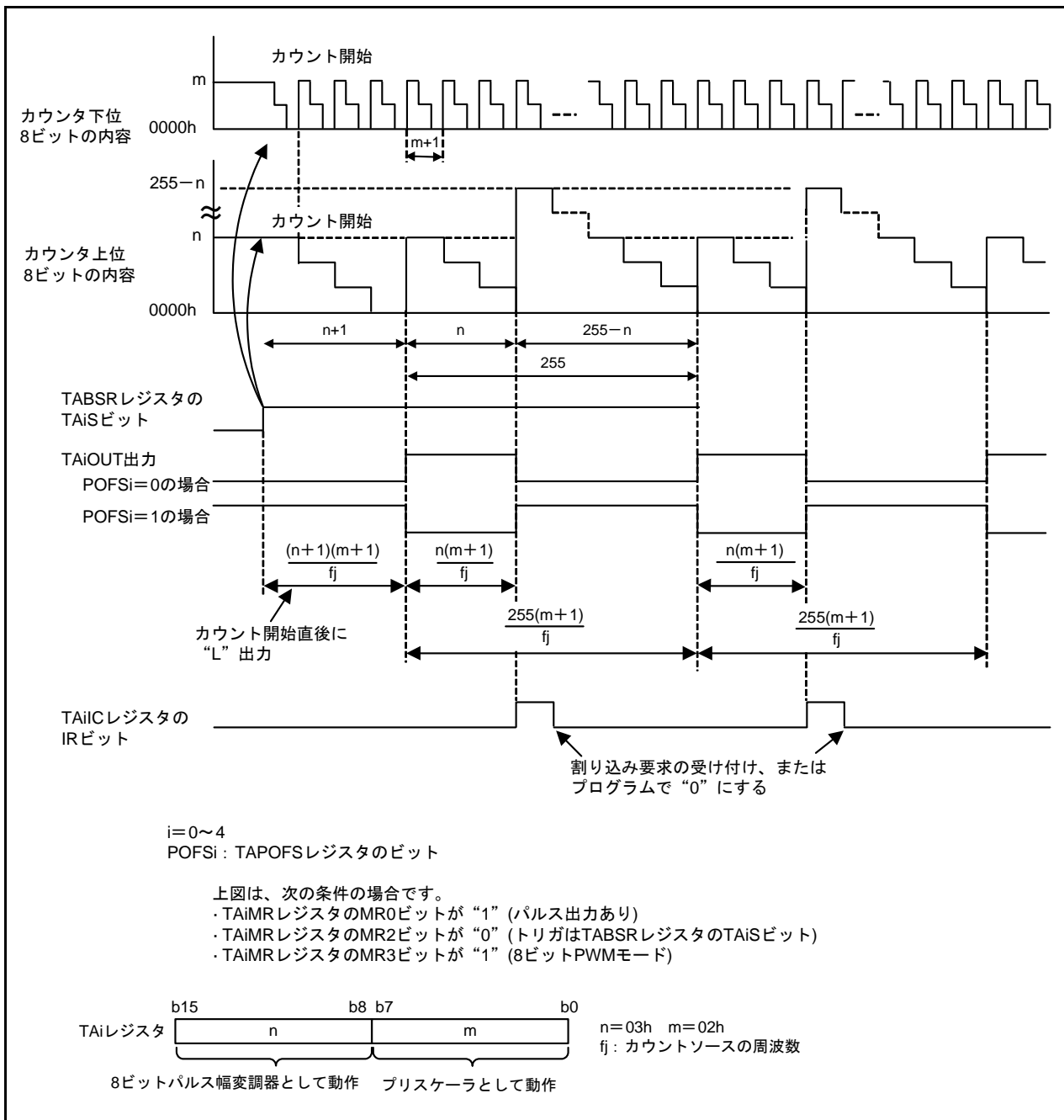
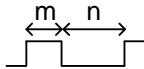


図 15.12 8ビットパルス幅変調モードの動作例

15.3.7 プログラマブル出力モード (タイマA1、A2、A4)

任意の“H”幅、“L”幅のパルスを連続して出力するモードです。表 15.16 にプログラマブル出力モードの仕様を、表 15.17 にプログラマブル出力モード時の使用レジスタと設定値を、図 15.13 にプログラマブル出力モード時の動作例を示します。

表 15.16 プログラマブル出力モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • パルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
パルス幅	<ul style="list-style-type: none"> • “H”幅 $\frac{m}{f_j}$  <ul style="list-style-type: none"> • “L”幅 $\frac{n}{f_j}$ <p>m:TAi レジスタの設定値 n:TAi1 レジスタの設定値 fj: カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSR レジスタのTAiS ビットを“1” (カウント開始)にする • TAiS ビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiS ビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー (j=i-1)、 タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4 のときk=0)
カウント停止条件	TAiS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	パルスの立ち上がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAi、TAi1 レジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAi、TAi1 レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAi、TAi1 レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiS ビットが“0” (カウント停止)の期間は“H”を出力)

i=1, 2, 4

表 15.17 プログラマブル出力モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
PWMFS	PWMFSi	“1”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	出力波形の変更を禁止するとき“0”に、許可するとき“1”にしてください
TAi1	15~0	“L”幅を設定してください(注2)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

プログラマブル出力モード タイマAiモードレジスタ (i=1, 2, 4)		シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h																
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>b7</td><td>b6</td><td>b5</td><td>b4</td><td>b3</td><td>b2</td><td>b1</td><td>b0</td> </tr> <tr> <td></td><td></td><td>0</td><td></td><td></td><td></td><td>1</td><td>1</td> </tr> </table>					b7	b6	b5	b4	b3	b2	b1	b0			0				1	1
b7	b6	b5	b4	b3	b2	b1	b0													
		0				1	1													
ビット シンボル	ビット名	機能		RW																
TMOD0	動作モード選択ビット	b1	b0	RW																
		1			1: パルス幅変調 (PWM)モード、またはプログラマブル出力モード															
TMOD1				RW																
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)		RW																
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり		RW																
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAiTGH~TAiTGLビットで選択		RW																
MR3	プログラマブル出力モードでは、“0”にしてください			RW																
TCK0	カウントソース選択ビット	b7	b6	RW																
TCK1		0			0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32															

MR1 (外部トリガ選択ビット) (b3)

MR2 ビットが“1”、かつ ONSF レジスタまたは TRGSR レジスタの TAiTGH~TAiTGL ビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

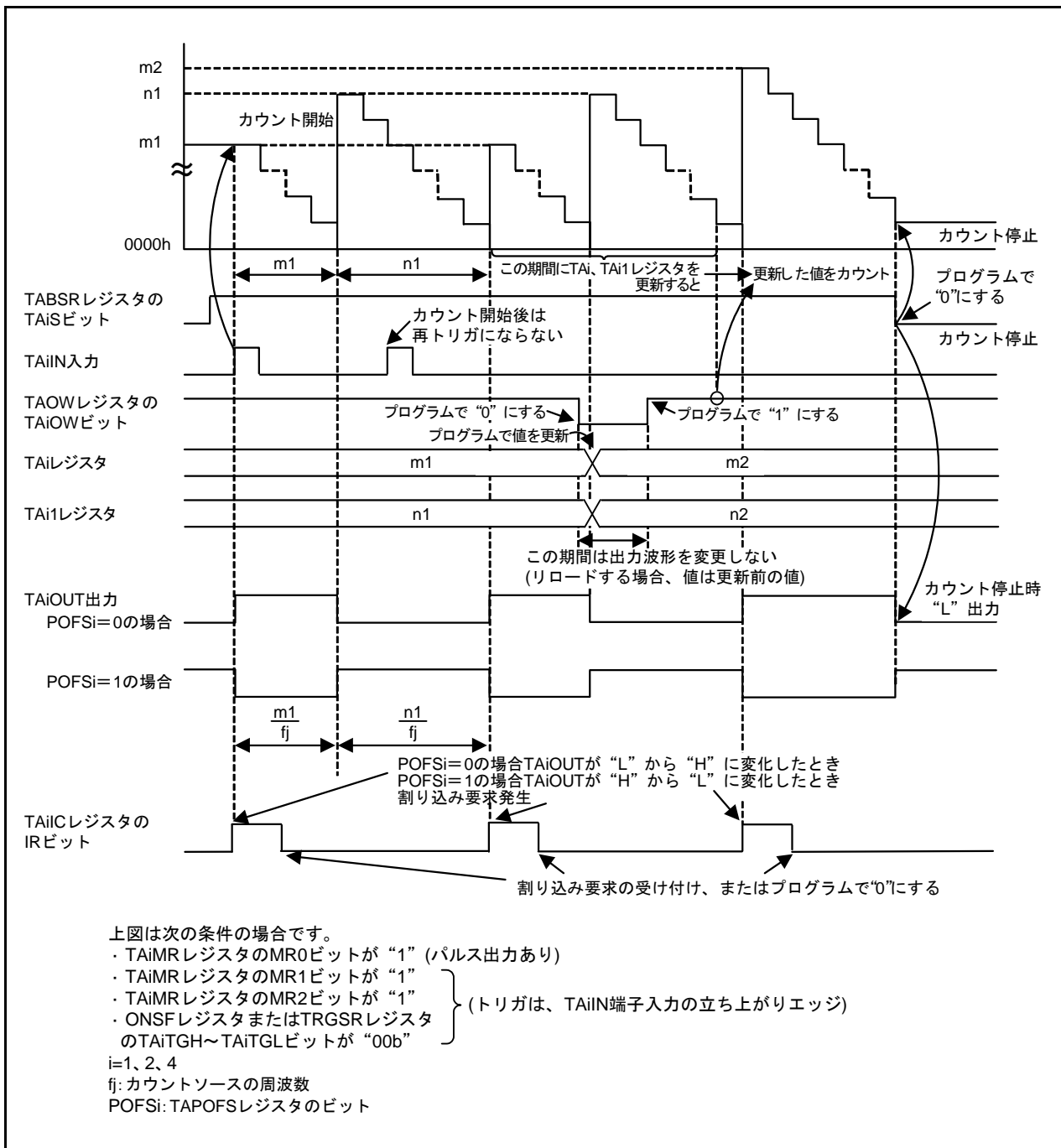


図 15.13 プログラマブル出力モード時の動作例

15.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 15.18にタイマAの割り込み関連レジスタを示します。

表 15.18 タイマAの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b

タイマAi割り込みでは、TAiMRレジスタのTMOD1ビットを“0”から“1”(タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWMモードまたはプログラマブル出力モード)に変更すると、TAiICレジスタのIRビットが“1”(割り込み要求あり)になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

- (1)TAiICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする。
- (2)TAiMRレジスタを設定する。
- (3)TAiICレジスタのIRビットを“0”(割り込み要求なし)にする。

15.5 タイマA使用上の注意事項

15.5.1 複数モードに関わる共通事項

15.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、TCKDIVC0レジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TCKDIVC0レジスタのTCDIV00ビットを設定した後、その他のタイマA関連レジスタを設定してください。TCDIV00ビットを変更した後も、その他のタイマA関連レジスタを再設定してください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、TCKDIVC0レジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

15.5.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

15.5.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/CTS2/RTS2/TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

15.5.2 タイマA(タイマモード)

15.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

15.5.3 タイマA (イベントカウンタモード)

15.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

15.5.4 タイマA (ワンショットタイマモード)

15.5.4.1 カウントを中断した場合の状態

カウント中にTAiSビットを“0” (カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの値をリロードします。
- TAiOUT端子は、TAPOFSレジスタのPOFSiビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1” (割り込み要求あり)になります。

15.5.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

15.5.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

15.5.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

15.5.5 タイマA (パルス幅変調モード)

15.5.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

15.5.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

15.5.6 タイマA(プログラマブル出力モード)

15.5.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

15.5.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

16. タイマB

注意

80ピン版、64ピン版にタイマB3~タイマB5はありません。これらを使用しないでください。

16.1 概要

タイマBにはタイマB0~B5があります。すべてのタイマは独立して動作します。表 16.1にタイマBの仕様、図 16.1にタイマA、Bカウントソース、図 16.2にタイマB構成、図 16.3にタイマBブロック図、表 16.2に入出力端子を示します。

表 16.1 タイマBの仕様

項目	内容
構成	16ビットタイマ×6
動作モード	<ul style="list-style-type: none"> タイマモード 内部カウントソースをカウントするモード イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード パルス周期測定モード、パルス幅測定モード 外部信号のパルス周期、またはパルス幅を測定するモード
割り込み要因	オーバフロー/アンダフロー/測定パルスの有効エッジ×6

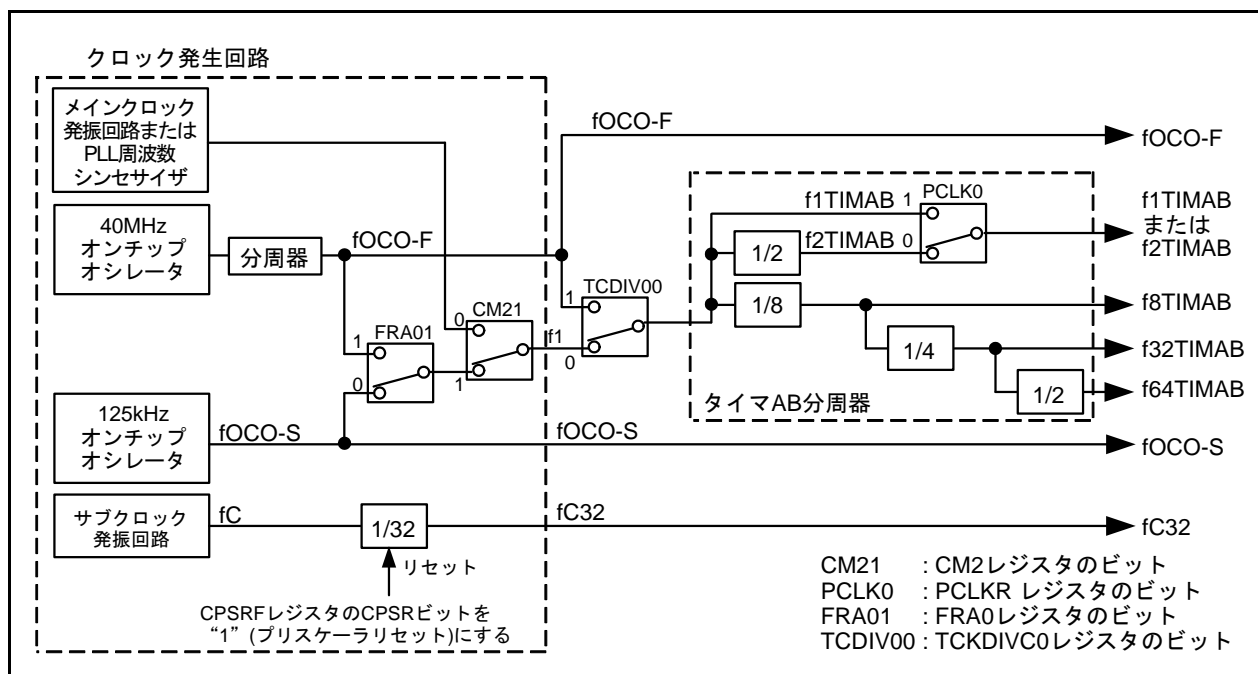


図 16.1 タイマA、Bカウントソース

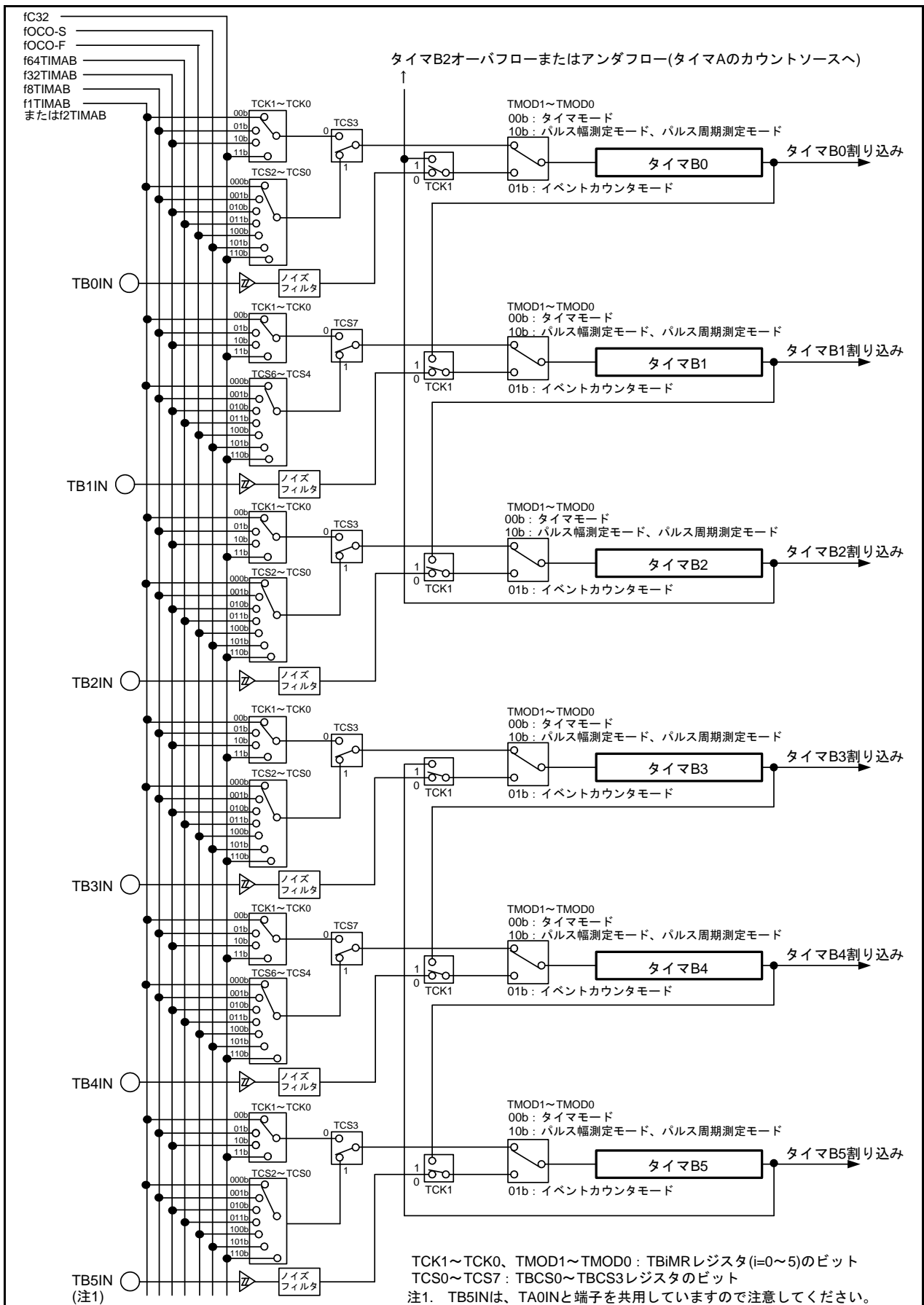


図 16.2 タイマB構成

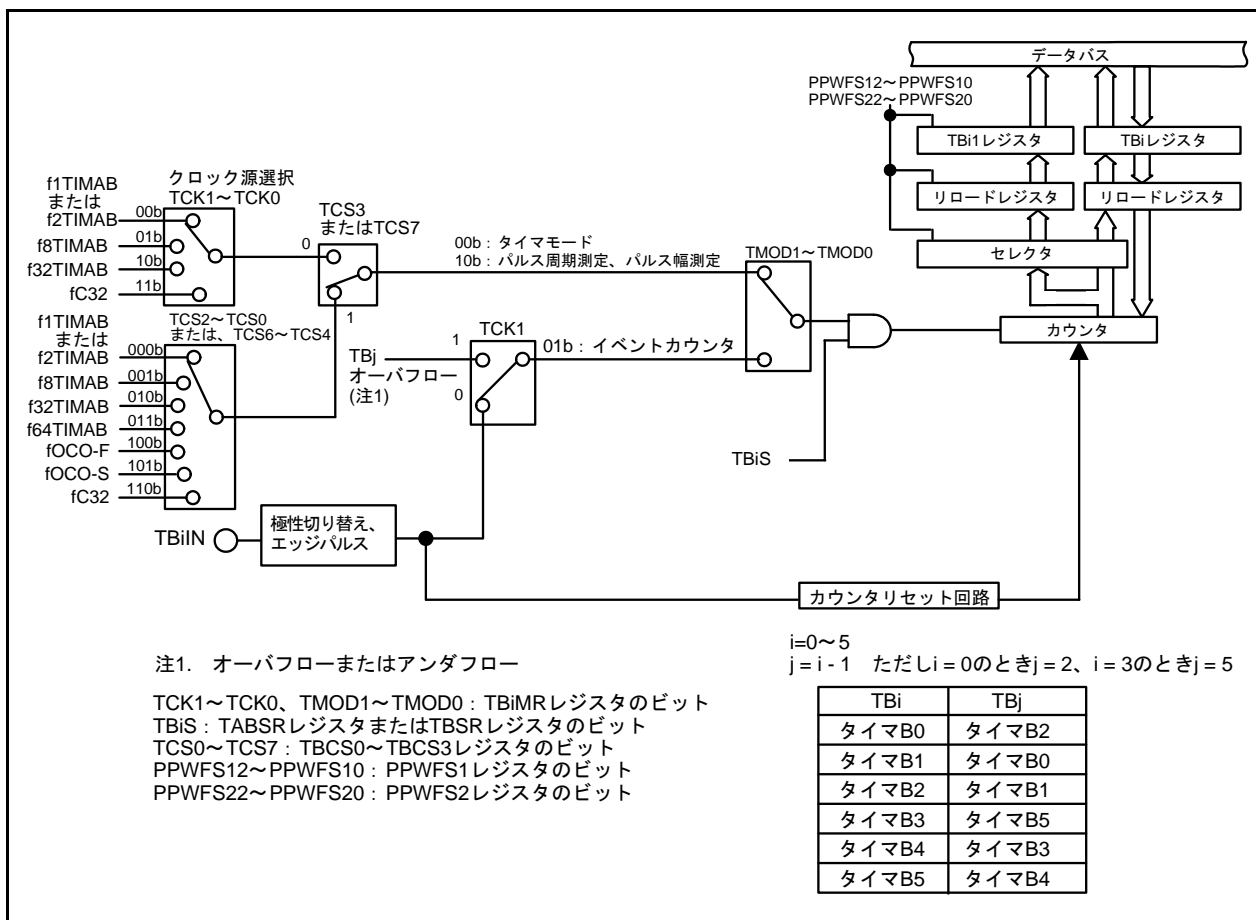


図 16.3 タイマBブロック図

表 16.2 入出力端子

端子名	入出力	機能
TBiIN	入力(注1)	カウントソース入力 (イベントカウンタモード) 測定パルス入力 (パルス周期測定モード、パルス幅測定モード)

$i=0\sim 5$

注1. TBiIN端子を入力で使用する場合、端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

16.2 レジスタの説明

タイマB関連レジスタを表 16.3~表 16.4レジスタ一覧に示します。

TCKDIVC0レジスタのTCDIV00ビットを設定した後、その他のタイマB関連レジスタを設定してください。TCDIV00ビットを変更した後も、その他のタイマB関連レジスタを再設定してください。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 16.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
01C0h	タイマB0-1レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	XXXX X000b
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	X0h
01CBh	タイマAB分周制御レジスタ0	TCKDIVC0	0000 X000b
01E0h	タイマB3-1レジスタ	TB31	XXh
01E1h			XXh
01E2h	タイマB4-1レジスタ	TB41	XXh
01E3h			XXh
01E4h	タイマB5-1レジスタ	TB51	XXh
01E5h			XXh
01E6h	パルス周期/幅測定モード機能選択レジスタ2	PPWFS2	XXXX X000b
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
0300h	タイマB3, 4, 5カウント開始フラグ	TBSR	000X XXXXb
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
0320h	カウント開始フラグ	TABSR	00h
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh

表 16.4 レジスタ一覧 (2/2)

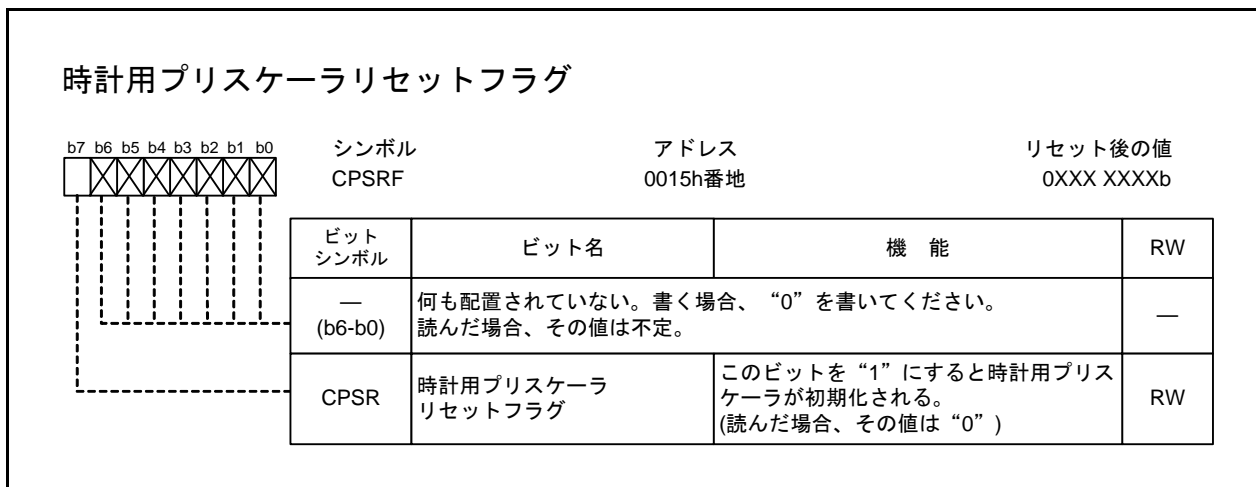
アドレス	レジスタ名	レジスタシンボル	リセット後の値
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b

16.2.1 周辺クロック選択レジスタ (PCLKR)

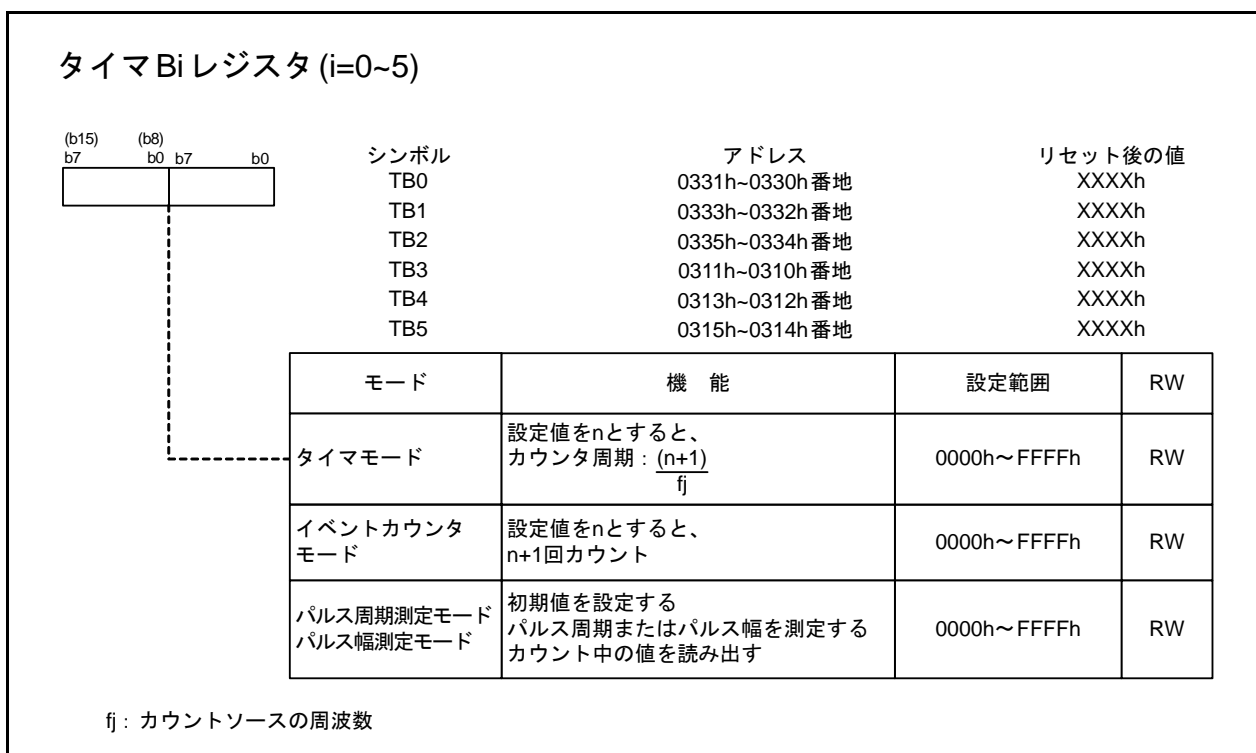
周辺クロック選択レジスタ			
ビットシンボル	ビット名	機能	RW
シンボル PCLKR アドレス 0012h番地 リセット後の値 0000 0011b			
PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック選択ビット (タイマA、タイマB、短絡防止タイマ、タイマS、マルチマスタI ² C-busインタフェースのクロック源)	0: f2TIMAB/f2IIC 1: f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0: f2SIO 1: f1SIO	RW
— (b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0: CM0レジスタのCM01~CM00ビットで選択 1: f1を出力	RW
— (b7-b6)	予約ビット	“0” にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

16.2.2 時計用プリスケアラリセットフラグ(CPSRF)



16.2.3 タイマBiレジスタ (TBi) (i=0~5)



16ビット単位でアクセスしてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントします。

パルス周期測定モード、パルス幅測定モード

TABSRまたはTBSRレジスタのTBiSビットが“0”(カウント停止)のときに設定してください。

TABSRまたはTBSRレジスタのTBiSビットが“1”(カウント開始)のときはROになります。

カウンタは測定パルスの有効エッジからカウントソースのカウントを開始し、次の有効エッジでカウント値をレジスタに転送し、カウントを続けます。

PPWFS1レジスタのPPWFS12~PPWFS10ビット、PPWFS2レジスタのPPWFS22~PPWFS20ビットが“0”のとき、TBiレジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“1”のとき、TBiレジスタを読むとカウント中のカウンタの値が読み出せます。

16.2.4 タイマBi-1レジスタ (TBi1) (i=0~5)

タイマBi-1レジスタ (i=0~5)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0	TB01	01C1h~01C0h番地	XXXXh
		TB11	01C3h~01C2h番地	XXXXh
		TB21	01C5h~01C4h番地	XXXXh
		TB31	01E1h~01E0h番地	XXXXh
		TB41	01E3h~01E2h番地	XXXXh
		TB51	01E5h~01E4h番地	XXXXh
		モード	機能	設定範囲
		パルス周期測定モード	パルス周期またはパルス幅を測定する	0000h~FFFFh
		パルス幅測定モード		
				RO

16ビット単位でアクセスしてください。

PPWFS1レジスタのPPWFS12~PPWFS10ビット、PPWFS2レジスタのPPWFS22~PPWFS20ビットが“1”のとき、TBi1レジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“0”のとき、TBi1レジスタの値は不定です。

16.2.5 パルス周期/幅測定モード機能選択レジスタ*i* (PPWFS*i*) (*i*=1, 2)

パルス周期/幅測定モード機能選択レジスタ1			
	シンボル PPWFS1	アドレス 01C6h番地	リセット後の値 XXXX X000b
ビット シンボル	ビット名	機 能	RW
PPWFS10	タイマB0パルス周期/ 幅測定モード機能選択ビット	0: TB0レジスタに測定結果格納、 TB01レジスタを使わない 1: TB0レジスタでカウント値読み出し、 TB01レジスタに測定結果格納	RW
PPWFS11	タイマB1パルス周期/ 幅測定モード機能選択ビット	0: TB1レジスタに測定結果格納、 TB11レジスタを使わない 1: TB1レジスタでカウント値読み出し、 TB11レジスタに測定結果格納	RW
PPWFS12	タイマB2パルス周期/ 幅測定モード機能選択ビット	0: TB2レジスタに測定結果格納、 TB21レジスタを使わない 1: TB2レジスタでカウント値読み出し、 TB21レジスタに測定結果格納	RW
— (b7-b3)	何も配置されていない。書く場合、0を書いてください。 読んだ場合、その値は不定。		—

パルス周期/幅測定モード機能選択レジスタ2			
	シンボル PPWFS2	アドレス 01E6h番地	リセット後の値 XXXX X000b
ビット シンボル	ビット名	機 能	RW
PPWFS20	タイマB3パルス周期/ 幅測定モード機能選択ビット	0: TB3レジスタに測定結果格納、 TB31レジスタを使わない 1: TB3レジスタでカウント値読み出し、 TB31レジスタに測定結果格納	RW
PPWFS21	タイマB4パルス周期/ 幅測定モード機能選択ビット	0: TB4レジスタに測定結果格納、 TB41レジスタを使わない 1: TB4レジスタでカウント値読み出し、 TB41レジスタに測定結果格納	RW
PPWFS22	タイマB5パルス周期/ 幅測定モード機能選択ビット	0: TB5レジスタに測定結果格納、 TB51レジスタを使わない 1: TB5レジスタでカウント値読み出し、 TB51レジスタに測定結果格納	RW
— (b7-b3)	何も配置されていない。書く場合、0を書いてください。 読んだ場合、その値は不定。		—

パルス周期測定モードまたはパルス幅測定モードのとき有効です。

16.2.6 タイマBカウントソース選択レジスタ*i* (TBCSi) (*i*=0~3)

タイマBカウントソース選択レジスタ0、タイマBカウントソース選択レジスタ2

ビットシンボル	ビット名	機能	RW
TCS0	T <i>Bi</i> カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB	RW
TCS1		0 0 1: f8TIMAB	
TCS2		0 1 0: f32TIMAB	
		0 1 1: f64TIMAB	
TCS3	T <i>Bi</i> カウントソース選択肢指定ビット	1 0 0: fOCO-F	RW
		1 0 1: fOCO-S	
		1 1 0: fC32	
		1 1 1: 設定しないでください	
TCS4	T <i>Bj</i> カウントソース選択ビット	b6 b5 b4 0 0 0: f1TIMABまたはf2TIMAB	RW
TCS5		0 0 1: f8TIMAB	
TCS6		0 1 0: f32TIMAB	
		0 1 1: f64TIMAB	
TCS7	T <i>Bj</i> カウントソース選択肢指定ビット	1 0 0: fOCO-F	RW
		1 0 1: fOCO-S	
		1 1 0: fC32	
		1 1 1: 設定しないでください	
TCS3	T <i>Bi</i> カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS0~TCS2無効	RW
1: TCK0~TCK1無効、TCS0~TCS2有効			
— (b7-b4)	何も配置されていない。 書く場合0を書いてください。読んだ場合、その値は不定。	—	—

リセット後の値: 00h (TBCS0), 00h (TBCS2)

アドレス: 01C8h番地 (TBCS0), 01E8h番地 (TBCS2)

TBCS0レジスタ: *i*=0, *j*=1, TBCS2レジスタ: *i*=3, *j*=4

タイマBカウントソース選択レジスタ1、タイマBカウントソース選択レジスタ3

ビットシンボル	ビット名	機能	RW
TCS0	T <i>Bi</i> カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB	RW
TCS1		0 0 1: f8TIMAB	
TCS2		0 1 0: f32TIMAB	
		0 1 1: f64TIMAB	
TCS3	T <i>Bi</i> カウントソース選択肢指定ビット	1 0 0: fOCO-F	RW
		1 0 1: fOCO-S	
		1 1 0: fC32	
		1 1 1: 設定しないでください	
— (b7-b4)	何も配置されていない。 書く場合0を書いてください。読んだ場合、その値は不定。	—	—

リセット後の値: X0h (TBCS1), X0h (TBCS3)

アドレス: 01C9h番地 (TBCS1), 01E9h番地 (TBCS3)

TBCS1レジスタ: *i*=2, TBCS3レジスタ: *i*=5

TCS2~TCS0 (T*Bi*カウントソース選択ビット) (b2~b0)TCS6~TCS4 (T*Bj*カウントソース選択ビット) (b6~b4)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

16.2.7 タイマAB分周制御レジスタ0 (TCKDIVC0)

タイマAB分周制御レジスタ0			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TCKDIVC0	アドレス 01CBh番地	リセット後の値 0000 X000b
0 0 0 0 X 0 0			
ビット シンボル	ビット名	機 能	RW
TCDIV00	タイマAB分周前クロック選 択ビット	0 : f1 1 : fOCO-F	RW
— (b2-b1)	予約ビット	“0” にしてください。	RW
— (b3)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7-b4)	予約ビット	“0” にしてください。	RW

TCDIV00 (タイマAB分周前クロック選択ビット) (b0)

TCDIV00 ビットはタイマA、B停止中に設定してください。

TCDIV00 ビットを設定した後、その他のタイマB関連レジスタを設定してください。TCDIV00 ビットを変更した後も、その他のタイマB関連レジスタを再設定してください。

16.2.8 カウント開始フラグ (TABSR)
 タイマB3, 4, 5カウント開始フラグ (TBSR)

カウント開始フラグ

シンボル
TABSR

アドレス
0320h番地

リセット後の値
00h

ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

タイマB3, 4, 5カウント開始フラグ

シンボル
TBSR

アドレス
0300h番地

リセット後の値
000X XXXXb

ビット シンボル	ビット名	機 能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TB4S	タイマB4カウント開始フラグ		RW
TB5S	タイマB5カウント開始フラグ		RW

16.2.9 タイマBiモードレジスタ (TBiMR) (i=0~5)

シンボル		アドレス	リセット後の値
TB0MR~TB2MR		033Bh~033Dh番地	00XX 0000b
TB3MR~TB5MR		031Bh~031Dh番地	00XX 0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0	RW
		0 0: タイマモード 0 1: イベントカウンタモード	
TMOD1		1 0: パルス周期測定モード、 パルス幅測定モード	RW
		1 1: 設定しないでください	
MR0	動作モードによって機能が異なる		RW
MR1		RW	
— (b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	動作モードによって機能が異なる。		RO
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1		RW	

16.3 動作説明

16.3.1 複数モードに関わる共通事項

16.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

16.3.1.2 カウンタリロードタイミング

タイマBiはTBiレジスタに設定された値(nとします)からカウントを開始します。TBiレジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタはnからカウントソースをダウンカウントします。そして、“0000h”になった次のカウントソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます。

TBiレジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウントソースが入力されるまで
TBiレジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウントソースが入力された後
TBiレジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
カウンタはカウント中の値を引き続きカウントし、“0000h”になった次のカウントソースでリロードレジスタの値をリロードする。

16.3.1.3 カウントソース

タイマモード、パルス周期測定モード、パルス幅測定モードでは、内部のクロックをカウントします(「図 16.1 タイマA、Bカウントソース」参照)。表 16.5にタイマBカウントソースを示します。

f1は次のいずれかです。(「8. クロック発生回路」参照)

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)
- fOCO-Fの1分周(分周なし)

表 16.5 タイマBカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS6~TCS4	TCK1~TCK0	
f1TIMAB	1	0 1	— 000b	00b —	f1またはfOCO-F(注1)
f2TIMAB	0	0 1	— 000b	00b —	f1の2分周または fOCO-Fの2分周(注1)
f8TIMAB	—	0 1	— 001b	01b —	f1の8分周または fOCO-Fの8分周(注1)
f32TIMAB	—	0 1	— 010b	10b —	f1の32分周または fOCO-Fの32分周(注1)
f64TIMAB	—	1	011b	—	f1の64分周または fOCO-Fの64分周(注1)
fOCO-F	—	1	100b	—	fOCO-F
fOCO-S	—	1	101b	—	fOCO-S
fC32	—	0 1	— 110b	11b —	fC32

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TBCS0~TBCS3レジスタのビット

TCK1~TCK0: TBIMR (i=0~5)レジスタのビット

注1. f1またはfOCO-FはTCKDIVC0レジスタのTCDIV00ビットで選択してください。

16.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.6にタイマモードの仕様、表 16.7にタイマモード時の使用レジスタと設定値、図 16.4にタイマモード時の動作例を示します。

表 16.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5

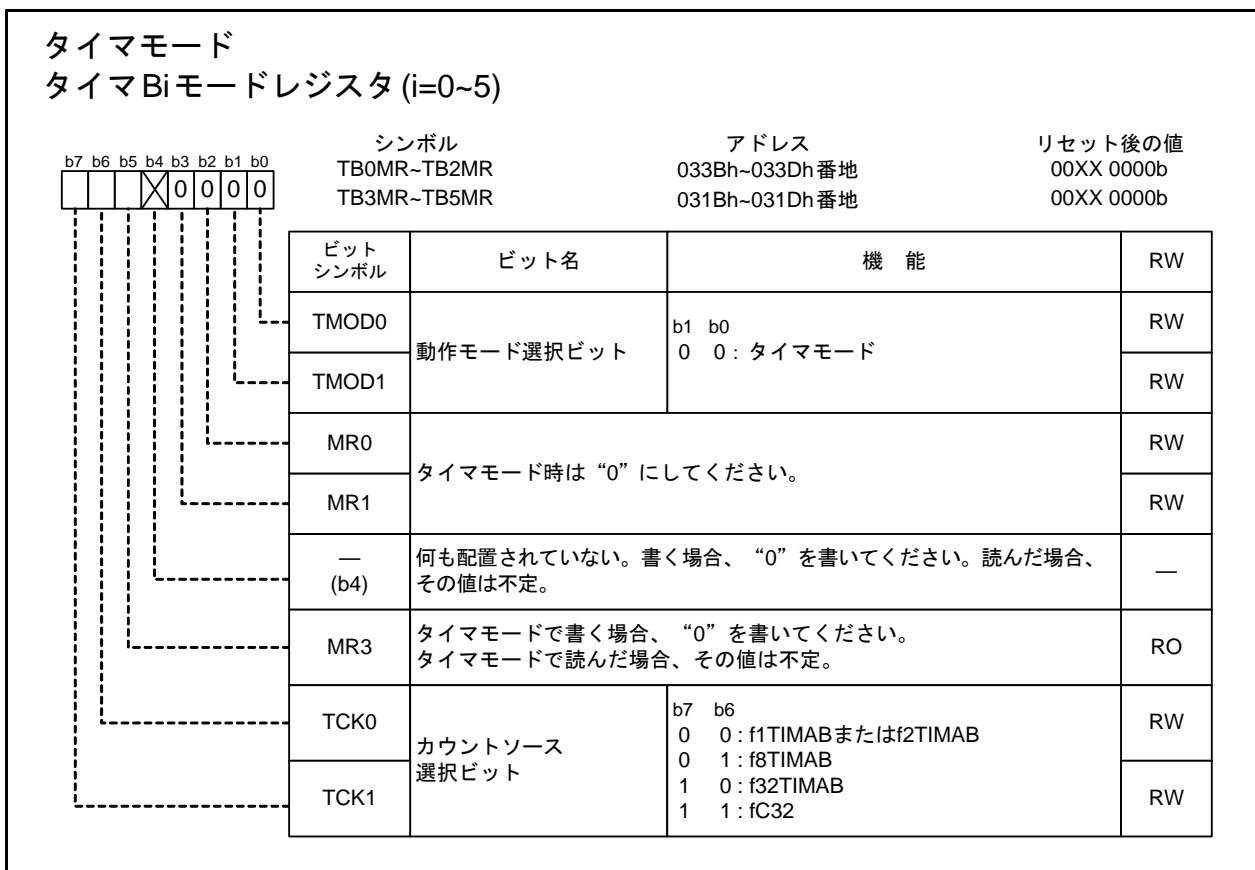
TBiS: TABSRまたはTBSRレジスタのビット

表 16.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	-(設定しないでよい)
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	“0”にしてください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
TBCS0~TBCS3	7~0	カウントソースを選択してください
TABSR TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。



TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS3レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

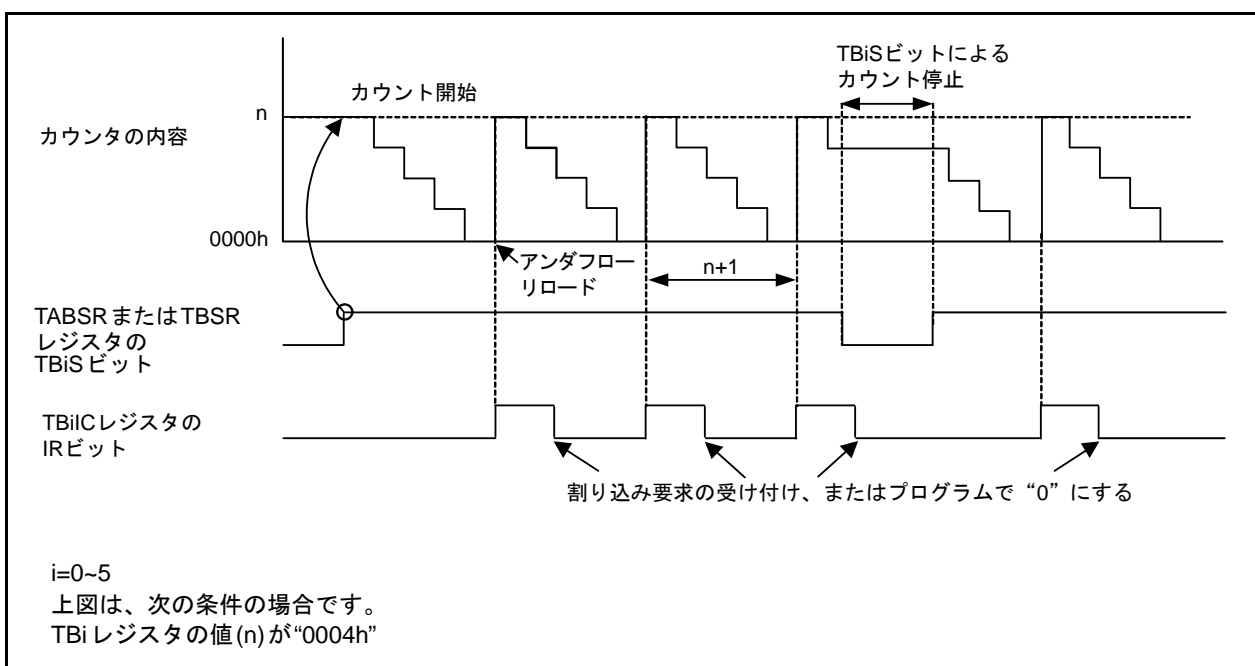


図 16.4 タイマモード時の動作例

16.3.3 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。表 16.8 にイベントカウンタモードの仕様、表 16.9 にイベントカウンタモード時の使用レジスタと設定値、図 16.5 にイベントカウンタモード時の動作例を示します。

表 16.8 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN端子に入力された外部信号(カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がり立ち上りをプログラムによって選択可) • タイマBjのオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時は、リロードレジスタの値をリロードしてカウントを継続
カウント回数	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5 j=i-1、ただしi=0のときj=2、i=3のときj=5

TBiS: TABSRまたはTBSRレジスタのビット

表 16.9 イベントカウンタモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	-(設定しないでよい)
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	“0”にしてください
TCKDIVC0	TCDIV00	-(設定しないでよい)
TBCS0~TBCS3	7~0	-(設定しないでよい)
TABSR TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。

イベントカウンタモード タイマBiモードレジスタ (i=0~5)			
シンボル TB0MR~TB2MR TB3MR~TB5MR		アドレス 033Bh~033Dh 番地 031Bh~031Dh 番地	リセット後の値 00XX 0000b 00XX 0000b
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	カウント極性選択ビット	b3 b2 0 0: 外部信号の立ち下がりカウント 0 1: 外部信号の立ち上がりカウント 1 0: 外部信号の立ち上がり立ち下がり カウント 1 1: 設定しないでください	RW
MR1			RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。		RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		RW
TCK1	イベントクロック選択 ビット	0: TBiN端子からの入力 1: タイマBj (j=i-1 ただしi=0のときj=2、i=3のときj=5)	RW

MR1~MR0 (カウント極性選択ビット) (b3~b2)

TCK1 ビットが“0” (TBiN 端子からの入力) の場合に有効です。TCK1 ビットが“1” (タイマBj) の場合は、“0”でも“1”でも可。

TCK1 (イベントクロック選択ビット) (b7)

TCK1 ビットが“1”の場合、タイマBj (j=i-1 ただしi=0のときj=2、i=3のときj=5) の割り込み要求発生タイミングで、イベントが発生します (I フラグや IPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントは発生します)。

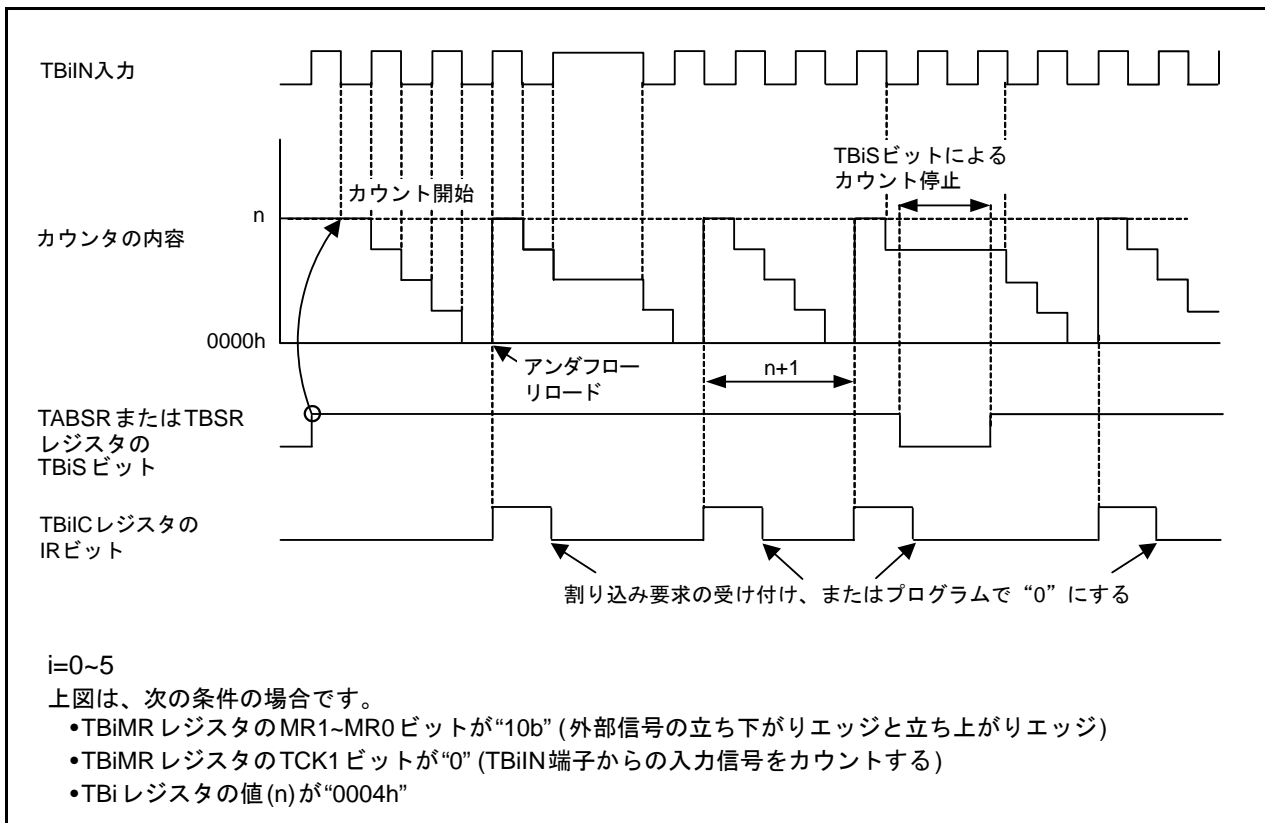


図 16.5 イベントカウンタモード時の動作例

16.3.4 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 16.10 にパルス周期測定モード、パルス幅測定モードの仕様、表 16.11 にパルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値、図 16.6 にパルス周期測定モード時の動作図、図 16.7 にパルス幅測定モード時の動作図を示します。

表 16.10 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TBiS ビットを “1” (カウント開始)にする
カウント停止条件	TBiS ビットを “0” (カウント停止)にする
割り込み要求発生タイミング (注3)	<ul style="list-style-type: none"> • 測定パルスの有効エッジ入力時(注1) • オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが “1” (オーバフローあり)になる。
TBiIN端子機能	測定パルス入力
タイマの読み出し	PPWFS1、PPWFS2レジスタのPPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“0”の場合 TBiレジスタを読むと、リロードレジスタの値(測定結果)が読める(注2) PPWFS1、PPWFS2レジスタのPPWFS12~PPWFS10、PPWFS22~PPWFS20ビットが“1”の場合 TBiレジスタを読むとカウンタの値(カウント中の値)が読める。 TBi1レジスタを読むと、リロードレジスタの値(測定結果)が読める
タイマの書き込み	カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる

i=0~5

TBiS: TABSRまたはTBSRレジスタのビット

- 注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
- 注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。
- 注3. タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

表 16.11 パルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“1”のとき、測定結果が読み出せませ
PPWFS1~ PPWFS2	PPWFS12~ PPWFS10 PPWFS22~ PPWFS20	カウント中のカウンタ値を読む場合、“1”にしてください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
TBCS0~TBCS3	7~0	カウントソースを選択してください
TABSR、TBSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	初期値を設定してください。 タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“0”の場合、測定結果が読み出せませ。 タイマBiに対応するPPWFS1またはPPWFS2レジスタのビットが“1”の場合、カウント中のカウンタ値が読み出せませ
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~5

注1. この表は手順を示すものではありません。

パルス周期測定モード、パルス幅測定モード
タイマBiモードレジスタ (i=0~5)

ビット シンボル	ビット名	機能	RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。	—	—
MR3	タイマBiオーバフロー フラグ	0: オーバフローなし 1: オーバフローあり	RO
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1			RW
MR0	測定モード選択ビット	b3 b2 0 0: パルス周期測定 (測定/パルスの立ち下がりから次の立ち下がり間の測定) 0 1: パルス周期測定 (測定/パルスの立ち上がりから次の立ち上がり間の測定) 1 0: パルス幅測定 (測定/パルスの立ち下がりから次の立ち上がり間の 測定と立ち上がりから次の立ち下がり間の測定) 1 1: 設定しないでください	RW
MR1			RW
TMOD0	動作モード選択ビット	b1 b0 1 0: パルス周期測定モード、パルス幅 測定モード	RW
TMOD1			RW

MR3 (タイマBiオーバフローフラグ) (b5)

リセット後は不定です。TBiMR レジスタに書くと、MR3 ビットは“0” (オーバフローなし) になります。MR3 ビットをプログラムで“1”にできません。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS3 レジスタのTCS3 ビット、またはTCS7 ビットが“0” (TCK0~TCK1 有効) の場合に有効。f1TIMAB または f2TIMAB は、PCLKR レジスタのPCLK0 ビットで選択してください。

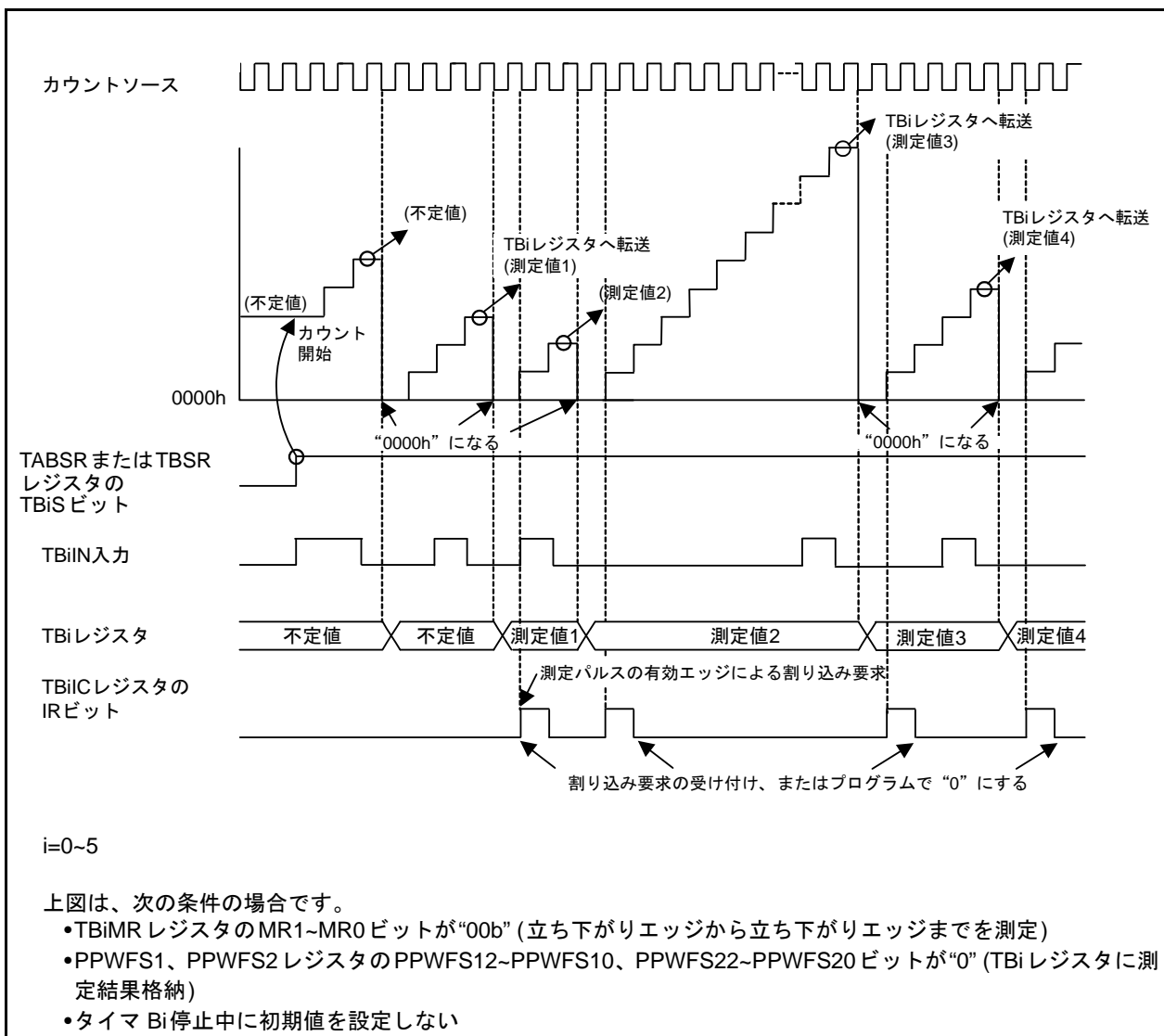


図 16.6 パルス周期測定モード時の動作図

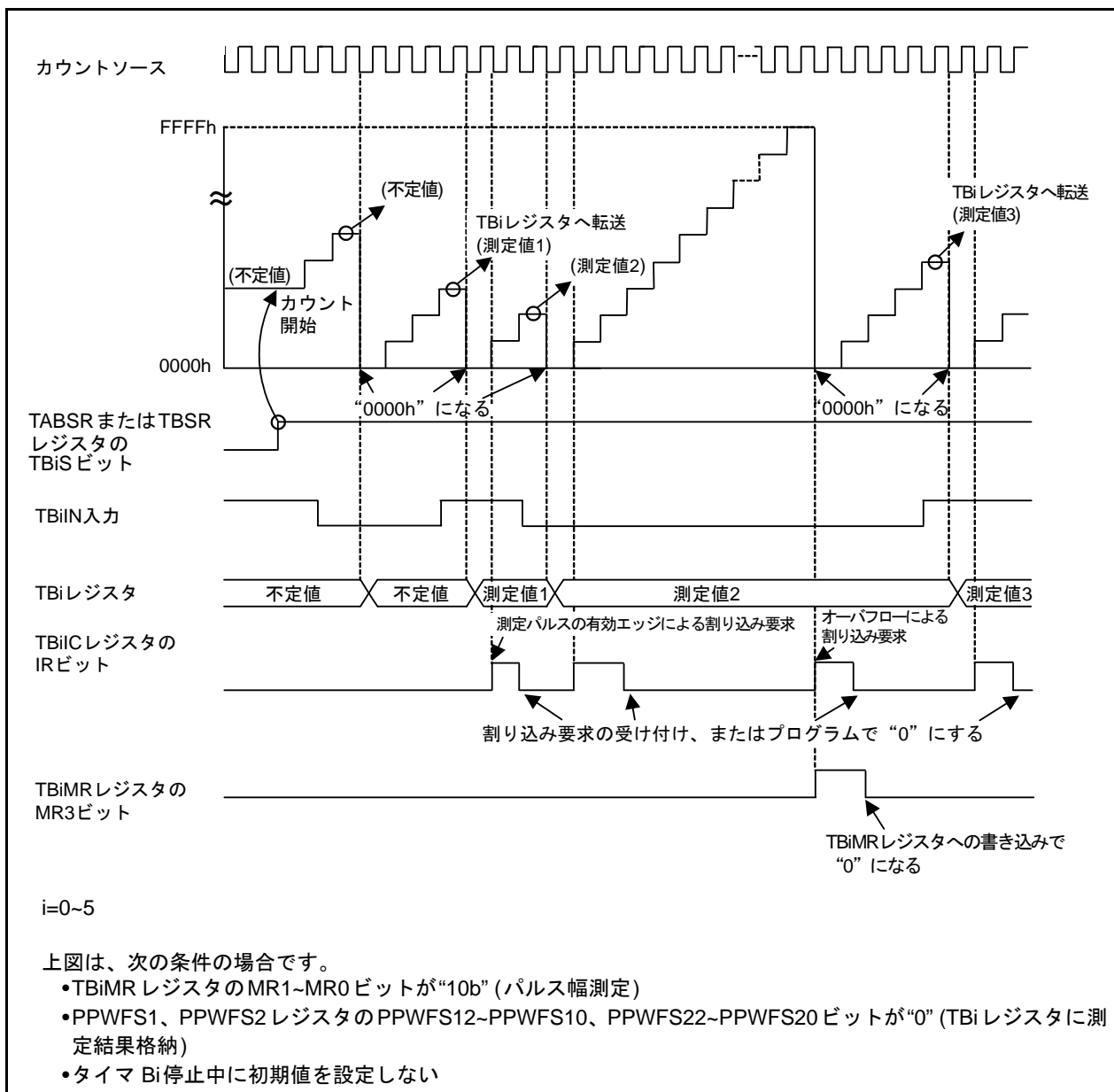


図 16.7 パルス幅測定モード時の動作図

16.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 16.12にタイマBの割り込み関連レジスタを示します。

表 16.12 タイマBの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
0046h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
0047h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b

16.5 タイマB使用上の注意事項

16.5.1 複数モードに関わる共通事項

16.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR (i=0~5) レジスタ、TBCS0~TBCS3 レジスタ、TBi レジスタ、TCKDIVC0 レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタによって、モードやカウントソース、カウンタ値等を設定した後、TABSR レジスタまたはTBSR レジスタのTBiS ビットを“1”(カウント開始)にしてください。

なお、TBiMR レジスタ、TBCS0~TBCS3 レジスタ、TCKDIVC0 レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタは、リセット後に限らずTBiS ビットが“0”(カウント停止)の状態、変更してください。

16.5.2 タイマB (タイマモード)

16.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

16.5.3 タイマB (イベントカウンタモード)

16.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

16.5.3.2 イベント

TBiMR レジスタのTCK1 ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1 ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

16.5.4 タイマB (パルス周期測定/パルス幅測定モード)

16.5.4.1 TBiMR レジスタのMR3 ビット

MR3 ビットを“0”にするために、TBiS ビットが“1”(カウント開始)の状態、TBiMR レジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1 ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

16.5.4.2 割り込み

TBiIC レジスタ (i=0~5) のIR ビットは、測定パルスの有効エッジが入力されたときとタイマBi がオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMR レジスタのMR3 ビットで判断できます。

オーバフローだけの検出にはTBiIC レジスタのIR ビットを使用してください。MR3 ビットは、割り込み要因を判断するときだけ使用してください。

16.5.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

16.5.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

16.5.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

16.5.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

17. 三相モータ制御用タイマ機能

17.1 概要

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。

表 17.1 に三相モータ制御用タイマ機能の仕様を、図 17.1~ 図 17.2 に三相モータ制御用タイマ機能のブロック図を、表 17.2 に入出力端子を示します。

表 17.1 三相モータ制御用タイマ機能の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> •三角波変調 三相モード0 三角波変調の三相PWM波形を出力する。搬送波の1/2周期ごとに出力データを書き換えて出力波形を生成。 •三角波変調 三相モード1 三角波変調の三相PWM波形を出力する。搬送波の1周期ごとに出力データを書き換えて出力波形を生成。 •鋸波変調モード 鋸波変調の三相PWM波形を出力する。
三相PWM波形出力端子	6本 (U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力	SD端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4: U、 \bar{U} 相波形制御 タイマA1: V、 \bar{V} 相波形制御 タイマA2: W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 •1周期すべて“H”または“L”出力可能 •上側通電信号と下側通電信号の出力論理を独立設定可能
搬送波周期	三角波変調: $\frac{(m+1) \times 2}{f_i}$ 鋸波変調: $\frac{m+1}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数
三相PWM出力幅	三角波変調: $\frac{n \times 2}{f_i}$ 鋸波変調: $\frac{n}{f_i}$ n: TA4、TA1、TA2、(三相モード1のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数
短絡防止時間(幅)	$\frac{p}{f_i}$ または短絡防止時間なし p: DTTレジスタ設定値。01h~FFh fi: カウントソース (f1TIMAB、f2TIMAB、f1TIMABの2分周、f2TIMABの2分周)の周波数
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
上下同時通電出力禁止機能	上下同時通電出力禁止機能あり。上下同時通電出力検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと~搬送波周期15回ごと選択

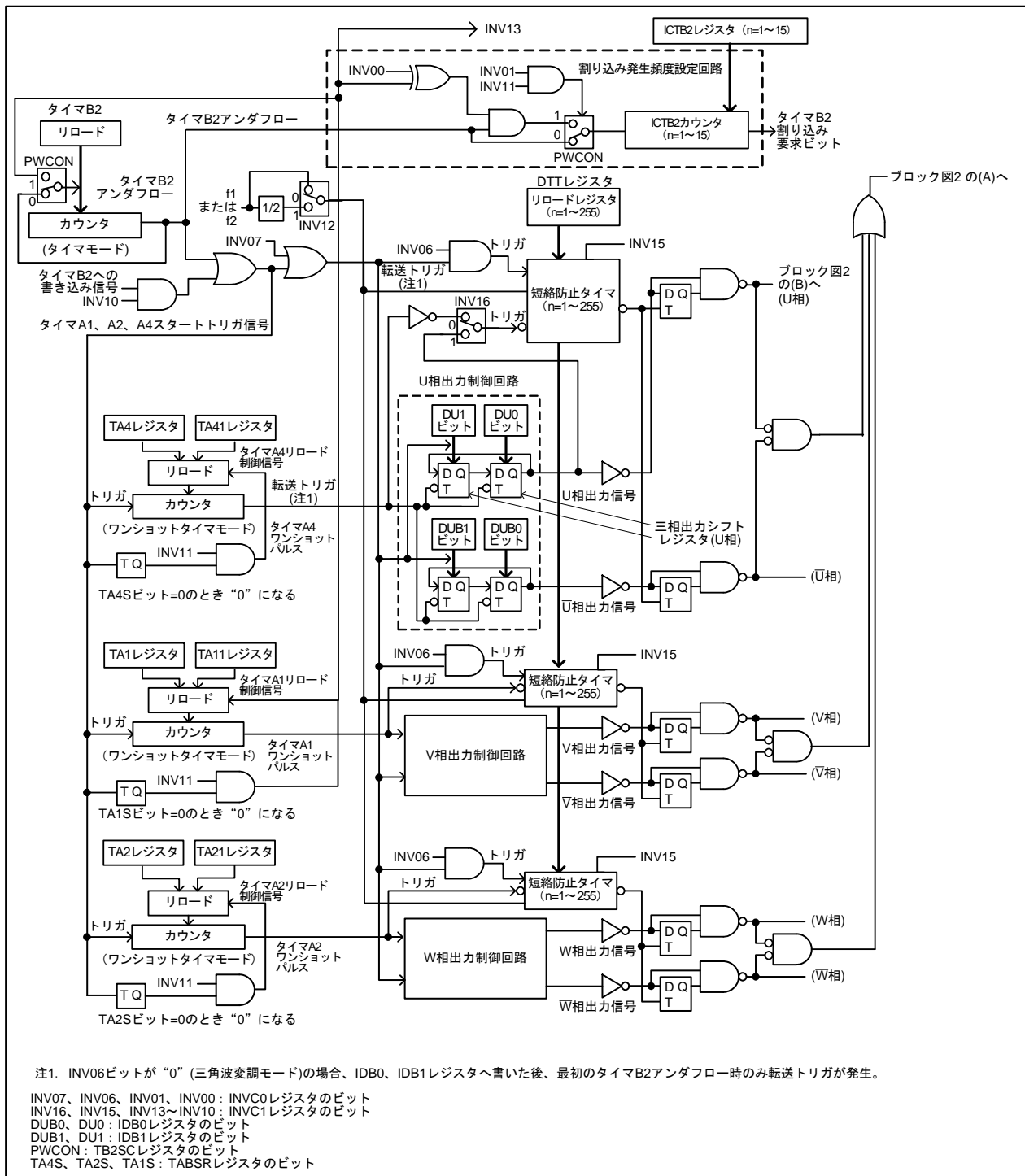


図 17.1 三相モータ制御用タイマ機能のブロック図1

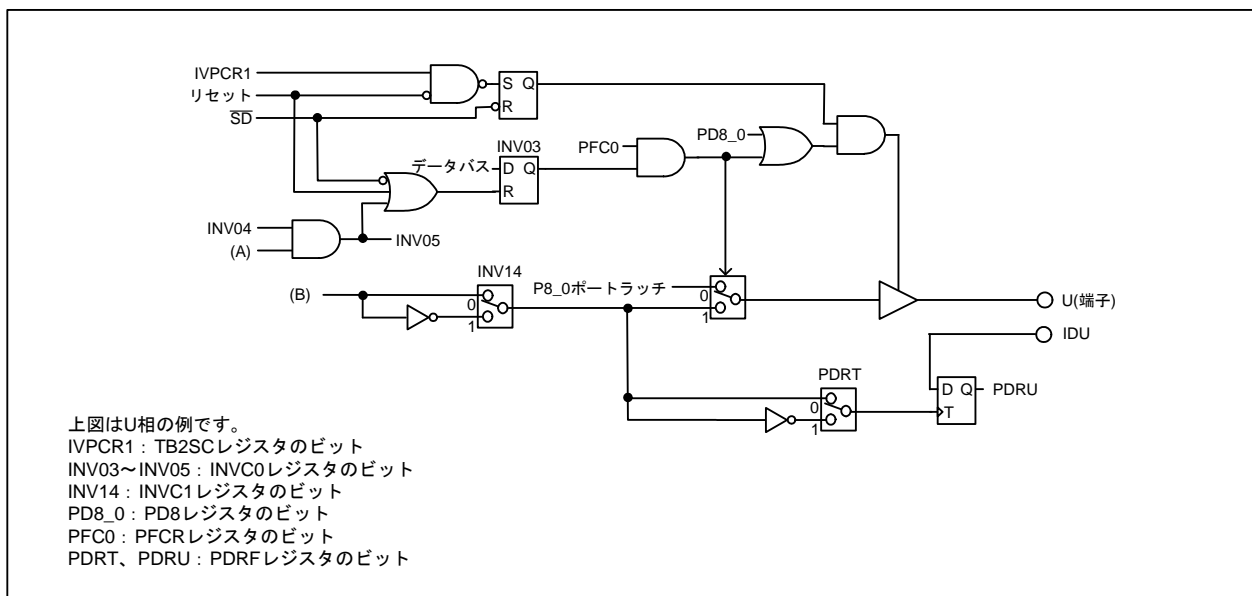


図 17.2 三相モータ制御用タイマ機能のブロック図2

表 17.2 入出力端子

端子名	入出力	機能
U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W}	出力	三相PWM波形出力
\bar{SD}	入力(注1)	強制遮断入力
IDU、IDV、IDW	入力(注2)	位置データ保持機能入力

注1. 端子を共用するポートの方向ビットを“0”(入力モード)にしてください。三相出力強制遮断機能を使用しない場合は、 \bar{SD} 端子に“H”を入力してください。

注2. 端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

17.2 レジスタの説明

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

三相モータ制御用タイマ機能ではタイマA1、A2、A4、B2を使用します。タイマA1、A2、A4、B2関連レジスタは「15. タイマA」、「16. タイマB」を参照してください。

表 17.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
01DAh	三相プロテクト制御レジスタ	TPRC	00h
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b

17.2.1 タイマB2レジスタ (TB2)

タイマB2レジスタ		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7	TB2	0335h-0334h番地	不定
		機能	設定範囲	RW
		設定値をnとすると、 カウンタ周期 $\frac{n+1}{fj}$ アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000h~FFFFh	RW
fj: カウントソースの周波数				

読み出し、書き込みは16ビット単位で実行してください。

搬送波の周期を決めるカウンタです。タイマB2のアンダフローがタイマA1、A2、A4のワンショットトリガになります。

三相モード1では、TB2SCレジスタのPWCONビットでTB2レジスタのリロードタイミングを選択できます。

17.2.2 タイマAi、Ai-1レジスタ (TAi、TAi1) (i=1, 2, 4)

タイマAi、Ai-1レジスタ (i=1, 2, 4)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7	TA1、TA2、TA4 TA11、TA21、TA41	0329h-0328h、032Bh-032Ah、032Fh-032Eh番地 0303h-0302h、0305h-0304h、0307h-0306h番地	不定 不定
		機能	設定範囲	RW
		設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する。	0000h~FFFFh	WO

書き込みは16ビット単位で行ってください。これらのレジスタへの書き込みにはMOV命令を使用してください。

これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。

U、V、W相の波形を決めるカウンタです。タイマB2のアンダフローをトリガにして、ワンショットタイマモードで動作します。

鋸波変調モードと、三角波変調モードの三相モード0では、TA1、TA2、TA4レジスタを使用します。

三角波変調モードの三相モード1では、TA1、TA2、TA4、TA11、TA21、TA41レジスタを使用します。

INVC1レジスタのINV15ビットが“0”（短絡防止時間有効）の場合、上側通電信号と下側通電信号のうち、出力レベルが非アクティブからアクティブに変化する信号は、短絡防止タイマが停止するタイミングで変化します。

三相モード1の場合、最初にTAi1レジスタの値をカウントします。以降、TAiレジスタの値とTAi1レジスタの値を交互にカウントします。

17.2.3 三相PWM制御レジスタ0 (INVC0)

三相PWM制御レジスタ0		アドレス	リセット後の値
ビットシンボル	ビット名	0308h番地	00h
b7 b6 b5 b4 b3 b2 b1 b0	シンボル INVC0		
INVC0	ICTB2カウント条件選択ビット	b1 b0 0 0 } : タイマB2アンダフロー 0 1 } 1 0 : タイマA1リロード制御信号が "0" のときのタイマB2アンダフロー 1 1 : タイマA1リロード制御信号が "1" のときのタイマB2アンダフロー	RW
INVC1	ICTB2カウント条件選択ビット		RW
INVC2	三相モータ機能選択ビット	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する	RW
INVC3	三相モータ出力制御ビット	0: 三相モータ制御用タイマ出力禁止 1: 三相モータ制御用タイマ出力許可	RW
INVC4	上下同時通電出力禁止ビット	0: 上下同時通電出力許可 1: 上下同時通電出力禁止	RW
INVC5	上下同時通電出力検出フラグ	0: 未検出 1: 検出	RW
INVC6	変調モード選択ビット	0: 三角波変調モード 1: 鋸波変調モード	RW
INVC7	ソフトウェアトリガビット	このビットに“1”を書くと転送トリガが発生する。INVC6ビットが“1”の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は“0”。	RW

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、INVC0~INVC2、INVC4、INVC6ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

INVC1~INVC0 (ICTB2カウント条件選択ビット) (b1~b0)

INVC1レジスタのINVC1ビットが“1”（三相モード1）のとき有効。

INVC1ビットを“1”にする場合、ICTB2レジスタに値を設定した後、INVC1ビットを“1”にしてください。また、TABSРレジスタのTA1Sビット（タイマA1カウント開始フラグ）を最初のタイマB2アンダフローまでに“1”にしてください。

INVC1ビットが“0”（三相モード0）の場合は、INVC1、INVC0ビットに関係なくタイマB2アンダフローをカウントします。

INVC2 (三相モータ機能選択ビット) (b2)

INVC2ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

INV03 (三相モータ出力制御ビット) (b3)

["0"になる条件]

- INV04ビットが"1" (上下同時通電出力禁止)かつINV05ビットが"1" (上下同時通電出力検出)
- INV03ビットにプログラムで"0"を書く
- \overline{SD} 端子入力が"L"

INV05 (上下同時通電出力検出フラグ) (b5)

プログラムで"1"は書けません。INV05ビットを"0"にする場合は、INV04ビットに"0"を書いてください。

INV06 (変調モード選択ビット) (b6)

INV06ビットの影響は下表のとおりです。

表 17.4 INV06ビットの影響

項目	INV06ビット=0の場合	INV06ビット=1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INV13ビット	INV11=1かつINV06=0のとき有効	無効

転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10=1のときのタイマB2停止中のTB2レジスタへの書き込み

INV16、INV13、INV11: INVC1レジスタのビット

17.2.4 三相PWM制御レジスタ1 (INVC1)

三相PWM制御レジスタ1		シンボル	アドレス	リセット後の値
ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	INVC1	0309h番地	00h	
0				
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、タイマB2停止中のTB2レジスタへ書き込み	RW	
INV11	タイマA1-1、A2-1、A4-1 制御ビット	0: 三相モード0 1: 三相モード1	RW	
INV12	短絡防止タイマ カウントソース選択ビット	0: f1TIMABまたはf2TIMAB 1: f1TIMABの2分周またはf2TIMABの2分周	RW	
INV13	搬送波状態検出フラグ	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”	RO	
INV14	通電出力論理制御ビット	0: アクティブ“L” 1: アクティブ“H”	RW	
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW	
INV16	短絡防止時間タイマ トリガ選択ビット	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW	
— (b7)	予約ビット	“0”にしてください	RW	

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

INV11 (タイマA1-1、A2-1、A4-1制御ビット) (b1)

INV11ビットの影響は下表のとおりです。

表 17.5 INV11ビットの影響

項目	INV11ビット=0の場合	INV11ビット=1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41 レジスタ	使用しない	使用する
INVC0レジスタの INV00ビット、 INV01ビット	無効。 INV00、INV01ビットの値に関係なく タイマB2アンダフローごとに ICTB2カウント	有効
INV13ビット	無効	INV11=1かつINV06=0のとき有効

INVC0レジスタのINV06ビットが“1”（鋸波変調モード）の場合は、INV11ビットを“0”（三相モード0）にしてください。また、INV11ビットが“0”の場合、TB2SCレジスタのPWCONビットを“0”（タイマB2のアンダフローでタイマB2リロード）にしてください。

INV13 (搬送波状態検出フラグ) (b3)

INV13ビットはINV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”(三相モード1)のときのみ有効です。

INV16 (短絡防止時間タイマトリガ選択ビット) (b6)

次の条件がすべて該当する場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にDij (i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記の条件のいずれかがあてはまらない場合はINV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

17.2.5 三相出力バッファレジスタ*i* (IDBi) (*i*=0, 1)

三相出力バッファレジスタ <i>i</i> (<i>i</i> =0, 1)		シンボル	アドレス	リセット後の値
		IDB0 IDB1	030Ah番地 030Bh番地	XX11 1111b XX11 1111b
ビットシンボル	ビット名	機能		RW
	DUi	三相出力シフトレジスタの出力論理を書いてください。ここで書いた値は、各通電信号に以下のとおり反映されます。 0: アクティブ (ON) 1: 非アクティブ (OFF) 読んだ場合は三相出力シフトレジスタの値が読めます。		RW
	DUBi			RW
	DVi			RW
	DVBi			RW
	DWi			RW
	DWBi			RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			

IDB0、IDB1 レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0 レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4 ワンショットパルスの立ち上がりでIDB1 レジスタに書いた値が各相出力信号(内部信号)となります。

17.2.6 短絡防止タイマ (DTT)

短絡防止タイマ		シンボル	アドレス	リセット後の値
		DTT	030Ch番地	不定
機能		設定範囲	RW	
設定値を <i>n</i> とすると、トリガが入った後カウントソースを <i>n</i> 回カウントして停止する。		1~255	WO	

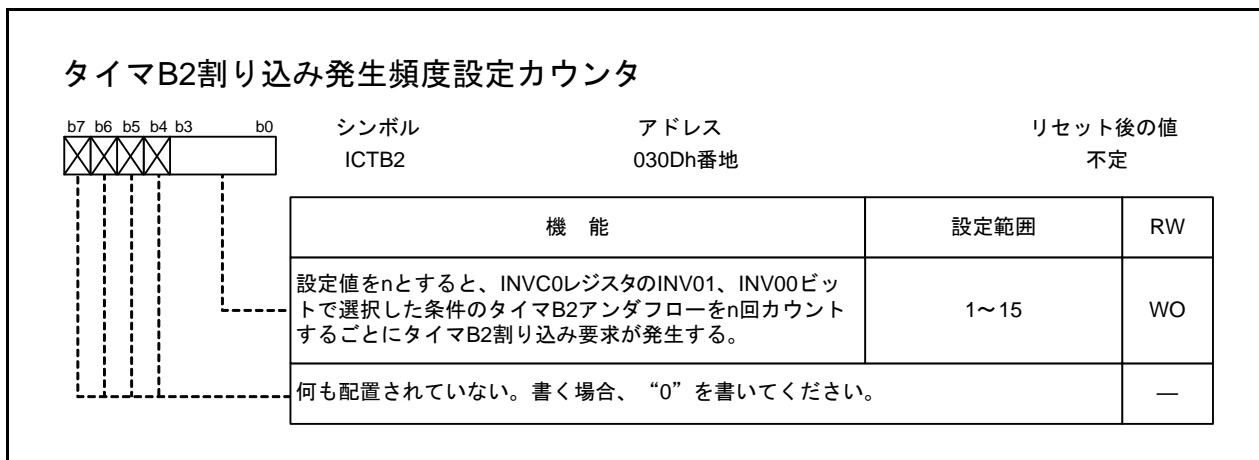
DTT レジスタへの書き込みはMOV 命令を使用してください。

上側トランジスタと下側トランジスタが同時に通電しないように、通電信号がアクティブになるタイミングを遅らせるためのワンショットタイマです。

INVC1 レジスタのINV15ビットが“0”(短絡防止時間有効)のとき有効です。INV15ビットが“1”(短絡防止時間無効)のとき短絡防止時間はありません。

トリガはINVC1 レジスタのINV16ビットで、カウントソースはINVC1 レジスタのINV12ビットで選択してください。

17.2.7 タイマB2割り込み発生頻度設定カウンタ (ICTB2)



ICTB2レジスタは、MOV命令を使用して書いてください。

INVC0レジスタのINV01ビットが“1”の場合は、TABSRレジスタのTB2Sビットが“0”（タイマB2カウント停止）のときに書いてください。INV01ビットが“0”の場合は、TB2Sビットが“1”（タイマB2カウント開始）でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

INV01~INV00ビットが“11b”の場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

17.2.8 タイマB2特殊モードレジスタ (TB2SC)

タイマB2特殊モードレジスタ										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	0	TB2SC	033Eh番地	X000 0000b
ビットシンボル	ビット名	機能	RW							
PWCON	タイマB2リロード タイミング切り替えビット	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW							
IVPCR1	三相出力ポート \overline{SD} 制御 ビット1	0: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)禁止 1: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)許可	RW							
— (b6-b2)	予約ビット	“0” にしてください。	RW							
— (b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—							

このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PWCON (タイマB2リロードタイミング切り替えビット) (b0)

INVC1レジスタのINV11ビットが“0”(三相モード0)、またはINVC0レジスタのINV06ビットが“1”(鋸波変調モード)の場合は、PWCONビットを“0”(タイマB2アンダフロー)にしてください。

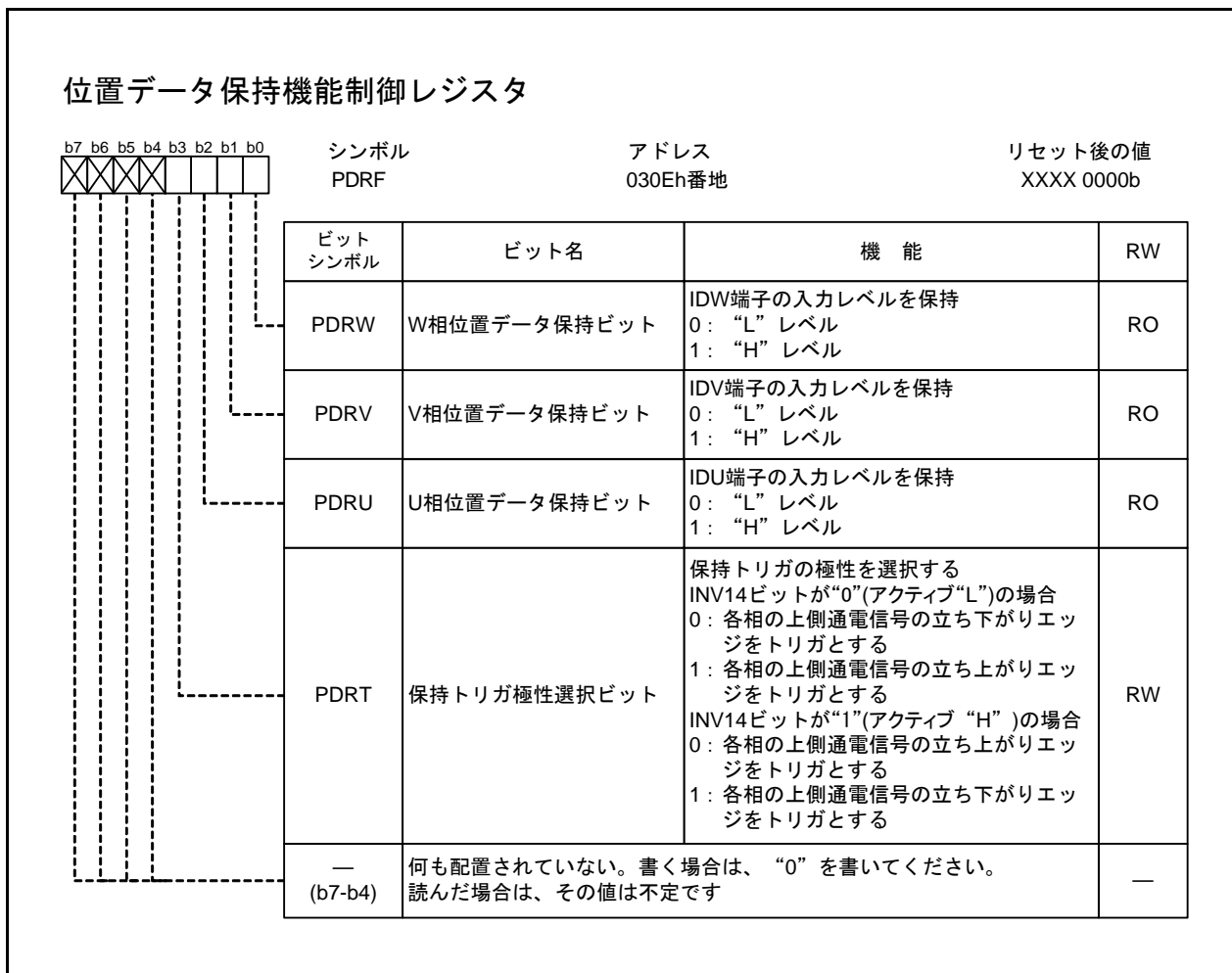
IVPCR1 (三相出力ポート \overline{SD} 制御ビット1) (b1)

対象端子は、U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} です。

IVPCR1ビットが“1”の場合、 \overline{SD} 端子に“L”が入力されると、対象端子の三相モータ制御用タイマ出力は禁止 (INVC0レジスタのINV03ビットが“0”)になります。このとき、対象端子は使用している機能に関係なくハイインピーダンスになります。

強制遮断後は、 \overline{SD} 端子に“H”を入力し、IVPCR1ビットを“0”にすると強制遮断が解除されます。

17.2.9 位置データ保持機能制御レジスタ (PDRF)



このレジスタは、三相モード時のみ有効です。

17.2.10 ポート機能制御レジスタ (PFCR)

ポート機能制御レジスタ			
ビットシンボル	ビット名	機能	RW
PFC0	ポートP8_0出力機能選択ビット	0: 入出力ポートP8_0 1: 三相PWM出力 (U相出力)	RW
PFC1	ポートP8_1出力機能選択ビット	0: 入出力ポートP8_1 1: 三相PWM出力 (\bar{U} 相出力)	RW
PFC2	ポートP7_2出力機能選択ビット	0: 入出力ポートP7_2 1: 三相PWM出力 (V相出力)	RW
PFC3	ポートP7_3出力機能選択ビット	0: 入出力ポートP7_3 1: 三相PWM出力 (\bar{V} 相出力)	RW
PFC4	ポートP7_4出力機能選択ビット	0: 入出力ポートP7_4 1: 三相PWM出力 (W相出力)	RW
PFC5	ポートP7_5出力機能選択ビット	0: 入出力ポートP7_5 1: 三相PWM出力 (\bar{W} 相出力)	RW
— (b7-b6)	何も配置されていない。書く場合は、“0”を書いてください。読んだ場合は、その値は“0”		—

このレジスタは、INVC0レジスタのINVC03ビットが“1” (三相モータ制御用タイマ出力許可)のときのみ有効です。このレジスタは、TPRCレジスタのTPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

17.2.11 三相プロテクト制御レジスタ (TPRC)

三相プロテクト制御レジスタ			
ビットシンボル	ビット名	機能	RW
TPRC0	三相プロテクト制御ビット	PFCRレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—

TPRC0ビットはプログラムで“1” (書き込み許可) を書くと、その後“1” (書き込み許可) の状態が続きます。このビットで保護されるレジスタは次の手順で変更してください。

- (1) TPRC0ビットに“1”を書く
- (2) PFCRレジスタに値を書く
- (3) TPRC0ビットに“0” (書き込み禁止) を書く

17.3 動作説明

17.3.1 複数モードに関わる共通事項

17.3.1.1 搬送波周期制御

タイマB2で搬送波周期を制御します。三角波変調モードではタイマB2アンダフロー周期の2倍が、搬送波の周期になります。鋸波変調モードではタイマB2アンダフロー周期が、搬送波の周期になります。図17.3に搬送波周期とタイマB2の関係を示します。

タイマB2のアンダフローが三相PWM波形を制御するタイマA1、A2、A4のスタートトリガになります。ただし、INVC1レジスタのINV10ビットが“1”の場合は、タイマB2停止中にTB2レジスタに書き込んだときにもタイマA1、A2、A4のトリガが発生します。

三相モータ制御用タイマ機能では、タイマB2割り込み要求の発生頻度を選択できます。

三角波変調の三相モード0、鋸波変調モードでは、ICTB2レジスタ設定値を n とすると、タイマB2のアンダフローの n 回目ごとにタイマB2割り込み要求が発生します。

三角波変調の三相モード1では、ICTB2レジスタ設定値を n とすると、INVC0レジスタのINV01、INV00ビットで選択したタイミングの n 回目ごとにタイマB2割り込み要求が発生します。ただし、INV01、INV00ビットが“11b”の場合、最初の割り込みはタイマB2アンダフローの $n-1$ 回目が発生します。

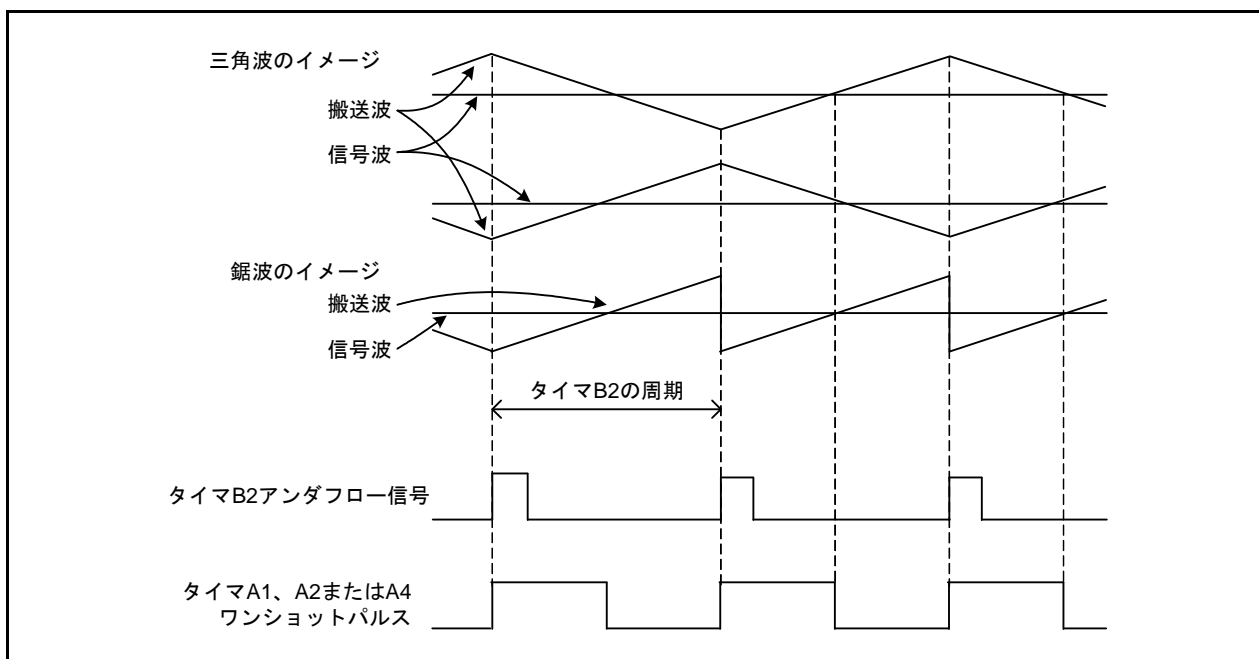


図 17.3 搬送波周期とタイマB2の関係

17.3.1.2 三相PWM波形制御

タイマA4でU相、 \bar{U} 相、タイマA1でV相、 \bar{V} 相、タイマA2でW相、 \bar{W} 相波形を制御します。タイマAi (i=1, 2, 4)は、INVC1レジスタのINV10ビットで選択したトリガでカウントを開始し、ワンショットパルス(内部信号)を発生します。ワンショットパルスの立ち下がリエッジで、各相出力信号が変化します。

三角波変調の三相モード1では、TAi1レジスタの値と、TAiレジスタの値を交互にカウントしワンショットパルスを発生します。

17.3.1.3 短絡防止時間制御

トランジスタのターンオフ遅れによって上下トランジスタが同時にONになるのを防ぐ、8ビットの短絡防止タイマが各相1本、合計3本あります。リロードレジスタは共用です。INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のとき、DTTレジスタで設定した短絡防止時間が有効です。INV15ビットが“1”(短絡防止時間無効)のとき、短絡防止時間はありません。

短絡防止タイマのカウントソースはINVC1レジスタのINV12ビットで選択してください。

短絡防止タイマのトリガはINVC1レジスタのINV16ビットで選択できます。

次の条件が両方該当する場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にIDBjレジスタのDij (i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記条件のいずれかが当てはまらない場合は、INV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち上がり)にしてください。

なお、鋸波変調モードでは転送トリガ発生時にも、短絡防止タイマのトリガが発生します。

17.3.1.4 三相PWM出力端子の出力レベル

各通電信号のアクティブ(ON)、非アクティブ(OFF)をIDB0、IDB1レジスタに設定してください。IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち上がり(内部信号)でIDB1レジスタに書いた値が各相出力信号となります。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー(三角波変調モードの場合)
- タイマB2アンダフロー(毎回)(鋸波変調モードの場合)
- タイマB2停止中のTB2レジスタへの書き込み(INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

INVC1レジスタのINV14ビットで、通電出力論理(アクティブレベル)を選択できます。

表 17.6 三相PWM出力端子の出力レベル

IDB0、IDB1レジスタの値	各相出力信号(内部信号)	INVC1レジスタのINV14ビットの設定	
		“0”(アクティブ“L”)	“1”(アクティブ“H”)
“0”(アクティブ(ON))	0	L	H
“1”(非アクティブ(OFF))	1	H	L

17.3.1.5 上下同時通電出力禁止機能

プログラムの間違いや暴走等によって上下通電出力が同時にアクティブにならないようにする機能です。INVC0レジスタのINV04ビットで上下同時通電出力を禁止しているときに、上下通電出力が同時にアクティブレベルになると、次のようになります。

- INVC0レジスタのINV03ビット: “0” (三相モータ制御用タイマ出力禁止)
- INVC0レジスタのINV05ビット: “1” (上下同時通電出力検出)
- U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子: ハイインピーダンス

17.3.1.6 三相PWM波形出力端子

U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子は、次の条件のとき、三相PWM波形を出力します。

- INVC0レジスタのINVC02ビットが“1” (三相モータ制御用タイマ機能)
- INVC03ビットが“1” (三相モータ制御用タイマ出力許可)
- PFCRレジスタのPFC5~PFC0ビットが“1” (三相PWM出力 (端子1本ごとの選択))

また、 \bar{SD} 端子による三相出力強制遮断機能があります。

17.3.1.7 三相PWM出力端子選択

U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子は、PFCRレジスタのPFCi (i=0~5)ビットが“1” (三相PWM出力)の場合、三相PWM波形を出力します。PFCiビットが“0” (入出力ポート)の場合は、入出力ポート (または他の周辺機能の入出力)になります。したがって、6本のうちの一部の端子から三相PWM波形を出力し、残りの端子を入出力ポート (または他の周辺機能の入出力)として制御できます。

なお、PFCRレジスタは、TPRCレジスタのTPRC0ビットが“1” (PFCRレジスタ書き込み許可)のとき変更できます。TPRC0ビットを“1”にする、PFCRレジスタを書き換える、TPRC0ビットを“0” (PFCRレジスタ書き込み禁止)にする、という手順で三相PWM波形出力端子の機能を変更すれば、暴走などで三相PWM波形出力端子の機能が書き換わることを防げます。

図 17.4に三相出力/入出力ポート切り替え機能の動作例を示します。

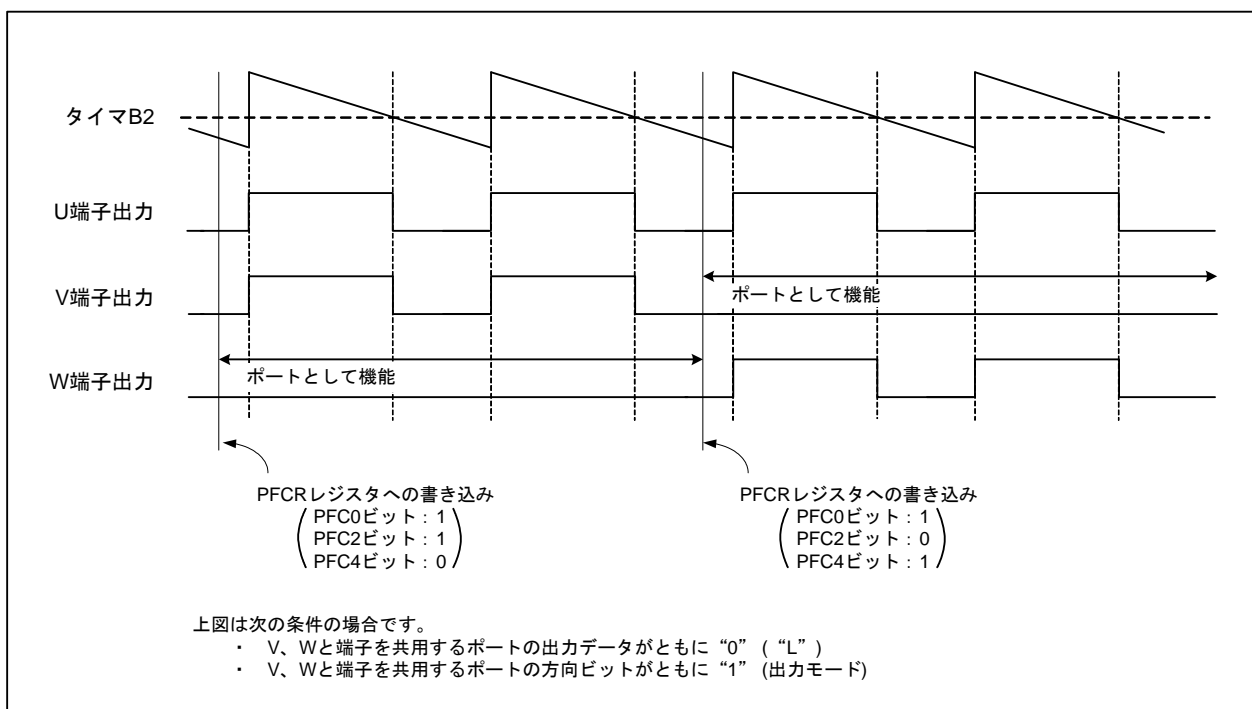


図 17.4 三相出力/入出力ポート切り替え機能の動作例

17.3.1.8 三相出力強制遮断機能

INVC0レジスタのINV02ビットが“1”（三相モータ制御用タイマ機能）、かつINV03ビットが“1”（三相モータ制御用タイマ出力許可）のとき、 \overline{SD} 端子に“L”を入力するとINVC0レジスタのINV03ビットが“0”（三相モータ制御用タイマ出力禁止）になり、U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 出力に当たる端子が一斉に次のように変化します。

- TB2SCレジスタのIVPCR1ビットが“1”（三相出力強制遮断許可）のとき
ハイインピーダンス状態
- TB2SCレジスタのIVPCR1ビットが“0”（三相出力強制遮断禁止）のとき
入出力ポートまたは他の周辺機能の入出力

なお、IVPCR1ビットが“1”のとき \overline{SD} 端子に“L”を入力すると、端子をU、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 出力以外の機能に使用している場合にもハイインピーダンス状態になります。

表 17.7にU、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の状態を示します。

表 17.7 U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の状態(注1)

ビット、端子の状態		U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の機能または状態
TB2SCレジスタのIVPCR1ビット	\overline{SD} 端子入力	
1	H	三相PWM出力
	L	ハイインピーダンス
0	H	三相PWM出力
	L	入出力ポートまたは他の周辺機能

注1. INVC02ビット、INVC03ビット、PFCiビットがすべて“1”の場合です。

\overline{SD} 端子にはデジタルデバウンスフィルタがあります。 \overline{SD} 端子のレベルがデジタルデバウンスフィルタの幅以上、保持されると、そのレベルが内部に伝わります。デジタルデバウンスフィルタの幅はNDDRレジスタで設定できます。詳細は「11.4.3 デジタルデバウンスフィルタ」を参照してください。

強制遮断後、端子の機能を三相PWM出力に戻す場合は、次のようにしてください。

- (1) \overline{SD} 端子に“H”を入力
- (2)デジタルデバウンスフィルタの幅以上待つ（デジタルデバウンスフィルタ有効時）
- (3)INVC0レジスタのINV03ビットを“1”（三相モータ制御用タイマ出力許可）にする
- (4)INV03ビットが“1”になっていることを確認する（“0”なら(3)へ戻る）
- (5)IVPCR1ビットを“0”（三相出力強制遮断禁止）にする
- (6)IVPCR1ビットを“1”にする（再度、三相出力強制遮断を許可する場合）

三相出力強制遮断の機能を使用しない場合、 \overline{SD} 入力と端子を共用しているポートの方向ビットを“0”（入力ポート）にし、かつ \overline{SD} 端子に“H”を入力してください。

\overline{SD} 入力は \overline{NMI} 入力と端子を共用しています。 \overline{NMI} 割り込みを禁止する場合はPM2レジスタのPM24ビットを“0”（ \overline{NMI} 割り込み禁止）にしてください。

17.3.1.9 位置データ保持機能

位置データ保持機能は、U相、V相、W相用に3本あります。IDU、IDV、IDW入力レベルを保持する機能です。位置データを保持するためのトリガは、PDRFレジスタのPDRTビットで、各相の上側通電信号の立ち下がりエッジ又は立ち上がりエッジを選択できます。

たとえばU相の場合、U相波形出力のトリガで、IDU端子の状態をPDRFレジスタのPDRUビットに転送します。次のU相波形出力のトリガまでPDRUビットの値は保持されます。

図 17.5に位置データ保持機能の動作例 (U相)を示します。

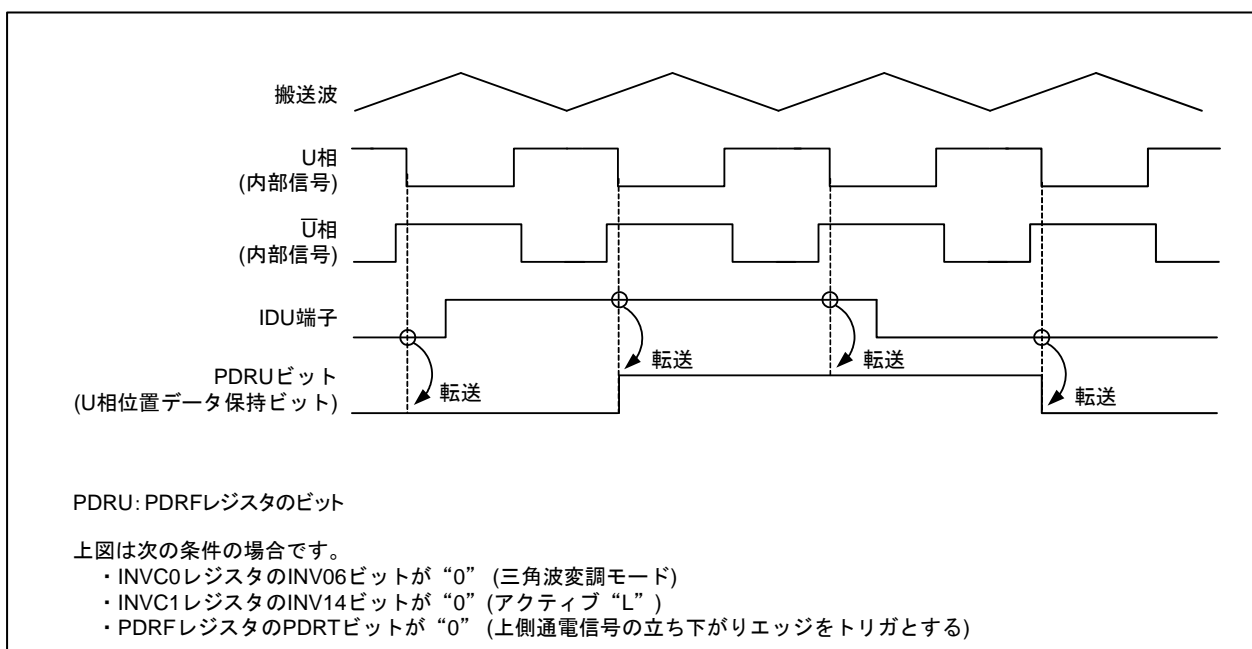


図 17.5 位置データ保持機能の動作例 (U相)

17.3.2 三角波変調 三相モード0

タイマB2の周期を動作基準周期として三角波変調を行います。表 17.8に三相モード0の仕様を、図 17.6に三相モード0の動作例を示します。

表 17.8 三相モード0の仕様

項目	仕様	
搬送波周期	$\frac{(m+1) \times 2}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数	
三相PWM出力幅	$\frac{n \times 2}{f_i}$ n: TAIレジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数	
三相モード0との相違	動作基準周期	タイマB2の周期 (搬送波の1/2の周期)
	タイマB2リロードタイミング	タイマB2アンダフロー
	三相PWM波形制御	タイマAiスタートトリガごとにTAiレジスタの値をカウント (TAi1レジスタは使用しない)
	タイマB2割り込み	ICTB2レジスタ設定値をnとすると、タイマB2のアンダフローのn回目ごとにタイマB2割り込み要求 (INVC0レジスタのINV00、INV01ビットの影響を受けない)
	搬送波の前半/後半の判定	判定しない (INVC1レジスタのINV13ビットは無効)

i=1, 2, 4

表 17.9 三相モード0時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	無効 (設定値に関係なく ICTB2はタイマB2のアンダフローをカウント)
	INV01	
	INV02	"1" (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	"1" (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	"0" (三角波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	"0" (三相モード0)にしてください
	INV12	短絡防止タイマのカウントソースを選択してください
	INV13	無効
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	"0"にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込みの要求の発生頻度を設定してください
TB2SC	PWCON	"0"(タイマB2アンダフロー)にしてください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	b7-b2	"0"にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき"1"に、書き込まないとき"0"にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	(使用しない)
TB2	15~0	搬送波周期の1/2幅を設定してください
TRGSR	TA1TGH-TA1TGL	"01b" (V相出力制御回路を使用する場合)にしてください
	TA2TGH-TA2TGL	"01b" (W相出力制御回路を使用する場合)にしてください
	TA3TGH-TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH-TA4TGL	"01b" (U相出力制御回路を使用する場合)にしてください

注1. この表は手順を示すものではありません。

表 17.10 三相モード0時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
	TB2S	カウント開始時“1”に、カウント停止時“0”にしてください
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード)にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAiTGH、TAiTGLビットで選択)にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード)にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

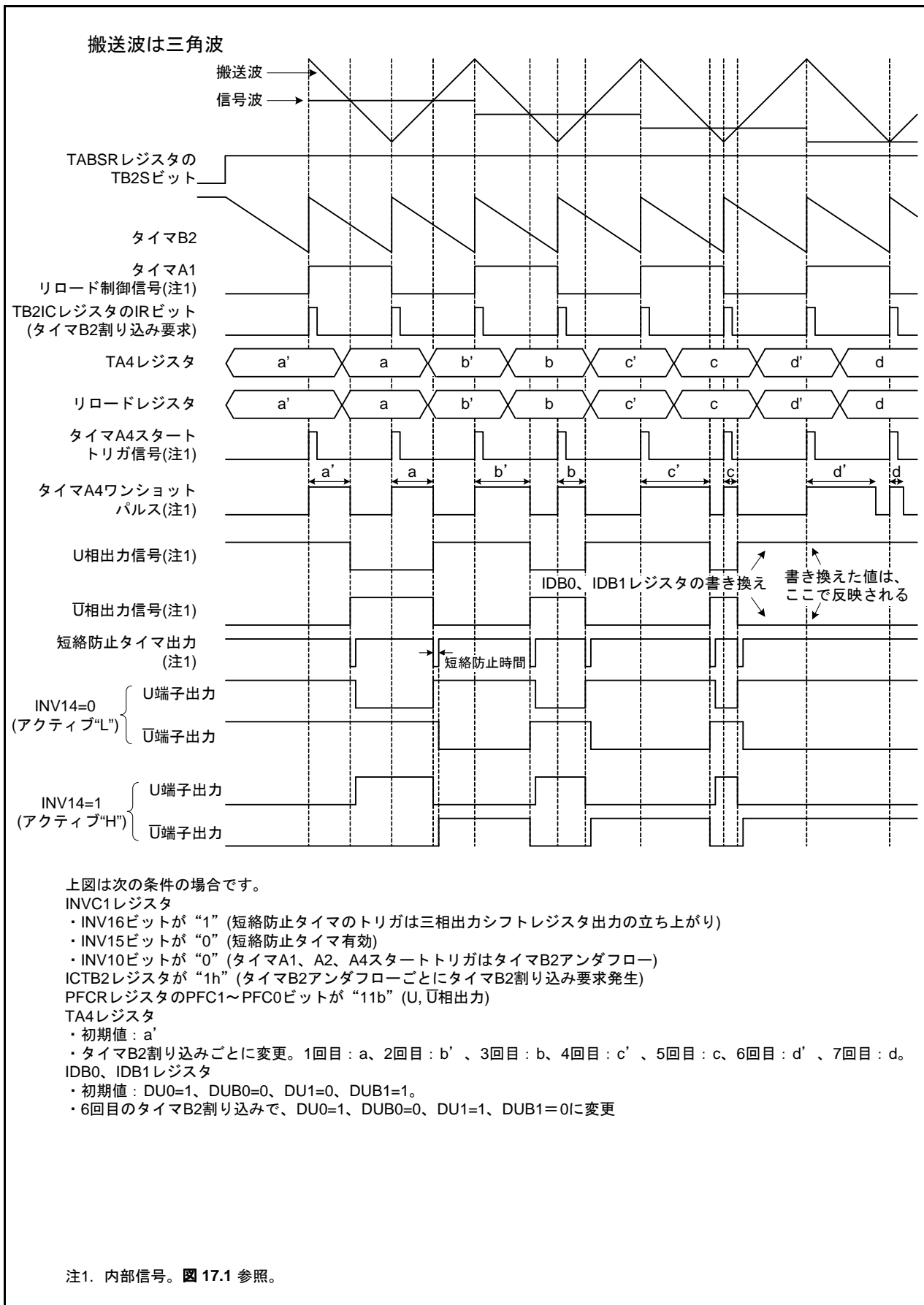


図 17.6 三相モード0の動作例

17.3.2.1 三相PWM波形出力タイミング制御

三相モード0では、タイマA1、A2、A4スタートトリガが発生すると、カウンタはTA_i (i=1, 2, 4)レジスタの値をカウントします。

17.3.2.2 三相PWM波形出力レベル制御

三角波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマA1、A2、A4ワンショットパルスの立ち下がりエッジごとにIDB0レジスタとIDB1レジスタの値が交互に各相出力信号となります。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー
- タイマB2停止中のTB2レジスタへの書き込み (INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

17.3.3 三角波変調 三相モード1

タイマB2の2倍の周期を動作基準周期として三角波変調を行います。表 17.11に三相モード1の仕様を、図 17.7に三相モード1の動作例を示します。

表 17.11 三相モード1の仕様

項目	仕様	
搬送波周期	$\frac{(m+1) \times 2}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数	
三相PWM出力幅	$\frac{n \times 2}{f_i}$ n: TAIレジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数	
三 相 モ ー ド 0 と の 相 違	動作基準周期	タイマB2の2倍の周期 (搬送波の周期)
	タイマB2リロードタイミング	次のいずれかを選択 ・タイマB2アンダフロー ・奇数回目のタイマA出力
	三相PWM波形制御	タイマAiスタートトリガごとにTAiレジスタの値と、TAi1レジスタの値を交互にカウント
	タイマB2割り込み	INVC0レジスタのINV00、INV01ビットで、ICTB2レジスタのカウントタイミングを選択 ・タイマB2アンダフロー (毎回) ・INVC1レジスタのINV13ビットが“0”のときのタイマB2アンダフロー ・INV13ビットが“1”のときのタイマB2アンダフロー ICTB2レジスタ設定値をnとすると、INV00、INV01ビットで選択したタイミングのn回目ごとにタイマB2割り込み要求
	搬送波の前半/後半の判定	判定する (INVC1レジスタのINV13ビット有効)

i=1, 2, 4

表 17.12 三相モード1時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	ICTB2がカウントするタイミングを選択してください
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“0” (三角波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“1” (三相モード1)にしてください
	INV12	短絡防止タイマカウントソースを選択してください
	INV13	搬送波状態検出フラグ
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込み要求の発生頻度を設定してください
TB2SC	PWCON	タイマB2リロードタイミングを選択してください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	b7-b2	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	ワンショットパルス幅を設定してください
TB2	15~0	搬送波周期の1/2幅を設定してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

表 17.13 三相モード1時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TRGSR	TA1TGH- TA1TGL	“01b” (V相出力制御回路を使用する場合)にしてください
	TA2TGH- TA2TGL	“01b” (W相出力制御回路を使用する場合)にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	“01b” (U相出力制御回路を使用する場合)にしてください
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード)にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAiTGH、TAiTGLビットで選択)にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード)にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
TCK1-TCK0	カウントソースを選択してください	
PCLKR	PCLK0	カウントソースを選択してください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

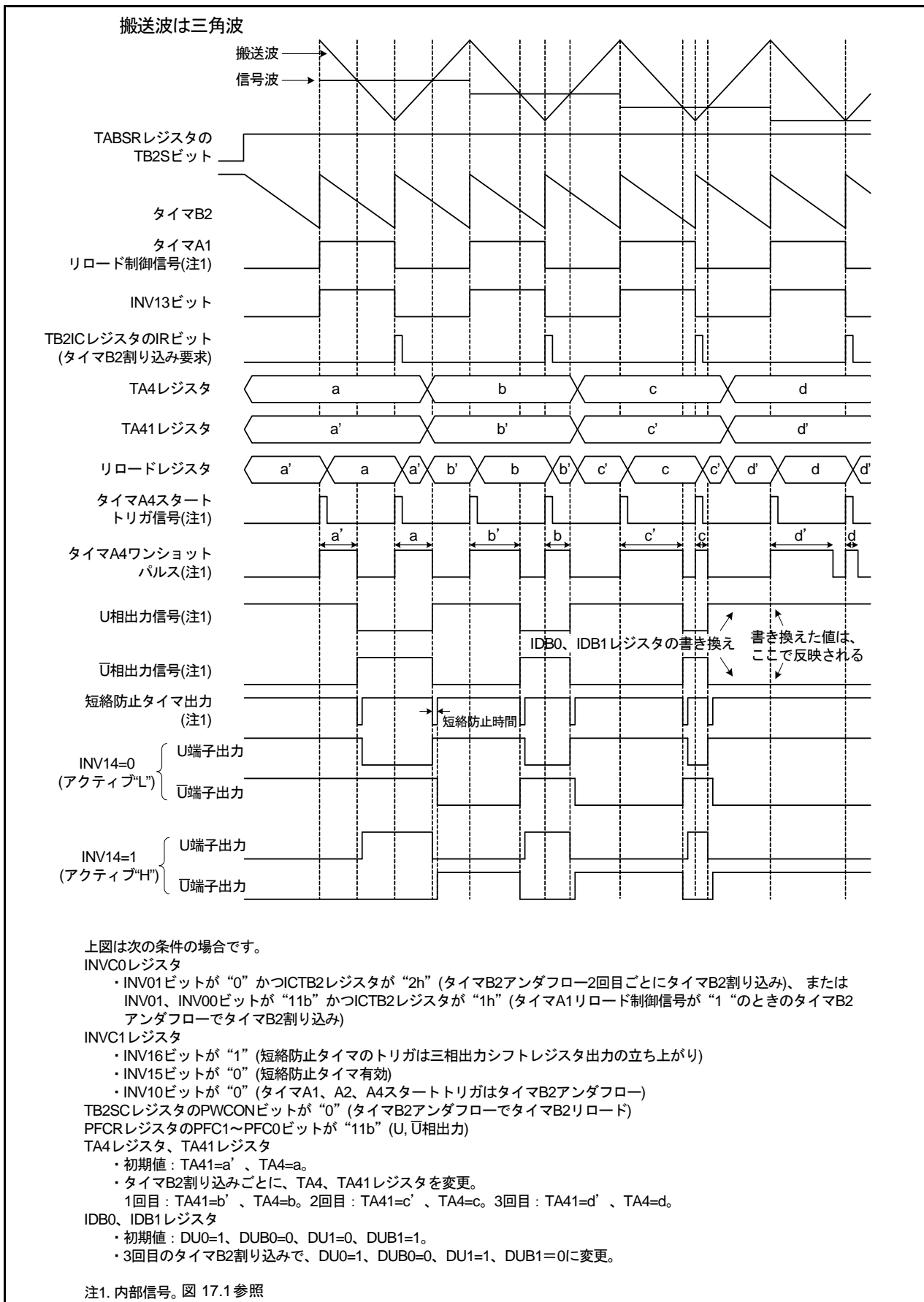


図 17.7 三相モード1の動作例

17.3.3.1 INVC1レジスタのINV13ビット

三相モード1では、搬送波の前半か後半かの判断に、INV13ビットを使用できます。INV13ビットはタイマA1リロード制御信号の状態を見るフラグです。タイマA1リロード制御信号はタイマA1停止中は“0”になり、タイマA1、A2、A4スタートトリガ信号ごとに値が反転します。したがって、タイマB2の1回目のアンダフローから搬送波の周期が始まったと考えると、INV13ビットが“1”のときは搬送波の前半、“0”のときは後半と判断できます。表 17.14にINV13ビットと他の部分の状態の関係を示します。

表 17.14 INV13ビットと他の部分の状態の関係

INV13ビット	1	0
タイマA1リロード制御信号		
ワンショットパルスのカウント値	TAi1レジスタの値	TAiレジスタの値
タイマB2アンダフロー	奇数回目	偶数回目
搬送波	前半	後半

i=1, 2, 4

17.3.3.2 三相PWM波形出力タイミング制御

三相モード1では、タイマA1、A2、A4スタートトリガが発生すると、TAi1レジスタの値が最初にカウントされます。以後、タイマA1、A2、A4スタートトリガごとに、TAi1レジスタの値とTAiレジスタの値が交互にカウントされます。

動作中に、TAiレジスタ、TAi1レジスタの値を書き換えた場合、更新した値は次の搬送波の周期から出力されます。図17.8に三相モード1 TAi、TAi1レジスタ更新タイミングを示します。

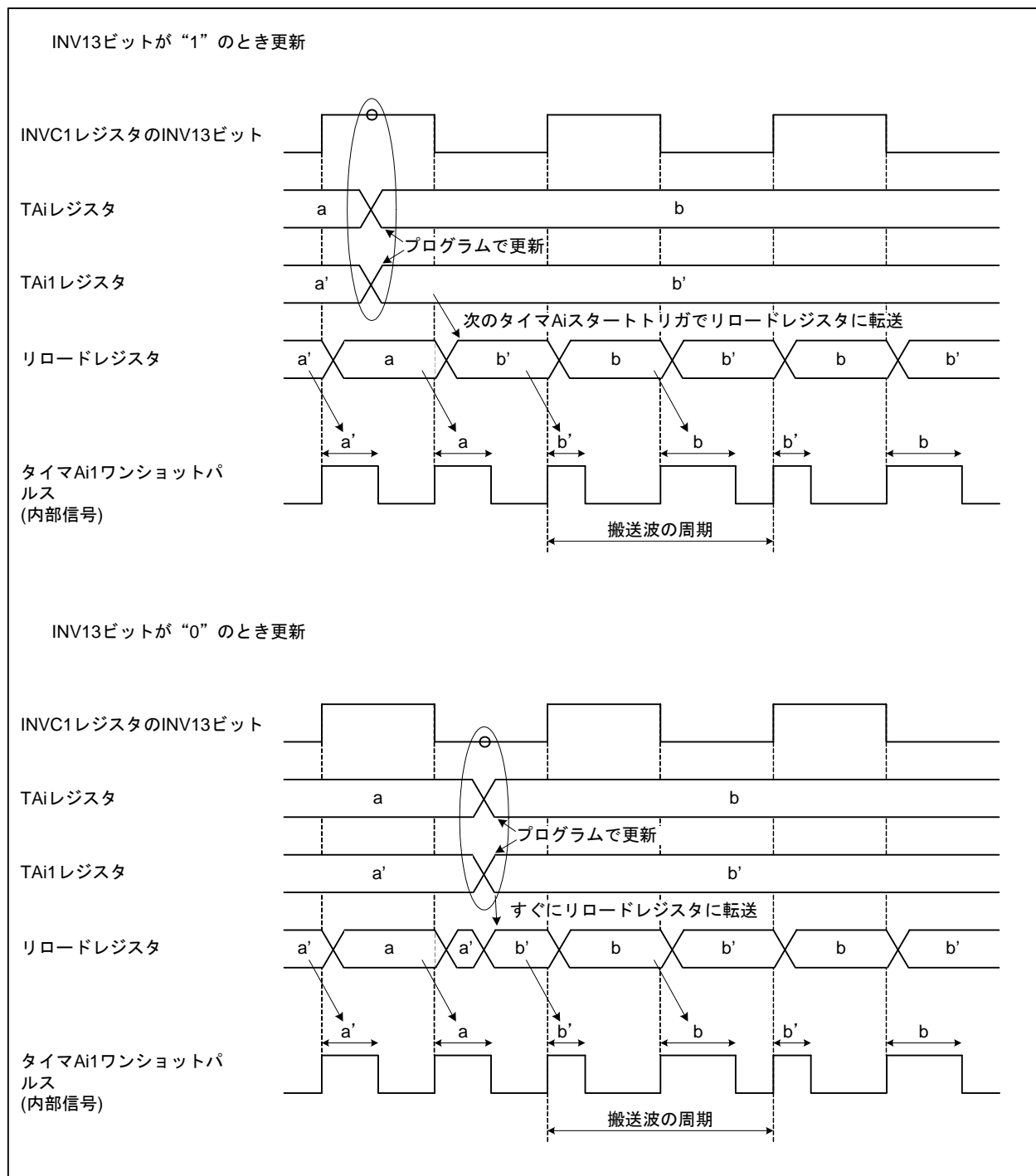


図 17.8 三相モード1 TAi、TAi1 レジスタ更新タイミング

17.3.3.3 搬送波制御

三相モード1では、TB2SCレジスタのPWCONビットでTB2レジスタのリロードタイミングを選択できます。

17.3.3.4 三相PWM波形出力レベル制御

三角波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマA1、A2、A4ワンショットパルスの立ち下がりエッジごとにIDB0レジスタとIDB1レジスタの値が交互に各相出力信号となります。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー
- タイマB2停止中のTB2レジスタへの書き込み (INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする (ソフトウェアトリガ)

17.3.4 鋸波変調モード

鋸波変調を行います。表 17.15に鋸波変調モードの仕様を、図 17.9に鋸波変調モードの動作例を示します。

表 17.15 鋸波変調モードの仕様

項目	仕様	
搬送波周期	$\frac{(m+1)}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh f _i : カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数	
三相PWM出力幅	$\frac{n}{f_i}$ n: TAIレジスタ設定値。0001h~FFFFh f _i : カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-F、fOCO-S、fC32)の周波数	
三角波変調モードとの動作の相違	動作基準周期	タイマB2の周期 (搬送波の周期)
	タイマB2リロードタイミング	タイマB2アンダフロー
	三相PWM波形制御	タイマAiスタートトリガごとにTAIレジスタの値をカウント (TAI1レジスタは使用しない) IDB0、IDB1レジスタに設定した出力レベルをタイマB2アンダフローごとに三相出力シフトレジスタに転送する
	タイマB2割り込み	ICTB2レジスタ設定値をnとすると、タイマB2のアンダフローのn回目ごとにタイマB2割り込み要求 (INVC0レジスタのINV00、INV01ビットの影響を受けない)
	短絡防止タイマのトリガ	転送トリガ (タイマB2アンダフローごとに発生) と、タイマAiワンショットパルスの立ち下がりの両方
	搬送波の前半/後半の判定	—

i=1, 2, 4

表 17.16 鋸波変調モード時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	無効 (設定値に関係なく ICTB2はタイマB2のアンダフローをカウント)
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“1” (鋸波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“0”にしてください
	INV12	短絡防止タイマカウントソースを選択してください
	INV13	無効
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込み要求の発生頻度を設定してください
TB2SC	PWCON	“0”(タイマB2アンダフロー)にしてください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	b7-b2	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	(使用しない)
TB2	15~0	搬送波周期を設定してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

表 17.17 鋸波変調モード時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TRGSR	TA1TGH- TA1TGL	"01b" (V相出力制御回路を使用する場合) にしてください
	TA2TGH- TA2TGL	"01b" (W相出力制御回路を使用する場合) にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	"01b" (U相出力制御回路を使用する場合) にしてください
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時"1"に、カウント停止時"0"にしてください
	TA2S	カウント開始時"1"に、カウント停止時"0"にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時"1"に、カウント停止時"0"にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	"10b" (ワンショットタイマモード) にしてください
	MR0	"0"にしてください
	MR1	"0"にしてください
	MR2	"1" (トリガはTAiTGH、TAiTGLビットで選択) にしてください
	MR3	"0"にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	"00b" (タイマモード) にしてください
	MR1-MR0	"00b"にしてください
	4	"0"にしてください
	MR3	"0"にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TCKDIVC0	TCDIV00	タイマAB分周前クロックを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	"0"にしてください
UDF	TAiP	"0"にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

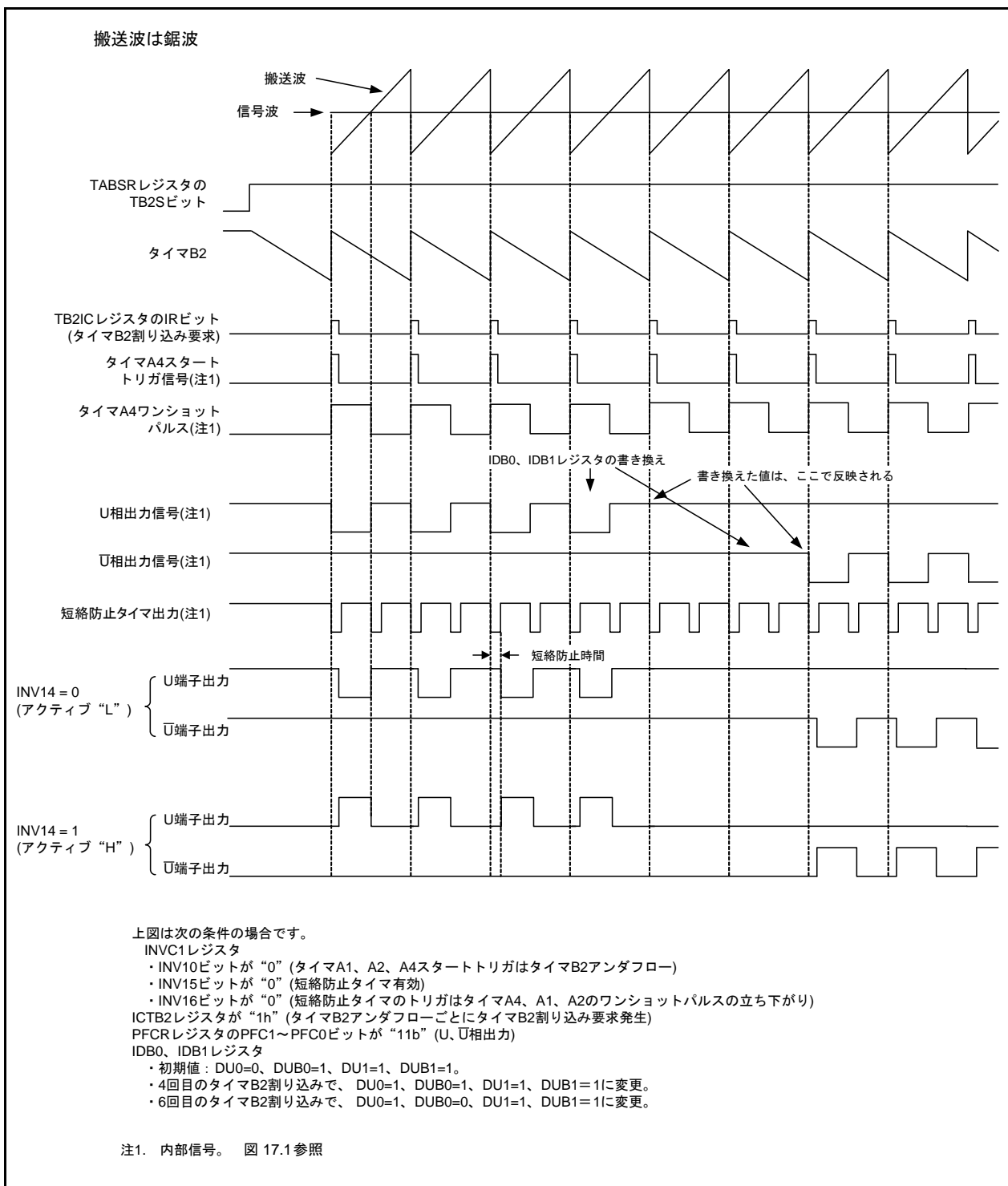


図 17.9 鋸波変調モードの動作例

17.3.4.1 三相PWM波形出力タイミング制御

鋸波変調モードでは、タイマA1、A2、A4スタートトリガが発生すると、カウンタはTA_i (i=1, 2, 4)レジスタの値をカウントします。

17.3.4.2 三相PWM波形出力レベル制御

鋸波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマB2のアンダフローによる転送トリガで三相出力シフトレジスタに転送、IDB0レジスタの値が各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタの値が各相出力信号となる、という動作を繰り返します。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- タイマB2のアンダフロー(毎回)
- タイマB2停止中のTB2レジスタへの書き込み(INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

17.4 割り込み

三相モータ制御用タイマ機能では、タイマB2割り込みと、タイマA1、A2、A4割り込みが使用できます。

17.4.1 タイマB2割り込み

ICTB2レジスタ設定値をnとすると、タイマB2割り込み要求発生タイミングは次のとおりです。詳細は、各モードの仕様や動作例を参照してください。

三角波変調 三相モード0、鋸波変調:

タイマB2アンダフローのn回目

三角波変調 三相モード1:

INVC0レジスタのINV01~INV00ビットで選択したタイミングのn回目

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 17.18 にタイマB2割り込み関連レジスタを示します。

表 17.18 タイマB2割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b

17.4.2 タイマA1、A2、A4割り込み

タイマAi (i=1, 2, 4)のワンショットパルス(内部信号)の立ち下がりエッジでタイマAi割り込み要求が発生します。割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 17.19 にタイマA1、A2、A4割り込み関連レジスタレジスタを示します。

表 17.19 タイマA1、A2、A4割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b

タイマAi割り込みでは、TAiMRレジスタのTMOD1ビットを“0”から“1”(タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWMモードまたはプログラマブル出力モード)に変更すると、TAiICレジスタのIRビットが“1”(割り込み要求あり)になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

- (1)TAiICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする。
- (2)TAiMRレジスタを設定する。
- (3)TAiICレジスタのIRビットを“0”(割り込み要求なし)にする。

17.5 三相モータ制御用タイマ機能使用上の注意事項

17.5.1 タイマA、タイマB

タイマA、タイマBの使用上の注意事項を参照してください。

17.5.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

18. タイマS

18.1 概要

タイマS (インプットキャプチャ/アウトプットコンペア:以後、“IC/OC”と称します。) は、時間計測及び波形生成のための高機能入出力ポートです。IC/OCは、フリーラン動作を行う16ビットベースタイマを1本、および時間計測または波形生成用16ビットレジスタを8本備えています。

表 18.1にIC/OCの機能とチャンネルを示します。

表 18.1 IC/OCの仕様

項目		仕様
時間計測機能 (注1)	計測チャンネル	8チャンネル(チャンネル0~7)
	トリガ入力極性	INPC1_j端子の立ち上がりエッジ、立ち下がりエッジ、両エッジ選択可能
	デジタルフィルタ機能	8チャンネル(チャンネル0~7)
	プリスケアラ機能	2チャンネル(チャンネル6~7)
	ゲート機能	2チャンネル(チャンネル6~7)
	デジタルデバウンスフィルタ	1チャンネル(チャンネル7)
波形出力機能 (注1)	波形生成チャンネル	8チャンネル(チャンネル0~7)
	波形生成機能	単相波形出力、反転波形出力、SR波形出力
	コンペア一致時出力レベル切り替え機能	“H”出力への切り替え及び“L”出力への切り替えが可能
	ポート切り替え機能	ポートの機能を波形出力と入出力ポートから選択
	その他の機能	出力初期値選択可能、出力反転可能
ベースタイマ	ビット長	16ビット
	カウントソース	f1TIMSまたはf2TIMSの(n+1)分周、 二相パルス入力の(n+1)分周 n: G1DVレジスタの設定値。 n=0~255 ただしn=0の場合、分周しない
	カウント動作	アップカウント、アップダウンカウント、 二相パルス信号処理
	ベースタイマリセット条件	<ul style="list-style-type: none"> ベースタイマの値がG1PO0レジスタの値と一致(RST1) 外部割り込み端子INT1に“L”を入力(RST2) ベースタイマの値がG1BTRRレジスタの値と一致(RST4)
割り込み	IC/OCチャンネル割り込み	6本(IC/OCチャンネル0割り込み、IC/OCチャンネル1割り込み、IC/OCチャンネル2割り込み、IC/OCチャンネル3割り込み、IC/OC割り込み0(チャンネル0~7)、IC/OC割り込み1(チャンネル0~7))
	IC/OCベースタイマ割り込み	1本 (G1BTRRレジスタとベースタイマの一致によるベースタイマリセット要求、またはベースタイマオーバフローで発生)

j=0~7

注1. 時間計測機能は、波形生成機能と端子を共有しています。各々のチャンネルに対して時間計測機能または波形生成機能を選択することができます。

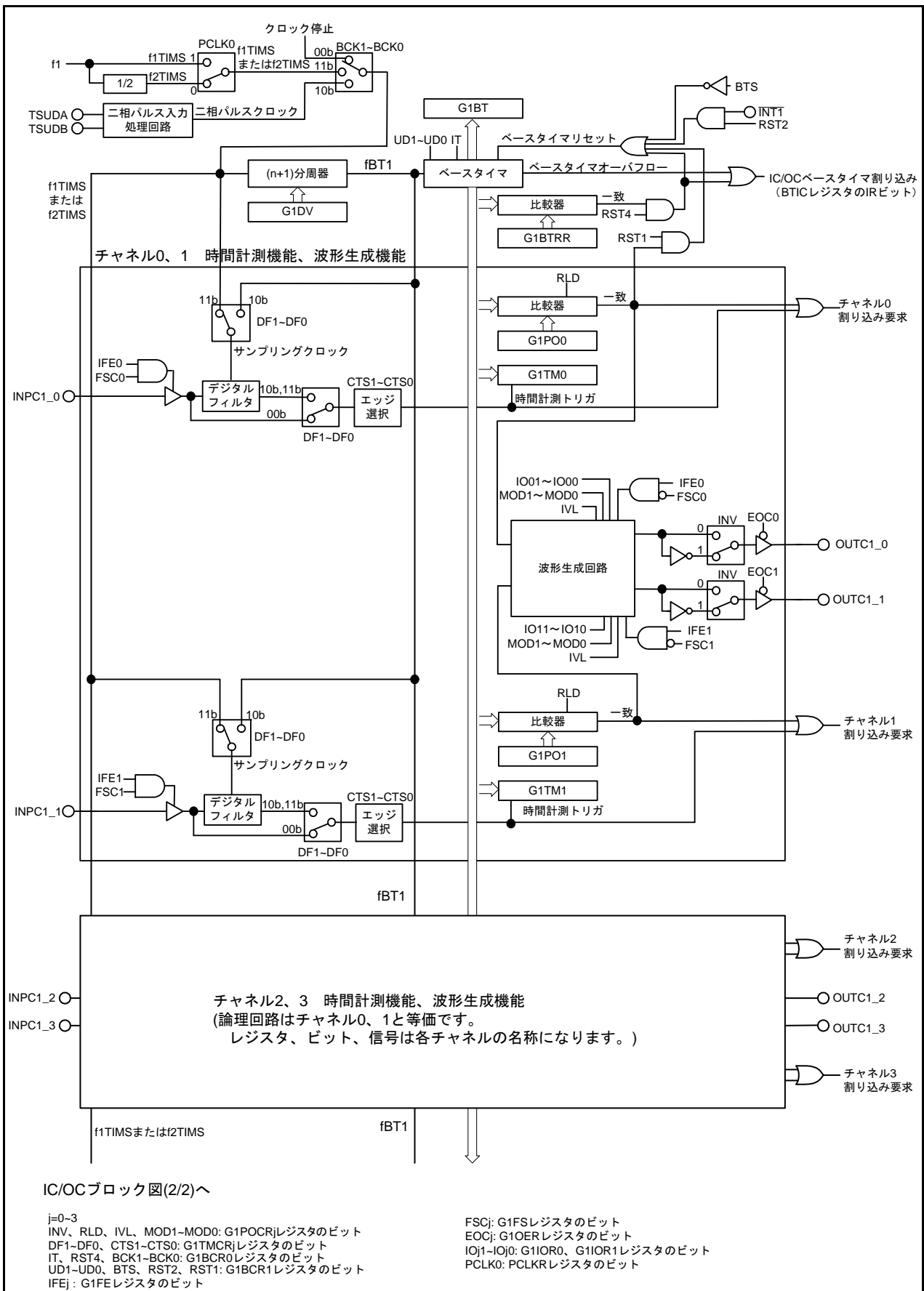


図 18.1 IC/OCブロック図 (1/2)

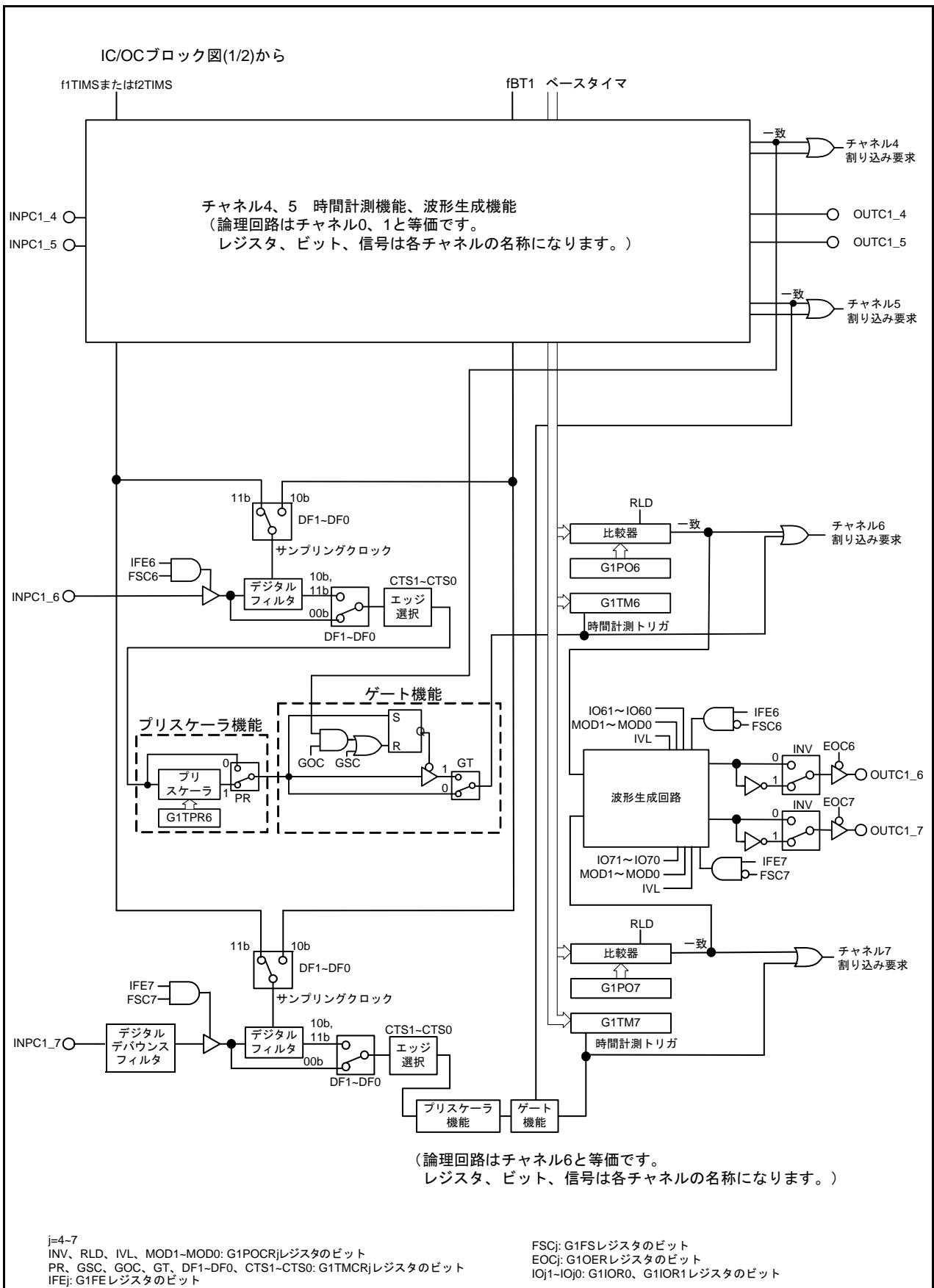


図 18.2 IC/OCブロック図 (2/2)

表 18.2 入出力端子

端子名	入出力	機能
INPC1_0	入力 (注1)	時間計測機能の入力
INPC1_1	入力 (注1)	
INPC1_2	入力 (注1)	
INPC1_3	入力 (注1)	
INPC1_4	入力 (注1)	
INPC1_5	入力 (注1)	
INPC1_6	入力 (注1)	
INPC1_7	入力 (注1)	
OUTC1_0	出力	波形生成機能の出力
OUTC1_1	出力	
OUTC1_2	出力	
OUTC1_3	出力	
OUTC1_4	出力	
OUTC1_5	出力	
OUTC1_6	出力	
OUTC1_7	出力	
TSUDA	入力 (注1)	二相パルス入力信号処理のA相入力
TSUDB	入力 (注1)	二相パルス入力信号処理のB相入力
INT1	入力 (注1)	二相パルス入力信号処理のZ相入力

注1. 入力で使用する場合、端子を共用するポートの方向ビットを“0” (入力モード)にしてください。

注2. INPC1_j/OUTC1_jの選択は「18.3.4 入出力ポート機能選択」を参照してください。

18.2 レジスタの説明

表 18.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0、G1PO0	XXh
02C1h			XXh
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1、G1PO1	XXh
02C3h			XXh
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2、G1PO2	XXh
02C5h			XXh
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3、G1PO3	XXh
02C7h			XXh
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4、G1PO4	XXh
02C9h			XXh
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5、G1PO5	XXh
02CBh			XXh
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6、G1PO6	XXh
02CDh			XXh
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7、G1PO7	XXh
02CFh			XXh
02D0h	波形生成制御レジスタ0	G1POCR0	0X00 XX00b
02D1h	波形生成制御レジスタ1	G1POCR1	0X00 XX00b
02D2h	波形生成制御レジスタ2	G1POCR2	0X00 XX00b
02D3h	波形生成制御レジスタ3	G1POCR3	0X00 XX00b
02D4h	波形生成制御レジスタ4	G1POCR4	0X00 XX00b
02D5h	波形生成制御レジスタ5	G1POCR5	0X00 XX00b
02D6h	波形生成制御レジスタ6	G1POCR6	0X00 XX00b
02D7h	波形生成制御レジスタ7	G1POCR7	0X00 XX00b
02D8h	時間計測制御レジスタ0	G1TMCR0	00h
02D9h	時間計測制御レジスタ1	G1TMCR1	00h
02DAh	時間計測制御レジスタ2	G1TMCR2	00h
02DBh	時間計測制御レジスタ3	G1TMCR3	00h
02DCh	時間計測制御レジスタ4	G1TMCR4	00h
02DDh	時間計測制御レジスタ5	G1TMCR5	00h
02DEh	時間計測制御レジスタ6	G1TMCR6	00h
02DFh	時間計測制御レジスタ7	G1TMCR7	00h

表 18.4 レジスタ一覧 (2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02E0h	ベースタイマレジスタ	G1BT	XXh
02E1h			XXh
02E2h	ベースタイマ制御レジスタ0	G1BCR0	00h
02E3h	ベースタイマ制御レジスタ1	G1BCR1	00h
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	00h
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	00h
02E6h	機能許可レジスタ	G1FE	00h
02E7h	機能選択レジスタ	G1FS	00h
02E8h	ベースタイマリセットレジスタ	G1BTRR	XXh
02E9h			XXh
02EAh	カウントソース分周レジスタ	G1DV	00h
02ECh	波形出カマスタ許可レジスタ	G1OER	00h
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	00h
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	00h
02F0h	割り込み要求レジスタ	G1IR	XXh
02F1h	割り込み有効レジスタ0	G1IE0	00h
02F2h	割り込み有効レジスタ1	G1IE1	00h

18.2.1 時間計測レジスタj (G1TMj) (j=0~7)

時間計測レジスタj (j=0~7)			
b15 (b7)	b8 (b0) b7	b0	
[16ビットレジスタ]			
シンボル	アドレス	リセット後の値	
G1TM0~G1TM2	02C1h~02C0h、02C3h~02C2h、02C5h~02C4h番地	XXXXh	
G1TM3~G1TM5	02C7h~02C6h、02C9h~02C8h、02CBh~02CAh番地	XXXXh	
G1TM6~G1TM7	02CDh~02CCh、02CFh~02CEh番地	XXXXh	
機 能		RW	
時間計測タイミングごとにベースタイマの値が格納されます		RO	

16ビット単位でリードしてください。

18.2.2 波形生成レジスタj (G1POj) (j=0~7)

波形生成レジスタj (j=0~7)			
b15 (b7)	b8 (b0) b7	b0	
[16ビットレジスタ]			
シンボル	アドレス	リセット後の値	
G1PO0~G1PO2	02C1h~02C0h、02C3h~02C2h、02C5h~02C4h番地	XXXXh	
G1PO3~G1PO5	02C7h~02C6h、02C9h~02C8h、02CBh~02CAh番地	XXXXh	
G1PO6~G1PO7	02CDh~02CCh、02CFh~02CEh番地	XXXXh	
機 能		設定値	RW
<ul style="list-style-type: none"> G1POCRjレジスタのRLDビットが“0”の時、書いた直後に値が内部バッファにリロードされ出力波形等に反映されます。 G1POCRjレジスタのRLDビットが“1”の時、ベースタイマリセット時に値がリロードされます。 		0000h~FFFFh	RW

16ビット単位でライトしてください。

このレジスタに書いた値は、ベースタイマのカウンタソースfBT1に同期して内部バッファに反映されます。波形生成機能では、このレジスタとベースタイマが一致したとき出力波形を変化させます。詳細は「18.3.3.1 単相波形出力モード」、「18.3.3.2 反転波形出力モード」、「18.3.3.3 セット-リセット波形出力 (SR波形出力) モード」を参照してください。

G1BCR1レジスタのRST1ビットが“1”のとき、ベースタイマとG1PO0レジスタの値が一致するとベースタイマが“0000h”になります。この機能を使用する場合、出力波形生成に使用するG1POjレジスタ(j=1~7)の値は、G1PO0レジスタより小さな値にしてください。また、G1PO0レジスタに“0000h”を設定しないでください。RST1ビットが“1”のときは、G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときにG1PO0レジスタの値を書き換えてください。詳細は「18.3.1.4 ベースタイマ動作中のベースタイマリセット」を参照してください。

G1TMCRjレジスタ(j=6,7)のGTビットが“1”(ゲート機能を使用する)かつGOCビットが“1”の場合、ベースタイマとG1POkレジスタ(k=j-2)の値が一致するとゲート機能を解除します。この機能を使用する場合は、G1POkレジスタに設定する値をベースタイマの最大値よりも小さい値にしてください。

すなわち、G1BTTR レジスタによるベースタイマリセットを使用する場合は、各レジスタの値を下のようになさしてください。

G1POk の値 < G1BTTR の値

同様に G1PO0 レジスタによるベースタイマリセットを使用する場合は、各レジスタの値を下のようになさしてください。

G1POk の値 < G1PO0 の値

詳細は「18.3.2.1 ゲート機能 (チャンネル6、7)」を参照してしてください。

18.2.3 波形生成制御レジスタj (G1POCRj) (j=0~7)

波形生成制御レジスタj (j = 0~7)

シンボル	アドレス	リセット後の値
G1POCR0~G1POCR3	02D0h、02D1h、02D2h、02D3h番地	0X00 XX00b
G1POCR4~G1POCR7	02D4h、02D5h、02D6h、02D7h番地	0X00 XX00b

ビットシンボル	ビット名	機能	RW
MOD0	動作モード選択ビット	b1 b0 0 0 : 単相波形出力モード 0 1 : SR波形出力モード 1 0 : 反転波形出力モード 1 1 : 設定しないでください	RW
MOD1			RW
— (b3-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
IVL	出力初期値選択ビット	0 : 初期値として“L”を出力する 1 : 初期値として“H”を出力する	RW
RLD	G1POjレジスタ値のリロードタイミング選択ビット	0 : 書き込み時にリロード 1 : ベースタイマのリセット時にリロード	RW
— (b6)	予約ビット	“0”にしてください	RW
INV	反転出力機能選択ビット	0 : 出力反転しない 1 : 出力反転する	RW

このレジスタの値は、G1BCR1 レジスタの BTS ビットが“0” (ベースタイマリセット)かつ G1FS レジスタの FSCj ビットが“0” (波形生成機能を選択)かつ G1FE レジスタの IFEj ビットが“0” (チャンネルjの機能を禁止)のときに書き換えてください。また、このレジスタの値を変更した場合、fBT1の1サイクル以上経過した後に、BTS ビットを“1”にしてください。

MOD1~MOD0 (動作モード選択ビット) (b1~b0)

SR 波形出力モードを選択する場合は、偶数チャンネル(チャンネルj (j=0、2、4、6))の MOD1~MOD0 ビットとその次の奇数チャンネル(チャンネルj+1)の MOD1~MOD0 ビットをともに“01b”にしてください。波形は偶数チャンネルの OUT1_j 端子から出力されます。SR 波形出力モードでは、波形出力マスタ許可レジスタ (G1OER) の EOCj+1 ビットを“1” (出力禁止) にしてください。

IVL (出力初期値選択ビット) (b4)

IVL ビットに値を書き、G1FS レジスタの FSCj ビット (j=0~7) を“0” (波形生成機能を選択)にして、G1FE レジスタの IFEj ビットを“1” (チャンネルjの機能を許可)にすると、設定したレベルが出力されます。

RLD (G1POjレジスタ値のリロードタイミング選択ビット) (b5)

SR波形出力モードでは、偶数チャンネル(チャンネルj(j=0、2、4、6))だけでなく、奇数チャンネル(チャンネルj+1)も設定してください。

BTSビットが“0”(ベースタイマリセット)かつ、RLDビットが“1”(ベースタイマリセット時にリロード)の場合、G1POjレジスタ(j=0~7)に値を書き込んでもリロードされません。このため、BTSビットが“0”のときは、まずRLDビットを“0”(書き込み時にリロード)にした後、G1POjレジスタに値を書き込み、fBT1の1サイクル以上経過した後にRLDビットを“1”にしてください。

また、RLDビットを“1”にした場合、次のときはリロードされません。

- アップカウントモード、またはアップダウンカウントモードのアップカウント時に、ベースタイマにFFFFhを書き込んだ直後のFFFFhから0000hへのカウント変化時
- アップダウンカウントモードのダウンカウント時に、ベースタイマに0000hを書き込んだ直後の0000hからFFFFhへのカウント変化時

INV (反転出力機能選択ビット) (b7)

反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1”(出力反転する)にした場合、IVLビットを“0”にすると出力初期値は“H”に、IVLビットを“1”にすると出力初期値は“L”になります。

18.2.4 時間計測制御レジスタj (G1TMCRj) (j=0~7)

時間計測制御レジスタj (j=0~7)		シンボル	アドレス	リセット後の値
		G1TMCR0~G1TMCR3 G1TMCR4~G1TMCR7	02D8h、02D9h、02DAh、02DBh番地 02DCh、02DDh、02DEh、02DFh番地	00h 00h
ビットシンボル	ビット名	機能		RW
CTS0	時間計測トリガ選択ビット	b1b0 0 0: 時間計測しない 0 1: 立ち上がりエッジ 1 0: 立ち下がりエッジ 1 1: 両エッジ		RW
CTS1				RW
DF0	デジタルフィルタ機能選択ビット	b3b2 0 0: デジタルフィルタなし 0 1: 設定しないでください 1 0: デジタルフィルタあり サンプリングクロックはfBT1 1 1: デジタルフィルタあり サンプリングクロックはf1TIMS またはf2TIMS		RW
DF1				RW
GT	ゲート機能選択ビット	0: ゲート機能を使用しない 1: ゲート機能を使用する		RW
GOC	ゲート機能解除選択ビット	0: ゲート機能解除選択しない 1: ベースタイマとG1POkレジスタの一致により、ゲート機能を解除する (j=6のときk=4、j=7のときk=5)		RW
GSC	ゲート機能解除ビット	このビットに“1”を書くと、ゲート機能を解除する		RW
PR	プリスケアラ機能選択ビット	0: 使用しない 1: 使用する		RW

G1TMCR6、G1TMCR7レジスタに書く場合は、MOV命令を使用してください。このとき、GSCビットには、ゲート解除するなら“1”を、それ以外は“0”を書き込んでください。

CTS1~CTS0 (時間計測トリガ選択ビット) (b1~b0)

G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときに書き換えてください。

DF1~DF0 (デジタルフィルタ機能選択ビット) (b3~b2)

G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときに書き換えてください。

DF1~DF0ビットが“11b”で、PCLKRレジスタのPCLK0ビットが“0”の場合はf2TIMS、“1”の場合はf1TIMSがサンプリングクロックになります。

なお、G1BCR0レジスタのBCK1~BCK0が“10b”(二相パルスクロック)の場合でも、二相パルスクロックはデジタルフィルタのサンプリングクロックになりません。

GT (ゲート機能選択ビット) (b4)

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

このビットに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。

GOC (ゲート機能解除選択ビット) (b5)

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

このビットはGTビットが“1”のときのみ有効です。

G1POkレジスタ(j=6のときk=4、j=7のときk=5)については、「18.2.2 波形生成レジスタj (G1POj) (j=0~7)」を参照してください。

このビットに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。

GSC (ゲート機能解除ビット) (b6)

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。

G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

このビットはGTビットが“1”のときのみ有効です。

このビットには、ゲート機能を解除するとき“1”を、それ以外は“0”を書いてください。

このビットに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。

PR (プリスケアラ機能選択ビット) (b7)

G1BCR0レジスタのBCK1~BCK0ビットが“00b”(クロック停止)のときに書き換えてください。

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。

G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

18.2.5 ベースタイマレジスタ (G1BT)

ベースタイマレジスタ		シンボル	アドレス	リセット後の値
<div style="display: flex; justify-content: space-between; width: 100px;"> b15 (b7) b8 (b0) b7 b0 </div> <div style="border: 1px solid black; width: 100px; height: 15px; margin-top: 5px;"></div>		G1BT	02E1h-02E0h番地	不定
機 能				RW
<ul style="list-style-type: none"> ・ ベースタイマ動作時 (G1BCR1レジスタのBTSビットが“1”かつG1BCR0レジスタのBCK1~BCK0ビットが“00b”以外のとき)、読み出した場合、現在のカウント値が読めます。ベースタイマリセット時は、“0000h”になります。 ・ G1BCR1レジスタのBTSビットが“0”のとき、このレジスタは“0000h”になります。読み出した場合、値は不定です。 				RW

このレジスタは16ビット単位で読んでください。このレジスタには何も書かないでください。

ベースタイマカウント中は、ベースタイマのカウントソースfBT1に同期してベースタイマの値がこのレジスタに格納されます。

G1BCR0レジスタのBCK1~BCK0ビットが“00b”(カウントソースクロック停止)の場合のみベースタイマは停止します。BCK1~BCK0ビットが“00b”以外の場合、ベースタイマは動作します。

G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)の場合、ベースタイマリセット状態になり、値が“0000h”でカウントしない状態が続きます。BTSビットに“1”を設定すると、この状態は解除されベースタイマがカウントを開始します。

18.2.6 ベースタイマ制御レジスタ0 (G1BCR0)

ベースタイマ制御レジスタ0		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		G1BCR0	02E2h番地	00h
ビットシンボル	ビット名	機能	RW	
BCK0	カウントソース選択ビット	b1 b0 0 0 : クロック停止 0 1 : 設定しないでください 1 0 : 二相パルスクロック 1 1 : f1TIMSまたはf2TIMS	RW	
BCK1			RW	
RST4	ベースタイマリセット要因選択ビット4	0 : G1BTRRレジスタとベースタイマの一致でベースタイマリセットしない 1 : G1BTRRレジスタとベースタイマの一致でベースタイマリセットする	RW	
— (b5-b3)	予約ビット	“0” にしてください	RW	
CH7INSEL	チャンネル7入力選択ビット	0 : P2_7/OUTC1_7/INPC1_7端子 1 : P1_7/INPC1_7端子	RW	
IT	ベースタイマ割り込み選択ビット	0 : ビット15のオーバーフロー 1 : ビット14のオーバーフロー	RW	

このレジスタの値は、G1BCR1レジスタのBTSビットが“0”（ベースタイマリセット）のときに書き換えてください。

BCK1~BCK0 (カウントソース選択ビット) (b1~b0)

“00b”（クロック停止）から他の値に書き換えた後、再度別の値に書き換える場合、一旦“00b”（クロック停止）に書き換え、元のカウントソースの4クロック以上待った後に、別の値に書き換えてください。

“10b”の二相パルスクロックは、G1BCR1レジスタのUD1、UD0ビットが“10b”（二相パルス信号処理）の場合のみ、使用できます。他のカウント動作では、BCK1~BCK0ビットを“10b”にしないでください。

“11b”のf1TIMSまたはf2TIMSは、PCLKRレジスタのPCLK0ビットが“0”の場合はf2TIMS、“1”の場合はf1TIMSになります。

PCLK0ビットの値は、BCK1~BCK0ビットが“00b”（クロック停止）のときに書き換えてください。

RST4 (ベースタイマリセット要因選択ビット4) (b2)

RST4ビットが“1”の場合、G1BCR1レジスタのRST1ビットは“0”にしてください。

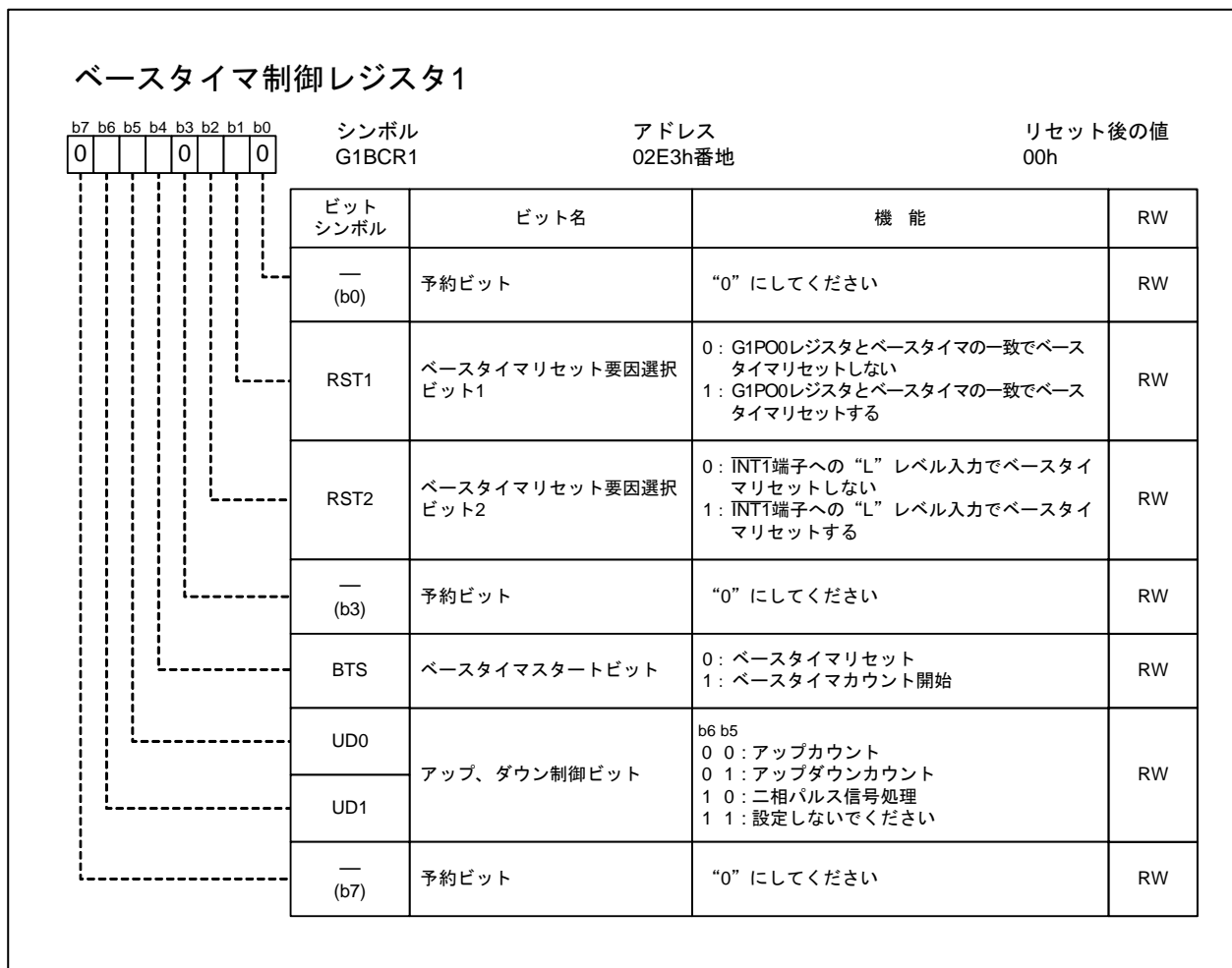
IT (ベースタイマ割り込み選択ビット) (b7)

ITビットが“0”（ビット15のオーバーフロー）の場合、アップカウントのときはカウント中にベースタイマのビット15が“1”から“0”になったとき、すなわちベースタイマの値が“FFFFh”から“0000h”になったときにベースタイマオーバーフローになります。ダウンカウントのときは“0”から“1”になったとき、すなわち“8000h”から“7FFFh”になったときにベースタイマオーバーフローになります。

同様にITビットが“1”（ビット14のオーバーフロー）の場合、アップカウントのときはカウント中にベースタイマのビット14が“1”から“0”になったとき、ダウンカウントのときは“0”から“1”になったとき、ベースタイマオーバーフローになります。

ベースタイマオーバーフローが発生すると、BTICレジスタのIRビットが“1”（IC/OCベースタイマ割り込み要求あり）になります。

18.2.7 ベースタイマ制御レジスタ1 (G1BCR1)



RST1 (ベースタイマリセット要因選択ビット1) (b1)

BTS ビットが“0” (ベースタイマリセット) の状態で書き換え、次に同じ値にしたまま BTS ビットを“1” (ベースタイマカウント開始) に書き換えてください。

RST1 ビットが“1”の場合、ベースタイマと G1PO0 レジスタの値が一致すると、fBT1 の2クロック後にベースタイマリセットします(「18.3.1.4 ベースタイマ動作中のベースタイマリセット」参照)。RST1 ビットが“1”の場合、G1BCR0 レジスタの RST4 ビットは“0” (G1BTRR レジスタとベースタイマの一致でベースタイマリセットしない) にしてください。

RST2 (ベースタイマリセット要因選択ビット2) (b2)

BTS ビットが“0” (ベースタイマリセット) の状態で書き換え、次に同じ値にしたまま BTS ビットを“1” (ベースタイマカウント開始) に書き換えてください。

BTS (ベースタイマスタートビット) (b4)

このビットに書いた値は、ベースタイマのカウントソース fBT1 に同期して内部回路に反映されます。

UD1~UD0 (アップ、ダウン制御ビット) (b6~b5)

BTS ビットが“0” (ベースタイマリセット) の状態で書き換え、次に同じ値にしたまま BTS ビットを“1” (ベースタイマカウント開始) に書き換えてください。

単相波形出力モード及びSR波形出力モード選択時は、このビットを“00b” (アップカウント) に、反転波形出力モード選択時は、“00b” (アップカウント) または“01b” (アップダウンカウント) にしてください。

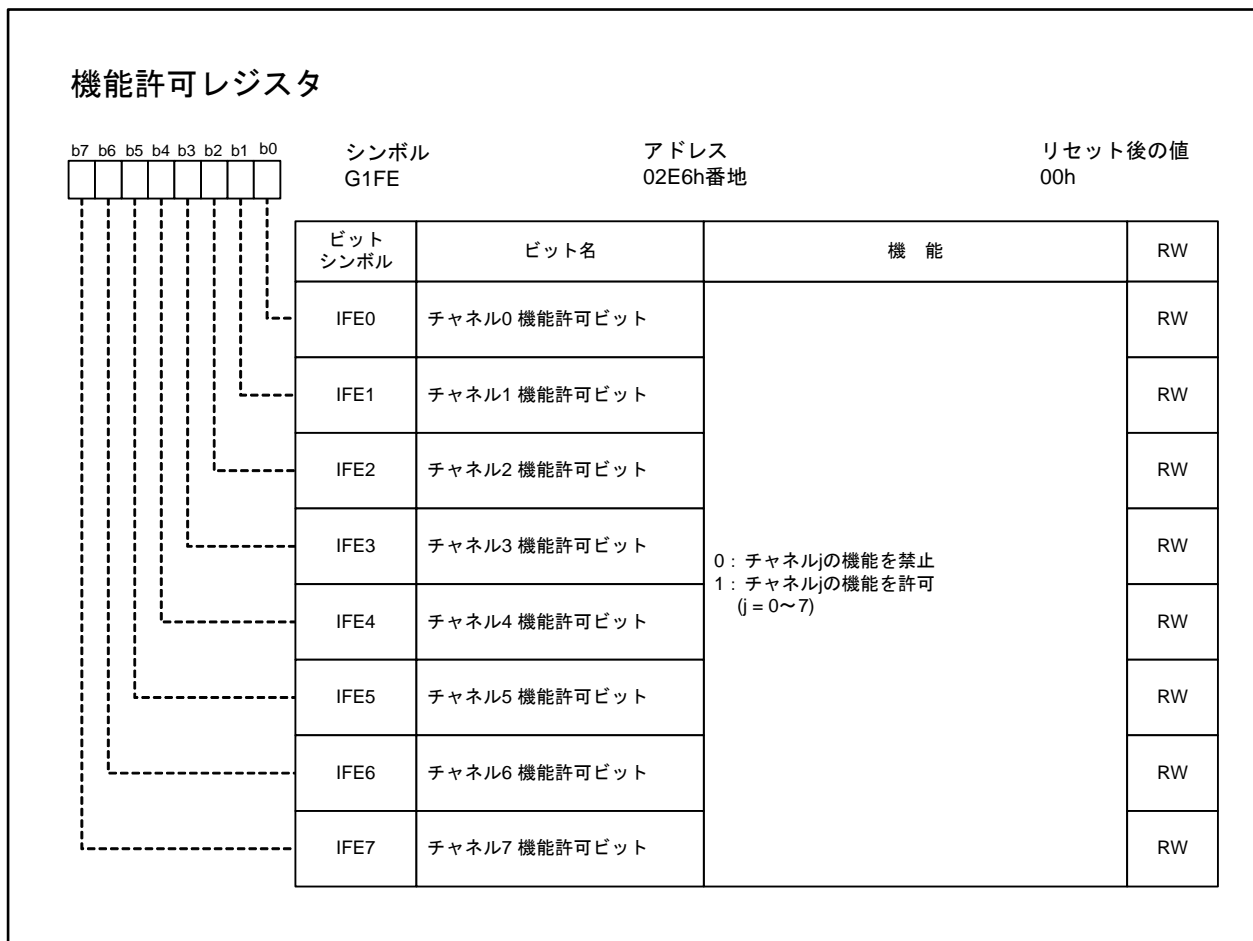
18.2.8 時間計測プリスケアラレジスタj (G1TPRj) (j=6, 7)

時間計測プリスケアラレジスタj (j=6, 7)			
b7 ┌──────────┐ │ │ └──────────┘ ┌──────────┐ │ │ └──────────┘ ┌──────────┐ │ │ └──────────┘	シンボル G1TPR6~G1TPR7	アドレス 02E4h~02E5h番地	リセット後の値 00h
機能		設定値	RW
設定値をnとすると、トリガ入力をn+1カウントするごとに時間計測を行います。		00h~FFh	RW

このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されません。

G1TMCRj レジスタのPR ビットを“0” (プリスケアラ機能を使用しない) から“1” (プリスケアラ機能を使用する) にした後の最初のプリスケアラ周期は、設定値nに対してn+1にならずにnになることがあります。それ以降の周期では、設定値nに対してn+1になります。

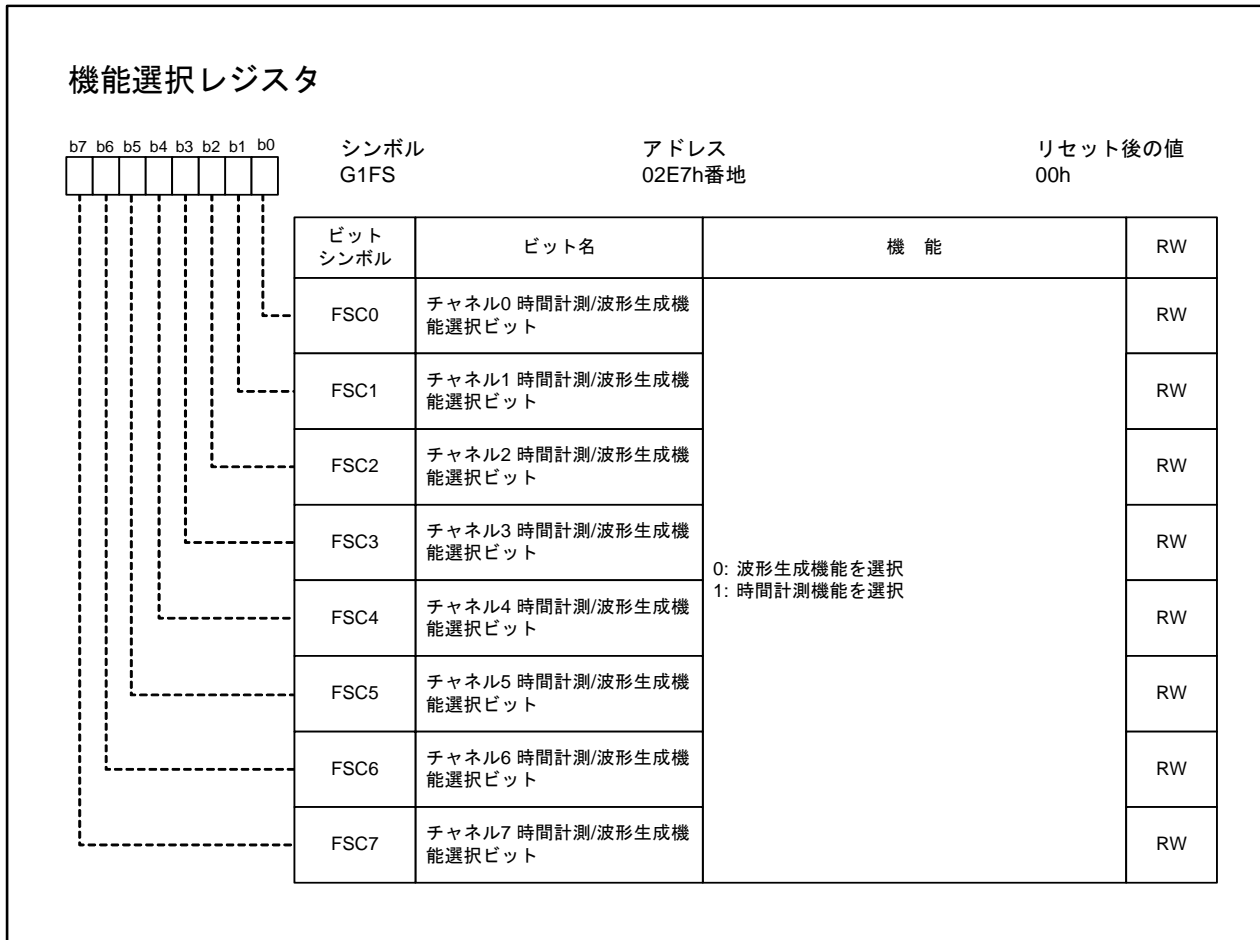
18.2.9 機能許可レジスタ (G1FE)



このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されま
す。

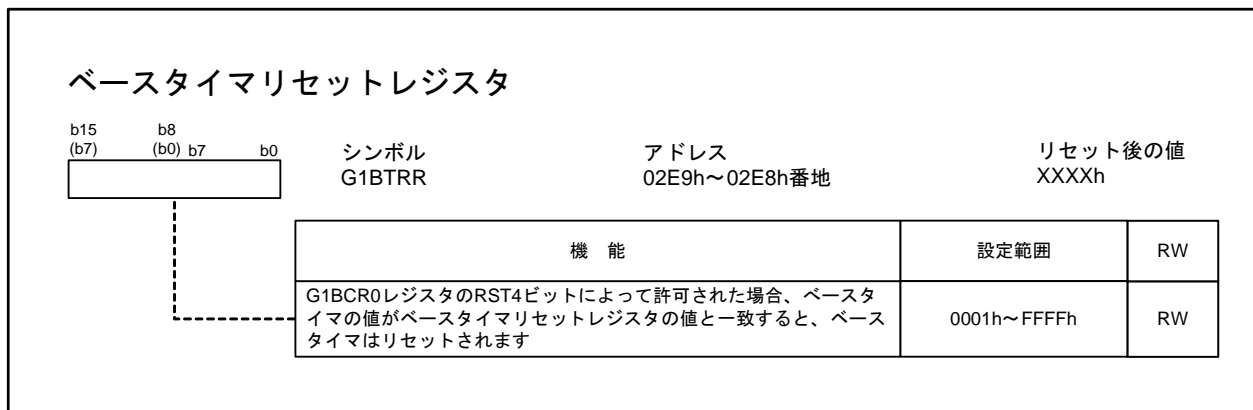
チャンネルj(j=0~7)の機能を禁止したとき、各端子の機能は入出力ポートになります。

18.2.10 機能選択レジスタ (G1FS)



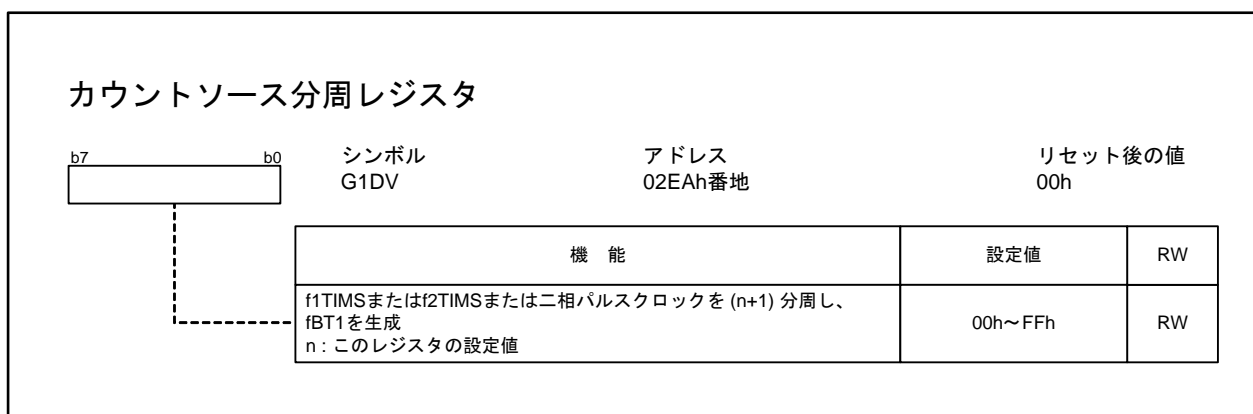
このレジスタの値は、G1BCR1レジスタのBTSビットが“0” (ベースタイマリセット)のときに書き換えてください。

18.2.11 ベースタイマリセットレジスタ (G1BTRR)



16ビット単位でライトしてください。このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。G1BCR0レジスタのRST4ビットが“1”のときは、G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときに、G1BTRRレジスタの値を書き換えてください。

18.2.12 カウントソース分周レジスタ (G1DV)



このレジスタの値は、G1BCR0レジスタのBCK1、BCK0ビットが“00b”(クロック停止)のときに書き換えてください。

18.2.13 波形出カマスタ許可レジスタ (G1OER)

波形出カマスタ許可レジスタ

ビット シンボル	ビット名	機 能	RW
EOC0	OUTC1_0 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_0 端子はプログラマブル 入出力ポート)	RW
EOC1	OUTC1_1 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_1 端子はプログラマブル 入出力ポート)	RW
EOC2	OUTC1_2 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_2 端子はプログラマブル 入出力ポート)	RW
EOC3	OUTC1_3 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_3 端子はプログラマブル 入出力ポート)	RW
EOC4	OUTC1_4 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_4 端子はプログラマブル 入出力ポート)	RW
EOC5	OUTC1_5 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_5 端子はプログラマブル 入出力ポート)	RW
EOC6	OUTC1_6 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_6 端子はプログラマブル 入出力ポート)	RW
EOC7	OUTC1_7 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_7 端子はプログラマブル 入出力ポート)	RW

各 EOC_j ビット (j=0~7) は、G1FS レジスタの FSC_j ビットが“0” (波形生成機能を選択) かつ G1FE レジスタの IFE_j ビットが“1” (チャンネル j の機能を許可) のときのみに有効です。SR 波形出力モード選択の奇数チャンネルまたは G1FS レジスタの FSC_j ビットが“1” (時間計測機能を選択) の場合は、EOC_j ビットを“1” (出力禁止) としてください。各ビットに書いた場合、fBT1 と無関係に、書いた時点から出力に反映されます。

18.2.14 タイマS I/O 制御レジスタ0 (G1IOR0)

b7 b6 b5 b4 b3 b2 b1 b0		シンボル G1IOR0	アドレス 02EEh番地	リセット後の値 00h
IO00	IO01	OUTC1_0 出力制御ビット	b1 b0 0 0 : G1POCR0レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO0レジスタのコンペアー致で “L” 出力 1 0 : G1PO0レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
				RW
IO10	IO11	OUTC1_1 出力制御ビット	b3 b2 0 0 : G1POCR1レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO1レジスタのコンペアー致で “L” 出力 1 0 : G1PO1レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
				RW
IO20	IO21	OUTC1_2 出力制御ビット	b5 b4 0 0 : G1POCR2レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO2レジスタのコンペアー致で “L” 出力 1 0 : G1PO2レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
				RW
IO30	IO31	OUTC1_3 出力制御ビット	b7 b6 0 0 : G1POCR3レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO3レジスタのコンペアー致で “L” 出力 1 0 : G1PO3レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
				RW

このレジスタに書いた値は、ベースタイマのカウンタソース fBT1 に同期して内部回路に反映されま
す。

G1FS レジスタの FSC_j ビット (j=0~3) を “1” (時間計測機能を選択) としているチャンネルは、対応する出
力制御ビットの IO_{j1}~IO_{j0} ビットを “00b” にしてください。

また SR 波形出力モードを選択している場合は、奇数チャンネル、偶数チャンネルともに IO_{j1}~IO_{j0} ビット
を “00b” にしてください。

18.2.15 タイマS I/O 制御レジスタ1 (G1IOR1)

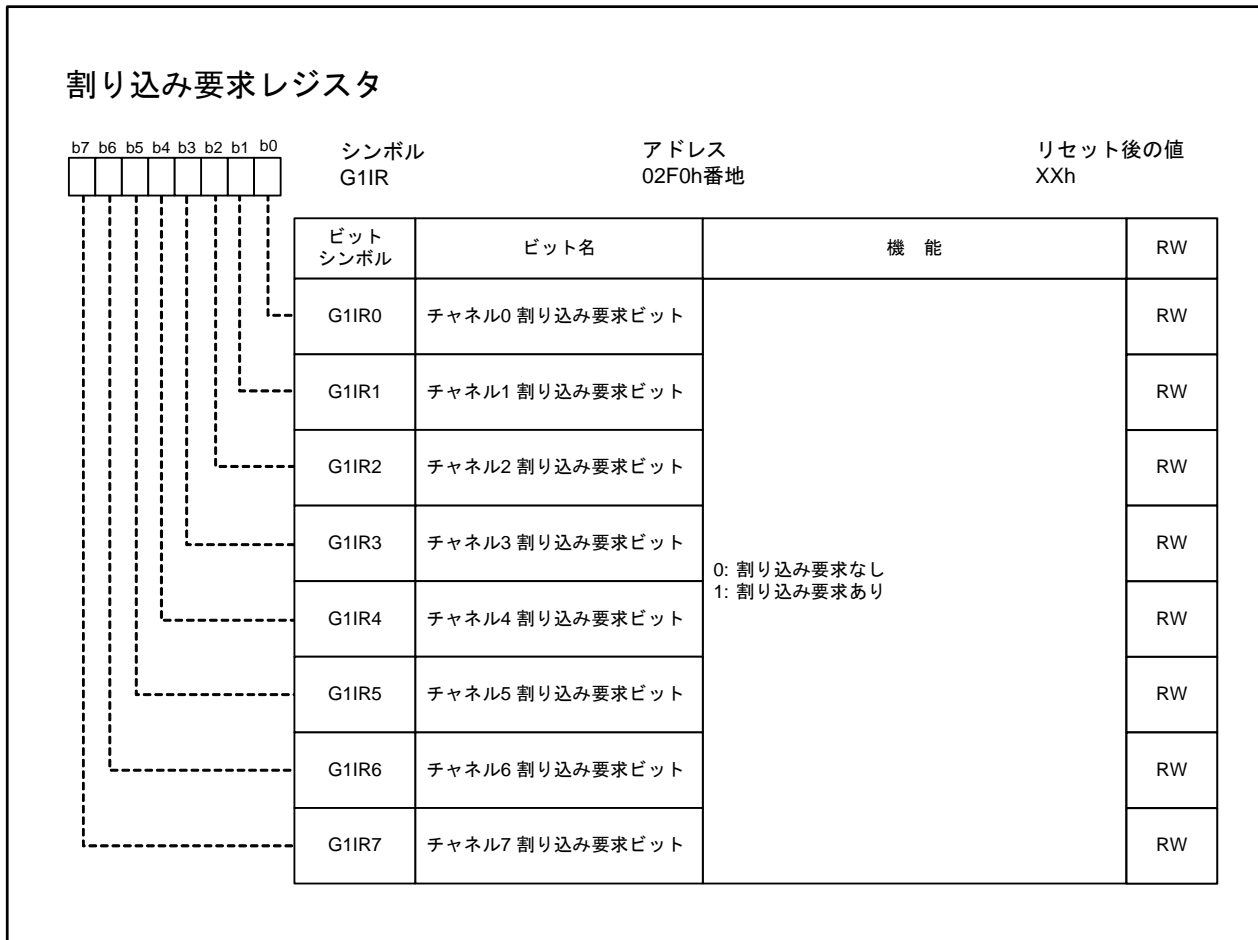
b7 b6 b5 b4 b3 b2 b1 b0		シンボル G1IOR1	アドレス 02EFh番地	リセット後の値 00h	
		ビット シンボル	ビット名	機 能	RW
		IO40	OUTC1_4 出力制御ビット	b1 b0 0 0 : G1POCR4レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO4レジスタのコンペアー致で “L” 出力 1 0 : G1PO4レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO41			RW
		IO50	OUTC1_5 出力制御ビット	b3 b2 0 0 : G1POCR5レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO5レジスタのコンペアー致で “L” 出力 1 0 : G1PO5レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO51			RW
		IO60	OUTC1_6 出力制御ビット	b5 b4 0 0 : G1POCR6レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO6レジスタのコンペアー致で “L” 出力 1 0 : G1PO6レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO61			RW
		IO70	OUTC1_7 出力制御ビット	b7 b6 0 0 : G1POCR7レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO7レジスタのコンペアー致で “L” 出力 1 0 : G1PO7レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO71			RW

このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されま
す。

G1FSレジスタのFSCjビット(j=4~7)を“1”(時間計測機能を選択)としているチャンネルは、対応する出
力制御ビットのIOj1~IOj0ビットを“00b”にしてください。

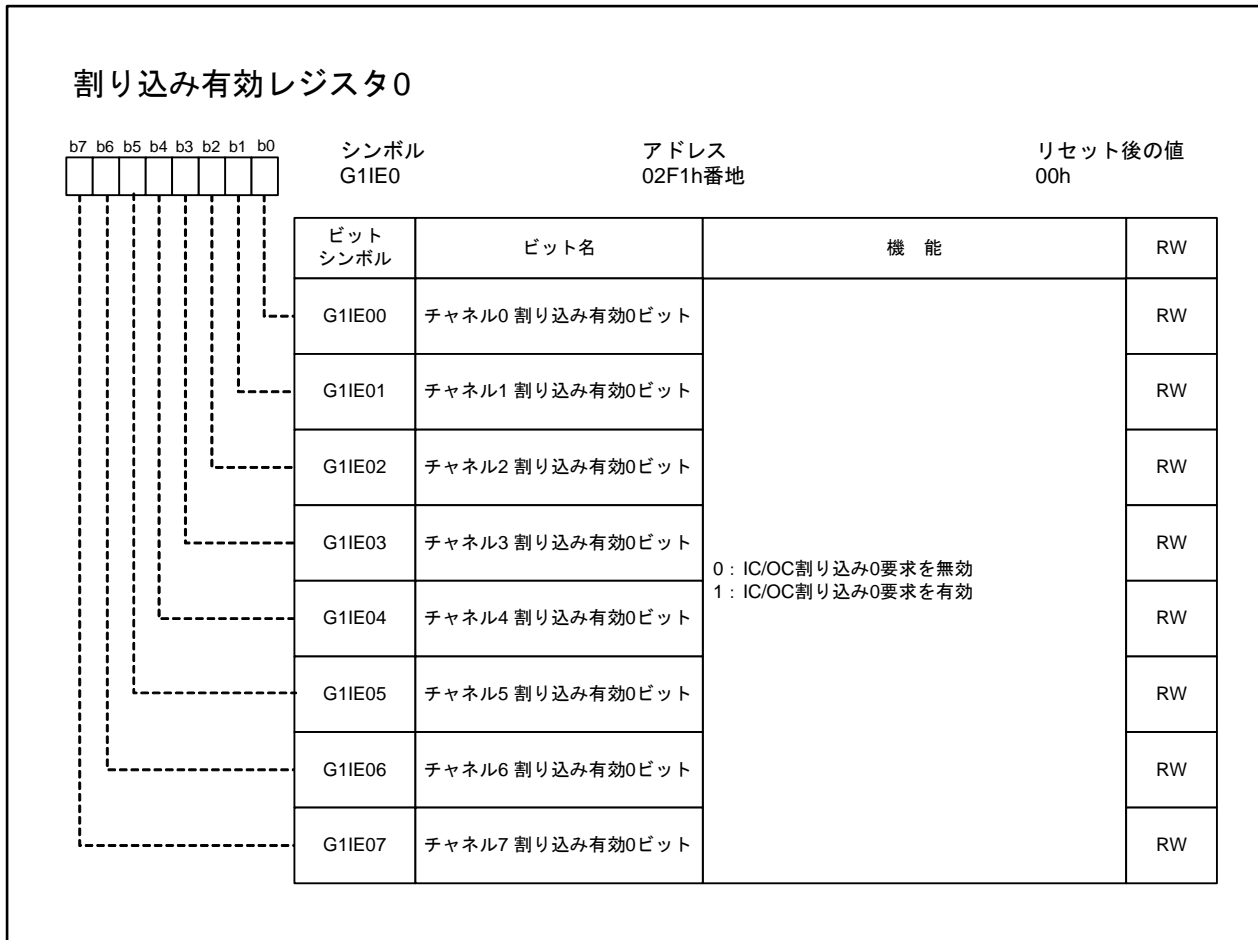
またSR波形出力モードを選択している場合は、奇数チャンネル、偶数チャンネルともにIOj1~IOj0ビッ
トを“00b”にしてください。

18.2.16 割り込み要求レジスタ (G1IR)

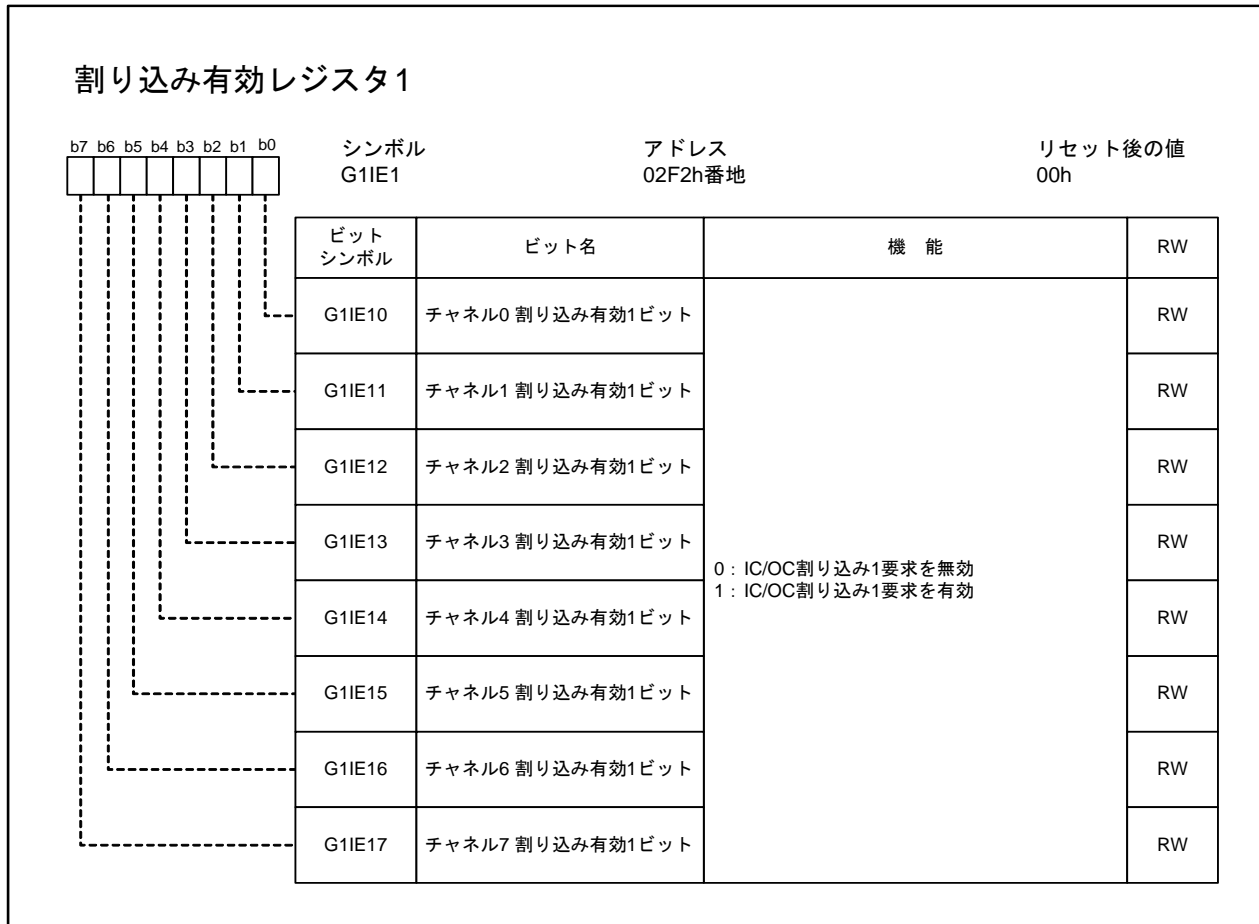


G1IRレジスタの各ビットは割り込みの受け付けによって自動的に“0”になりません。
 “0”にするには割り込み要求が“1”になってからfBT1の1サイクル以上経過した後に「18.5.2 G1IRレジスタの変更」の手順で“0”にしてください。
 このビットの値は、CPUクロックに同期して内部回路に反映されます。

18.2.17 割り込み有効レジスタ0 (G1IE0)



18.2.18 割り込み有効レジスタ1 (G1IE1)



18.3 動作説明

18.3.1 ベースタイマ

内部で生成されたカウントソースをフリーランカウントします。

表 18.5にベースタイマの仕様を、図 18.3にベースタイマのブロック図を、表 18.6にベースタイマ関連レジスタの設定を、図 18.4にアップカウントの動作例を、図 18.5にアップダウンカウントの動作例を、図 18.7に二相パルス信号処理動作(ベースタイマリセットした場合)の動作例を示します。

表 18.5 ベースタイマの仕様

項目	仕様
カウントソース (fBT1)	f1TIMSまたはf2TIMSの(n+1)分周、二相パルスクロックの(n+1)分周 n: G1DVレジスタの設定値。n=0~255。 ただしn=0の場合、分周しない
カウント動作	<ul style="list-style-type: none"> • アップカウント • アップダウンカウント • 二相パルス信号処理
カウント開始条件	G1BCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする
カウント停止条件	G1BCR1レジスタのBTSビットを“0”(ベースタイマリセット)にする
ベースタイマリセット条件	<ul style="list-style-type: none"> • ベースタイマとG1BTRRレジスタの値が一致 • ベースタイマとG1PO0レジスタの値が一致 • 外部割り込み端子 $\overline{\text{INT1}}$に“L”を入力 • G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)
ベースタイマリセット時の値	“0000h”
割り込み要求	<ul style="list-style-type: none"> • G1BTレジスタのビット14またはビット15のオーバフロー • ベースタイマの値がG1BTRRレジスタの値と一致
ベースタイマの読み出し	<ul style="list-style-type: none"> • ベースタイマ動作中にG1BTレジスタを読むと現在のカウント値が読める • BTSビットが“0”のときのベースタイマリセット中にG1BTレジスタを読むと不定値になる

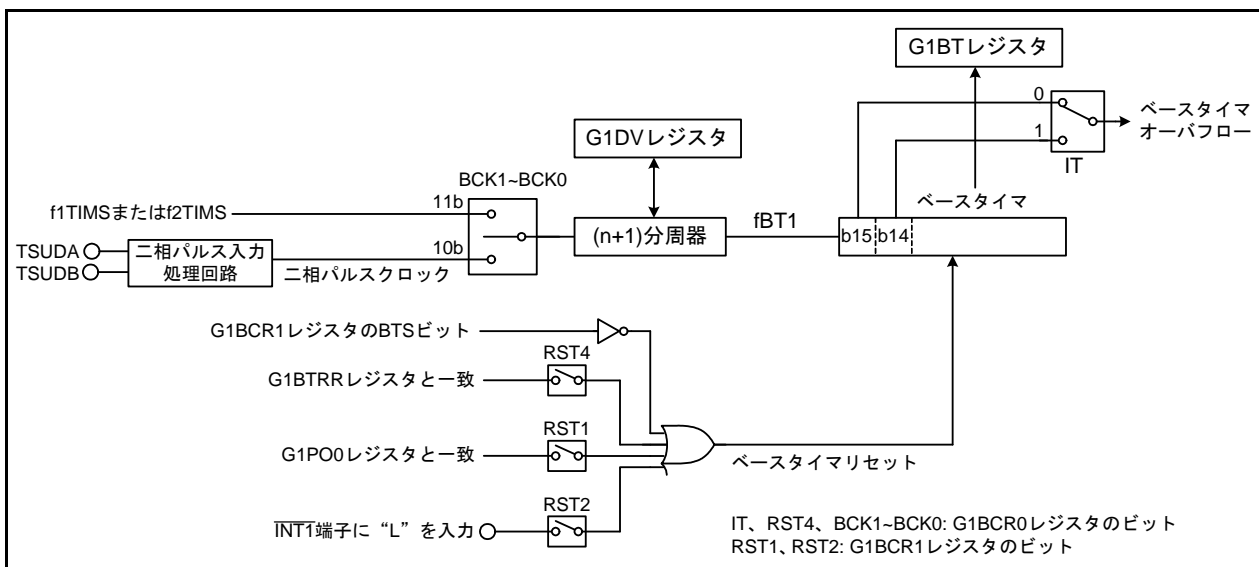


図 18.3 ベースタイマのブロック図

表 18.6 ベースタイマ関連レジスタの設定 (注1)

レジスタ	ビット	機能、設定値		
		ベースタイマリセットを使用しない場合	G1BTRRレジスタによるベースタイマリセットを使用する場合	G1PO0レジスタによるベースタイマリセットを使用する場合
G1BCR0	BCK1-BCK0	カウントソースを選択してください	カウントソースを選択してください	カウントソースを選択してください
	RST4	"0"にしてください	"1"にしてください	"0"にしてください
	IT	IC/OCベースタイマ割り込み要求のタイミングを選択してください	IC/OCベースタイマ割り込み要求のタイミングを選択してください	IC/OCベースタイマ割り込み要求のタイミングを選択してください
G1BCR1	RST1	"0"にしてください	"0"にしてください	"1"にしてください
	RST2	INT1端子をベースタイマリセットに使用する/しないを選択してください	INT1端子をベースタイマリセットに使用する/しないを選択してください	INT1端子をベースタイマリセットに使用する/しないを選択してください
	BTS	ベースタイマのカウント開始時"1"に、ベースタイマリセット時"0"にしてください	ベースタイマのカウント開始時"1"に、ベースタイマリセット時"0"にしてください	ベースタイマのカウント開始時"1"に、ベースタイマリセット時"0"にしてください
	UD1-UD0	カウント動作を選択してください	カウント動作を選択してください	カウント動作を選択してください
G1BT	—	ベースタイマの値の読み出しができません	ベースタイマの値の読み出しができません	ベースタイマの値の読み出しができません
G1DV	—	カウントソース分周比を設定してください	カウントソース分周比を設定してください	カウントソース分周比を設定してください
G1BTRR	—	— (使用しない)	ベースタイマリセットタイミングを設定してください	— (使用しない)
G1POCR0	MOD1~MOD0	— (ベースタイマには使用しない)	—	"00b"にしてください
G1PO0	—	— (ベースタイマには使用しない)	—	ベースタイマリセットタイミングを設定してください
G1FS	FSC0	— (ベースタイマには使用しない)	—	"0"にしてください
G1FE	IFE0	— (ベースタイマには使用しない)	—	"1"にしてください
G1IOR0	IO01-IO00	— (ベースタイマには使用しない)	—	"00b"にしてください

注1. この表は手順を示すものではありません。

18.3.1.1 アップカウント

カウント開始後、“0000h”から“FFFFh”までアップカウントし、“0000h”に戻ってアップカウントを続けます。

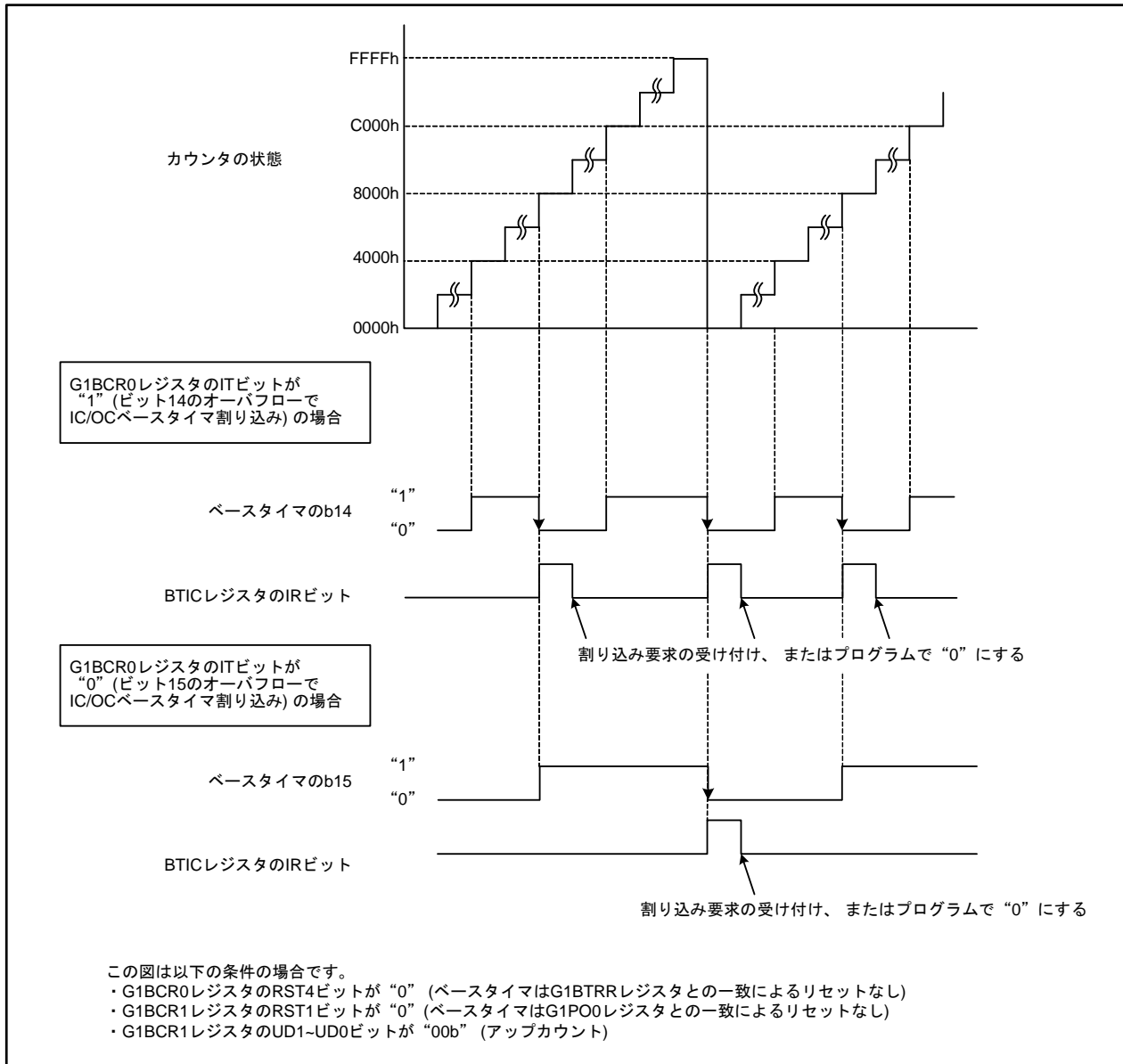


図 18.4 アップカウント

18.3.1.2 アップダウンカウント

カウント開始後、“0000h”から“FFFFh”までアップカウントし、“FFFFh”からは“0000h”までダウンカウントします。以後この動作を繰り返します。

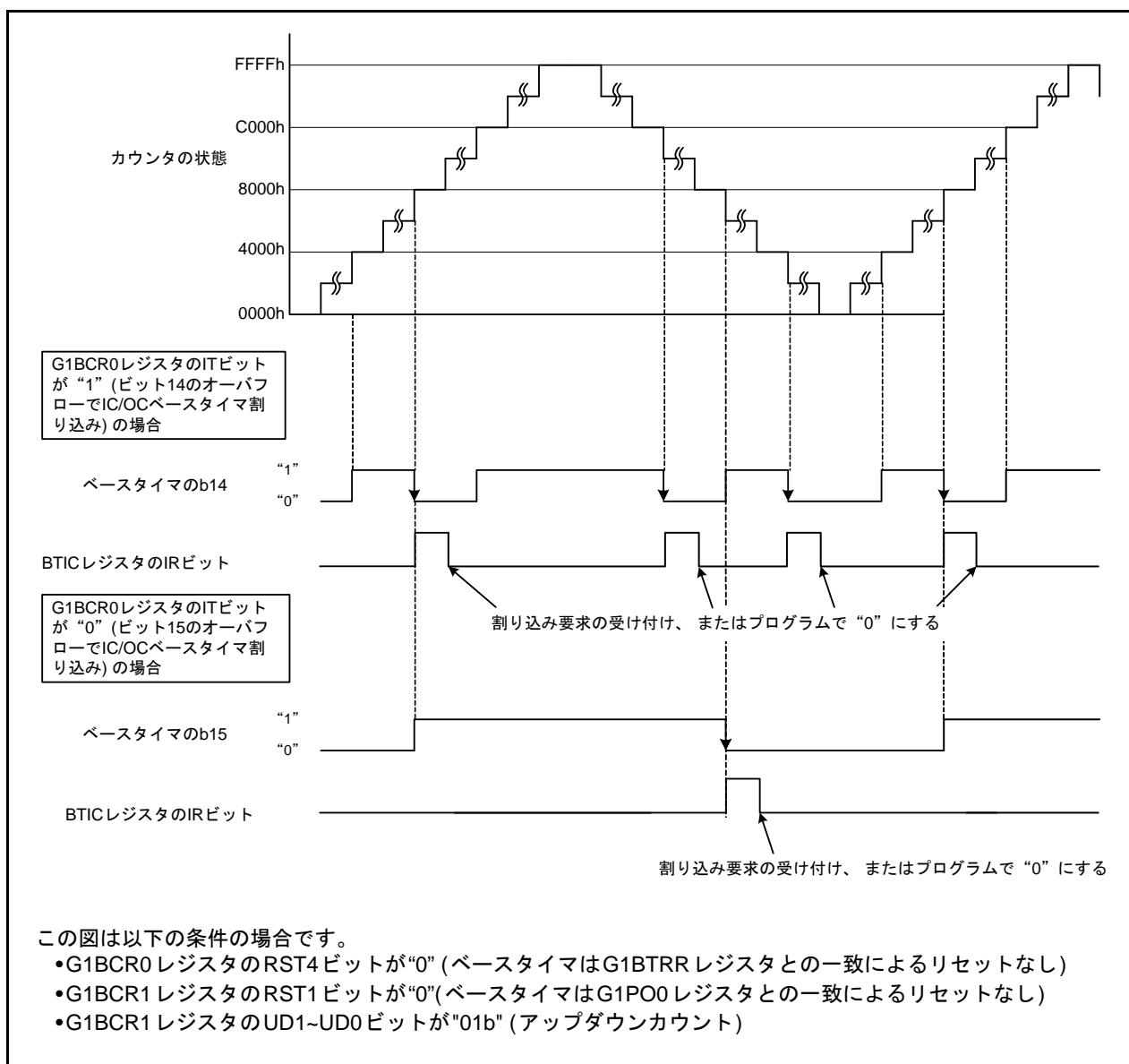


図 18.5 アップダウンカウント

18.3.1.3 二相パルス信号処理

TSUDA、TSUDB端子から入力した二相パルスをカウントします。

二相パルス処理では、次に示すビットを下のように設定してください。

G1BCR0レジスタのBCK1~BCK0: 10b (二相パルスクロック)

G1BCR1レジスタのRST2: 1 (INT1端子への“L”レベル入力でベースタイマをリセットする)

G1BCR1レジスタのUD1~UD0: 10b (二相パルス信号処理)

図 18.6 に二相パルス信号処理動作を、図 18.7 に二相パルス信号処理動作 (ベースタイマリセットした場合)を示します。

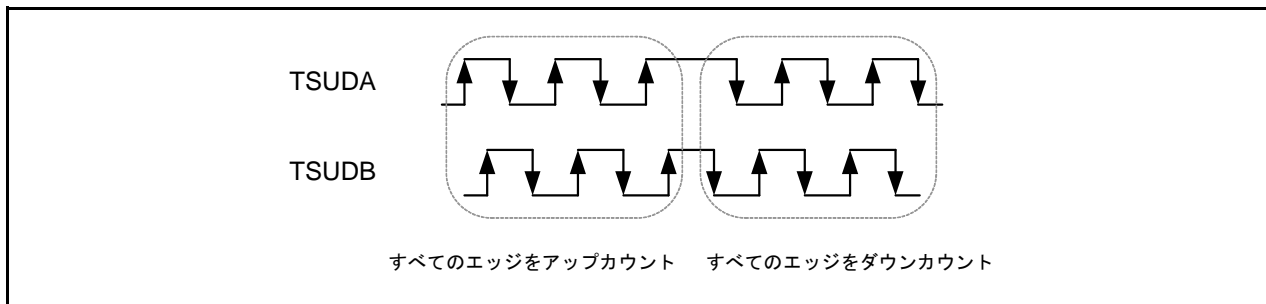


図 18.6 二相パルス信号処理動作

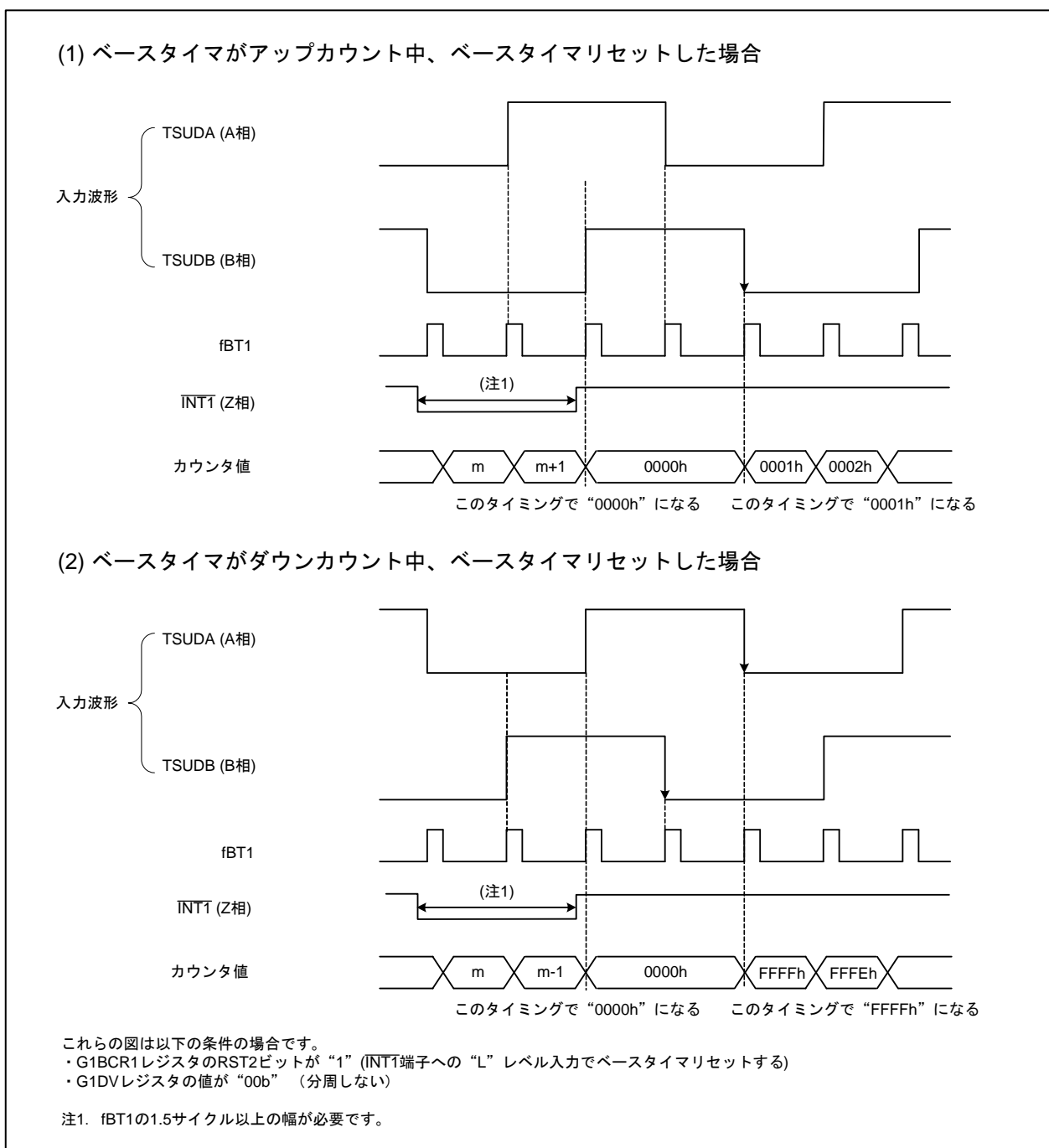


図 18.7 二相パルス信号処理動作 (ベースタイマリセットした場合)

18.3.1.4 ベースタイマ動作中のベースタイマリセット

ベースタイマは下記のいずれかの条件でリセットされます。

- G1BCR0 レジスタのRST4ビットを“1”に設定後、G1BTRR レジスタに格納された値とベースタイマの値が一致 (G1BTRR レジスタとの一致によりベースタイマリセット)
- G1BCR1 レジスタのRST1ビットを“1”に設定後、G1PO0 レジスタに格納された値とベースタイマの値が一致 (G1PO0 レジスタとの一致によりベースタイマリセット)
- G1BCR1 レジスタのRST2ビットを“1”に設定後、外部割り込み端子 $\overline{INT1}$ に“L”を入力 ($\overline{INT1}$ への“L”入力によりベースタイマリセット)

RST1ビットとRST4ビットを同時に“1”にしないでください。

フリーラン以外でベースタイマが動作している場合、G1BTRR レジスタとの一致によりベースタイマをリセットすると、チャンネル0を波形生成に使用することができます。

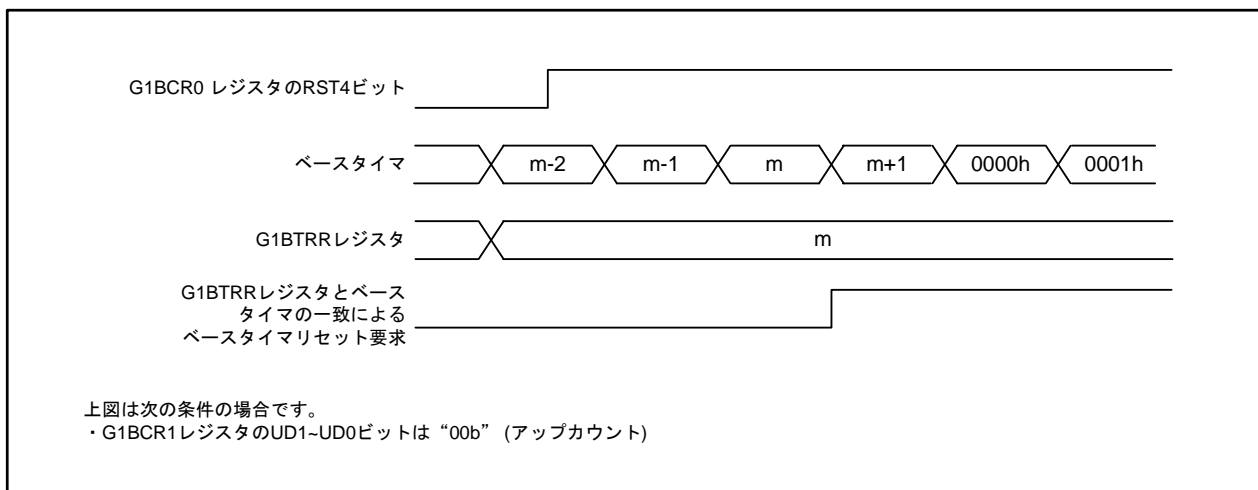


図 18.8 G1BTRR レジスタによるベースタイマリセット動作

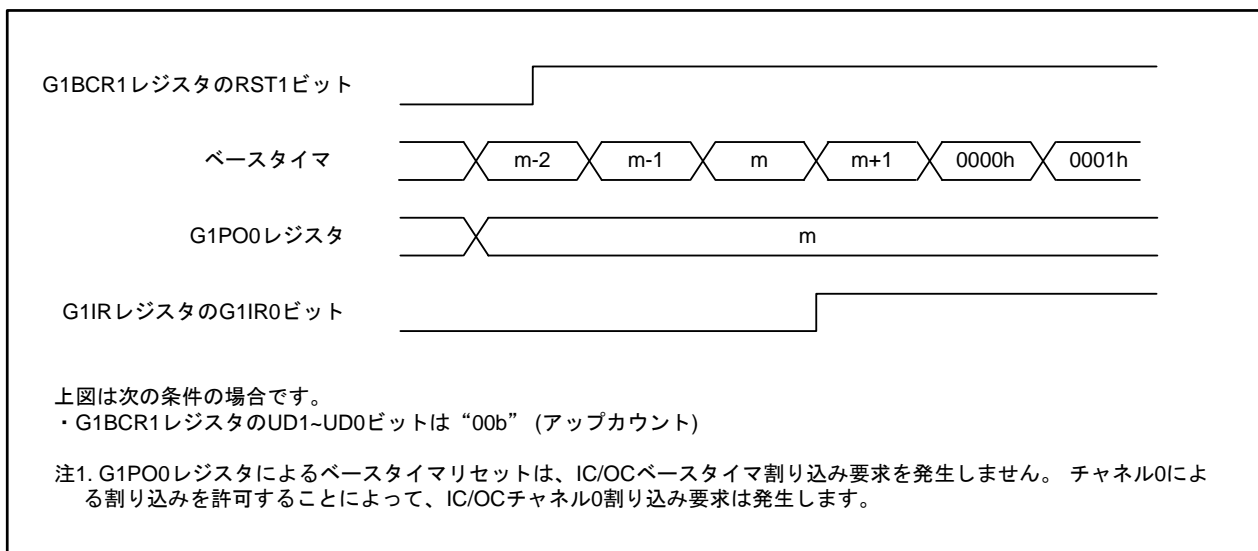


図 18.9 G1PO0 レジスタによるベースタイマリセット動作

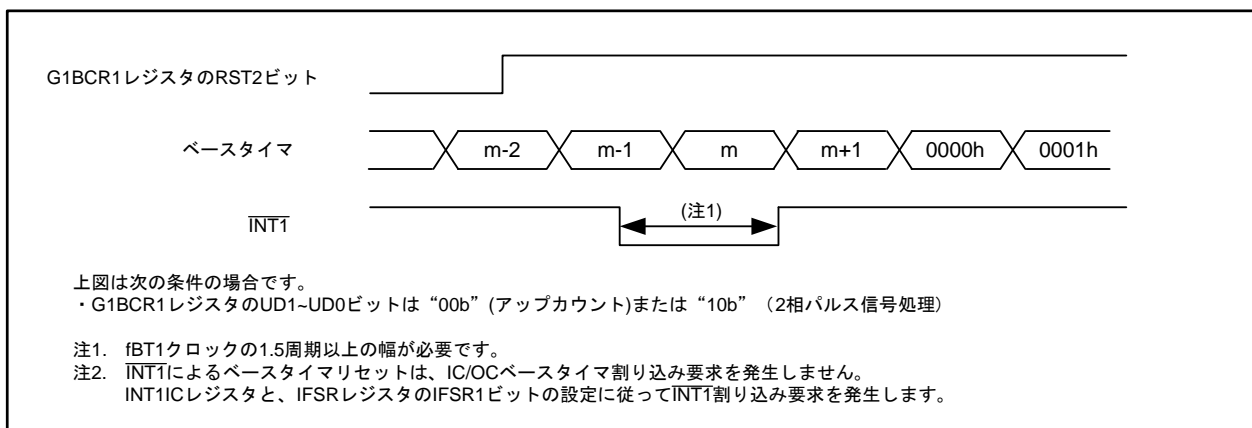


図 18.10 INT1によるベースタイマリセット動作

ベースタイマリセット時におけるベースタイマのカウンタ状態とカウンタ値の変化の関係は、表 18.7~表 18.9のとおりです。

表 18.7 アップカウント時の関係

リセット要因	カウンタ状態の変化	カウンタ値の変化
RST1リセット	変化なし(アップカウント)	0000hに初期化する
RST2リセット	変化なし(アップカウント)	0000hに初期化する
RST4リセット	変化なし(アップカウント)	0000hに初期化する

表 18.8 アップダウンカウンタ時の関係

リセット要因	アップカウントの場合		ダウンカウンタの場合	
	カウンタ状態の変化	カウンタ値の変化	カウンタ状態の変化	カウンタ値の変化
RST1リセット	ダウンカウンタへ変化	0000hに初期化しない	変化なし(ダウンカウンタ継続)	0000hに初期化しない
RST2リセット	ダウンカウンタへ変化	0000hに初期化しない	変化なし(ダウンカウンタ継続)	0000hに初期化しない
RST4リセット	ダウンカウンタへ変化	0000hに初期化しない	変化なし(ダウンカウンタ継続)	0000hに初期化しない

表 18.9 二相パルス信号処理時の関係

リセット要因	アップカウントの場合		ダウンカウンタの場合	
	カウンタ状態の変化	カウンタ値の変化	カウンタ状態の変化	カウンタ値の変化
RST1リセット	変化なし(アップカウンタ継続)	0000hに初期化する	変化なし(ダウンカウンタ継続)	0000hに初期化しない
RST2リセット	変化なし(アップカウンタ継続)	0000hに初期化する	変化なし(ダウンカウンタ継続)	0000hに初期化する
RST4リセット	変化なし(アップカウンタ継続)	0000hに初期化する	変化なし(ダウンカウンタ継続)	0000hに初期化しない

18.3.2 時間計測機能

外部入力をトリガにして、ベースタイマの値をG1TMjレジスタ(j=0~7)に格納します。表 18.10に時間計測機能の仕様を示します。表 18.11に時間計測機能関連レジスタの設定を示します。図 18.11~図 18.12に時間計測機能の動作例を示します。図 18.13にプリスケアラ機能とゲート機能使用時の動作例を示します。

表 18.10 時間計測機能の仕様

項目	仕様
計測チャンネル	チャンネル0~7
トリガ入力極性選択	INPC1_j端子の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	G1FSレジスタのFSCjビットが“1”(時間計測機能を選択)の状態、G1FEレジスタのIFEjビットを“1”(チャンネルjの機能を許可)にする
計測停止条件	IFEjビットを“0”(チャンネルjの機能を禁止)にする
時間計測タイミング	<ul style="list-style-type: none"> プリスケアラ機能なし: トリガ入力ごと プリスケアラ機能あり(チャンネル6、7): (G1TPRkレジスタ値+1)回目のトリガ入力ごと
割り込み要求発生タイミング	時間計測タイミング
INPC1_j端子機能	トリガ入力
選択機能	<ul style="list-style-type: none"> デジタルフィルタ機能 トリガ入力レベルをサンプリングクロック(f1TIMS、f2TIMSまたはfBT1)ごとに判定し、3回一致したパルス成分を通過させる プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、(G1TPRkレジスタ値+1)回目のトリガ入力ごとに時間計測を実行 ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する デジタルデバウンスフィルタ(チャンネル7) P1_7/INPC1_7入力はデジタルデバウンスフィルタあり

j=0~7、k=6、7

表 18.11 時間計測機能関連レジスタの設定 (注1)

レジスタ	ビット	機能
G1TMj	—	時間計測結果が読めます
G1TMCRj	CTS1~CTS0	時間計測トリガを選択してください
	DF1~DF0	デジタルフィルタ機能を使用する/しない、使用する場合のサンプリングクロックを選択してください
G1TMCRk	GT、GOC、GSC	ゲート機能を使用する場合設定してください
	PR	プリスケラ機能を使用する/しないを選択してください
G1TPRk	—	プリスケラを使用する場合、値を設定してください
G1FS	FSCj	“1” (時間計測機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください
G1POCRp	MOD1~MOD0	“00b” にしてください (注2)
G1POp	—	ゲート解除タイミングを設定してください (注2)
G1FS	FSCp	“0” にしてください (注2)
G1FE	IFEp	“1” にしてください (注2)
G1OER	EOCp	“1” にしてください (注2)
G1IOR1	IOP1~IOP0	“00b” にしてください (注2)
G1BCR0	CH7INSEL	INPC1_7の配置を選択してください。

j=0~7、k=6、7、p=k-2

注1. この表は手順を示すものではありません。

注2. G1TMCRkレジスタのGTビットとGOCビットがともに“1”の場合に設定してください。

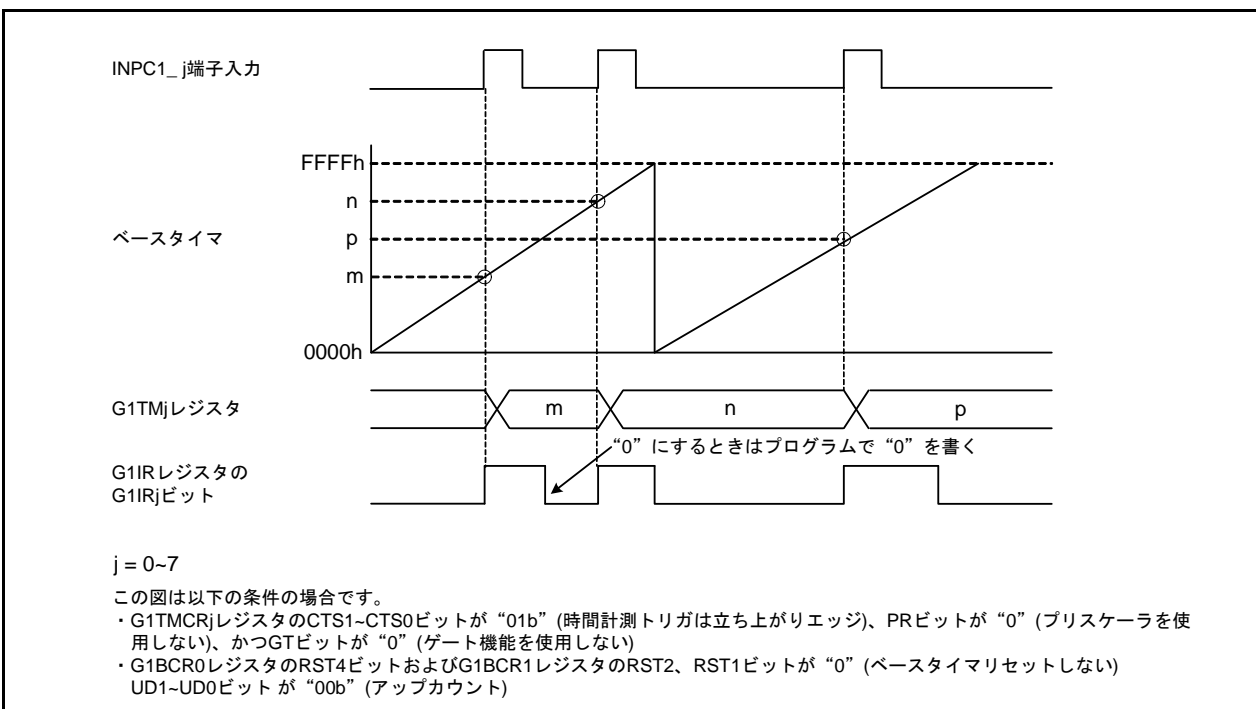


図 18.11 時間計測機能 (1/2)

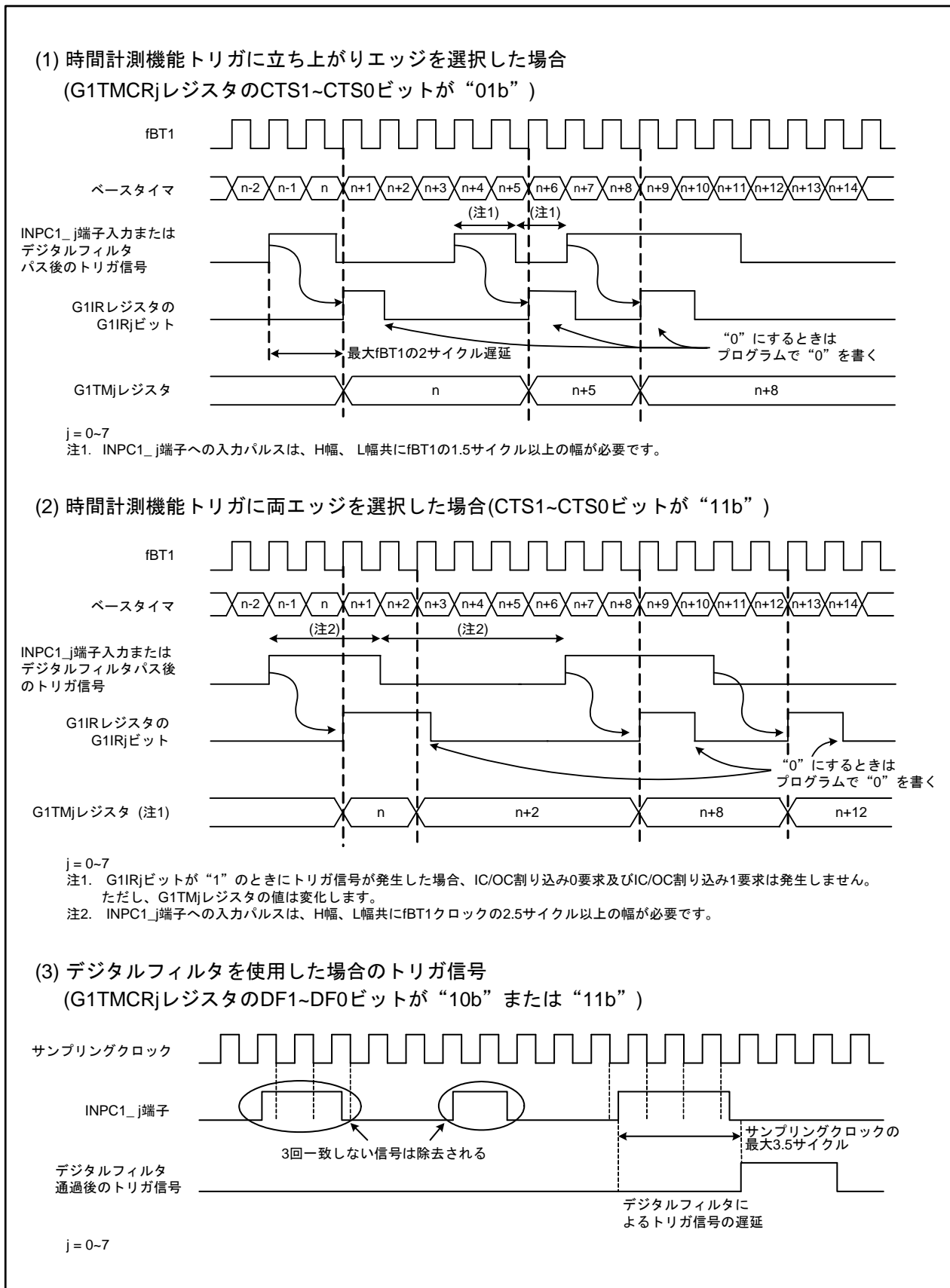


図 18.12 時間計測機能 (2/2)

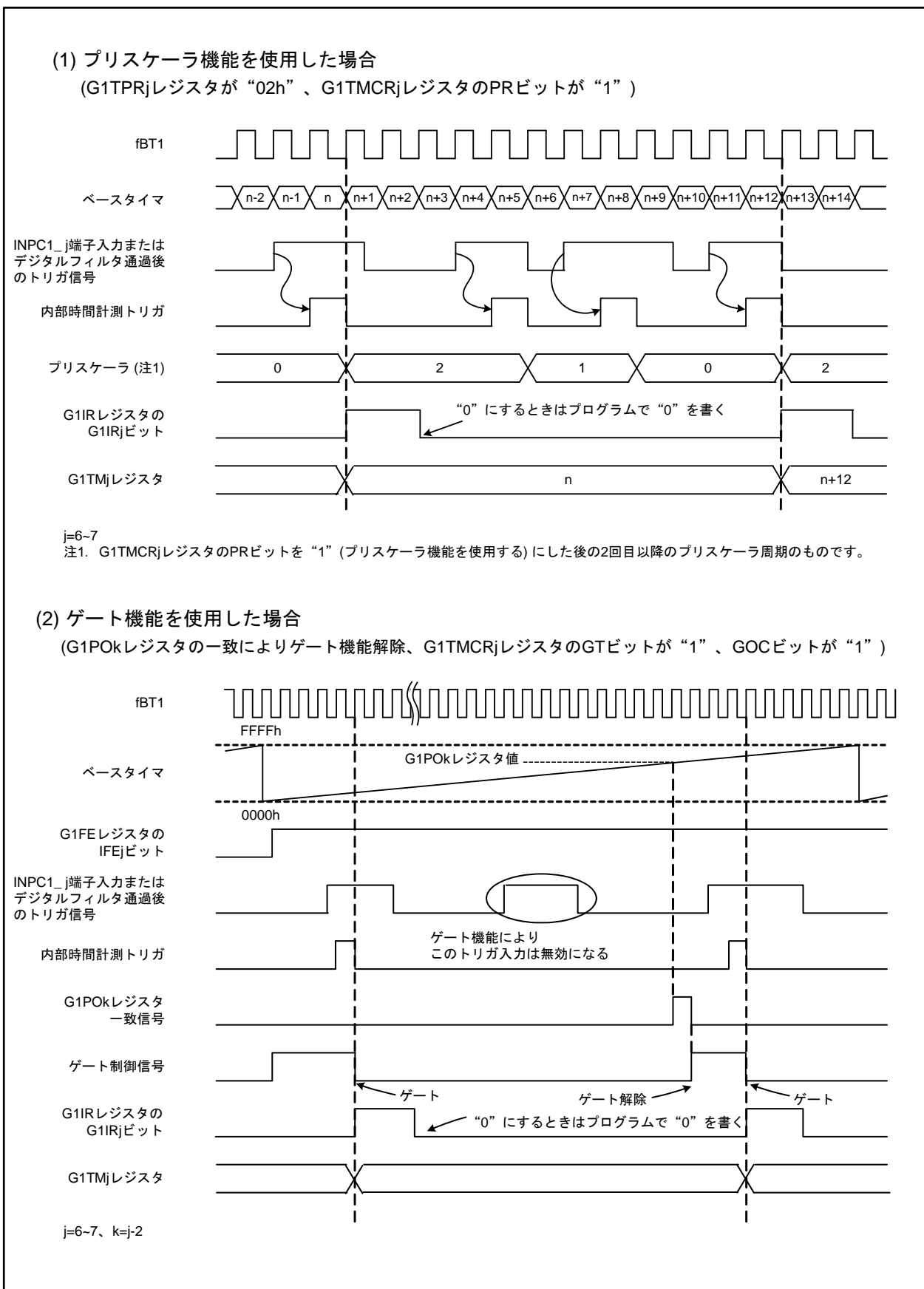


図 18.13 プリスケアラ機能とゲート機能

18.3.2.1 ゲート機能 (チャンネル6、7)

G1TMCRjレジスタ(j=6,7)のGTビットが“1”(ゲート機能を使用する)の場合、最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止します。

G1TMCRjレジスタのGSCビットに“1”を書くと、再度トリガ入力の受け付けを許可します。

また、G1TMCRjレジスタのGOCビットが“1”の場合は、ベースタイマとG1POkレジスタ(k=j-2)の値が一致すると、再度トリガ入力の受け付けを許可します。「図 18.13 プリスケーラ機能とゲート機能図」の「(2)ゲート機能を使用した場合」に動作例を示します。

18.3.3 波形生成機能

ベースタイマとG1POjレジスタ(j=0~7)の値により、波形生成を行います。

波形生成機能には次の3つのモードがあります。

- 単相波形出力モード
- 反転波形出力モード
- セット/リセット波形出力(SR波形出力)モード

また単相波形出力モード、反転波形出力モードでは、コンペア一致出力の選択が可能です。

さらにモードによらず、波形生成中に各チャンネル出力を一時的に出力禁止して、プログラマブル入出力ポートに設定することが可能です。

18.3.3.1 単相波形出力モード

ベースタイマとG1POjレジスタ(j=0~7)の値が一致すると、G1POCRjレジスタのINVビットが“0”(出力反転しない)の場合、OUTC1_j端子から“H”レベルを出力します。ベースタイマが“0000h”になるとOUTC1_j端子から“L”レベルを出力します。G1POCRjレジスタのMOD1~MOD0ビットが“00b”(単相波形出力モード)の場合、G1BCR1レジスタのUD1~UD0ビットを“00b”(アップカウント)にしてください。表 18.11~表 18.12に単相波形出力モードの仕様、表 18.13に単相波形出力モード時の使用レジスタと設定値、図 18.14~図 18.15に単相波形出力モードの動作例を示します。

表 18.12 単相波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0” (ベースタイマリセットしない)) <p>周期: $\frac{65536}{f_{BT1}}$</p> <p>初期出力レベル幅: $\frac{m}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{65536 - m}{f_{BT1}}$</p> <ul style="list-style-type: none"> ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000h”にする <ul style="list-style-type: none"> G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”) <p>周期: $\frac{n + 2}{f_{BT1}}$</p> <p>初期出力レベル幅: $\frac{m}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{n + 2 - m}{f_{BT1}}$</p> <p>m: G1POjレジスタの設定値 n: G1PO0レジスタまたはG1BTRRレジスタの設定値 0001h ≤ m < n ≤ FFFDh</p>
波形出力開始条件	G1FEレジスタのIFEjビットを“1” (チャネルjの機能を許可) にする
波形出力停止条件	IFEjビットを“0” (チャネルjの機能を禁止) にする
割り込み要求発生タイミング	ベースタイマ値とG1POjレジスタの値が一致したとき
OUTC1_j端子	パルス出力または入出力ポート
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTC1_j端子から出力 コンペアー一致出力機能 コンペアー一致出力を設定すると、ベースタイマがmと一致したときから、出力レベルを“H”または“L”に固定。 コンペアー一致出力を解除すると、次にベースタイマがmと一致したときから再び単相波形を出力。 出力禁止機能 G1OERレジスタのEOCjビットを“1” (出力禁止) に設定すると、OUTC1_j端子は波形出力を中止し、プログラマブル入出力ポートになる。EOCjビットを“0” (出力許可) に設定すると、OUTC1_j端子は再び単相波形を出力。

j=0~7

表 18.13 単相波形出力モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
G1POj	—	出力レベルを“H” (注2)にするタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください
G1POCRj	MOD1~MOD0	“00b” にしてください
	IVL	出力レベルの初期値を選択してください
	RLD	G1POjレジスタ値のリロードタイミングを選択してください
	INV	出力レベルを反転する/しないを選択してください
G1OER	EOCj	OUTC1_j出力を禁止するとき“1”にしてください
G1IOR0 G1IOR1	IOj1~IOj0	コンペア結果が一致したときの出力レベルを選択してください
G1BCR1	UD1~UD0	“00b” にしてください

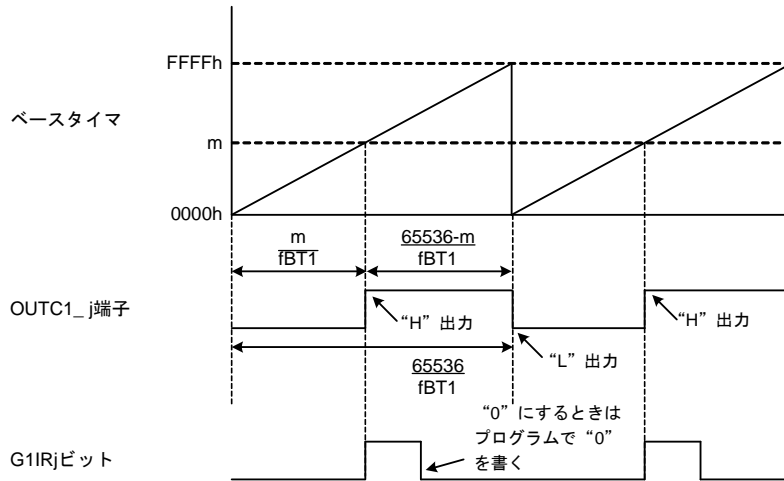
j=0~7。ただし、G1BCR1レジスタのRST1ビットが“1” (G1PO0レジスタによりペースタイマリセットする) の場合、j=1~7

注1. この表は手順を示すものではありません。

注2. G1POCRjレジスタのINVビットが“0” (出力反転しない) の場合です。

(1) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



j = 0~7
 m: G1POjレジスタ値
 G1IRj: G1IRレジスタのビット

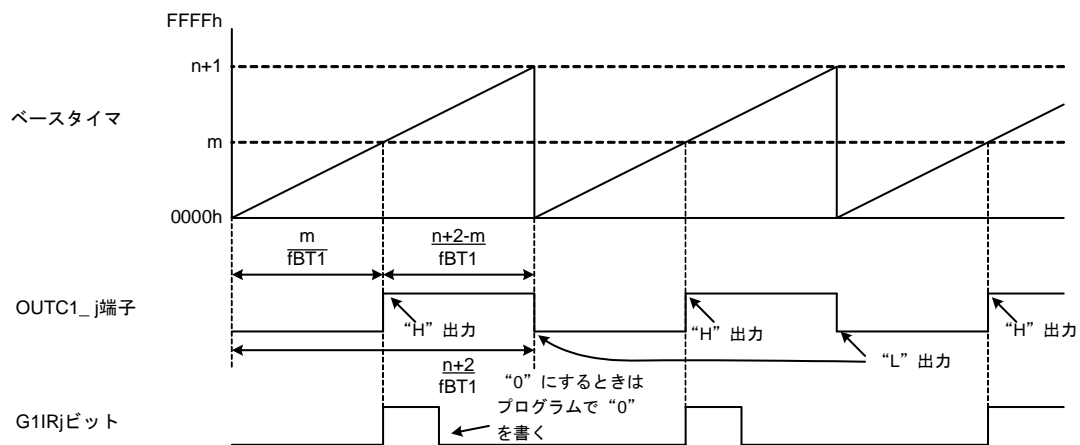
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、かつINVビットが“0” (出力反転しない)
- ・ G1IOR0、G1IOR1レジスタのIOj1、IOj0ビットが“00b” (G1POCRjのMOD1、MOD0の選択モードに従う)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

(2) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、j=1~7 (b)の場合、j=0~7

m: G1POjレジスタ値
 n: G1PO0レジスタまたはG1BTRRレジスタの設定値
 G1IRj: G1IRレジスタのビット

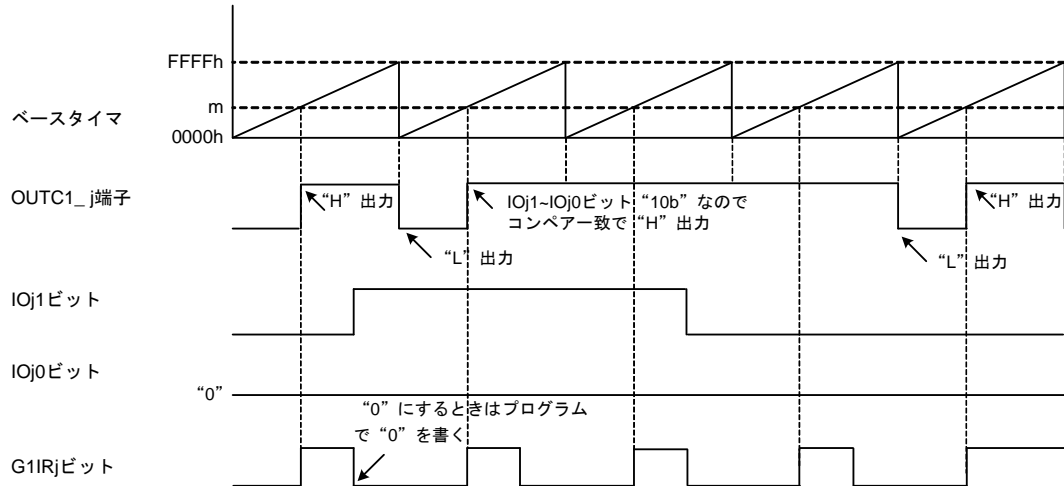
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・ G1IOR0、G1IOR1レジスタのIOj1、IOj0ビットが“00b” (G1POCRjのMOD1、MOD0の選択モードに従う)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

図 18.14 単相波形出力モードの動作例(1/2)

(3) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



j = 0~7

m: G1POjレジスタ値

IOj1、IOj0ビット: G1IOR1、G1IOR0レジスタのビット

G1IRjビット: G1IRレジスタのビット

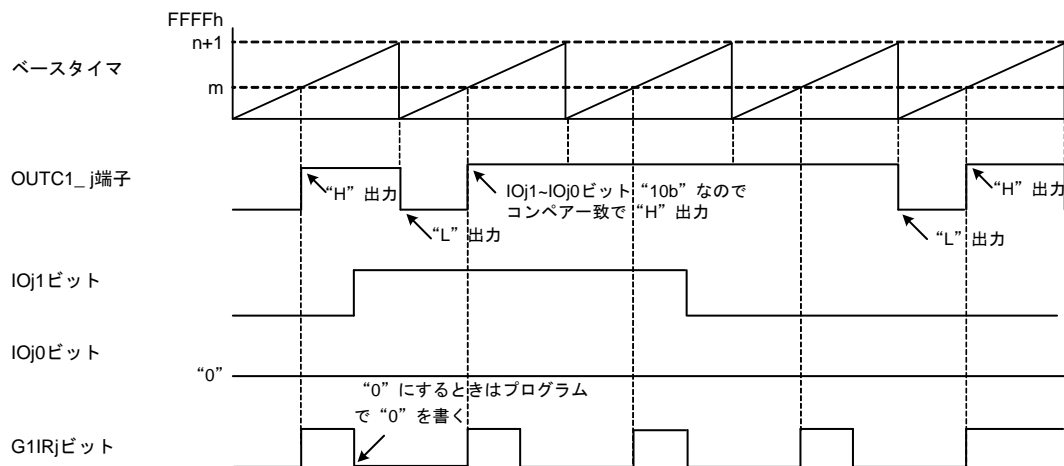
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、かつINVビットが“0” (出力反転しない)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

(4) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、j=1~7 (b)の場合、j=0~7

m: G1POjレジスタ値

n: G1PO0レジスタまたはG1BTRRレジスタの設定値

G1IRjビット: G1IRレジスタのビット

この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

図 18.15 単相波形出力モードの動作例 (2/2)

18.3.3.2 反転波形出力モード

ベースタイマの値がG1POj (j=0~7) レジスタの値と一致するごとに、OUTC1_j 端子の出力レベルを反転します。G1POCRj レジスタのMOD1~MOD0ビットが“10b” (反転波形出力モード) の場合、G1BCR1 レジスタのUD1~UD0ビットを“00b” (アップカウント)、または“01b” (アップダウンカウント) にしてください。表 18.14 に反転波形出力モードの仕様、表 18.15 に反転波形出力モード時の使用レジスタと設定値、図 18.16~図 18.17 に反転波形出力モードの動作例を示します。

表 18.14 反転波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (G1BCR1 レジスタのRST2、RST1ビットおよびG1BCR0 レジスタのRST4ビットが“0”(ベースタイマリセットしない)) <p>周期: $\frac{65536 \times 2}{f_{BT1}}$</p> <p>“H”幅、“L”幅: $\frac{65536}{f_{BT1}}$</p> <ul style="list-style-type: none"> ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000h”にする <ul style="list-style-type: none"> G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”) <p>周期: $\frac{2(n+2)}{f_{BT1}}$</p> <p>“H”幅、“L”幅: $\frac{n+2}{f_{BT1}}$</p> <p>m: G1POj レジスタの設定値 n: G1PO0 レジスタまたはG1BTRR レジスタの設定値 0000h ≤ m < n ≤ FFFDh</p>
波形出力開始条件	G1FE レジスタのIFEjビットを“1” (チャンネルjの機能を許可) にする
波形出力停止条件	IFEjビットを“0” (チャンネルjの機能を禁止) にする
割り込み要求発生タイミング	ベースタイマ値とG1POjレジスタの値が一致したとき
OUTC1 _j 端子	パルス出力または入出力ポート
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTC1_j端子から出力 コンペアー一致出力機能 コンペアー一致出力を設定すると、ベースタイマがmと一致したときから、出力レベルを“H”または“L”に固定。 コンペアー一致出力を解除すると、次にベースタイマがmと一致したときから再び反転波形を出力。 出力禁止機能 G1OER レジスタのEOCjビットを“1” (出力禁止) に設定すると、OUTC1_j端子は波形出力を中止し、プログラマブル入出力ポートになる。EOCjビットを“0” (出力許可) に設定すると、OUTC1_j端子は再び反転波形を出力。

j=0~7

表 18.15 反転波形出力モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
G1POj	—	波形を反転するタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください
G1POCRj	MOD1~MOD0	“10b” にしてください
	IVL	出力レベルの初期値を選択してください
	RLD	G1POjレジスタ値のリロードタイミングを選択してください
	INV	出力レベルを反転する/しないを選択してください
G1OER	EOCj	OUTC1_j出力を禁止するとき“1”にしてください
G1IOR0 G1IOR1	IOj1~IOj0	コンペア結果が一致したときの出力レベルを選択してください
G1BCR1	UD1~UD0	“00b” または “01b” にしてください

j=0~7。ただし、G1BCRレジスタのRST1ビットが“1” (G1PO0レジスタによりベースタイマリセットする) の場合、j=1~7

注1. この表は手順を示すものではありません。

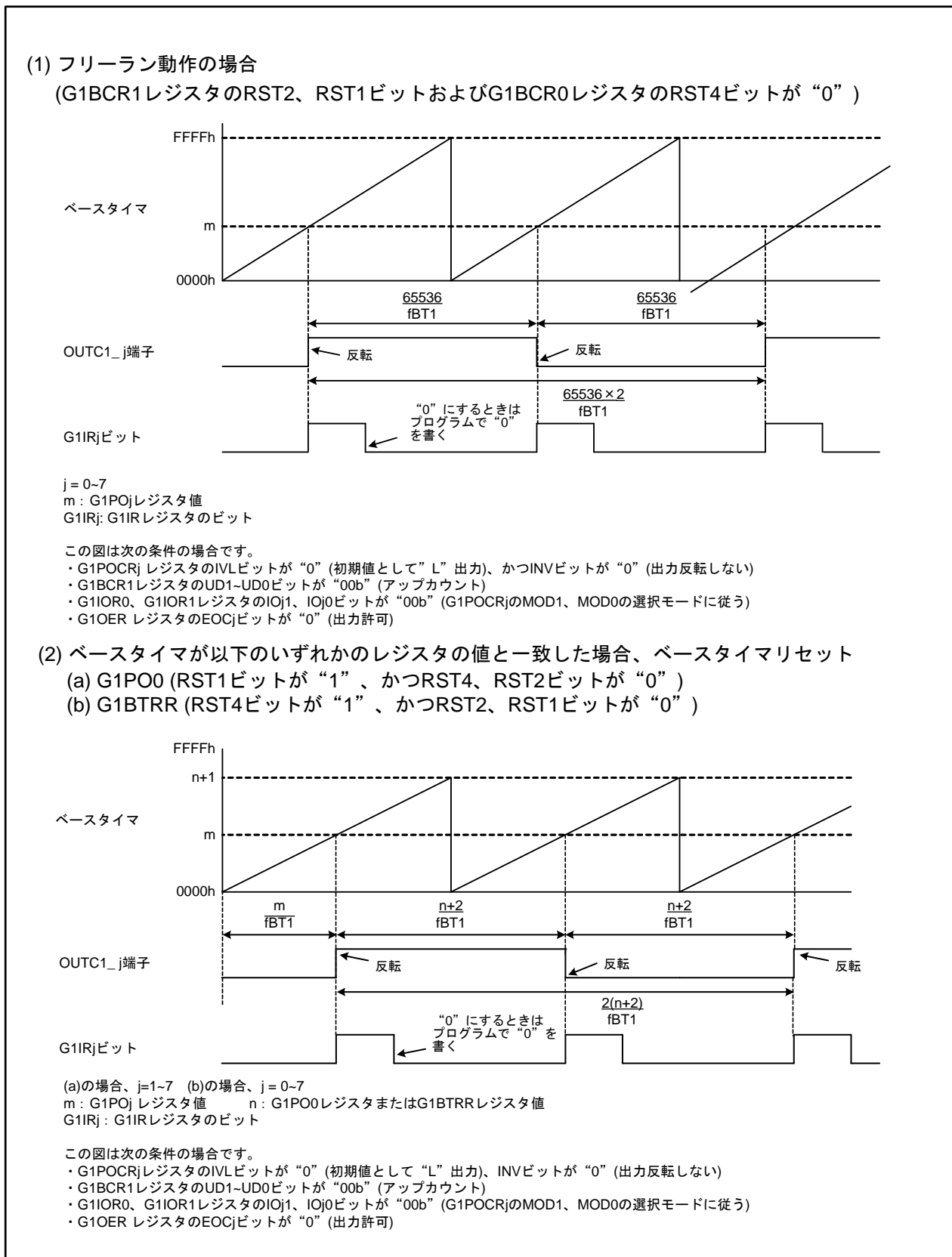
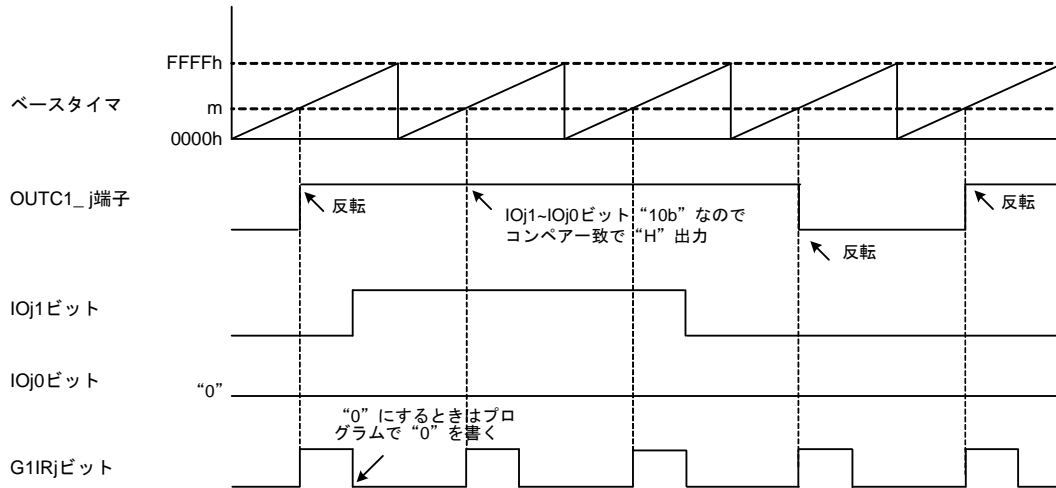


図 18.16 反転波形出力モードの動作例 (1/2)

(3) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



j = 0~7

m : G1POjレジスタ値

IOj1、IOj0ビット : G1IOR1、G1IOR0レジスタのビット

G1IRjビット : G1IRレジスタのビット

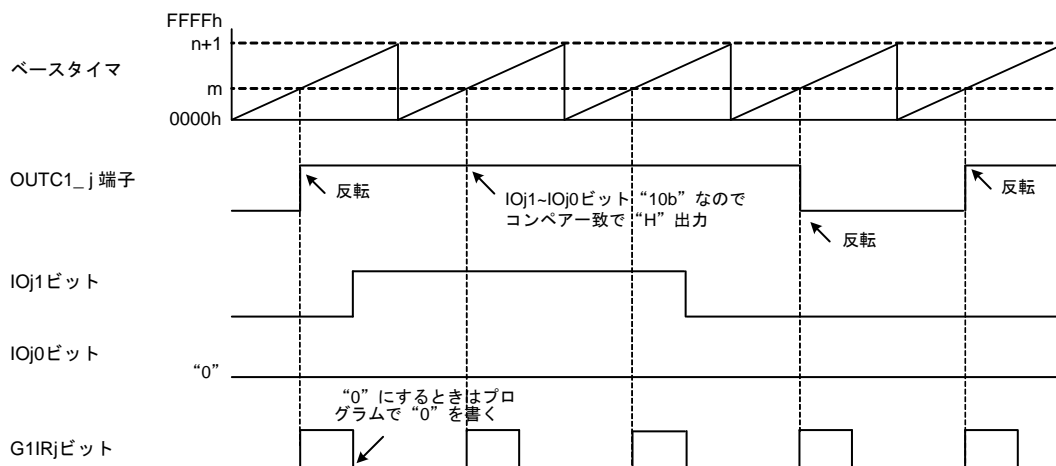
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、かつINVビットが“0” (出力反転しない)
- ・ G1BCR1レジスタのUD1~UD0ビットが“00b” (アップカウント)
- ・ G1OER レジスタのEOCjビットが“0” (出力許可)

(4) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、j=1~7 (b)の場合、j=0~7

m : G1POjレジスタ値 n : G1PO0レジスタまたはG1BTRRレジスタ値

IOj1、IOj0ビット : G1IOR1、G1IOR0レジスタのビット

G1IRjビット : G1IRレジスタのビット

この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・ G1BCR1レジスタのUD1~UD0ビットが“00b” (アップカウント)
- ・ G1OER レジスタのEOCjビットが“0” (出力許可)

図 18.17 反転波形出力モードの動作例(2/2)

18.3.3.3 セット-リセット波形出力 (SR波形出力) モード

G1POCRjレジスタ (j=0、2、4、6) のINVビットが“0” (出力反転しない) の場合、ベースタイマの値がG1POjレジスタの値と一致するとき、OUTC1_j端子から“H”レベルを出力します。ベースタイマの値がG1POk (k=j+1) レジスタの値と一致した場合、OUTC1_j端子から“L”レベルを出力します。G1POCRjレジスタ、G1POCRkレジスタのMOD1~MOD0ビットが“01b” (SR波形出力モード) の場合、G1BCR1レジスタのUD1~UD0を“00b” (アップカウント) に設定してください。表 18.16にSR波形出力モードの仕様、表 18.17に反転波形出力モード時の使用レジスタと設定値、図 18.18にSR波形出力モードの動作例を示します。

表 18.16 SR波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0” (ベースタイマリセットしない)) <p>周期: $\frac{65536}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{n-m}{f_{BT1}}$</p> <ul style="list-style-type: none"> ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000h”にする <ul style="list-style-type: none"> G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”) (注1) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”) <p>周期: $\frac{p+2}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{n-m}{f_{BT1}}$</p> <p>m: G1POjレジスタ の設定値 n: G1POkレジスタの設定値 p: G1PO0レジスタまたはG1BTRRレジスタの設定値 $0001h \leq m < n < p \leq FFFDh$</p>
波形出力開始条件	G1FEレジスタのIFEjビットとIFEkビットを“1” (チャネルjの機能を許可) にする
波形出力停止条件	G1FEレジスタのIFEjビットとIFEkビットを“0” (チャネルjの機能を禁止) にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> チャネルj ベースタイマ値とG1POjレジスタの値が一致したとき チャネルk ベースタイマ値とG1POkレジスタの値が一致したとき
OUTC1_j端子	パルス出力または入出力ポート
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTC1_j端子から出力 出力禁止機能 G1OERレジスタのEOCjビットを“1” (出力禁止) に設定すると、OUTC1_j端子は波形出力を中止し、プログラマブル入出力ポートになる。EOCjビットを“0” (出力許可) に設定すると、OUTC1_j端子は再びSR波形を出力。

j=0, 2, 4, 6 k=j+1

注1. G1BCR1レジスタのRST1ビットが“1” (G1PO0レジスタでベースタイマリセット) の場合、チャネル0、1のSR波形生成機能は使用できません。

表 18.17 SR波形出力モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能	
		偶数チャンネル (チャンネルj)	奇数チャンネル (チャンネルk)
G1POj	—	出力レベルを“H” (注2)にするタイミングを設定	出力レベルを“L” (注2)にするタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください	“1” (チャンネルkの機能を許可) にしてください
G1POCRj	MOD1~MOD0	“01b” にしてください	“01b” にしてください
	IVL	出力レベルの初期値を選択してください	— (無効)
	RLD	G1POjレジスタ値のリロードタイミングを選択してください	G1POkレジスタ値のリロードタイミングを選択してください
	INV	出力レベルを反転する/しないを選択してください	— (無効)
G1OER	EOCj	OUTC1_j出力を禁止するとき“1”にしてください	“1”にしてください
G1IOR0 G1IOR1	IOj1~IOj0	“00b” にしてください	“00b” にしてください
G1BCR1	UD1~UD0	“00b” にしてください	

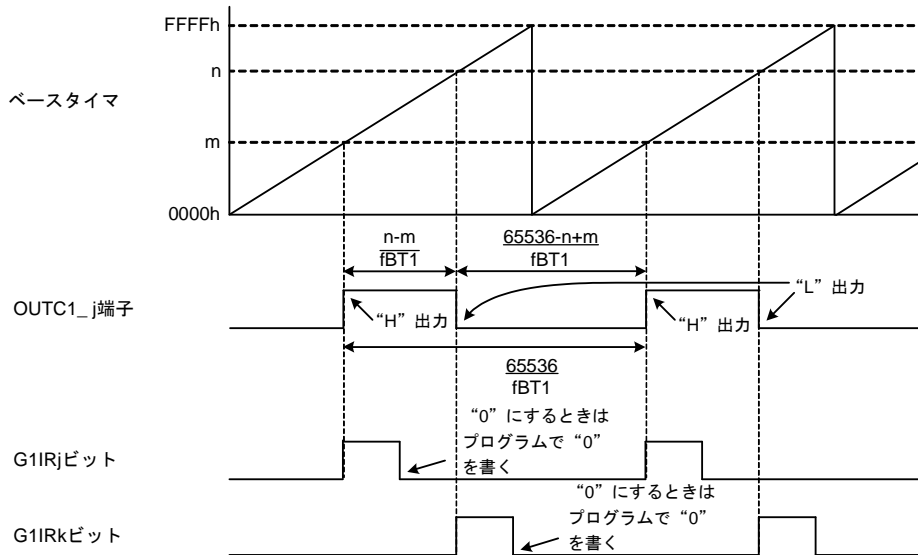
j=0,2,4,6 k=j+1。ただし、G1BCRレジスタのRST1ビットが“1” (G1PO0レジスタによりベースタイマリセットする) の場合、j=2,4,6

注1. この表は手順を示すものではありません。

注2. G1POCRjレジスタのINVビットが“0” (出力反転しない) の場合です。

(1) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



$j = 0, 2, 4, 6$ $k = j+1$
 m: G1POjレジスタ値
 n: G1POkレジスタ値
 G1IRj、G1IRk: G1IRレジスタのビット

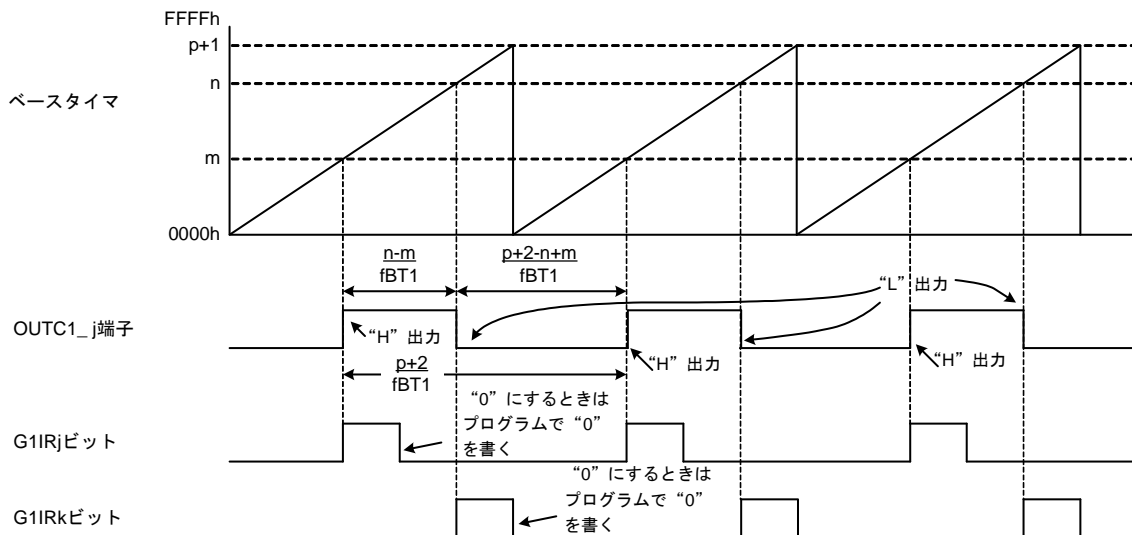
この図は次の条件の場合です。

- ・G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・G1OERレジスタのEOCjビットが“0” (出力許可)

(2) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、 $j = 2, 4, 6$ (b)の場合、 $j = 0, 2, 4, 6$ $k = j+1$
 m: G1POjレジスタ値
 p: G1PO0またはG1BTRRレジスタいずれかの値
 G1IRjビット、G1IRkビット: G1IRレジスタのビット

この図は次の条件の場合です。

- ・G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・G1OERレジスタのEOCjビットが“0” (出力許可)

図 18.18 SR波形出力モードの動作例

18.3.4 入出力ポート機能選択

機能許可レジスタ (G1FE) と機能選択レジスタ (G1FS) と波形出力マスタ許可レジスタ (G1OER) の値によって、IC/OC端子の入出力が決まります。

SR波形出力モード時は、出力波形ごとに偶数チャンネルと奇数チャンネルの2チャンネル分を使用しますが、偶数チャンネルからのみ波形が出力されます。この場合、奇数チャンネルに対応する端子を入出力ポートとして使用することができます。

表 18.18 時間計測と波形出力機能の端子設定

端子	関連ビットの設定				端子の機能
	IFE	FSC	MOD1~MOD0	EOC	
P2_j/ INPC1_j/ OUTC1_j	0	—	—	—	入出力ポートP2_j
	1	1	—	—	INPC1_j (注1)
	1	0	00b	0	OUTC1_j 単相波形出力
	1	0	00b	1	入出力ポートP2_j
	1	0	01b	0	OUTC1_j SR波形出力
	1	0	01b	1	入出力ポートP2_j
	1	0	10b	0	OUTC1_j 反転波形出力
	1	0	10b	1	入出力ポートP2_j

j=0~7

—: 0または1

IFE: G1FEレジスタのIFE_jビット

FSC: G1FSレジスタのFSC_jビット

MOD1~MOD0: G1POCR_jレジスタのビット

EOC: G1OERレジスタのEOC_jビット

注1. 端子を共用するポートの方向ビットを“0” (入力モード)にしてください。

IC/OCチャンネル7の時間計測端子は、2端子から選択することができます。G1BCR0レジスタのCH7INSELビット (チャンネル7入力選択ビット) によって、IC/OC INPC1_7を P2_7/OUTC1_7/INPC1_7端子またはP1_7/INPC1_7端子から選択します。

P1_7/INPC1_7端子からのINPC1_7入力は、ノイズ除去に有効なデジタルデバウンスフィルタを持ちます。詳細は「11.4.3 デジタルデバウンスフィルタ」を参照してください。

18.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 18.19にタイマSの割り込み関連レジスタを示します

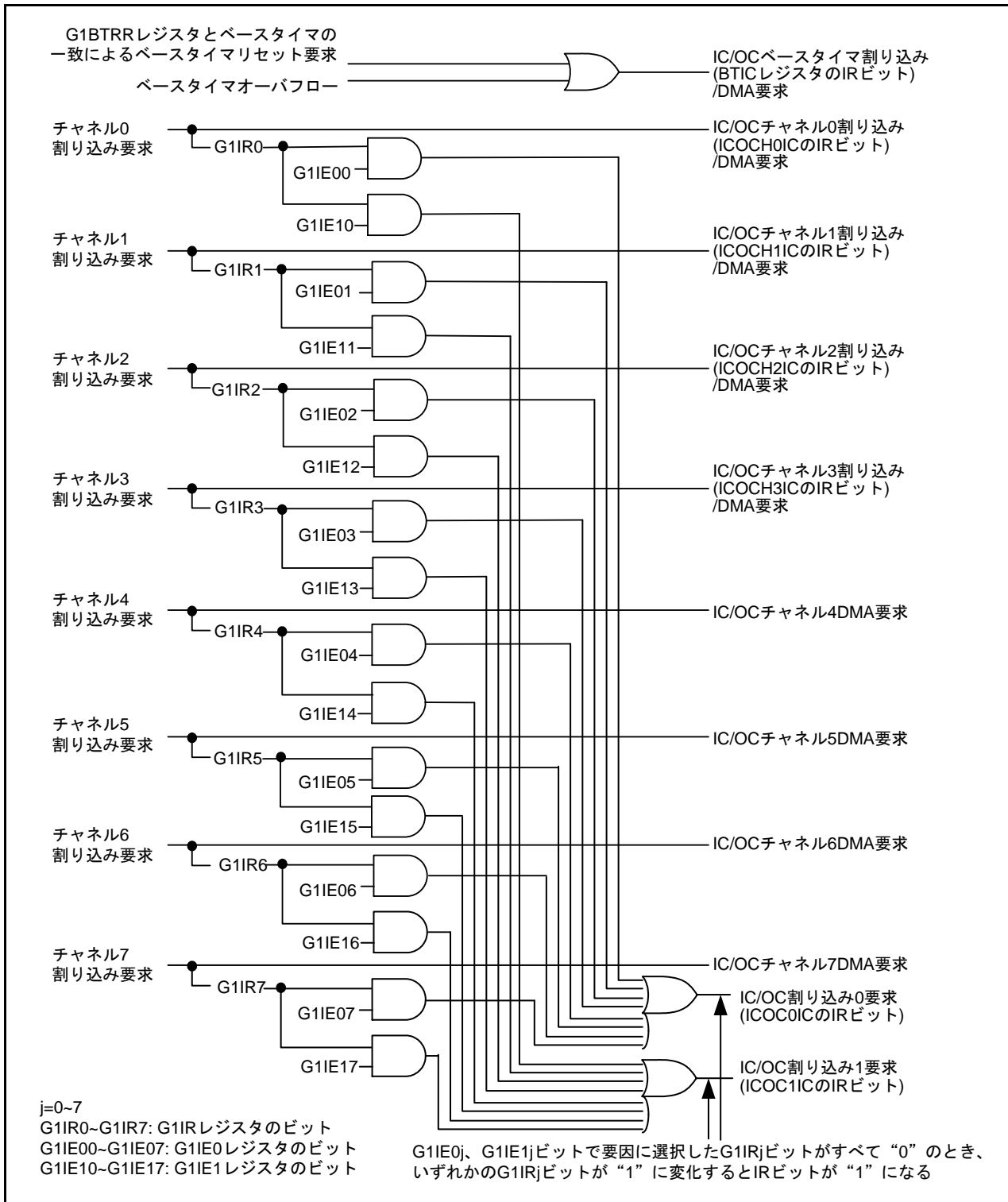


図 18.19 タイマSの割り込みとDMA要求

表 18.19 タイマSの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0079h	IC/OC割り込み0制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OCチャンネル0割り込み制御レジスタ	ICOCH0IC	XXXX X000b
007Bh	IC/OC割り込み1制御レジスタ	ICOC1IC	XXXX X000b
007Ch	IC/OCチャンネル1割り込み制御レジスタ	ICOCH1IC	XXXX X000b
007Dh	IC/OCチャンネル2割り込み制御レジスタ	ICOCH2IC	XXXX X000b
007Eh	IC/OCチャンネル3割り込み制御レジスタ	ICOCH3IC	XXXX X000b
007Fh	IC/OCベースタイマ割り込み制御レジスタ	BTIC	XXXX X000b

18.4.1 IC/OCベースタイマ割り込み

G1BTRR レジスタとベースタイマの一致によるベースタイマリセット要求、またはベースタイマオーバフローのいずれかが発生すると、BTICレジスタのIRビットが“1”(割り込み要求あり)になります。

18.4.2 IC/OCチャンネル0割り込み~ IC/OCチャンネル3割り込み

チャンネル0~チャンネル3の割り込み要求が発生すると、ICOCH0IC~ICOCH3ICレジスタのIRビットが“1”(割り込み要求あり)になります。

18.4.3 IC/OC割り込み0、IC/OC割り込み1

チャンネルj(j=0~7)の割り込み要求を組み合わせ、IC/OC割り込みi(i=0、1)の割り込み要求を発生させます。G1IEiレジスタのG1IEijビットを“1”(IC/OC割り込みi要求有効)にすると、チャンネルjの割り込み要求がIC/OC割り込みiの要因になります。

チャンネルjの割り込み要求が発生すると、G1IRレジスタのG1IRjビットが“1”(割り込み要求あり)になります。G1IEiレジスタで要因に選択したチャンネルに当たるG1IRレジスタのビットがすべて“0”(割り込み要求なし)の状態から、いずれかが“1”になったとき、ICOCiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ICOCiICレジスタのIRビットは、割り込み要求が受け付けられると自動的に“0”(割り込み要求なし)になります。しかし、G1IRjビットは割り込み要求が受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。IRビットが“0”のときG1IRjビットを“1”のままにしておくと、それ以降、ICOCiICレジスタのIRビットが“1”にならないため、IC/OC割り込みiの割り込み要求が発生しません。

18.5 タイマS使用上の注意事項

18.5.1 レジスタアクセス

一部のレジスタまたはビットの説明で「このレジスタ(ビット)に書いた値は、ベースタイマのカウントソース fBT1 に同期して内部回路に反映されます。」と記したものがあります。これらのレジスタ(ビット)に値を書いた場合、内部回路にはすぐに反映されません。そのため、値を書いた後、最大で fBT1 の1サイクルの間は書く前の動作を行います。また、これらのレジスタ(ビット)に書き込んだ直後に同じレジスタ(ビット)を読み出した場合、書き込み前の値を読むことがあります。

18.5.2 G1IRレジスタの変更

G1IRレジスタのG1IR j (j=0~7) ビットは割り込み要求の受け付けでは、自動的に“0”になりませんが、プログラムで“0”にしてください。

ただし、G1IR j ビットが“1”になってから fBT1 の1サイクル間は“0”にできません。G1IR j ビットを“0”にする場合は、G1IR j ビットが“1”になってから fBT1 の1サイクル以上経過した後に“0”にしてください。

また、他のチャンネルの要求を消さないために下の命令を使用してください。

AND、BCLR

図 18.20にIC/OC割り込み0の処理例を示します。この例のように割り込み処理の最後にG1IEiレジスタで一度すべてのチャンネルを禁止にした後、再び許可してください。

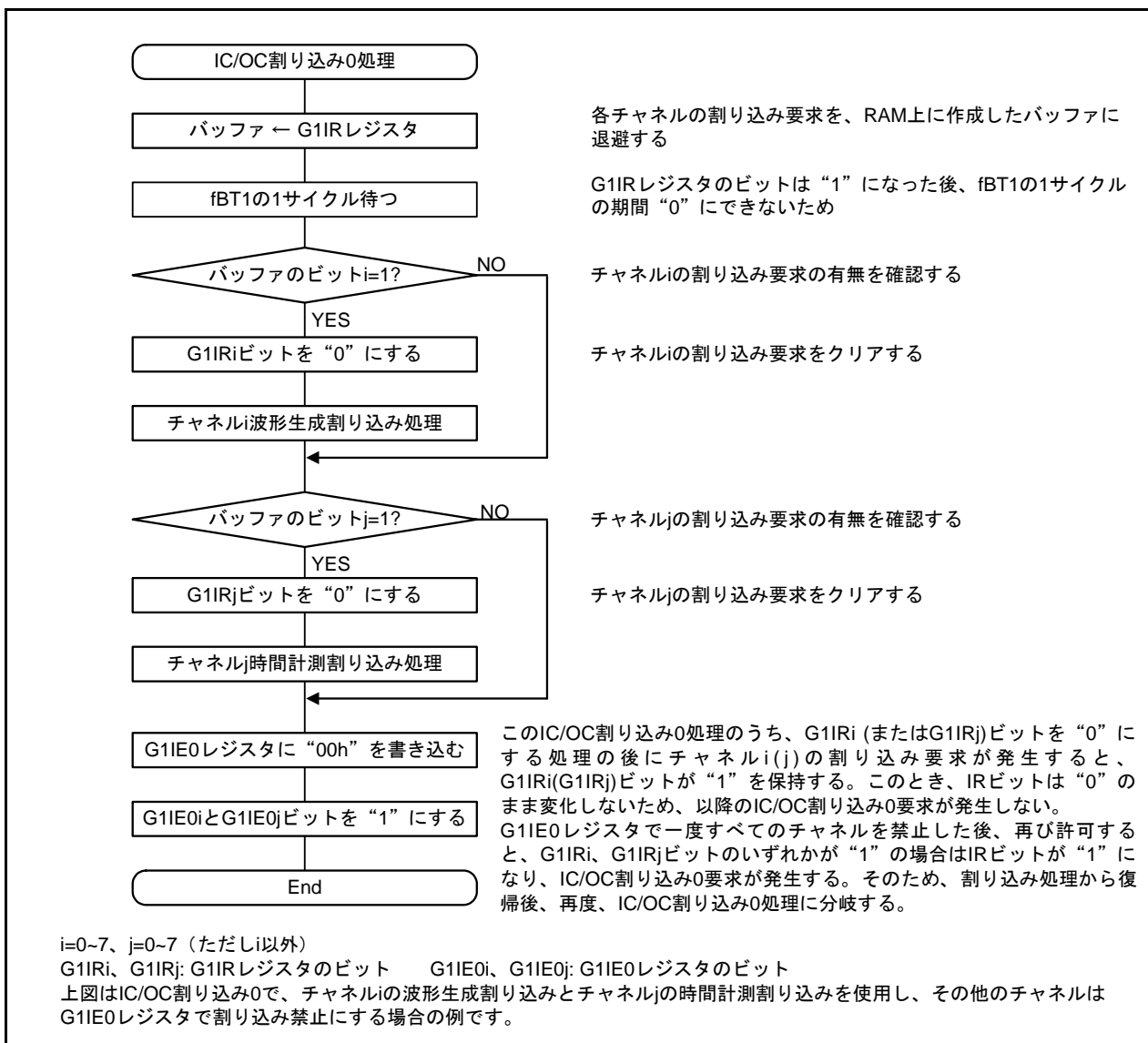


図 18.20 IC/OC割り込み0の処理例

18.5.3 ICOCiIC レジスタの変更 (i=0, 1)

G1IEi レジスタのG1IEij ビット (j=0~7) を“1” (割り込み許可) にし、かつチャンネルjの割り込み要求が発生する可能性のある箇所でICOCiIC レジスタのILVL2~ILVL0 ビットを変更する場合は、下の命令を使用してください。これらの命令では命令実行中にチャンネルjの割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり) になります。

AND、OR、BCLR、BSET

これをMOV 命令で変更すると、MOV 命令実行中にチャンネルjの割り込み要求が発生した場合、IR ビットが“1”に変化せず割り込み要求が無視されます。このとき、G1IR レジスタのG1IRj ビットは“1” (割り込み要求あり) になるので、このままで放置すると、この後、IC/OC 割り込みiの要求は発生しません。

なお、タイマSの初期設定を行うときは、ICOCiIC レジスタおよびG1IR レジスタにそれぞれ“00h”を設定後、再度ICOCiIC レジスタを変更してください。

18.5.4 BTS ビットによるベースタイマリセット中の出力波形

波形出力中にG1BCR1 レジスタのBTS ビットを“0” (ベースタイマリセット) にすると、波形出力端子の出力は、そのときのレベルを保持します。この状態は、BTS ビットを“1” (ベースタイマカウント開始) にした後、ベースタイマの値がG1POj レジスタと一致するまで続きます。

18.5.5 G1PO0 レジスタによるベースタイマリセット中のOUTC1_0 端子出力

G1BCR1 レジスタのRST1 ビットを“1” (G1PO0 レジスタとベースタイマとの一致でベースタイマをリセットする) とした場合、ベースタイマとG1PO0 レジスタの値が一致するとfBT1の2クロック後にベースタイマがリセットされます。ベースタイマの一致からベースタイマがリセットされるまでのfBT1の2クロック間はOUTC1_0 端子から“H”レベルが出力されますので、G1OER レジスタのEOC0 ビットを“1” (出力禁止) にしてください。

18.5.6 時間測定機能選択時の割り込み要求

G1FS レジスタのFSCj (j=0~7) ビットを“1” (時計計測機能)、かつG1FE レジスタのIFEj ビットを“1” にすると、最大でfBT1の2サイクル後にG1IR レジスタのG1IRj ビットやICOCiIC (i=0, 1)、ICOCHjIC (ただしj=0~3) レジスタのIR ビットが“1” (割り込み要求あり) になることがあります。

このため、IC/OC 割り込みiまたはIC/OC チャンネルj割り込みを使用する場合、FSCj ビットを“1”かつIFEj ビットを“1”にした後、次の処理をしてください。

- (1) fBT1の2サイクル以上待つ
- (2) ICOCiIC、ICOCHjIC レジスタのIR ビットを“0”にする
- (3) (時間測定機能選択からfBT1の3サイクル以上待ってから)G1IR レジスタを“00h”にする (G1IR レジスタはICOCiIC レジスタのIR ビットを“0”にした後で、“00h”にする)

19. タスク監視タイマ

19.1 概要

タスク監視タイマは内部カウントソースをカウントする16ビットタイマを1本持ちます。関連レジスタはタスク監視タイマプロテクトレジスタによるプロテクト機能を持ちます。

表 19.1 タスク監視タイマの仕様

項目	仕様
カウントソース	f1、f1の8分周、f1の32分周、f1の128分周
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$(n+1)/f_j$ n:TMOSレジスタの設定値 0000h~FFFFh, f _j : カウントソースの周波数
カウント開始条件	TMOSSRレジスタのTMOS0Sビットを“1”(カウント開始)にする
カウント停止条件	TMOS0Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
タイマの読み出し	TMOSレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中にTMOSレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(TMOS0Sビットを“1”に設定した後)TMOSレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

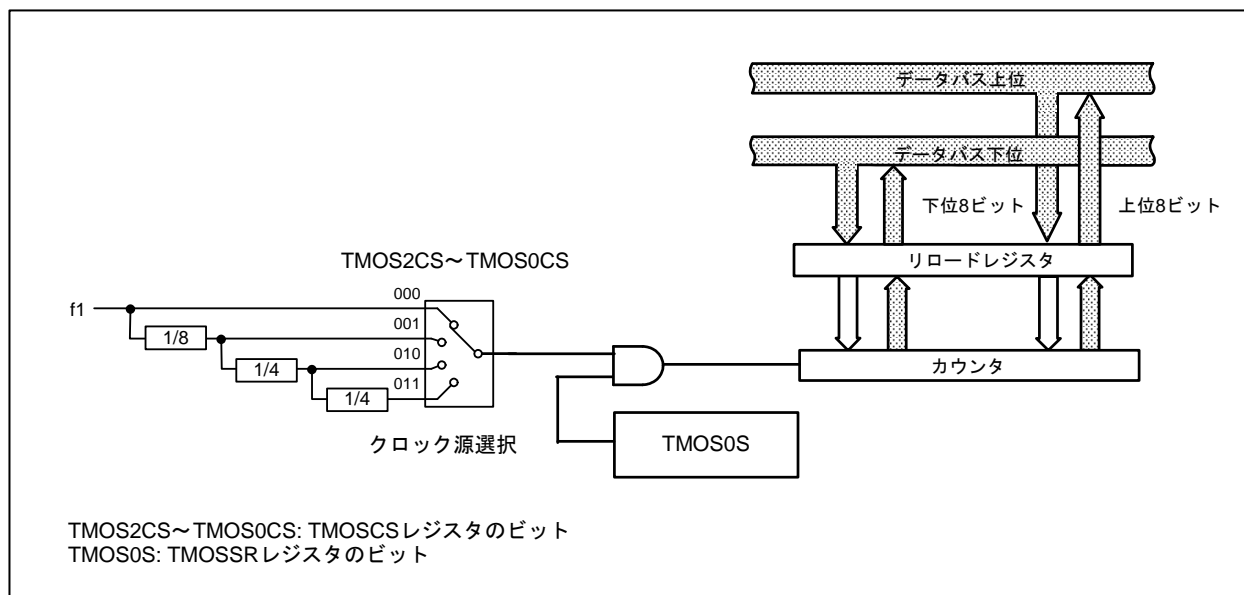


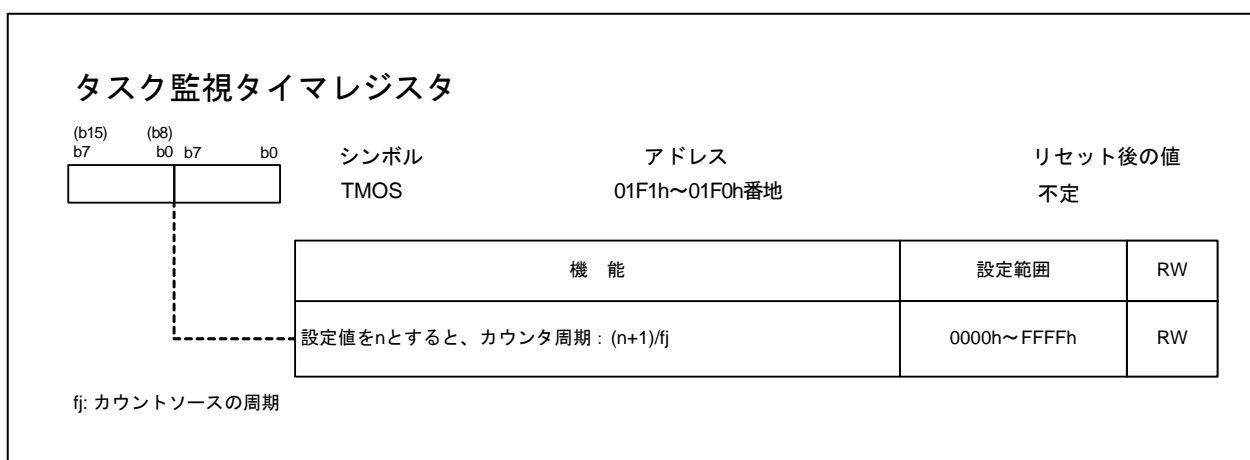
図 19.1 タスク監視タイマブロック図

19.2 レジスタの説明

表 19.2 レジスタ一覧

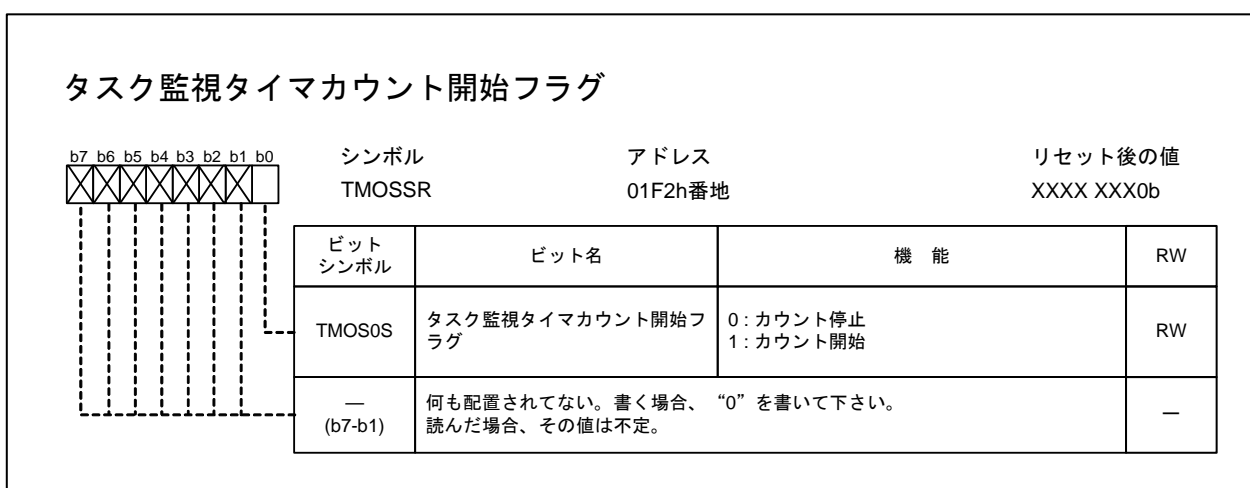
アドレス	レジスタ名	レジスタシンボル	リセット後の値
01F0h	タスク監視タイマレジスタ	TMOS	XXh
01F1h			XXh
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	XXXX XXX0b
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	XXXX 0000b
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	00h

19.2.1 タスク監視タイマレジスタ (TMOS)

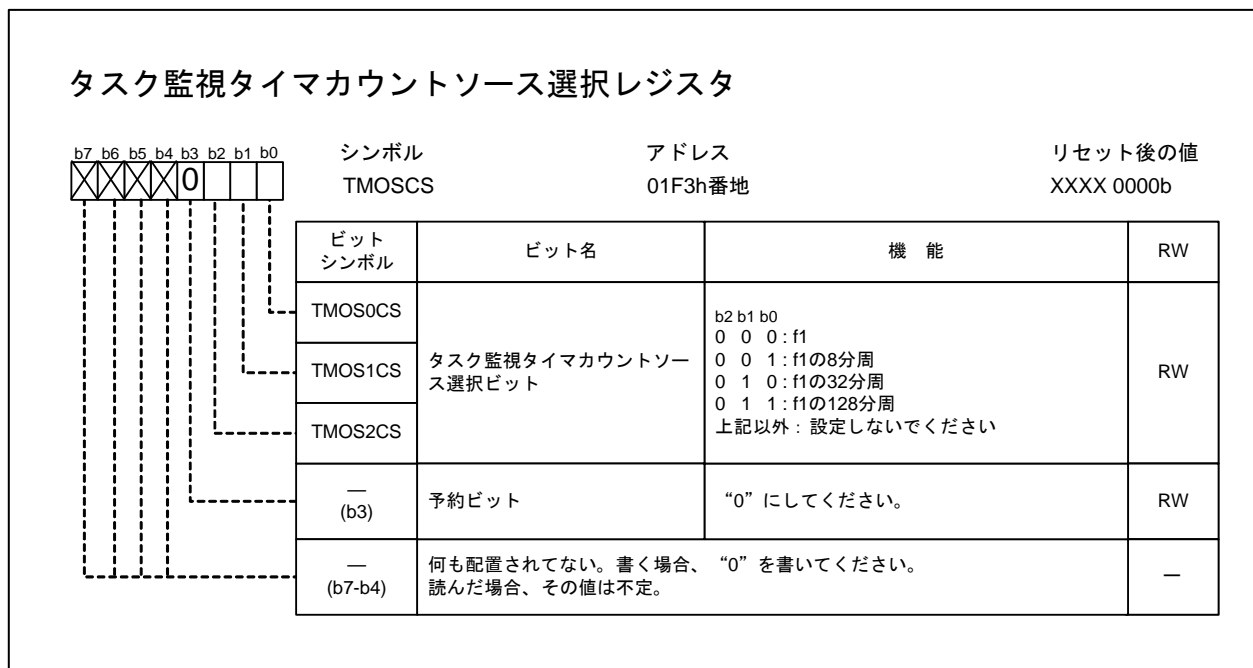


16ビット単位でアクセスしてください。

19.2.2 タスク監視タイマカウント開始フラグ (TMOSSR)



19.2.3 タスク監視タイマカウントソース選択レジスタ (TMOSCS)



19.2.4 タスク監視タイマプロテクトレジスタ (TMOSPR)



TMOS、TMOSSR、TMOSCSレジスタを変更する場合、次の手順に従ってください。

- (1) TMOSPRレジスタに“55h”を書く(書き込み許可)
- (2) TMOS、TMOSSR、TMOSCSレジスタのうち、必要なものに値を書く
- (3) TMOSPRレジスタに“55h”以外の値を書く(書き込み禁止)

19.3 動作説明

図 19.2 にタスク監視タイマの動作例を示します。

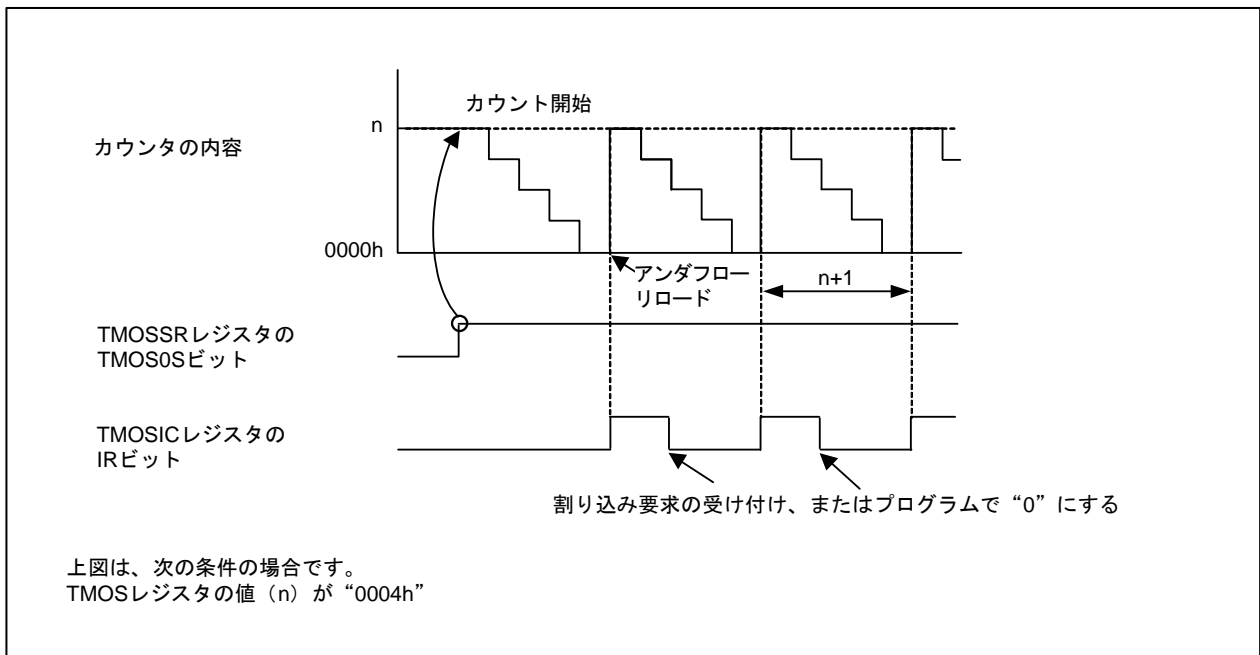


図 19.2 タスク監視タイマの動作例

19.4 割り込み

表 19.3にタスク監視タイマの割り込み関連レジスタを示します。

表 19.3 タスク監視タイマの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Ah	タスク監視タイマ割り込み制御レジスタ	TMOSIC	XXXX X000b

タスク監視タイマは他の周辺機能と割り込みベクタや割り込み制御レジスタを共用しています。タスク監視タイマ割り込みを使用する場合は、IFSR2AレジスタのIFSR20ビットを“1”(タスク監視タイマ)にしてください。

19.5 タスク監視タイマの注意事項

19.5.1 レジスタ設定

リセット後、タイマは停止しています。TMOS レジスタ、TMOSCS レジスタによって、カウンタの値やカウントソースを設定した後、TMOSSR レジスタのTMOS0S ビットを“1” (カウント開始) にしてください。

なお、TMOSCS レジスタは、TMOS0S ビットが“0” (カウント停止) の状態で変更してください。

19.5.2 タイマの読み出し

カウント中のカウンタの値は、TMOS レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh” が読めます。カウント停止中にTMOS レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20. リアルタイムクロック

20.1 概要

リアルタイムクロックはカウントソースから1秒を作り、秒、分、時、午前/午後、日、1週間をカウントします。また、特定の秒、分、時との一致を検出します。

表 20.1にリアルタイムクロックの仕様を、図 20.1にリアルタイムクロックのブロック図を、表 20.2に入出力端子を示します。

表 20.1 リアルタイムクロックの仕様

項目	内容
カウントソース	f1、fC
カウント動作	<ul style="list-style-type: none"> • アップカウント • コンペアモードを使用しない場合、またはコンペア1モード カウンタ値継続使用、カウント継続 • コンペア2モード コンペア一致時、カウント値を“0”にしカウント継続 • コンペア3モード コンペア一致時、カウント値を“0”にしカウント停止
カウント開始条件	RTCCR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	RTCCR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 日データの更新 • 日データが“000b”になるとき • 時刻のデータとコンペアデータの一致
RTCOUT端子機能	プログラマブル入出力ポート、またはコンペア出力
タイマの読み出し	RTCSEC、RTCMIN、RTCHR、RTCWKレジスタを読むと、カウンタ値が読める。 RTCSEC、RTCMIN、RTCHRレジスタの値はBCDコード
タイマの書き込み	RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときRTCSEC、RTCMIN、RTCHR、RTCWKレジスタに書き込める。 RTCSEC、RTCMIN、RTCHRレジスタに書き込む値はBCDコード
選択機能	<ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • コンペア出力

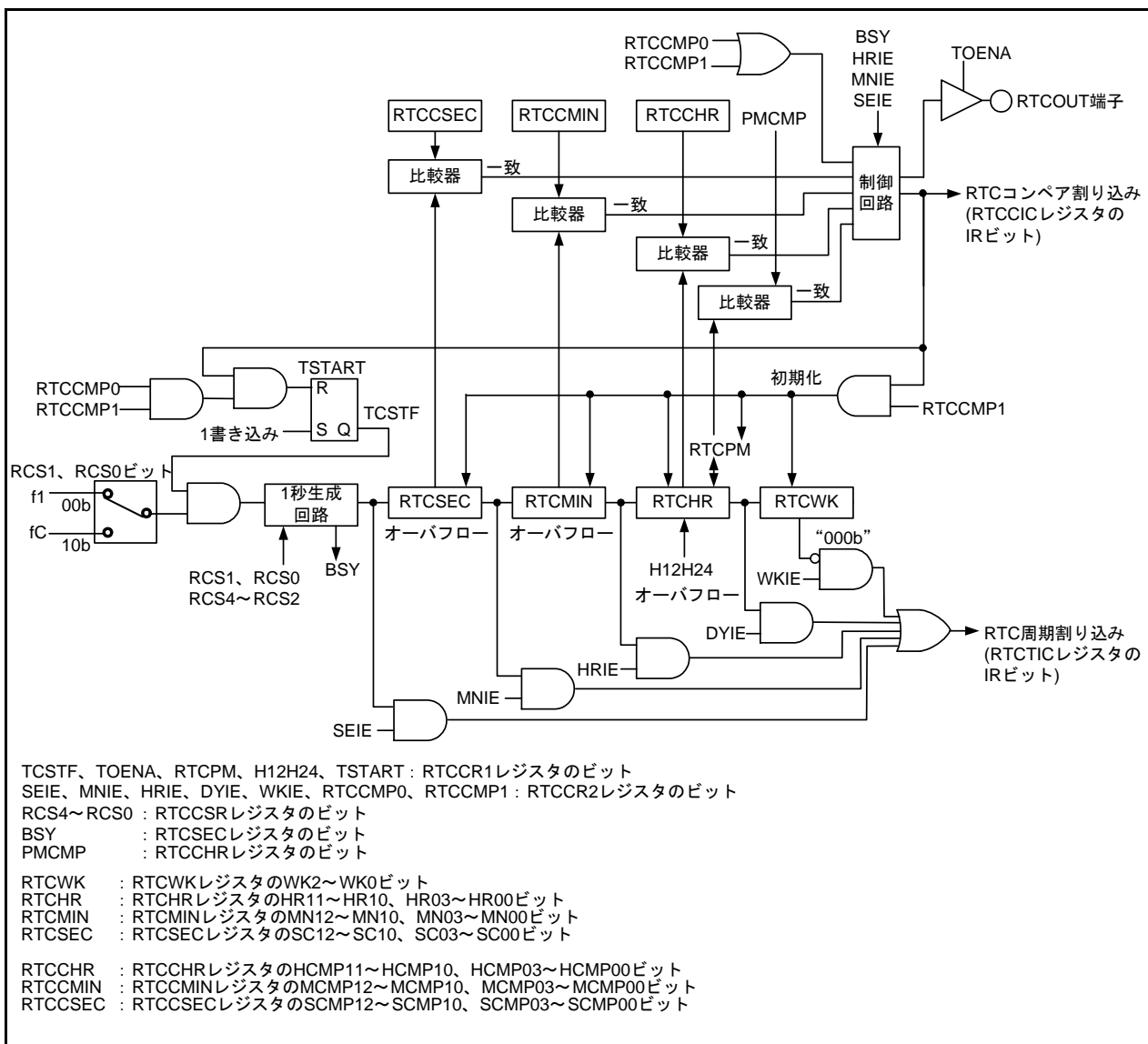


図 20.1 リアルタイムクロックのブロック図

表 20.2 入出力端子

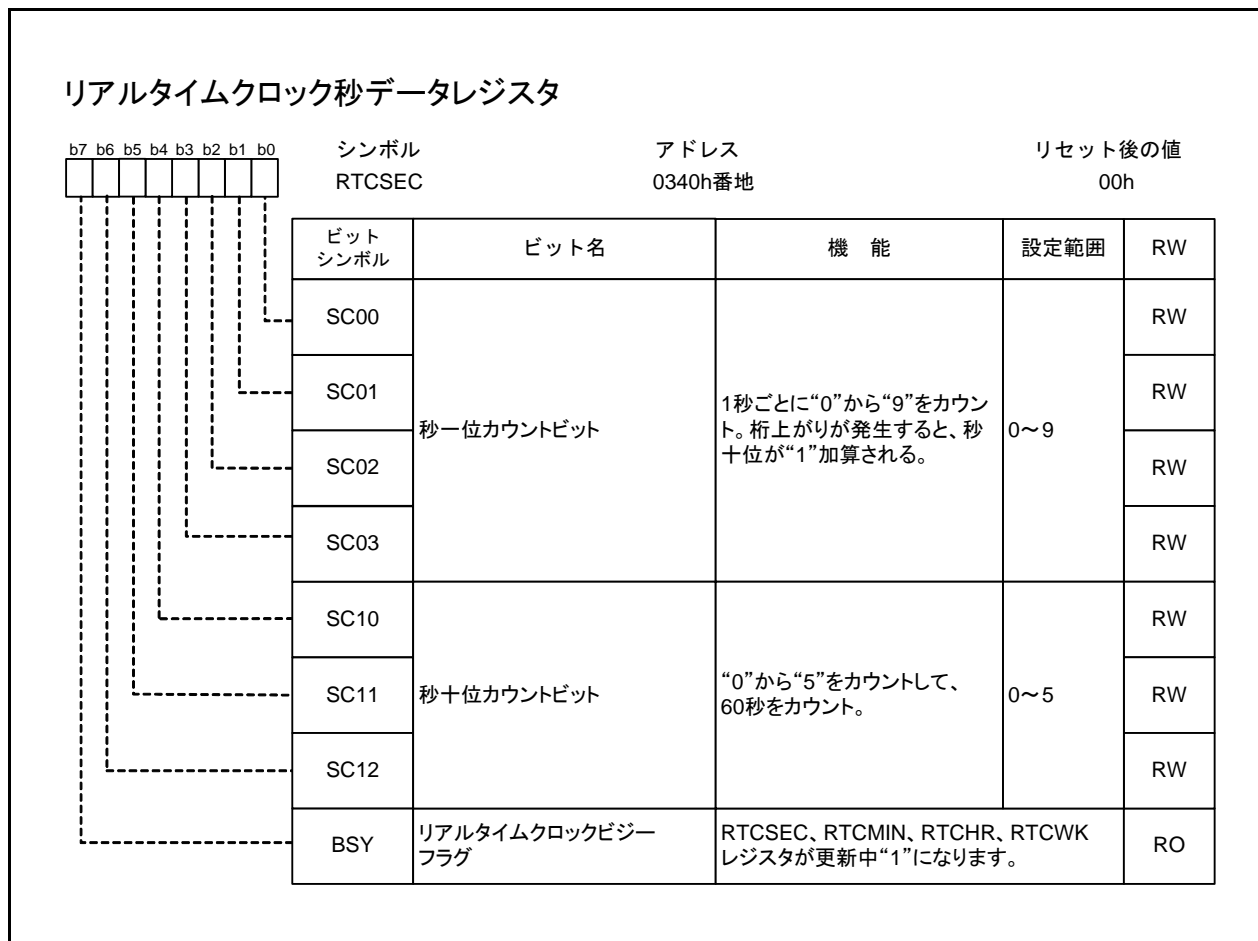
端子名	入出力	機能
RTCOUT	出力	コンペア出力

20.2 レジスタの説明

表 20.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b

20.2.1 リアルタイムクロック秒データレジスタ (RTCSEC)



SC03~SC00 (秒一位カウントビット) (b3~b0)

SC12~SC10 (秒十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

コンペア2モード、コンペア3モードでは、コンペア一致が起これると“00”になります。

RTCSECレジスタのSC12~SC10、SC03~SC00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。また、BSYビットが“0” (データ更新中ではない) のときに読み出してください。

BSY (リアルタイムクロックビジーフラグ) (b7)

データ更新中に“1”になります。次のビットはBSYビットが“0” (データ更新中ではない) のときに読み出してください。

- RTCSECレジスタのSC12~SC10、SC03~SC00ビット
- RTCMINレジスタのMN12~MN10、MN03~MN00ビット
- RTCHRレジスタのHR11~HR10、HR03~HR00ビット
- RTCWKレジスタのWK2~WK0ビット
- RTCCR1レジスタのRTCPMビット

20.2.2 リアルタイムクロック分データレジスタ (RTCMIN)

リアルタイムクロック分データレジスタ																																		
シンボル RTCMIN	アドレス 0341h番地	リセット後の値 X000 0000b																																
	<table border="1"> <thead> <tr> <th>ビット シンボル</th> <th>ビット名</th> <th>機 能</th> <th>設定範囲</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>MN00</td> <td rowspan="4">分一位カウントビット</td> <td rowspan="4">1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。</td> <td rowspan="4">0~9</td> <td>RW</td> </tr> <tr> <td>MN01</td> <td>RW</td> </tr> <tr> <td>MN02</td> <td>RW</td> </tr> <tr> <td>MN03</td> <td>RW</td> </tr> <tr> <td>MN10</td> <td rowspan="3">分十位カウントビット</td> <td rowspan="3">“0”から“5”をカウントして、60分をカウント。</td> <td rowspan="3">0~5</td> <td>RW</td> </tr> <tr> <td>MN11</td> <td>RW</td> </tr> <tr> <td>MN12</td> <td>RW</td> </tr> <tr> <td>— (b7)</td> <td>予約ビット</td> <td>読んだ場合、その値は不定。</td> <td></td> <td>RO</td> </tr> </tbody> </table>	ビット シンボル	ビット名	機 能	設定範囲	RW	MN00	分一位カウントビット	1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。	0~9	RW	MN01	RW	MN02	RW	MN03	RW	MN10	分十位カウントビット	“0”から“5”をカウントして、60分をカウント。	0~5	RW	MN11	RW	MN12	RW	— (b7)	予約ビット	読んだ場合、その値は不定。		RO			
ビット シンボル	ビット名	機 能	設定範囲	RW																														
MN00	分一位カウントビット	1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。	0~9	RW																														
MN01				RW																														
MN02				RW																														
MN03				RW																														
MN10	分十位カウントビット	“0”から“5”をカウントして、60分をカウント。	0~5	RW																														
MN11				RW																														
MN12				RW																														
— (b7)	予約ビット	読んだ場合、その値は不定。		RO																														

MN03~MN00 (分一位カウントビット) (b3~b0)

MN12~MN10 (分十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペアー一致が起これると“00”になります。

RTCMINレジスタのMN12~MN10、MN03~MN00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

20.2.3 リアルタイムクロック時データレジスタ (RTCHR)

リアルタイムクロック時データレジスタ				
ビット シンボル	ビット名	機 能	設定範囲	RW
b7				
b6				
b5				
b4				
b3				
b2				
b1				
b0				
シンボル RTCHR		アドレス 0342h番地	リセット後の値 XX00 0000b	
HR00	時一位カウントビット	1時間ごとに“0”から“9”をカウント。桁上がりが発生すると、時十位が“1”加算される。	0~9	RW
HR01				RW
HR02				RW
HR03				RW
HR10	時十位カウントビット	H12H24ビットが“0” (12時間モード)のとき、“0”から“1”をカウント。 H12H24ビットが“1” (24時間モード)のとき、“0”から“2”をカウント。	0~2	RW
HR11				RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—
— (b7)	予約ビット	読んだ場合、その値は不定。		RO

HR03~HR00 (時一位カウントビット) (b3~b0)

HR11~HR10 (時十位カウントビット) (b5~b4)

RTCCR1レジスタのH12H24ビットが“0” (12時間モード)の場合はBCDコードで“00”~“11”を設定してください。H12H24ビットが“1” (24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

RTCMINレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペア一致が起こると“00”になります。

RTCHRレジスタのHR11~HR10、HR03~HR00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0” (データ更新中ではない)のときに読み出してください。

20.2.4 リアルタイムクロック日データレジスタ (RTCWK)

リアルタイムクロック日データレジスタ

シンボル
RTCWK

アドレス
0343h番地

リセット後の値
XXXX X000b

ビット シンボル	ビット名	機 能	RW
WK0	日カウントビット	b2 b1 b0 0 0 0: 1日目	RW
WK1		0 0 1: 2日目	RW
WK2		0 1 0: 3日目 0 1 1: 4日目 1 0 0: 5日目 1 0 1: 6日目 1 1 0: 7日目	RW
— (b6-b3)		1 1 1: 設定しないでください	—
— (b7)	予約ビット	読んだ場合、その値は不定。	RO

WK2~WK0 (日カウントビット) (b2~b0)

“000b” (1日目)~“110b” (7日目) を繰り返しカウントしますので、1週間がカウントできます。“111b”にはなりません。“111b”を設定しないでください。

RTCHRレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペア一致が起こると“000b”になります。

RTCWKレジスタのWK2~WK0ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0” (データ更新中ではない) のときに読み出してください。

20.2.5 リアルタイムクロック制御レジスタ1 (RTCCR1)

リアルタイムクロック制御レジスタ1											
b7	b6	b5	b4	b3	b2	b1	b0	シンボル RTCCR1	アドレス 0344h番地	リセット後の値 0000 X00Xb	
				0			0	ビット シンボル	ビット名	機能	RW
								— (b0)	予約ビット	“0” にしてください。	RW
								TCSTF	リアルタイムクロック カウントステータスフラグ	0: カウント停止中 1: カウント中	RO
								TOENA	RTCOUT端子出力ビット	0: コンペア出力禁止 1: コンペア出力許可	RW
								— (b3)	予約ビット	“0” にしてください。	RW
								RTCST	リアルタイムクロック リセットビット	このビットを“1”にした後、“0”にすると リアルタイムクロックがリセットされます。	RW
								RTCPM	午前/午後ビット	0: 午前 1: 午後	RW
								H12H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	RW
								TSTART	リアルタイムクロックカウン ト開始ビット	0: カウント停止 1: カウント開始	RW

TCSTF (リアルタイムクロックカウントステータスフラグ) (b1)

TSTART (リアルタイムクロックカウント開始ビット) (b7)

TSTARTビットはカウント開始または停止を指示するためのビットです。TCSTFビットはカウントが開始または停止したことを示すビットです。

TSTARTビットを“1” (カウント開始) にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1” (カウント開始) になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0” (カウント停止) にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0” (カウント停止) になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

注1. RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHRレジスタ

RTCRST (リアルタイムクロックリセットビット) (b4)

このビットを“1”にした後、“0”にすると次の状態になります。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHRレジスタがリセット後の値になる
- RTCCR1レジスタのTCSTF、RTCPM、H12H24、TSTARTビットが“0”になる

RTCPM (午前/午後ビット) (b5)

RTCPMビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

H12H24ビットが“0”(12時間モード)の場合も“1”(24時間モード)の場合も有効です。したがって、H12H24ビットが“1”で時刻を設定する場合は、次のように設定してください。

- RTCHRレジスタのHR11~HR10、HR03~HR00ビットが“00”~“11”の場合、RTCPMビットを“0”にする。
- RTCHRレジスタのHR11~HR10、HR03~HR00ビットが“12”~“23”の場合、RTCPMビットを“1”にする。

RTCPMビットは、カウント動作中、次のように変化します。

- RTCPMビットが“1”(午後)で、11時59分59秒(24時間モードの場合は23時59分59秒)から、次の00時00分00秒になるとき、“0”になる。
- RTCPMビットが“0”(午前)で、11時59分59秒から、次の00時00分00秒(24時間モードの場合は12時00分00秒)になるとき“1”になる。

図 20.2 に時刻表現の定義を示します。

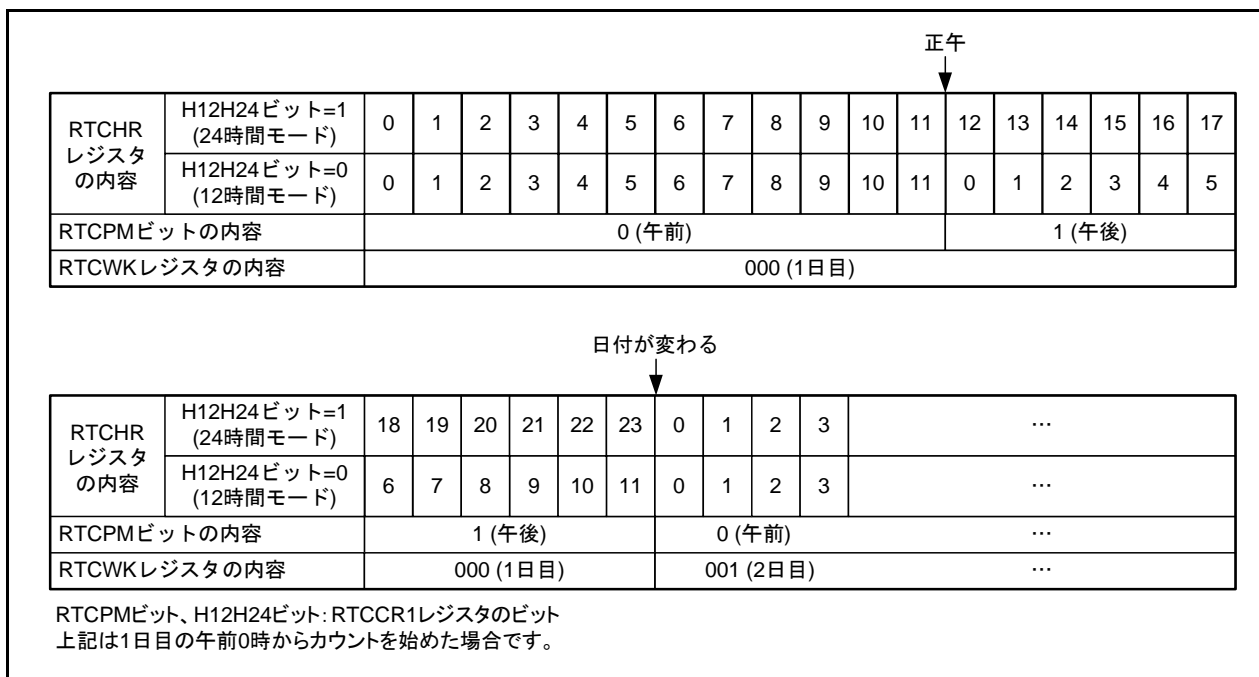


図 20.2 時刻表現

H12H24 (動作モード選択ビット) (b6)

H12H24ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。

20.2.6 リアルタイムクロック制御レジスタ2 (RTCCR2)

リアルタイムクロック制御レジスタ2			
ビット シンボル	ビット名	機能	RW
b7	SEIE	秒周期割り込み許可ビット 0: 秒周期割り込み禁止 1: 秒周期割り込み許可	RW
b6	MNIE	分周期割り込み許可ビット 0: 分周期割り込み禁止 1: 分周期割り込み許可	RW
b5	HRIE	時周期割り込み許可ビット 0: 時周期割り込み禁止 1: 時周期割り込み許可	RW
b4	DYIE	日周期割り込み許可ビット 0: 日周期割り込み禁止 1: 日周期割り込み許可	RW
b3	WKIE	週周期割り込み許可ビット 0: 週周期割り込み禁止 1: 週周期割り込み許可	RW
b2	RTCCMP0	コンペアモード設定ビット b6 b5 0 0: コンペアモード使用しない 0 1: コンペア1モード 1 0: コンペア2モード 1 1: コンペア3モード	RW
b1	RTCCMP1		RW
b0	— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

RTCCR2レジスタは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”（カウント停止）のときに書き込んでください。

RTCCMP1~RTCCMP0ビットが“00b”（コンペアモード使用しない）の場合、秒、分、時、日、週のいずれかの周期で割り込み要求を発生させることができます。このときSEIE、MNIE、HRIE、DYIE、WKIEビットのうち、いずれか1ビットを“1”（割り込み許可）にしてください（複数ビットを“1”にしないでください）。表 20.4に周期割り込み要因を示します。

表 20.4 周期割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	RTCWKレジスタの値が“000b”になる（1週間周期）	WKIE
日周期割り込み	RTCWKレジスタが更新（1日周期）される	DYIE
時周期割り込み	RTCHRレジスタが更新（1時間周期）される	HRIE
分周期割り込み	RTCMINレジスタが更新（1分周期）される	MNIE
秒周期割り込み	RTCSECレジスタが更新（1秒周期）される	SEIE

RTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”（コンペアモードのいずれか）の場合は、コンペアするものによって、次のようにしてください。

- 秒とコンペアする場合、SEIEビットを“1”（割り込み許可）にしてください
- 分とコンペアする場合、SEIE、MNIEビットをすべて“1”にしてください
- 時間、午前/午後とコンペアする場合、SEIE、MNIE、HRIEビットをすべて“1”にしてください

20.2.7 リアルタイムクロックカウントソース選択レジスタ (RTCCSR)

リアルタイムクロックカウントソース選択レジスタ			
	シンボル RTCCSR	アドレス 0346h番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機 能	RW
RCS0	カウントソース選択ビット	b1 b0 0 0 : f1 0 1 : 設定しないでください 1 0 : fC 1 1 : 設定しないでください	RW
RCS1		RW	
RCS2	カウントソース周波数指定ビット	b4 b3 b2 0 0 0 : fC、またはf1=4MHz 0 0 1 : f1=6MHz 0 1 0 : f1=8MHz 0 1 1 : f1=16MHz 1 0 0 : f1=20MHz 1 0 1 : f1=24MHz 1 1 0 : f1=32MHz 1 1 1 : 設定しないでください	RW
RCS3		RW	
RCS4		RW	
— (b6-b5)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
— (b7)	予約ビット	“0”にしてください	RW

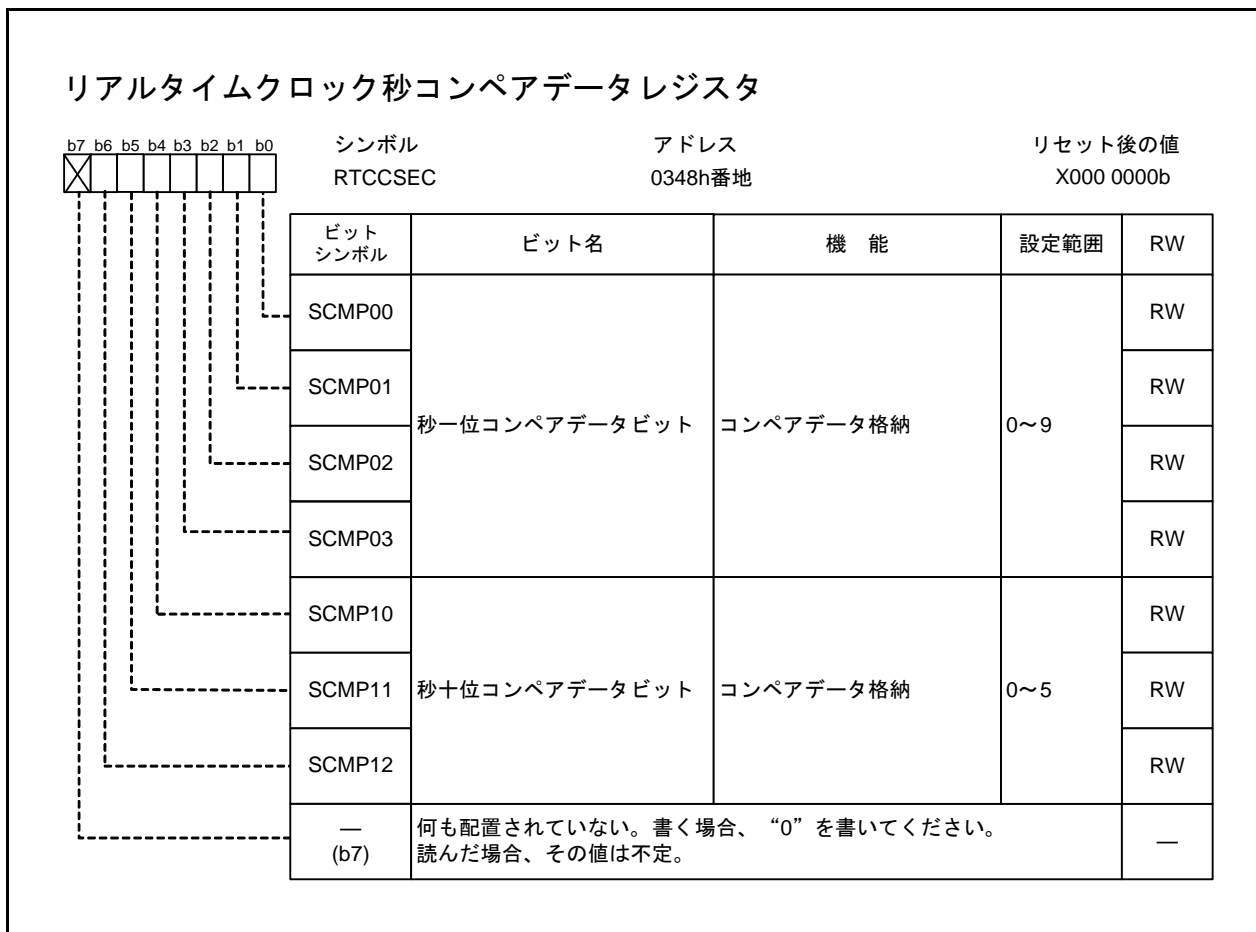
RCS1~RCS0ビットが“10b” (fC) のとき、RCS4~RCS2ビットは“000b”にしてください。

RCS1~RCS0ビットが“00b” (f1) のとき、f1に合う周波数をRCS4~RCS2ビットで指定してください。

RTCCSRレジスタは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。

なお、fCを使用する場合は、PM2レジスタのPM25ビットを“1” (周辺機能クロック fC 供給許可) にしてください。fCの詳細は「8. クロック発生回路」を参照してください。

20.2.8 リアルタイムクロック秒コンペアデータレジスタ (RTCCSEC)



RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

SCMP03~SCMP00 (秒一位コンペアデータビット) (b3~b0)

SCMP12~SCMP10 (秒十位コンペアデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.2.9 リアルタイムクロック分コンペアデータレジスタ (RTCCMIN)

リアルタイムクロック分コンペアデータレジスタ					
b7 b6 b5 b4 b3 b2 b1 b0	シンボル RTCCMIN	アドレス 0349h番地	リセット後の値 X000 0000b		
	ビット シンボル	ビット名	機 能	設定範囲	RW
	MCMP00	分一位コンペアデータビット	コンペアデータ格納	0~9	RW
	MCMP01				RW
	MCMP02				RW
	MCMP03				RW
	MCMP10	分十位コンペアデータビット	コンペアデータ格納	0~5	RW
	MCMP11				RW
	MCMP12				RW
	— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

MCMP03~MCMP00 (分一位コンペアデータビット) (b3~b0)

MCMP12~MCMP10 (分十位コンペアデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.2.10 リアルタイムクロック時コンペアデータレジスタ (RTCCHR)

リアルタイムクロック時コンペアデータレジスタ				
		シンボル RTCCHR	アドレス 034Ah番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機 能	設定範囲	RW
HCMP00	時一位コンペアデータビット	コンペアデータ格納	0~9	RW
HCMP01				RW
HCMP02				RW
HCMP03				RW
HCMP10	時十位コンペアデータビット	コンペアデータ格納	0~2	RW
HCMP11				RW
PMCMP	午前/午後コンペアビット	0: 午前 1: 午後		RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

HCMP03~HCMP00 (時一位コンペアデータビット) (b3~b0)

HCMP11~HCMP10 (時十位コンペアデータビット) (b5~b4)

RTCCR1レジスタのH12H24ビットが“0”(12時間モード)の場合はBCDコードで“00”~“11”を設定してください。H12H24ビットが“1”(24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

PMCMP (午前/午後コンペアビット) (b6)

RTCCR1レジスタのH12H24ビットが“0”(12時間モード)の場合も“1”(24時間モード)の場合も有効です。したがってH12H24ビットが“1”の場合は次のように設定してください。

- HCMP11~HCMP10、HCMP03~HCMP00ビットが“00”~“11”の場合、PMCMPビットを“0”にする
 - HCMP11~HCMP10、HCMP03~HCMP00ビットが“12”~“23”の場合、PMCMPビットを“1”にする
- RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.3 動作説明

20.3.1 基本動作

RTCCSRレジスタで選択したカウントソースから1秒を作り、秒、分、時、午前/午後、日、1週間をカウントします。

カウントを始める時刻や日は、RTCSEC、RTCMIN、RTCHR、RTCWKレジスタ、RTCCR1レジスタのRTCPMビットで設定できます。また、現在の時刻や日をRTCSEC、RTCMIN、RTCHR、RTCWKレジスタ、RTCCR1レジスタのRTCPMビットから読み出せます。ただし、RTCSECレジスタのBSYビットが“1”（データ更新中）はこれらのレジスタを読み出さないでください。

秒、分、時、日、1週間の周期で割り込み要求を発生させることができます。RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“00b”（コンペアモードで使用しない）の場合、RTCCR2レジスタの秒、分、時、日、1週間のうち、いずれか1つの割り込みを許可してください。周期割り込み要求が発生するとRTCTICレジスタのIRビットが“1”（割り込み要求あり）になります。

図 20.3 にリアルタイムクロック基本動作例を、図 20.4 に時刻、日変更手順（コンペアモードを使用しない、またはコンペア1モード）を、図 20.5 に時刻、日変更手順（コンペア2モード、またはコンペア3モード）を示します。

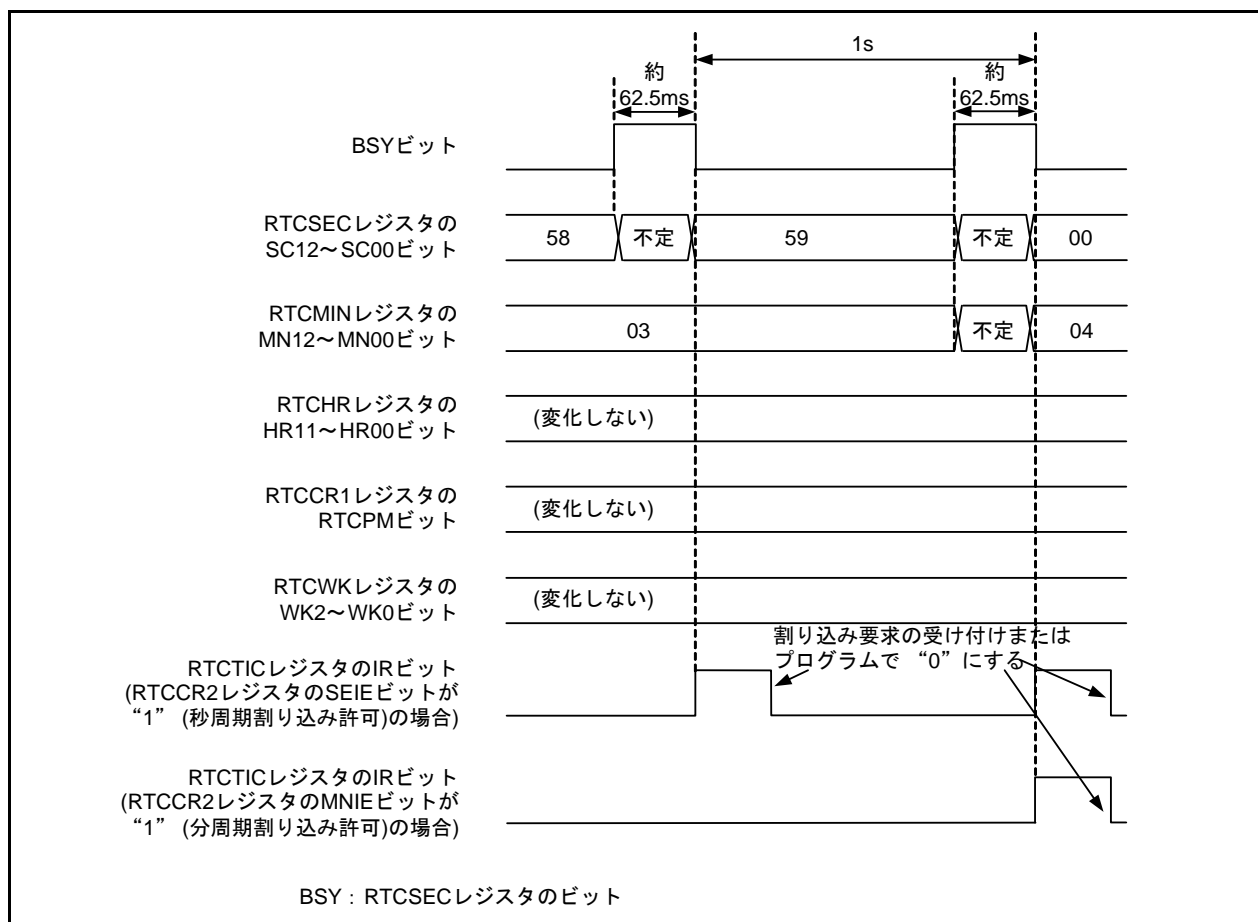


図 20.3 リアルタイムクロック基本動作例

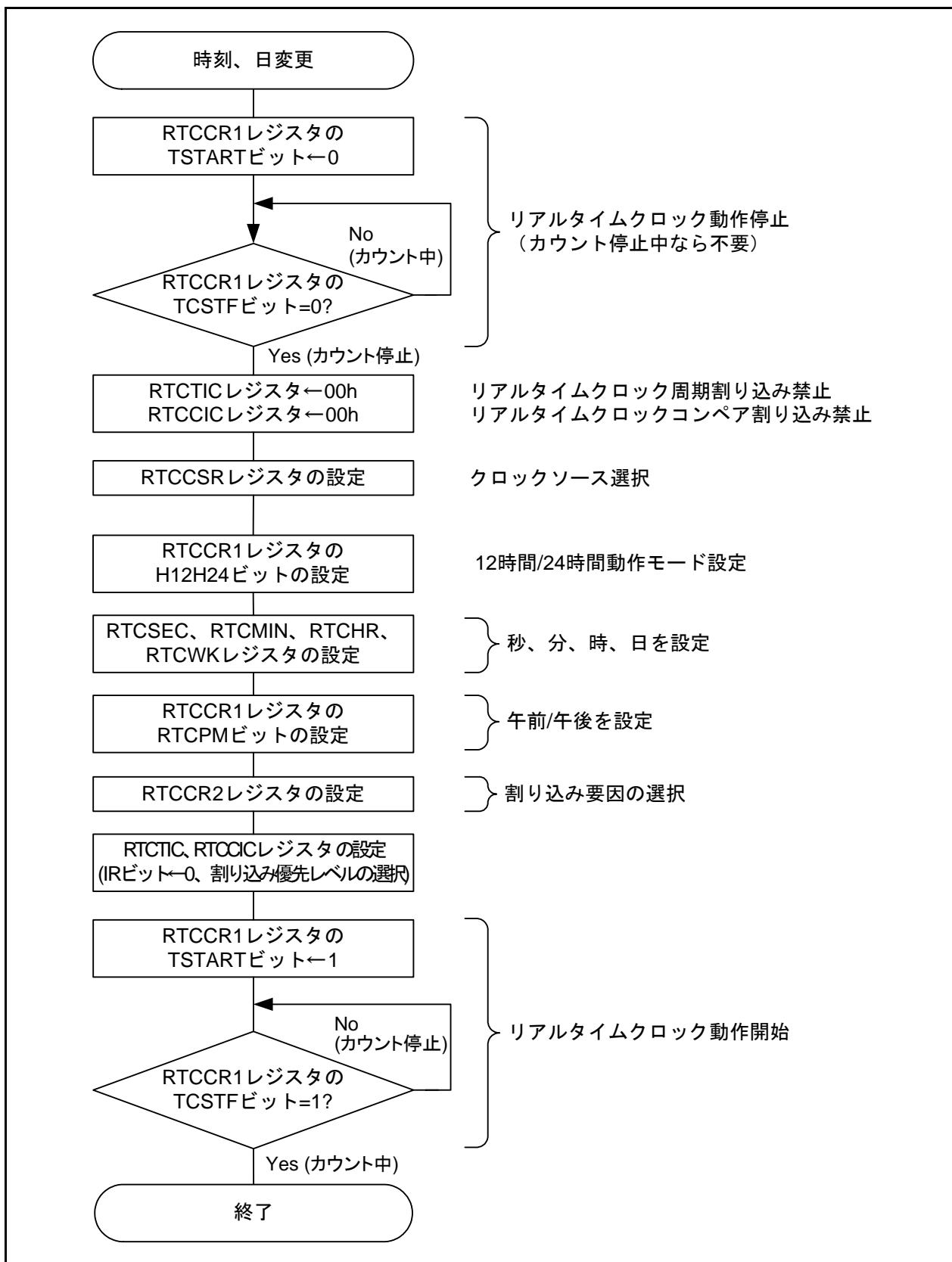


図 20.4 時刻、日変更手順 (コンペアモードを使用しない、またはコンペア1モード)

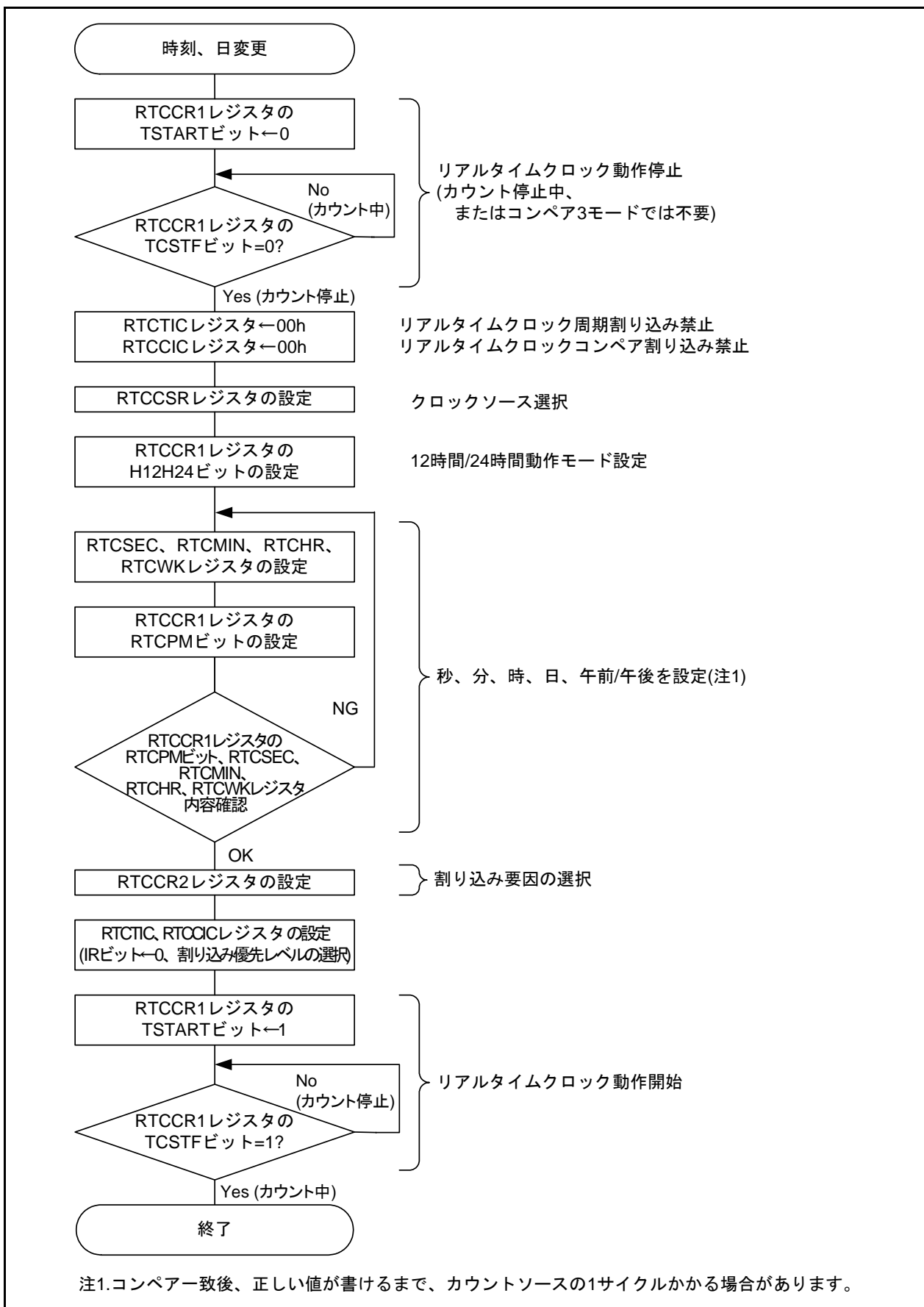


図 20.5 時刻、日変更手順 (コンペア2モード、またはコンペア3モード)

20.3.2 コンペアモード

時刻のデータ(注1)とコンペアデータ(注2)を比較し、一致を検出します。一致すると次のようになります。

- コンペア割り込み要求発生
詳細は「20.4 割り込み」を参照してください。
- RTCOUT端子の出力レベル反転
RTCCR1レジスタのTOENAビットが“1”(コンペア出力許可)の場合、コンペア一致を検出すると、RTCOUT端子の出力レベルを反転します。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット
RTCCMINレジスタのMN12~MN10、MN03~MN00ビット
RTCCHRレジスタのHR11~HR10、HR03~HR00ビット
RTCCR1レジスタのRTCPMビット

注2. コンペアデータのビットは次のとおりです。

RTCCSECレジスタのSCMP12~SCMP10、SCMP03~SCMP00ビット
RTCCMINレジスタのMCMP12~MCMP10、MCMP03~MCMP00ビット
RTCCHRレジスタのHCMP11~HCMP10、HCMP03~HCMP00ビット
RTCCHRレジスタのPMCMPビット

コンペアモードを使用する場合、比較するもの(秒、分、時)によって、RTCCR2レジスタのSEIE、MNIE、HRIEビットを“1”(割り込み許可)にしてください。詳細は「20.2.6 リアルタイムクロック制御レジスタ2(RTCCR2)」を参照してください。

コンペアモードには、コンペア1モード~コンペア3モードがあります。コンペア1モード~コンペア3モードはコンペア一致後の動作が違います。

- コンペア1モード
時刻のデータを継続使用し、カウントを継続します。
- コンペア2モード
時刻のデータをリセット後の値にし、カウントを継続します。
- コンペア3モード
時刻のデータをリセット後の値にし、カウンタを停止します。

図 20.6 にコンペアモードの違い、図 20.7 にカウント開始、停止の動作例、図 20.8 にコンペア 1 モードの動作例、図 20.9 にコンペア 2 モードの動作例、図 20.10 にコンペア 3 モードの動作例を示します。

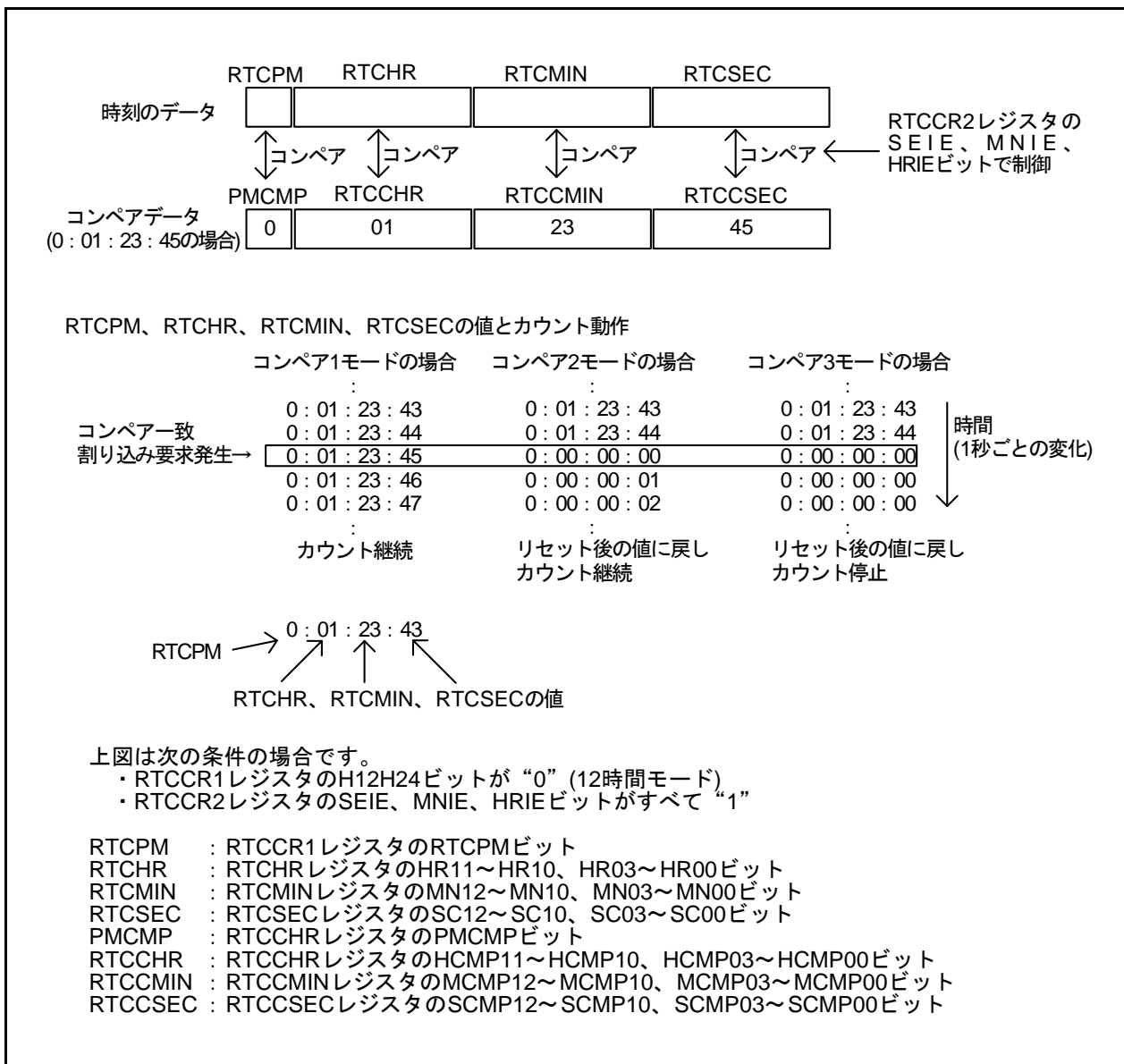


図 20.6 コンペアモードの違い

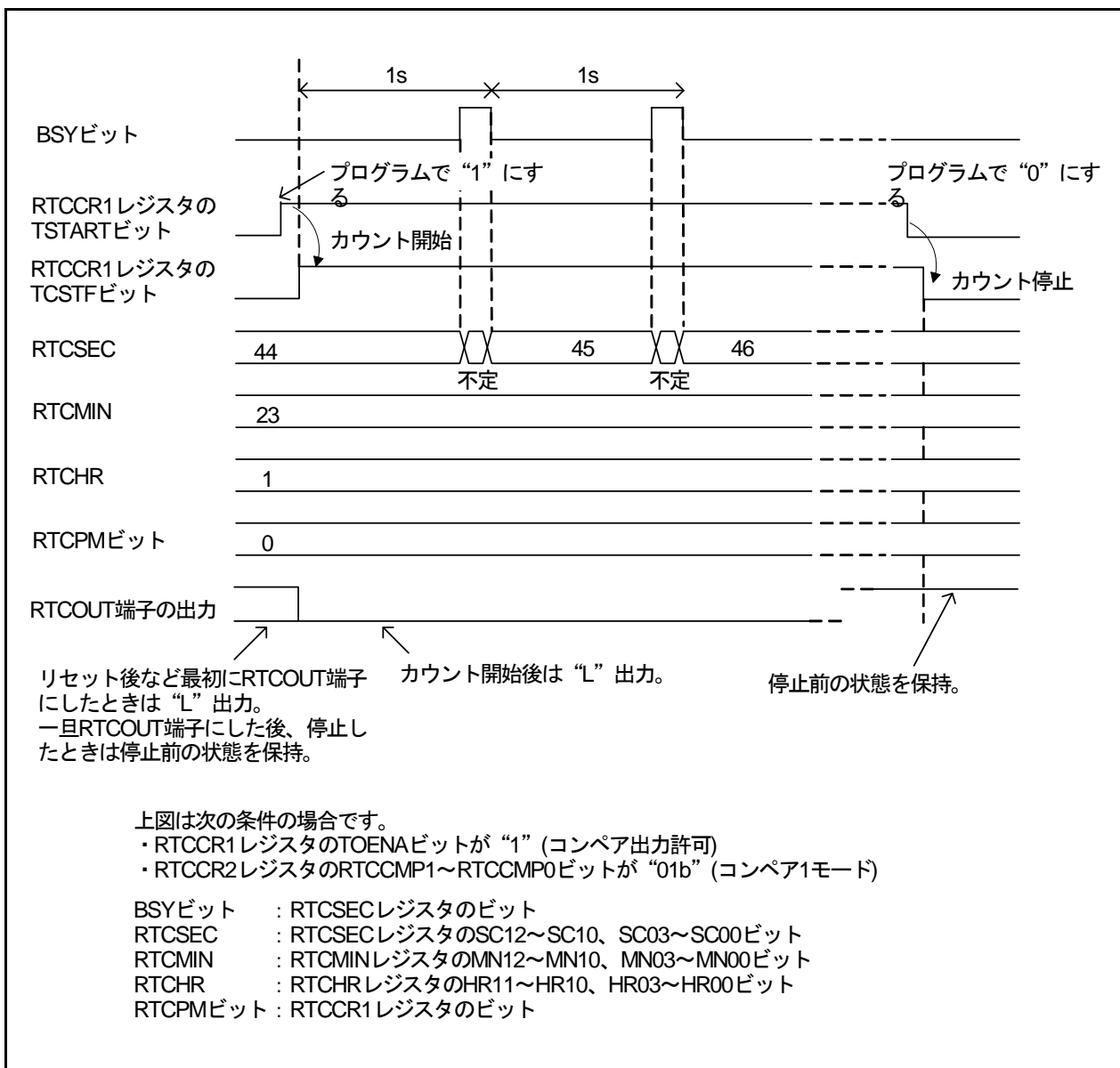


図 20.7 カウント開始、停止の動作例

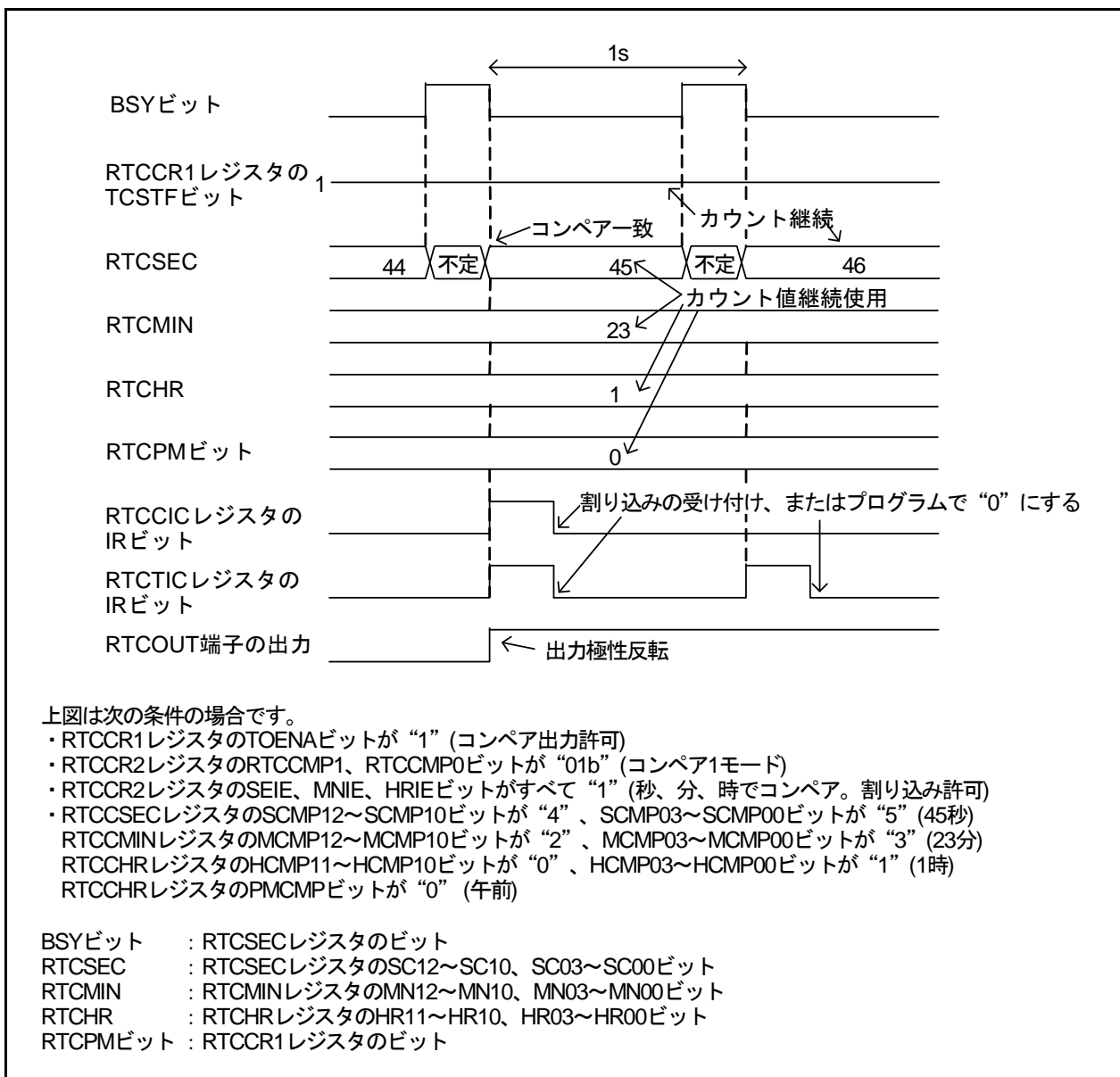


図 20.8 コンペアー1モードの動作例

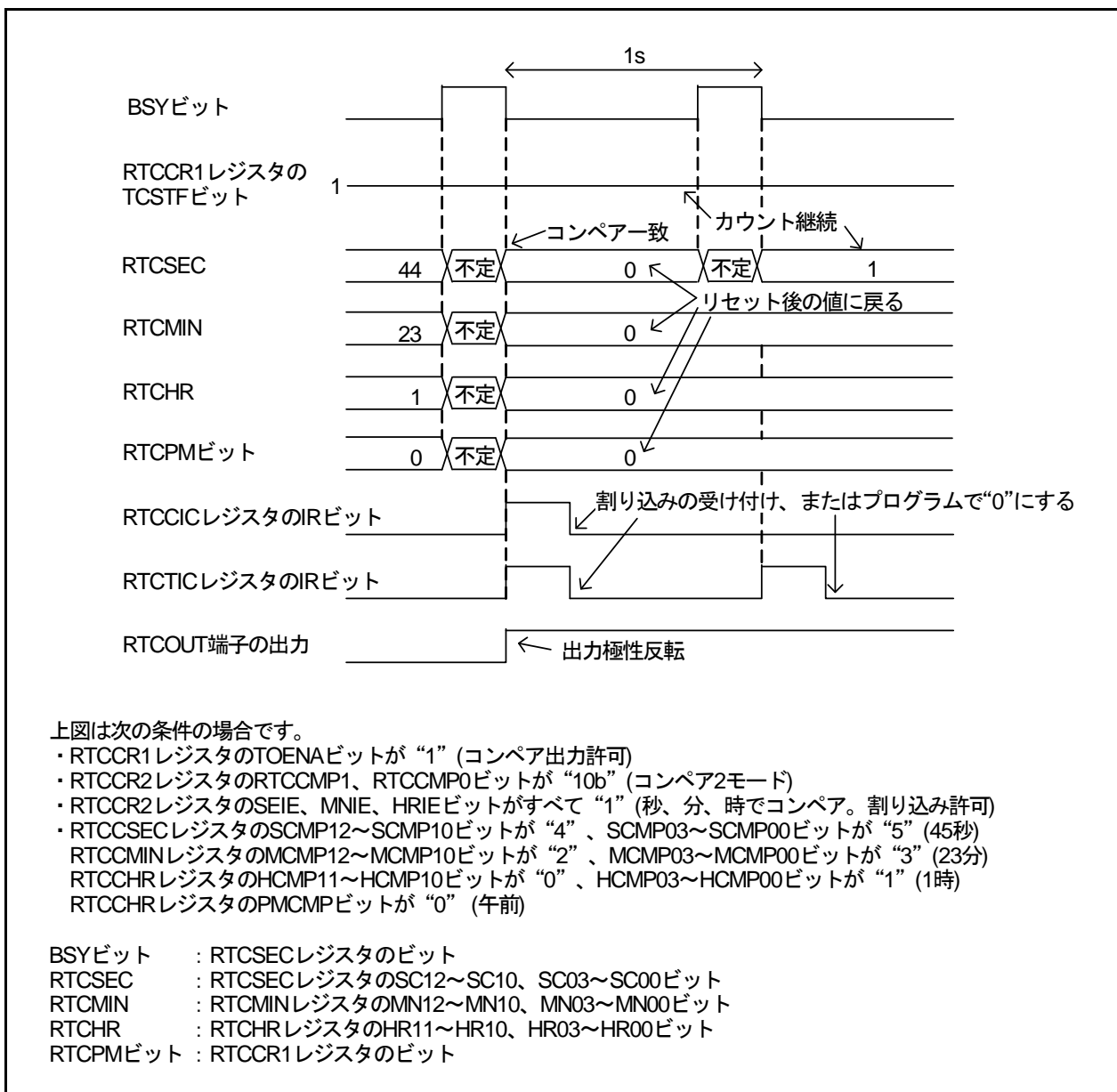


図 20.9 コンペア2モードの動作例



図 20.10 コンペア3モードの動作例

20.4 割り込み

リアルタイムクロックは次の2種類の割り込み要求を発生します。

- 秒、分、時、日、1週間の周期割り込み
- コンペア一致割り込み

周期割り込みの要因は「表 20.4 周期割り込み要因」を参照してください。割り込み要求発生タイミングは、各モードの仕様や動作例を参照してください。また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 20.5 にリアルタイムクロックの割り込み関連レジスタを示します。

表 20.5 リアルタイムクロックの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Fh	リアルタイムクロックコンペア割り込み制御レジスタ	RTCCIC	XXXX X000b
0074h	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
0204h	割り込み要因選択レジスタ4	IFSR4A	00h
0205h	割り込み要因選択レジスタ3	IFSR3A	00h

リアルタイムクロックは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。周期割り込みを使用する場合は、IFSR4A レジスタのIFSR47 ビットを“0” (リアルタイムクロック周期) にしてください。コンペア割り込みを使用する場合は、IFSR3A レジスタのIFSR36 ビットを“1” (リアルタイムクロックコンペア) にしてください。

20.5 リアルタイムクロック使用上の注意事項

20.5.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

20.5.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、リアルタイムクロックが停止中に書いてください。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2レジスタ
- RTCCR1レジスタのH12H24ビット、RTCPMビット
- RTCCSRレジスタのRCS0~RCS4ビット

リアルタイムクロックが停止中とは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(リアルタイムクロック停止)の状態を指します。

また、RTCCR2レジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

「図 20.4 時刻、日変更手順(コンペアモードを使用しない、またはコンペア1モード)」 「図 20.5 時刻、日変更手順(コンペア2モード、またはコンペア3モード)」を参照してください。

20.5.3 レジスタ設定(コンペアデータ)

次のレジスタやビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- RTCCSEC、RTCCMIN、RTCCHRレジスタ

20.5.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法2

「図 20.11 時刻データ読み出し」に示す手順で読み出す。

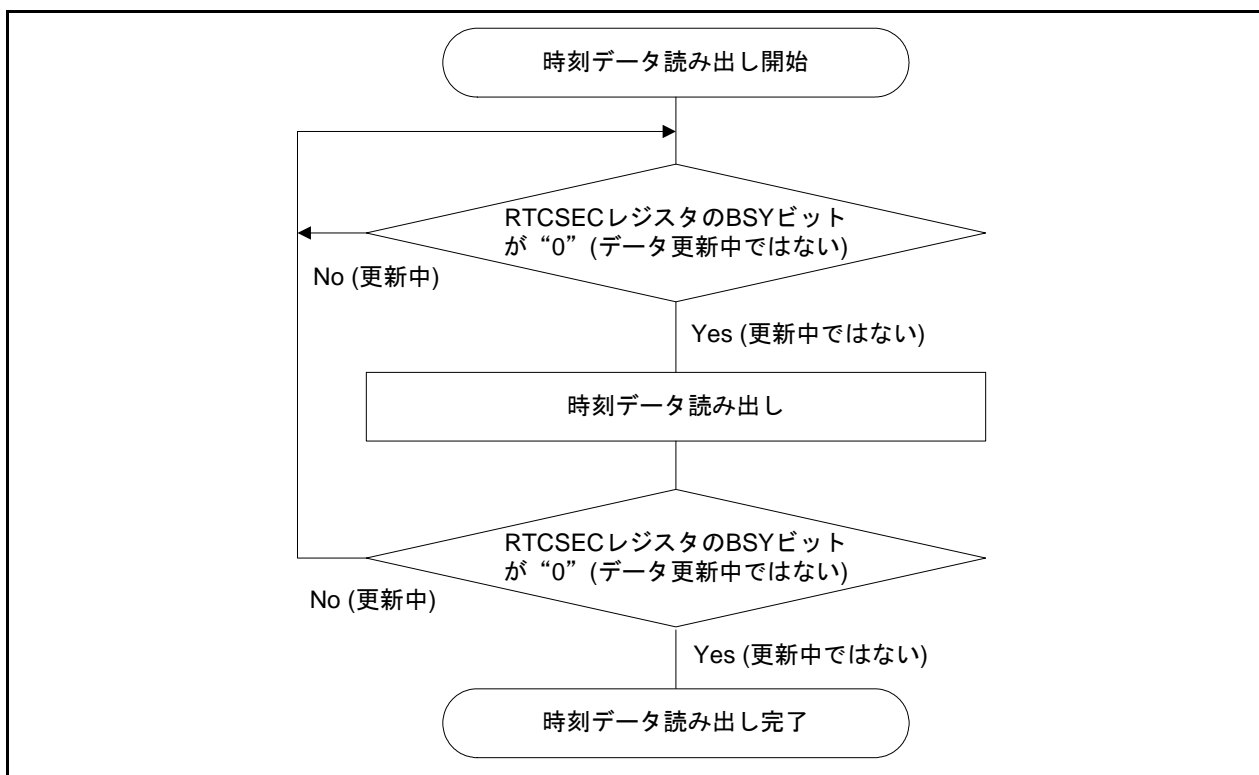


図 20.11 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット

RTCMINレジスタのMN12~MN10、MN03~MN00ビット

RTCHRレジスタのHR11~HR10、HR03~HR00ビット

RTCWKレジスタのWK2~WK0ビット

RTCCR1レジスタのRTCPMビット

21. シリアルインタフェースUARTi (i=0~4)

注意

64ピン版は、CLK4、RXD4、TXD4端子がありません。UART4関連レジスタをアクセスしないでください。

21.1 概要

シリアルインタフェースは、UART0~UART4の5チャンネルで構成しています。

UARTiはそれぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

表 21.1 にシリアルインタフェースUARTi (i=0~4) の仕様、表 21.2 にUART0~UART4 の仕様の相違、図 21.1 にUARTiブロック図、図 21.2 にUARTi送受信部ブロック図を示します。

表 21.1 シリアルインタフェースUARTi (i=0~4) の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> • クロック同期形シリアルI/Oモード • クロック非同期形シリアルI/Oモード(UARTモード) • 特殊モード1 (I²Cモード) UART2で使用できます。 簡易形I²C-busインタフェースに対応したモードです。 • 特殊モード2 UART2で使用できます。送受信クロックの極性と位相を選択できます。 • 特殊モード3 (バス衝突検出機能、IEモード) UART2で使用できます。 UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。 • 特殊モード4 (SIMモード) SIMインタフェースに対応するモードです。

表 21.2 UART0~UART4の仕様の相違

項目	UART0	UART1	UART2	UART3	UART4
クロック同期形シリアルI/Oモード	あり		あり	あり	
クロック非同期形シリアルI/Oモード (UARTモード)	あり		あり	あり	
特殊モード1(I ² Cモード)	なし		あり	なし	
特殊モード2	なし		あり	なし	
特殊モード3(IEモード)	なし		あり	なし	
特殊モード4(SIMモード)	なし		あり	なし	
CTS\RTS端子	あり		あり	あり	なし

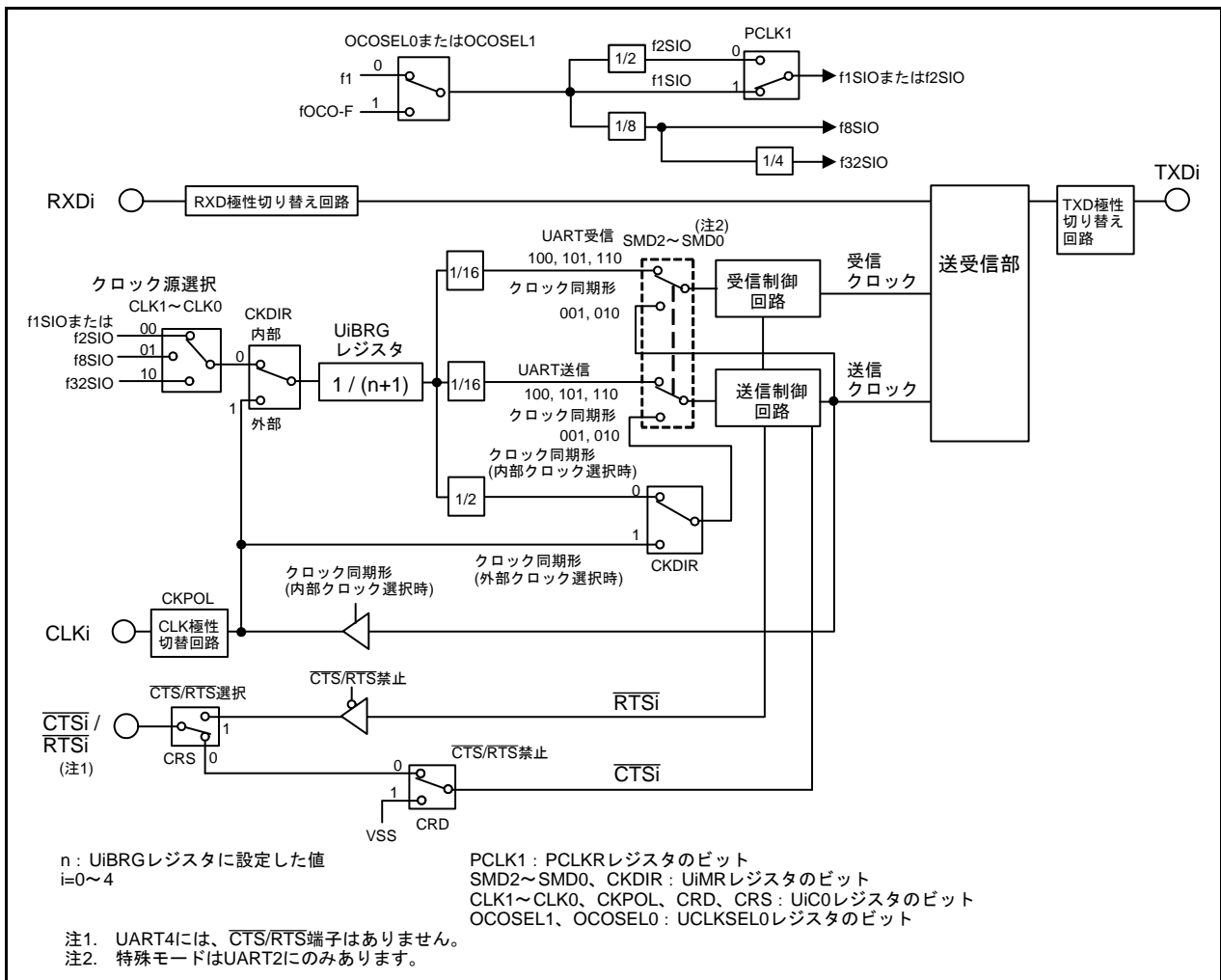


図 21.1 UARTi (i=0~4) ブロック図

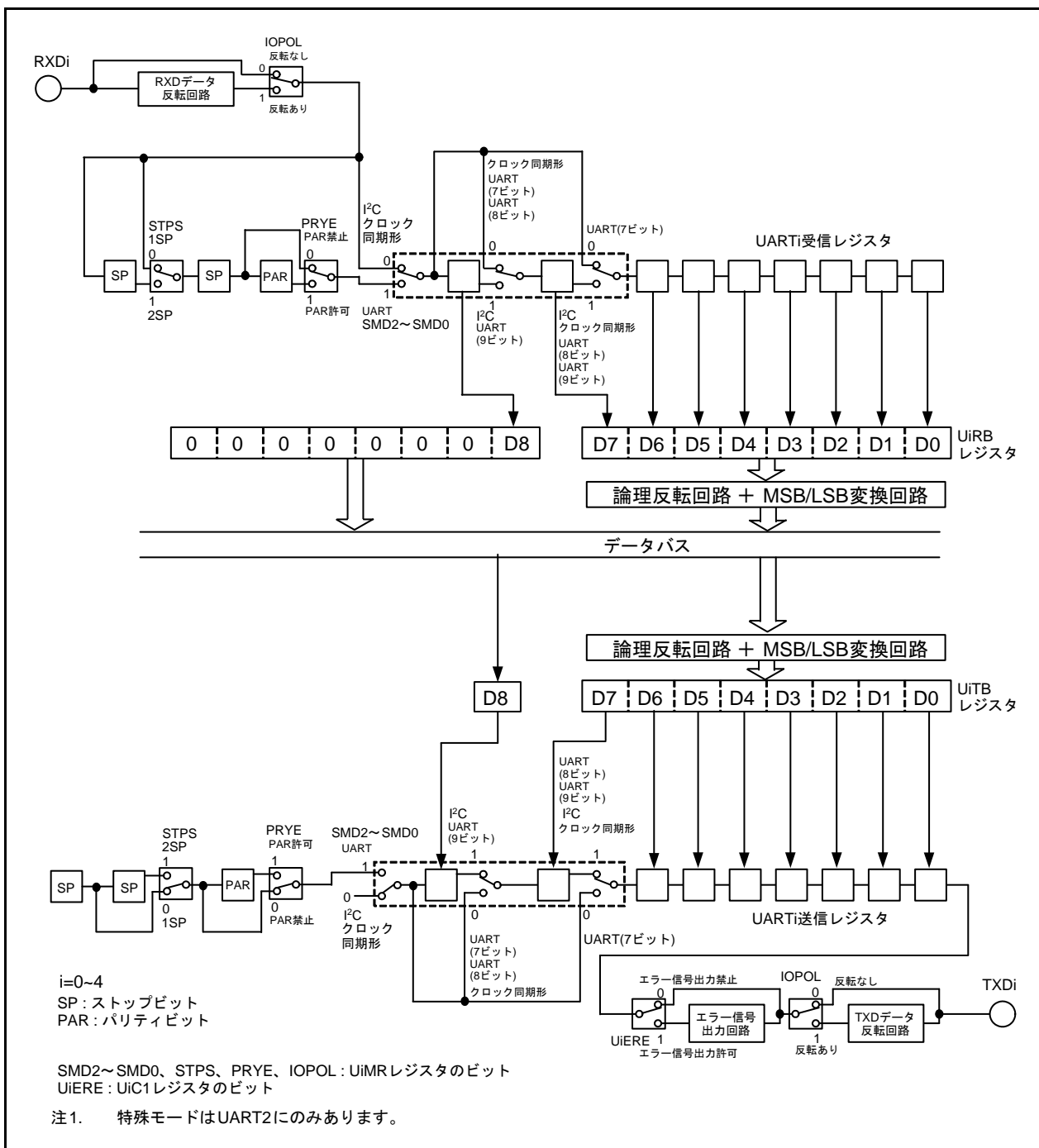


図 21.2 UARTi送受信部ブロック図

21.2 レジスタの説明

UART0~UART4関連レジスタを表 21.3~表 21.4 レジスタ一覧に示します。

UCLKSEL0レジスタのOCOSEL0ビットまたはOCOSEL1ビットを設定した後、その他のUART0~UART4関連レジスタを設定してください。OCOSEL0ビットまたはOCOSEL1ビットを変更した後も、その他のUART0~UART4関連レジスタを再設定してください。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

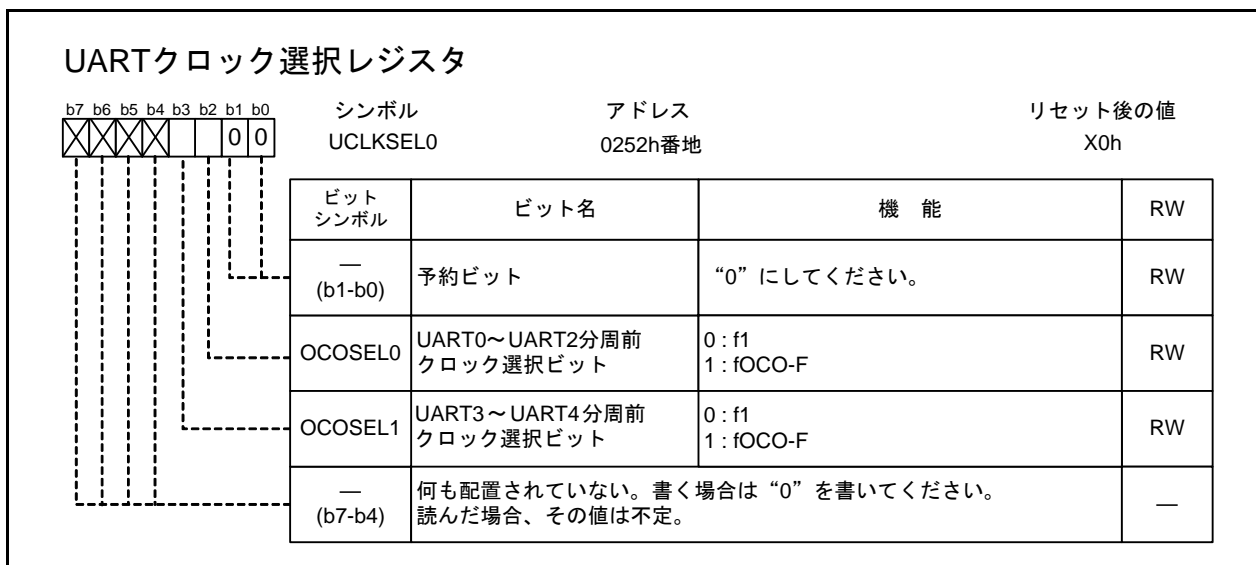
表 21.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0252h	UARTクロック選択レジスタ	UCLKSEL0	X0h
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	0000 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh

表 21.4 レジスタ一覧 (2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0298h	UART4送受信モードレジスタ	U4MR	00h
0299h	UART4ビットレートレジスタ	U4BRG	XXh
029Ah	UART4送信バッファレジスタ	U4TB	XXh
029Bh			XXh
029Ch	UART4送受信制御レジスタ0	U4C0	0000 1000b
029Dh	UART4送受信制御レジスタ1	U4C1	0000 0010b
029Eh	UART4受信バッファレジスタ	U4RB	XXh
029Fh			XXh
02A8h	UART3送受信モードレジスタ	U3MR	00h
02A9h	UART3ビットレートレジスタ	U3BRG	XXh
02AAh	UART3送信バッファレジスタ	U3TB	XXh
02ABh			XXh
02ACh	UART3送受信制御レジスタ0	U3C0	0000 1000b
02ADh	UART3送受信制御レジスタ1	U3C1	0000 0010b
02AEh	UART3受信バッファレジスタ	U3RB	XXh
02AFh			XXh
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b

21.2.1 UARTクロック選択レジスタ (UCLKSEL0)



OCOSEL0 (UART0~UART2分周前クロック選択ビット) (b2)

OCOSEL1 (UART3~UART4分周前クロック選択ビット) (b3)

OCOSEL0 ビット、OCOSEL1 ビットは、UART0~UART2、UART3~UART4 の送受信停止中に設定してください。

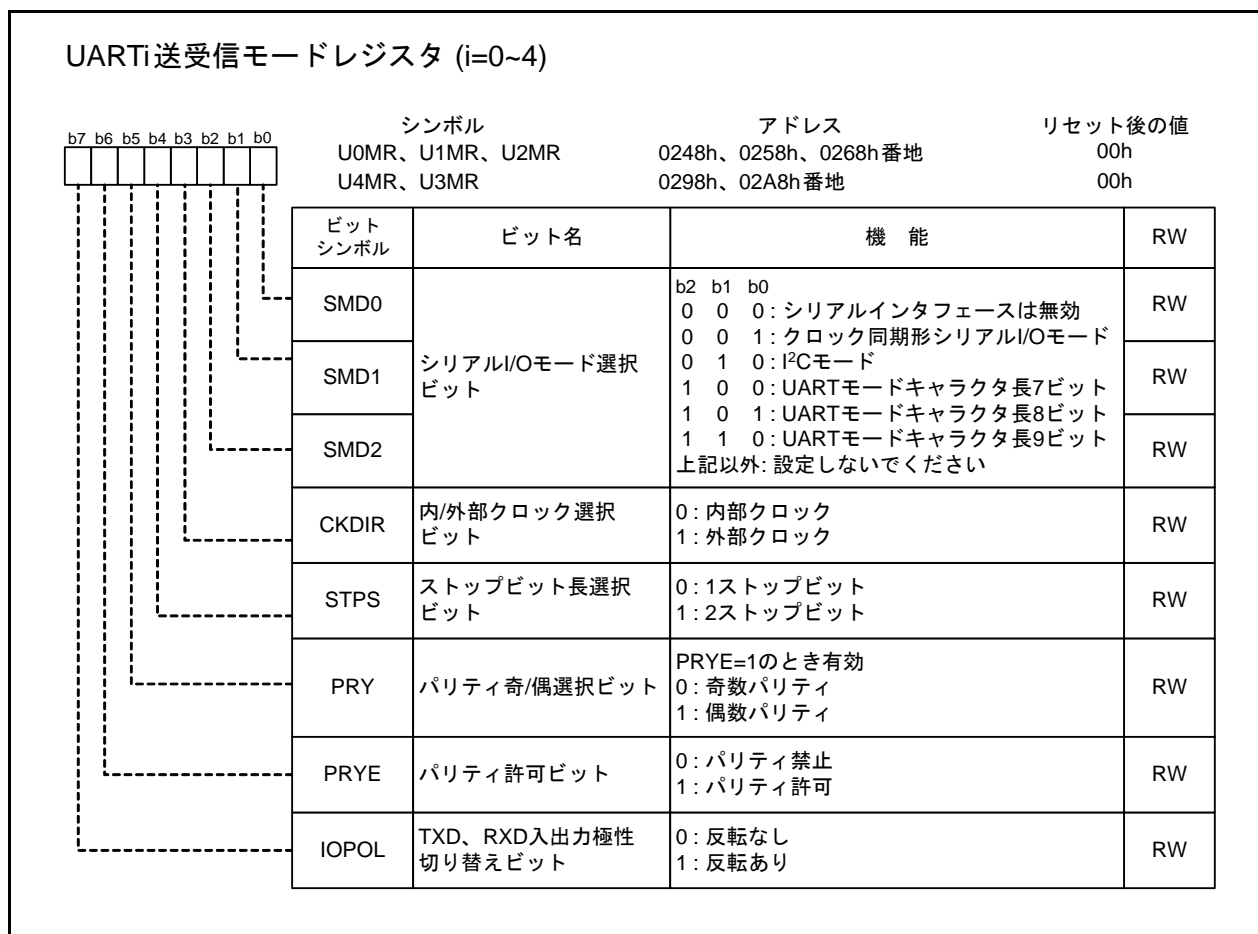
OCOSEL0 ビットまたは OCOSEL1 ビットを設定した後、その他の UART0~UART2、UART3~UART4 関連レジスタを設定してください。OCOSEL0 ビットまたは OCOSEL1 ビットを変更した後も、その他の UART0~UART2、UART3~UART4 関連レジスタを再設定してください。

21.2.2 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b
0 0 0 0 0			
ビット シンボル	ビット名	機能	RW
PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック 選択ビット (タイマA、タイマB、短絡防止タイ マ、タイマS、マルチマスタI ² C- busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0 : f2SIO 1 : f1SIO	RW
— (b4-b2)	予約ビット	"0" にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
— (b7-b6)	予約ビット	"0" にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

21.2.3 UARTi送受信モードレジスタ (UiMR) (i=0~4)



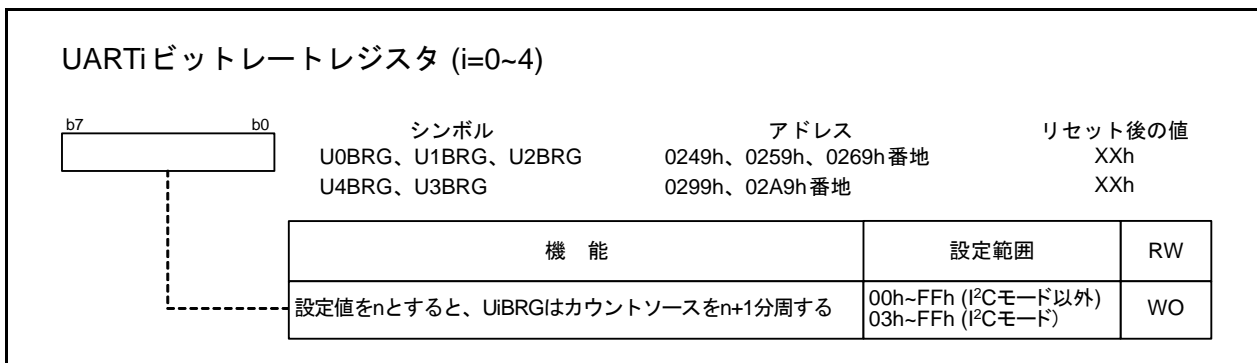
U4MRレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

SMD2~SMD0 (シリアルI/Oモード選択ビット) (b2~b0)

SMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

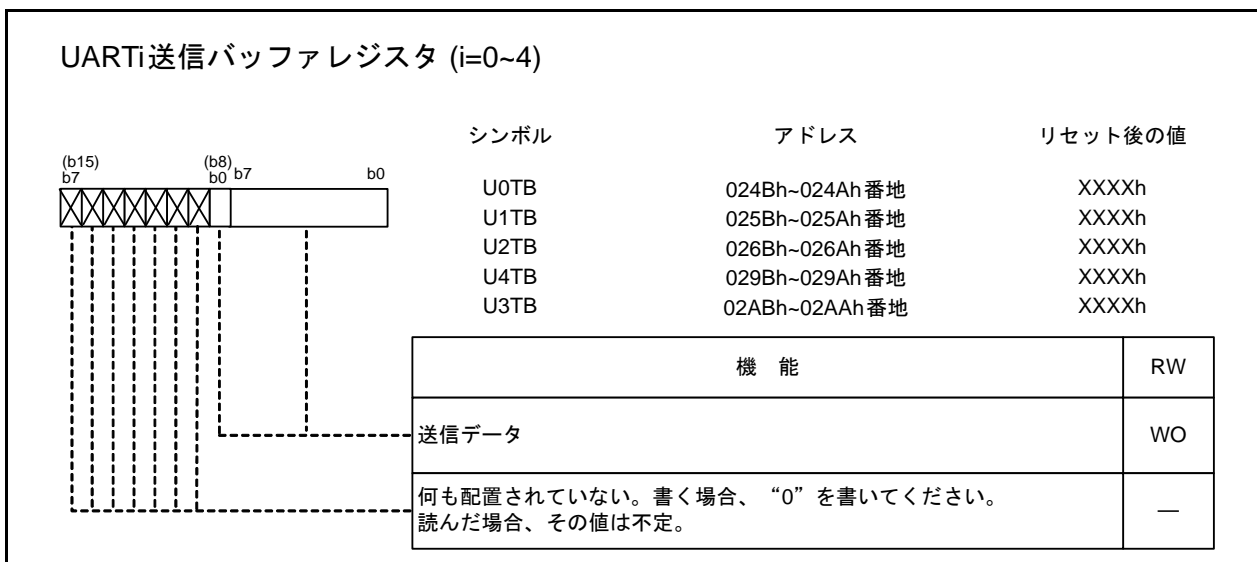
“010b”(I²Cモード)はU2MRレジスタで選択できます。U0MR、U1MR、U3MR、U4MRレジスタでは“010b”を選択しないでください。

21.2.4 UARTiビットレートレジスタ (UiBRG) (i=0~4)



送受信停止中に書いてください。
 このレジスタはMOV命令を使用して書いてください。
 このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

21.2.5 UARTi送信バッファレジスタ (UiTB) (i=0~4)



このレジスタはMOV命令を使用して書いてください。
 キャラクタ長が9ビット、またはI²Cモードの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

21.2.6 UARTi送受信制御レジスタ0 (UiC0) (i=0~4)

UARTi送受信制御レジスタ0 (i=0~4)

ビット シンボル	シンボル	アドレス	リセット後の値
b7	U0C0、U1C0、U2C0	024Ch、025Ch、026Ch番地	0000 1000b
b6	U4C0、U3C0	029Ch、02ACh番地	0000 1000b
b5			
b4			
b3			
b2			
b1			
b0			

ビット シンボル	ビット名	機能	RW
CLK0	UiBRGカウント ソース選択ビット	b1 b0 0 0: f1SIO またはf2SIOを選択 0 1: f8SIOを選択	RW
CLK1		1 0: f32SIOを選択 1 1: 設定しないでください	RW
CRS	CTS/RTS機能選択ビット	CRD=0のとき有効 0: CTS機能を選択 1: RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止	RW
NCH	データ出力選択ビット	0: TXDi/SDAi、SCLi端子はCMOS出力 1: TXDi/SDAi、SCLi端子はNチャネルオー ブンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 送受信クロックの立ち下がりで送信デー タ出力、立ち上がりで受信データ入力 1: 送受信クロックの立ち上がりで送信デー タ出力、立ち下がりで受信データ入力	RW
UFORM	ビットオーダ選択ビット	0: LSBファースト 1: MSBファースト	RW

CLK1~CLK0 (UiBRG カウントソース選択ビット) (b1~b0)

“00b” (f1SIO または f2SIO を選択) のとき、PCLKR レジスタの PCLK1 ビットで選択してください。

UCLKSEL0、PCLKR レジスタを設定した後で、CLK1~CLK0 を設定してください。

CLK1~CLK0 ビットを変更した場合は、UiBRG レジスタを設定してください。

CRD (CTS/RTS 禁止ビット) (b4)

CRD ビットが“1” (CTS/RTS 機能禁止) のとき、CTS_i/RTS_i 端子は入出力ポートとして使用できます。

U4C0 レジスタの CRD ビットは“1” (CTS/RTS 機能禁止) にしてください。

NCH (データ出力選択ビット) (b5)

UiMRレジスタのSMD2~SMD0ビットで、クロック同期形シリアルI/Oモード、I²Cモード、UARTモードのいずれかを選択しているとき、NCHビットでTXDi/SDAi端子の出力形式を選択できます。SMD2~SMD0ビットが“000b”(シリアルインタフェース無効)の場合、TXDi/SDAi端子はCMOS出力です。

U2SMRレジスタのIICMビットが“1”(I²Cモード)、SMD2~SMD0ビットが“010b”(I²Cモード)の場合、NCHビットを“1”にするとSCL2端子がNチャンネルオープンドレイン出力になります。IICMビットが“0”(I²Cモード以外)またはSMD2~SMD0ビットが“010b”以外の場合、SCL2端子はCMOS出力です。

本機能はCMOS出力バッファのPチャンネルトランジスタを常時オフにするものであり、TXDi、SDA2、SCL2端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

UFORM (ビットオーダ選択ビット) (b7)

UFORMビットはUiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモードキャラクタ長7ビット)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

21.2.7 UARTi送受信制御レジスタ1 (UiC1) (i=0~4)

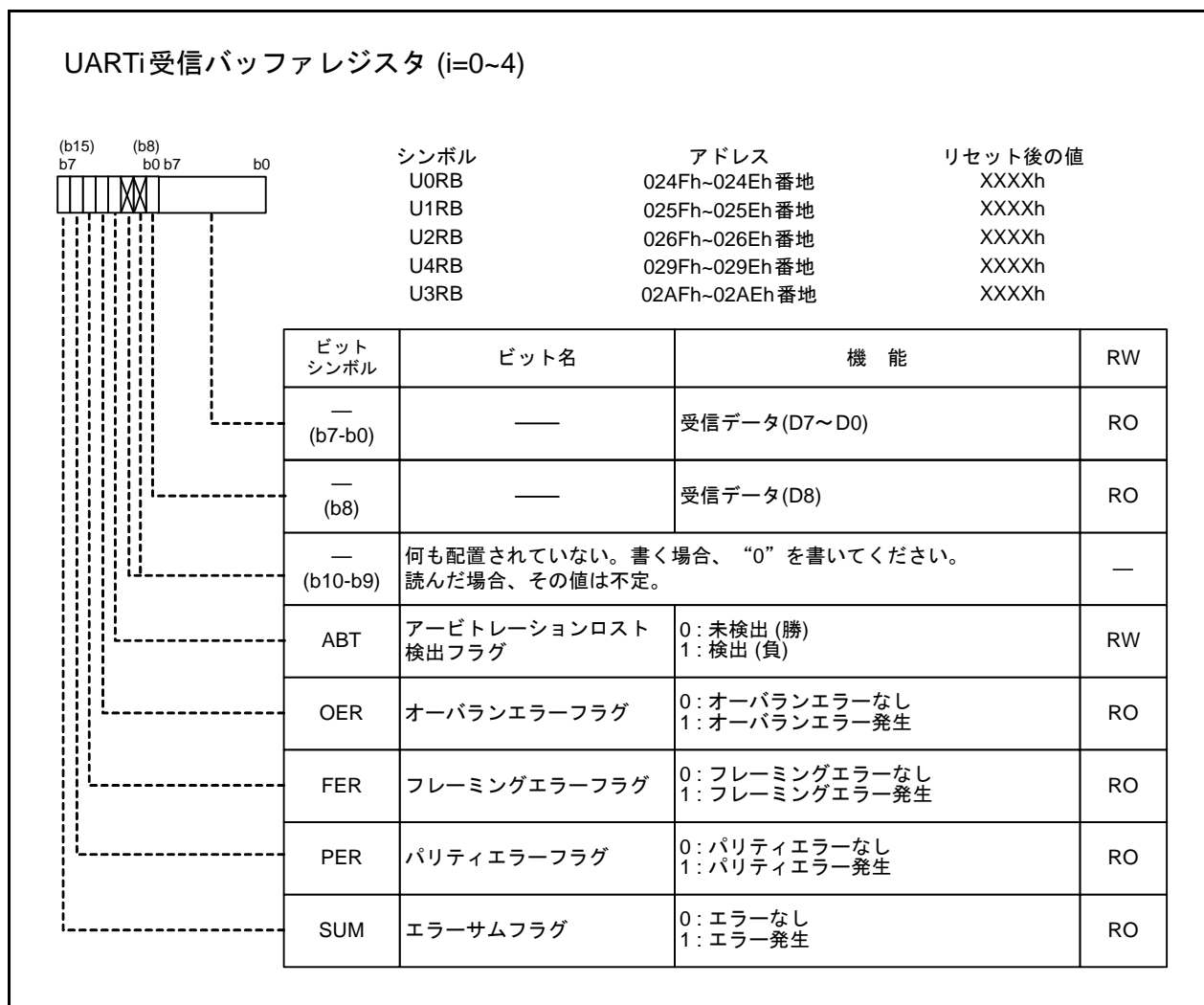
UARTi送受信制御レジスタ1 (i=0~4)			
ビット シンボル	シンボル	アドレス	リセット後の値
	U0C1、U1C1、U2C1	024Dh、025Dh、026Dh番地	0000 0010b
	U4C1、U3C1	029Dh、02ADh番地	0000 0010b

ビット シンボル	ビット名	機能	RW
b7	TE	送信許可ビット 0: 送信禁止 1: 送信許可	RW
b6	TI	送信バッファ空フラグ 0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
b5	RE	受信許可ビット 0: 受信禁止 1: 受信許可	RW
b4	RI	受信完了フラグ 0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
b3	UiIRS	UARTi送信割り込み要因 選択ビット 0: UiTBレジスタ空(TI=1) 1: 送信完了(TXEPT=1)	RW
b2	UiRRM	UARTi連続受信モード 許可ビット 0: 連続受信モード禁止 1: 連続受信モード許可	RW
b1	UiLCH	データ論理選択ビット 0: 反転なし 1: 反転あり	RW
b0	UiERE	エラー信号出力許可ビット 0: 出力しない 1: 出力する	RW

UiLCH (データ論理選択ビット) (b6)

UiLCHビットは、UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモードキャラクタ長7ビット)または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

21.2.8 UARTi受信バッファレジスタ (UiRB) (i=0~4)



UiMRレジスタのSMD2~SMD0ビットが“100b”、“101b”または“110b”の場合は、16ビット単位で読み出すか、または8ビット単位で上位バイトを先に、下位バイトを後で読み出してください。下位バイトを読み出すと上位バイトに配置されたFER,PERビットが“0”になります。

オーバランエラーが発生したとき、UiRBレジスタの受信データは不定です。

ABT (アービトレーションロスト検出フラグ) (b11)

ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

OER (オーバランエラーフラグ) (b12)

["0"になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)

["1"になる条件]

- UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)かつ次のデータの最終ビットを受信

FER (フレーミングエラーフラグ) (b13)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、FERビットは無効です。これらのモードで読んだ場合、その値は不定です。

[“0”になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)
- UiRBレジスタの下位バイトを読む

[“1”になる条件]

- 設定した個数のストップビットが検出されない
(受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

PER (パリティエラーフラグ) (b14)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、PERビットは無効です。これらのモードで読んだ場合、その値は不定です。

UiMRレジスタのPRYEビットが“1”(パリティ許可)の場合に有効です。

[“0”になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)
- UiRBレジスタの下位バイトを読む

[“1”になる条件]

- パリティビットとキャラクタビット中の“1”の個数が設定した個数でない
(受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

SUM (エラーサムフラグ) (b15)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合は、SUMビット無効です。これらのモードで読んだ場合、その値は不定です。

[“0”になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)
- PER、FER、OERビットがすべて“0”(エラーなし)

[“1”になる条件]

- PER、FER、OERビットのうち1つ以上が“1”(エラー発生)

21.2.9 UART2特殊モードレジスタ4 (U2SMR4)

UART2特殊モードレジスタ4		シンボル U2SMR4	アドレス 0264h番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機能	RW						
STAREQ	スタートコンディション生成ビット	0:クリア 1:スタート	RW						
RSTAREQ	リスタートコンディション生成ビット	0:クリア 1:スタート	RW						
STPREQ	ストップコンディション生成ビット	0:クリア 1:スタート	RW						
STSPSEL	SCL、SDA出力選択ビット	0:シリアル入出力回路選択 1:スタートコンディション/ストップコンディション生成回路選択	RW						
ACKD	ACKデータビット	0:ACK 1:NACK	RW						
ACKC	ACKデータ出力許可ビット	0:シリアルデータ出力 1:ACKデータ出力	RW						
SCLHI	SCL出力停止ビット	ストップコンディション検出時、 0:SCL2出力を停止しない 1:SCL2出力を停止する	RW						
SWC9	SCLウェイト自動挿入ビット ³	0:ウェイトなし/ウェイト解除 1:9ビット目を受信後、SCL2端子を“L”に固定	RW						

STAREQ (スタートコンディション生成ビット) (b0)

スタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

RSTAREQ (リスタートコンディション生成ビット) (b1)

リスタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STPREQ (ストップコンディション生成ビット) (b2)

ストップコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STSPSEL (SCL、SDA出力選択ビット) (b3)

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”(スタート)にした後、“1”(スタートコンディション/ストップコンディション生成回路選択)にしてください。

ACKD (ACKデータビット) (b4)**ACKC (ACKデータ出力許可ビット) (b5)****SWC9 (SCLウェイト自動挿入ビット3) (b7)**

I²Cモードでスレーブの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

SCLHI (SCL出力停止ビット) (b6)

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

21.2.10 UART2特殊モードレジスタ3 (U2SMR3)

UART2特殊モードレジスタ3			
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0: CLK2はCMOS出力 1: CLK2はNチャネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DL0	SDA2デジタル 遅延値設定ビット	b7 b6 b5 0 0 0: 遅延なし 0 0 1: U2BRGカウントソースの1~2サイクル 0 1 0: U2BRGカウントソースの2~3サイクル 0 1 1: U2BRGカウントソースの3~4サイクル 1 0 0: U2BRGカウントソースの4~5サイクル 1 0 1: U2BRGカウントソースの5~6サイクル 1 1 0: U2BRGカウントソースの6~7サイクル 1 1 1: U2BRGカウントソースの7~8サイクル	RW
DL1		RW	
DL2		RW	

NODC (クロック出力選択ビット) (b3)

本機能はCMOS出力バッファのPチャネルトランジスタを常時オフにするものであり、CLK2端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

DL2~DL0 (SDA2 デジタル遅延値設定ビット) (b7~b5)

DL2~DL0ビットはI²Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b”(遅延なし)にしてください。

遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

21.2.11 UART2特殊モードレジスタ2 (U2SMR2)

UART2 特殊モードレジスタ 2

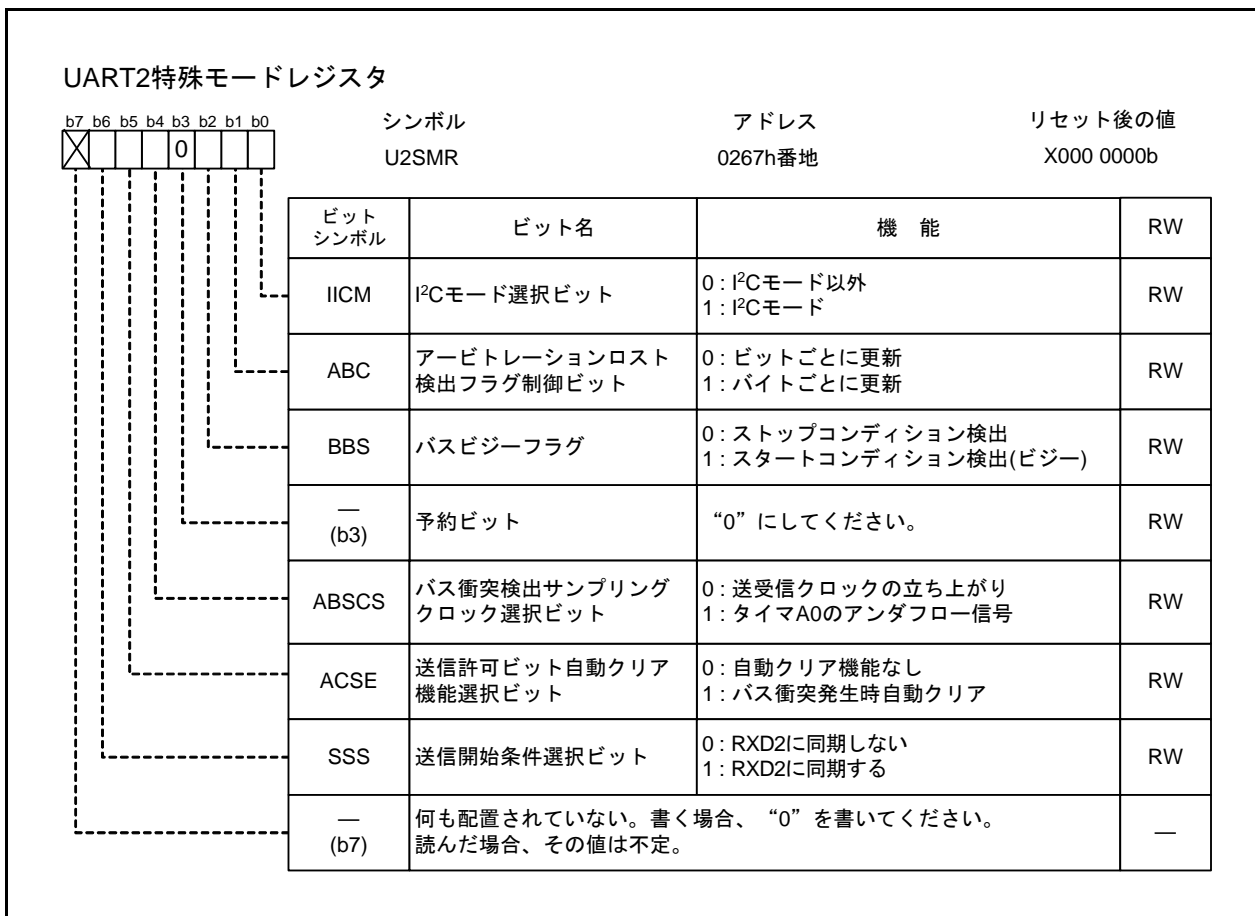
シンボル
U2SMR2

アドレス
0266h 番地

リセット後の値
X000 0000b

ビット シンボル	ビット名	機 能	RW
IICM2	I ² Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入ビット	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCL2端子を“L”に固定	RW
ALS	SDA出力自動停止ビット	アービトレーションロスト検出時、 0: SDA2出力を停止しない 1: SDA2出力を停止する	RW
STAC	UART2自動初期化ビット	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2	0: SCL2端子に送受信クロックを出力 1: SCL2端子を“L”に固定	RW
SDHI	SDA出力禁止ビット	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

21.2.12 UART2特殊モードレジスタ (U2SMR)



BBS (バスビジーフラグ) (b2)

BBSビットはプログラムで“0”を書くと“0”になります (“1”を書いても変化しません)。

SSS (送信開始条件選択ビット) (b6)

送信が始まると、SSSビットは“0” (RXD2に同期しない)になります。

21.2.13 端子割り当て制御レジスタ (PACR)

端子割り当て制御レジスタ			
シンボル PACR	アドレス 0370h番地	リセット後の値 0XXX X000b	
	ビット シンボル	ビット名	機能
PACR0	端子許可ビット	b2 b1 b0	RW
PACR1		0 1 0 : 64ピン版	RW
PACR2		0 1 1 : 80ピン版 1 0 0 : 100ピン版 上記以外 : 設定しないでください。	RW
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
U1MAP	UART1端子再配置ビット	UART1端子の配置 0 : P6_7~P6_4 1 : P7_3~P7_0	RW

このレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

21.3 動作説明

21.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、送受信クロックを用いて送受信を行うモードです。表 21.5 にクロック同期形シリアルI/Oモードの仕様を示します。

表 21.5 クロック同期形シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタのCKDIRビットが“0” (内部クロック): $\frac{f_j}{2(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRGレジスタの設定値 00h~FFh • CKDIRビットが“1” (外部クロック): CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可(UART0~UART3)
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタのTEビットが“1” (送信許可) • UiC1 レジスタのTIビットが“0” (UiTBレジスタにデータあり) • CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタのREビットが“1” (受信許可) • UiC1 レジスタのTEビットが“1” (送信許可) • UiC1 レジスタのTIビットが“0” (UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1 レジスタのUiIRSビットが“0” (送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能

i=0~4

注1. 順序は関係ありません。外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から送受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)の場合、外部クロックが“L”

注2. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。また SiRIC レジスタのIRビットは変化しません。

表 21.6にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 21.6 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	出力	送受信クロック出力	UiMRレジスタのCKDIRビット=0
	入力	送受信クロック入力	UiMRレジスタのCKDIRビット=1 端子を共用するポートの方向ビットを“0”にする
CTS \bar{i} /RTS \bar{i} (注1)	入力	$\bar{C}T\bar{S}$ 入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	$\bar{R}T\bar{S}$ 出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力	入出力ポート	UiC0レジスタのCRDビット=1

i=0~4

注1. UART4にはCTS/RTS端子はありません。

表 21.7 クロック同期形シリアルI/Oモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください
	OCOSEL1	UART3~UART4の分周前クロックを選択してください
PCLKR	PCLK1	UiBRGのカウントソースを選択してください
UiTB	0~7	送信データを設定してください
	8	— (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	8、11、13~15	読んだ場合、その値は不定
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください。UART4では“1”(禁止)にしてください
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	送受信クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
U2SMR (注1)	0~7	“0”にしてください
U2SMR2 (注1)	0~7	“0”にしてください
U2SMR3 (注1)	0~2	“0”にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0”にしてください
U2SMR4 (注1)	0~7	“0”にしてください

i=0~4

注1. UART2の場合

注2. この表は手順を示すものではありません。

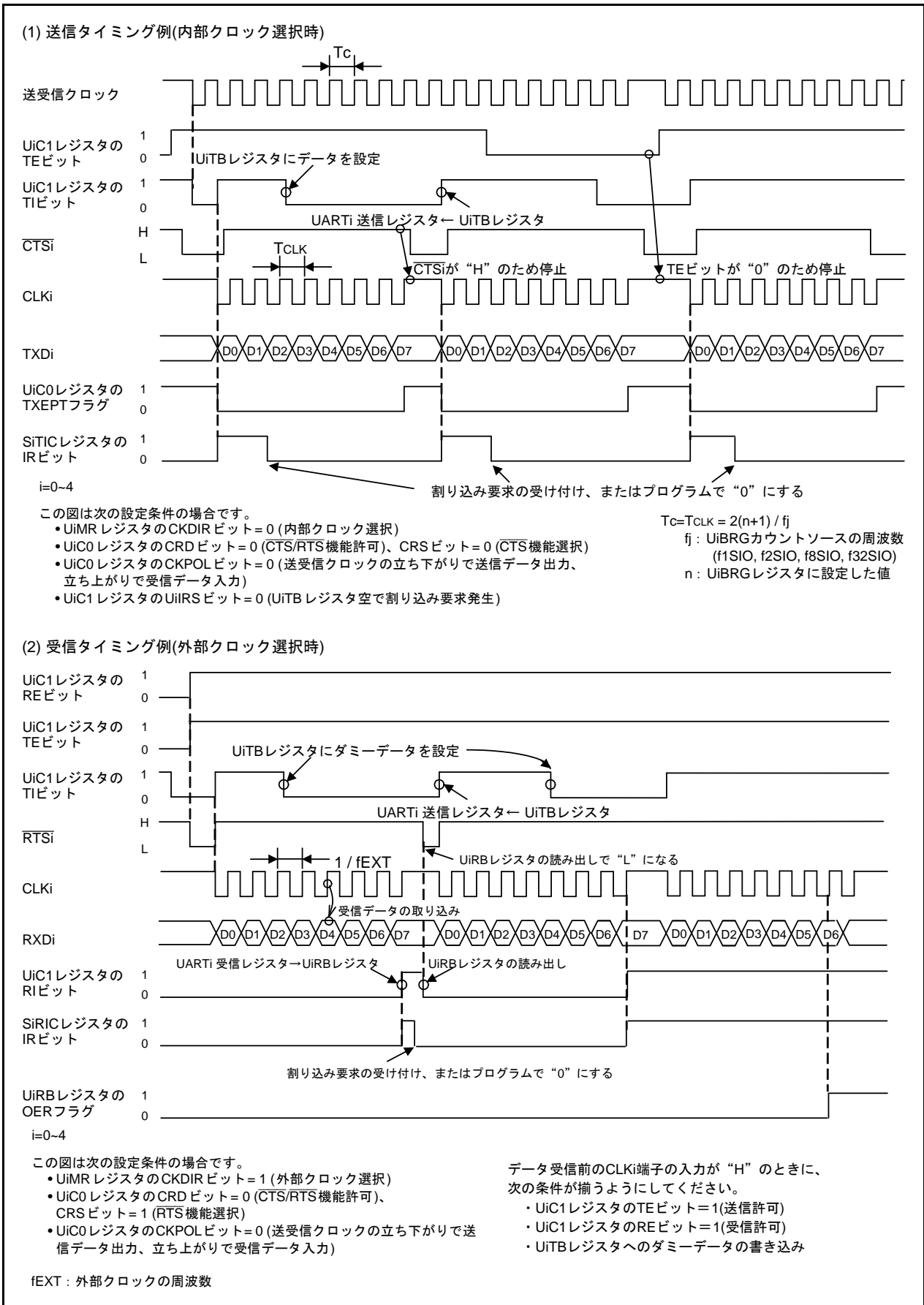


図 21.3 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

21.3.1.1 CLK極性選択

UiC0レジスタ(i=0~4)のCKPOLビットで送受信クロックの極性を選択できます。図21.4 送受信クロックの極性を示します。

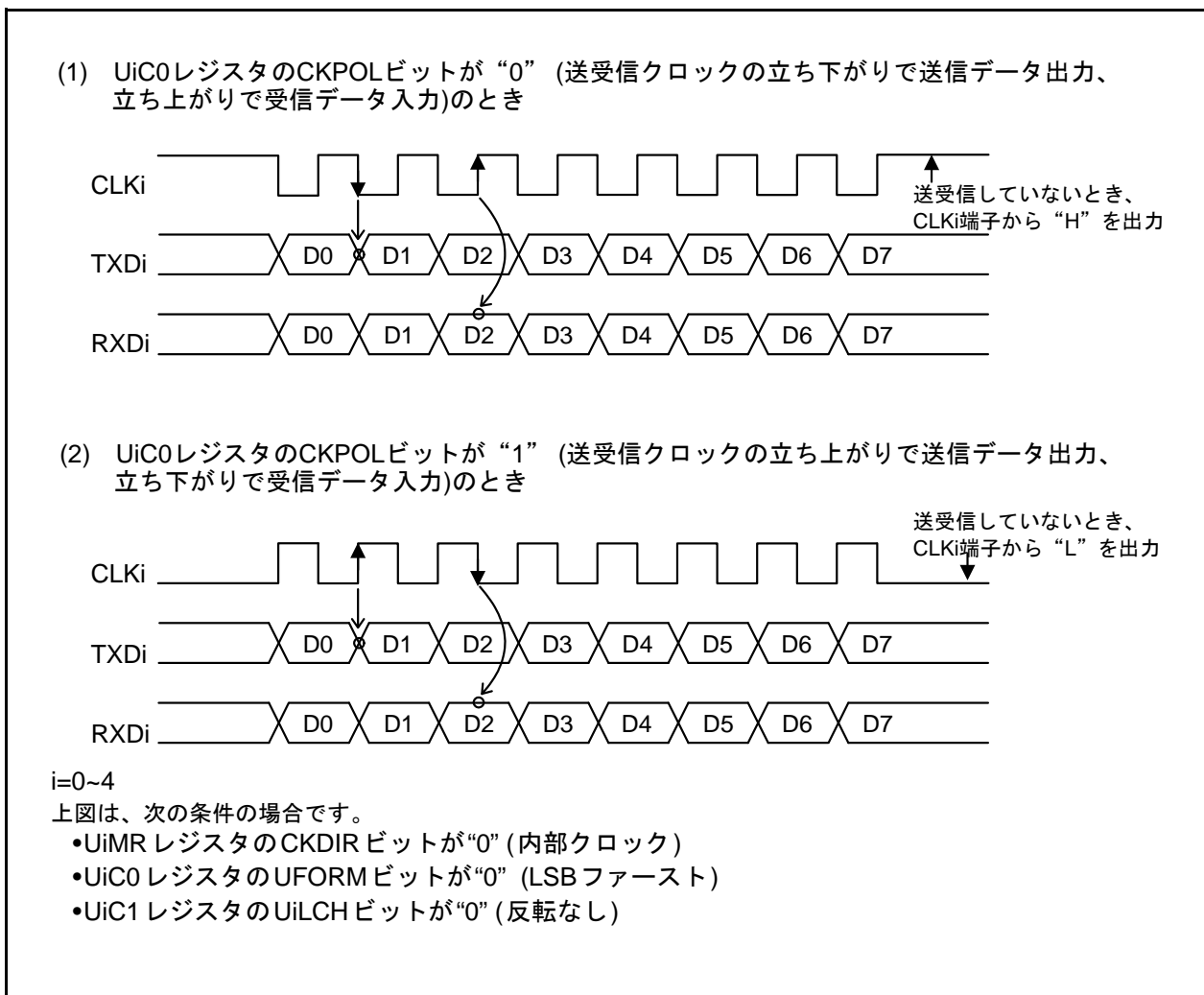


図 21.4 送受信クロックの極性

21.3.1.2 LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~4)のUFORMビットでビットオーダを選択できます。図21.5にビットオーダを示します。

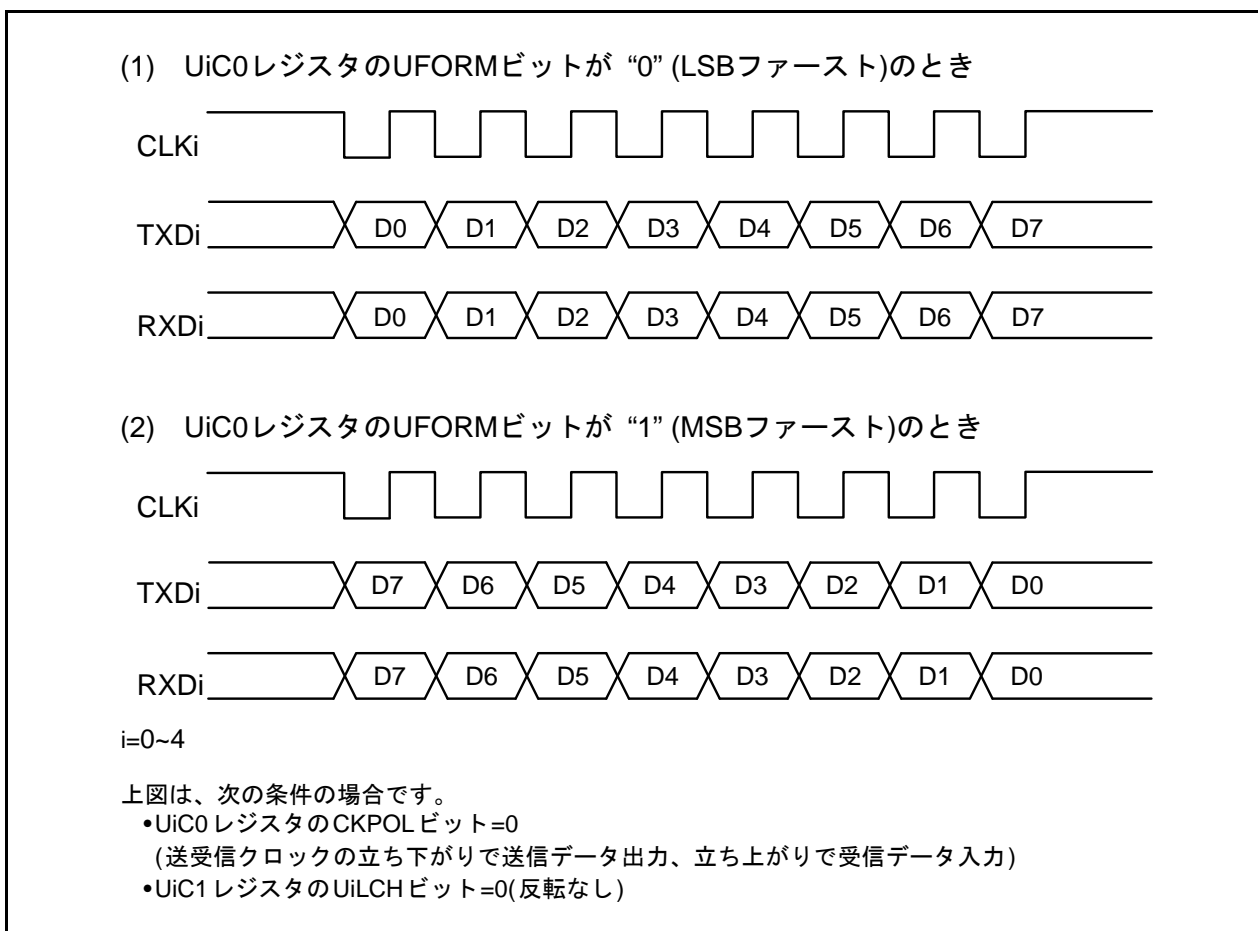


図 21.5 ビットオーダ

21.3.1.3 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiC1レジスタのUiRRMビット(i=0~4)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

外部クロック使用時は、8ビット目のデータを受信してから、次の送信が始まるまでにUiRBレジスタを読み出してください。

図 21.6に連続受信モードの動作例を示します。

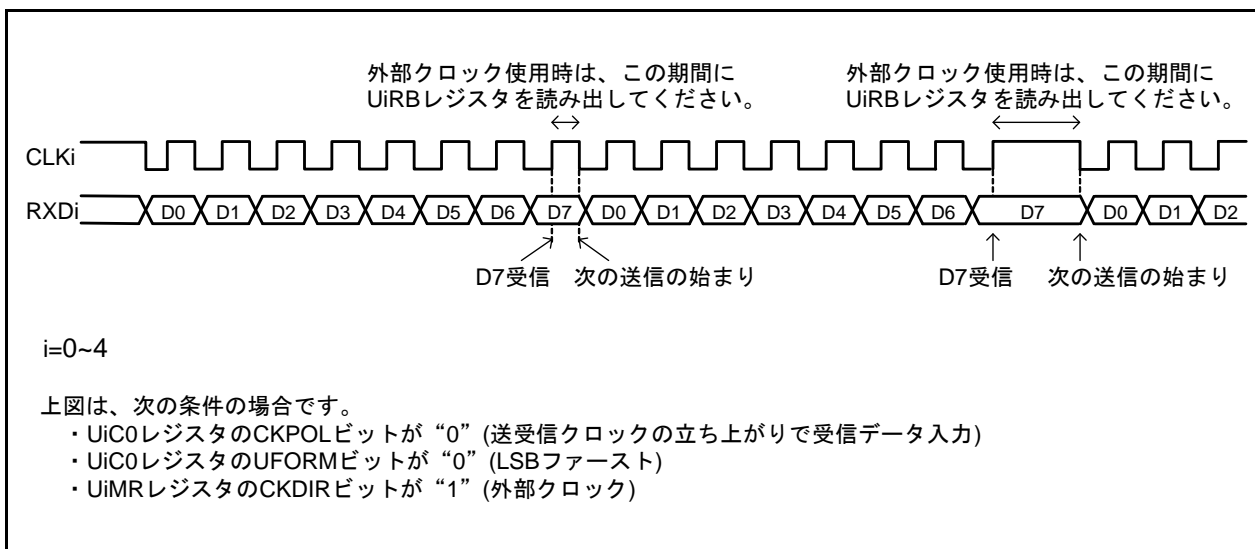


図 21.6 連続受信モードの動作例

21.3.1.4 シリアルデータ論理切り替え

UiC1レジスタ(i=0~4)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図21.7にシリアルデータ論理を示します。

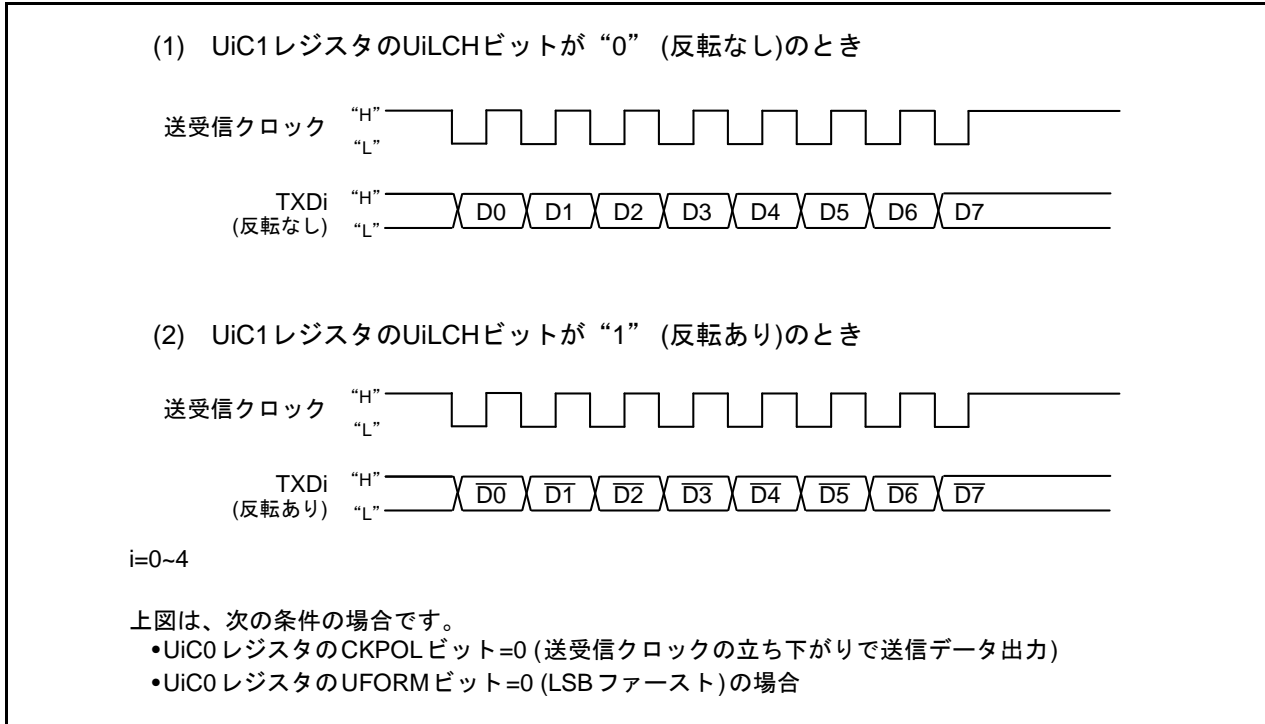


図 21.7 シリアルデータ論理

21.3.1.5 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~3)端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表 21.6 クロック同期形シリアルI/Oモード時の入出力端子の機能」を参照してください。

21.3.1.6 通信の途中終了時、または通信エラー発生時の処理

クロック同期形シリアルI/Oモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1レジスタ(i=0~4)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) レジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

21.3.2 クロック非同期形シリアルI/O (UART)モード

UARTモードは、任意のビットレート、ビットオーダを設定して送受信を行うモードです。表 21.8 に UARTモードの仕様を示します。

表 21.8 UARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> • キャラクタビット 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
送受信クロック	<ul style="list-style-type: none"> • UiMRレジスタのCKDIRビットが0 (内部クロック): $\frac{f_j}{16(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$レジスタの設定値 00h~FFh • CKDIRビットが“1” (外部クロック): $\frac{fEXT}{16(n+1)}$ $fEXT$はCLKi端子からの入力 $n=UiBRG$レジスタの設定値 00h~FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可 (UART0~UART3)
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1” (送信許可) • UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり) • CTS機能を選択している場合、CTS端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1” (受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0” (送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時 (送信開始時) • UiIRSビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi受信レジスタからUiRBレジスタへデータ転送時 (受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。

i=0~4

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

表 21.9 に UART モード時の入出力端子の機能を示します。なお、UARTi の動作モード選択後、送信開始までは、TXDi 端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 21.9 UARTモード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
CLKi	入出力	入出力ポート	UiMR レジスタのCKDIR ビット=0
	入力	送受信クロック入力	UiMR レジスタのCKDIR ビット=1 端子を共用するポートの方向ビットを“0”にする
CTS \bar i/RTS \bar i (注1)	入力	CTS 入力	UiC0 レジスタのCRD ビット=0 UiC0 レジスタのCRS ビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS 出力	UiC0 レジスタのCRD ビット=0 UiC0 レジスタのCRS ビット=1
	入出力	入出力ポート	UiC0 レジスタのCRD ビット=1

i=0~4

注1. UART4にはCTS/RTS端子はありません。

表 21.10 UARTモード時の使用レジスタと設定値 (注4)

レジスタ	ビット	機能
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください
	OCOSEL1	UART3~UART4の分周前クロックを選択してください
PCLKR	PCLK1	UIBRGのカウンツソースを選択してください。
UiTB	0~8	送信データを設定してください(注1)
UIRB	0~8	受信データが読めます(注1、3)
	11	読んだ場合、その値は不定
	OER、FER、PER、SUM	エラーフラグ
UIBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”を設定してください。
		キャラクタ長が8ビットの場合、“101b”を設定してください。
		キャラクタ長が9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
	IOPOL	TXD/RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UIBRGのカウンツソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください。UART4では“1”(禁止)にしてください。
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	キャラクタ長8ビット時、LSBファースト、MSBファーストを選択できます。キャラクタ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
U2SMR (注2)	0~7	“0”にしてください
U2SMR2 (注2)	0~7	“0”にしてください
U2SMR3 (注2)	0~7	“0”にしてください
U2SMR4 (注2)	0~7	“0”にしてください

i=0~4

- 注1. 使用するビットは次のとおりです。キャラクタ長7ビット: ビット0~6、キャラクタ長8ビット: ビット0~7、キャラクタ長9ビット: ビット0~8
- 注2. UART2の場合
- 注3. キャラクタ長7ビットの場合、ビット7、8の内容は不定です。キャラクタ長8ビットの場合、ビット8の内容は不定です。
- 注4. この表は手順を示すものではありません。

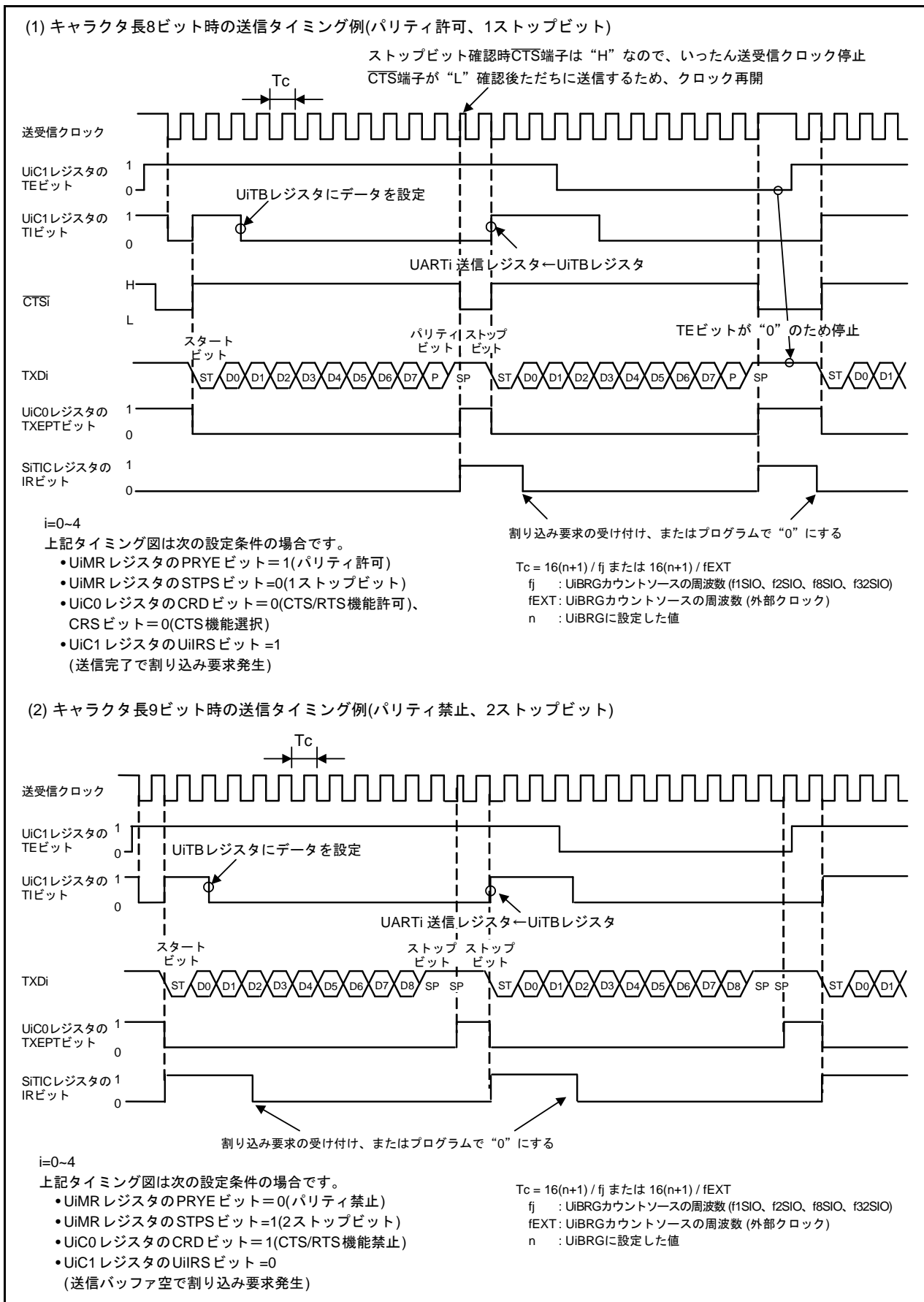


図 21.8 UARTモード時の送信タイミング例

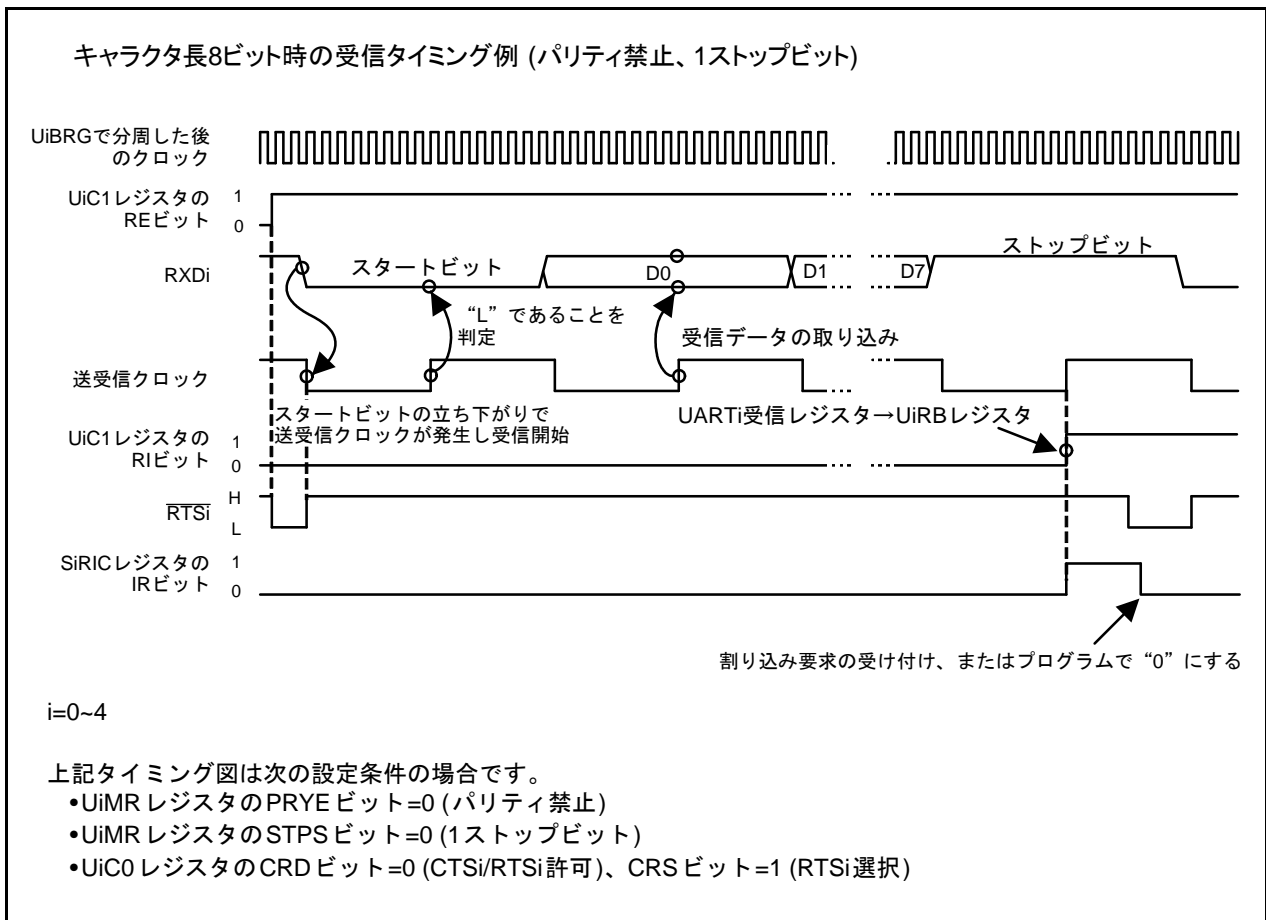


図 21.9 UARTモード時の受信タイミング例

21.3.2.1 ビットレート

UARTモードは、UiBRGレジスタ (i=0~4)で分周した周波数の16分周がビットレートになります。
UiBRGレジスタの設定値 (n)は次の式で求められます。

$$n = \frac{f_j}{\text{ビットレート (bps)} \times 16} - 1$$

$f_j = f1SIO、f2SIO、f8SIO、f32SIO$

$n = 00h \sim FFh$

表 21.11にビットレートの設定例を示します。

表 21.11 ビットレート (注1)

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック f1: 16 MHz		周辺機能クロック f1: 24 MHz	
		UiBRG の 設定値: n	ビットレート (bps)	UiBRG の 設定値: n	ビットレート (bps)
1200	f8SIO	103 (67h)	1202	155 (9Bh)	1202
2400	f8SIO	51 (33h)	2404	77 (4Dh)	2404
4800	f8SIO	25 (19h)	4808	38 (26h)	4808
9600	f1SIO	103 (67h)	9615	155 (9Bh)	9615
14400	f1SIO	68 (44h)	14493	103 (67h)	14423
19200	f1SIO	51 (33h)	19231	77 (4Dh)	19231
28800	f1SIO	34 (22h)	28571	51 (33h)	28846
31250	f1SIO	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1SIO	25 (19h)	38462	38 (26h)	38462
51200	f1SIO	19 (13h)	50000	28 (1Ch)	51724

注1. UCLKSEL0レジスタのOCOSEL0ビットまたはOCOSEL1ビットが“0” (f1)の場合です。

21.3.2.2 LSBファースト、MSBファースト選択

図 21.10に示すように、UiC0レジスタのUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに有効です。

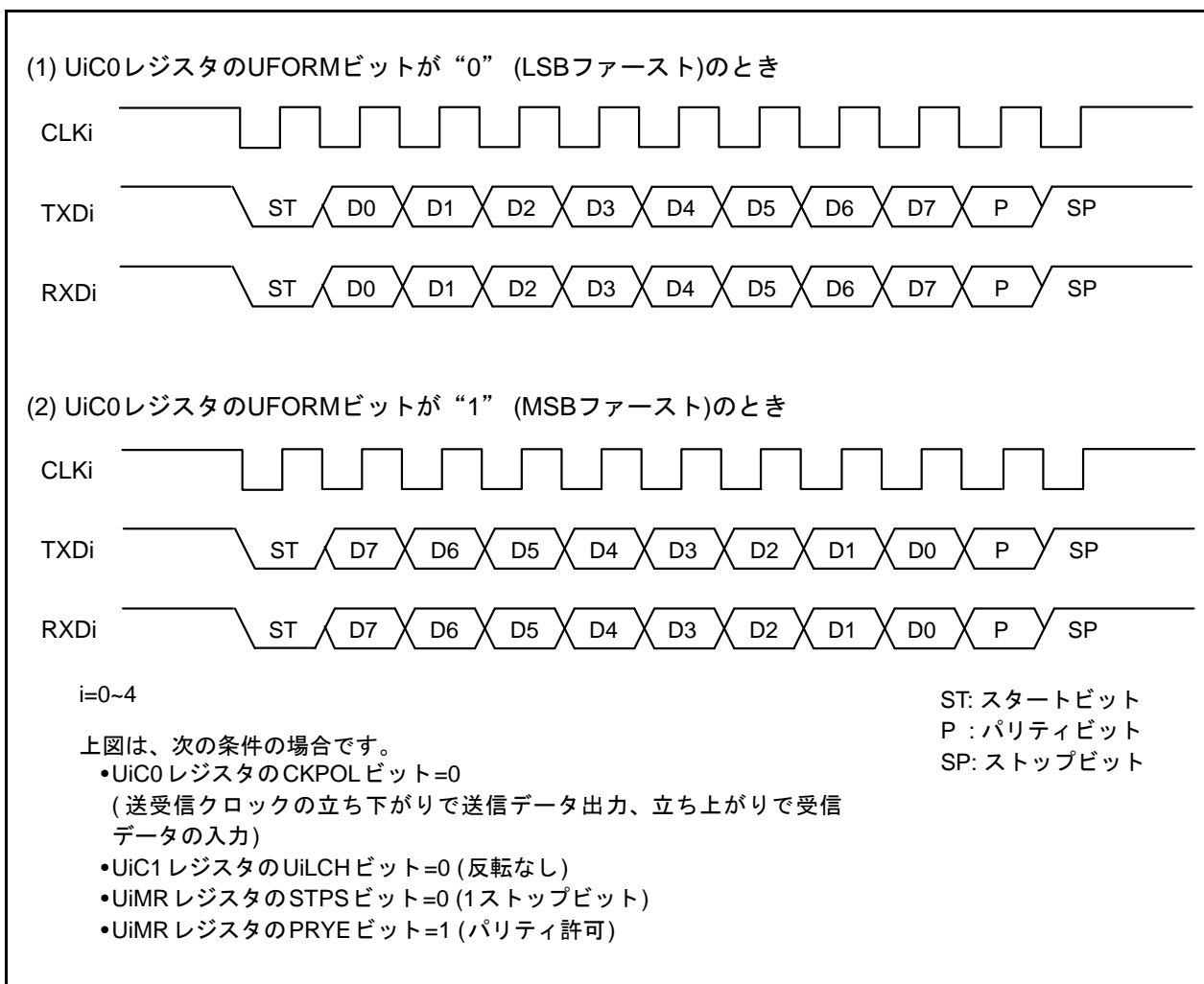


図 21.10 ビットオーダ

21.3.2.3 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図21.11にシリアルデータ論理を示します。

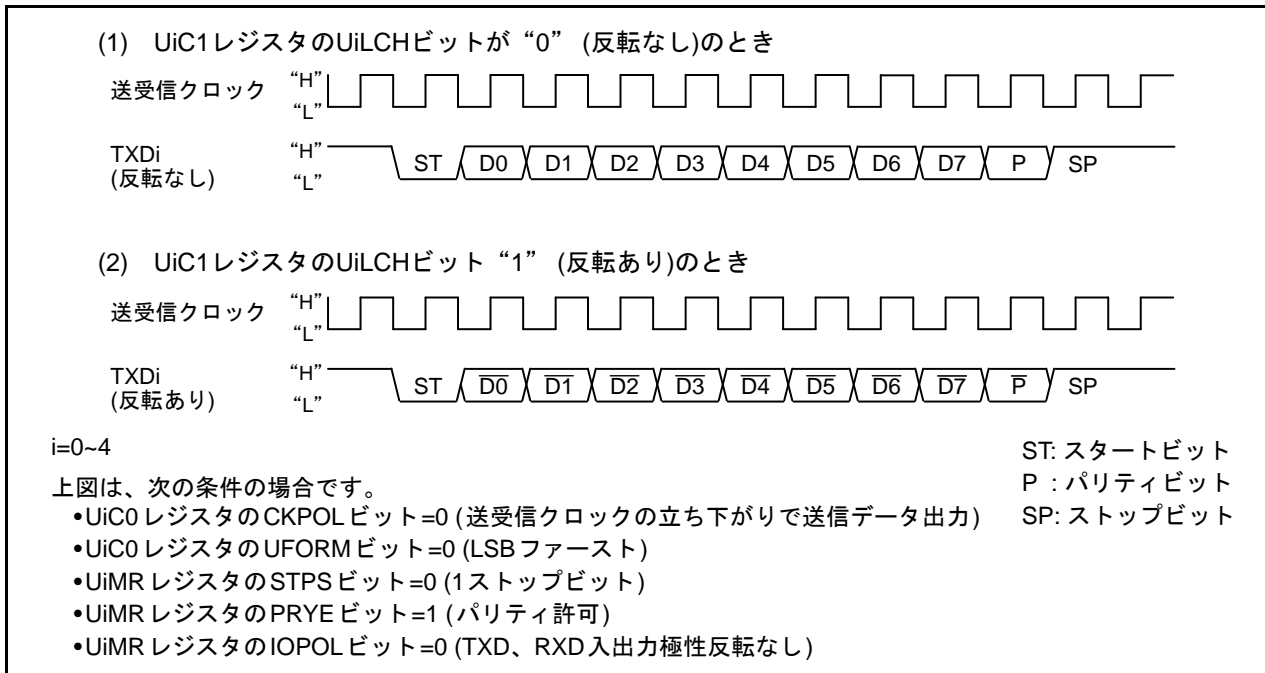


図 21.11 シリアルデータ論理

21.3.2.4 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図21.12にTXD、RXD入出力極性切り替えを示します。

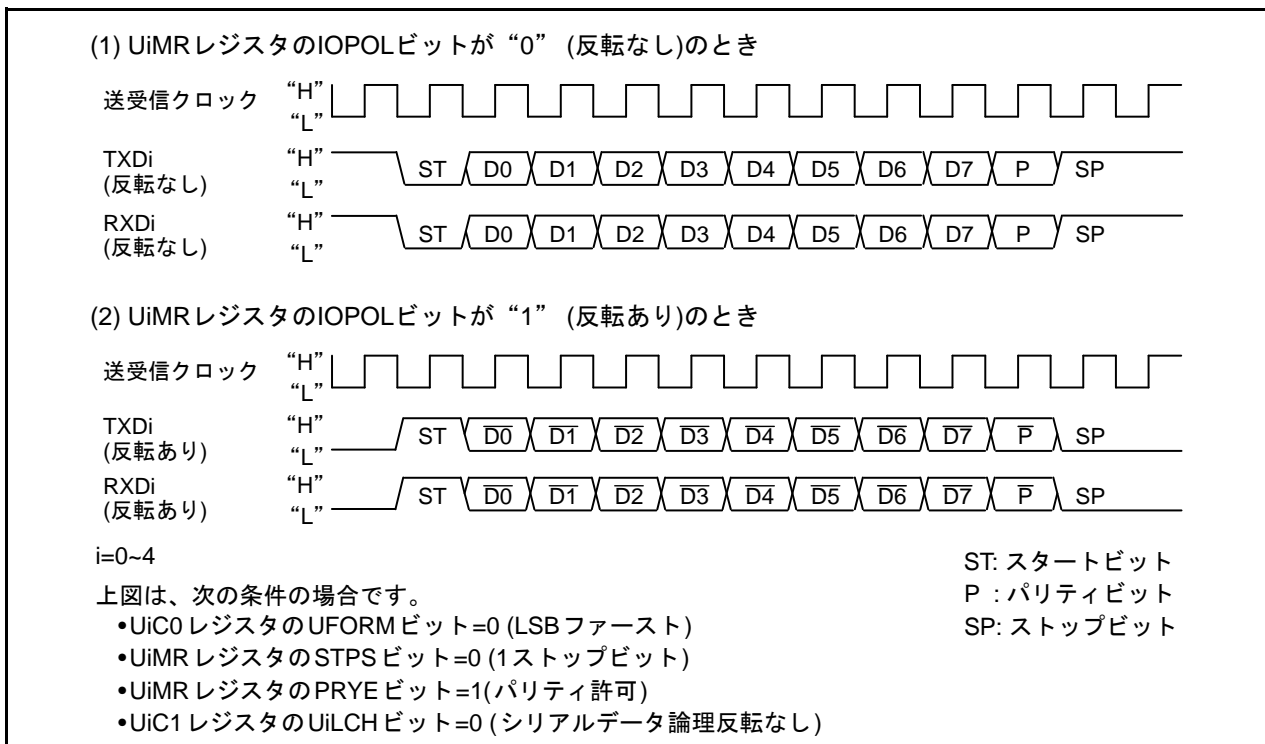


図 21.12 TXD、RXD入出力極性切り替え

21.3.2.5 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~3)端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表 21.9 UARTモード時の入出力端子の機能」を参照してください。

21.3.2.6 通信の途中終了時、または通信エラー発生時の処理

UARTモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) $\text{U}i\text{C}1$ レジスタ (i=0~4)のTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
- (2) $\text{U}i\text{MR}$ レジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にする。
- (3) $\text{U}i\text{MR}$ レジスタのSMD2~SMD0ビットを“100b” (UARTモードキャラクタ長7ビット)、“101b” (UARTモードキャラクタ長8ビット)、“110b” (UARTモードキャラクタ長9ビット)のいずれかにする。
- (4) $\text{U}i\text{C}1$ レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

21.3.3 特殊モード1 (I²Cモード) (UART2)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 21.12 にI²Cモードの仕様を、表 21.14~表 21.15 にI²Cモード時の使用レジスタと設定値を、表 21.16 にI²Cモード時の各機能を、図 21.13 にI²Cモードのブロック図を示します。

表 21.16 に示すように、U2MR レジスタのSMD2~SMD0 ビットを“010b”に、U2SMR レジスタのIICM ビットを“1”にするとI²Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表 21.12 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • マスタ時 U2MR レジスタのCKDIR ビットが“0” (内部クロック): $\frac{f_j}{2(n+1)}$ f_j=f1SIO、f2SIO、f8SIO、f32SIO n=U2BRG レジスタの設定値 03h~FFh • スレーブ時 CKDIR ビットが“1” (外部クロック): SCL2端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1 レジスタのTE ビットが“1” (送信許可) • U2C1 レジスタのTI ビットが“0” (U2TB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1 レジスタのRE ビットが“1” (受信許可) • U2C1 レジスタのTE ビットが“1” (送信許可) • U2C1 レジスタのTI ビットが“0” (U2TB レジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、ACK (Acknowledge) 検出、NACK (Not-Acknowledge) 検出
エラー検出	オーバランエラー (注2) U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • アービトレーションロスト U2RB レジスタのABT ビットの更新タイミングを選択可 • SDA2 デジタル遅延 デジタル遅延なし、またはU2BRG カウントソースの2~8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

注1. 順序は関係ありません。スレーブとして、U2C0 レジスタのTXEPT ビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、U2RB レジスタ受信データは不定になります。

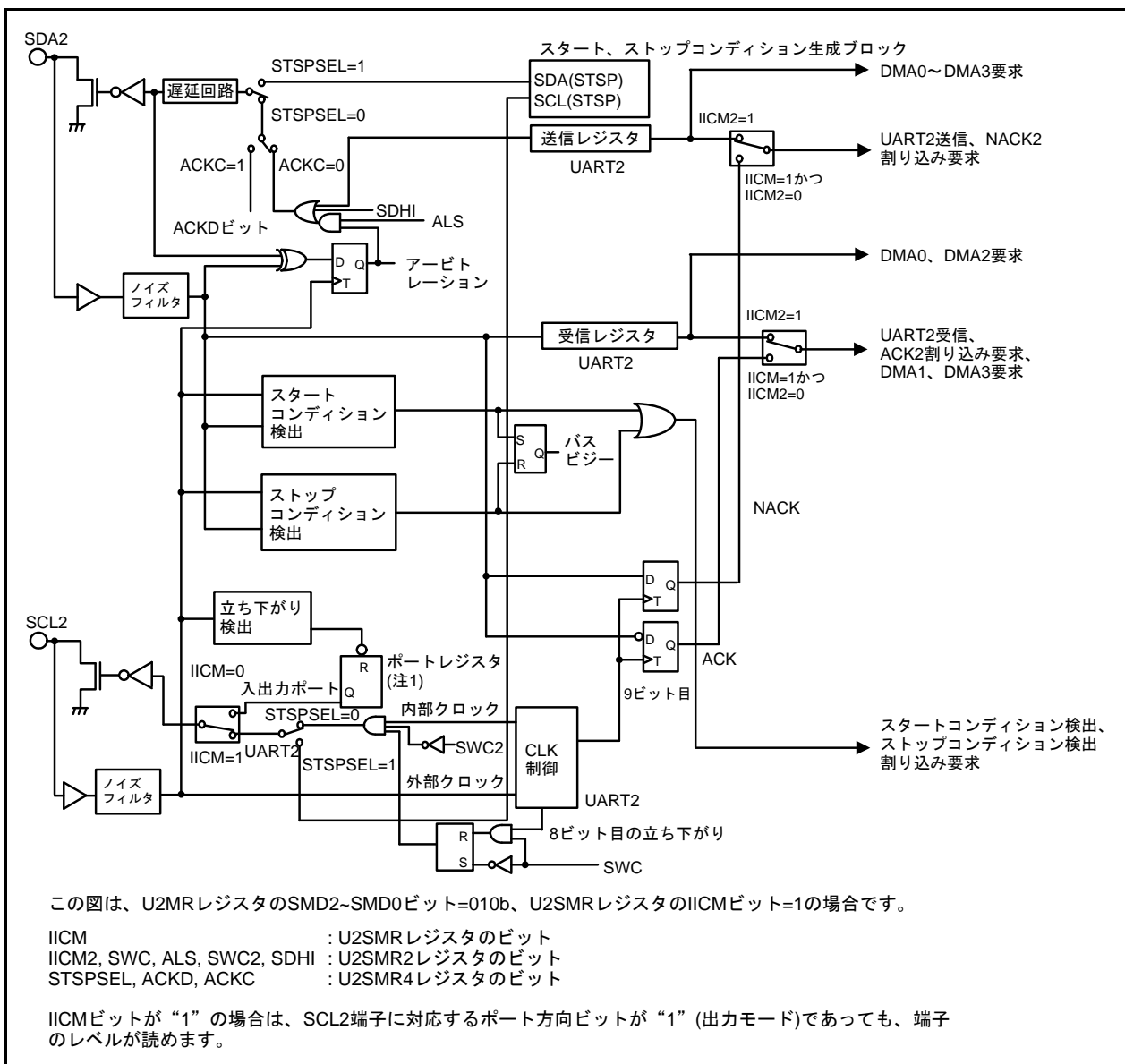


図 21.13 I²Cモードのブロック図

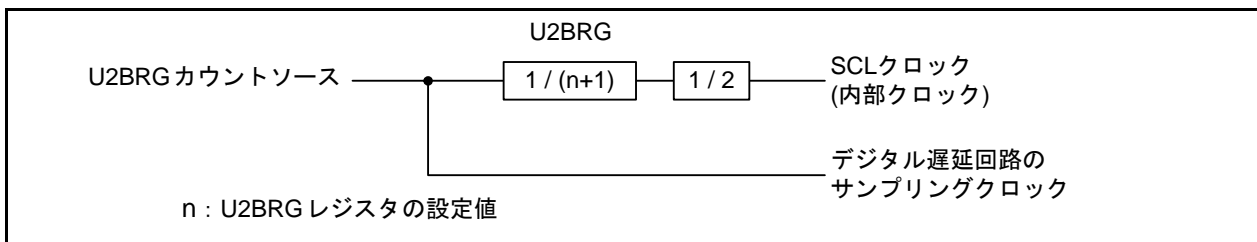


図 21.14 内部クロックの構成

表 21.13 I²Cモード時の入出力端子

端子	入出力	機能
SCL2 (注1、2)	入出力	クロック入出力
SDA2 (注1、2)	入出力	データ入出力

注1. 端子を共用するポートの方向ビットを“0”にしてください。

注2. CLK2、CTS2/RTS2端子は使用しません (入出力ポートに使用できます)。

表 21.14 I²Cモード時の使用レジスタと設定値(1/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください	UART0~UART2の分周前クロックを選択してください
PCLKR	PCLK1	U2BRGのカウンツソースを選択してください	U2BRGのカウンツソースを選択してください
U2TB	0~7	送信時は送信データを、受信時は“FFh”を設定してください	送信時は送信データを、受信時は“FFh”を設定してください
	8	送信時は“1”を、受信時はACKビットの値を設定してください	送信時は“1”を、受信時はACKビットの値を設定してください
U2RB	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
	13~15	読んだ場合、その値は不定	読んだ場合、その値は不定
U2BRG	0~7	ビットレートを設定してください	無効
U2MR	SMD2~SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	4~6	“0”にしてください	“0”にしてください
	IOPOL	“0”にしてください	“0”にしてください
U2C0	CLK1~CLK0	U2BRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1”にしてください	“1”にしてください
	NCH	“1”にしてください	“1”にしてください
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	“1”にしてください	“1”にしてください
	U2RRM、 U2LCH、 U2ERE	“0”にしてください	“0”にしてください
U2SMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0”にしてください	“0”にしてください

注1. この表は手順を示すものではありません。

表 21.15 I²Cモード時の使用レジスタと設定値(2/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR2	IICM2	「表 21.16 I ² Cモード時の各機能」参照	「表 21.16 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	8ビット受信後にSCL2出力を“L”出力固定にする場合、“1”にしてください	8ビット受信後にSCL2出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDA2の出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUART2を初期化する場合、“1”にしてください
	SWC2	SCL2の出力を強制的に“L”にする場合、“1”にしてください	SCL2の出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDA2出力を禁止をする場合、“1”にしてください	SDA2出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください
U2SMR3	0、2、4 NODC	“0”にしてください	“0”にしてください
	CKPH	“1”にしてください	“1”にしてください
	DL2~DL0	SDA2のデジタル遅延値を設定してください	SDA2のデジタル遅延値を設定してください
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください	“0”にしてください。
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCL2を“L”ホールドにする場合、“1”にしてください

注1. この表は手順を示すものではありません。

I²Cモードでは、U2SMR2レジスタのIICM2ビットで機能やタイミングが変わります。

図 21.15 に U2RB レジスタへの転送、割り込みのタイミングを示します。U2RB レジスタへの転送タイミング、U2RB レジスタに格納されるデータのビット位置、割り込みの種類、割り込み要求と DMA 要求の発生タイミングは、この図を参照してください。

その他の機能のクロック同期シリアルI/Oモードとの比較を、表 21.16に示します。

表 21.16 I²Cモード時の各機能

機能	クロック同期シリアル I/Oモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b, IICM=1)	
		IICM2=0 (NACK/ACK割り込み)	IICM2=1 (UART送信/UART受信割り込み)
		CKPH=1 (クロック遅れあり)	CKPH=1 (クロック遅れあり)
スタート/ストップコンディション検出 割り込み(注3)	—	スタートコンディション検出、ストップコンディション検出 (「図 21.17 STSPSELビットの機能」参照)	
送信、NACK割り込み (注2、3)	UART2送信 送信開始、または送信完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目のSCL2の立ち下がり
受信、ACK割り込み (注2、3)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり	UART2受信 9ビット目のSCL2の立ち下がり
UART受信シフトレジスタからU2RBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCL2の立ち上がり	8ビット目のSCL2の立ち下がり と、9ビット目の立ち上がり
UART2送信出力遅延	遅延なし	遅延あり	遅延あり
RXD2,SCL2端子レベルの読み込み	対応するポート方向ビットが0の場合可能	対応するポート方向ビットの内容に関係なく、可能	対応するポート方向ビットの内容に関係なく、可能
TXD2, SDA2出力の初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注1)	I ² Cモード設定前に、ポートレジスタに設定した値(注1)
SCL2の初期値、終了値	—	L	L
DMA1、DMA3要因 (注2)	UART2受信	アクノリッジ検出(ACK)	UART2受信 9ビット目のSCL2の立ち下がり
受信データ読み出し	1~8ビット目をU2RBレジスタのビット0~7に格納	1~8ビット目をU2RBレジスタのビット7~0に格納	「図 21.15 U2RBレジスタへの転送、割り込みのタイミング」参照

SMD2~SMD0: U2MRレジスタのビット

CKPOL: U2C0レジスタのビット

IICM: U2SMRレジスタのビット

IICM2: U2SMR2レジスタのビット

CKPH: U2SMR3レジスタのビット

U2IRS: U2C1レジスタのビット

注1. SDA2出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注2. 「図 21.15 U2RBレジスタへの転送、割り込みのタイミング」参照。

注3. 割り込み要因を切り替える場合、以下の手順で行ってください。

(1) 要因を切り替える割り込みを禁止する

(2) 要因を切り替える

(3) その割り込みの割り込み制御レジスタのIRビットを“0”(割り込みなし)にする

(4) その割り込みの割り込み制御レジスタのILVL2~ILVL0を設定する

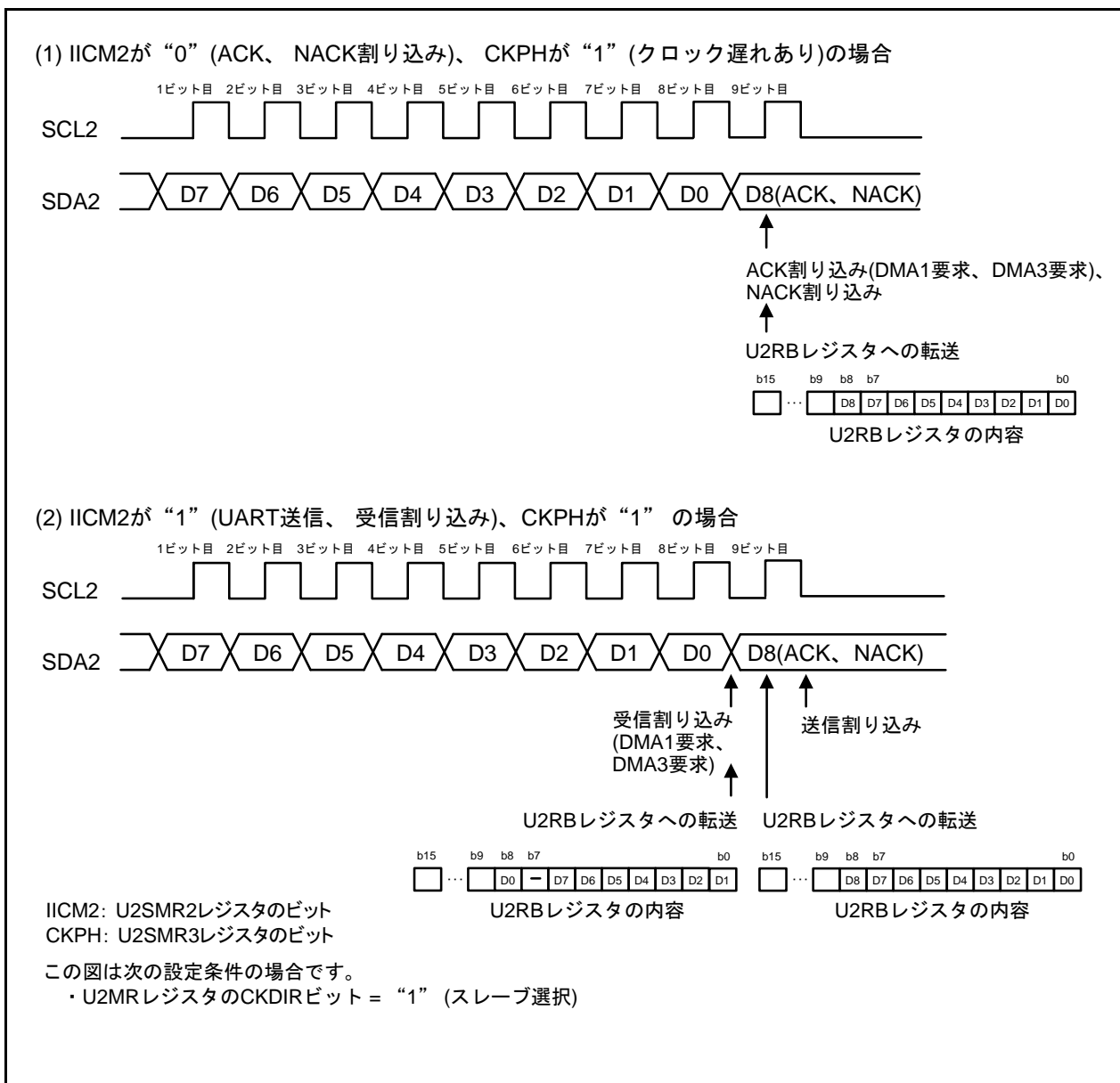


図 21.15 U2RBレジスタへの転送、割り込みのタイミング

21.3.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図 21.16 に示すとおりセットアップ時間、ホールド時間ともにBRG2のカウントソースの6サイクル以上必要です。Fast-Modeの様を満たすためには、BRG2のカウントソースは10MHz以上である必要があります。

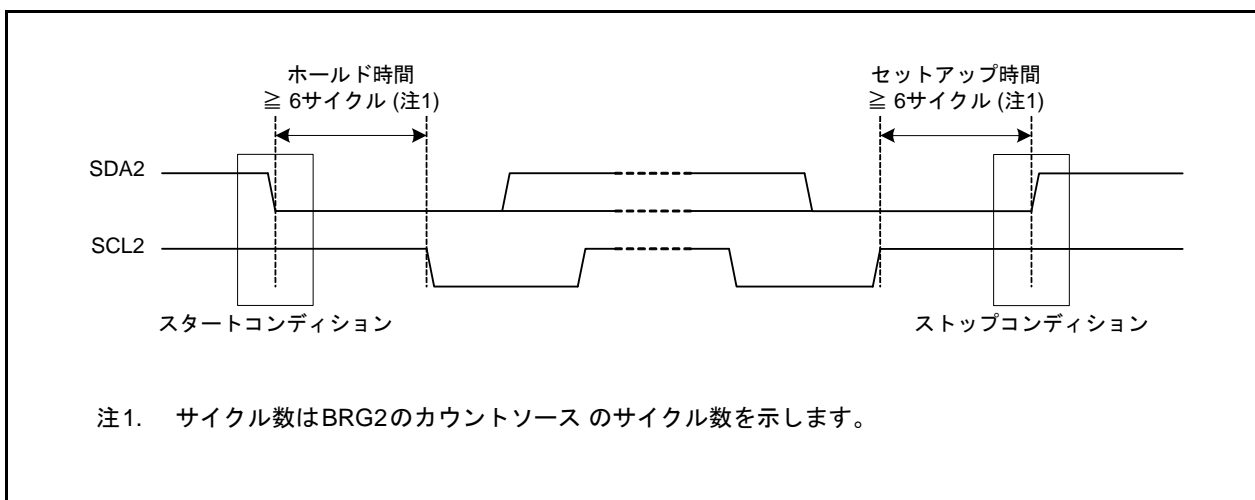


図 21.16 スタートコンディション、ストップコンディションの検出

21.3.3.2 スタートコンディション、ストップコンディションの生成

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次のとおりです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表 21.17 と図 21.17 に STSPSEL ビットの機能を示します。

表 21.17 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	送受信クロック、データを出力。 スタートコンディション、ストップコン ディションの出力はポートを使ったプロ グラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、 STPREQビットに従って、スタートコン ディション、ストップコンディションを 出力
スタートコンディション、ス トップコンディション割り込 み要求発生タイミング	スタートコンディション、ストップコン ディション検出	スタートコンディション、ストップコン ディション生成終了

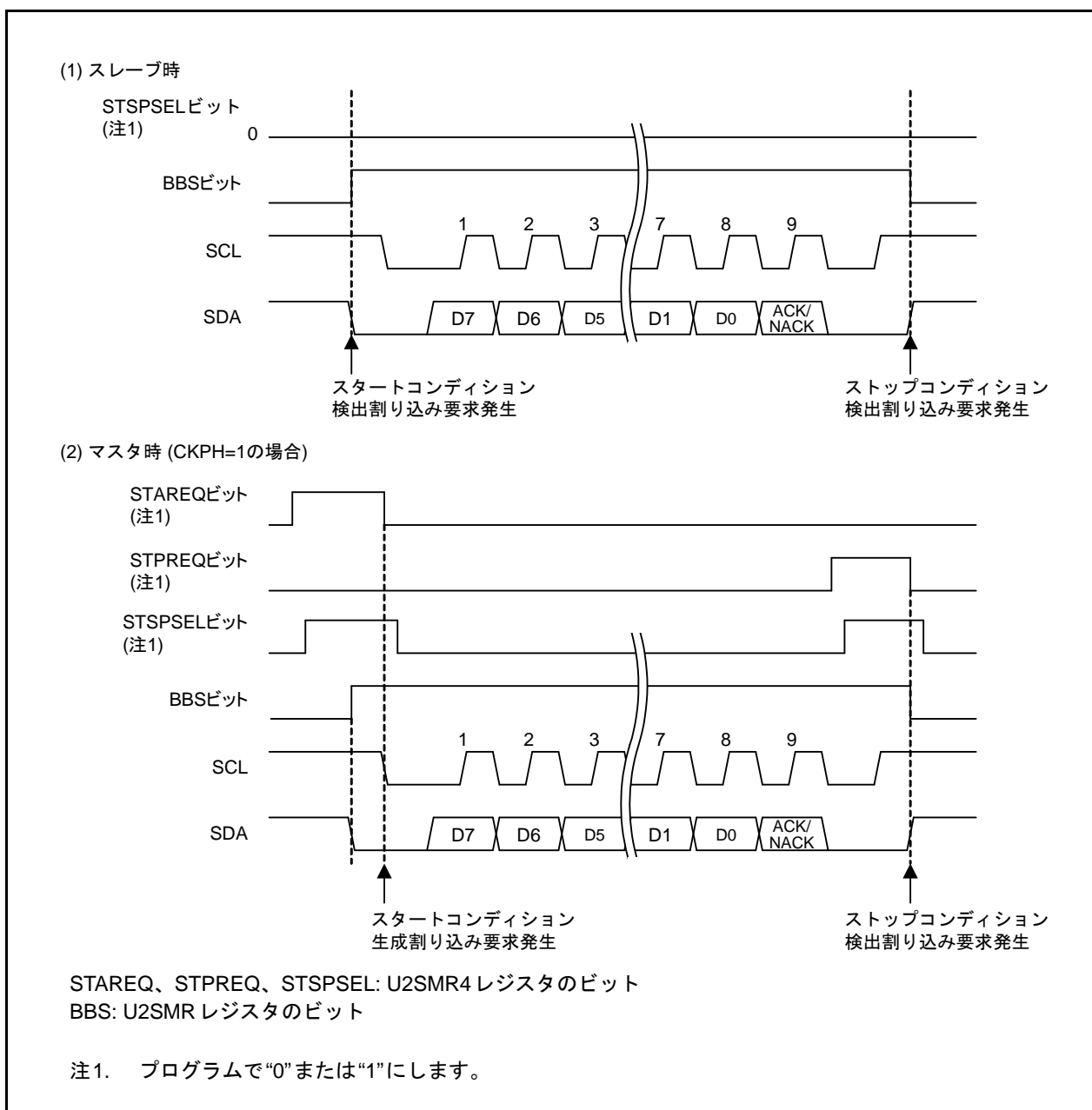


図 21.17 STSPSELビットの機能

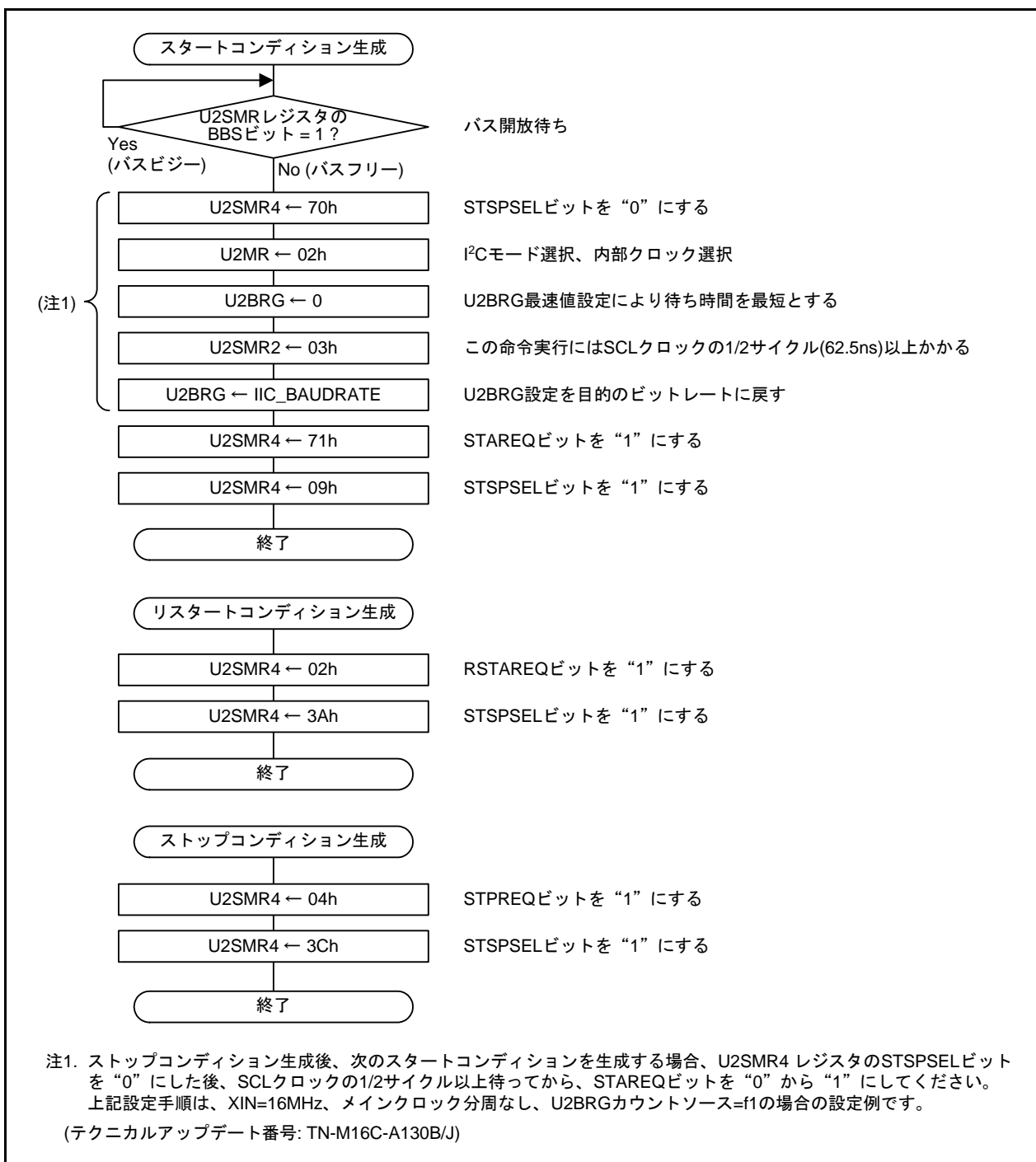


図 21.18 各コンディション生成時のレジスタ設定手順

21.3.3.3 アービトレーション

SCL2の立ち上がり時に、自身の送信データとSDA2端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

U2SMRレジスタのABCビットでU2RBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットが“1”(バイトごとに更新)の場合、判定時に一度でも不一致が検出された場合、8ビット目のSCL2の立ち下がりではABTビットが“1”(検出)になります。なお、バイトごとに更新する場合は、1バイト目のACK検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトの送受信を開始してください。

U2SMR2レジスタのALSビットを“1”(SDA出力を停止する)にすると、アービトレーションロストが発生しABTビットが“1”になると同時にSDA2端子がハイインピーダンスになります。

21.3.3.4 SCL制御とクロック同期化

I²Cモードでの送受信は、図21.15 U2RBレジスタへの転送、割り込みのタイミングに示すような送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACKの生成や送信データの準備に必要な時間を確保することが難しくなってきます。I²Cモードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

U2SMR2レジスタのSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1”(8ビット受信後、SCL2端子を“L”に固定)の場合、8ビット目のSCL2の立ち下がりではSCL2端子が“L”固定になります。SWCビットを“0”(ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

U2SMR2レジスタのSWC2ビットを“1”(SCL2端子を“L”に固定)にすると、送受信中でもSCL2端子を“L”固定にできます。SWC2ビットを“0”(SCL2端子に送受信クロックを出力)にすると、SCL2端子からの“L”固定は解除され、送受信クロックが出力されます。

U2SMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。U2SMR3レジスタのCKPHビットが“1”(クロック遅れあり)のとき、SWC9ビットを“1”(9ビット受信後、SCL2端子を“L”に固定)にすると、9ビット目のSCL2の立ち下がりではSCL2端子が“L”固定になります。SWC9ビットを“0”(ウェイトなし/ウェイト解除)にすると“L”固定を解除できます。

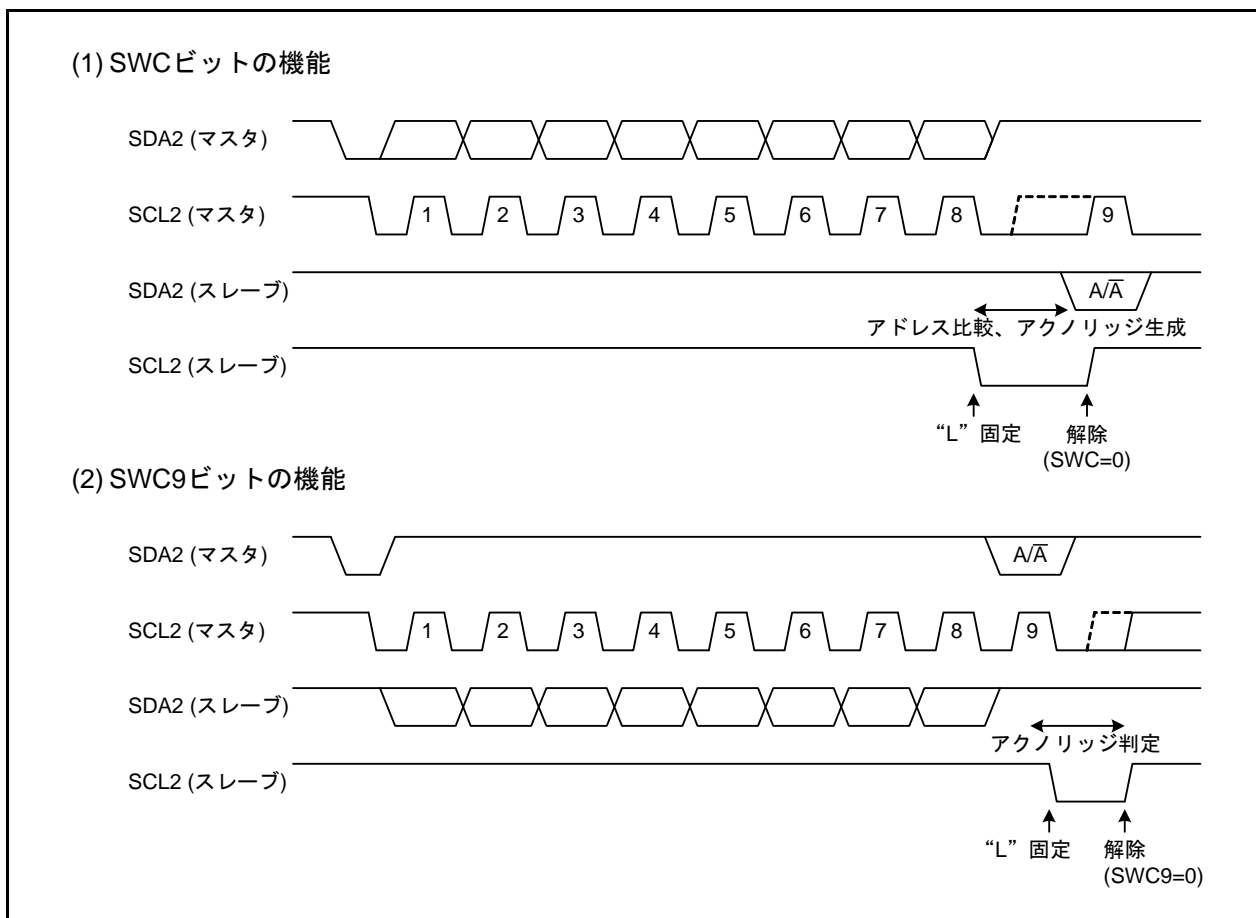


図 21.19 SWCビット、SWC9ビットによるウェイトの挿入

U2SMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCL2端子に入力されたクロックが異なったとき、内部で生成するクロックをSCL2端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”（クロック同期を実施する）の場合、内部生成クロックが“H”のときにSCL2端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがってUART2の送受信クロックは、内部生成クロックとSCL2端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはU2MRレジスタのCKDIRビットが“0”（内部クロック）のときのみ“1”にできます。

U2SMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCL2端子を開放するために使用します。SCLHIビットを“1”（出力停止）にすると、ストップコンディション検出時にSCL2端子を開放し（ハイインピーダンス）、クロック出力を停止します。

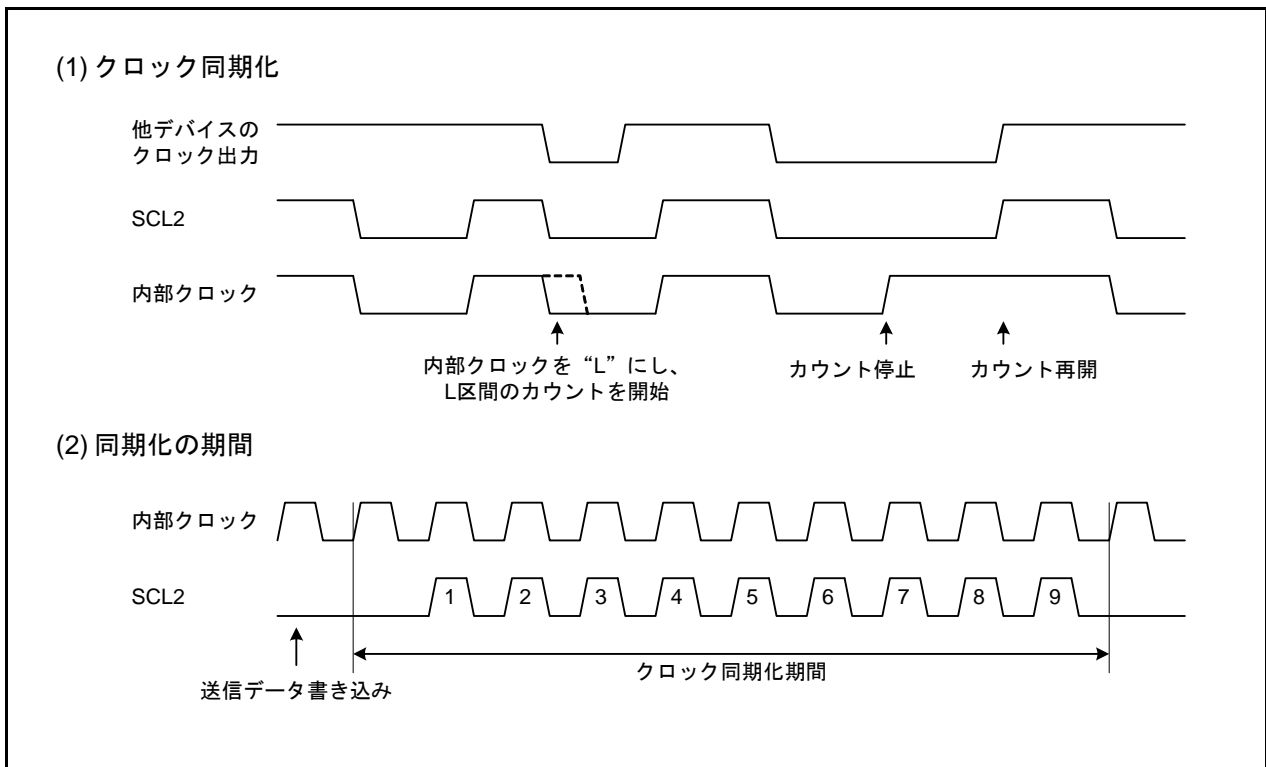


図 21.20 クロック同期化

21.3.3.5 SCLクロックの周波数の考え方

I²Cモードで生成するSCLクロックのDutyは50%です。そのため、I²C-busのFast-Modeの最大SCLクロック(400kbps)を設定すると、SCLクロックの“L”幅は1.25 μ sとなります。この値は、Fast-ModeのI²C-bus規格($f_{\text{LOW}} = \text{Min.}1.3\mu\text{s}$)を満たしません。よって、SCLクロックの設定を384.6kbps以下とし、SCLクロックの“L”幅が1.3 μ s以上になるようにしてください。

クロック同期化機能(「図 21.20 クロック同期化」参照)を有効にすると、ノイズフィルタ幅+U2BRGカウントソースの1~1.5サイクルのサンプリング遅延が発生し、SCLクロックの“H”認識が遅れるため、SCLクロックの“H”幅が伸びます。そのため、SCLクロックのビットレートの設定に対して、実際のSCLクロックは遅くなります。

また、SCLクロックの実効値を算出するためには、SCLクロック立ち上がり時間(t_R)も考慮してください。

下記にSCLクロック実効値の算出例を示します。

< 384.6kbps設定時のSCLクロック実効値の算出例 >

- U2BRGカウントソース : $f_1 = 20\text{MHz}$
- U2BRGレジスタの設定値 : $n = 26 - 1$
- SCLクロック立ち上がり時間 : $t_R = 100\text{ns}$
- SCLクロック立ち下がり時間 : $t_F = 0\text{ns}$
- ノイズフィルタ幅 : $t_{\text{NF}} = 100\text{ns}$ (注1)
- サンプリング遅延 : $t_{\text{SD}} = 1\text{cycle}$

の場合、

$$f_{\text{SCL}}(\text{理論値}) = f_1 / (2(n+1)) = 20\text{MHz} / (2(25+1)) = 384.6\text{kbps}$$

$$t_{\text{LOW}} = 1 / (2f_{\text{SCL}}(\text{理論})) = 1 / (2 \times 384.6\text{kbps}) = 1.3\mu\text{s}$$

$$\begin{aligned} t_{\text{HIGH}} &= 1 / (2f_{\text{SCL}}(\text{理論})) + t_{\text{NF}} + (t_{\text{SD}} \times 1 / f_1) \\ &= 1 / (2 \times 384.6\text{kbps}) + 100\text{ns} + (1 \times 1 / 20\text{MHz}) \\ &= 1.45\mu\text{s} \end{aligned}$$

$$f_{\text{SCL}}(\text{実効値}) = 1 / (t_F + t_{\text{LOW}} + t_R + t_{\text{HIGH}}) = 1 / (0\text{ns} + 1.3\mu\text{s} + 100\text{ns} + 1.45\mu\text{s}) \approx 350.8\text{kbps}$$

注1.最大200ns。

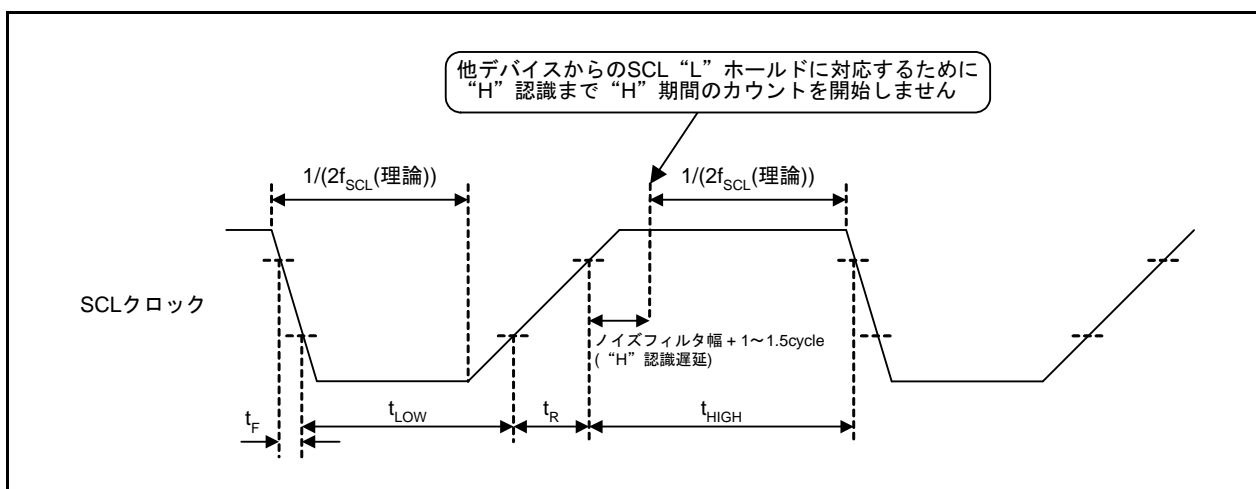


図 21.21 SCLクロック

21.3.3.6 SDA出力制御

バイトデータを送信する場合、1ビット目~8ビット目はSDA2端子から送信データを出力し、9ビット目はアクリッジを受信するためSDA2端子を開放します。

I²Cモードでは、U2TBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0には送信データを、b8には“1”を設定してください。

U2C0レジスタのUFORMビットを“1”(MSBファースト)にして、U2TBレジスタに9ビットデータを設定すると、b7→b6→…→b0→b8の順で、SDA2端子からデータが出力されます。b8が“1”なので9ビット目でSDA2端子がハイインピーダンス状態になり、アクリッジを受信できます。

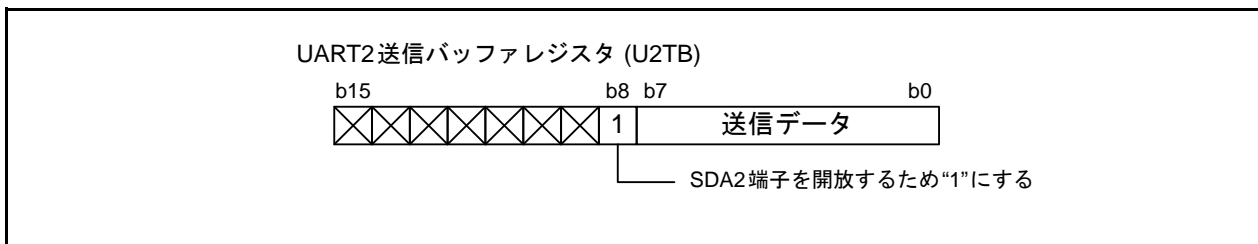


図 21.22 U2TBレジスタの設定 (SDA出力)

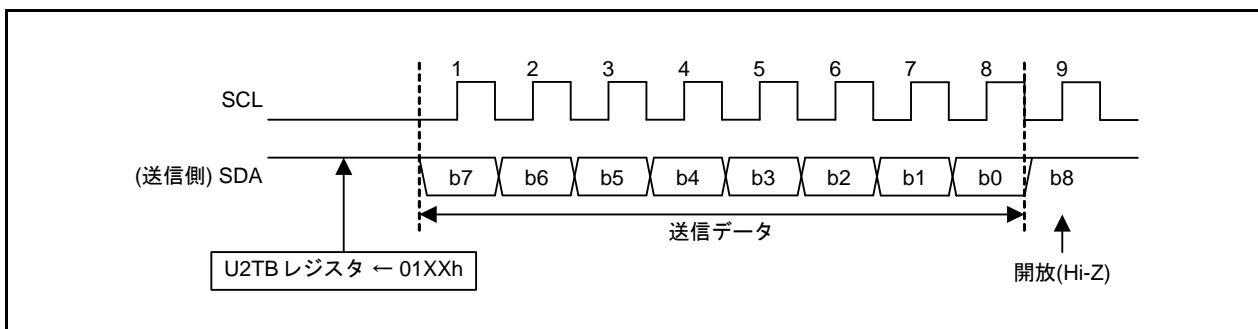


図 21.23 バイトデータの送信

U2SMR3レジスタのDL2~DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの1~8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の送受信クロックの立ち上がりのタイミングで書かないでください。U2RBレジスタのABTビットが“1”(検出)になる場合があります。

21.3.3.7 SDAデジタル遅延機能

I²C-busでデータ送信を行う場合、SCLクロックが“L”のときにデータを変化させてください。SCLクロックが“H”のときにSDAが変化すると、各コンディションと認識されます(「21.5.3.3 コンディション生成時のセットアップ時間およびホールド時間」参照)。

SDAデジタル遅延機能は、SDA2端子からの出力を遅延させる機能です。SDAの変化を遅延させることで、SCLクロックが“L”の期間にデータを変化させることができます。

SDAデジタル遅延機能は、U2SMR3レジスタのDL2~DL0ビットを“001b”~“111b”にすると有効になり、“000b”にすると無効になります。

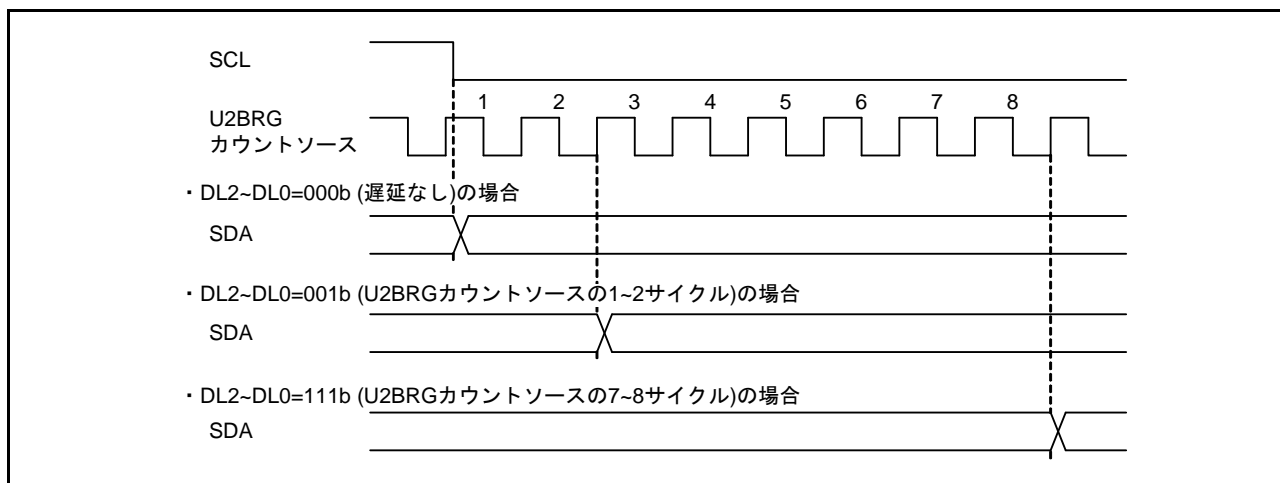


図 21.24 DL2~DL0ビットの設定によるSDA出力切り替え

21.3.3.8 SDA入力

U2SMR2レジスタのIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をU2RBレジスタのビット7~0に、9ビット目(ACK/NACK)をU2RBレジスタのビット8に格納します。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をU2RBレジスタのビット6~0に、8ビット目(D0)をU2RBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、U2SMR3レジスタのCKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

バイトデータを受信する場合、1ビット目~8ビット目はデータを受信するためSDA2端子を開放し、9ビット目はアクノリッジを生成します。マスタ時の最終バイトデータを受信するとき、またはスレーブ時のスレーブアドレス不一致のときはNACKを生成します。それ以外は、通常、ACKを生成します。

I²Cモードでは、U2TBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0にはSDA2端子を開放するため“FFh”を、b8はACKを生成する場合は“0”、NACKを生成する場合は“1”を設定してください。

U2TBレジスタに9ビットデータの“00FFh”または“01FFh”を設定すると、1ビット目~8ビット目はSDA2端子がハイインピーダンス状態になり、データを受信できます。9ビット目はACKまたはNACKが生成されます。

受信したデータはU2RBレジスタから読み出してください。クロック遅延機能を使用すると、U2RBレジスタへのデータ転送が2回行われ、それぞれのU2RBレジスタの内容が異なります。詳細は「図21.15 U2RBレジスタへの転送、割り込みのタイミング」を参照してください。

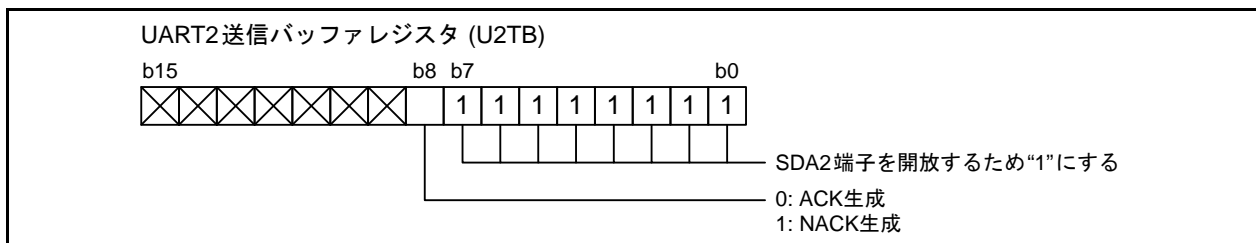


図 21.25 U2TBレジスタの設定 (SDA入力)

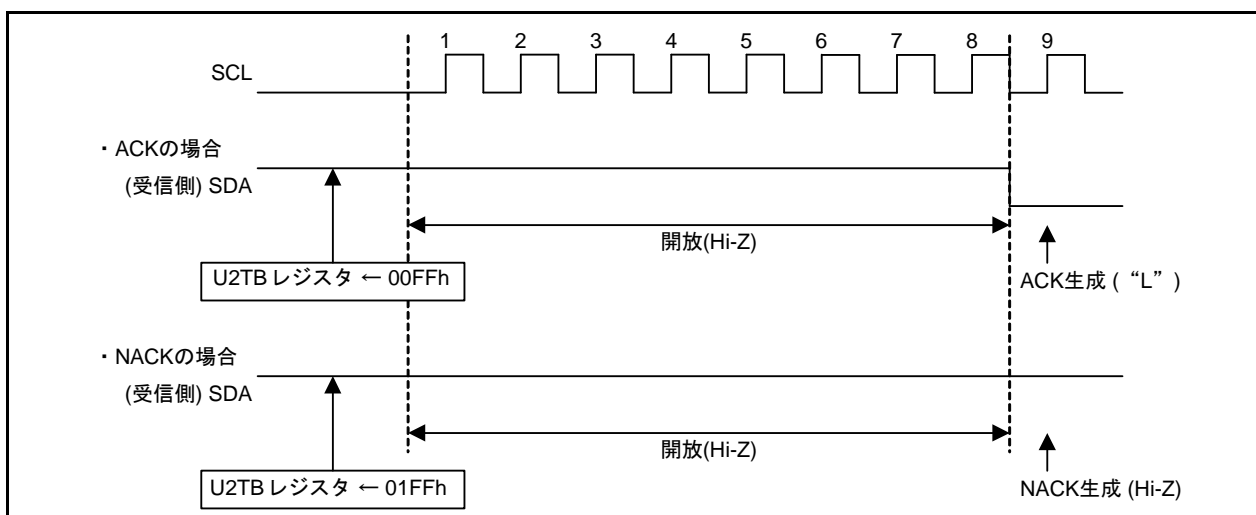


図 21.26 バイトデータの受信

21.3.3.9 ACK、NACK

データを受信することが確定している場合、U2TBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。また、U2SMR4レジスタのSTSPSELビットが“0”（シリアル入出力回路選択）で、U2SMR4レジスタのACKCビットが“1”（ACKデータ出力）の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

U2SMR2レジスタのICM2ビットが“0”の場合、9ビット目のSCL2の立ち上がり時にSDA2端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UART2受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

21.3.3.10 送受信初期化

この機能を使用する場合、送受信クロックは外部クロックを選択してください。

U2SMR2レジスタのSTACビットを“1”（スタートコンディション検出時、回路を初期化する）にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの値が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”（8ビット受信後SCL端子を“L”に固定）になります。これにより、クロックの9ビット目の立ち下がり時SCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、U2C1レジスタのTIビットは変化しません。スレーブ時、UART2初期化機能を使用すると、スタートコンディション検出時に自動的にUART2が初期化されるため、スタートコンディション検出時に割り込みは必要ありません。

21.3.4 特殊モード2 (UART2)

1つのマスタから、複数のスレーブへシリアル通信できます。また、送受信クロックの極性と位相を選択できます。表 21.18に特殊モード2の仕様を示します。

表 21.18 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> マスタモード $U2MR \text{ レジスタのCKDIRビットが"0" (内部クロック選択)}: \frac{f_j}{2(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO \quad n: U2BRG \text{ レジスタ設定値 } 00h\sim FFh$
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要 <ul style="list-style-type: none"> U2C1レジスタのTEビットが“1” (送信許可) U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> U2C1レジスタのREビットが“1” (受信許可) TEビットが“1” (送信許可) TIビットが“0” (U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み時、次の条件のいずれかを選択可 <ul style="list-style-type: none"> U2C1レジスタのU2IRSビットが“0” (送信バッファ空): U2TBレジスタからUART2送信レジスタへデータ転送時 (送信開始時) U2IRSビットが“1” (送信完了): UART2送信レジスタからデータ送信完了時 受信割り込み時 <ul style="list-style-type: none"> UART2受信レジスタからU2RBレジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 クロック位相選択 送受信クロックの極性と相の4つの組み合わせを選択可

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

図 21.27 に特殊モード2の通信制御例を、表 21.19 に特殊モード2時の入出力端子を示します。

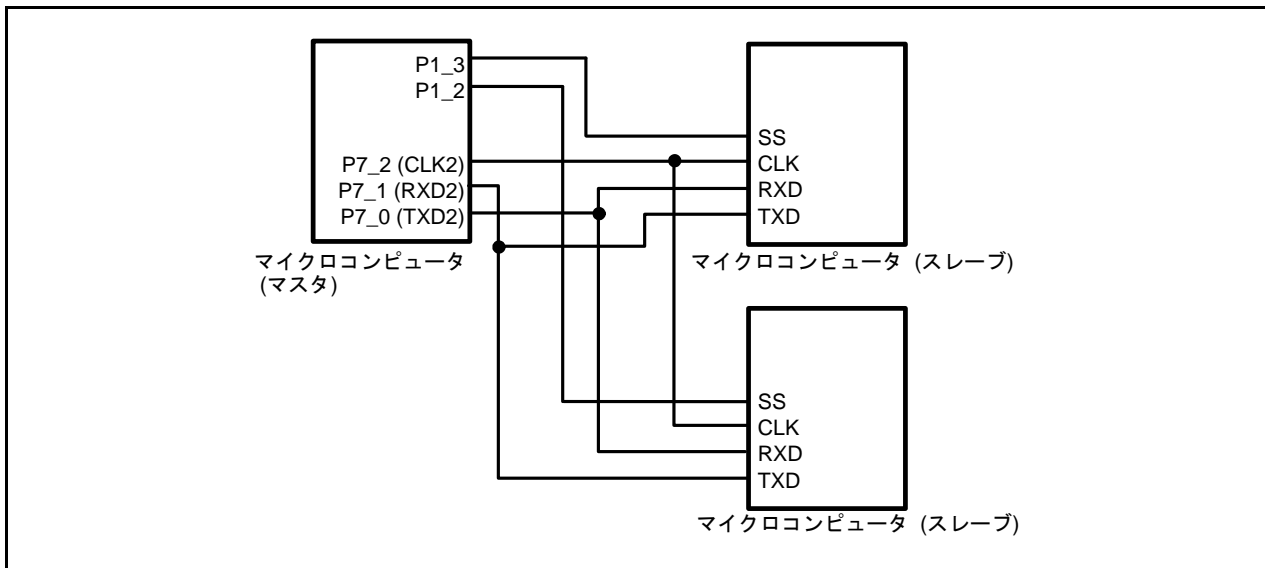


図 21.27 特殊モード2の通信制御例

表 21.19 特殊モード2時の入出力端子

端子名	入出力	機能	選択方法
CLK2	出力	クロック出力	U2MRレジスタのCKDIRビット=0
TXD2	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXD2	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする (送信だけを行うときは入力ポートとして使用可)

CTS2/RTS2端子は使用しません(入出力ポートに使用できます)。

表 21.20 特殊モード2時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
UCLKSEL0	OCOSEL0	UART0~UART2の分周前クロックを選択してください
PCLKR	PCLK1	U2BRGのカウントソースを選択してください
U2TB	0~7	送信データを設定してください
	8	— (設定しないでよい) 書く場合は“0”にしてください
U2RB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
	8、11、13~15	読んだ場合、その値は不定
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	“001b”にしてください
	CKDIR	“0”にしてください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	U2SMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	0~7	“0”にしてください
U2SMR2	0~7	“0”にしてください
U2SMR3	CKPH	U2C0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できません
	NODC	“0”にしてください
	0、2、4~7	“0”にしてください
U2SMR4	0~7	“0”にしてください

注1. この表は手順を示すものではありません。

21.3.4.1 クロック位相設定機能

U2SMR3レジスタのCKPHビットとU2C0レジスタのCKPOLビットで送受信クロックの相と極性の4つの組み合わせを選択できます。

送受信クロックの極性と相は、送受信を行うマスタとスレーブで同じにしてください。

図 21.28 マスタ(内部クロック)の場合の送受信のタイミングを示します。

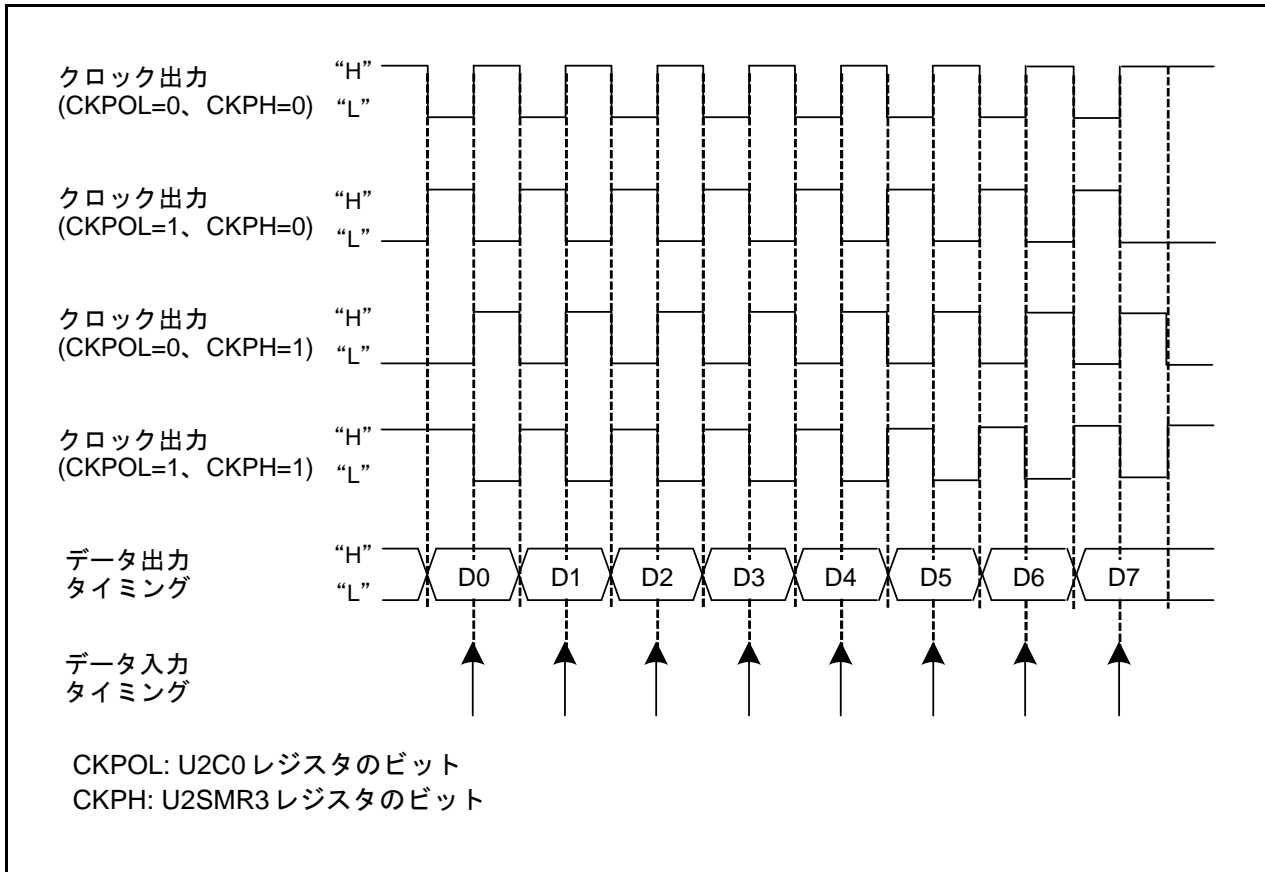


図 21.28 マスタ(内部クロック)の場合の送受信のタイミング

21.3.5 特殊モード3 (IEモード) (UART2)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表 21.21 にIEモード時の使用レジスタと設定値を、図 21.29 バス衝突検出機能関連ビットの機能を示します。

TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表 21.21 IEモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
U2TB	0~8	送信データを設定してください
U2RB(注1)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	"110b"にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	"0"にしてください
	PRY	PRYE=0なので無効
	PRYE	"0"にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
U2C0	CLK1~CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	"1"にしてください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	"0"にしてください
	UFORM	"0"にしてください
U2C1	TE	送信を許可する場合、"1"にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、"1"にしてください
	RI	受信完了フラグ
	U2IRS	UART送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	"0"にしてください
U2SMR	0~3、7	"0"にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、"1"にしてください
	SSS	送信開始条件を選択してください
U2SMR2	0~7	"0"にしてください
U2SMR3	0~7	"0"にしてください
U2SMR4	0~7	"0"にしてください

注1. この表に記載していないビットはIEモード時に書く場合、"0"を書いてください。

注2. この表は手順を示すものではありません。

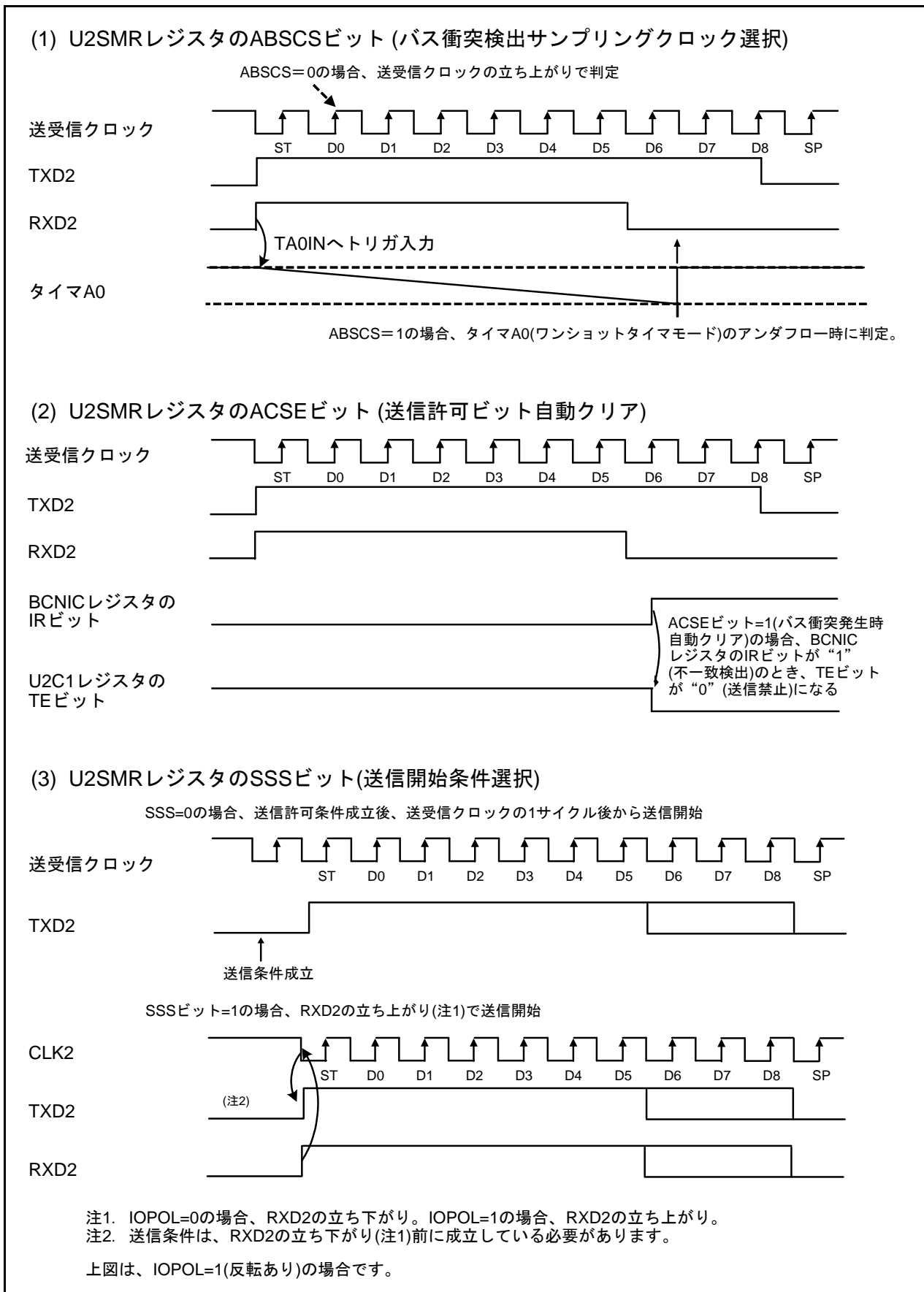


図 21.29 バス衝突検出機能関連ビットの機能

21.3.6 特殊モード4 (SIMモード) (UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表 21.22にSIMモードの仕様を、表 21.23にSIMモード時の使用レジスタと設定値を示します。

表 21.22 SIMモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> •ダイレクトフォーマット •インバースフォーマット
送受信クロック	<ul style="list-style-type: none"> •U2MRレジスタのCKDIRビットが“0” (内部クロック): $f_i/(16(n+1))$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U2BRG$レジスタの設定値 00h~FFh •CKDIRビットが“1” (外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1” (送信許可) •U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1” (受信許可) •スタートビットの検出
割り込み要求発生タイミング (注2)	<ul style="list-style-type: none"> •送信時 UART2送信レジスタからデータ送信完了時(U2IRSビット=1) •受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> •オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー (注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

注3. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 21.23 SIMモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
U2TB (注1)	0~7	送信データを設定してください
U2RB (注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	"101b"にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	"0"にしてください
	PRY	ダイレクトフォーマットの場合"1"に、インバースフォーマットの場合"0"にしてください
	PRYE	"1"にしてください
	IOPOL	"0"にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	"1"にしてください
	NCH	"1"にしてください
	CKPOL	"0"にしてください
	UFORM	ダイレクトフォーマットの場合"0"に、インバースフォーマットの場合"1"にしてください
U2C1	TE	送信を許可する場合"1"にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合"1"にしてください
	RI	受信完了フラグ
	U2IRS	"1"にしてください
	U2RRM	"0"にしてください
	U2LCH	ダイレクトフォーマットの場合"0"に、インバースフォーマットの場合"1"にしてください
	U2ERE	"1"にしてください
U2SMR (注1)	0~3	"0"にしてください
U2SMR2	0~7	"0"にしてください
U2SMR3	0~7	"0"にしてください
U2SMR4	0~7	"0"にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、"0"を書いてください。

注2. この表は手順を示すものではありません。

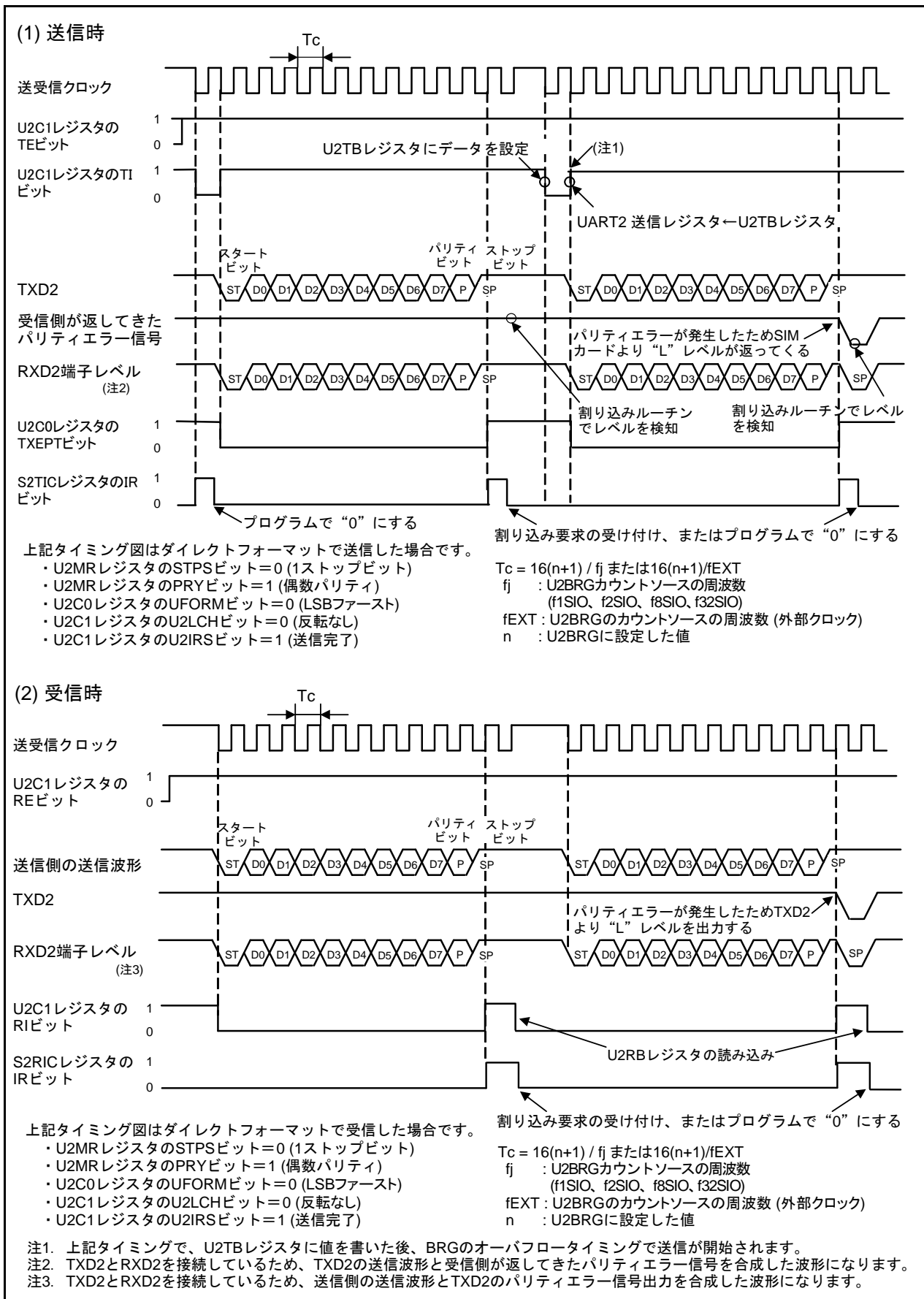


図 21.30 SIMモードの送受信タイミング例

図 21.31 SIM インタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

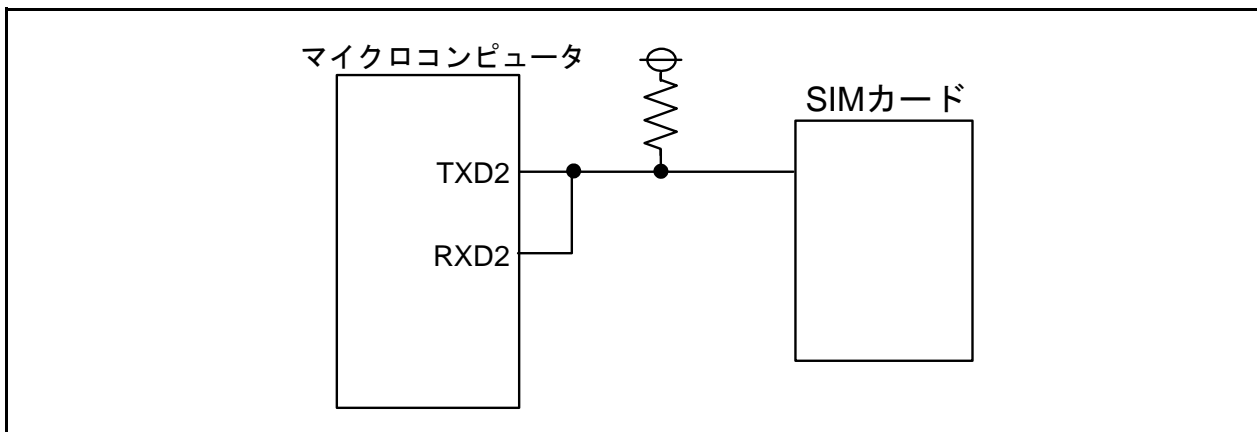


図 21.31 SIM インタフェース接続例

21.3.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”(出力する)にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 21.32に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の送受信クロックの立ち下がりが発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

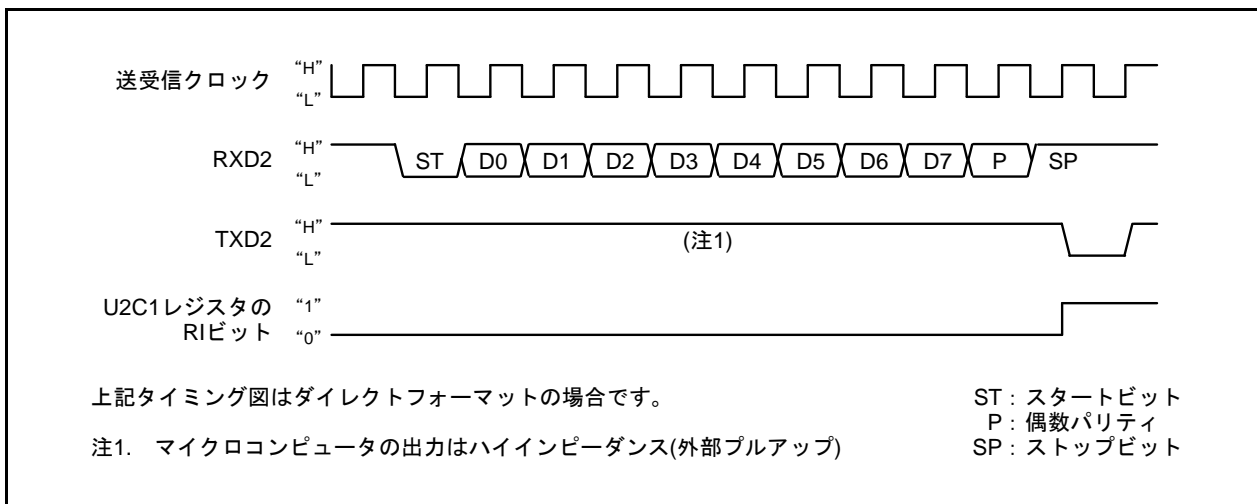


図 21.32 パリティエラー信号出力タイミング

21.3.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図 21.33 に SIM インタフェースフォーマットを示します。

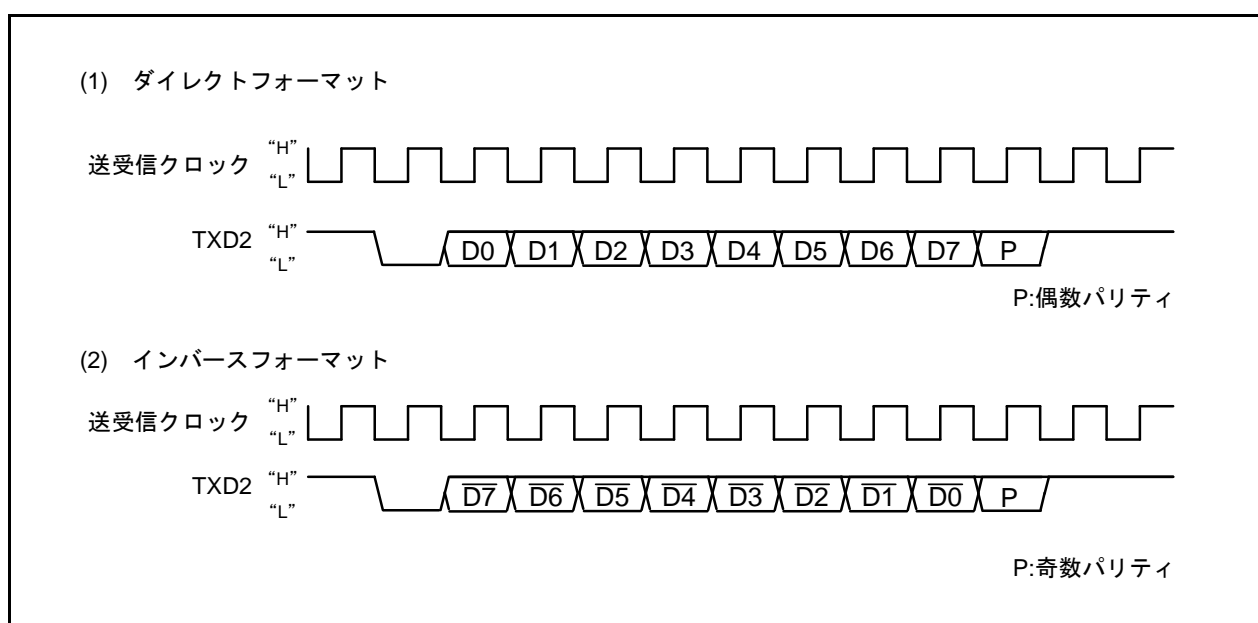


図 21.33 SIM インタフェースフォーマット

21.4 割り込み

UART0~UART4には、送信、受信、ACK、NACK、スタート/ストップコンディション検出、バス衝突検出による割り込みがあります。

21.4.1 割り込み関連レジスタ

割り込みの要因や割り込み要求発生タイミングは、各モードの仕様、動作例を参照してください。また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 21.24にUART0~UART4の割り込み関連レジスタを示します。

表 21.24 UART0~UART4の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
006Fh	UART4送信割り込み制御レジスタ	S4TIC	XXXX X000b
0070h	UART4受信割り込み制御レジスタ	S4RIC	XXXX X000b
0072h	UART3送信割り込み制御レジスタ	S3TIC	XXXX X000b
0073h	UART3受信割り込み制御レジスタ	S3RIC	XXXX X000b
0204h	割り込み要因選択レジスタ4	IFSR4A	00h
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

UART0~UART4の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共有している場合があります。これらの割り込みを使用する場合は、割り込み要因選択レジスタで選択してください。表 21.25にUART0~UART4割り込み選択方法を示します。

表 21.25 UART0~UART4割り込み選択方法

割り込み要因	割り込み要因選択レジスタの設定		
	レジスタ	ビット	設定値
UART2スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR20	0
UART3送信	IFSR2A	IFSR25	0
UART3受信	IFSR3A	IFSR32	0
UART4送信	IFSR3A	IFSR36	0
UART0送信	IFSR4A	IFSR43	0

また、次のモードの場合、ビット内容の変更によって割り込み要求が発生することがあります。

- 特殊モード1 (I²Cモード)

次のビットを変更した後、UART2の各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、
U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

- 特殊モード4 (SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にした後、TEビットを“1”(送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

21.4.2 受信割り込み

- U2MRレジスタのSMD2~SMD0ビットが“010b”(I²Cモード)以外の場合

U2C1レジスタのRIビットが“0”(U2RBレジスタにデータなし)から“1”(U2RBレジスタにデータあり)に変化するときに、S2RICレジスタのIRビットが“1”(割り込み要求あり)になります。オーバランエラー発生時(RIビットが“1”のとき次のデータ受信)は、RIビットが“1”のまま変化しないため、S2RICレジスタのIRビットは変化しません。

- U2MRレジスタのSMD2~SMD0ビットが“010b”(I²Cモード)の場合

U2C1レジスタのRIビットが“0”(U2RBレジスタにデータなし)から“1”(U2RBレジスタにデータあり)に変化するときに、S2RICレジスタのIRビットが“1”(割り込み要求あり)になります。オーバランエラー発生も、S2RICレジスタのIRビットが“1”になります。

21.5 シリアルインタフェース UARTi (i=0~4) 使用上の注意事項

21.5.1 複数モードに関わる共通事項

21.5.1.1 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可) のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、
P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、
P8_1/TA4IN/ \overline{U} /TSUDB

21.5.1.2 レジスタ設定

UCLKSEL0レジスタのOCOSSEL0ビットまたはOCOSSEL1ビットを設定した後、その他のUART0~UART4関連レジスタを設定してください。OCOSSEL0ビットまたはOCOSSEL1ビットを変更した後も、その他のUART0~UART4関連レジスタを再設定してください。

21.5.2 クロック同期形シリアルI/Oモード

21.5.2.1 送受信

外部クロック選択時、 \overline{RTS} 機能を選択した場合は、受信可能状態になると \overline{RTSi} (i=0~3) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると \overline{RTSi} 端子の出力レベルは“H”になります。このため、 \overline{RTSi} 端子を送信側の \overline{CTSi} 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は \overline{RTS} 機能は無効です。

21.5.2.2 送信

外部クロックを選択し、UiC0レジスタ(i=0~4)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件(順序は関係ありません)

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}_i$ 機能を選択している場合、 $\overline{\text{CTS}}_i$ 端子の入力が“L”

21.5.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~4)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件(順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

21.5.3 特殊モード (I²Cモード)

21.5.3.1 スタートコンディション、ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A130B/J)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

21.5.3.2 IRビット

次のビットを変更した後、UART2の各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、
U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

21.5.3.3 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDAデジタル遅延機能を使用する場合、遅延時間を考慮してください(「21.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps設定時の算出例 >

- U2BRG カウントソース : $f_1 = 20\text{MHz}$
- U2BRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (U2BRG カウントソースの5~6サイクル)の場合、

f_{SCL} (理論)	$= f_1 / (2(n+1))$	$= 20\text{MHz} / (2 \times (99+1))$	$= 100\text{kbps}$
t_{DL}	$= \text{遅延サイクル数} / f_1$	$= 6 / 20\text{MHz}$	$= 0.3\mu\text{s}$
$t_{HD:STA}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{SU:STO}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{HD:STA}$ (実効)	$= t_{HD:STA}(\text{理論}) - t_{DL}$	$= 5\mu\text{s} - 0.3\mu\text{s}$	$= 4.7\mu\text{s}$
$t_{SU:STO}$ (実効)	$= t_{SU:STO}(\text{理論}) + t_{DL}$	$= 5\mu\text{s} + 0.3\mu\text{s}$	$= 5.3\mu\text{s}$

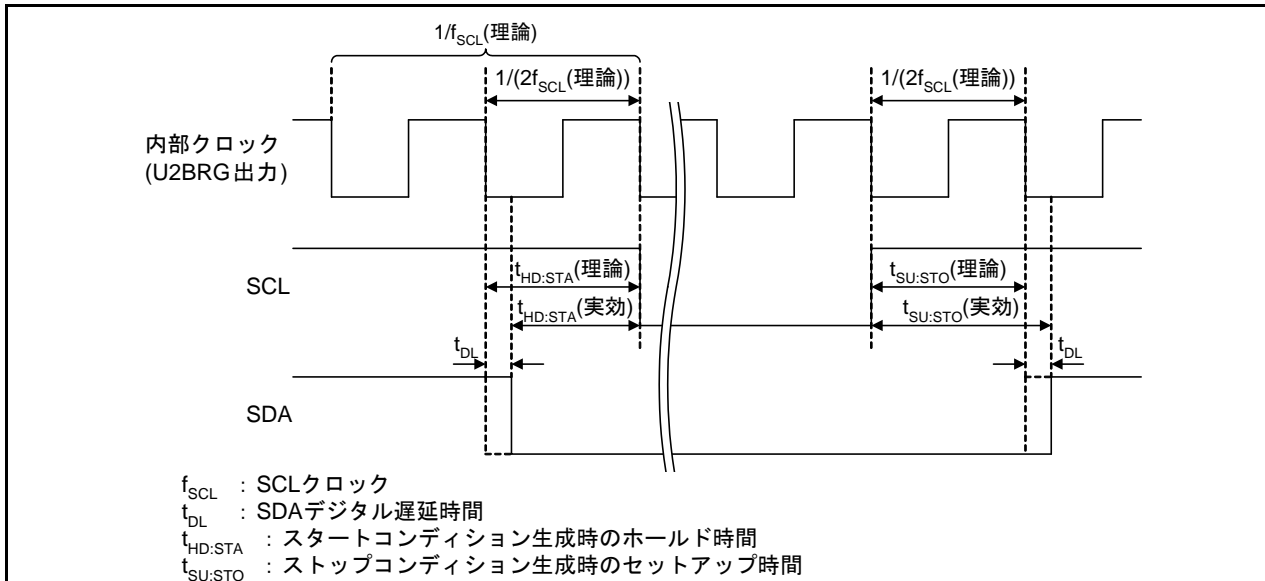


図 21.34 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

21.5.3.4 U2BRG カウントソースによる最大送受信速度の制限

I²Cモードでは、U2BRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でU2BRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、U2BRGカウントソースの速度の1/3以下です。U2BRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

21.5.3.5 スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

21.5.3.6 スレーブ時の送受信開始条件

スレーブとして、U2C0レジスタのTXEPTビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件 (順序は関係ありません)

送信

- U2C1レジスタのTEビットが“1” (送信許可)
- U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)

受信

- U2C1レジスタのREビットが“1” (受信許可)
- U2C1レジスタのTEビットが“1” (送信許可)
- U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)

21.5.4 特殊モード4 (SIMモード)

(テクニカルアップデート番号: TN-M16C-101-0308)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

22. マルチマスタ I²C-bus インタフェース

22.1 概要

マルチマスタ I²C-bus インタフェース (以下 I²C 回路と称す) は、I²C-bus のデータ送受信フォーマットに基づいてシリアル送受信を行う回路です。アービトラジョンロスト検出機能とシンクロナス機能を持ちます。表 22.1 に I²C 回路の仕様を、表 22.2 に I²C 回路の検出機能を、図 22.1 に I²C 回路のブロック図を、表 22.3 に入出力端子を示します。

表 22.1 I²C 回路の仕様

項目	機能
フォーマット	I ² C-bus 規格準拠 7ビットアドレッシングフォーマット Fast-mode 標準クロックモード
送受信モード	I ² C-bus 規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
ビットレート	16.1 kbps~400 kbps (f _{VIIIC} =4MHz)
入出力端子	シリアルデータライン SDAMM (SDA) シリアルクロックライン SCLMM (SCL)
割り込み要求発生要因	<ul style="list-style-type: none"> • I²C-bus 割り込み <ul style="list-style-type: none"> 送信完了 受信完了 スレーブアドレス一致検出 ジェネラルコール検出 ストップコンディション検出 タイムアウト検出 • SDA/SCL 割り込み <ul style="list-style-type: none"> SDAMM端子、SCLMM端子の信号の立ち上がりまたは立ち下がり
選択機能	<ul style="list-style-type: none"> • I²C-bus インタフェース端子入力レベル選択 I²C-bus 入力レベル、または SMBus 入力レベルでの入力を選択可能 • タイムアウト検出 バスビジー中に一定時間以上 SCLMM 端子のレベルが“H”になったことを検出する機能 • フリーデータフォーマット選択 スレーブアドレスの値にかかわらず、1バイト目の受信時に割り込み要求発生を選択する機能

f_{VIIIC}: I²C-bus システムクロック

表 22.2 I²C回路の検出機能

項目	機能
スレーブアドレス一致検出	スレーブ送受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送じます。一致しない場合はNACKを送出し、それ以降のデータの送受信を行いません。スレーブアドレスは最大3つまで設定できます
ジェネラルコール検出	スレーブ受信時、ジェネラルコールを検出します
アービトレーションロスト検出	アービトレーションロストを検出し、SDAMM端子、SCLMM端子の出力を停止します
バスビジー検出	バスビジーを検出しBBビットをセット/リセットします

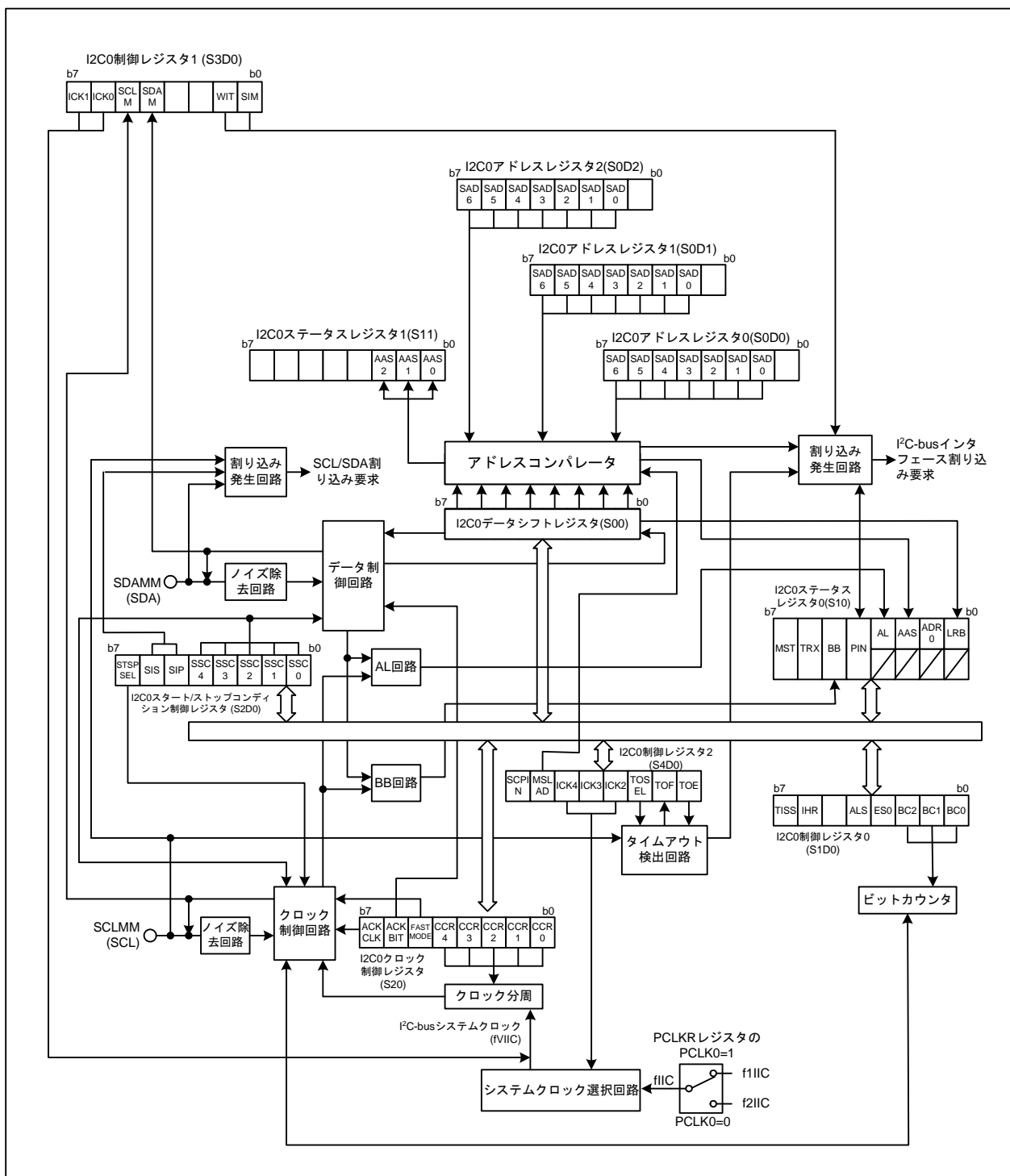


図 22.1 I²C回路のブロック図

表 22.3 入出力端子

端子名	入出力	機能
SDAMM	入出力	SDA入出力 (Nチャンネルオープンドレイン出力)(注1)
SCLMM	入出力	SCL入出力 (Nチャンネルオープンドレイン出力)(注1)

注1. 本機能はCMOS出力バッファのPチャンネルトランジスタを常時オフにするものであり、SDAMM、SCLMMを完全にオープンドレインにする機能ではありません。入力できる電圧の範囲については、電気的特性をご確認ください。

22.2 レジスタの説明

表 22.4 にレジスタ一覧を示します。CM0 レジスタの CM07 ビットが“1” (CPU クロックはサブクロック) の場合、表 22.4 に示すレジスタはアクセスしないでください。CM07 ビットを“0” (メインクロック、PLL クロック、またはオンチップオシレータクロック) にしてアクセスしてください。

表 22.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02B0h	I2C0 データシフトレジスタ	S00	XXh
02B2h	I2C0 アドレスレジスタ 0	S0D0	0000 000Xb
02B3h	I2C0 制御レジスタ 0	S1D0	00h
02B4h	I2C0 クロック制御レジスタ	S20	00h
02B5h	I2C0 スタート/ストップコンディション 制御レジスタ	S2D0	0001 1010b
02B6h	I2C0 制御レジスタ 1	S3D0	0011 0000b
02B7h	I2C0 制御レジスタ 2	S4D0	00h
02B8h	I2C0 ステータスレジスタ 0	S10	0001 000Xb
02B9h	I2C0 ステータスレジスタ 1	S11	XXXX X000b
02BAh	I2C0 アドレスレジスタ 1	S0D1	0000 000Xb
02BBh	I2C0 アドレスレジスタ 2	S0D2	0000 000Xb

22.2.1 I²C0 データシフトレジスタ (S00)



送信時は送信データを書き込んでください。受信時はS00レジスタを読み出すと受信データが読み出せます。マスタモードでは、スタートコンディションまたはストップコンディションの発生にも使用します。(「22.3.2 スタートコンディション発生方法」「22.3.3 ストップコンディション発生方法」参照)。

S00レジスタは、S1D0レジスタのES0ビットが“1”(I²C回路許可)のとき書き込めます。

送受信中はS00レジスタに書き込まないでください。

データ送信時、S00レジスタのデータは、SCLMM端子のクロックに同期してビット7から順に外部へ送信されます。データを1ビット出力するたびに、S00レジスタの値は左に1ビットシフトします。

データ受信時は、SCLMM端子のクロックに同期してデータがビット0から順にS00レジスタに入力されます。データを1ビット入力するたびに、S00レジスタの値は左に1ビットシフトします。図22.2に受信データをS00レジスタに格納するタイミングを示します。

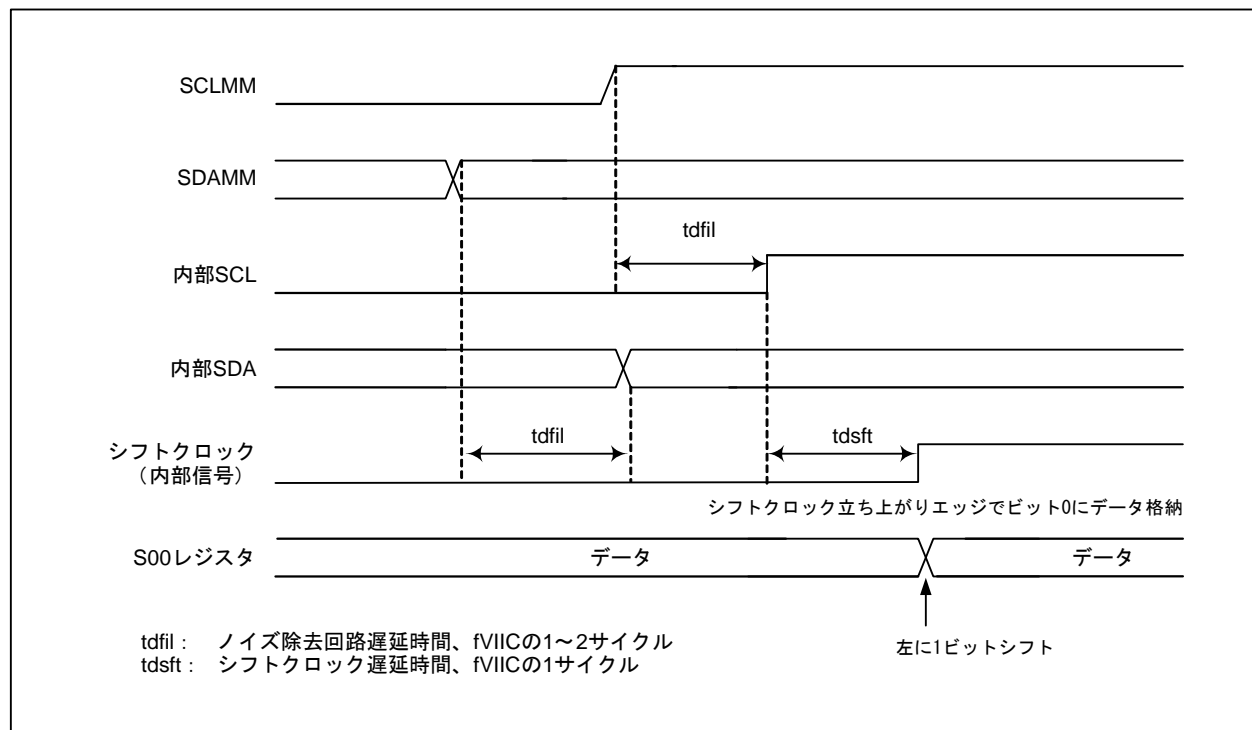
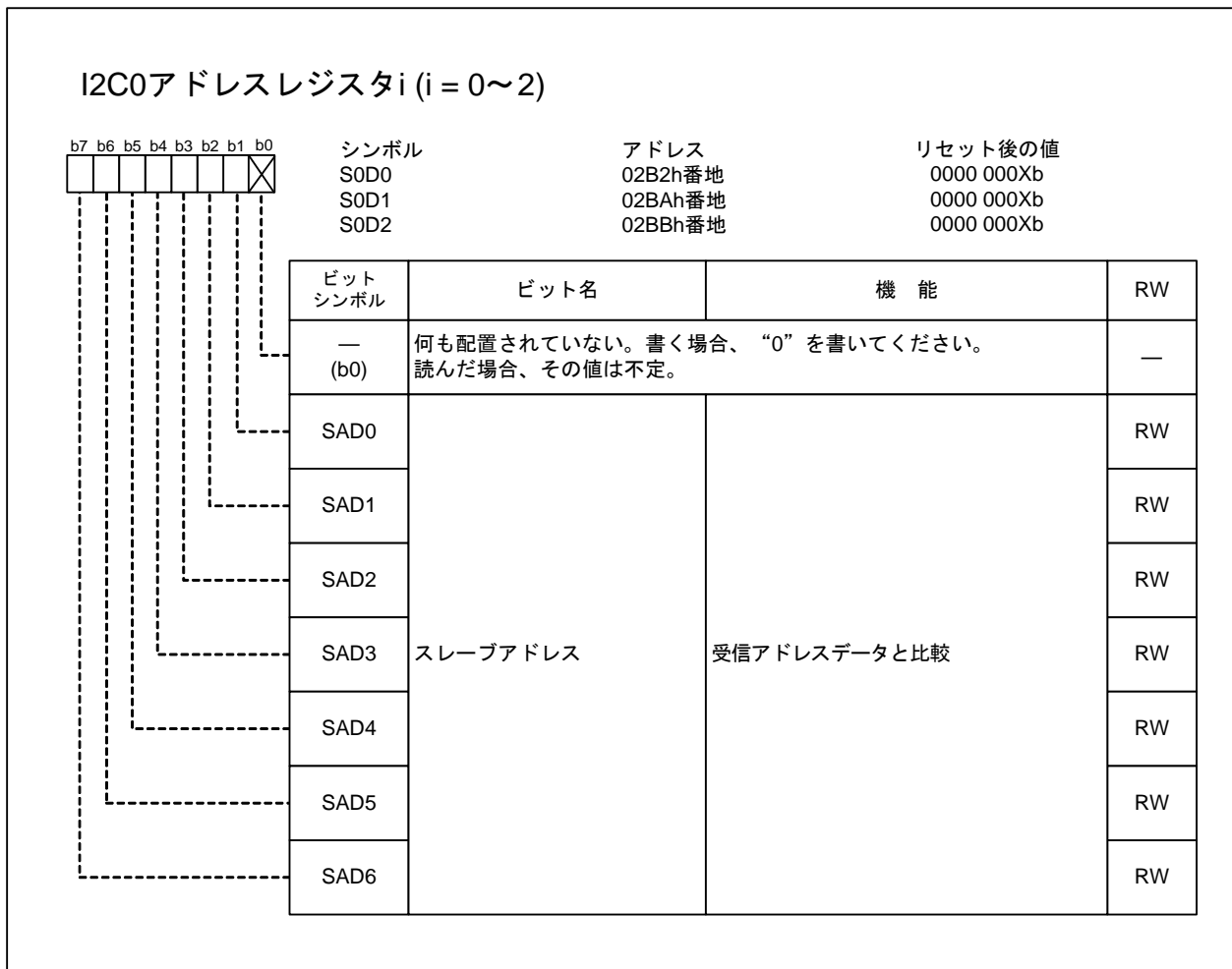


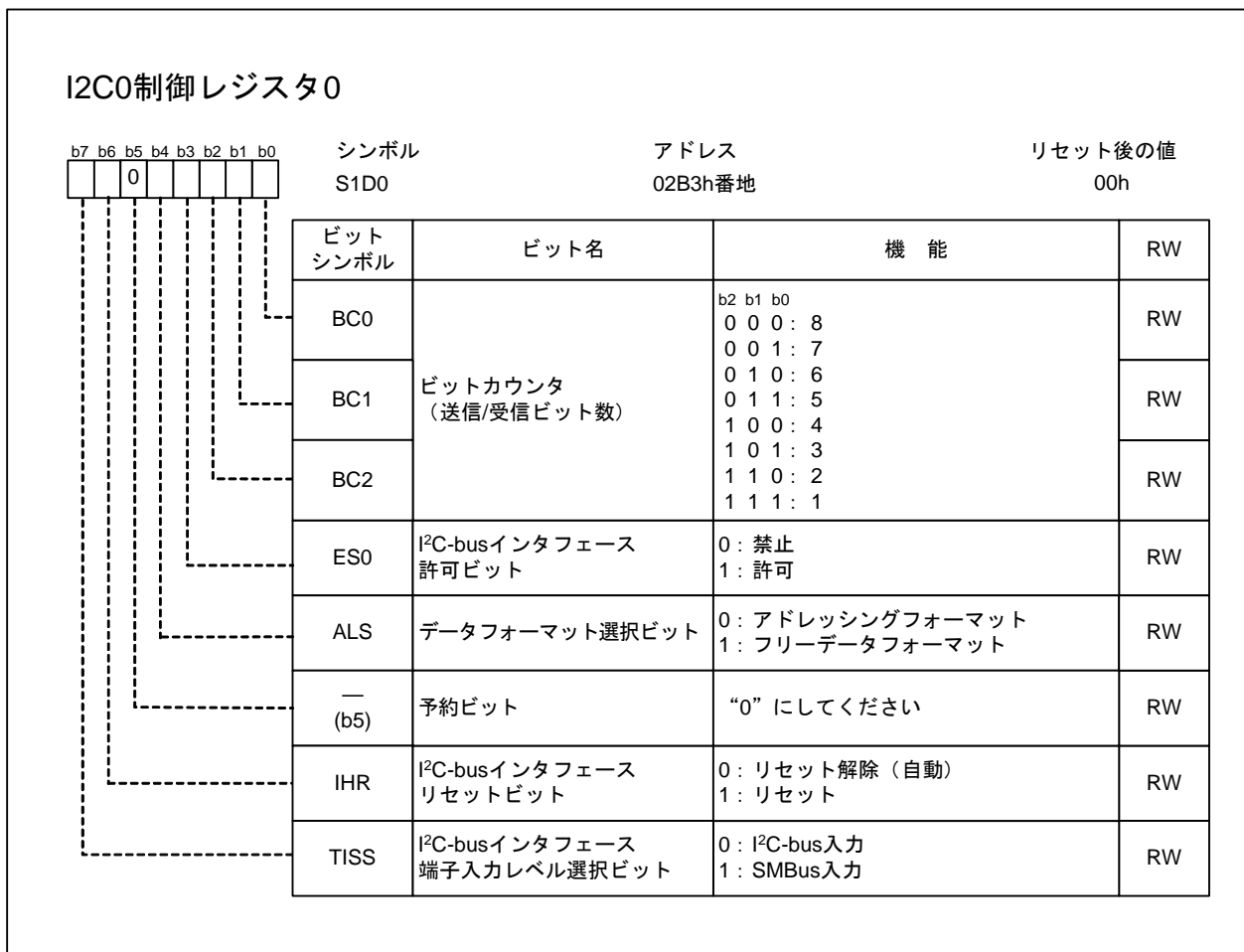
図 22.2 受信データをS00レジスタに格納するタイミング

22.2.2 I²C0 アドレスレジスタ i ($i=0\sim 2$) (S0D0~S0D2)

SAD6~SAD0 (スレーブアドレス) (b7~b1)

スレーブモード時に、スレーブアドレス一致検出で比較されるスレーブアドレスを指定するビットです。アドレスは最大3つまで設定できます。スレーブアドレスを設定しないS0Diレジスタには“00h”を設定してください。ただし、S4D0レジスタのMSLADビットが“0”のとき、S0D1レジスタおよびS0D2レジスタは無効となり、S0D0レジスタのみがスレーブアドレス一致検出の対象となります。

22.2.3 I²C0制御レジスタ0 (S1D0)



BC2~BC0 (ビットカウンタ) (b2~b0)

次のステータスのとき、BC2~BC0ビットは“000b” (8ビット) になります。

- スタートコンディション検出

S20レジスタのACKCLKビットが“0” (ACKクロックなし) の場合、BC2~BC0ビットで指定したビット数のデータを送受信した後、BC2~BC0は“000b”に戻ります。

同様にS20レジスタのACKCLKビットが“1” (ACKクロックあり) の場合、BC2~BC0ビットで指定したビット数とACKクロックの1ビットを送受信した後、BC2~BC0ビットは“000b”に戻ります。

ES0 (I²C-bus インタフェース許可ビット) (b3)

I²C回路の使用を許可するビットです。

ES0 ビットを“0”にすると、I²C回路は次の状態になります。

- SDAMM端子、SCLMM端子: 入出力ポートまたはその他の周辺機能の端子
- S00レジスタへの書き込み禁止
- I²C-bus システムクロック (以下fVIICと称す) 停止
- S10レジスタ
 - ADR0ビット: “0” (ジェネラルコール未検出)
 - AASビット: “0” (スレーブアドレス不一致)
 - ALビット: “0” (アービトレーションロスト未検出)
 - PINビット: “1” (I²C-bus 割り込み要求なし)
 - BBビット: “0” (バスフリー)
 - TRXビット: “0” (受信モード)
 - MSTビット: “0” (スレーブモード)
- S11レジスタのAAS2~AAS0ビット: “0” (スレーブアドレス不一致)
- S4D0レジスタのTOFビット: “0” (タイムアウト未検出)

ALS (データフォーマット選択ビット) (b4)

スレーブ送受信時に有効です。ALS ビットが“0” (アドレッシングフォーマット) の場合は、スレーブアドレスの一致検出を行います。S0D0~S0D2 レジスタのいずれかのSAD6~SAD0 ビットに格納されたスレーブアドレスと受信したスレーブアドレスとを比較して一致した場合、またはジェネラルコールを受信した場合、IICICレジスタのIR ビットが“1” (割り込み要求あり) になります。

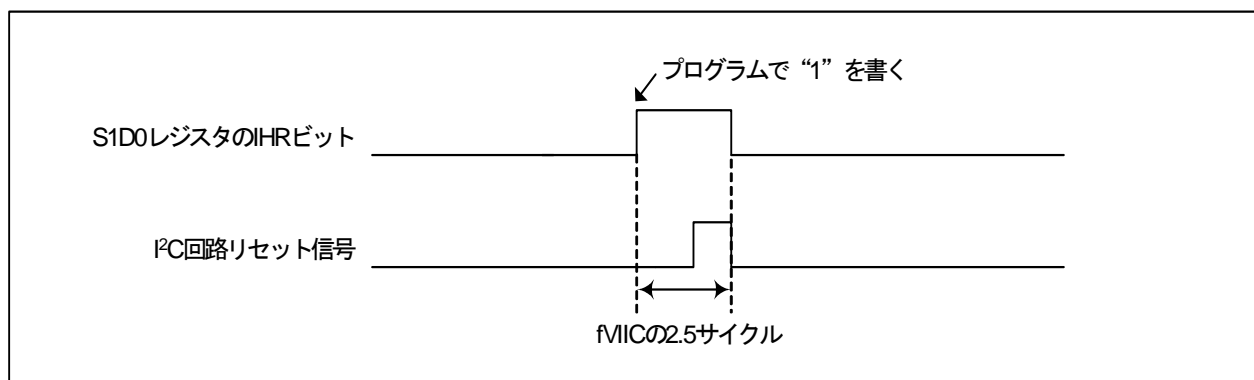
ALS ビットが“1” (フリーデータフォーマット) の場合は、受信したスレーブアドレスの一致検出をしません。したがって受信したスレーブアドレスに関係なくIICIC レジスタのIR ビットが“1” (割り込み要求あり) になります。

IHR (I²C-bus インタフェースリセットビット) (b6)

異常発生時に、I²C回路をリセットするビットです。S1D0レジスタのES0ビットが“1” (I²C回路使用許可) のとき、IHR ビットに“1” (リセット) を書き込むと、I²C回路は次の状態になります。

- S10レジスタ
 - ADR0ビット: “0” (ジェネラルコール未検出)
 - AASビット: “0” (スレーブアドレス不一致)
 - ALビット: “0” (アービトレーションロスト未検出)
 - PINビット: “1” (I²C-bus 割り込み要求なし)
 - BBビット: “0” (バスフリー)
 - TRXビット: “0” (受信モード)
 - MSTビット: “0” (スレーブモード)
- S11レジスタのAAS2~AAS0ビット: “0” (スレーブアドレス不一致)
- S4D0レジスタのTOFビット: “0” (タイムアウト未検出)

IHR ビットに“1”を書き込むと、I²C回路はリセットされ、この時、リセット処理にかかる時間はfVIICクロックの最大2.5サイクルとなります。IHR ビットは自動的に“0”になります。図 22.3 に I²C回路リセットタイミングを示します。

図 22.3 I²C回路リセットタイミング

TISS (I²C-bus インタフェース端子入力レベル選択ビット) (b7)

I²C 回路の SCLMM、SDAMM 端子の入力レベルを選択するビットです。

22.2.4 I²C0クロック制御レジスタ (S20)

I²C0クロック制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル S20	アドレス 02B4h番地	リセット後の値 00h
-------------------------	-------------	-----------------	----------------

ビット シンボル	ビット名	機 能	RW
CCR0	ビットレート制御ビット	次の「CCR4~CCR0 (ビットレート制御ビット) (b4~b0)」参照	RW
CCR1			RW
CCR2			RW
CCR3			RW
CCR4			RW
FASTMODE	SCLモード指定ビット	0 : 標準クロックモード 1 : Fast-mode	RW
ACKBIT	ACKビット	0 : ACK応答あり 1 : ACK応答なし	RW
ACKCLK	ACKクロックビット	0 : ACKクロックなし 1 : ACKクロックあり	RW

CCR4~CCR0 (ビットレート制御ビット) (b4~b0)

CCR4~CCR0ビットの設定値をCCR値 (CCR値: 3~31) とすると、ビットレートは次の計算式のとおりです。詳細は「22.3.1.2 ビットレートとデューティ」を参照してください。

標準クロックモードの場合

$$\frac{f_{VIIC}}{8 \times \text{CCR値}} \leq 100\text{kbps}$$

Fast-modeかつCCR値が5以外の場合

$$\frac{f_{VIIC}}{4 \times \text{CCR値}} \leq 400\text{kbps}$$

Fast-modeかつCCR値が5の場合

Fast-modeかつCCR値が5の場合はFast-modeの最大値400kbpsにする場合を想定しています。

$$\frac{f_{VIIC}}{2 \times \text{CCR値}} = \frac{f_{VIIC}}{10} \leq 400\text{kbps}$$

f_{VIIC}の周波数に関わらずCCR値を0~2にしないでください。

CCR4~CCR0ビットはS1D0レジスタのES0ビットが“0” (禁止)のときに書き換えてください。

FASTMODE (SCLモード指定ビット) (b5)

Fast-mode I²C-bus規格(最高400kbps)で使用する場合、FASTMODEビットを“1”(Fast-mode)にしてください。また、fVIICを4MHz以上にしてください。

FASTMODEビットはS1D0レジスタのES0ビットが“0”(禁止)のときに書き換えてください。

ACKBIT (ACKビット) (b6)

マスタ受信、スレーブ受信、またはスレーブアドレス受信の場合に有効です。

スレーブアドレス受信の場合、S1D0レジスタのALSビット、ACKBITビット、受信したスレーブアドレスの組み合わせでACKクロック時のSDAMM端子のレベルが決まります。データ受信時はACKBITビットでACKクロック時のSDAMM端子のレベルが決まります。表 22.5にACKクロック時のSDAMM端子のレベルを示します。

表 22.5 ACKクロック時のSDAMM端子のレベル

受信内容	S1D0レジスタのALSビット	S20レジスタのACKBITビット	スレーブアドレスの内容	ACKクロック時のSDAMM端子のレベル
スレーブアドレス	0	0	S4D0レジスタのMSLADビットが“0”のとき S0D0レジスタのSAD6~SAD0ビットと一致 MSLADビットが“1”のとき S0D0~S0D2レジスタのいずれかのSAD6~SAD0ビットと一致	L (ACK)
			0000000b	L (ACK)
			その他	H (NACK)
	1	1	—	H (NACK)
		0	—	L (ACK)
データ	—	1	—	H (NACK)
		0	—	L (ACK)
		1	—	H (NACK)
		0	—	L (ACK)

ACKCLK (ACKクロックビット) (b7)

ACKCLKビットが“1”(ACKクロックあり)の場合、1バイトのデータ送受信(8クロック)に続いてACKクロックを発生します。ACKCLKビットが“0”(ACKクロックなし)の場合、データ送受信(8クロック)後にACKクロックは発生しません。その場合、データ送受信(8クロック)の立ち下がりではICICレジスタのIRビットが“1”(割り込み要求あり)になります。

ACKCLKビットは送受信中に書き換えしないでください。

22.2.5 I²C0 スタート/ストップコンディション制御レジスタ (S2D0)

I ² C0 スタート/ストップコンディション制御レジスタ				
シンボル S2D0		アドレス 02B5h 番地	リセット後の値 0001 1010b	
ビット シンボル	ビット名	機 能	RW	
b7	スタート/ストップ コンディション設定ビット	「SSC4~SSC0 (スタート/ストップコン ディション設定ビット) (b4~b0)」参照	RW	
b6			RW	
b5			RW	
b4			RW	
b3			RW	
b2			RW	
b1	SIP	SCL/SDA 割り込み端子 極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
b0	SIS	SCL/SDA 割り込み端子 選択ビット	0: SDAMM 有効 1: SCLMM 有効	RW
	STSPSEL	スタート/ストップ コンディション発生選択ビッ ト	0: セットアップ/ホールド時間ショート モード 1: セットアップ/ホールド時間ロングモ ード	RW

SSC4~SSC0 (スタート/ストップコンディション設定ビット) (b4~b0)

標準クロックモード時のスタート/ストップコンディションの検出条件 (SCL 開放時間、セットアップ時間、ホールド時間) を選択するビットです。「22.3.7 スタート/ストップコンディション検出」を参照してください。

SSC4~SSC0 ビットに奇数値または“00000b”を設定しないでください。

SIP (SCL/SDA 割り込み端子極性選択ビット) (b5)

SIS (SCL/SDA 割り込み端子選択ビット) (b6)

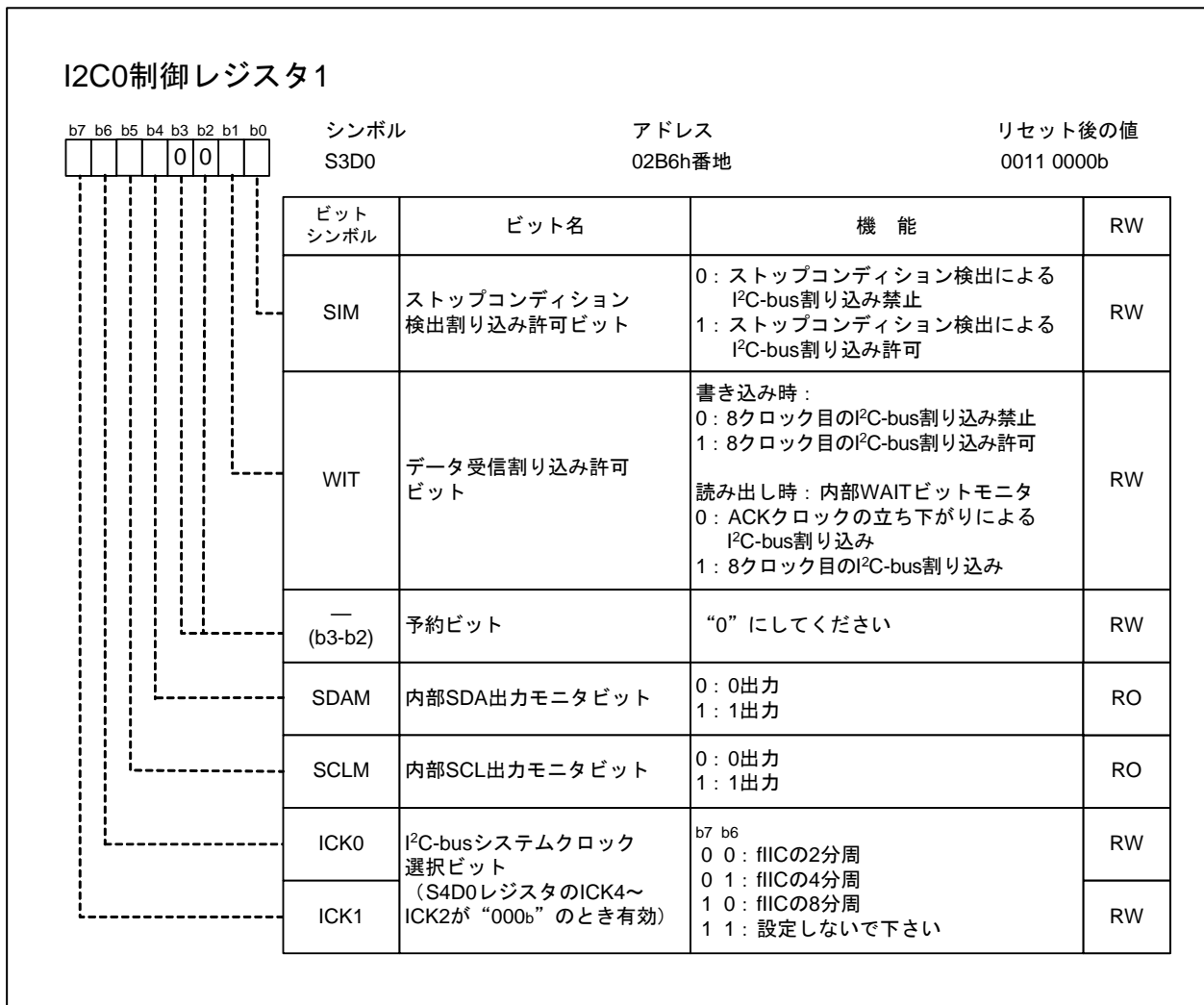
SIS ビットで選択した端子の入出力信号の、SIP ビットで選択したエッジを検出すると、SCLDAIC レジスタの IR ビットが“1” (割り込み要求あり) になります。「22.4 割り込み」を参照してください。

STSPSEL (スタート/ストップコンディション発生選択ビット) (b7)

「表 22.12 スタート/ストップコンディション発生のセットアップ/ホールド時間」を参照してください。

f_{VIIC} の周波数が 4MHz を超える場合は、STSPSEL ビットを“1” (ロングモード) にしてください。

22.2.6 I²C0制御レジスタ1 (S3D0)



このレジスタに対して、ビット処理命令 (リードモディファイライト命令) を使用しないでください。MOV 命令を使用して書いてください。

SIM (ストップコンディション検出割り込み許可ビット) (b0)

SIM ビットが“1” (ストップコンディション検出による I²C-bus 割り込み許可) の場合、ストップコンディションを検出すると、S4D0 レジスタの SCPIN ビットが“1” (ストップコンディション検出割り込み要求あり)、IICIC レジスタの IR ビットが“1” (割り込み要求あり) になります。

WIT (データ受信割り込み許可ビット) (b1)

マスタ受信、スレーブ受信の場合に有効です。

WITビットは2つの機能を持っています。

- データ受信時のI²C-bus割り込みタイミングの選択 (書き込み)
- 内部WAITフラグの状態のモニタ (読み出し)

次にそれぞれの機能を説明します。

データ受信時、8クロック目 (ACKクロックの前) でI²C-bus割り込み要求が発生するか、しないかをWITビットに書き込む値で選択できます。

S20レジスタのACKCLKビットが“1” (ACKクロックあり) で、WITビットに“1” (8クロック目のI²C-bus割り込み許可) を書いた場合、8クロック目 (ACKクロックの前) でI²C-bus割り込み要求が発生します。このときS10レジスタのPINビットが“0” (割り込み要求あり) になります。

S20レジスタのACKCLKビットが“0” (ACKクロックなし) の場合、WITビットには“0” (データ受信によるI²C-bus割り込み禁止) を書いてください。

データ送信時とスレーブアドレス受信時は、WITビットに書き込む値にかかわらず8クロック目 (ACKクロックの前) では割り込み要求は発生しません。

WITビットを読み出すと内部WAITフラグの状態を読み出せます。

9クロック目 (ACKクロック) の立ち下がりでは、WITビットに書き込んだ値に関係なくI²C-bus割り込み要求が発生します。この場合もS10レジスタのPINビットが“0” (割り込み要求あり) になります。したがって、8クロック目 (ACKクロックの前) のI²C-bus割り込み要求か、ACKクロックの立ち下がりのI²C-bus割り込み要求かを判定する場合は、内部WAITフラグの状態で判定してください。

WITビットに“1” (データ受信によるI²C-bus割り込み許可) を書き込んだ場合、内部WAITフラグは次の条件で変化します。

[0になる条件]

- S20レジスタ (ACKBITビット) への書き込み

[1になる条件]

- データ受信時のS00レジスタへの書き込み

なお、データ送信時とスレーブアドレス受信時は、WITビットに書き込む値にかかわらず、内部WAITフラグは“0”で、I²C-bus割り込み要求は9クロック目 (ACKクロック) の立ち下がり時にも発生します。

表 22.6 にデータ受信時の割り込み要求発生タイミングと送受信再開の方法を、図 22.4 にデータ受信時の割り込み要求発生タイミングを示します。

表 22.6 データ受信時の割り込み要求発生タイミングと送受信再開の方法

I ² C-bus割り込み要求発生タイミング	内部WAITフラグの状態	送受信再開の方法
8クロック目 (ACKクロックの前) の立ち下がり (注1)	1	S20レジスタのACKBITビットへの書き込み (注3)
9クロック目 (ACKクロック) の立ち下がり (注2)	0	S00レジスタへの書き込み

注1. 図 22.4 IICICレジスタのIRビット (1) のタイミング

注2. 図 22.4 IICICレジスタのIRビット (2) のタイミング

注3. このときS20レジスタのACKBITビット以外のビットの値を変更しないでください。
また、S00レジスタには書き込まないでください。

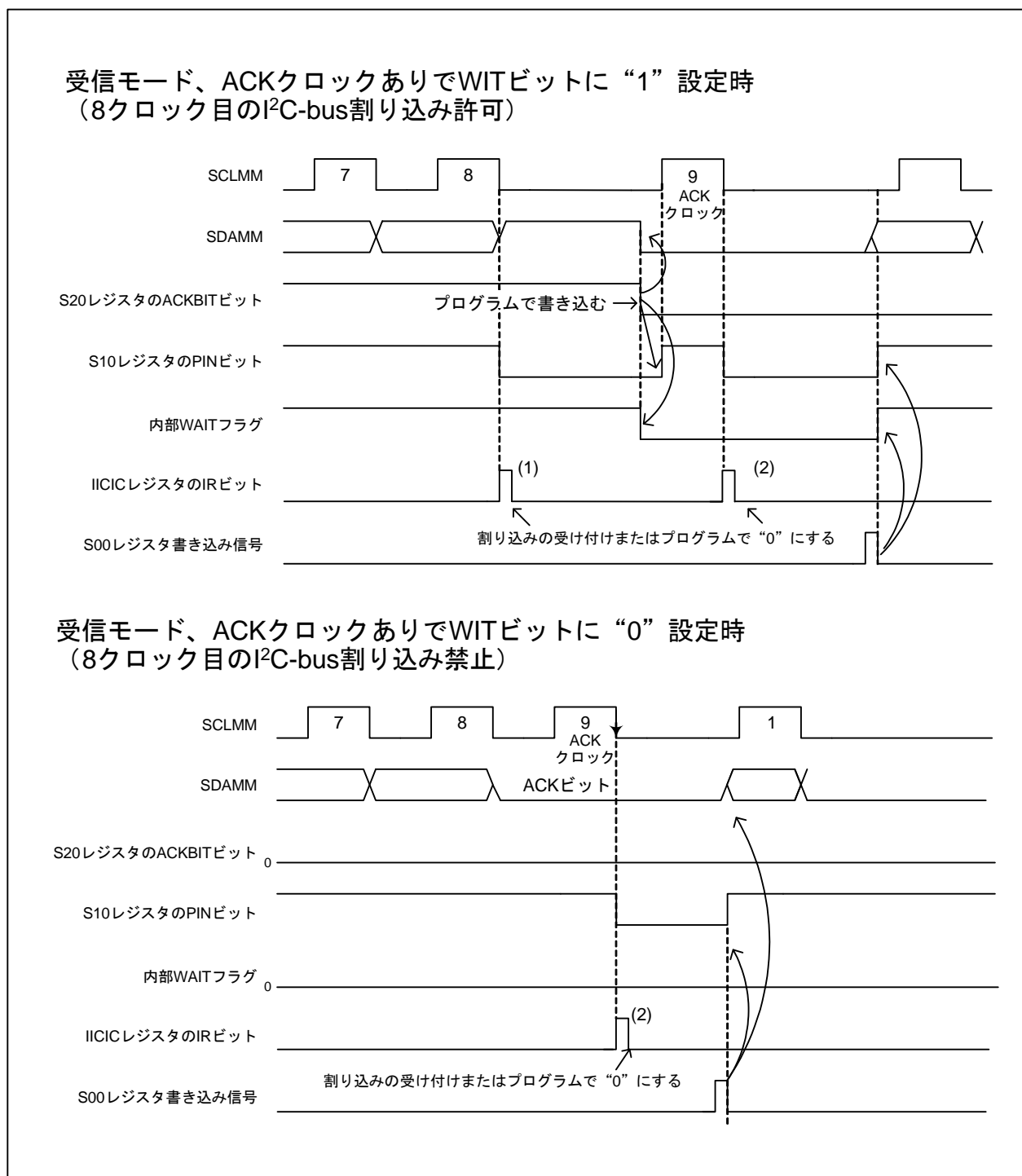


図 22.4 データ受信時の割り込み要求発生タイミング

SDAM (内部SDA出力モニタビット) (b4)**SCLM (内部SCL出力モニタビット) (b5)**

内部SDA出力信号、内部SCL出力信号は、外部デバイスの出力の影響を受ける前のI²C回路の出力レベルです。SDAM、SCLMビットは読み出し専用ビットです。書くときは“0”を書き込んでください。

ICK1~ICK0 (I²C-bus システムクロック選択ビット) (b7~b6)

ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0” (I²C回路禁止) のとき書き換えてください。

ICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビット、PCLKRレジスタのPCLK0ビットの設定によって、fVIICを選択します。「22.3.1.2 ビットレートとデューティ」を参照してください。

表 22.7 I²C-bus システムクロック選択ビット

S4D0レジスタ			S3D0レジスタ		fVIIC
ICK4ビット	ICK3ビット	ICK2ビット	ICK1ビット	ICK0ビット	
0	0	0	0	0	fIICの2分周
0	0	0	0	1	fIICの4分周
0	0	0	1	0	fIICの8分周
0	0	1	—	—	fIICの2.5分周
0	1	0	—	—	fIICの3分周
0	1	1	—	—	fIICの5分周
1	0	0	—	—	fIICの6分周

—: “0”でも“1”でもよい

上記以外の組み合わせは設定しないでください。

22.2.7 I²C0 制御レジスタ 2 (S4D0)

I ² C0 制御レジスタ 2		シンボル S4D0	アドレス 02B7h 番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名		機 能	RW					
TOE	タイムアウト検出機能許可ビット		0: 禁止 1: 許可	RW					
TOF	タイムアウト検出フラグ		0: 未検出 1: 検出	RO					
TOSEL	タイムアウト検出時間選択ビット		0: ロングタイム 1: ショートタイム	RW					
ICK2	I ² C-busシステムクロック 選択ビット	b5 b4 b3	0 0 0: S3D0レジスタのICK1、 ICK0ビット有効	RW					
ICK3		0 0 1: fIICの2.5分周	RW						
ICK4		0 1 0: fIICの3分周 0 1 1: fIICの5分周 1 0 0: fIICの6分周 上記以外は設定しないでください	RW						
MSLAD	スレーブアドレス制御ビット		0: S0D0レジスタのみ有効 1: S0D0~S0D2レジスタ有効	RW					
SCPIN	ストップコンディション 検出割り込み要求ビット		0: I ² C-bus割り込み要求なし 1: I ² C-bus割り込み要求あり	RW					

TOE (タイムアウト検出機能許可ビット) (b0)

タイムアウト検出機能を許可するビットです。タイムアウトは「22.3.9 タイムアウト検出」を参照してください。

TOF (タイムアウト検出フラグ) (b1)

TOEビットが“1”のとき有効です。TOFビットが“1” (検出) になると、同時にIICICレジスタのIRビットが“1” (割り込み要求あり) になります。

[“0”になる条件]

- S1D0レジスタのES0ビットを“0” (I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット)にする

[“1”になる条件]

- S10レジスタのBBビットが“1” (バスビジー) のとき、SCLMM端子のレベルがタイムアウト検出時間以上“H”

TOSEL (タイムアウト検出時間選択ビット) (b2)

TOE ビットが“1” (タイムアウト検出機能許可) のとき有効です。タイムアウト検出時間を選択するビットです。ロングタイムでは内部カウンタを16ビットカウンタとして、またショートタイムでは14ビットカウンタとして、fVIICをアップカウントします。したがって、タイムアウト検出時間は次のようになります。

TOSEL ビットが“0” (ロングタイム) の場合

$$65536 \times \frac{1}{fVIIC}$$

TOSEL ビットが“1” (ショートタイム) の場合

$$16384 \times \frac{1}{fVIIC}$$

タイムアウト検出時間例を表 22.8 に示します。

表 22.8 タイムアウト検出時間例

fVIIC	タイムアウト検出時間	
	TOSEL ビット: “0” (ロングタイム)	TOSEL ビット: “1” (ショートタイム)
4MHz	16.4ms	4.1ms
2MHz	32.8ms	8.2ms
1MHz	65.6ms	16.4ms

TOE ビットが“0” のときに書き換えてください。

ICK4~ICK2 (I²C-bus システムクロック選択ビット) (b5~b3)

ICK4~ICK2 ビットは、S1D0 レジスタの ES0 ビットが“0” (I²C 回路禁止) のとき書き換えてください。

ICK4~ICK2 ビット、S3D0 レジスタの ICK1~ICK0 ビット、PCLKR レジスタの PCLK0 ビットの設定によって、fVIIC を選択します。「表 22.7 I²C-bus システムクロック選択ビット」、「22.3.1.2 ビットレートとデューティ」を参照してください。

MSLAD (スレーブアドレス制御ビット) (b6)

MSLAD ビットは、S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) のとき有効です。スレーブアドレス一致検出の対象となる S0Di (i=0~2) レジスタを選択するビットです。

SCPIN (ストップコンディション検出割り込み要求ビット) (b7)

SCPIN ビットは S3D0 レジスタの SIM ビットが“1” (ストップコンディション検出による I²C-bus 割り込み許可) の場合、有効です。

〔“0” になる条件〕

- プログラムで“0” を書く

〔“1” になる条件〕

- ストップコンディション検出
(プログラムで“1” を書いても変化しません)

22.2.8 I²C0ステータスレジスタ0 (S10)

I ² C0ステータスレジスタ0		シンボル S10	アドレス 02B8h番地	リセット後の値 0001 000Xb
ビット シンボル	ビット名	機能		RW
LRB	最終受信ビット	読み出し時: 0: 最終ビット= 0 1: 最終ビット= 1 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
ADR0	ジェネラルコール検出フラグ	読み出し時: 0: ジェネラルコール未検出 1: ジェネラルコール検出 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
AAS	スレーブアドレス比較フラグ	読み出し時: 0: アドレス不一致 1: アドレス一致 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
AL	アービトラージロスト検出フラグ	読み出し時: 0: 未検出 1: 検出 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
PIN	I ² C-busインタフェース 割り込み要求ビット	読み出し時: 0: 割り込み要求あり 1: 割り込み要求なし 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
BB	バスビジーフラグ	読み出し時: 0: バスフリー 1: バスビジー 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
TRX	通信モード指定ビット0	0: 受信モード 1: 送信モード		RW
MST	通信モード指定ビット1	0: スレーブモード 1: マスタモード		RW

このレジスタに対して、ビット処理命令（リードモディファイライト命令）を使用しないでください。MOV命令を使用して書いてください。

S10レジスタの下位6ビットはI²C回路の状態をモニタするビットです。プログラムで値を変更することはできません。ただし、下位6ビットを含むS10レジスタへの書き込みは、スタートコンディション、またはストップコンディションを発生させる際に使用します。

MST、TRXビットは読み出し、書き込みが可能です。スタート/ストップコンディションを発生させないで、MSTビットまたはTRXビットを変更する場合、S10レジスタの下位4ビットに書く値は“1111b”にしてください。

表 22.9に S10レジスタ書き込みによる機能を示します。表 22.9に示した値以外の値を S10レジスタに書き込まないでください。表 22.9に示す値を S10レジスタに書き込んだ場合、S10レジスタの下位6ビットは変化しません。

表 22.9 S10レジスタ書き込みによる機能

S10レジスタ各ビットの書き込み値								機能
MST	TRX	BB	PIN	AL	AAS	ADR0	LRB	
1	1	1	0	0	0	0	0	マスタ送受信モード時、スタートコンディションスタンバイ状態にする
1	1	0	0	0	0	0	0	マスタ送受信モード時、ストップコンディションスタンバイ状態にする
0	0	—	0	1	1	1	1	スレーブ受信モード
0	1	—	0	1	1	1	1	スレーブ送信モード
1	0	—	0	1	1	1	1	マスタ受信モード
1	1	—	0	1	1	1	1	マスタ送信モード

—: 0でも1でもよい

スタートコンディション、ストップコンディション発生は「22.3.2 スタートコンディション発生方法」、「22.3.3 ストップコンディション発生方法」を参照してください。

LRB (最終受信ビット) (b0)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10レジスタ書き込みによる機能」を参照してください。

受信した最終ビットの値を格納するビットです。受信したデータの ACK 確認に使用できます。S00レジスタへの書き込みで“0”になります。

ADR0 (ジェネラルコール検出フラグ) (b1)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10レジスタ書き込みによる機能」を参照してください。

["0"になる条件]

- ストップコンディションの検出
- スタートコンディションの検出
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

["1"になる条件]

- スレーブモード時、S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信したスレーブアドレスが“0000000b” (ジェネラルコール)

AAS (スレーブアドレス比較フラグ) (b2)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- S00レジスタへの書き込み
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

["1" になる条件]

- スレーブ受信モード時、S4D0レジスタのMSLADビットが“1”かつS1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信スレーブアドレスがS0D0~S0D2レジスタのいずれかのSAD6~SAD0ビットと一致
- スレーブ受信モード時、MSLADビットが“0”かつS1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信スレーブアドレスがS0D0レジスタのSAD6~SAD0ビットと一致
- スレーブ受信モード時、S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信したスレーブアドレスが“0000000b” (ジェネラルコール)

AL (アービトレーションロスト検出フラグ) (b3)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- S00レジスタへの書き込み
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

["1" になる条件]

- マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出時、ACKクロック以外でSDAMM端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードでデータ送信時、ACKクロック以外でSDAMM端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードまたはマスタ受信モードでスタートコンディション送出時、SDAMM端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードまたはマスタ受信モードでストップコンディション送出時、SDAMM端子のレベルが外部デバイスによって“L”になった
- スタートコンディション重複防止機能が動作した

PIN (I²C-bus インタフェース 割り込み要求ビット) (b4)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- マスタモード時、スレーブアドレス送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ受信完了 (S20 レジスタの ACKCLK ビットが "0" の場合、8クロック目の立ち下がりエッジ検出。ACKCLK ビットが "1" の場合 ACK クロックの立ち下がりエッジ検出)
- S3D0 レジスタの WIT ビットが "1" (8クロック目の I²C-bus 割り込み許可) で、1バイトのデータ受信 (ACK クロックの前)
- スレーブ受信モード時、S4D0 レジスタの MSLAD ビットが "1" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、MSLAD ビットが "0" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0 レジスタの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが "0000000b" (ジェネラルコール)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "1" (フリーデータフォーマット) で、スレーブアドレス受信完了

["1" になる条件]

- S00 レジスタへの書き込み
- S20 レジスタへの書き込み (WIT ビットが "1" で、内部 WAIT フラグが "1" の場合)
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

PIN ビットが "0" (I²C-bus 割り込み要求あり) になると同時に IICIC レジスタの IR ビットが "1" (割り込み要求あり) になります。PIN ビットが "0" のとき、SCLMM 端子から "L" を出力します。

ただし、以下のすべての条件を満たすとき、SCLMM 端子から "L" を出力しません。

- マスタモード時、スレーブアドレスもしくはデータでアービトレーションロストを検出する
- S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット)
- スレーブアドレスが "0000000b" (ジェネラルコール) でなく、また、どの S0D0~S0D2 レジスタの SAD6~SAD0 ビットとも一致しない場合

BB (バスビジーフラグ) (b5)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10 レジスタ書き込みによる機能」を参照してください。

バスシステムの使用状態を示すビットです。マスタモード、スレーブモードにかかわらず BB フラグは SCLMM、SDAMM 入力信号をもとに変化します。

["0" になる条件]

- ストップコンディションの検出
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

["1" になる条件]

- スタートコンディションの検出

TRX (通信モード指定ビット0) (b6)

送信モードまたは受信モードを選択するビットです。

[“0”になる条件]

- プログラムでTRXビットに“0”を書く
- アービトレーションロスト検出
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S10レジスタのMSTビットが“0” (スレーブモード) でスタートコンディション検出
- S10レジスタのMSTビットが“0” (スレーブモード) でACK応答なしを検出
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

[“1”になる条件]

- プログラムでTRXビットに“1”を書く
- スレーブモード時、S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) でスレーブアドレス受信後にS10レジスタのAASビットが“1” (アドレス一致) になり、かつ受信したR/Wビットが“1”

MST (通信モード指定ビット1) (b7)

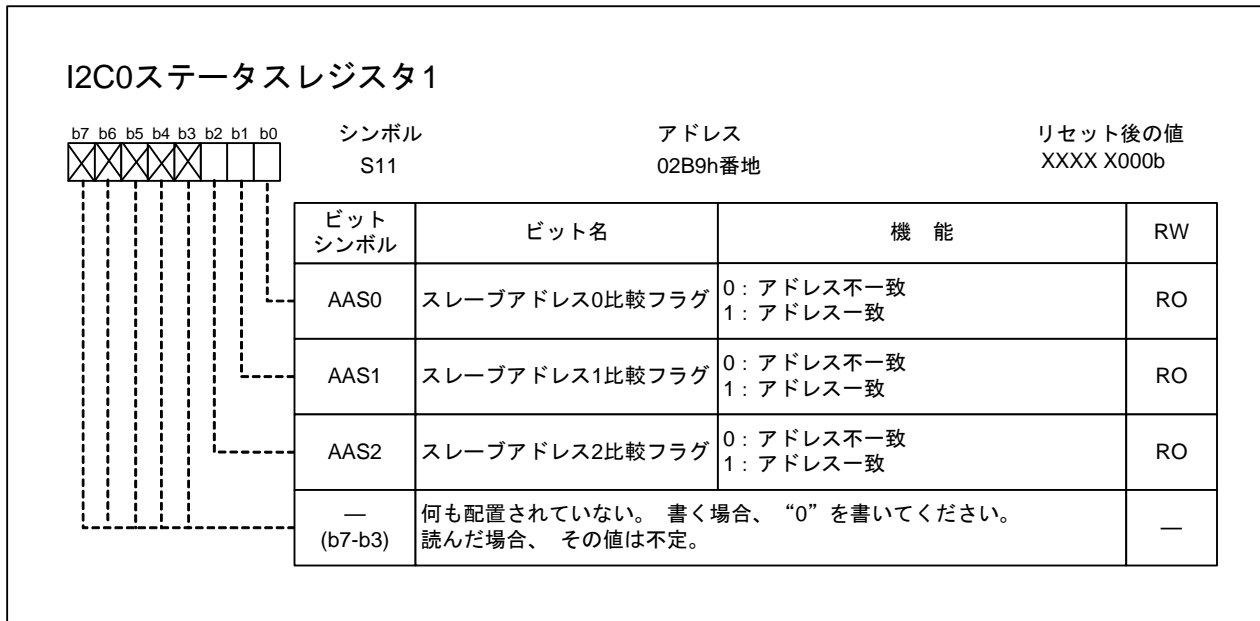
マスタモードまたはスレーブモードを選択するビットです。

[“0”になる条件]

- プログラムでMSTビットに“0”を書く
- アービトレーションロストを検出した場合、アービトレーションを失った1バイトデータの送受信完了
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

[“1”になる条件]

- プログラムでMSTビットに“1”を書く

22.2.9 I²C0ステータスレジスタ1 (S11)

AAS0 (スレーブアドレス0比較フラグ) (b0)

AAS1 (スレーブアドレス1比較フラグ) (b1)

AAS2 (スレーブアドレス2比較フラグ) (b2)

S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、受信したスレーブアドレスと、S0Diレジスタ(i=0~2)のSAD6~SAD0ビットの値を比較し、その結果をAASiビットに示します。AASiビットは、アドレス一致またはジェネラルコールの場合“1”になります。

S4D0レジスタのMSLADビットが“0”(S0D0レジスタのみ有効)のとき、AAS0ビットが有効になります。MSLADビットが“1”(S0D0~S0D2レジスタ有効)のとき、AAS2~AAS0ビットが有効となります。AAS2~AAS0ビットは次のとき“0”になります。

- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする
- S00レジスタへの書き込み

22.3 動作説明

22.3.1 クロック

図 22.5 に I²C 回路のクロックを示します。

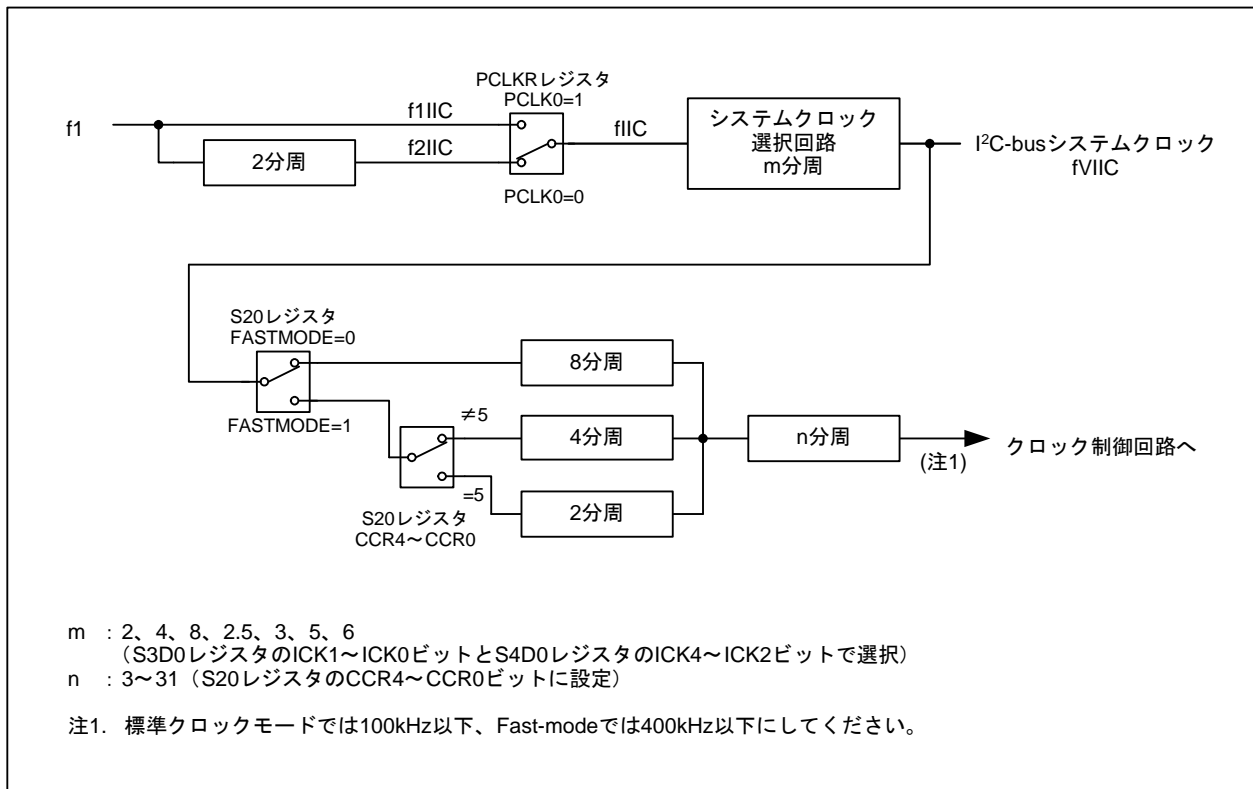


図 22.5 I²C回路のクロック

22.3.1.1 fVIIC

fVIICは周辺機能クロック f_1 の周波数、PCLKR レジスタのPCLK0ビット、S3D0レジスタのICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビットの組み合わせで決まります。fVIICはS1D0レジスタのES0ビットが“0” (I²C回路禁止) のときは停止します。

「表 22.7 I²C-bus システムクロック選択ビット」を参照してください。

22.3.1.2 ビットレートとデューティ

ビットレートはfVIICと、S20レジスタのCCR4~CCR0ビット、FASTMODEビットの組み合わせで決まります。

表 22.10に内部SCL出力のビットレートとデューティを示します。内部SCL出力の“H”の期間の変動が負値の場合、“H”の期間が短くなった分、“L”の期間が延びますのでビットレートが上がることはありません。なお、これらは外部デバイスのSCL出力の影響を受ける前の内部SCL出力です。

表 22.10 内部SCL出力のビットレートとデューティ

項目	標準クロックモード (FASTMODE=0)	Fast-mode (FASTMODE=1) CCR値が“5”以外	Fast-mode (FASTMODE=1) CCR値が“5”
ビットレート (単位: bps)	$\frac{fVIIC}{8 \times CCR \text{ 値}}$	$\frac{fVIIC}{4 \times CCR \text{ 値}}$	$\frac{fVIIC}{2 \times CCR \text{ 値}} = \frac{fVIIC}{10}$
デューティ	50% “H”の期間の変動: fVIICの+2 ~ -4サイクル	50% “H”の期間の変動: fVIICの+2 ~ -2サイクル	35~45%

CCR値: CCR4~CCR0ビットの設定値

Fast-modeかつCCR4~CCR0ビットの設定値(CCR値)が“5(00101b)”の場合は、ビットレートをFast-modeの最大値400kbpsにする場合を想定しています。そのため、ビットレートやデューティは次のようになります。

- ビットレートは

$$\frac{fVIIC}{2 \times CCR \text{ 値}} = \frac{fVIIC}{10}$$

fVIICが4MHzの場合、ビットレートは400kbps

- デューティは35~45%

ビットレートが400kbpsの場合も、SCLMMの“L”期間最小1.3μs(I²C-bus規格値)を確保します。

表 22.11にfVIICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例を示します。

表 22.11 fVIICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例

S20レジスタのCCR4~CCR0ビット					ビットレート (単位: kbps)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード	Fast-mode
0	0	0	0	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	0	1	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	1	設定しないでください(注2)	333
0	0	1	0	0	設定しないでください(注2)	250
0	0	1	0	1	100	400
0	0	1	1	0	83.3	166
:	:	:	:	:	(中略)	(中略)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. CCR4~CCR0ビット値はfVIICの周波数に関わらず0~2にしないでください。

注2. ビットレートが、標準クロックモードで100kbps、Fast-modeで400kbpsを超えるような値は設定しないでください。

22.3.1.3 ウェイトモード、ストップモードでのスレーブアドレス受信

CM0レジスタのCM02ビットで“0”（ウェイトモード時、周辺機能クロックf1を停止しない）を選択してウェイトモードに遷移した場合、ウェイトモード中も、I²C回路はスレーブアドレス受信が可能です。

CM0レジスタのCM02ビットで“1”（ウェイトモード時、周辺機能クロックf1を停止する）を選択してウェイトモードに遷移した場合、ストップモード時、または低消費電力モード時はfVIICが供給されないため、I²C回路は動作しません。SCL/SDA割り込みは、ウェイトモード、ストップモードでも使用可能です。

22.3.2 スタートコンディション発生方法

S1D0レジスタのES0ビットが“1”（I²C回路許可）、S10レジスタのBBビットが“0”（バスフリー）の状態、次の手順を実行してください。図 22.6にスタートコンディション発生手順を示します。

(1) S10レジスタに“E0h”を書き込む

スタートコンディションスタンバイ状態になり、SDAMM端子を開放します。

(2) S00レジスタにスレーブアドレスを書き込む

スタートコンディションが発生します。その後、ビットカウンタが“000b”になり1バイト分のSCLクロックが出力され、スレーブアドレスを送信します。

なお、ストップコンディションを発生し、BBビットが“0”（バスフリー）になってからfVIICの1.5サイクル間は、S10レジスタに値を書き込めず、その後、S00レジスタに書き込んででもスタートコンディションは発生しません。BBビットが“1”から“0”に変化した後すぐにスタートコンディション発生の手順を行う場合は、(1)の後にTRXビットおよびMSTビットがともに“1”になっている事を確認後、(2)を実行してください。

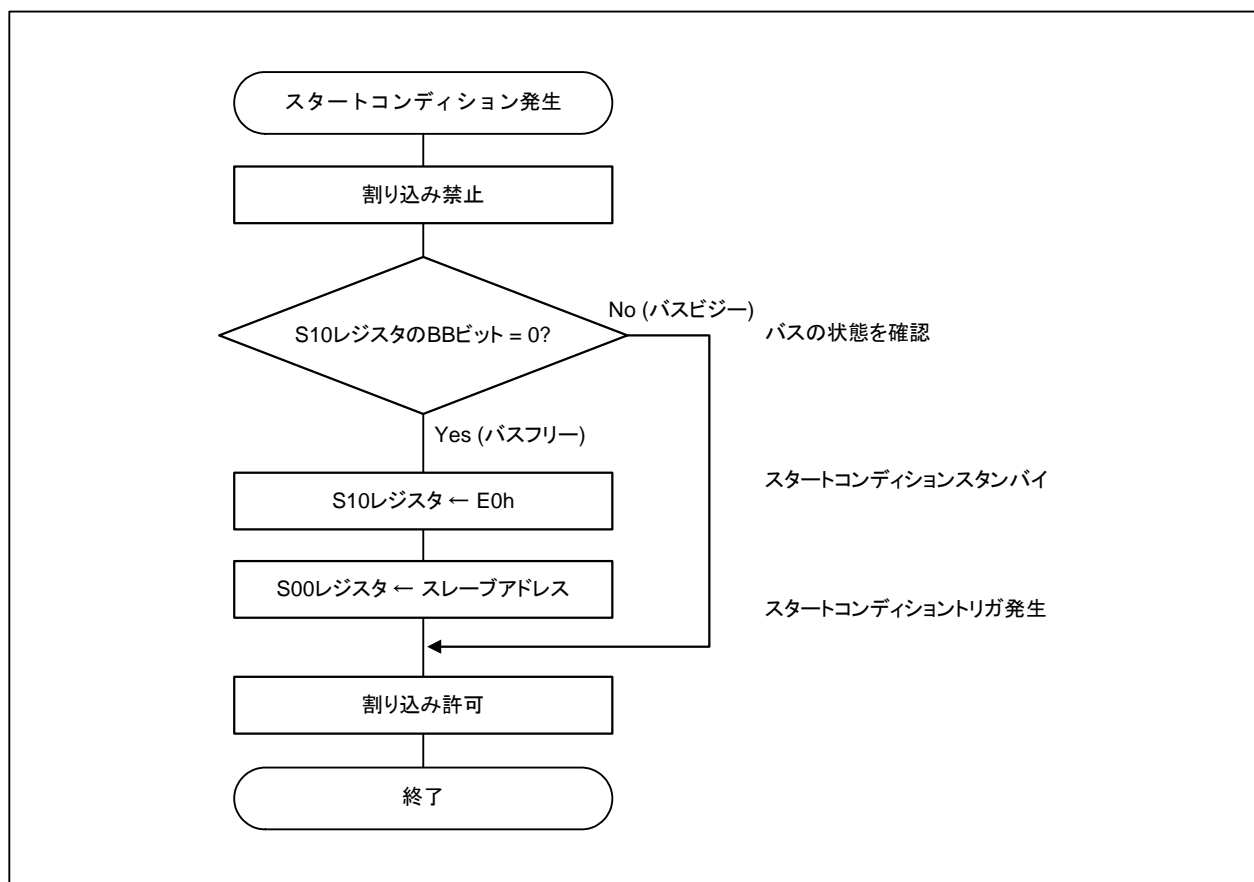


図 22.6 スタートコンディション発生手順

スタートコンディションの発生タイミングは、標準クロックモードと Fast-mode で異なります。図 22.7 にスタートコンディション発生タイミングを示します。

表 22.12 にスタート/ストップコンディション発生のセットアップ/ホールド時間を示します。

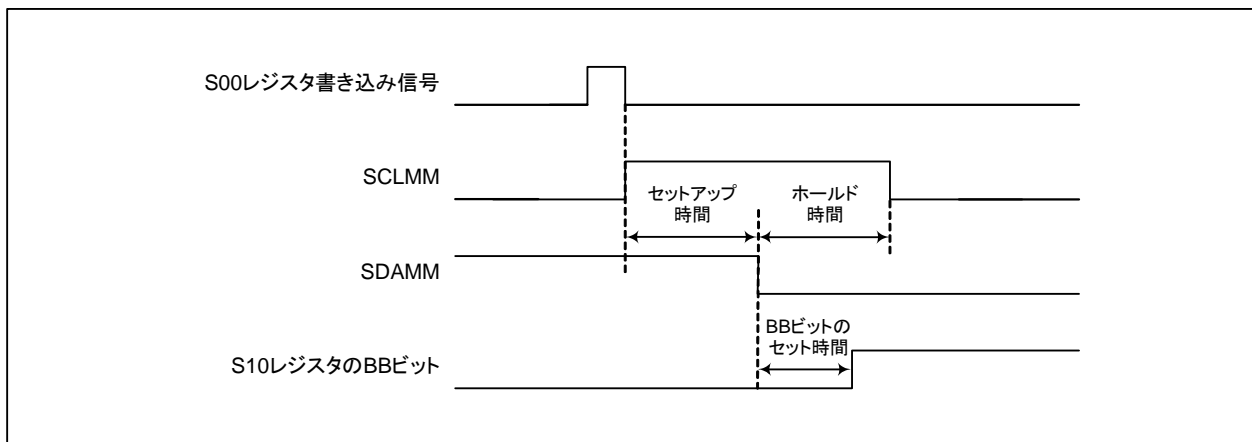


図 22.7 スタートコンディション発生タイミング

表 22.12 スタート/ストップコンディション発生のセットアップ/ホールド時間

項目	STSPSEL ビット	標準クロックモード		Fast-mode	
		fVIIC の サイクル数	fVIIC=4MHz の場合	fVIIC の サイクル数	fVIIC=4MHz の場合
セットアップ時間	0 (ショートモード)	20	5.0µs	10	2.5µs
	1 (ロングモード)	52	13.0µs	26	6.5µs
ホールド時間	0 (ショートモード)	20	5.0µs	10	2.5µs
	1 (ロングモード)	52	13.0µs	26	6.5µs
BB ビットセット/ リセット時間	—	$\frac{SSC \text{ 値} - 1}{2} + 2$	3.375µs (注1)	3.5	0.875µs

—: 0でも1でもよい

STSPSEL: S2D0レジスタのビット

SSC 値: S2D0レジスタのSSC4~SSC0ビットの値

注1. SSC4~SSC0ビットが“11000b”の例

22.3.3 ストップコンディション発生方法

S1D0レジスタのES0ビットが“1” (I²C回路許可) の状態で、次の手順を実行してください。

- (1) S10レジスタの“C0h”を書き込む
ストップコンディションスタンバイ状態になり、SDAMM端子を“L”にします。
- (2) S00レジスタにダミーデータを書き込む
ストップコンディションが発生します。

ストップコンディションの発生タイミングは、標準クロックモードと Fast-mode で異なります。図 22.8 にストップコンディション発生タイミングを示します。セットアップ/ホールド時間は「表 22.12 スタート/ストップコンディション発生時のセットアップ/ホールド時間」を参照してください。

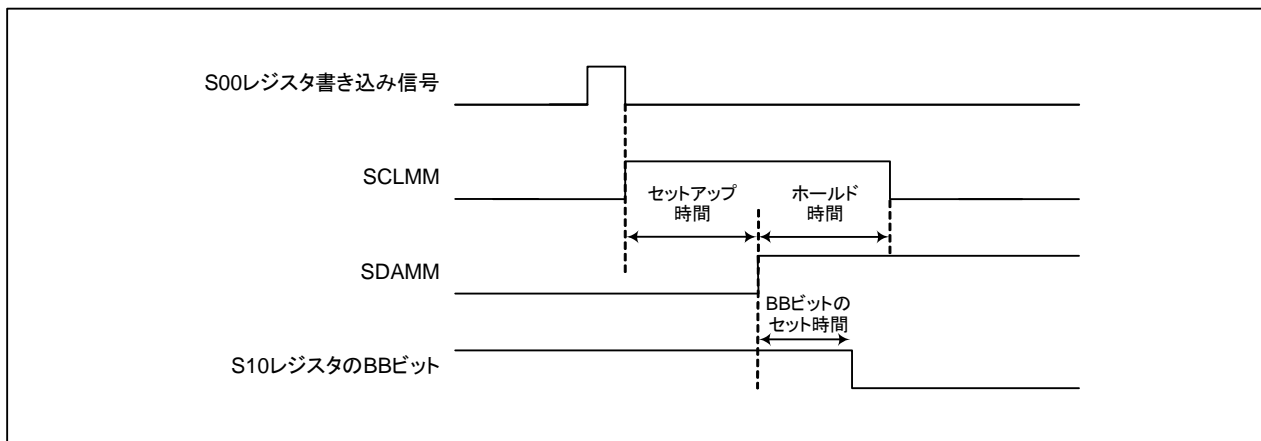


図 22.8 ストップコンディション発生タイミング

なお、ストップコンディションを発生させる命令 (上記(2)を参照) を実行した後、S10レジスタのBBビットが“0” (バスフリー) になるまでの間、S10レジスタまたはS00レジスタに書き込みを行わないでください。

また、ストップコンディションを発生させる命令を実行し、SCLMM端子のレベルが“H”になった後、S10レジスタのBBビットが“0” (バスフリー) になるまでの間に、SCLMM端子の入力信号が“L”になると、内部SCL出力を“L”にします。この場合、以下のいずれかの処理を行うとSCLMM端子の“L”出力を停止 (SCLMM端子を開放) します。

- ストップコンディションの発生 (前述の(1)(2)の手順を実行)
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- IHRビットを“1” (I²C回路リセット) にする

22.3.4 リスタートコンディションの発生

1バイトのデータ送受信後にリスタートコンディションを発生させる場合は、次の手順を実行してください。

- (1) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態。SDAMM端子開放)
- (2) SDAMM端子が“H”になるまで待つ
- (3) S00レジスタにスレーブアドレスを書き込む(スタートコンディショントリガ発生)

図 22.9 にリスタートコンディション発生タイミングを示します。

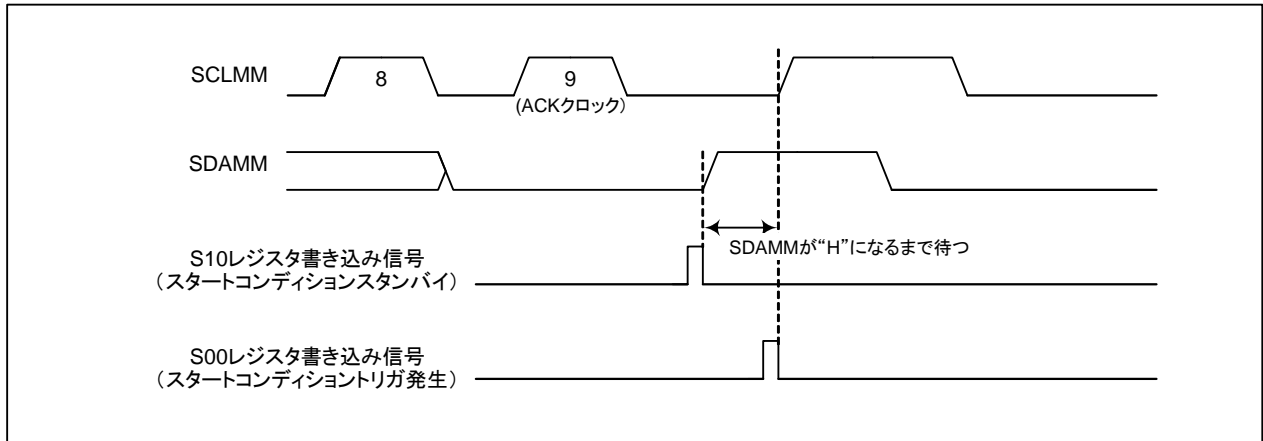


図 22.9 リスタートコンディション発生タイミング

22.3.5 スタートコンディション重複防止機能

スタートコンディション生成時は、プログラムでS10レジスタのBBビットでバスが使用されていないことを確認した後に、プログラムでS10レジスタ、S00レジスタに書き込むと、I²C回路がスタートコンディションを発生します。しかし、BBビットの確認後、S10レジスタ、S00レジスタに書き込む前に別のマスタデバイスがスタートコンディションを生成する可能性があります。この場合、I²C回路がスタートコンディションを検出するとBBビットが“1”（バスビジー）になり、スタートコンディション重複防止機能が動作します。

スタートコンディション重複防止機能の動作は次のとおりです。

- S10レジスタに“E0h”を書いても、スタートコンディションスタンバイ状態にならない
- スタートコンディションスタンバイ状態になっていた場合は、状態を解除する
- プログラムでS00レジスタに書き込んでも、スタートコンディショントリガは発生しない
- S10レジスタのMST、TRXビットが“0”（スレーブ受信モード）になる
- S10レジスタのALビットが“1”（アービトレーションロスト検出）になる

図 22.10 にスタートコンディション重複防止機能動作例を示します。

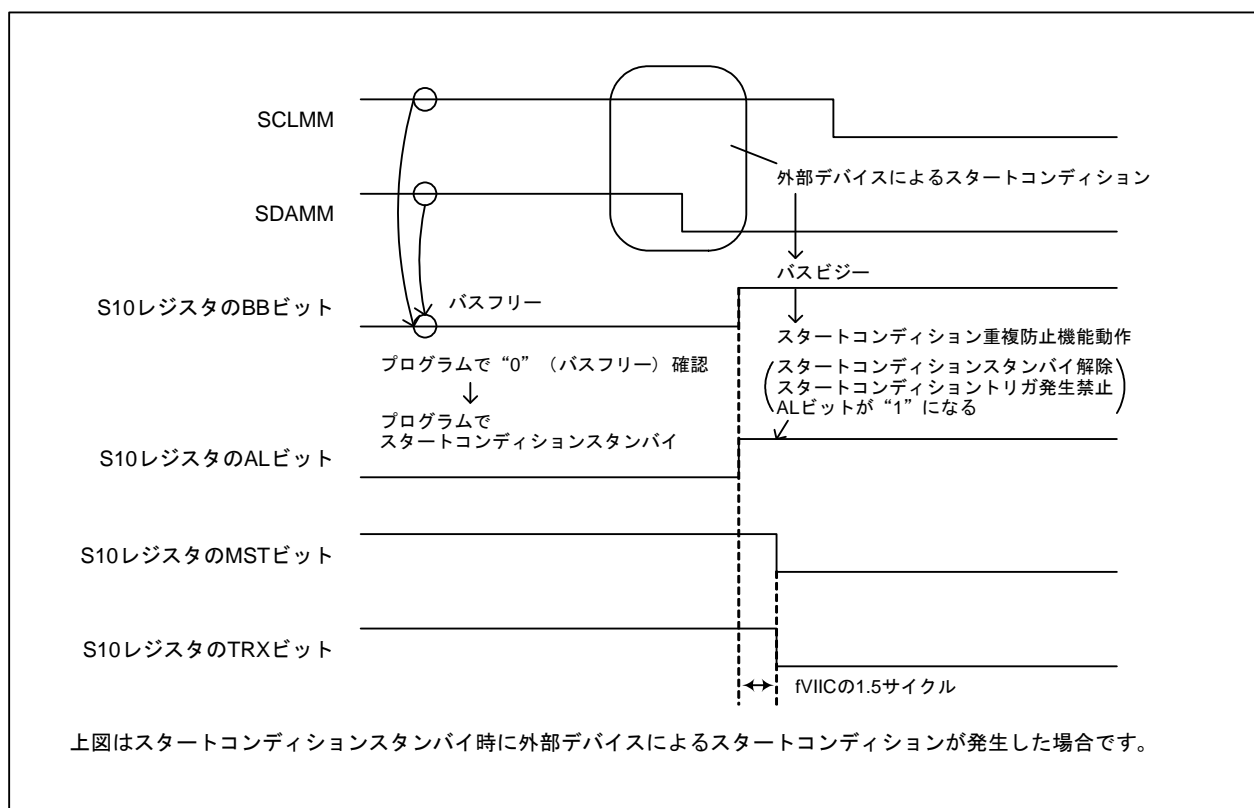


図 22.10 スタートコンディション重複防止機能動作例

スタートコンディション重複防止機能の有効期間は、スタートコンディションのSDAMM立ち下がりからスレーブアドレスの受信完了までです。すなわち、この期間にS10レジスタ、S00レジスタに書き込むと前述の動作をします。図 22.11 にスタートコンディション重複防止機能有効期間を示します。

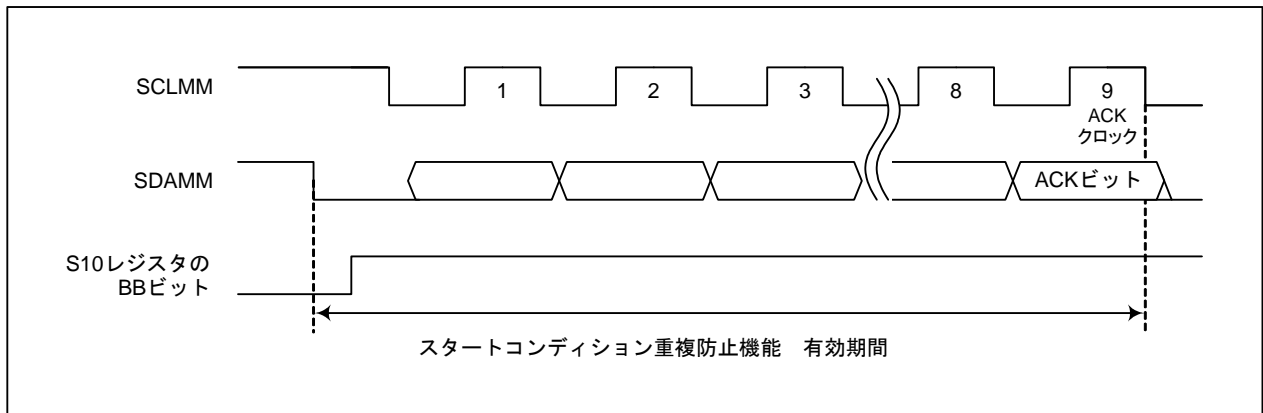


図 22.11 スタートコンディション重複防止機能有効期間

22.3.6 アービトレーションロスト

I²C回路は、次の(a)~(c)の条件をすべて満たす場合に、外部デバイスによってSDAMM端子のレベルが“L”になった、すなわちアービトレーションロストと判定します。

(a) 通信状態: 次のいずれか

- ・マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出(ACKクロック以外)
- ・マスタ送信モードでデータ送信(ACKクロック以外)
- ・マスタ送信モードまたはマスタ受信モードでスタートコンディション送出
- ・マスタ送信モードまたはマスタ受信モードでストップコンディション送出

(b) 内部SDA出力: H

(c) SDAMM端子のレベル: L (SCLMM端子のクロックの立ち上がりエッジでサンプリング)

図 22.12 にアービトレーションロスト検出時の動作例を示します。

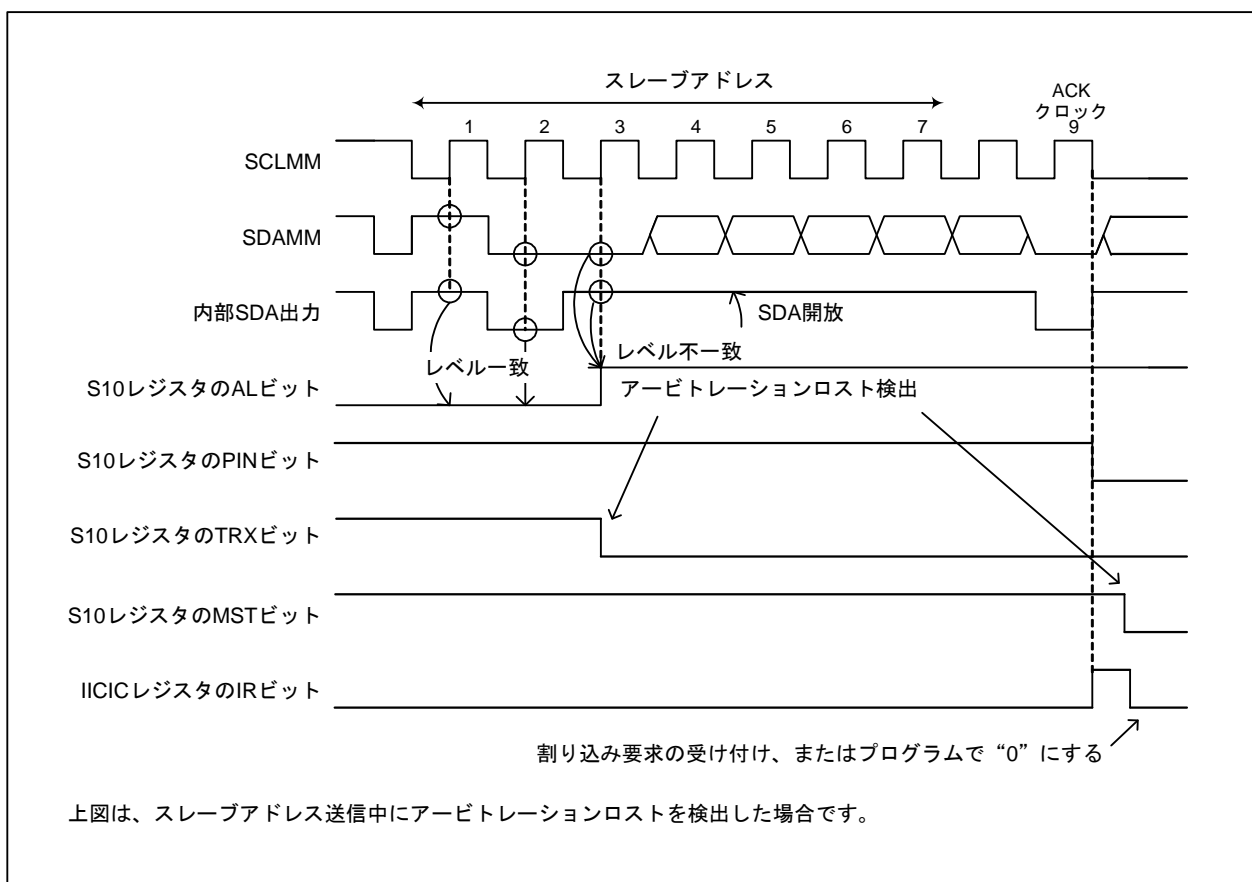


図 22.12 アービトレーションロスト検出時の動作例

アービトレーションロストを検出すると、次のようになります。

- ・S10レジスタのALビット: “1” (アービトレーションロスト検出)
- ・内部SDA出力: “H” (SDAMM開放)
- ・スレーブ受信モードになる
 - S10レジスタのTRXビット: “0” (受信モード)
 - S10レジスタのMSTビット: “0” (スレーブモード)

アービトレーションロスト検出後、ALビットを“0”に戻す場合は、S00レジスタに値を書き込んでください。

スレーブアドレス送信中にアービトレーションロストを検出した場合、自動でスレーブ受信モードになるので、スレーブアドレスを受信できます。S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、スレーブアドレス比較結果はS10レジスタのADR0ビット、AASビットで分かります。データ送信中にアービトレーションロストを検出した場合も、自動でスレーブ受信モードになるので、データを受信できます。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”(リード)の場合も、TRXビットが“0”(受信モード)になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”(スレーブ送信モード)を書き込んでから、スレーブ送信してください。

22.3.7 スタート/ストップコンディション検出

図 22.13 にスタートコンディション検出、図 22.14 にストップコンディション検出、表 22.13 にスタート/ストップコンディション検出条件を示します。

スタート/ストップコンディションはS2D0レジスタのSSC4~SSC0ビットにより条件が設定され、SCLMM端子、SDAMM端子の入力信号が、表 22.13 のSCLMM開放時間、セットアップ時間、ホールド時間の3つの条件を満たす場合のみ検出できます。

S10レジスタのBBビットは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBビットのセット/リセットタイミングは標準クロックモードとFast-modeで異なります。表 22.14 のBBビットセット/リセット時間を参照してください。

表 22.14 に標準クロックモードでのSSC4~SSC0ビットの推奨値を示します。

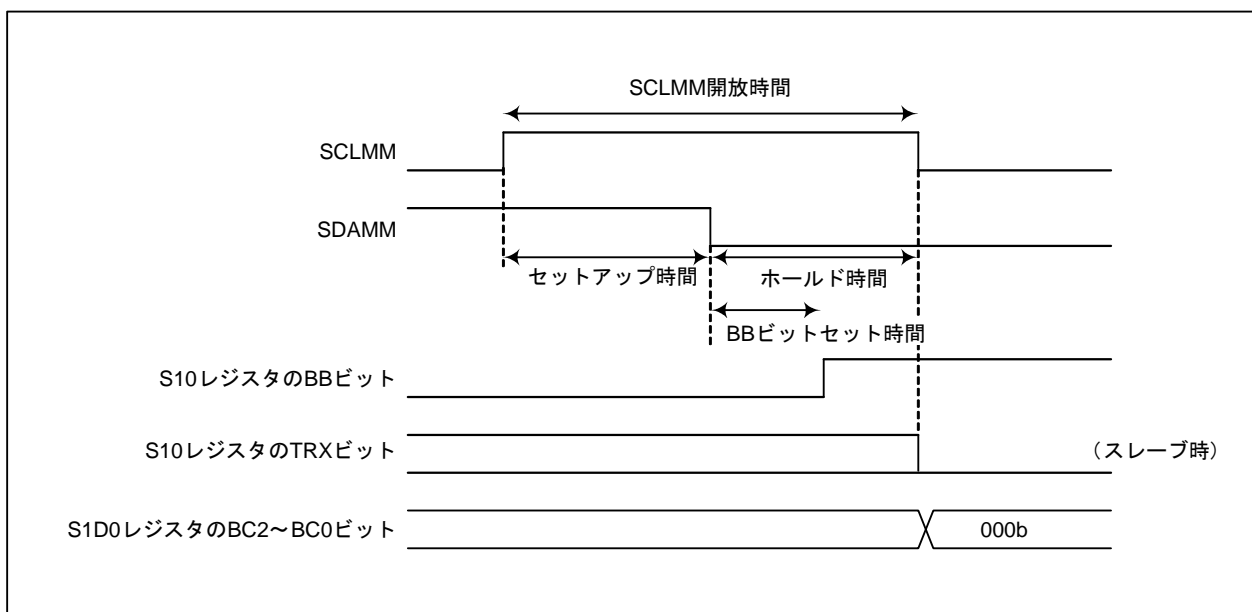


図 22.13 スタートコンディション検出

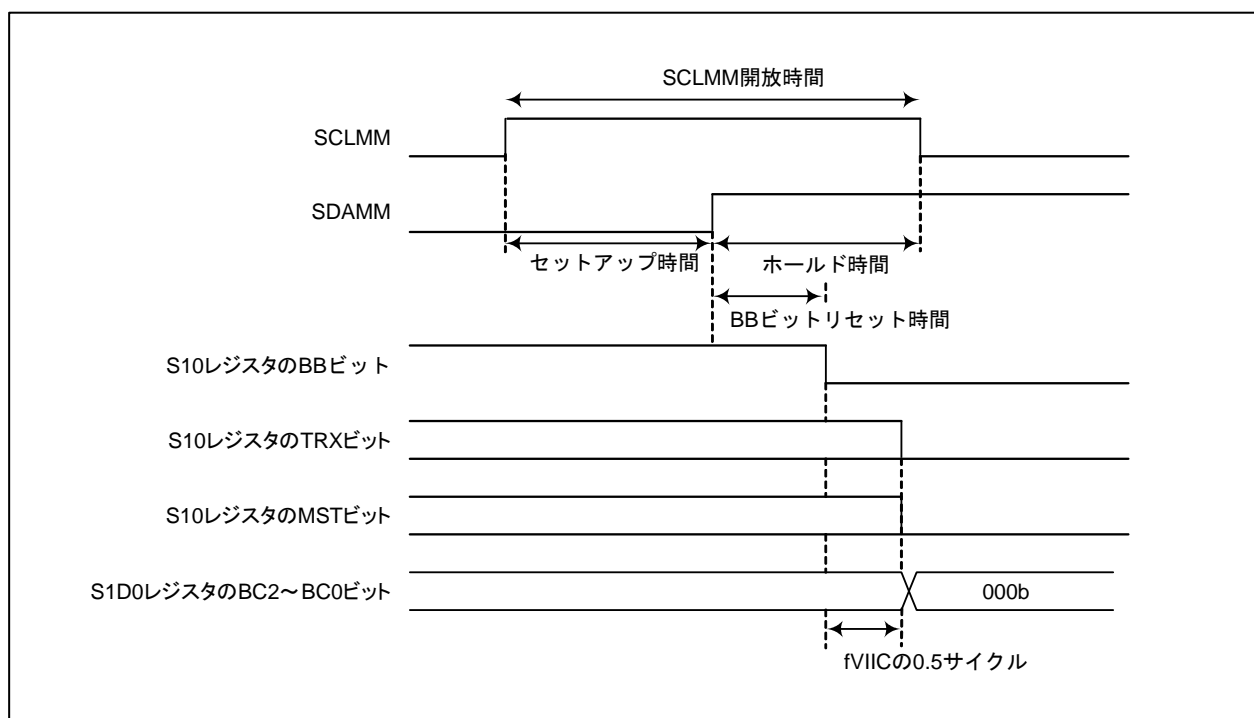


図 22.14 ストップコンディション検出

表 22.13 スタート/ストップコンディション検出条件

	標準クロックモード	Fast-mode
SCLMM開放時間	SSC値+1サイクル	4サイクル
セットアップ時間	$\frac{\text{SSC値}}{2} + 1$ サイクル	2サイクル
ホールド時間	$\frac{\text{SSC値}}{2}$ サイクル	2サイクル
BBビットセット/ リセット時間	$\frac{\text{SSC値}-1}{2} + 2$ サイクル	3.5サイクル

単位: fVIICのサイクル数

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

表 22.14 標準クロックモードでのSSC4~SSC0ビットの推奨値

fVIIC	SSC値 (推奨値)	スタート/ストップコンディションの検出条件			BBビットセット/ リセット時間
		SCLMM開放時間	セットアップ時間	ホールド時間	
5MHz	11110b	6.2μs (31)	3.2μs (16)	3.0μs (15)	3.3μs (16.5)
4MHz	11010b	6.75μs (27)	3.5μs (14)	3.25μs (13)	3.625μs (14.5)
	11000b	6.25μs (25)	3.25μs (13)	3.0μs (12)	3.375μs (13.5)
2MHz	01100b	6.5μs (13)	3.5μs (7)	3.0μs (6)	3.75μs (7.5)
	01010b	5.5μs (11)	3.0μs (6)	2.5μs (5)	3.25μs (6.5)
1MHz	00100b	5.0μs (5)	3.0μs (3)	2.0μs (2)	3.5μs (3.5)

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

()内はfVIICのサイクル数

22.3.8 スレーブアドレス/データ送受信完了時の動作

スレーブアドレス送受信または1バイトのデータ送受信が終わると、ACKクロックの立ち下がり
 S10レジスタのPINビットが“0”(割り込み要求あり)になり、同時にIICICレジスタのIRビットが“1”
 (割り込み要求あり)になります。また、送受信データの状態やSCLMM、SDAMM端子の状態によって
 S10レジスタなどが変化します。図 22.15にスレーブアドレス/データ送受信完了時の動作を示します。

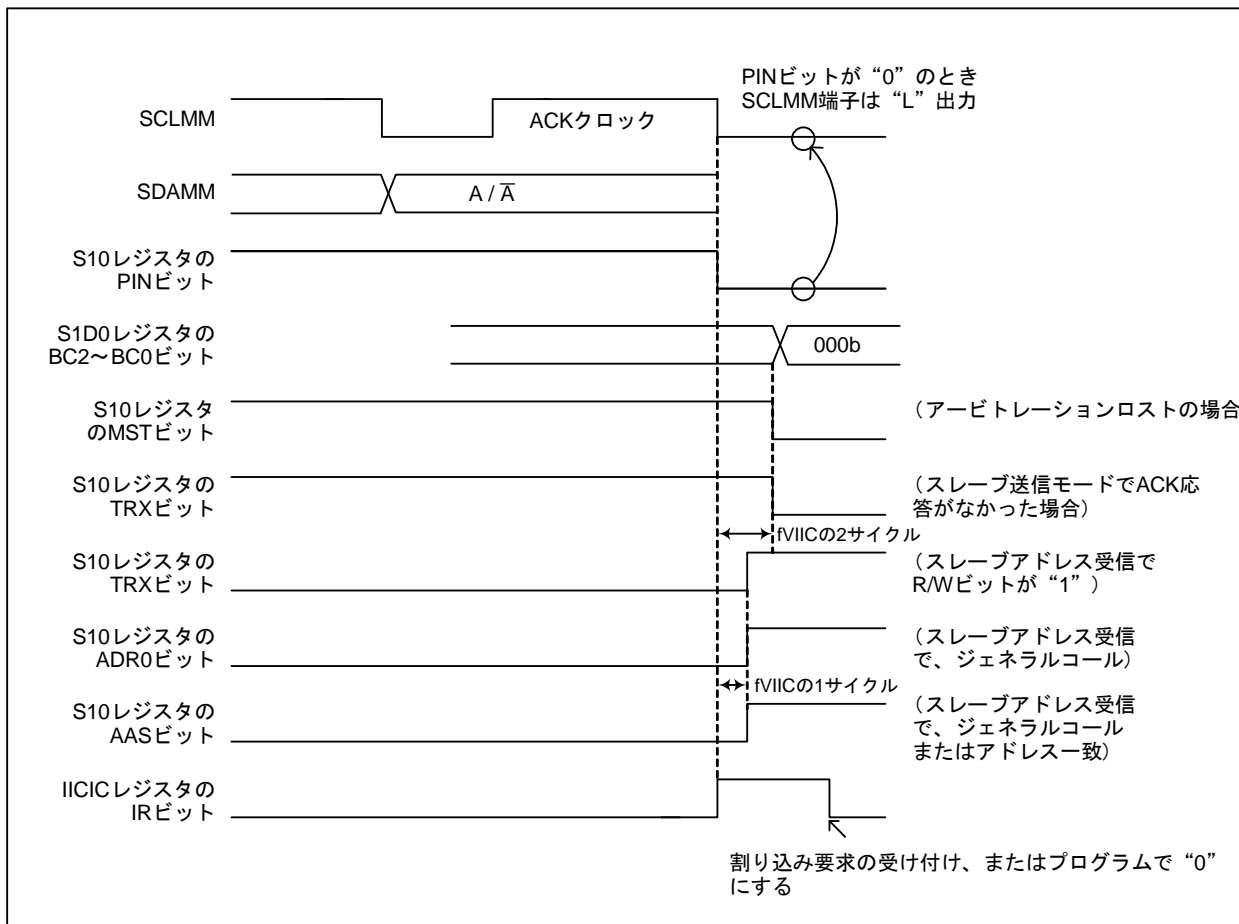


図 22.15 スレーブアドレス/データ送受信完了時の動作

22.3.9 タイムアウト検出

送受信中に SCL クロックが停止すると、各デバイスは通信状態のままで停止してしまいます。それを回避するため、I²C 回路は送受信中に SCLMM 端子のレベルが“H”で一定期間以上停止したときにタイムアウトを検出して I²C-bus 割り込み要求を発生させる機能を備えています。図 22.16 にタイムアウト検出タイミングを示します。タイムアウト検出時間は「22.2.7 I2C0 制御レジスタ 2 (S4D0) の TOSEL (タイムアウト検出時間選択ビット) (b2)」を参照してください。

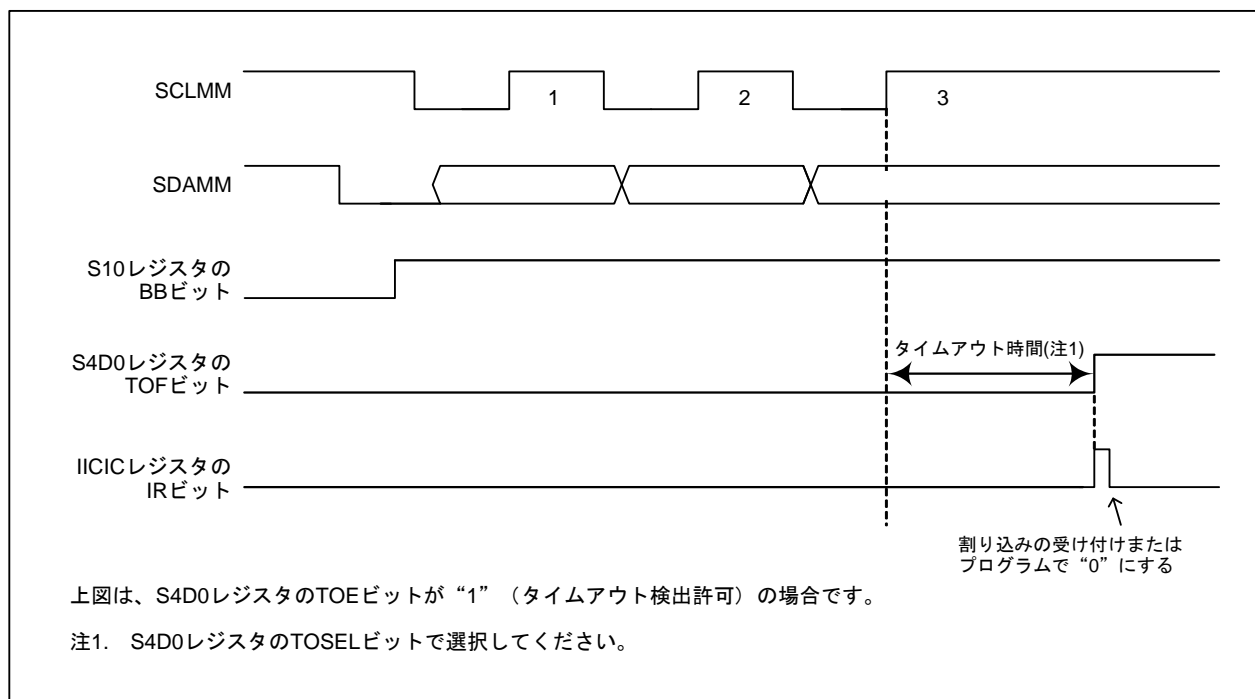


図 22.16 タイムアウト検出タイミング

次の条件をすべて満たすとタイムアウトを検出します。

- S4D0レジスタのTOEビットが“1”（タイムアウト検出機能許可）
- S10レジスタのBBビットが“1”（バスビジー）
- SCLMM端子のレベルがタイムアウト検出時間以上“H”

タイムアウトを検出すると次のようになります。

- S4D0レジスタのTOFビットが“1”（タイムアウト検出）
- IICICレジスタのIRビットが“1”（I²C-bus割り込み要求あり）

タイムアウトを検出した場合には、次のいずれかの処理をしてください。

- S1D0レジスタのES0ビットを“0”（禁止）にする
- S1D0レジスタのIHRビットを“1”（I²C回路リセット）にする

22.3.10 データ送受信例

データ送受信例を示します。この例は次の条件の場合です。

- スレーブアドレス: 7ビット
- データ: 8ビット
- ACKクロックあり
- 標準クロックモード、ビットレート: 100kbps (fIIC: 20MHz、fVIIC: 4MHz)
20MHz (fIIC)の5分周=4MHz (fVIIC)、
4MHz (fVIIC)の8分周の5分周=100kbps (ビットレート)
- 受信モード時、最後のデータ以外はACKを返す。最後のデータ受信後はNACKを返す
- データ受信時、8クロック目(ACKクロックの前)の割り込み: 禁止
- ストップコンディション検出割り込み: 許可
- タイムアウト検出割り込み: 禁止
- 自スレーブアドレスはS0D0レジスタに設定(S0D1、S0D2レジスタは使用しない)

なお、データ受信時、8クロック目(ACKクロックの前)の割り込みを許可にすると、1バイトごとにデータを確認してからACK/NACKのいずれを生成するか判断できます。

22.3.10.1 初期設定

22.3.10.2~22.3.10.5の共通の初期設定です。次の手順で設定してください。

- (1) S0D0レジスタのSAD6~SAD0ビットに自スレーブアドレスを書く
- (2) S20レジスタに“85h”を書く (CCR値: 5、標準クロックモード、ACKクロックあり)
- (3) S4D0レジスタに“18h”を書く (fVIIC: fIICの5分周、タイムアウト検出割り込み禁止)
- (4) S3D0レジスタに“01h”を書く (データ受信時、8クロック目(ACKクロックの前)の割り込み禁止、ストップコンディション検出割り込み許可)
- (5) S10レジスタに“0Fh”を書く (スレーブ受信モード)
- (6) S2D0レジスタに“98h”を書く (SSC値: 18h、スタート/ストップコンディション発生タイミング: ロングモード)
- (7) S1D0レジスタに“08h”を書く (ビットカウンタ: 8、I²C回路許可、アドレッシングフォーマット、入力レベル: I²C-bus入力)

なお、シングルマスタ、かつ、このマイコンがマスタの場合、(1)は省略できます。

22.3.10.2 マスタ送信

マスタ送信の手順と動作を説明します。図 22.17 にマスタ送信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとします。

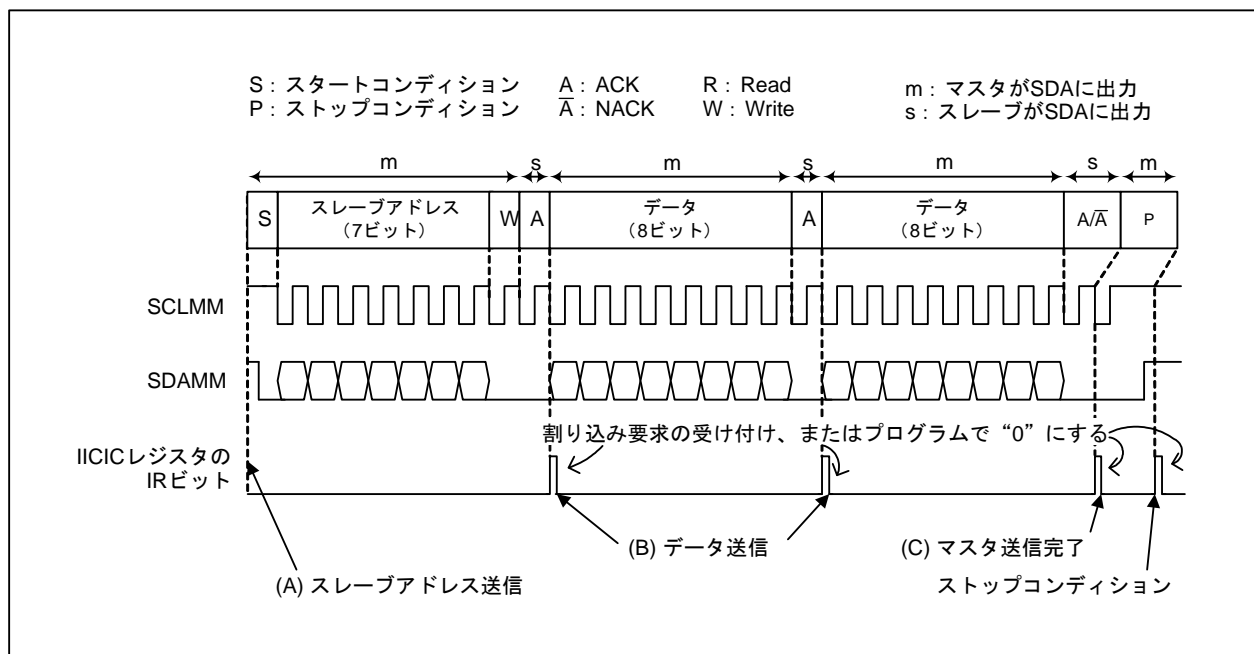


図 22.17 マスタ送信の動作例

(A) スレーブアドレス送信

- (1) S10レジスタのBBビットが“0” (バスマスター)を確認
- (2) S10レジスタに“E0h”を書き込む (スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“0”を書く (スタートコンディション発生、続けてスレーブアドレス送信)

(B) データ送信

- (I²C-bus 割り込みルーチンで)
- (1) S00レジスタに送信データを書く (データ送信)

(C) マスタ送信完了

- (I²C-bus 割り込みルーチンで)
- (1) S10レジスタに“C0h”を書き込む (ストップコンディションスタンバイ状態)
 - (2) S00レジスタにダミーデータを書く (ストップコンディション発生)

送信が完了した場合、スレーブデバイスからACK応答がない (NACK) 場合も上記のマスタ送信完了処理をしてください。

22.3.10.3 マスタ受信

マスタ受信の手順と動作を説明します。図 22.18 にマスタ受信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(D)では、それぞれ次に示すプログラムを実行するものとします。

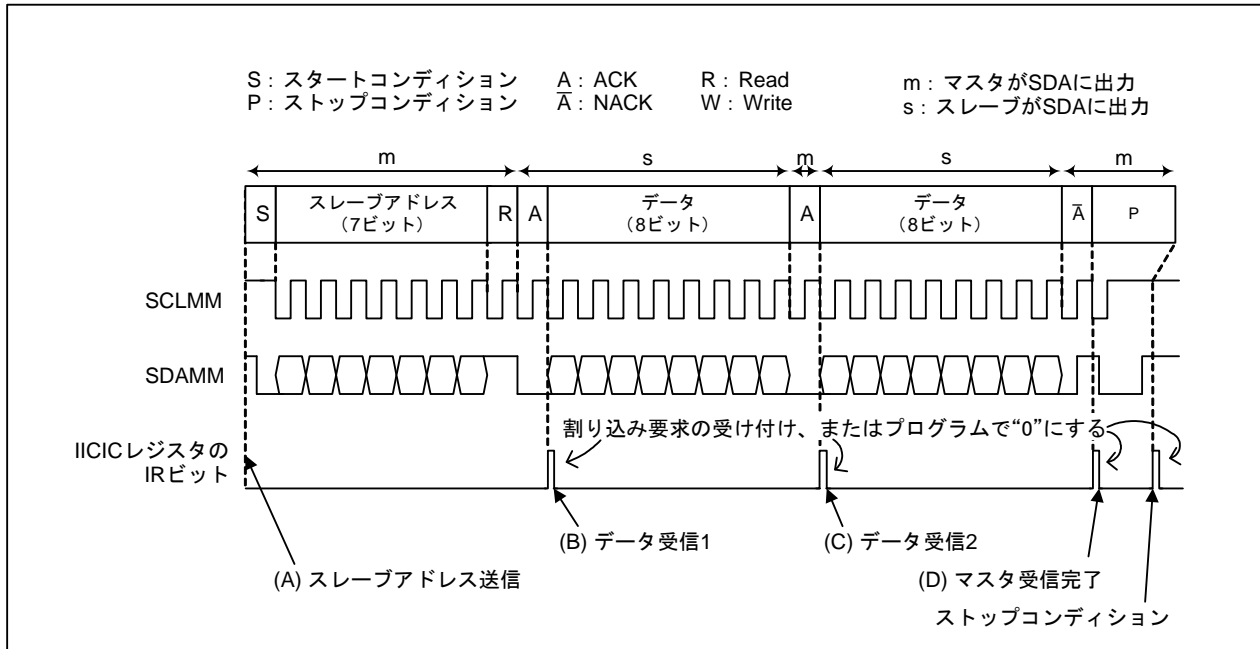


図 22.18 マスタ受信の動作例

(A)スレーブアドレス送信

- (1) S10レジスタのBBビットが“0” (バスフリー)を確認
- (2) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“1”を書く(スタートコンディション発生、続けてスレーブアドレス送信)

(B)データ受信1(スレーブアドレス送信後)

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタに“AFh”を書き込む(マスタ受信モード)
- (2) (最後のデータではないので) S20レジスタのACKBITビットを“0”(ACKあり)にする
- (3) S00レジスタにダミーデータを書く

(C)データ受信2(データ受信)

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) (最後のデータなので) S20レジスタのACKBITビットを“1”(ACKなし)にする
- (3) S00レジスタにダミーデータを書く

(D)マスタ受信完了

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) S10レジスタに“C0h”を書き込む(ストップコンディションスタンバイ状態)
- (3) S00レジスタにダミーデータを書く(ストップコンディション発生)

22.3.10.4 スレーブ受信

スレーブ受信の手順と動作を説明します。図 22.19 にスレーブ受信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとします。

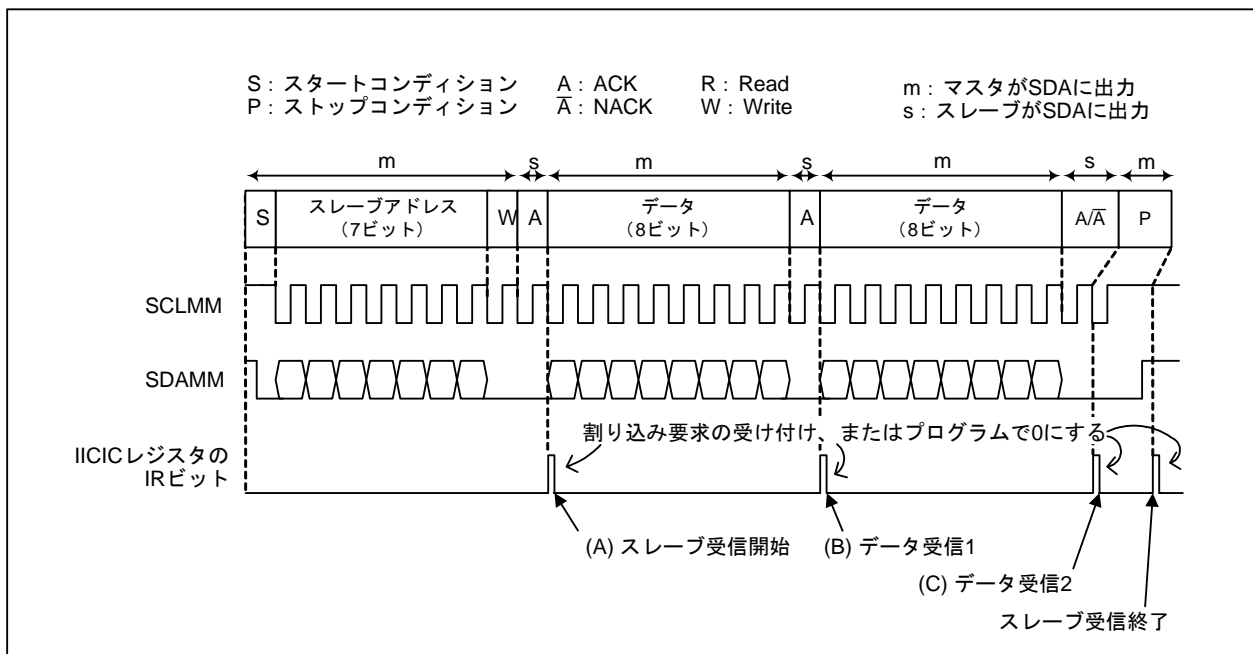


図 22.19 スレーブ受信の動作例

(A)スレーブ受信開始

(I²C-bus 割り込みルーチンで)

- (1) S10 レジスタの値を確認。TRX ビットが“0” ならスレーブ受信
- (2) S00 レジスタにダミーデータを書き込む

(B)データ受信1

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタから受信データ読み出し
- (2) (最後のデータではないので) S20 レジスタの ACKBIT ビットを“0” (ACKあり) にする
- (3) S00 レジスタにダミーデータを書く

(C)データ受信2

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタから受信データ読み出し
- (2) (最後のデータなので) S20 レジスタの ACKBIT ビットを“1” (ACKなし) にする
- (3) S00 レジスタにダミーデータを書く

22.3.10.5 スレーブ送信

スレーブ送信の手順と動作を説明します。図 22.20 にスレーブ送信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(B)では、それぞれ次に示すプログラムを実行するものとします。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”（リード）の場合も、TRX ビットが“0”（受信モード）になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”（スレーブ送信モード）を書き込んでから、スレーブ送信してください。

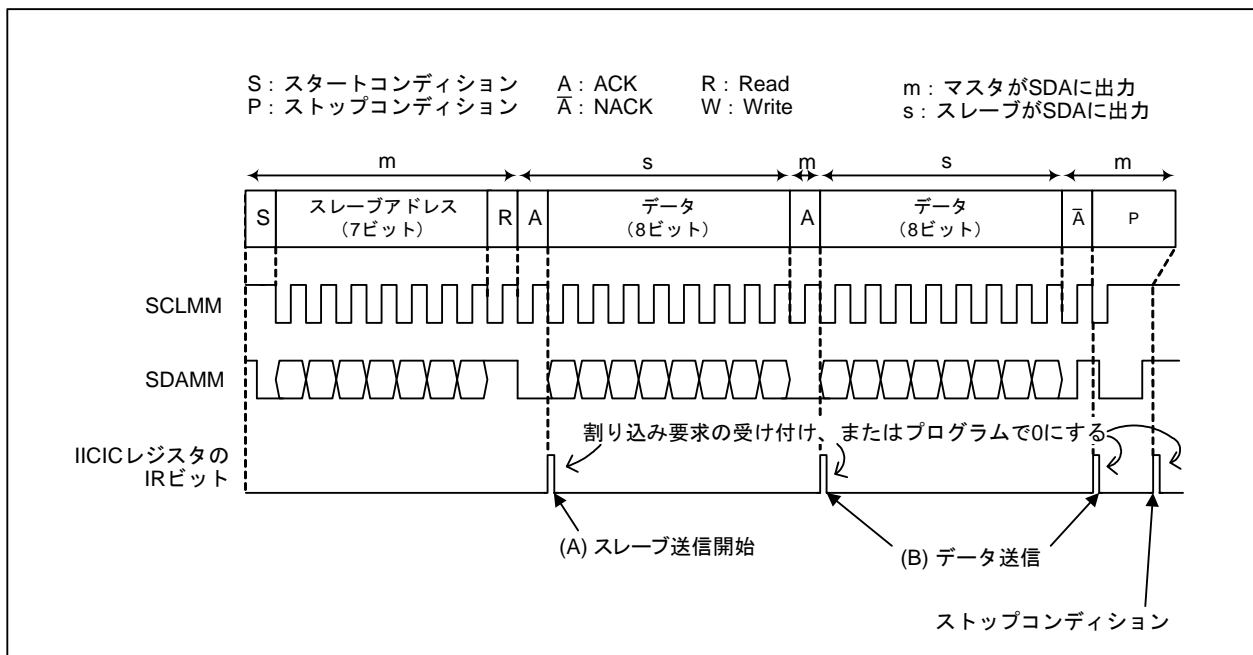


図 22.20 スレーブ送信の動作例

(A)スレーブ送信開始

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタの値を確認。TRX ビットが“1” ならスレーブ送信
- (2) S00 レジスタに送信データを書き込む

(B)データ送信

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタに送信データを書き込む

最後のデータ送信のACKクロックの割り込みでも、S00レジスタにダミーデータを書き込んでください。S00レジスタに書き込むとSCLMM端子のレベルが開放されます。

22.4 割り込み

I²C回路は割り込み要求を発生します。図 22.21 に I²C回路の割り込みを、表 22.15 に I²C回路の割り込みを示します。

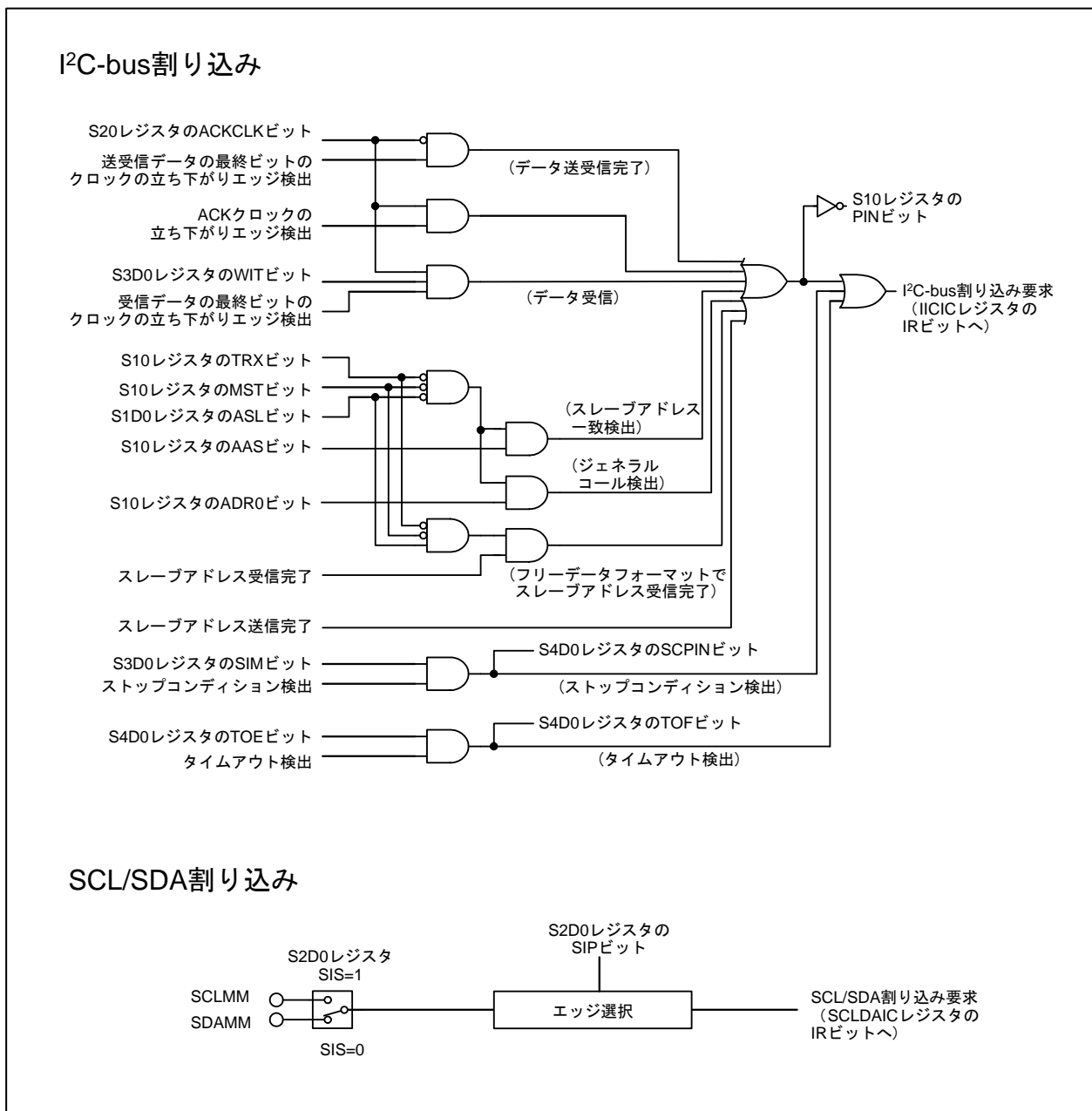


図 22.21 I²C回路の割り込み

表 22.15 I²C回路の割り込み

割り込み	割り込み要因	関連ビット (レジスタ: ビット)		割り込み制御レジスタ
		割り込み許可	割り込み要求	
I ² C-bus 割り込み	データ送受信完了 S20 レジスタのACKCLKビットが“0”の場合、 SCLMM端子の送受信データの最終クロック の立ち下がリエッジ検出 ACKCLKビットが“1”の場合、SCLMM端子の ACKクロックの立ち下がリエッジ検出	—	S10: PIN	IICIC
	データ受信 (ACKクロックの前) SCLMM端子の送受信データの最終クロック の立ち下がリエッジ検出	S3D0: WIT		
	スレーブアドレス一致検出 スレーブ受信モード時、アドレッシング フォーマットで、受信したスレーブアドレス がS0D0~S0D2 レジスタのSAD6~SAD0 ビッ トと一致 (S10 レジスタのAASビットが“1”)	—		
	ジェネラルコール検出 スレーブ受信モード時、アドレッシング フォーマットで、ジェネラルコール (S10レ ジスタのADR0ビットが“1”)	—		
	スレーブ受信モード時、フリーデータフォー マットで、スレーブアドレス受信完了	—		
	ストップコンディション検出	S3D0: SIM	S4D0: SCPIN	
	タイムアウト検出	S4D0: TOE	S4D0: TOF	
SCL/ SDA割 り込み	SCLMMまたはSDAMM端子の、入出力信号 の立ち下がりまたは立ち上がりエッジ検出	—	—	SCLDAIC

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 22.16にI²C回路の割り込み関連レジスタを示します。

表 22.16 I²C回路の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
007Bh	I ² C-bus インタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA 割り込み制御レジスタ	SCLDAIC	XXXX X000b
0206h	割り込み要因選択レジスタ 2	IFSR2A	00h

I²C-bus インタフェース割り込みを使用する場合は、IFSR2A レジスタのIFSR22 ビットを“1” (I²C-bus 割り込み) にしてください。

SCL/SDA 割り込みを使用する場合は、IFSR2A レジスタのIFSR23 ビットを“1” (SCL/SDA 割り込み) にしてください。

SCL/SDA 割り込みは、ウェイトモード、ストップモードでも有効です。

SCL/SDA 割り込みでは、S1D0 レジスタのES0 ビット、S2D0 レジスタのSIP、SIS ビットのいずれかを変更すると、SCLDAIC レジスタのIR ビットが“1” (割り込み要求あり) になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

- (1) SCLDAIC レジスタのILVL2~ILVL0 ビットを“000b” (割り込み禁止) にする。
- (2) S1D0 レジスタのES0 ビット、S2D0 レジスタのSIP、SIS ビットを設定する。
- (3) SCLDAIC レジスタのIR ビットを“0” (割り込み要求なし) にする。

22.5 マルチマスタ I²C-bus インタフェース使用上の注意事項

22.5.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 22.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)にしてアクセスしてください。

22.5.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

22.5.2.1 S00レジスタ

送受信中に書き込まないでください。

22.5.2.2 S1D0レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

22.5.2.3 S20レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

22.5.2.4 S3D0レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

22.5.2.5 S4D0レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

22.5.2.6 S10レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。MST、TRXビットが変化するタイミングは「22.3 動作説明」の動作例を参照してください。

23. シリアルバスインタフェース

23.1 概要

シリアルバスインタフェースは1チャンネル(SBIO)あります。

SBIOには、次のモードがあります。

- クロック同期式シリアル通信モード
- 4線式シリアルバスモード

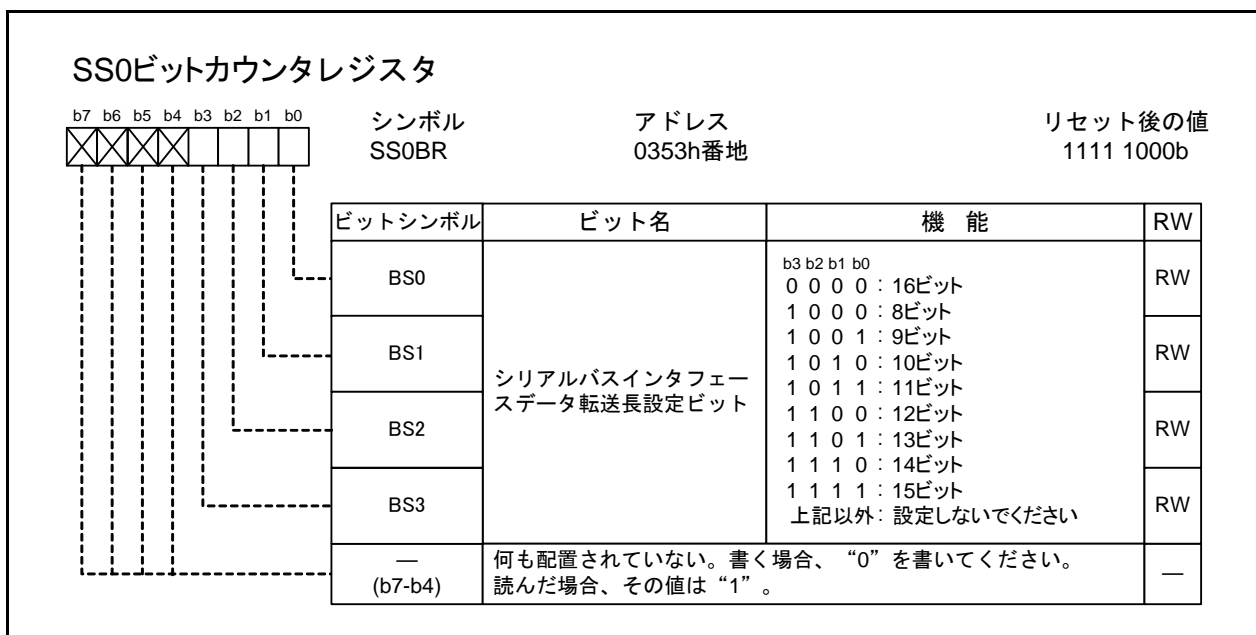
これらのモードはSS0MR2レジスタのSSUMSビットで選択することができます。

23.2 レジスタの説明

表 23.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0353h	SS0ビットカウンタレジスタ	SS0BR	1111 1000b
0354h	SS0送信データレジスタ	SS0TDR	FFh
0355h			FFh
0356h	SS0受信データレジスタ	SS0RDR	FFh
0357h			FFh
0358h	SS0制御レジスタH	SS0CRH	00h
0359h	SS0制御レジスタL	SS0CRL	0111 1101b
035Ah	SS0モードレジスタ	SS0MR	0001 0000b
035Bh	SS0許可レジスタ	SS0ER	00h
035Ch	SS0ステータスレジスタ	SS0SR	00h
035Dh	SS0モードレジスタ2	SS0MR2	00h

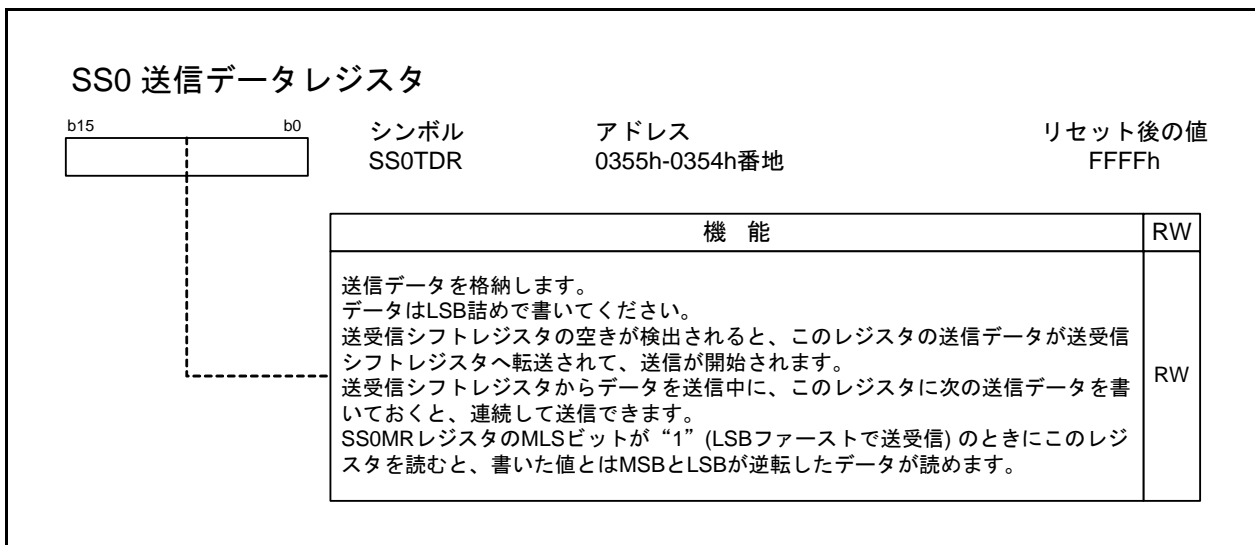
23.2.1 SS0ビットカウンタレジスタ (SS0BR)



BS3~BS0 (シリアルバスインタフェースデータ転送長設定ビット) (b3~b0)

シリアルバスインタフェースの動作中は、BS0~BS3ビットに書かないでください。SSERレジスタのREビットが“0”(受信禁止)、TEビットが“0”(送信禁止)のとき、BS0~BS3ビットに書いてください。

23.2.2 SS0送信データレジスタ (SS0TDR)



23.2.3 SS0受信データレジスタ (SS0RDR)



SS0SRレジスタのRDRFビットが“1”(受信データあり)のとき、次の受信データはSS0RDRレジスタに格納されません。SS0SRレジスタのOERビットが“1”(オーバランエラー発生)になったとき、受信データは破棄されます。

23.2.4 SS0制御レジスタH (SS0CRH)

SS0 制御レジスタH		シンボル SS0CRH	アドレス 0358h番地	リセット後の値 00h
ビットシンボル	ビット名	機能	RW	
CKS0	送受信クロックレート選択ビット	b2 b1 b0 0 0 0 : f1 / 256 0 0 1 : f1 / 128 0 1 0 : f1 / 64 0 1 1 : f1 / 32 1 0 0 : f1 / 16 1 0 1 : f1 / 8 1 1 0 : f1 / 4 1 1 1 : 設定しないでください	RW	
CKS1		RW		
CKS2		RW		
— (b4-b3)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	
MSS	マスタ/スレーブデバイス選択ビット	0: スレーブデバイスとして動作 1: マスタデバイスとして動作	RW	
RSSTP	受信動作終了ビット	0: 現在のフレームを受信後、続けて次のフレームを受信 (受信クロック出力) 1: 現在のフレームを受信後、受信動作を終了 (受信クロック停止)	RW	
— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—		

CKS2~CKS0 (送受信クロックレート選択ビット) (b2~b0)

MSSビットが“1”(マスタデバイスとして動作)のとき、ここで設定されたクロックが使用されます。

MSS (マスタ/スレーブデバイス選択ビット) (b5)

MSSビットが“1”のとき、SSCK0端子から送受信クロックを出力することができます。SS0SRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”になります。

RSSTP (受信動作終了ビット) (b6)

MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

RSSTPビットが“1”の場合、受信中にSS0RDRレジスタのデータを読み出さなければ、現在のフレームを受信後、受信クロックを停止します。受信中にSS0RDRレジスタのデータを読み出すと、現在のフレームを受信後、続けて受信クロックを出力します。

RSSTPビットが“0”の場合、SS0ERレジスタのREビットが“1”(受信許可)の間はSS0RDRレジスタを読み出さなくても、現在のフレーム受信後、続けて受信クロックを出力します

23.2.5 SS0制御レジスタL (SS0CRL)

SS0 制御レジスタL			
	シンボル SS0CRL	アドレス 0359h番地	リセット後の値 0111 1101b
ビットシンボル	ビット名	機能	RW
— (b0)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	—
SRES	シリアルバスインタフェース制御部リセットビット	“1”を書いた後、“0”を書くと、送受信制御回路および送受信シフトレジスタが初期化されます。内部レジスタ(注1)の値は保持されます。	RW
— (b3-b2)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	—
SOLP	SOLライトプロテクトビット	0: SOLビットのプロテクト解除 (SOLビットに書いた値が出力端子に反映される) 1: 出力端子のレベルは変化しない 読んだ場合、その値は“1”。	RW
SOL	シリアルデータ出力値設定ビット	読んだ場合 0: 出力端子が“L” 1: 出力端子が“H” 書いた場合 0: 出力端子を“L”にする 1: 出力端子を“H”にする	RW
— (b6)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。	—
— (b7)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	—

注1. SS0BR、SS0CRH、SS0CRL、SS0ER、SS0SR、SS0MR2、SS0TDR、SS0RDRの各レジスタと、SS0MRレジスタのMLS、CPOS、CPHSビット

SRES (シリアルバスインタフェース制御部リセットビット) (b1)

SRESビットは、SS0ERレジスタのTEビットが“0”(送信禁止)のときに書いてください。

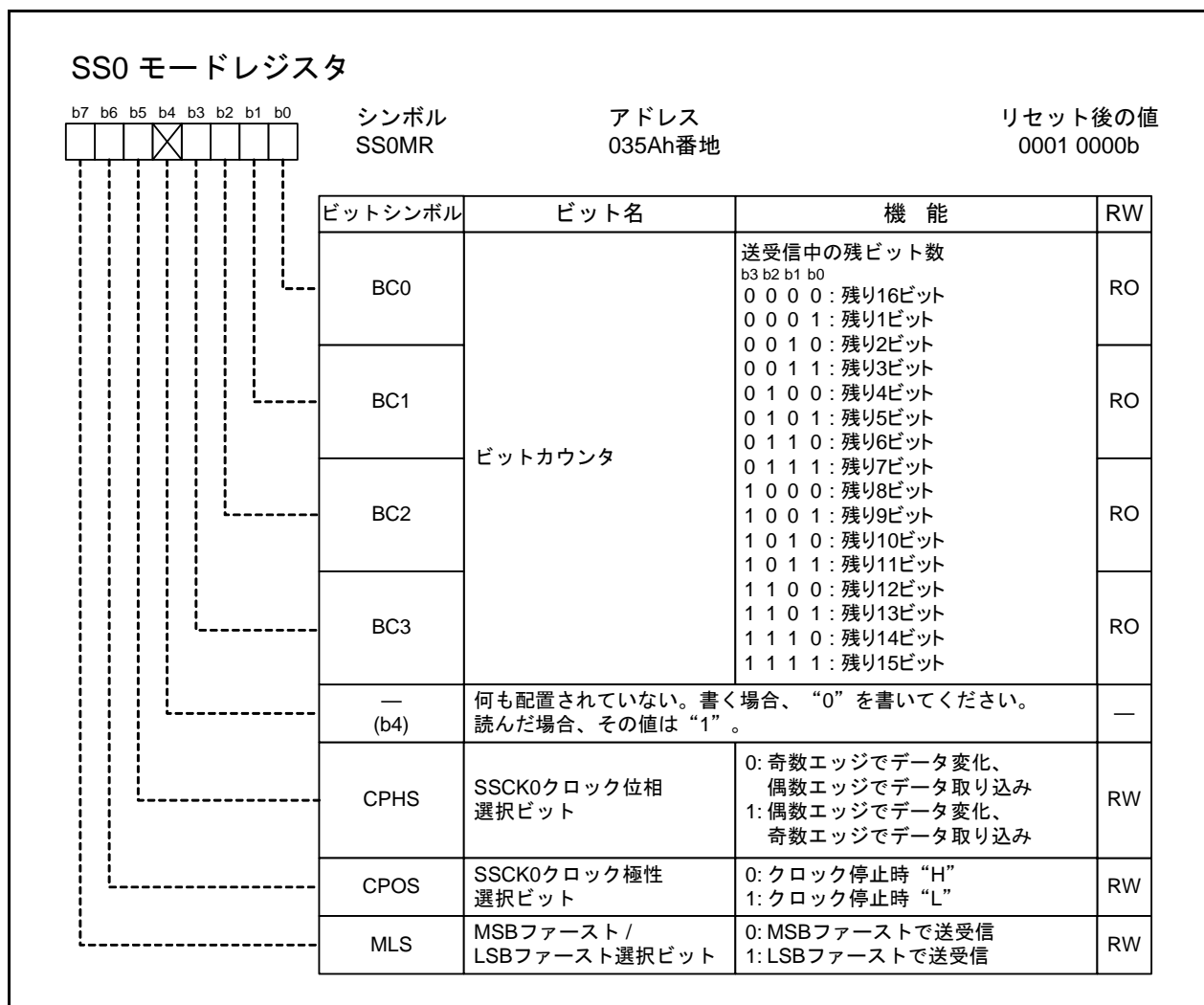
SRESビットに“1”を書くと、送受信制御回路と送受信シフトレジスタがリセットされ、次にSRESビットに“0”を書くと、リセットが解除されます。

SOL (シリアルデータ出力値設定ビット) (b5)

送信前または送信後にSOLビットに書くと、シリアルデータ出力端子のレベルを変更できます。SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。このとき、シリアルバスインタフェース制御回路部をリセットしないなら、SRESビットには“0”を書いてください。

データ送信中はSOLビットに書かないでください。

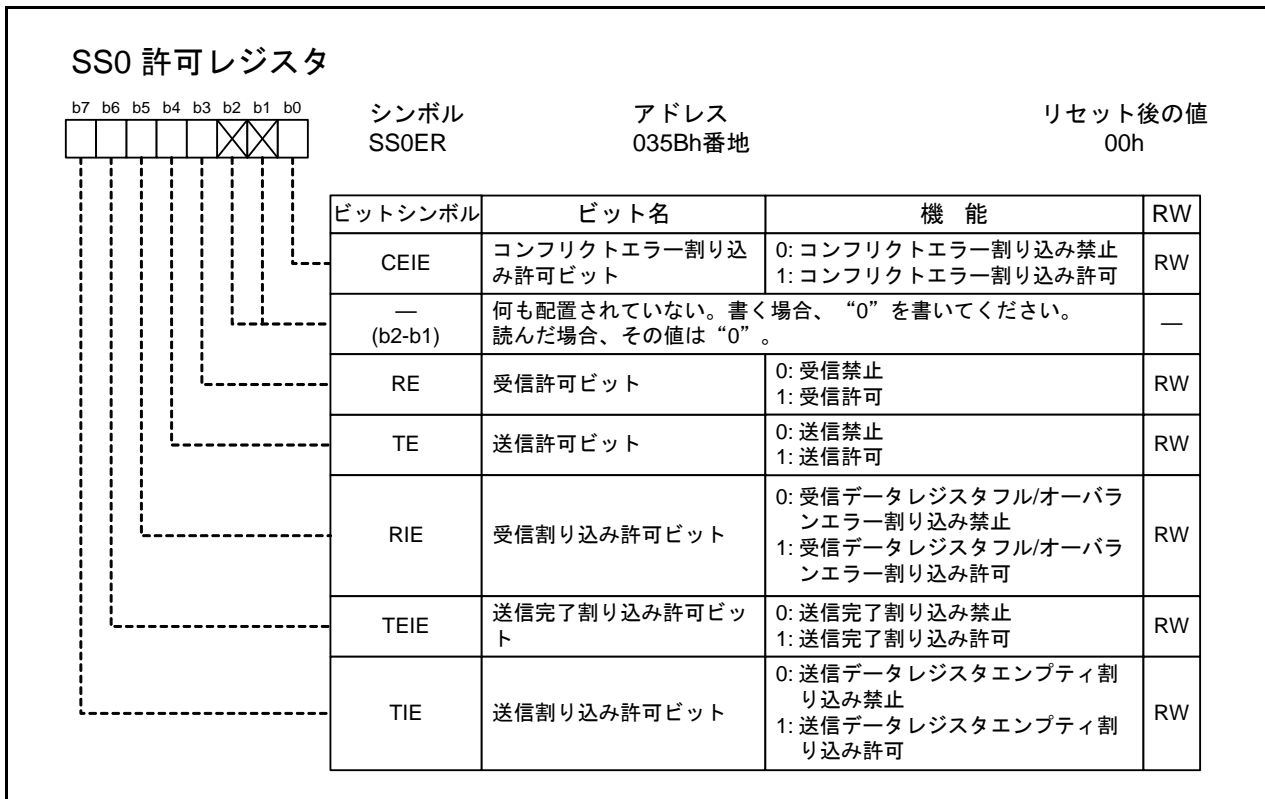
23.2.6 SS0モードレジスタ (SS0MR)



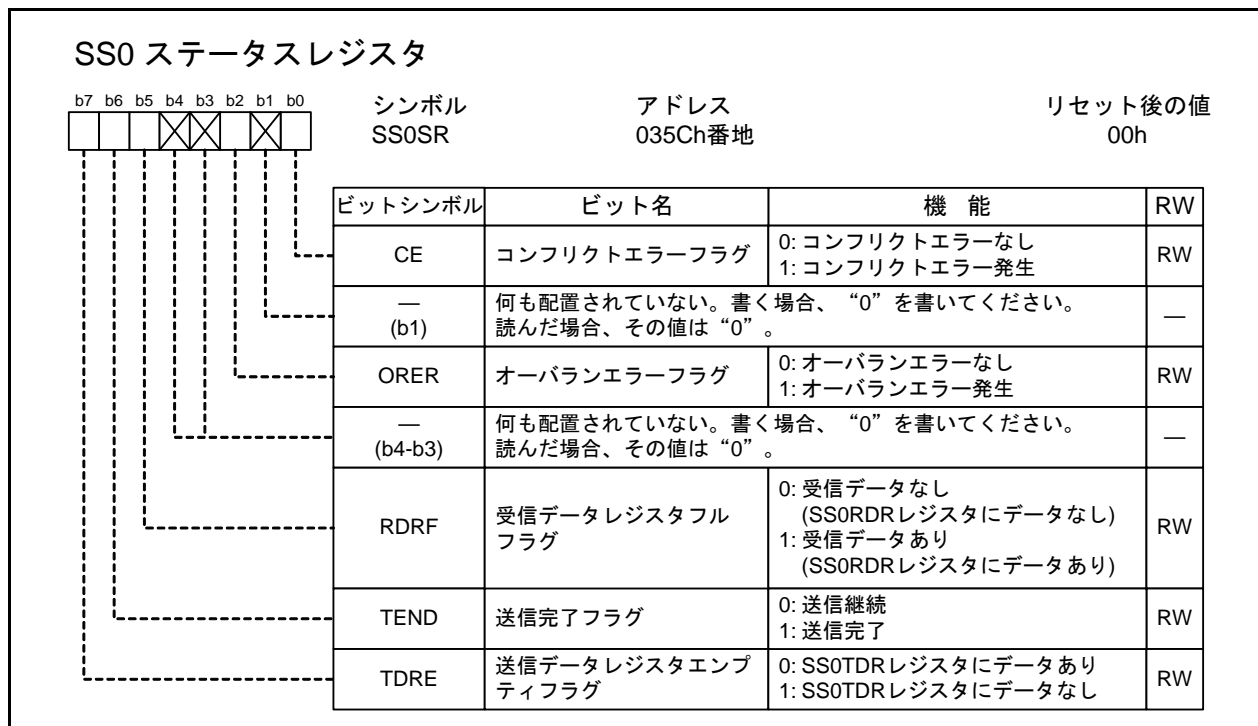
CPHS (SSCK0クロック位相選択ビット) (b5)

クロック同期式シリアル通信モードでは“0”にしてください。

23.2.7 SS0許可レジスタ (SS0ER)



23.2.8 SS0ステータスレジスタ (SS0SR)



次に示す操作を連続して行う場合、NOP 命令を4つ以上挿入してください。すなわち、下の (a) の操作 → NOP 命令4つ以上 → (b) の操作の順に実行してください。

- SS0SR レジスタアクセス (a) の後、SS0SR レジスタアクセス (b)
- SS0TDR レジスタ書き込み (a) の後、SS0SR レジスタ読み出し (b)
- SS0RDR レジスタ読み出し (a) の後、SS0SR レジスタ読み出し (b)

SS0SR レジスタのフラグに“1”を書いても状態は変化しません。フラグを“0”にするには、一旦レジスタを読んだ後、MOV 命令を使用して、“0”にするビットに“0”を、その他のビットに“1”を書いてください。

CE (コンフリクトエラーフラグ) (b0)

CE ビットは以下のとき“1”になります。

- SS0MR2 レジスタの SSUMS ビットが“1” (4線式シリアルバスモード)、SS0CRH レジスタの MSS ビットが“1” (マスタデバイスとして動作) の場合に、 $\overline{\text{SCS0}}$ 端子入力が“L”のとき。
- SSUMS ビットが“1” (4線式シリアルバスモード)、MSS ビットが“0” (スレーブデバイスとして動作) の場合に、フレームの送受信中に $\overline{\text{SCS0}}$ 端子入力が“L”から“H”に変化したとき。

ORER (オーバランエラーフラグ) (b2)

受信時にオーバランエラーが発生し、異常終了したことを示します。RDRF ビットが“1” (SS0RDR レジスタにデータあり) の状態で、次のシリアルデータ受信を完了したとき、このビットが“1”になります。ORER ビットが“1”かつ MSS ビットが“1” (マスタデバイスとして動作) の場合は、送受信ができません。

RDRF (受信データレジスタフルフラグ) (b5)

RDRF ビットは、SS0RDR レジスタからデータを読み出すと“0”になります。

TEND (送信完了フラグ) (b6)

TEND ビットは、現在送信中のデータの最終ビット送信中、SS0TDR レジスタに次の送信待ちデータがないとき“1”になります。SS0TDR レジスタにデータを書くと“0”になります。

TDRE (送信データレジスタエンプティフラグ) (b7)

TDREビットは、SS0ERレジスタのTEビットを“0”(送信禁止)から“1”(送信許可)にすると“1”になります。また、SS0TDRレジスタから送受信シフトレジスタにデータが転送されたときにも“1”になります。SS0TDRレジスタにデータを書くと“0”になります。

なお、TDREビットに“0”を書く場合は、SS0ERレジスタのTEビットが“0”(送信禁止)のときに書いてください。

23.2.9 SS0モードレジスタ2 (SS0MR2)

SS0 モードレジスタ2		シンボル SS0MR2	アドレス 035Dh番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビットシンボル	ビット名	機能		RW					
SSUMS	モード選択ビット	0: クロック同期式シリアル通信モード 1: 4線式シリアルバスモード		RW					
CSOS	SCS0端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力		RW					
SOOS	シリアルデータオープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力		RW					
SCKOS	SSCK0端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力		RW					
CSS0	SCS0端子機能選択ビット	b5 b4 0 0: チップセレクトを使用しない 0 1: SCS0入力端子として機能 1 0: } SCS0出力端子として機能 1 1: }		RW					
CSS1				RW					
SCKS	SSCK0端子機能選択ビット	0: ポートとして機能 1: 送受信クロック入出力端子として機能		RW					
BIDE	双方向モード許可ビット	0: 標準モード (データ入力、出力が別端子) 1: 双方向モード (データ入出力を1端子で共用)		RW					

SSUMS (モード選択ビット) (b0)

データ入出力端子の組み合わせは「23.3.3 データ入出力端子と送受信シフトレジスタの関係」を参照してください。

SOOS (シリアルデータオープンドレイン出力選択ビット) (b2)

SOOS ビットが“0” (CMOS 出力) のとき、SSI0 端子及び SSO0 端子に対応する方向レジスタのビットを“0” (入力モード) にしてください。

CSS1~CSS0 (SCS0端子機能選択ビット) (b5~b4)

SSUMS ビットが“0” (クロック同期式シリアル通信モード) の場合、CSS1~CSS0 ビットの設定値にかかわらず、SCS0機能は使用されません。

BIDE (双方向モード許可ビット) (b7)

データ入出力端子の組み合わせは「23.3.3 データ入出力端子と送受信シフトレジスタの関係」を参照してください。

SSUMS ビットが“0” (クロック同期式シリアル通信モード) の場合、BIDE ビットの設定値にかかわらず、標準モードになります。

23.3 動作説明

23.3.1 複数モードに関わる共通事項

23.3.1.1 送受信クロック

クロック同期式シリアル通信モードまたは4線式シリアルバスモードを使用する場合は、SS0MR2レジスタのSCKSビットを“1”にし、SSCK0端子を送受信クロック端子として設定してください。

(1) マスタデバイスとして使用する場合

SS0CRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の場合、SS0CRHレジスタのCKS2~CKS0ビットで、7種類の内部クロック $f1/n$ ($n = 4, 8, 16, 32, 64, 128, 256$)から送受信クロックを選択します。

このとき、SSCK0端子はクロック出力端子になり、送受信を開始すると選択された送受信クロックがSSCK0端子から出力されます。

(2) スレーブデバイスとして使用する場合

SS0CRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)の場合、外部クロックが選択されます。

このとき、ポート方向レジスタで対応する端子の方向を入力に設定すると、SSCK0端子はクロック入力端子になります。

23.3.1.2 送受信クロックの極性、位相とデータの関係

SS0MR2レジスタのSSUMSビット、SS0MRレジスタのCPHSビット、CPOSビットの組み合わせで、送受信クロックの極性と、送受信データに対する位相が変わります。図 23.1 に送受信クロックの極性とデータに対する位相の関係を示します。

また、SS0MRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

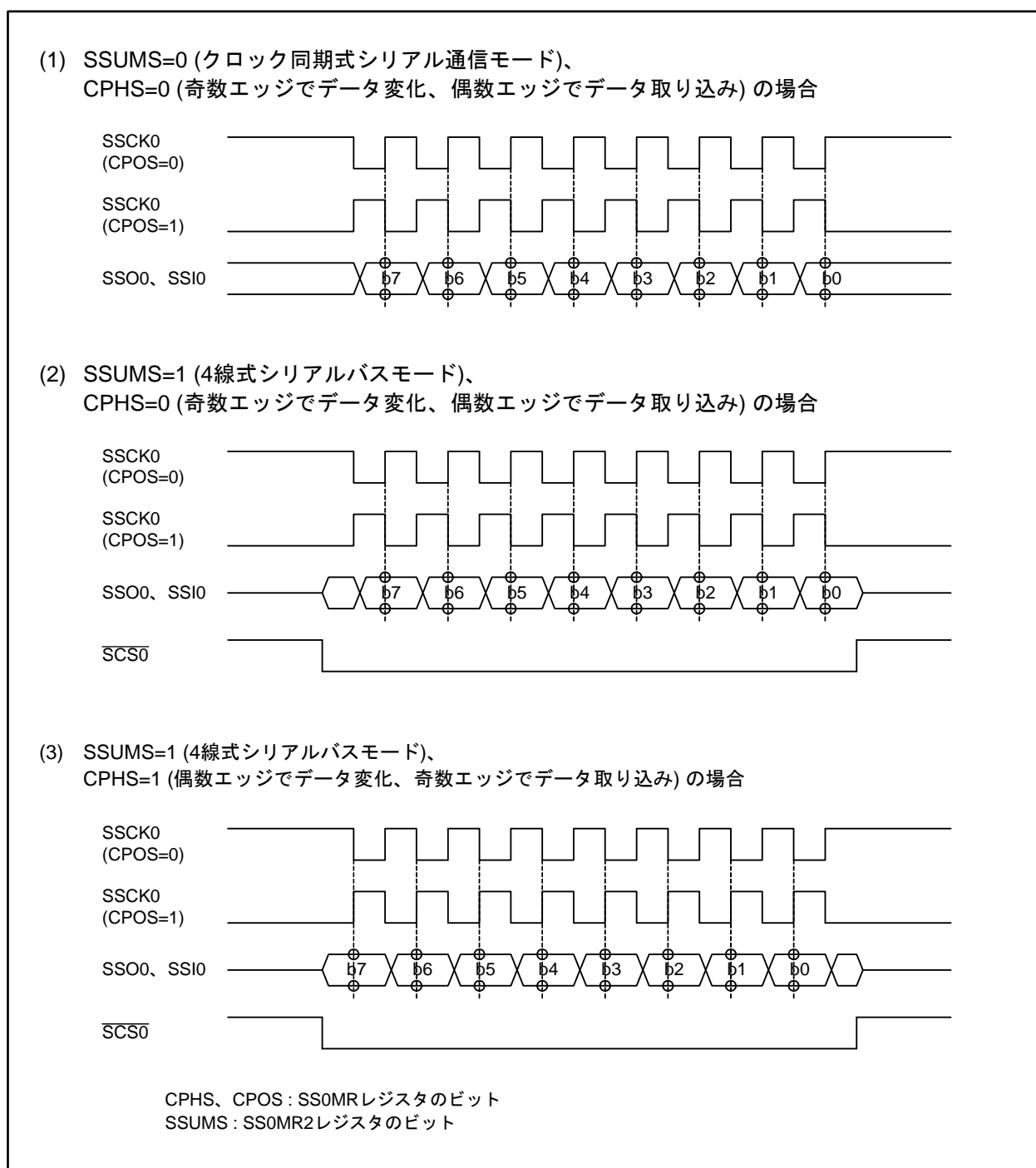


図 23.1 送受信クロックの極性とデータに対する位相の関係

23.3.1.3 送受信シフトレジスタ

送受信シフトレジスタは、シリアルデータを送受信するためのシフトレジスタです。送受信シフトレジスタに転送されたデータはMSB側からシフトアウトされ、受信データはLSB側からシフトインされます。

図 23.2に送受信シフトレジスタの動作を示します。

23.3.1.4 データ転送方向

SSOMRレジスタのMLSビットの設定により、MSBファーストで送受信するかLSBファーストで送受信するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で送信され、受信時は最初のビットをLSBとして扱います。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で送信され、受信時は最初のビットをMSBとして扱います。

(1) 送信時の動作

MLSビットが“0” (MSBファーストで送受信)の場合、SS0TDRレジスタには書いた値がそのまま反映されます。

MLSビットが“1” (LSBファーストで送受信)の場合、SS0TDRレジスタには、書いた値のビット順が逆転されて反映されます。このため、SS0TDRレジスタを読むと、書いた値とはビット順が逆転された値が読めます。

いずれの場合も送信データは送受信シフトレジスタにそのまま転送されます。

(2) 受信時の動作

MLSビットが“0” (MSBファーストで送受信)の場合、受信されたデータは送受信シフトレジスタからSS0RDRレジスタにそのまま転送されます。

MLSビットが“1” (LSBファーストで送受信)の場合、受信されたデータは送受信シフトレジスタからSS0RDRレジスタにビット順が逆転されて転送されます。

23.3.1.5 可変長データの送受信

送受信キャラクタ長が16ビットに満たない場合、送受信シフトレジスタのシフトイン/シフトアウト位置をずらすことで、ビットの位置を調整します。

この機能により送信データ、受信データともLSB詰めで扱うことができます。

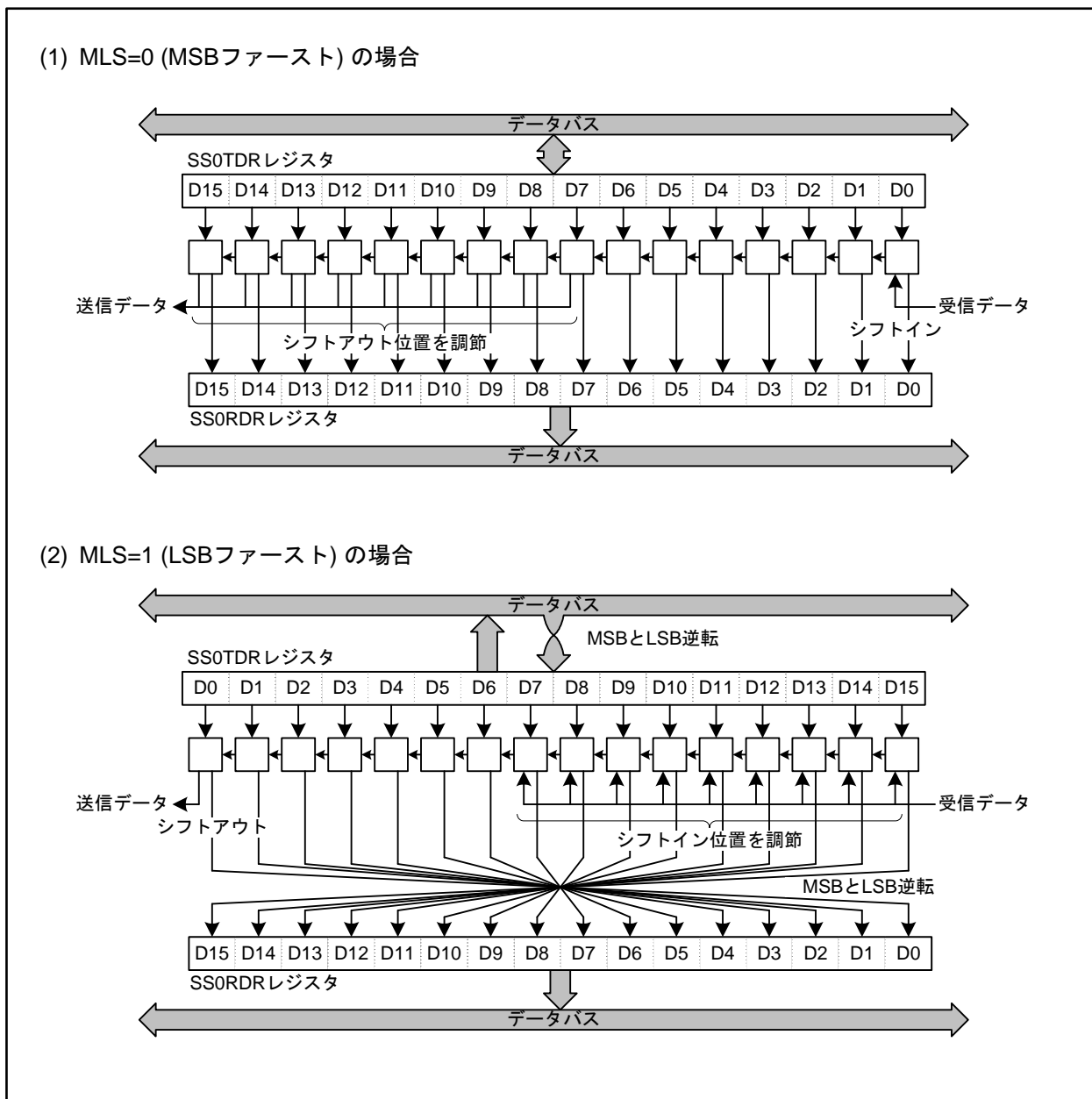


図 23.2 送受信シフトレジスタの動作

23.3.1.6 データ入出力端子と送受信シフトレジスタの関係

SS0CRHレジスタのMSSビット、SS0MR2レジスタのSSUMSビット及びBIDEビットの組み合わせにより、データ入出力端子と送受信シフトレジスタの接続関係が変わります。図 23.3 にデータ入出力端子と送受信シフトレジスタの接続関係を示します。

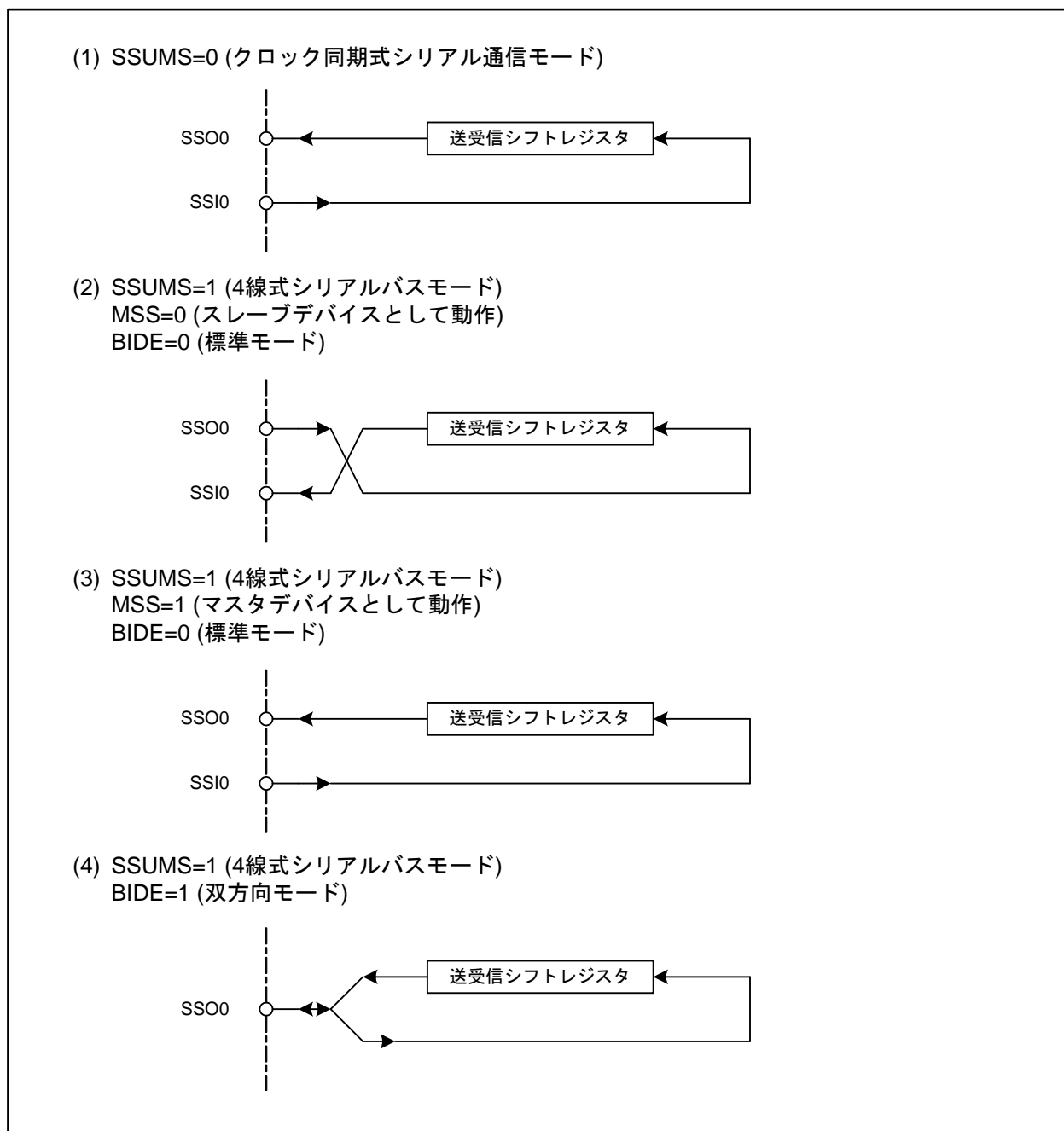


図 23.3 データ入出力端子と送受信シフトレジスタの接続関係

23.3.1.7 エラー発生時の処理

エラーが発生した場合、次の手順で再設定を行ってください。なお、SS0SRレジスタに値を書く場合の注意は「23.5.1 SS0SRレジスタ」を参照してください。

オーバランエラーが発生した場合

- (1) SS0ERレジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする
- (2) SS0SRレジスタを“00h” (ステータス、エラーなし)にする
- (3) SS0RDRレジスタのデータを読む (ダミーリード)
- (4) REビットを“1” (受信許可)にする。送信を行う場合、TEビットを“1” (送信許可)にする

コンフリクトエラーが発生した場合

- (1) SS0ERレジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする
- (2) SS0SRレジスタを“00h” (ステータス、エラーなし)にする
- (3) SS0CRLレジスタのSRESビットに“1”を書いた後“0”を書く (送受信制御回路、送受信シフトレジスタを初期化)
- (4) マスタデバイスで使用する場合、SS0CRHレジスタのMSSビットを“1” (マスタデバイス)にする
- (5) 受信を行う場合、REビットを“1” (受信許可)に、送信を行う場合、TEビットを“1” (送信許可)にする

その他のエラーが発生した場合

- (1) SS0ERレジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする
- (2) SS0SRレジスタを“00h” (ステータス、エラーなし)にする
- (3) SS0CRLレジスタのSRESビットに“1”を書いた後“0”を書く
- (4) 受信を行う場合、REビットを“1” (受信許可)に、送信を行う場合、TEビットを“1” (送信許可)にする

23.3.2 クロック同期式シリアル通信モード

表 23.2 クロック同期式シリアル通信モードの仕様

項目	仕様
データフォーマット	キャラクタ長: 8~16ビット可変
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK0 (入出力): クロック入出力端子 SSI0 (入力): データ入力端子 SSO0 (出力): データ出力端子
送受信クロック	<ul style="list-style-type: none"> SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作): 外部クロック (SSCK0端子から入力) SS0CRHレジスタのMSSビットが“1” (マスタデバイスとして動作): 内部クロック (SSCK0端子から出力) f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択
送信開始条件	<ul style="list-style-type: none"> SS0ERレジスタのTEビットが“1” (送信許可) SS0SRレジスタのTDREビットが“0” (未送信データあり) SS0SRレジスタのORERビットが“0” (オーバランエラーなし) SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作)の場合、SSCK0端子からクロック入力
受信開始条件	<ul style="list-style-type: none"> SS0ERレジスタのREビットが“1” (受信許可) SS0SRレジスタのORERビットが“0” (オーバランエラーなし) SS0CRHレジスタのMSSビットが“1” (マスタデバイスとして動作)の場合、SS0RDRレジスタをリード、SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作)の場合、SSCK0端子からクロック入力
エラー検出	<ul style="list-style-type: none"> オーバランエラー SS0SRレジスタのRDRFビットが“1” (受信データあり)の状態、次のシリアルデータ受信を完了すると発生
割り込み要求	4種類 (送信完了、送信データレジスタエンプティ、受信データレジスタフル、オーバランエラー) (注1)
その他選択項目	<ul style="list-style-type: none"> データ転送方向選択 LSBファーストまたはMSBファーストを選択できます SSCK0クロック極性選択 クロック停止時にSSCK0端子のレベルを“L”にするか“H”にするかを選択できます

注1. 割り込みベクタテーブルは1チャンネルにつき1つです。

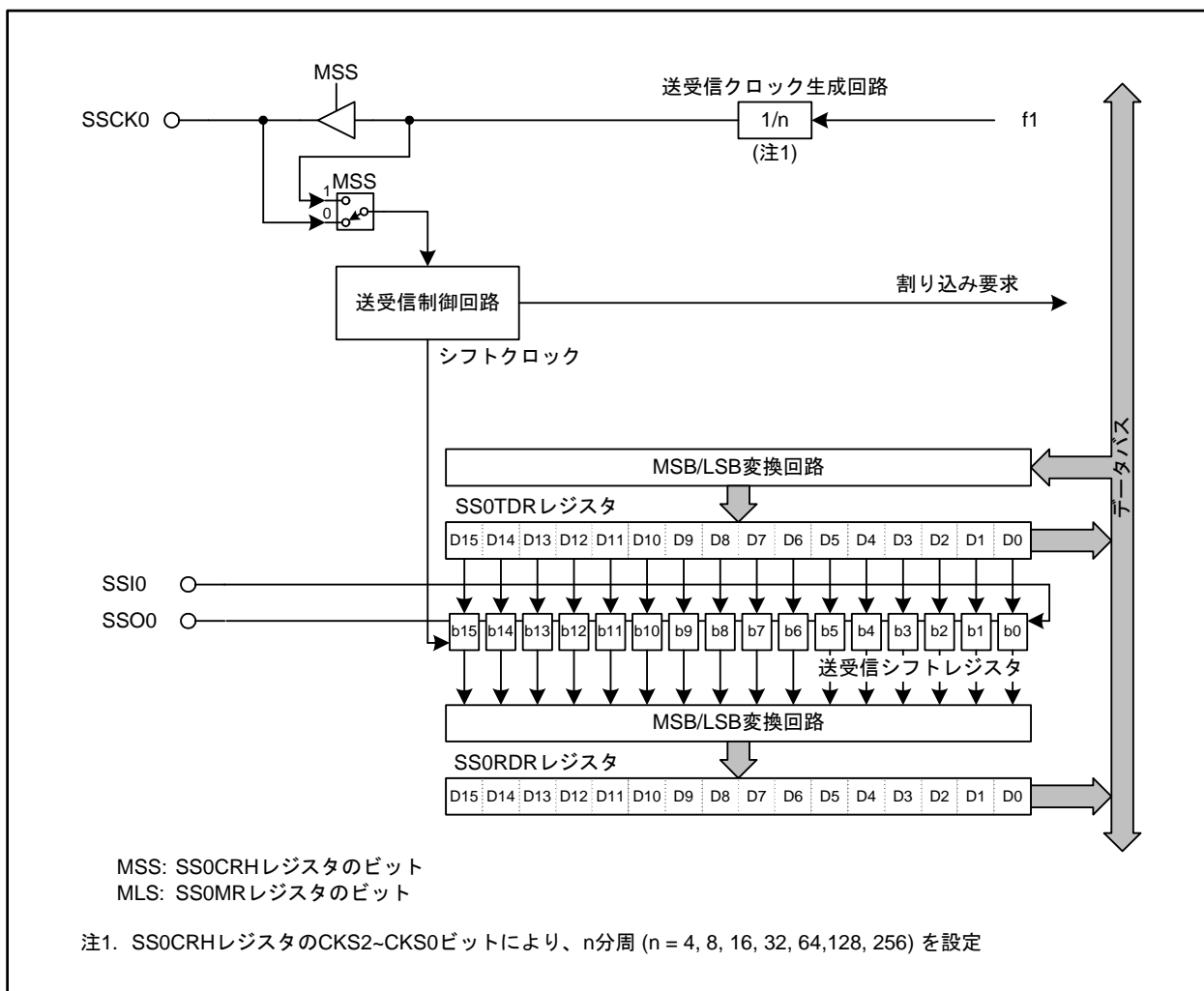


図 23.4 クロック同期式シリアル通信モードのブロック図

クロック同期式シリアル通信モードでは、SS0CRHレジスタのMSSビットと、SS0ERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。SSCK0端子は、マスタデバイスでは出力、スレーブデバイスでは入力になります。

表 23.3 クロック同期式シリアル通信モードと入出力端子の関係

ビットの設定					端子の状態		
SSUMS	BIDE	MSS	TE	RE	SSIO	SSO0	SSCK0
0	無効	0 (スレーブ)	0	1	データ入力	(注1)	クロック 入力
			1	0	(注1)	データ出力	
		1 (マスタ)	0	1	データ入力	(注1)	クロック 出力
			1	0	(注1)	データ出力	
			1	1	データ入力	データ出力	

注1. プログラマブル入出力ポートとして使用できます。

SSUMS、BIDE: SS0MR2レジスタのビット
MSS: SS0CRHレジスタのビット
TE、RE: SS0ERレジスタのビット

23.3.2.1 クロック同期式シリアル通信モードの初期化

図 23.5 にクロック同期式シリアル通信モードの初期化手順を示します。データの送信/受信前に、SS0ERレジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にして初期化してください。なお、SS0SRレジスタに値を書く場合の注意は「23.5.1 SS0SRレジスタ」を参照してください。

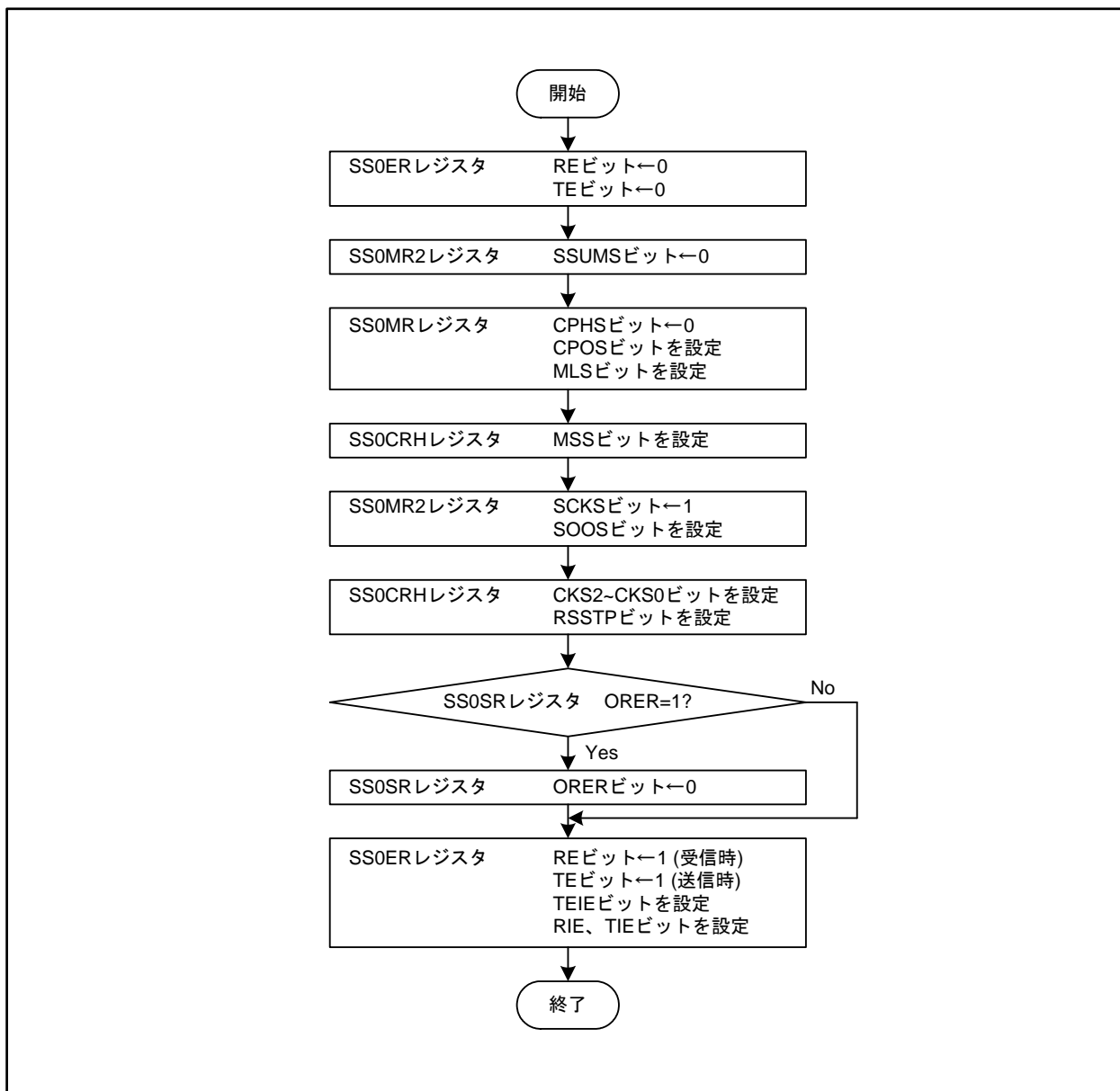


図 23.5 クロック同期式シリアル通信モードの初期化手順

通信モードや、通信データフォーマットなどを変更する場合には、TEビット、REビットを両方とも“0”にしてから変更してください。

なお、REビットを“0”にしても、RDRF、ORERの各フラグ、およびSS0DRレジスタの内容は保持されます。

23.3.2.2 データ送信

図 23.6 にクロック同期式シリアル通信モードにおけるデータ送信時の動作例を示します。データ送信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCK0 端子から出力します。スレーブデバイスに設定した場合は、SSCK0 端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も送信データは送受信クロックに同期して出力されま

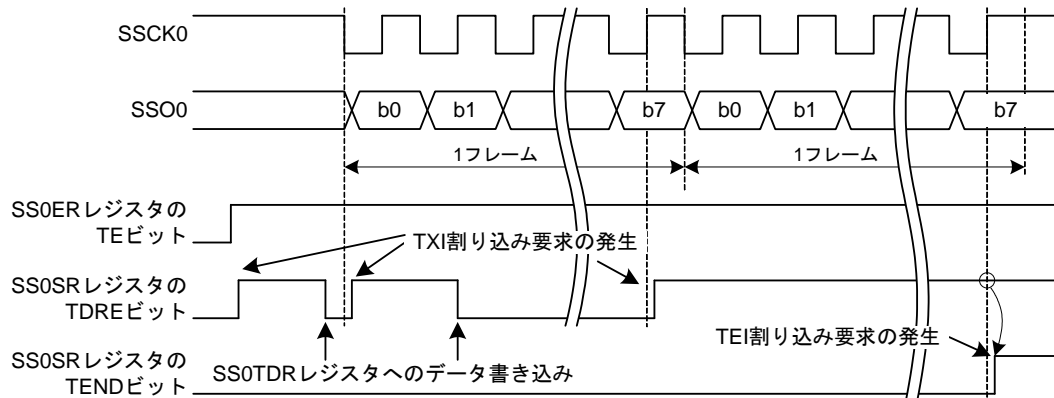
す。SS0ER レジスタの TE ビットを“1” (送信許可) にすると、SS0ER レジスタの TIE ビットが“1” (送信データレジスタエンプティ割り込み許可) で、SS0SR レジスタの TDRE ビットが“1” (SS0TDR レジスタにデータなし) なら、送信データエンプティ (TXI) 割り込み要求が発生します。次に SS0TDR レジスタに送信データを書くと、自動的に TDRE ビットが“0” (SS0TDR レジスタにデータあり) になり、SS0TDR レジスタから送受信シフトレジスタにデータが転送されます。その後、TDRE ビットが“1” になり、送信を開始します。このとき、SS0ER レジスタの TIE ビットが“1” の場合、送信データエンプティ (TXI) 割り込み要求が発生します。

TDRE ビットが“0” の場合、1 フレームの送信が終わると、SS0TDR レジスタから送受信シフトレジスタにデータが転送され、次フレームの送信を開始します。TDRE ビットが“1” の場合、8 ビット目が送出されると、SS0SR レジスタの TEND ビットが“1” (送信完了) になります。このとき SS0ER レジスタの TEIE ビットが“1” (送信完了割り込み許可) の場合、送信完了 (TEI) 割り込み要求が発生します。

送信完了後、SSCK0 端子は SS0MR レジスタの CPOS ビットで設定したレベルに固定されます。

なお、SS0SR レジスタの ORER ビットが“1” (オーバランエラー発生) の状態では、送信できません。図 23.7 にクロック同期式シリアル通信モードにおけるデータ送信のフローチャート例を示します。

クロック同期式シリアル通信モードのタイミング例
(送信データレジスタエンプティ割り込み許可を使用したマスタ送信の場合)



注1. SS0CRH レジスタの MSS ビット=1 (マスタデバイスとして動作)、SS0MR レジスタの CPHS ビット=0 (奇数エッジでデータ変化、偶数エッジでデータ取り込み)、CPOS ビット=0 (クロック停止時“H”)、MLS ビット=1 (LSBファーストで送受信)、BS3~BS0 ビット=1000b (8ビット) の場合です。

図 23.6 データ送信時の動作例(クロック同期式シリアル通信モード)

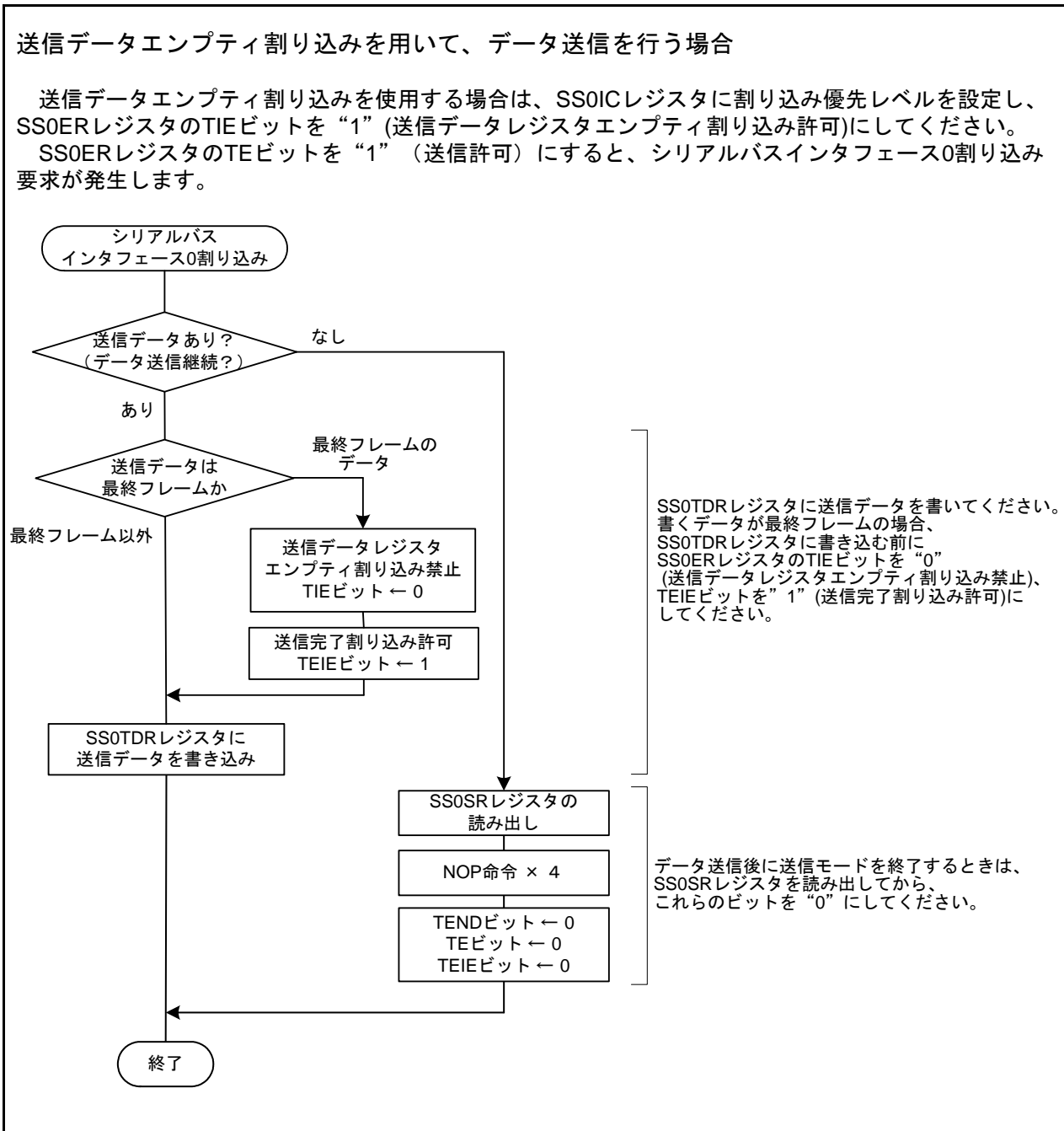


図 23.7 データ送信手順の例(クロック同期式シリアル通信モード)

23.3.2.3 データ受信

図 23.8 にクロック同期式シリアル通信モードにおけるデータ受信時の動作例を示します。データ受信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCK0 端子から出力します。スレーブデバイスに設定した場合は、SSCK0 端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も受信データは送受信クロックに同期して取り込まれます。

マスタデバイスに設定した場合は、最初に SS0RDR レジスタをダミーリードすることで受信クロックが出力され、受信を開始します。

データを8ビット受信すると、SS0SR レジスタの RDRF ビットが“1” (SS0RDR レジスタにデータあり) になり、SS0RDR レジスタに受信データが格納されます。このとき、SS0ER レジスタの RIE ビットが“1” (受信データレジスタフル/オーバーランエラー割り込み許可) の場合、受信データレジスタフル (RXI) 割り込み要求が発生します。SS0RDR レジスタを読むと、自動的に RDRF ビットは“0” (SS0RDR レジスタにデータなし) になります。

マスタデバイスに設定した場合に受信を終了するには、最後の1フレームの受信が完了する前に、SS0CRH レジスタの RSSTP ビットを“1” (現在のフレーム受信後、受信動作を終了) にしてください。この操作により、最終フレームの受信が完了した後、送受信クロックを停止します。その後、SS0ER レジスタの RE ビットを“0” (受信禁止) に、RSSTP ビットを“0” (現在のフレーム受信後、続けて次のフレームを受信) にし、最終フレームのデータを読んでください。RE ビットが“1” (受信許可) の状態で SS0RDR レジスタを読むと、再度受信クロックが出力されます。

RDRF ビットが“1”の時に8ビット目を受信すると、SS0SR レジスタの ORER ビットが“1” (オーバーランエラー発生) になり、受信動作を停止します。なお、ORER ビットが“1”の状態では受信動作は行えませんので、受信動作を再開する前に ORER ビットが“0”であることを確認してください。

図 23.9 にクロック同期式シリアル通信モードにおけるマスタデバイス時のデータ受信フローチャート例を示します。

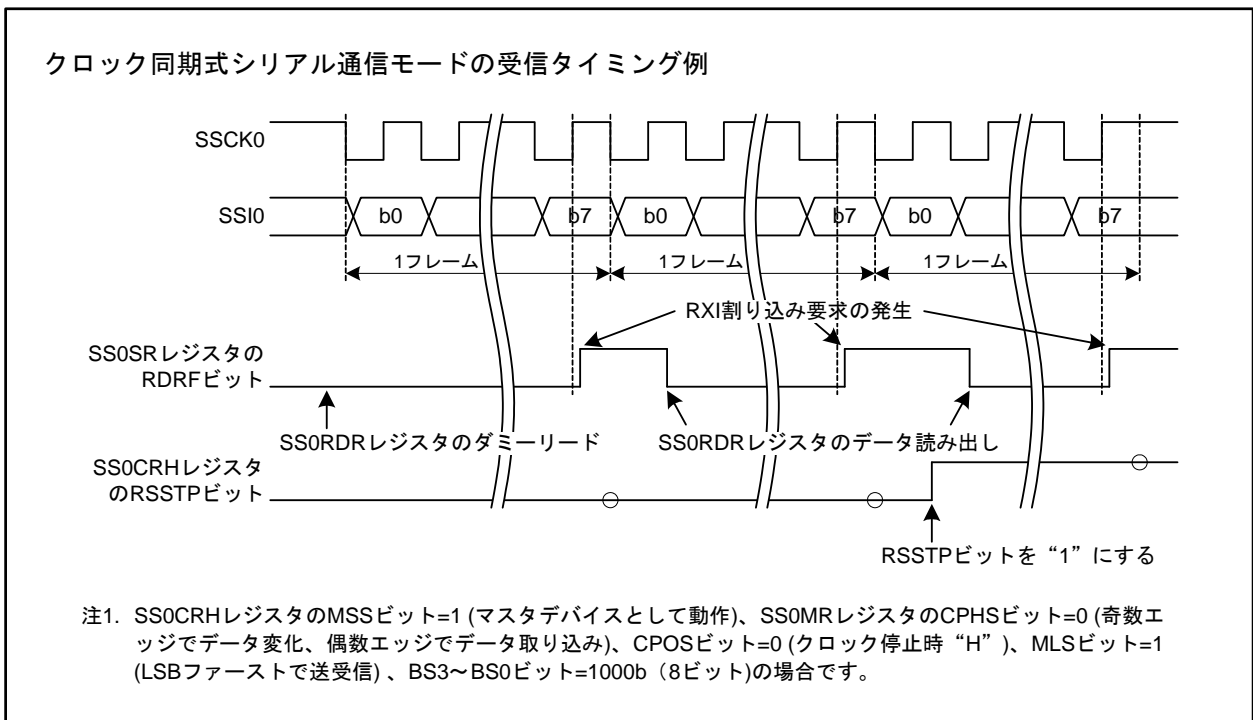


図 23.8 データ受信時の動作例(クロック同期式シリアル通信モード)

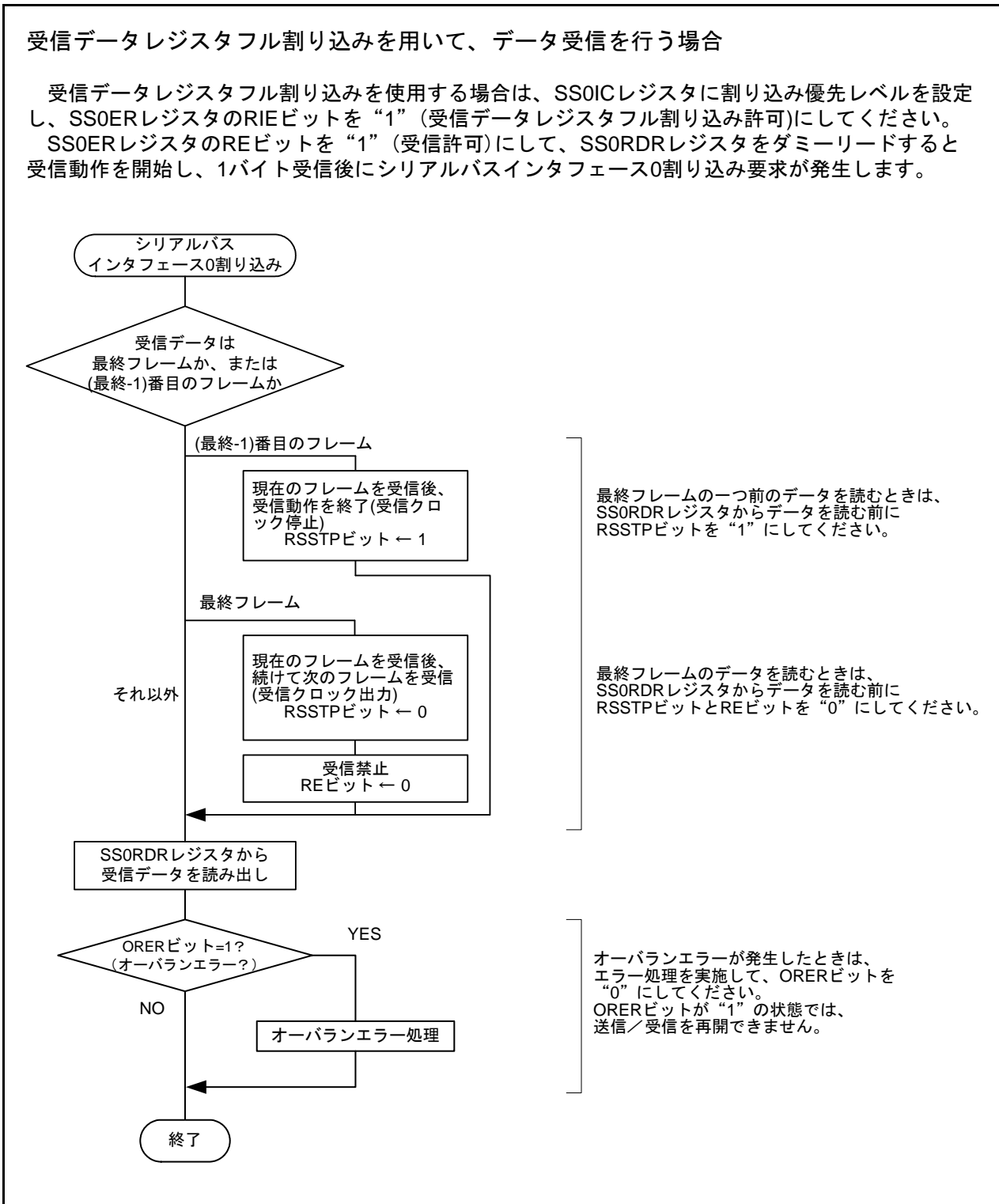


図 23.9 データ受信手順の例(MSS=1)(クロック同期式シリアル通信モード)

23.3.2.4 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

送受信は、SS0TDRレジスタにデータを書くことで開始され、TDREビットが“1” (SS0TDRレジスタにデータなし)の状態では8ビット目が送出されると終了します。また、ORERビットが“1” (オーバーランエラー発生)になった場合は、エラーとして送受信動作が停止します。

なお、送信モード (TE=1、RE=0)あるいは受信モード (TE=0、RE=1)から、送受信モード (TE=1、RE=1)に切り替える場合は、一度TEビットとREビットの両方を“0”にしてください。その後、TENDビットが“0” (送信継続)、RDRFビットが“0” (SS0RDRレジスタにデータなし)、ORERビットが“0” (オーバーランエラーなし)であることを確認した後、TEビットとREビットを同時に“1”にしてください。

図 23.10 にクロック同期式シリアル通信モードにおけるデータ送受信のフローチャート例を示します。

なお、SS0BRレジスタでデータ転送長を8~16ビットの範囲で設定することができます。

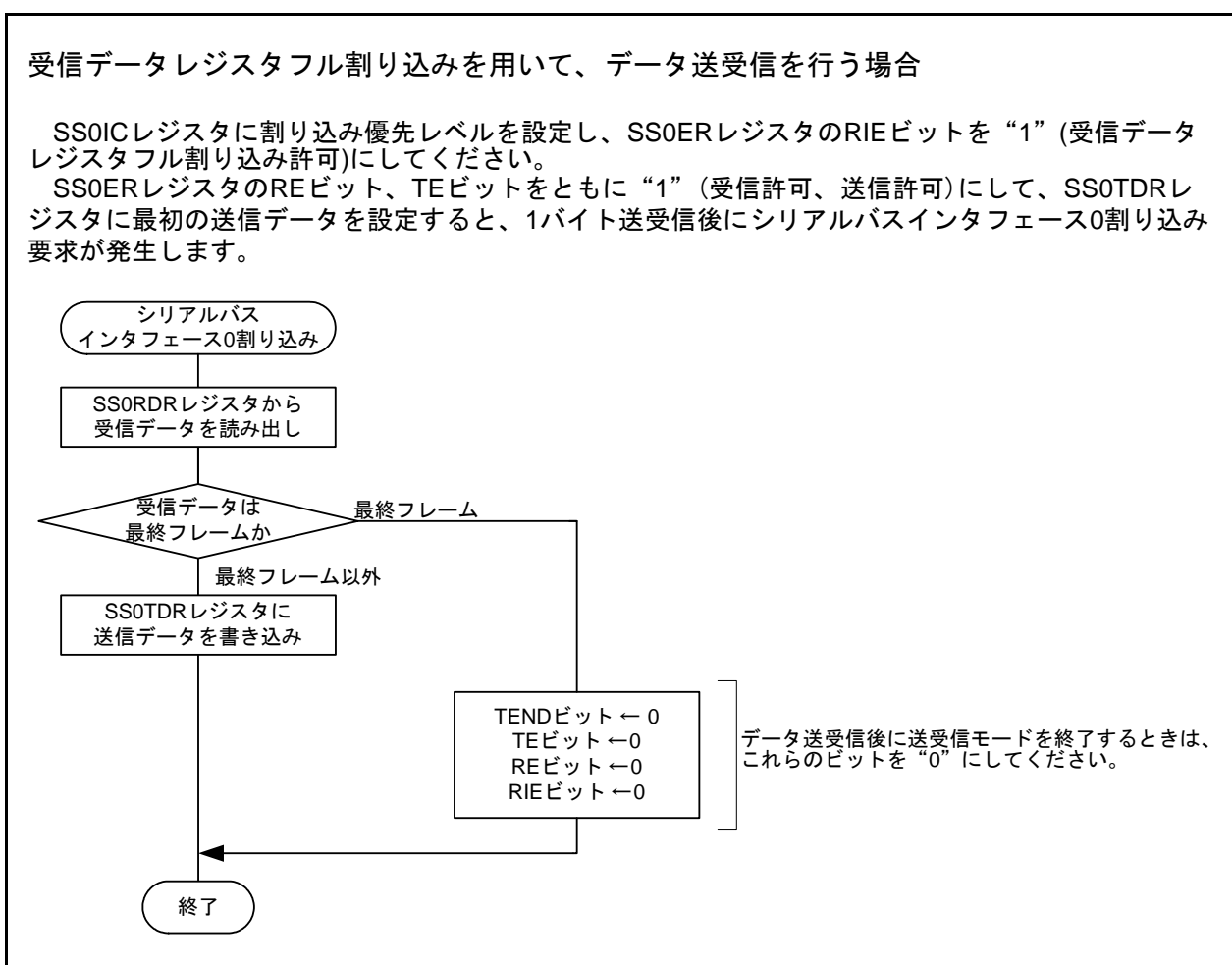


図 23.10 データ送受信手順の例(クロック同期式シリアル通信モード)

23.3.3 4線式シリアルバスモード

表 23.4 4線式シリアルバスモードの仕様

項目	仕様
データフォーマット	キャラクタ長: 8~16ビット可変
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK0 (入出力): クロック入出力端子 SSI0 (入出力): データ入出力端子 SSO0 (入出力): データ入出力端子 SCS0 (入出力): チップセレクト入出力端子
送受信クロック	<ul style="list-style-type: none"> SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作): 外部クロック (SSCK0端子から入力) SS0CRHレジスタのMSSビットが“1” (マスタデバイスとして動作): 内部クロック (SSCK0端子から出力) f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択
送信開始条件	<ul style="list-style-type: none"> SS0ERレジスタのTEビットが“1” (送信許可) SS0SRレジスタのTDREビットが“0” (未送信データあり) SS0SRレジスタのORERビットが“0” (オーバランエラーなし) SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作)の場合、SCS0端子が“L”でSSCK0端子からクロック入力
受信開始条件	<ul style="list-style-type: none"> SS0ERレジスタのREビットが“1” (受信許可) SS0SRレジスタのORERビットが“0” (オーバランエラーなし) SS0CRHレジスタのMSSビットが“1” (マスタデバイスとして動作)の場合、SS0ERレジスタのTEビットが“0” (送信禁止)の状態、SS0RDRレジスタをリード、SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作)の場合、SSCK0端子からクロック入力
エラー検出	<ul style="list-style-type: none"> オーバランエラー SS0SRレジスタのRDRFビットが“1” (受信データあり)の状態、次のシリアルデータ受信を完了すると発生 コンフリクトエラー <ul style="list-style-type: none"> SS0CRHレジスタのMSSビットが“1” (マスタデバイスとして動作)の状態、シリアル通信を開始しようとしたとき、SCS0端子が“L”であると発生 SS0CRHレジスタのMSSビットが“0” (スレーブデバイスとして動作)のとき、転送途中にSCS0端子入力が“L”から“H”に変化すると発生
割り込み要求	5種類(送信完了、送信データレジスタエンプティ、受信データレジスタフル、オーバランエラー、コンフリクトエラー)(注1)
その他選択項目	<ul style="list-style-type: none"> データ転送方向選択 LSBファーストまたはMSBファーストを選択できます SSCK0クロック極性選択 クロック停止時にSSCK0端子のレベルを“L”にするか“H”にするかを選択できます SSCK0クロック位相選択 データを変化させるエッジおよびデータを取り込むエッジを選択できます

注1. 割り込みベクタテーブルは1チャンネルにつき1つです。

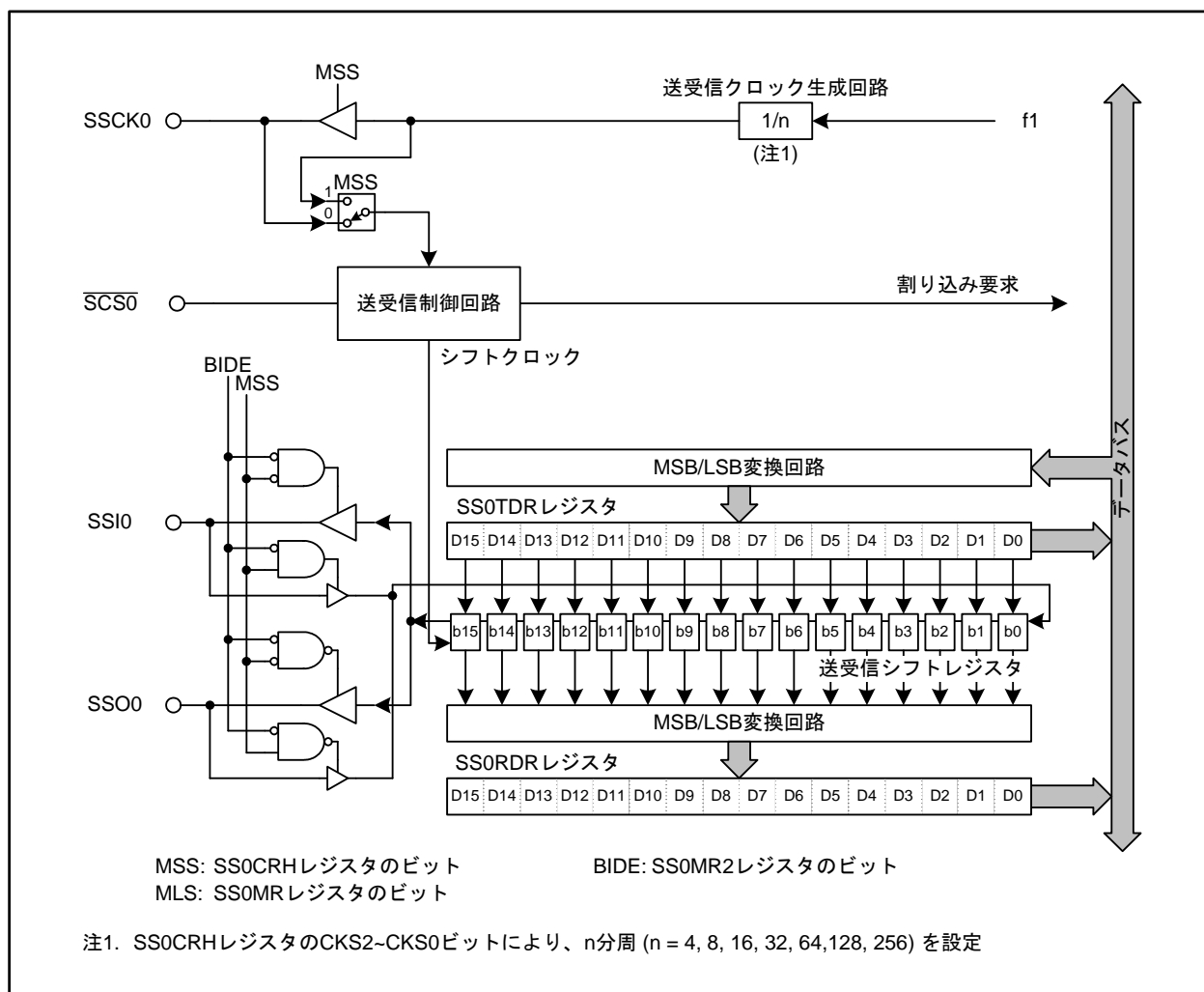


図 23.11 4線式シリアルバスモードのブロック図

4線式シリアルバスモードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本の信号線からなるバスを使用してシリアル通信を行うモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SS0CRHレジスタのMSSビットおよびSS0MR2レジスタのBIDEビットの設定により、SSI0端子、SSO0端子のいずれが使用されるかが変化します。詳細は「23.3.1.6 データ入出力端子と送受信シフトレジスタの関係」を参照してください。また、このモードではクロックの極性とデータに対するクロックの位相を、それぞれSS0MRレジスタのCPOSビットとCPHSビットにより設定できます。詳細は「23.3.1.2 送受信クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力端子、スレーブデバイスの場合は入力端子として機能します。マスタデバイスの場合はSS0MR2レジスタのCSS1~CSS0ビットを“10b”または“11b”にしてSCS0端子を出力端子として自動制御するか、あるいは汎用ポートをチップセレクト端子として使用することができます。スレーブデバイスの場合はSS0MR2レジスタのCSS1~CSS0ビットを“01b”にしてSCS0端子を入力端子として使用します。

4線式シリアルバスモードでは、標準的にSS0MRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

4線式シリアルバスモードでは、SS0CRHレジスタのMSSビットと、SS0ERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。SSCK0端子は、マスタデバイスでは出力、スレーブデバイスでは入力になります。

表 23.5 4線式シリアルバスモードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	SSUMS	BIDE	MSS	TE	RE	SSI0	SSO0	SSCK0
4線式シリアルバスモード (標準モード)	1	0	0 (スレーブ)	0	1	(注1)	データ入力	クロック 入力
				1	0	データ出力	(注1)	
			1 (マスタ)	0	1	データ出力	データ入力	クロック 出力
				1	0	(注1)	データ出力	
			0 (スレーブ)	0	1	(注1)	データ入力	クロック 入力
				1	0	(注1)	データ出力	
1 (マスタ)	0	1	(注1)	データ入力	クロック 出力			
	1	0	(注1)	データ出力				

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式シリアルバスモード(双方向)時は、TEビットとREビットを同時に“1”にしないでください。

SSUMS、BIDE: SS0MR2レジスタのビット

MSS: SS0CRHレジスタのビット

TE、RE: SS0ERレジスタのビット

23.3.3.1 4線式シリアルバスモードの初期化

図 23.12に4線式シリアルバスモードの初期化手順を示します。データの送信/受信前に、SS0ERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして回路を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、TEビットとREビットの両方を“0”にしてから変更してください。

なお、REビットを“0”にしても、RDRF、ORERの各フラグ、およびSS0RDRレジスタの内容は保持されます。

SS0SRレジスタに値を書く場合の注意は「23.5.1 SS0SRレジスタ」を参照してください。

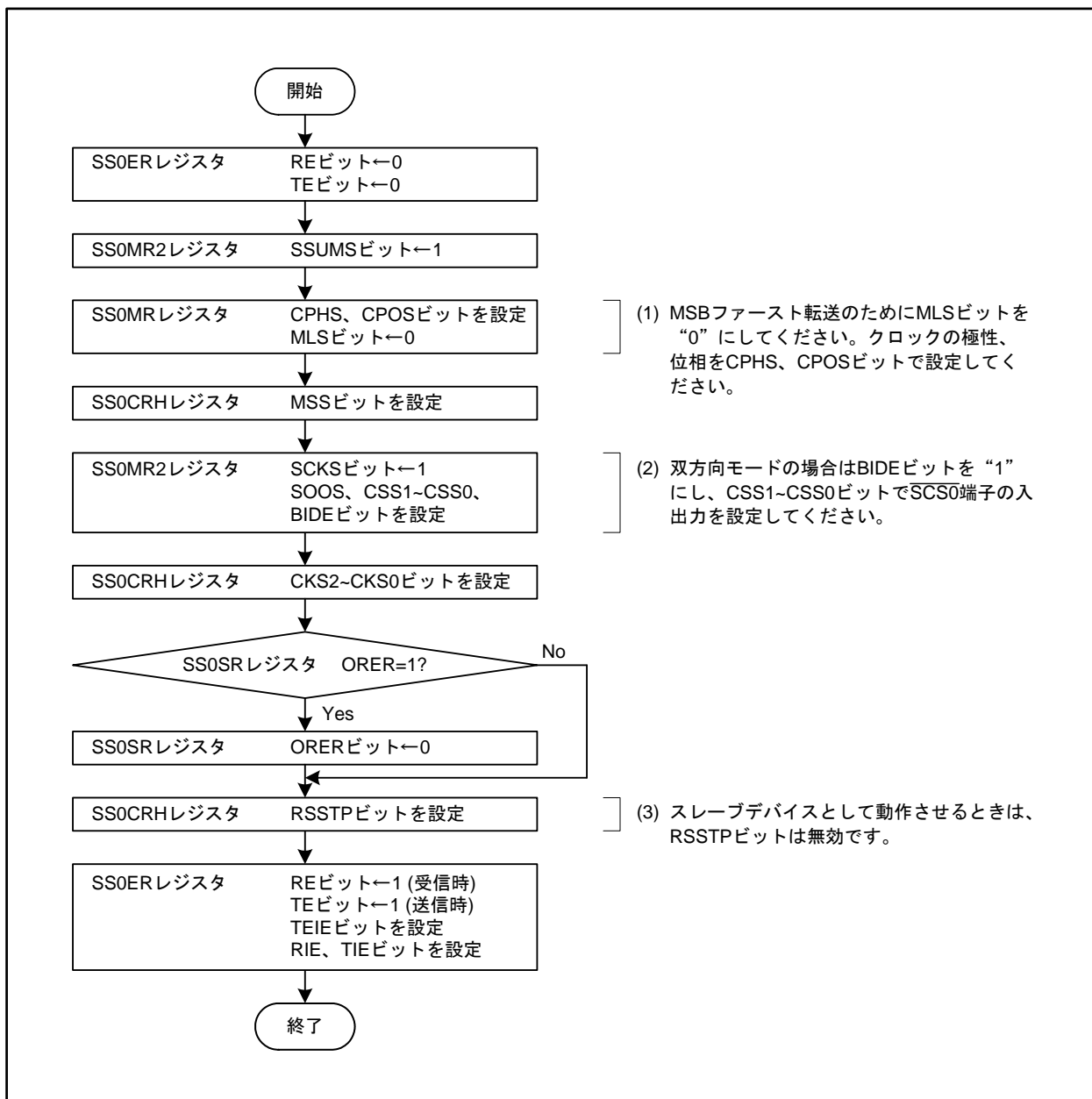


図 23.12 4線式シリアルバスモードの初期化手順

23.3.3.2 データ送信

図 23.13に4線式シリアルバスモードにおけるデータ送信時の動作例を示します。データ送信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCK0端子から出力します。スレーブデバイスに設定した場合は、SCS0端子に“L”が入力されているときにSSCK0端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も送信データは送受信クロックに同期して出力されます。

SSOERレジスタのTEビットを“1”(送信許可)にした後、SS0TDRレジスタに送信データを書くと、自動的にSS0SRレジスタのTDREビットが“0”(SS0TDRレジスタにデータあり)になり、SS0TDRレジスタから送受信シフトレジスタにデータが転送されます。その後、TDREビットが“1”(SS0TDRレジスタにデータなし)になり、送信を開始します。このとき、SSOERレジスタのTIEビットが“1”(送信データレジスタエンプティ割り込み許可)の場合、送信データレジスタエンプティ(TXI)割り込み要求を発生します。

TDREビットが“0”の場合、1フレームの送信が終わると、SS0TDRレジスタから送受信シフトレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の場合、最終ビットが送出されると、SS0SRレジスタのTENDビットが“1”(送信完了)になります。このときSSOERレジスタのTEIEビットが“1”(送信完了割り込み要求許可)の場合、送信完了(TEI)割り込み要求を発生します。送信完了後、SSCK0端子は“H”に、SCS0端子は“H”になります。SCS0端子を“L”にしたまま連続的に送信する場合は、最終ビットが送出される前に次の送信データをSS0TDRレジスタに書いてください。

なお、SS0SRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

クロック同期式シリアル通信モードとの違いは、SCS0端子を使用するかどうかです。4線式シリアルバスモードでは、マスタデバイスに設定している場合にSCS0端子が“H”を出力しているときは、SSO0端子がハイインピーダンスとなり、スレーブデバイスに設定している場合にSCS0端子から“H”が入力されていると、SSI0端子がハイインピーダンスになります。

データ送信手順のフローチャートはクロック同期式シリアル通信モードでの例(図 23.7)を参照ください。

なお、SS0BRレジスタでデータ転送長を8~16ビットの範囲で設定することができます。

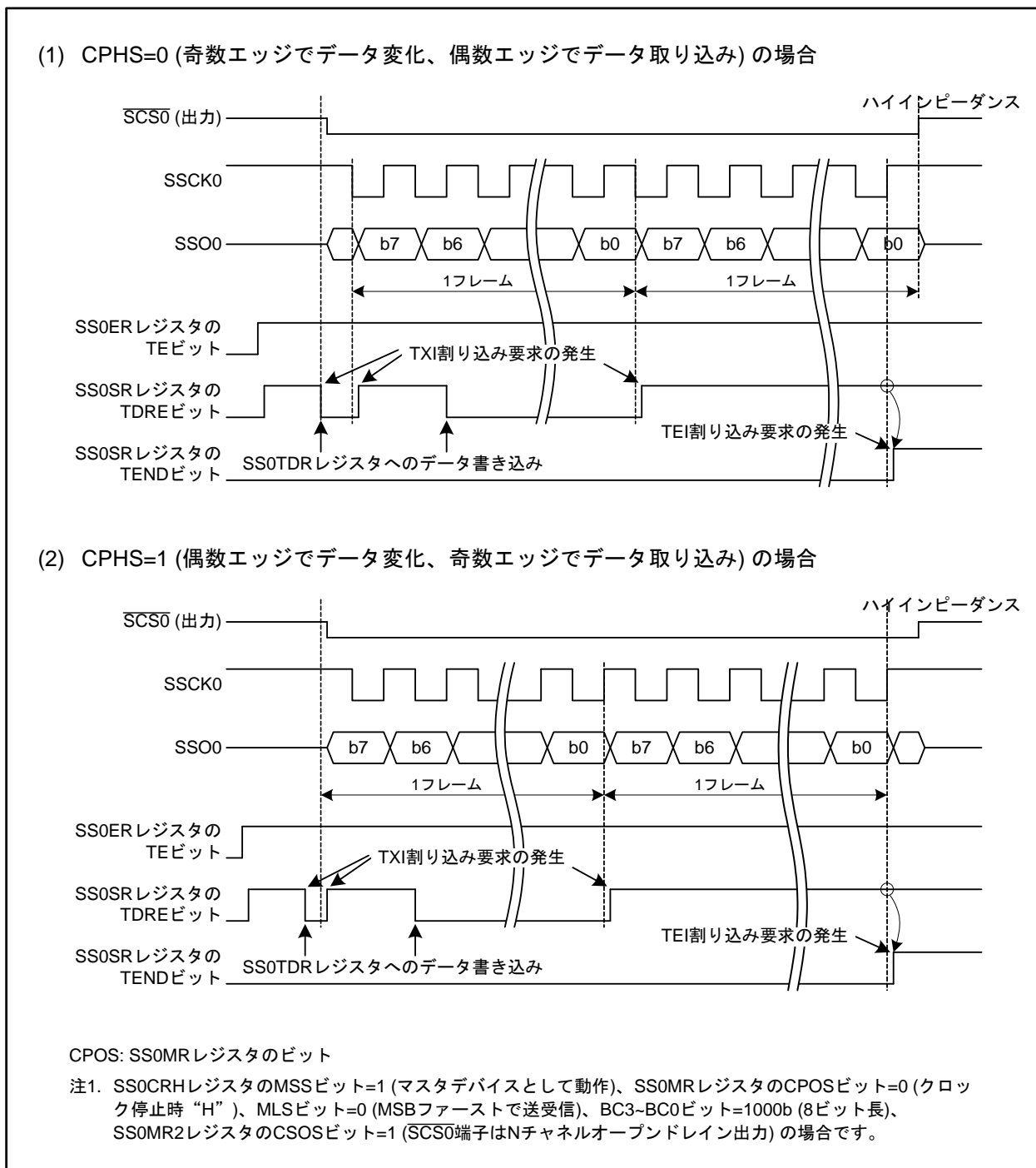


図 23.13 データ送信時の動作例(4線式シリアルバスモード)

23.3.3.3 データ受信

図 23.14に4線式シリアルバスモードにおけるデータ受信時の動作例を示します。データ受信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCK0端子から出力します。スレーブデバイスに設定した場合は、SCS0端子が“L”のときにSSCK0端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も受信データは送受信クロックに同期して取り込まれます。

マスタデバイスに設定した場合は、SS0ERレジスタのTEビットを“0”にし、送信モードを終了させた後、SS0RDRレジスタをダミーリードすることで受信クロックが出力され、受信を開始します。

設定したビット数のデータを受信すると、SS0SRレジスタのRDRFビットが“1”(SS0RDRレジスタにデータあり)になり、SS0RDRレジスタに受信データが格納されます。このとき、SS0ERレジスタのRIEビットが“1”(受信データレジスタフル/オーバーランエラー割り込み許可)の場合、受信データレジスタフル(RXI)割り込み要求が発生します。SS0RDRレジスタを読むと、自動的にRDRFビットは“0”(SS0RDRレジスタにデータなし)になります。

マスタデバイスに設定した場合に受信を終了するには、最終フレームの1つ前のデータをSS0RDRレジスタから読み出す前に、SS0CRHレジスタのRSSTPビットを“1”(現在のフレーム受信後、受信動作を終了)にしてください。この操作により、最終フレームの受信が完了した後、送受信クロックを停止します。その後、SS0ERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(現在のフレーム受信後、続けて次のフレームを受信)にし、最終フレームのデータを読んでください。REビットが“1”(受信許可)の状態ではSS0RDRレジスタを読むと、再度受信クロックが出力されます。

RDRFビットが“1”の時に最終ビットを受信すると、SS0SRレジスタのORERビットが“1”(オーバーランエラー発生)になり、受信動作を停止します。なお、ORERビットが“1”の状態では受信動作は行えませんので、受信動作を再開する前にORERビットが“0”であることを確認してください。

データ受信手順のフローチャートはクロック同期式シリアル通信モードでの例(図 23.9)を参照ください。

なお、SS0BRレジスタでデータ転送長を8~16ビットの範囲で設定することができます。

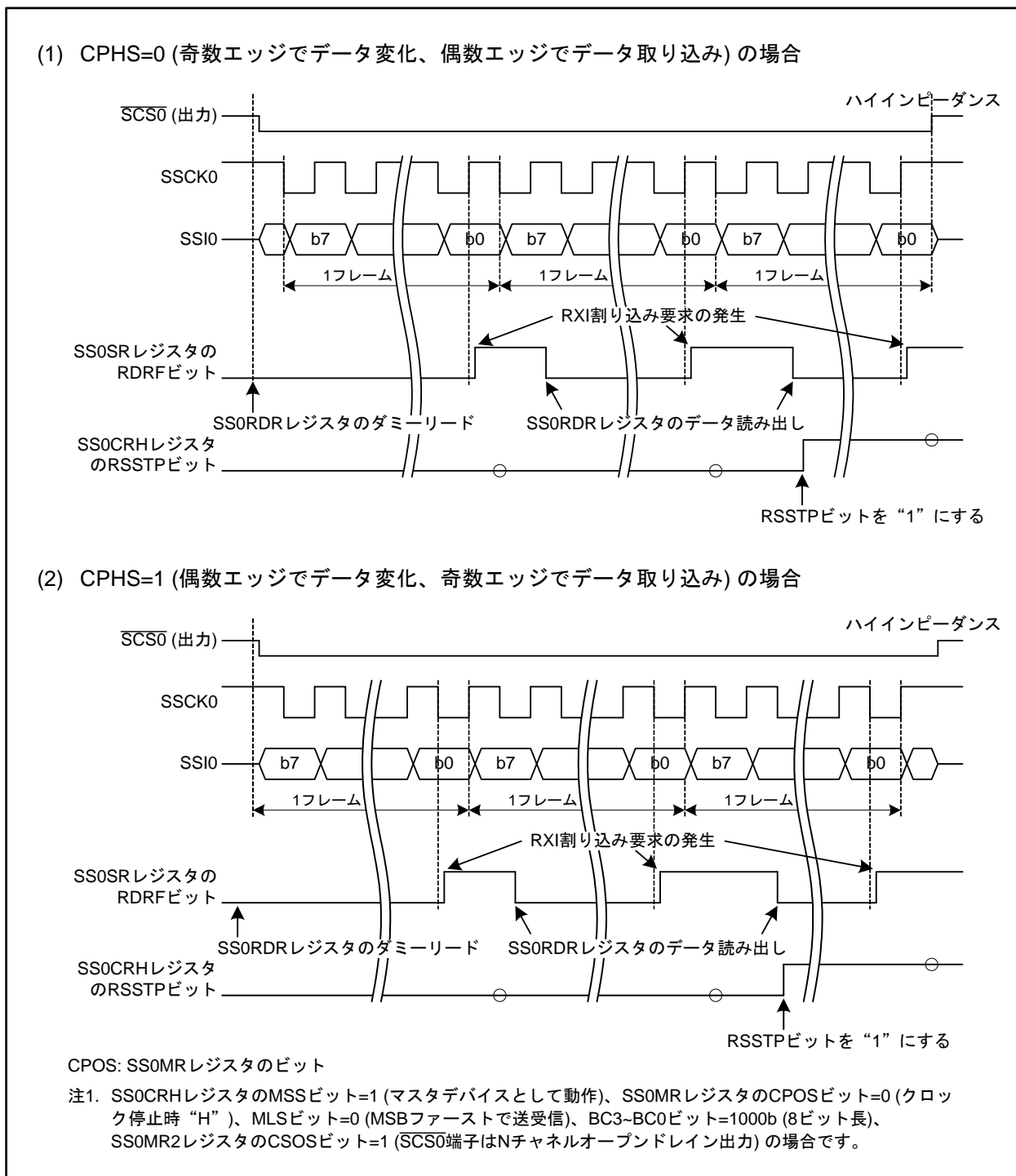


図 23.14 データ受信時の動作例(4線式シリアルバスモード)

23.3.3.4 $\overline{\text{SCS0}}$ 端子制御とアービトレーション

4線式シリアルバスモードでは、CSS1~CSS0ビットを“10b”または“11b”($\overline{\text{SCS0}}$ 出力端子として機能)、SS0CRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にした場合、シリアル送信を開始する前に $\overline{\text{SCS0}}$ 端子の状態を見てバスのアービトレーションを行います。送信前に同期化した内部 $\overline{\text{SCS0}}$ 信号が“L”になったことを検出すると、SS0SRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図 23.15 にバスのアービトレーションタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。送信を開始する前に、CEビットを“0”(コンフリクトエラーなし)にしてください。CEビットを“0”にするには、CEビットが“1”であることを確認した後“0”を書いてください。

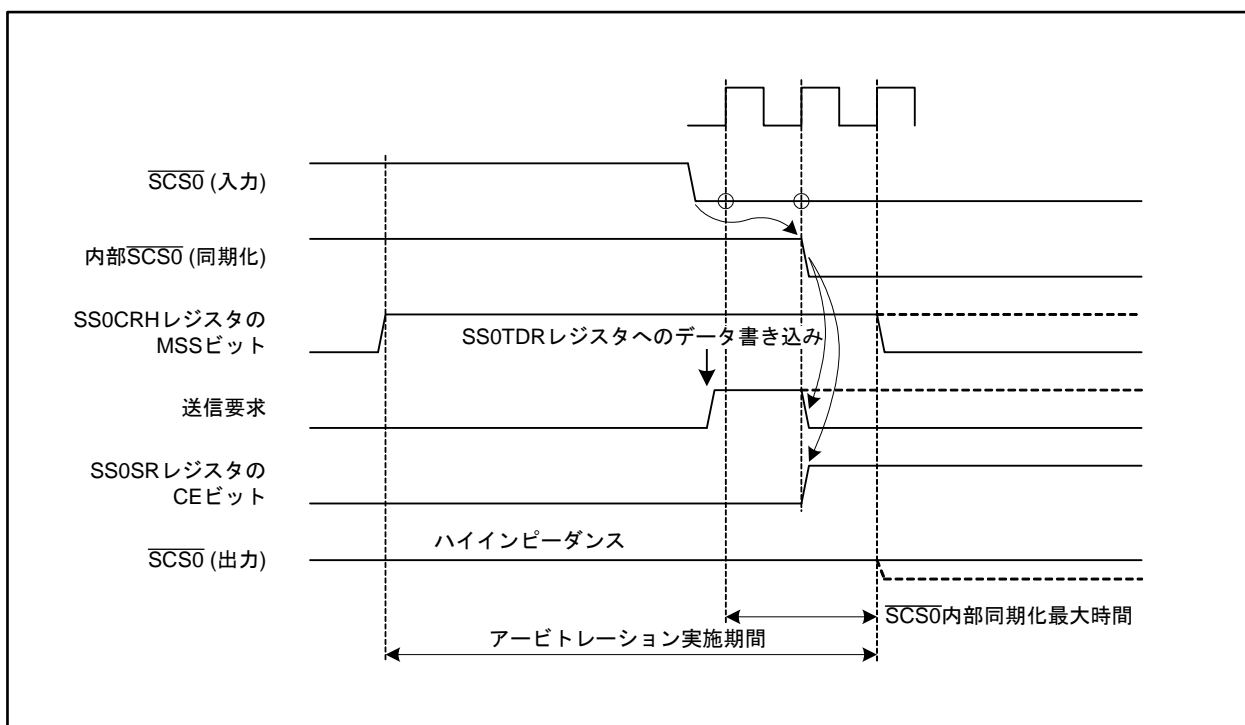


図 23.15 アービトレーションタイミング

23.4 割り込み

クロック同期式シリアル通信モードの割り込み要求には、送信データレジスタエンプティ、送信完了、受信データレジスタフル、オーバランエラーの4つの割り込み要求があります。4線式シリアルバスモードの割り込み要求には、さらにコンフリクトエラーがあります。これらの割り込み要求は、まとめて1つの割り込みベクタテーブルに割り付けられているため、割り込み処理ルーチンの中でフラグによる要因の判別が必要です。表 23.6に割り込み要求と発生条件の一覧を示します。

表 23.6 クロック同期式シリアル通信モードおよび4線式シリアルバスモードの割り込み要求

割り込み要求		発生条件
送信データレジスタエンプティ	TXI	TIE=1 かつ TDRE=1
送信完了	TEI	TEIE=1 かつ TEND=1
受信データレジスタフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー (注1)	CEI	CEIE=1 かつ CE=1

注1. 4線式シリアルバスモードのみ発生します。

CEIE、RIE、TEIE、TIE: SS0ERレジスタのビット

CE、ORER、RDRF、TEND、TDRE: SS0SRレジスタのビット

表 23.6の発生条件が満たされたとき、シリアルバスインタフェース0割り込み要求が発生します。割り込み処理ルーチン内で、それぞれの割り込み要因を“0”にしてください。

ただし、TDREビット(送信データレジスタエンプティ)およびTENDビット(送信完了)は、SS0TDRレジスタに次の送信データを書くことで自動的に“0”になります。また、RDRFビット(受信データレジスタフル)はSS0RDRレジスタを読むことで自動的に“0”になります。

なお、TDREビットは、SS0TDRレジスタに送信データを書いたとき“0”(SS0TDRレジスタにデータあり)になりますが、送信中でない場合はすぐに送受信シフトレジスタにデータが転送されて“1”(SS0TDRレジスタにデータなし)に戻ります。このときTDREビットに“0”を書くと、余分に1フレーム送信する場合があります。

表 23.7 シリアルバスインタフェースの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0042h	シリアルバスインタフェース0割り込み制御レジスタ	SS0IC	XX00 X000b

シリアルバスインタフェースは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。シリアルバスインタフェース0割り込みを使用する場合は、IFSR4AレジスタのIFSR44ビットを“1”(シリアルバスインタフェース0)にしてください。

SS0ICレジスタのIRビットは他のIRビットと動作が異なります。詳細は「12.2.3 割り込み制御レジスタ2」を参照してください。

23.5 シリアルバスインタフェース使用上の注意事項

23.5.1 SS0SR レジスタ

SS0SR レジスタに値を書く場合は次のようにしてください。

- MOV 命令を使用してください。
- 一度レジスタを読み出し、NOP 命令を4つ以上挿入した後、書き込んでください。
- “0”にするビット以外は“1”を書いてください(“1”を書いたビットの状態は変化しません)。

例: SS0SR レジスタの ORER ビット(ビット2)を“0”にする場合

```
MOV.B SS0SR, MEM      ;SS0SR レジスタを読み出す
NOP                    ;NOP 命令を4つ以上挿入
NOP
NOP
NOP
MOV.B #11100001b, SS0SR ;b2を“0”にする。b7、b6、b5、b0は変更しないので“1”を書く
                       ;b4,b3,b1は何も配置されていないビット。“0”を書く。
```

24. LINモジュール

LINモジュールはLIN Specification Package Revision 1.3、2.0、2.1に対応したハードウェアLIN通信コントローラで、フレーム通信とエラー判定を自動で行います。1チャンネルのマスタコントローラが内蔵されています。

表 24.1、表 24.2にLINモジュールの仕様、図 24.1にLINモジュールブロック図を示します。

表 24.1 LINモジュールの仕様 (1/2)

項目	仕様
プロトコル	LIN Specification Package Revision 1.3、2.0、2.1
チャンネル数	1チャンネル(LINマスタ)
フレーム構成可変	<ul style="list-style-type: none"> •送信ブレーク幅: 13~28 Tbit •送信ブレークデリミタ幅: 1~4 Tbit •インタバイトスペース(ヘッダ): 0~7 Tbit (SyncフィールドとIDフィールド間のスペース)(注1) •レスポンススペース: 0~7 Tbit (注1) •インタバイトスペース: 0~3 Tbit (レスポンス領域内のデータバイト間のスペース) •ウェイクアップ: 1~16 Tbit
チェックサム	送受信ともに自動演算 クラシックまたはエンハンス選択可能 (フレームごとに変更可能)
レスポンスフィールド データバイト数	0~8バイト可変
フレーム送信方法	<ul style="list-style-type: none"> •ヘッダとレスポンスを1つの送信開始要求により送信するモード •ヘッダとレスポンスを別々の送信開始要求により送信するモード(フレームセパレートモード)
ウェイクアップ送受信	LINウェイクアップモードで使用可能 <ul style="list-style-type: none"> •ウェイクアップ送信機能 •ウェイクアップ受信 <ul style="list-style-type: none"> •入力信号“L”幅カウンタ機能 •入力信号“L”検出機能
ステータス	<ul style="list-style-type: none"> •フレーム/ウェイクアップ送信完了 •ヘッダ送信完了 •フレーム/ウェイクアップ受信完了(注2) •データ1受信完了 •エラー検出 •動作モード(LINリセットモード、LINウェイクアップモード、LIN動作モード、LINセルフテストモード)
エラーステータス	<ul style="list-style-type: none"> •ビットエラー •チェックサムエラー •フレームタイムアウトエラー •フィジカルバスエラー •フレーミングエラー
ポーレート選択	ポーレートジェネレータでLIN仕様のポーレートを生成可能

注1. 同一レジスタで設定するため、インタバイトスペース(ヘッダ)=レスポンススペースになります。

注2. ウェイクアップ受信では、入力信号“L”幅カウンタ機能を使用します。

表 24.2 LINモジュールの仕様 (2/2)

項目	仕様
テストモード	ユーザ評価用セルフテストモード
割り込み機能	<ul style="list-style-type: none"> • フレーム/ウェイクアップ送信完了 • フレーム/ウェイクアップ受信完了(注1) • エラー検出 • LIN0“L”検出(入力信号“L”検出)

注1. ウェイクアップ受信では、入力信号“L”幅カウント機能を使用します。

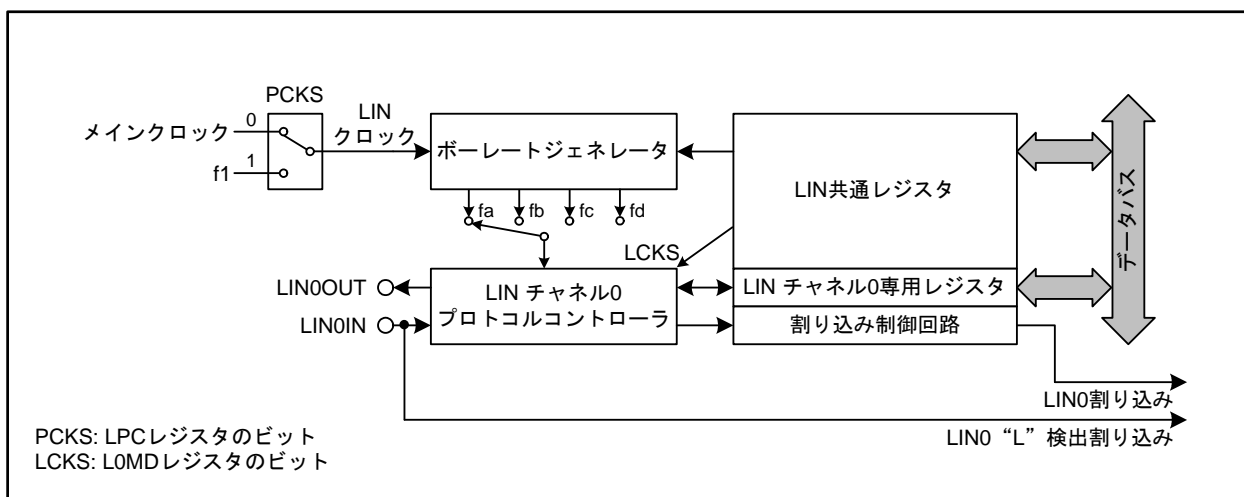


図 24.1 LINモジュールブロック図

- LIN0OUT、LIN0IN: LINの入出力端子です。
- ポーレートジェネレータ: LINの通信クロックを生成します。
- LIN共通レジスタ、LINチャンネル0専用レジスタ: LINモジュールのレジスタです。
- 割り込み制御回路: LINモジュールによって生成される割り込み要求を制御します。LIN0割り込みがあります。

24.1 LINモジュール関連レジスタ

図 24.2~図 24.21にLINモジュール関連レジスタを示します。

24.1.1 LINウェイクアップポーレート選択レジスタ (LWBR)



図 24.2 LWBR レジスタ

LINリセットモードのときに設定してください。

24.1.1.1 LWBR0ビット

LIN Specification Package Revision 1.3使用時は、LWBRレジスタのLWBR0ビットを“0”に設定してください。これにより入力信号“L”幅を2.5Tbit以上で計測することができます。

LIN Specification Package Revision 2.0、2.1使用時は“1”に設定してください。“1”にすることでLINウェイクアップモード中はLOMDレジスタのLCKSビットの設定にかかわらずLINシステムクロック (fLIN) はfaが選択されます (LCKSビットは変化しません)。入力信号“L”幅を2.5Tbit以上で計測することができます。

24.1.2 LINボーレートプリスケアラ0レジスタ (LBRP0)

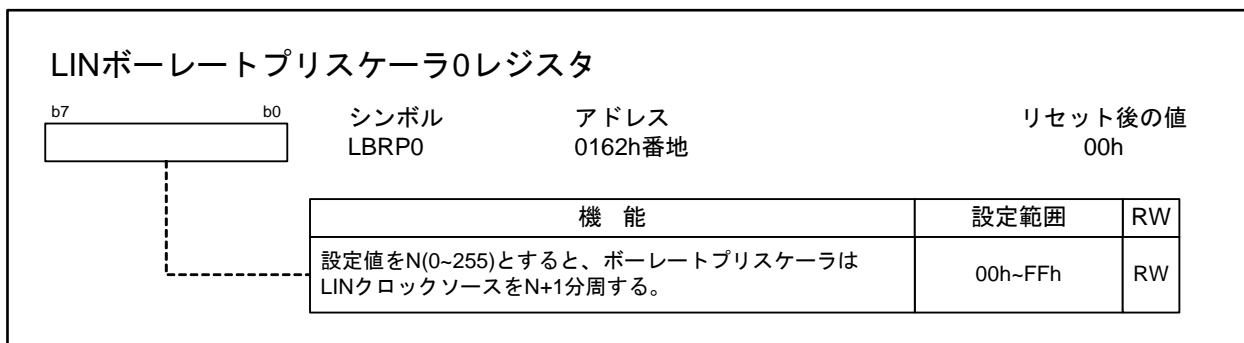


図 24.3 LBRP0レジスタ

LINリセットモードのときに設定してください。

24.1.3 LINボーレートプリスケアラ1レジスタ (LBRP1)

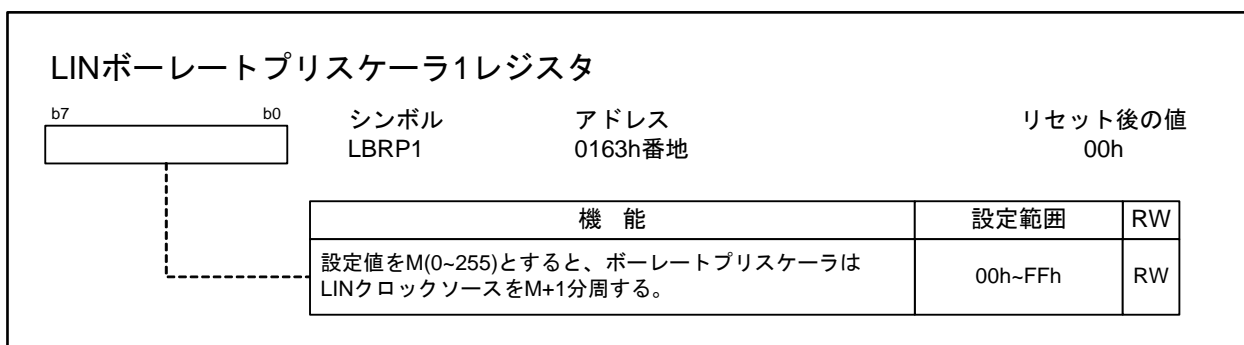


図 24.4 LBRP1レジスタ

LINリセットモードのときに設定してください。

24.1.4 LINセルフテスト制御レジスタ (LSTC)

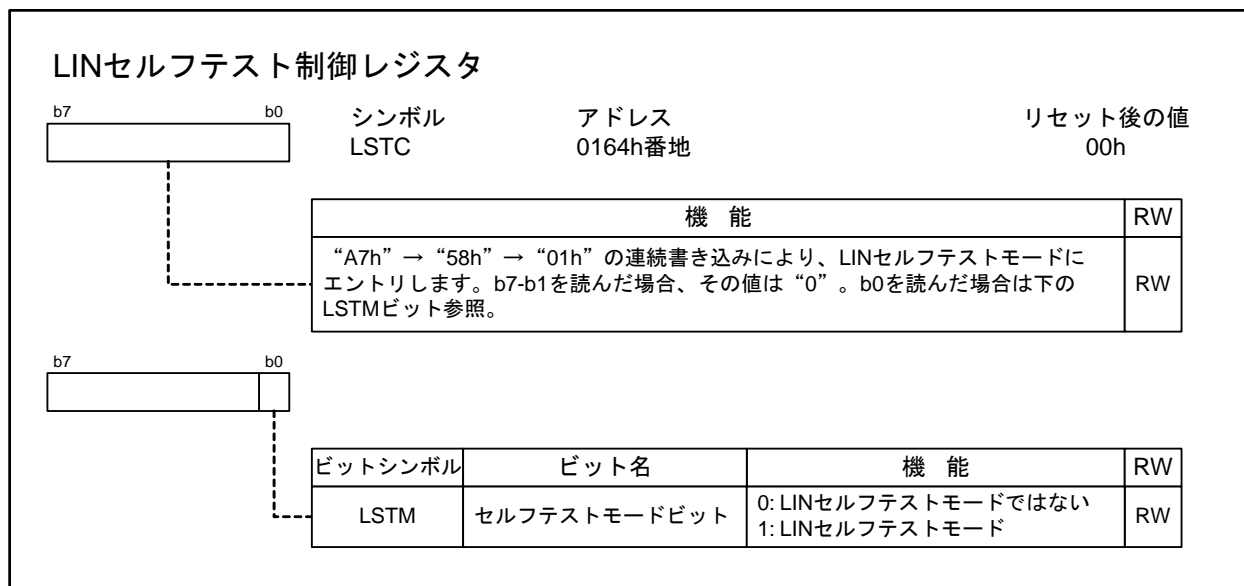


図 24.5 LSTCレジスタ

LINリセットモードのときに設定してください。

LINセルフテストモードのプロテクトを解除するために使用します。

“A7h”→“58h”→“01h”の連続書き込みにより、LINセルフテストモードへエントリします。

連続書き込みが成功し、LINセルフテストモードにした場合は、LSTMビットが“1”になります。

連続書き込みの間に別の書き込みを行わないでください。

LINセルフテストモードへの遷移方法は、「24.11 LINセルフテストモード」を参照してください。

24.1.4.1 LSTMビット

LINセルフテストモードに遷移したとき、このビットは“1”になります。

LINセルフテストモードの終了方法は、「24.11 LINセルフテストモード」を参照してください。

LSTCレジスタへの“A7h”→“58h”→“01h”の連続書き込み以外で、このビットに“1”を書き込んでも値は変化しません。

24.1.5 LINポートクロック制御レジスタ (LPC)

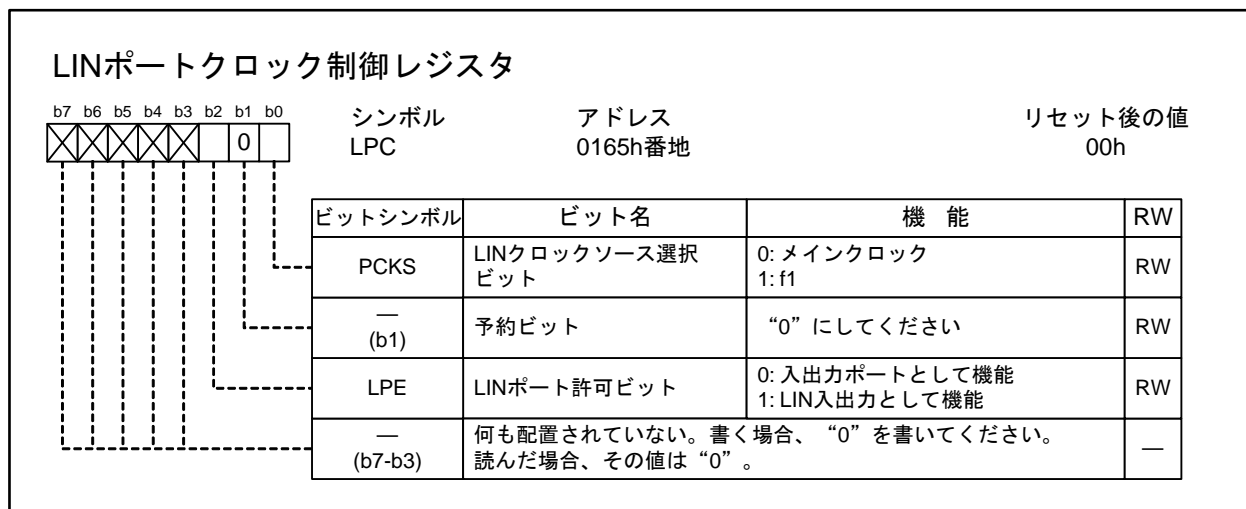


図 24.6 LPCレジスタ

LINリセットモードのときに設定してください。

24.1.5.1 PCKSビット

ボーレートジェネレータに入力するLINクロックソースを選択するビットです。

“0”の場合、ボーレートジェネレータに入力されるクロックはメインクロックになります。

“1”の場合、ボーレートジェネレータに入力されるクロックはf1になります。

このビットを“1”にする場合、CM21ビットは“0”（メインクロックまたはPLLクロック）にしてください。

24.1.5.2 LPEビット

LPEビットを“1”にするとLIN入出力端子(LIN0OUT、LIN0IN)として機能します。LINモジュールを使用する場合は、このビットを“1”にしてください。

LPEビットを“1”にする場合は、LIN0IN端子に対応するポートの方向ビットを“0”（入力）にしてください。

LPEビットを“0”にするとポート入出力端子として機能します。

24.1.6 LIN0モードレジスタ (LOMD)

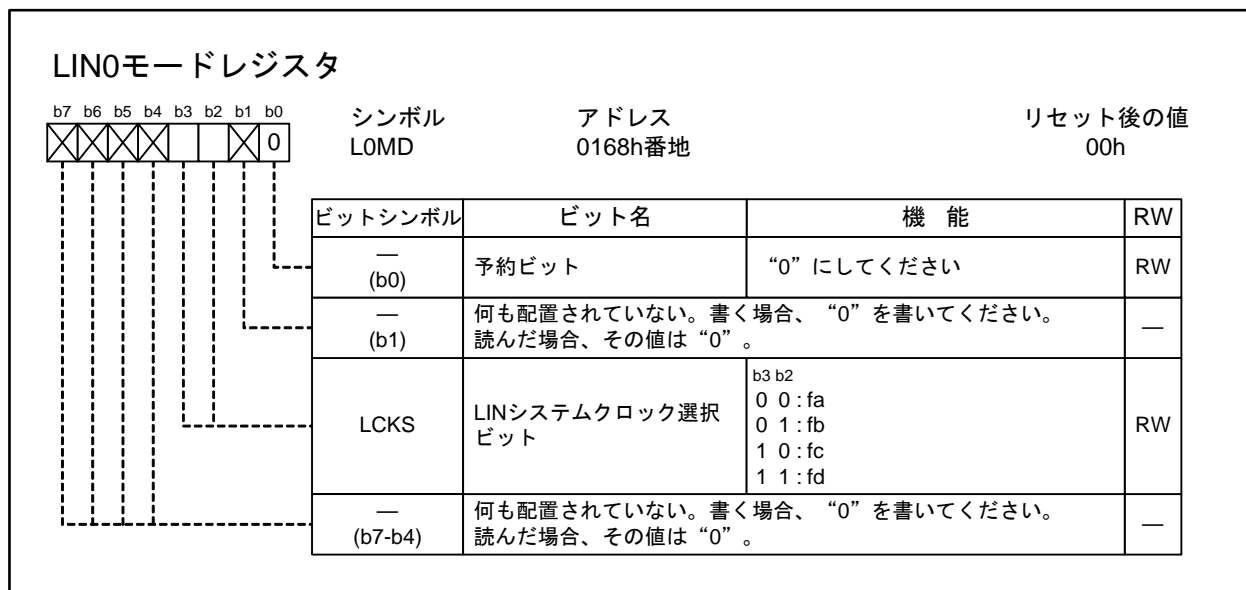


図 24.7 LOMD レジスタ

LINリセットモードのときに設定してください。

24.1.6.1 LCKSビット

プロトコルコントローラに入力するクロックを選択するビットです。

“00b”の場合、プロトコルコントローラにはfa(ボーレートプリスケアラ0生成クロック)が入力されます。

“01b”の場合、プロトコルコントローラにはfb(ボーレートプリスケアラ0生成クロック/2)が入力されます。

“10b”の場合、プロトコルコントローラにはfc(ボーレートプリスケアラ0生成クロック/8)が入力されます。

“11b”の場合、プロトコルコントローラにはfd(ボーレートプリスケアラ1生成クロック/2)が入力されます。

LWBRレジスタのLWBR0ビットが“1”(LIN 2.0、2.1使用時)かつLOMSTレジスタが“01h”(LINウェイクアップモード)の場合、このビットの設定にかかわらず、プロトコルコントローラにはfaが入力されます(LCKSビットは変化しません)。

24.1.7 LIN0ブレークフィールド設定レジスタ (L0BRK)

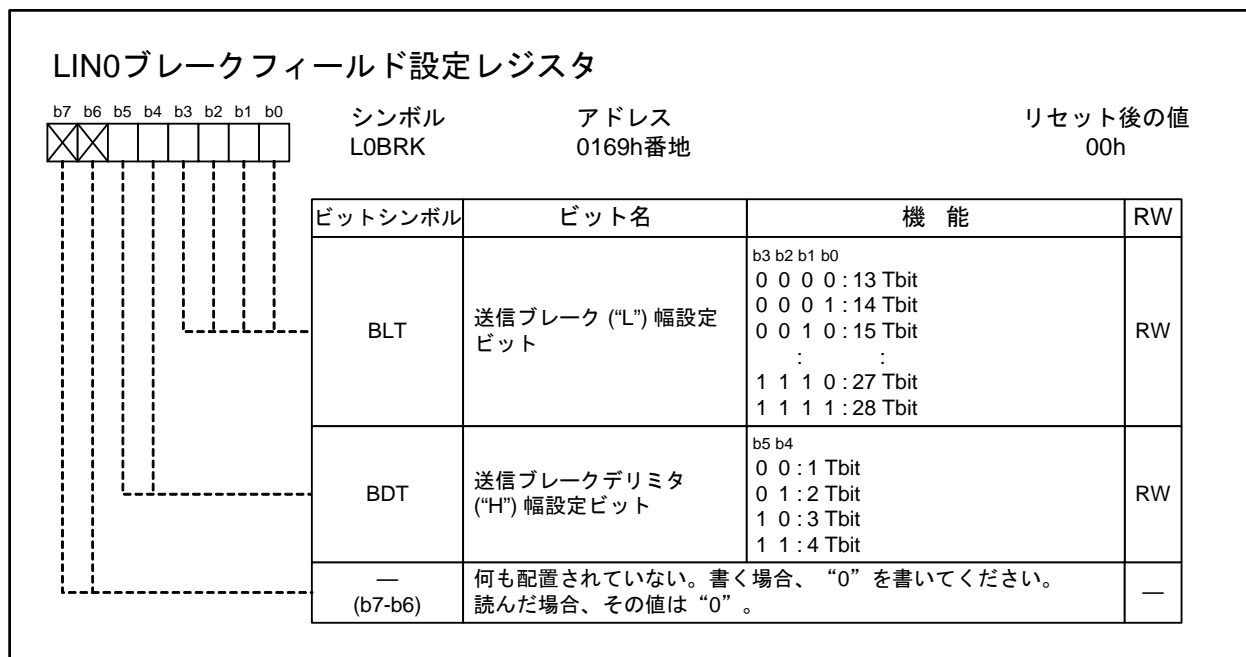


図 24.8 L0BRKレジスタ

LINリセットモードのときに設定してください。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合がありますので、適切な値になるように設定してください。

24.1.7.1 BLTビット

送信フレーム ヘッダ部のブレーク (“L”)幅を設定します。

13Tbit~28Tbitを設定できます。

24.1.7.2 BDTビット

送信フレーム ヘッダ部のブレークデリミタ (“H”)幅を設定します。

1Tbit~4Tbitを設定できます。

24.1.8 LIN0スペース設定レジスタ (L0SPC)

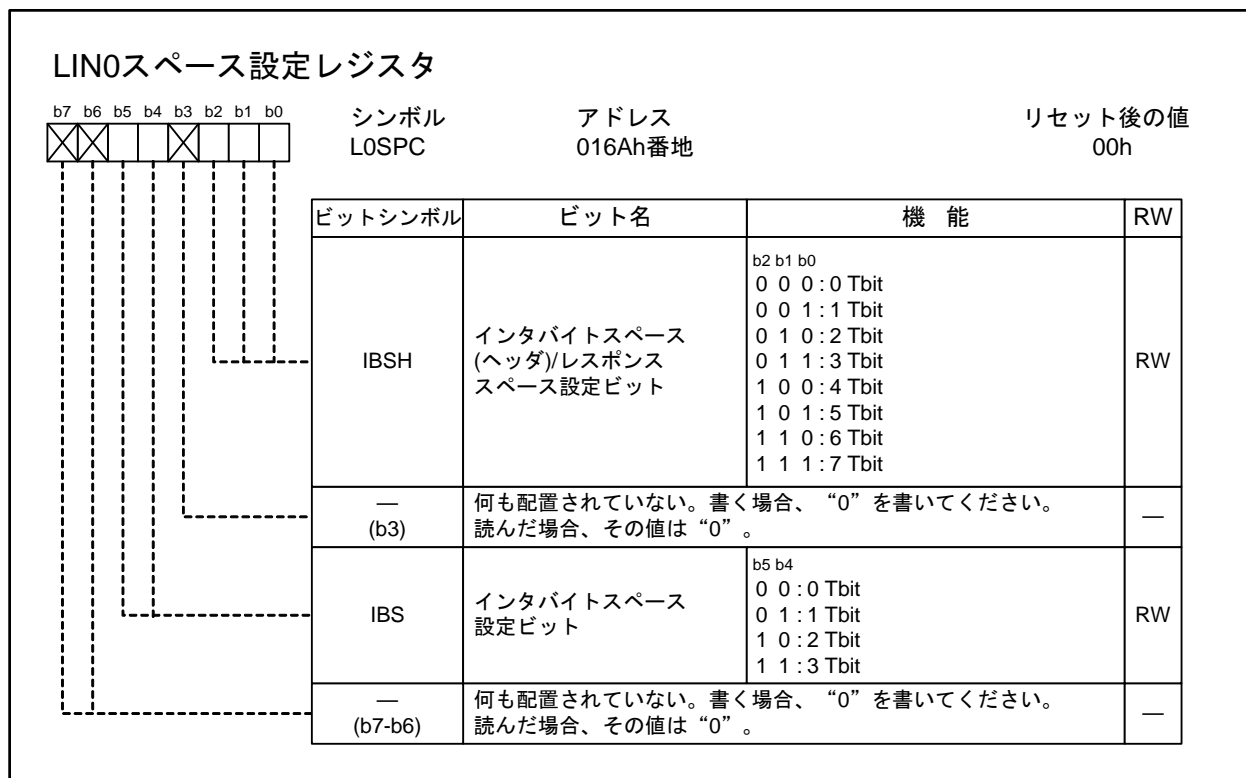


図 24.9 L0SPCレジスタ

LINリセットモードのときに設定してください。

送信(ヘッダ、レスポンス)時のみ有効です。レスポンス受信時は、無効になります。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合がありますので、適切な値になるように設定してください。

24.1.8.1 IBSHビット

送信フレームヘッダ部のインタバイトスペース(ヘッダ)とレスポンススペースの幅を設定します。

0Tbit~7Tbitを設定できます。

インタバイトスペース(ヘッダ)とレスポンススペースの値は、同じになります。

24.1.8.2 IBSビット

送信フレームレスポンス部のインタバイトスペース幅を設定します。

0Tbit~3Tbitを設定できます。

24.1.9 LIN0ウェイクアップ設定レジスタ (LOWUP)

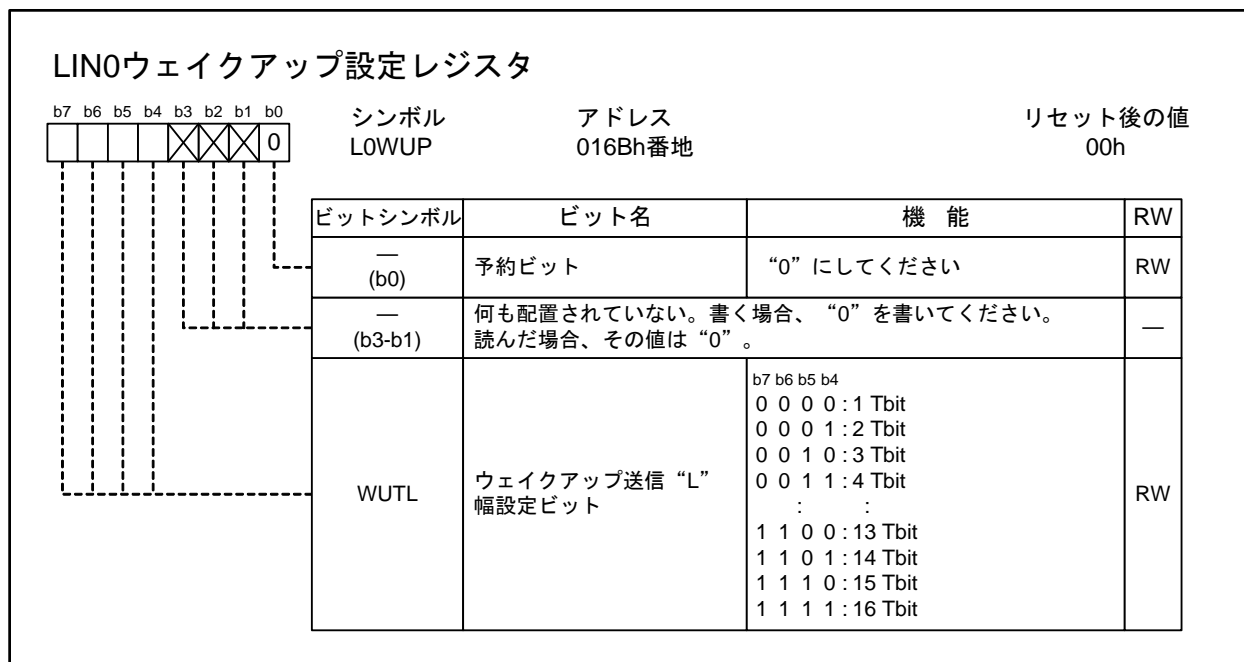


図 24.10 LOWUPレジスタ

LINリセットモードのときに設定してください。

24.1.9.1 WUTLビット

ウェイクアップフレーム送信時の“L”幅の設定をします。

1Tbit~16Tbitを設定できます。

LWBRレジスタのLWBR0ビットが“1” (LIN 2.0、2.1使用時)の場合、L0MDレジスタのLCKSビットに関わらずLINシステムクロック (fLIN)はfaが選択されます (LCKSビットは変化しません)。

24.1.10 LIN0割り込み許可レジスタ (LOIE)

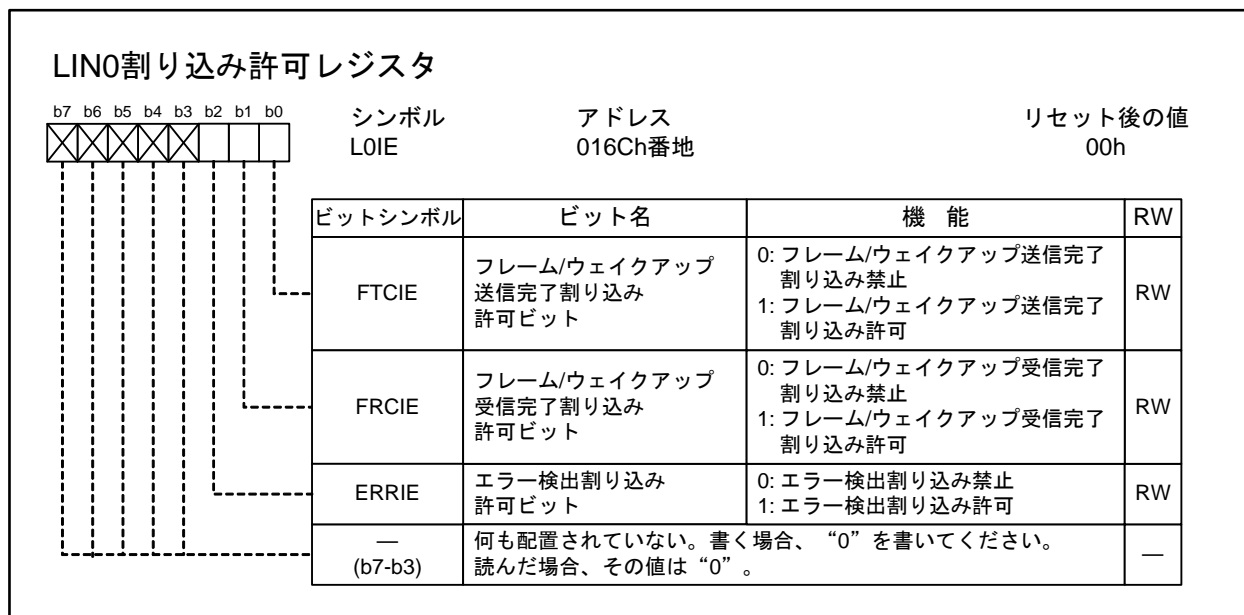


図 24.11 LOIE レジスタ

LINリセットモードのときに設定してください。

24.1.10.1 FTICIE ビット

フレーム送信完了またはウェイクアップ送信完了時の割り込み許可/禁止を設定します。

“0”の場合、LOSTレジスタのFTICビットが“1”(フレームまたはウェイクアップ送信完了)になったときにLIN0割り込みが発生しません。

“1”の場合、LOSTレジスタのFTICビットが“1”になったときにLIN0割り込みが発生します。

24.1.10.2 FRCIE ビット

フレーム受信完了またはウェイクアップ受信(入力信号“L”幅カウント)完了時の割り込み許可/禁止を設定します。

“0”の場合、LOSTレジスタのFRCビットが“1”(フレームまたはウェイクアップ受信完了)になったときにLIN0割り込みが発生しません。

“1”の場合、LOSTレジスタのFRCビットが“1”になったときにLIN0割り込みが発生します。

24.1.10.3 ERRIE ビット

エラーを検出したときの割り込み許可/禁止を設定します。

“0”の場合、LOSTレジスタのERRビットが“1”(エラー検出)になったときにLIN0割り込みが発生しません。

“1”の場合、LOSTレジスタのERRビットが“1”になったときにLIN0割り込みが発生します。

発生要因となる割り込みは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。

ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、LOEDEレジスタで検出許可/禁止の設定ができます。

24.1.11 LIN0 エラー検出許可レジスタ (LOEDE)

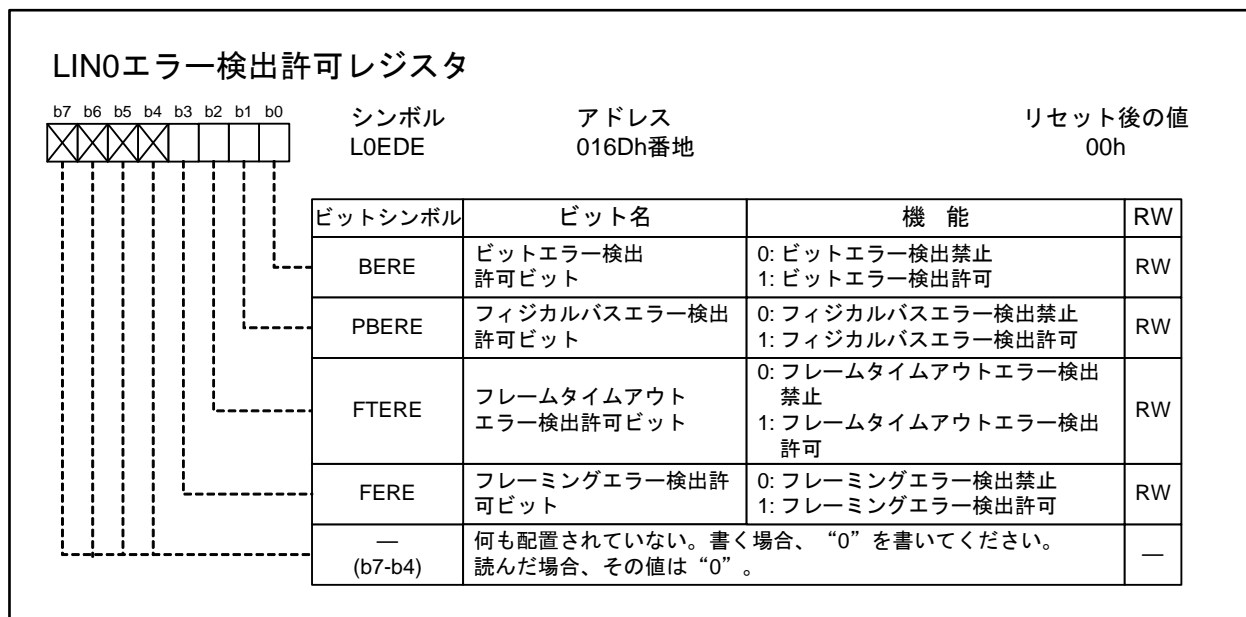


図 24.12 LOEDE レジスタ

LIN リセットモードのときに設定してください。

24.1.11.1 BERE ビット

ビットエラー検出の許可/禁止を設定します。

“0”の場合、ビットエラーを検出しません。

“1”の場合、ビットエラーを検出します。

本ビットが“1”の場合の検出結果は、LOEST レジスタの BER ビットに反映されます。

ビットエラーの詳細は、「24.9 エラーステータス」を参照してください。

24.1.11.2 PBERE ビット

フィジカルバスエラー検出の許可/禁止を設定します。

“0”の場合、フィジカルバスエラーを検出しません。

“1”の場合、フィジカルバスエラーを検出します。

本ビットが“1”の場合の検出結果は、LOEST レジスタの PBER ビットに反映されます。

フィジカルバスエラーの詳細は、「24.9 エラーステータス」を参照してください。

24.1.11.3 FTERE ビット

フレームタイムアウトエラー検出の許可/禁止を設定します。

“0”の場合、フレームタイムアウトエラーを検出しません。

“1”の場合、フレームタイムアウトエラーを検出します。

本ビットが“1”の場合の検出結果は、LOEST レジスタの FTER ビットに反映されます。

フレームタイムアウトエラーの詳細は、「24.9 エラーステータス」を参照してください。

24.1.11.4 FEREビット

フレーミングエラー検出の許可/禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

本ビットが“1”の場合の検出結果は、LOESTレジスタのFERビットに反映されます。

フレーミングエラーの詳細は、「24.9 エラーステータス」を参照してください。

24.1.12 LIN0制御レジスタ (LOC)

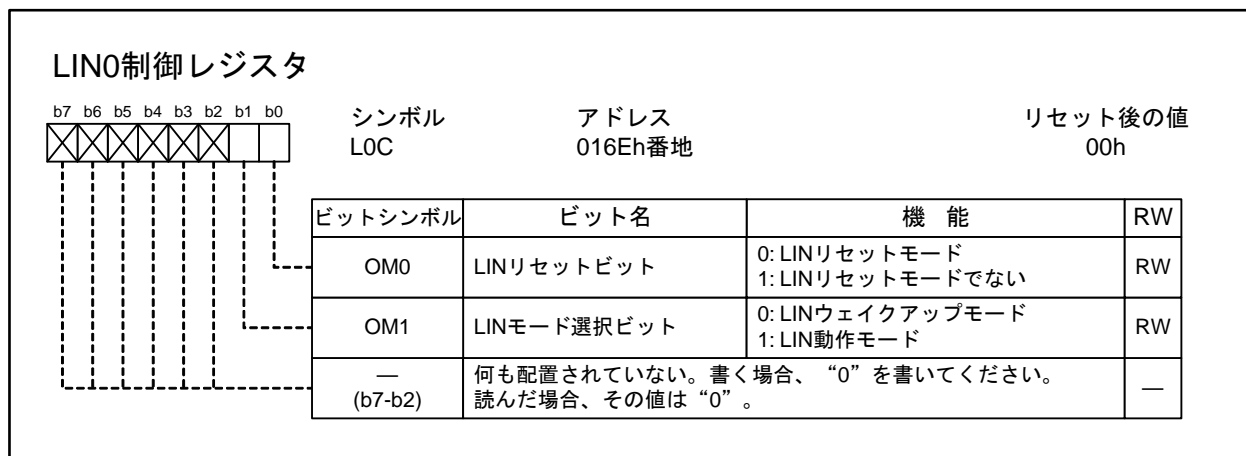


図 24.13 LOCレジスタ

LINリセットモードからLINウェイクアップモードに遷移させる場合、“01h”を書いてください。

LINリセットモードからLIN動作モードに遷移させる場合、“03h”を書いてください。

LINセルフテストモードでは、LINセルフテストモード遷移後に、“03h”を書いてください。

24.1.12.1 OM0ビット

LINリセットモードへの遷移/LINリセットモードの解除を選択するビットです。

“0”にすると、LINリセットモードになります。

“1”にすると、LINリセットモードを解除します。

24.1.12.2 OM1ビット

LINリセットモード解除時の動作モード(LINウェイクアップモード、LIN動作モード)を選択をするビットです。

OM1~OM0ビットを“01b”にすると、LINウェイクアップモードになります。

OM1~OM0ビットを“11b”にすると、LIN動作モードになります。

このビットは、L0TCレジスタのFTSビットが“1”(フレーム送信/ウェイクアップ送受信開始)の間は書き込めません。

24.1.13 LIN0送信制御レジスタ (L0TC)

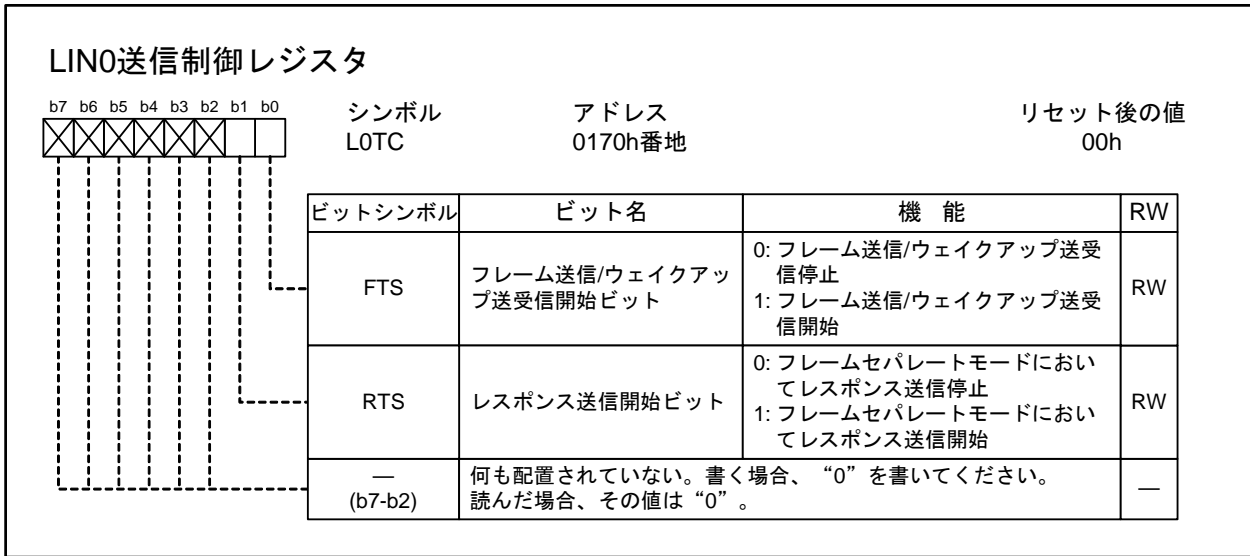


図 24.14 L0TCレジスタ

24.1.13.1 FTSビット

フレーム/ウェイクアップ送信開始時、“1”にしてください。

また、ウェイクアップ受信(入力信号“L”幅カウント)を行う場合もこのビットは“1”にしてください。通信中は“1”を保持します。通信していない場合およびLINリセットモード遷移時に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。送受信が完了、またはエラーを検出すると自動的に“0”になります。

24.1.13.2 RTSビット

レスポンス送信開始時、“1”にしてください。

通信中は“1”を保持します。通信していない場合およびLINリセットモード遷移時に“0”になります。

このビットは“1”のみ書けます。“0”は書けません。送信が完了、またはエラーを検出すると自動的に“0”になります。

このビットはLMD0レジスタのFSMビットが“1”(フレームセパレートモード)で、FTSビットが“1”(フレーム送信/ウェイクアップ送受信開始)のときに設定してください。

24.1.14 LIN0モードステータスレジスタ (LOMST)

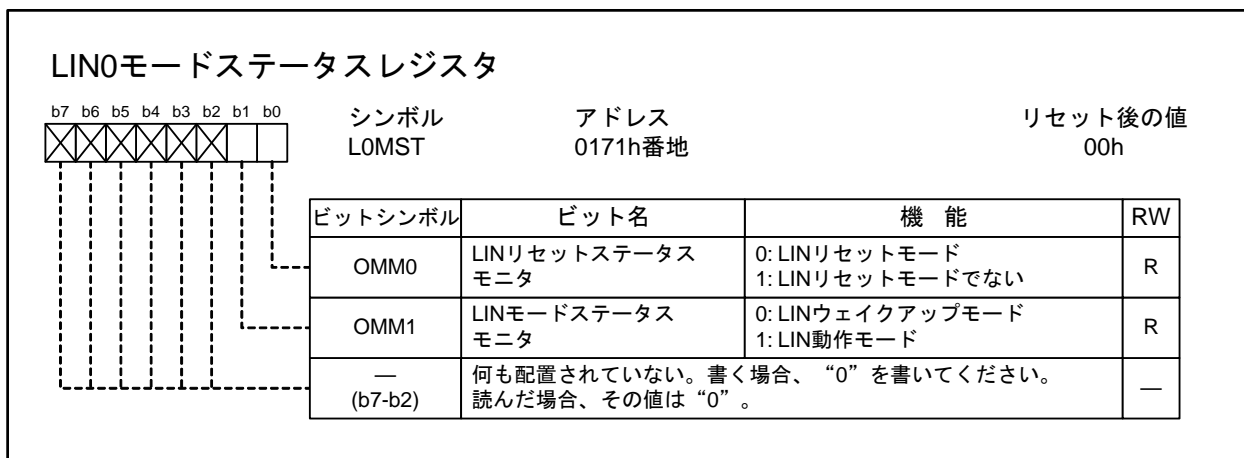


図 24.15 LOMSTレジスタ

24.1.14.1 OMM0ビット、OMM1ビット

現在の動作モードが確認できます。

24.1.15 LIN0ステータスレジスタ (LOST)

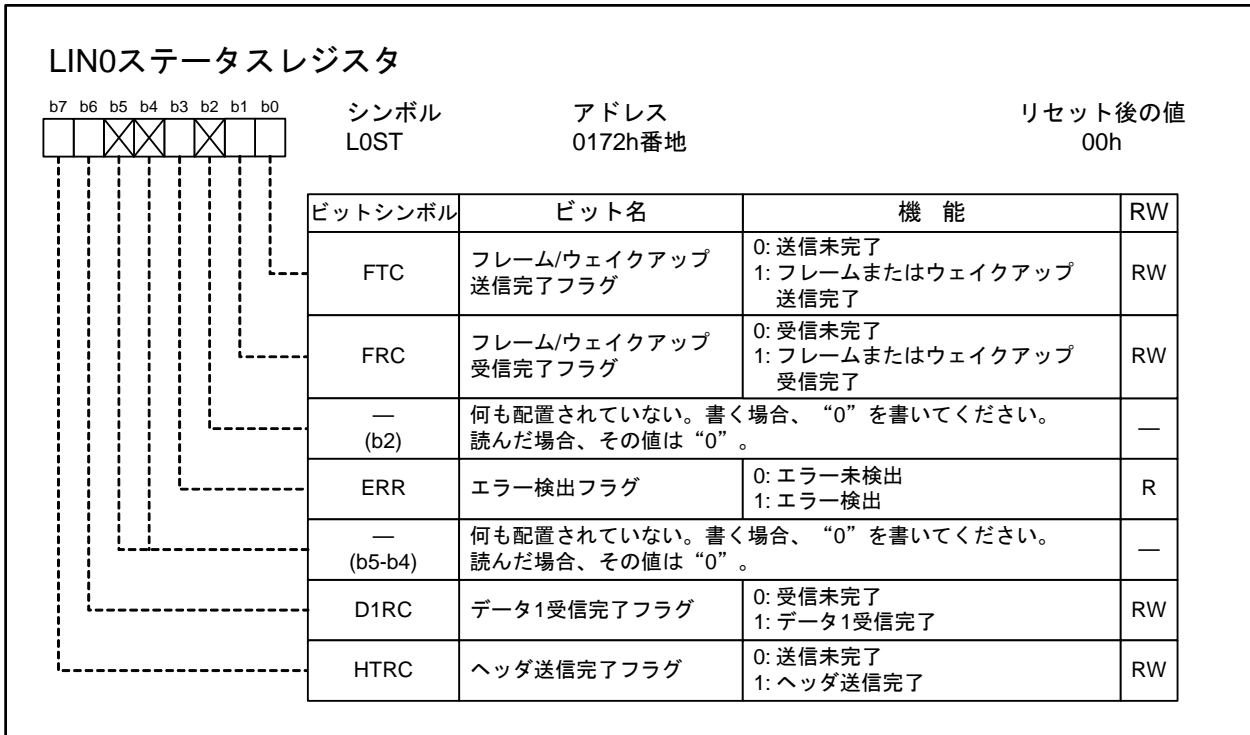


図 24.16 LOSTレジスタ

LINリセットモード遷移時および次の通信開始時、自動的に“00h”になります。

LINリセットモード中は“00h”を保持します。

LOTCレジスタのFTSビットが“1”（フレーム送信/ウェイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

24.1.15.1 FTCビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレームまたはウェイクアップ送信完了時、“1”になります。このときLOIEレジスタのFTCIEビットが“1”（割り込み許可）の場合、LIN0割り込み要求が発生します。次の通信が始まる前に“0”にしたい場合は、LINウェイクアップモードまたはLIN動作モード内で“0”を書いてください。

24.1.15.2 FRCビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム受信完了またはウェイクアップ受信（入力信号“L”幅カウント）完了時、“1”になります。このときLOIEレジスタのFRCIEビットが“1”（割り込み許可）の場合、LIN0割り込み要求が発生します。次の通信が始まる前に“0”にしたい場合は、LINウェイクアップモードまたはLIN動作モード内で“0”を書いてください。

24.1.15.3 ERRビット

エラー検出時、“1”になります。このときLOIEレジスタのERRIEビットが“1”（割り込み許可）の場合、LIN0割り込み要求が発生します。次の通信が始まる前に“0”にしたい場合は、LINウェイクアップモードまたはLIN動作モード内でLOESTレジスタのBERビット、PBERビット、FTERビット、FERビット、CSERビットに“0”を書いてください。ERRビットが“0”になります。

24.1.15.4 D1RCビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

データ1受信完了時、“1”になりますが割り込み要求は発生しません。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

24.1.15.5 HTRCビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ受信完了時、“1”になりますが割り込み要求は発生しません。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

24.1.16 LIN0エラーステータスレジスタ (LOEST)

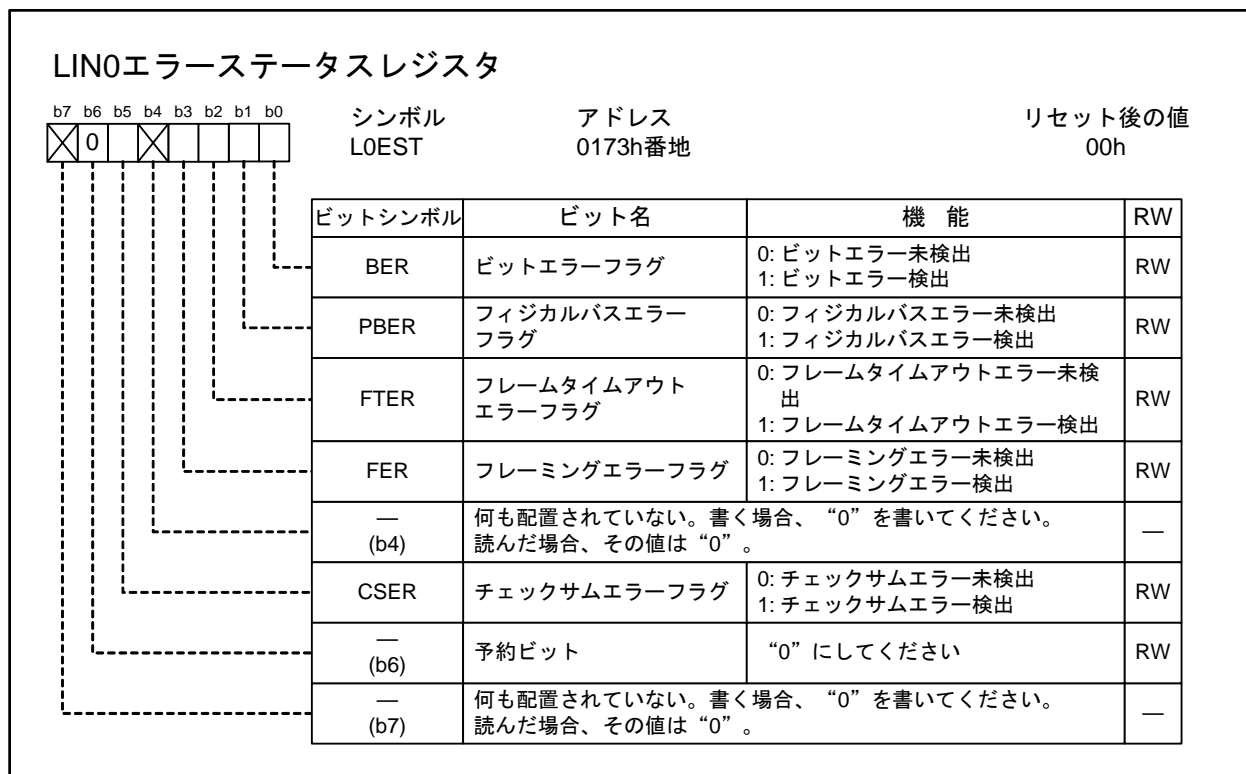


図 24.17 LOESTレジスタ

LINリセットモード遷移時および次の通信開始時、自動的に“00h”になります。

LINリセットモード中は“00h”を保持します。

L0TCレジスタのFTSビットが“1”（フレーム送信/ウェイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

24.1.16.1 BERビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ビットエラー検出時、“1”になります。次の通信が始まる前に“0”にしたい場合は、LINウェイクアップモードまたはLIN動作モード内で“0”を書いてください。

24.1.16.2 PBERビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フィジカルバスエラー検出時、“1”になります。次の通信が始まる前に“0”にしたい場合は、LINウェイクアップモードまたはLIN動作モード内で“0”を書いてください。

24.1.16.3 FTERビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレームタイムアウトエラー検出時、“1”になります。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

24.1.16.4 FERビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーミングエラー検出時、“1”になります。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

24.1.16.5 CSERビット

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”になります。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

24.1.17 LIN0レスポンスフィールド設定レジスタ (LORFC)

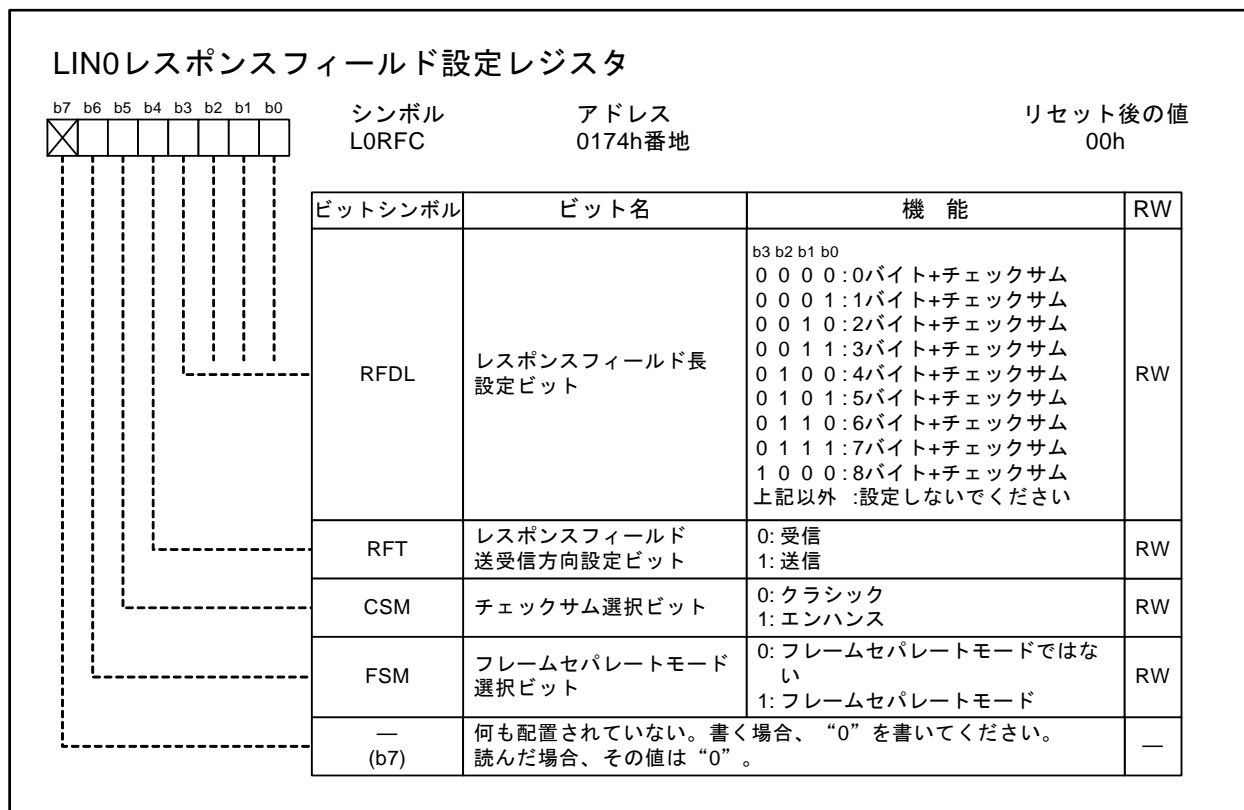


図 24.18 LORFC レジスタ

L0TCレジスタのFTSビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

24.1.17.1 RFDLビット

レスポンスフィールドのデータ長を設定します。

データ長は、0バイト~8バイトまで設定可能で、データ長にはチェックサムのサイズを含みません。

24.1.17.2 RFTビット

“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信（入力信号“L”幅カウント）を行います。

“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

24.1.17.3 CSMビット

チェックサムの方式を設定します。

“0”の場合、チェックサムの方式はクラシックになります。

“1”の場合、チェックサムの方式はエンハンスになります。

LOEDEレジスタのFTEREビットが“1”(フレームタイムアウトエラー検出許可)の場合は、CSMビットの設定によりフレームタイムアウト時間が異なります。詳細は、「24.9 エラーステータス」を参照してください。

24.1.17.4 FSMビット

“0”の場合、フレームセパレートモードになりません。

“1”の場合、フレームセパレートモードになります。

レスポンス受信(RFTビットが“0”)時は、FSMビットの設定の影響を受けません。

LINセルフテストモードに遷移する場合は、遷移前に“0”に設定してください。

フレームセパレートモードの詳細は、「24.6.1.1 フレームセパレートモード」を参照してください。

24.1.18 LIN0 IDバッファレジスタ (L0IDB)

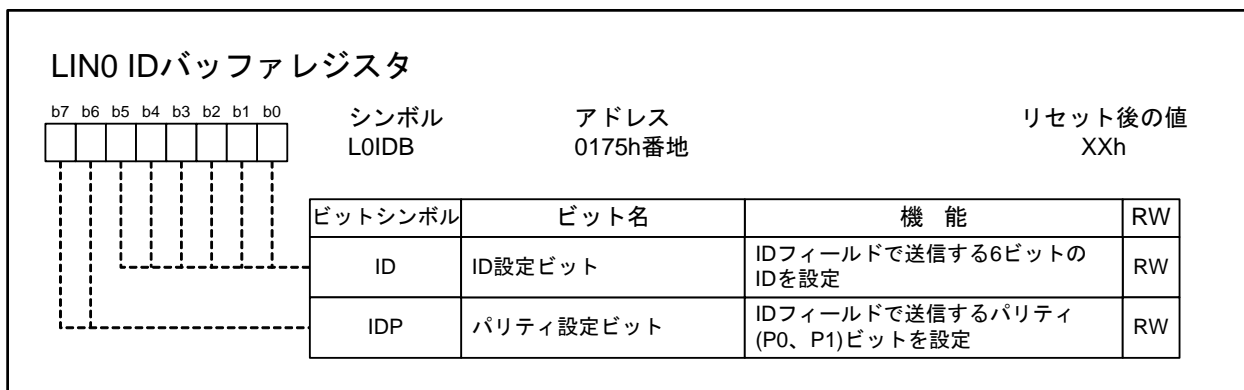


図 24.19 L0IDB レジスタ

L0TCレジスタのFTSビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

LINセルフテストモード時の仕様を以下に示します。

L0RFCレジスタのRFTビットが“1” (送信) の場合:

送信した値の反転値を読むことが可能。通信前に送信する値を書くことが可能。

RFTビットが“0” (受信) の場合:

受信した値の反転値を読むことが可能。通信前に受信する値を書くことが可能。

24.1.18.1 IDビット

LINフレームのIDフィールドで送信する6ビットのIDを設定します。

24.1.18.2 IDPビット

LINフレームのIDフィールドで送信するパリティ (P0、P1) ビットを設定します。

パリティビットの算出は行いませんので、正しい値を設定してください。誤った演算結果を設定した場合もそのまま送信を実施します。

24.1.19 LIN0チェックサムバッファレジスタ (L0CB)

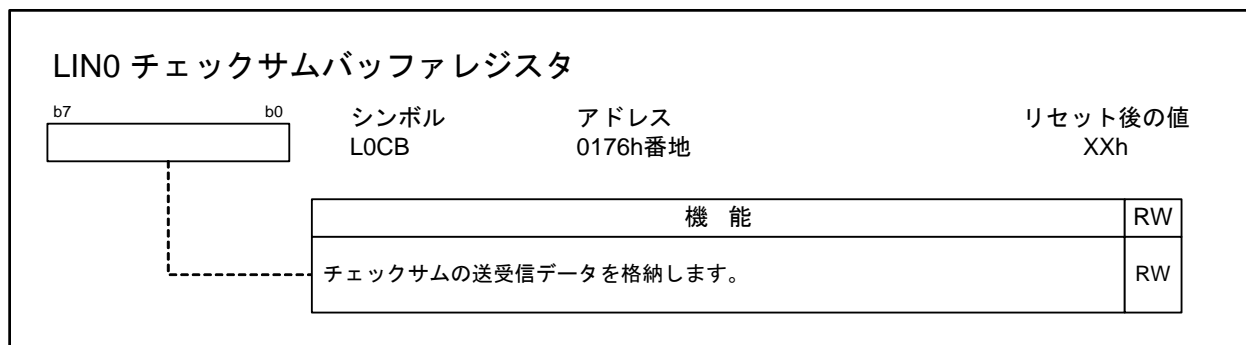


図 24.20 L0CBレジスタ

L0TCレジスタのFTSビットが“0” (フレーム送信/ウェイクアップ送受信停止)のときに設定してください。

LIN動作モード時の仕様を以下に示します。

L0RFCレジスタのRFTビットが“1” (送信)の場合:

送信した値を読むことが可能。書き込みは無効。

RFTビットが“0” (受信)の場合:

受信した値を読むことが可能。書き込みは無効。

LINセルフテストモード時の仕様を以下に示します。

RFTビットが“1” (送信)の場合:

送信した値の反転値を読むことが可能。

RFTビットが“0” (受信)の場合:

受信した値の反転値を読むことが可能。通信前に受信する値を書くことが可能。

LINリセットモードおよびLINウェイクアップモード時の書き込みは無効です。

24.1.20 LIN0データnバッファレジスタ(L0DBn) (n=1~8)

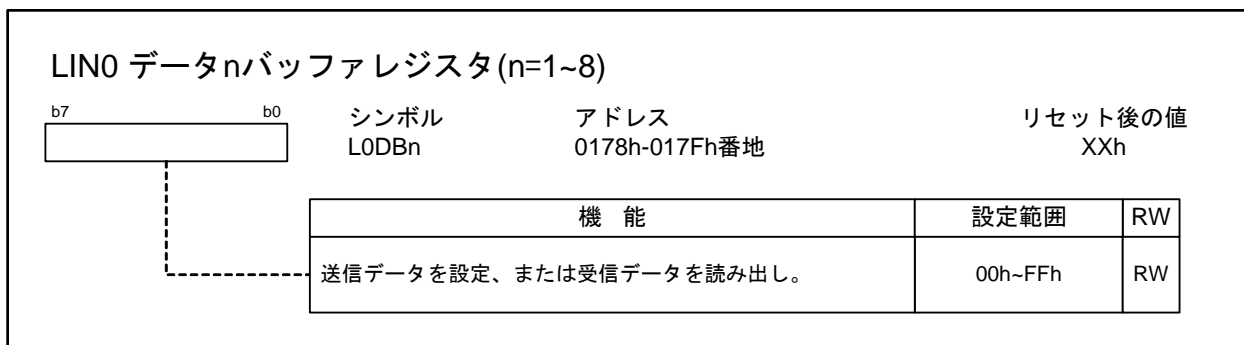


図 24.21 L0DB1~L0DB8 レジスタ

以下の状態で設定してください。

レスポンス送信の場合

- LORFCレジスタのRFTビットが“1”(送信)
- LORFCレジスタのFSMビットが“0”(フレームセパレートモードではない)
- L0TCレジスタのFTSビットが“0”(フレーム送信/ウェイクアップ送受信停止)

または

- LORFCレジスタのRFTビットが“1”(送信)
- LORFCレジスタのFSMビットが“1”(フレームセパレートモード)
- L0TCレジスタのRTSビットが“0”(レスポンス送信停止)

レスポンス受信の場合

受信データは上書きされます。

またエラー検出時、受信が中断される前までのデータは格納されます。

LINセルフテストモード時の仕様を以下に示します。

LORFCレジスタのRFTビットが“1”(送信)の場合:

送信した値の反転値を読むことが可能。通信前に送信する値を書くことが可能。

RFTビットが“0”(受信)の場合:

受信した値の反転値を読むことが可能。通信前に受信する値を書くことが可能。

24.2 動作モード

LINモジュールには、次の4つの動作モードがあります。

- LINリセットモード
- LIN動作モード
- LINウェイクアップモード
- LINセルフテストモード

LINリセットモードにすると、LINモジュールへのクロック供給を停止するため、消費電力を低減することができます。

図 24.22に動作モードの遷移、表 24.3に各動作モードで可能な動作を示します。

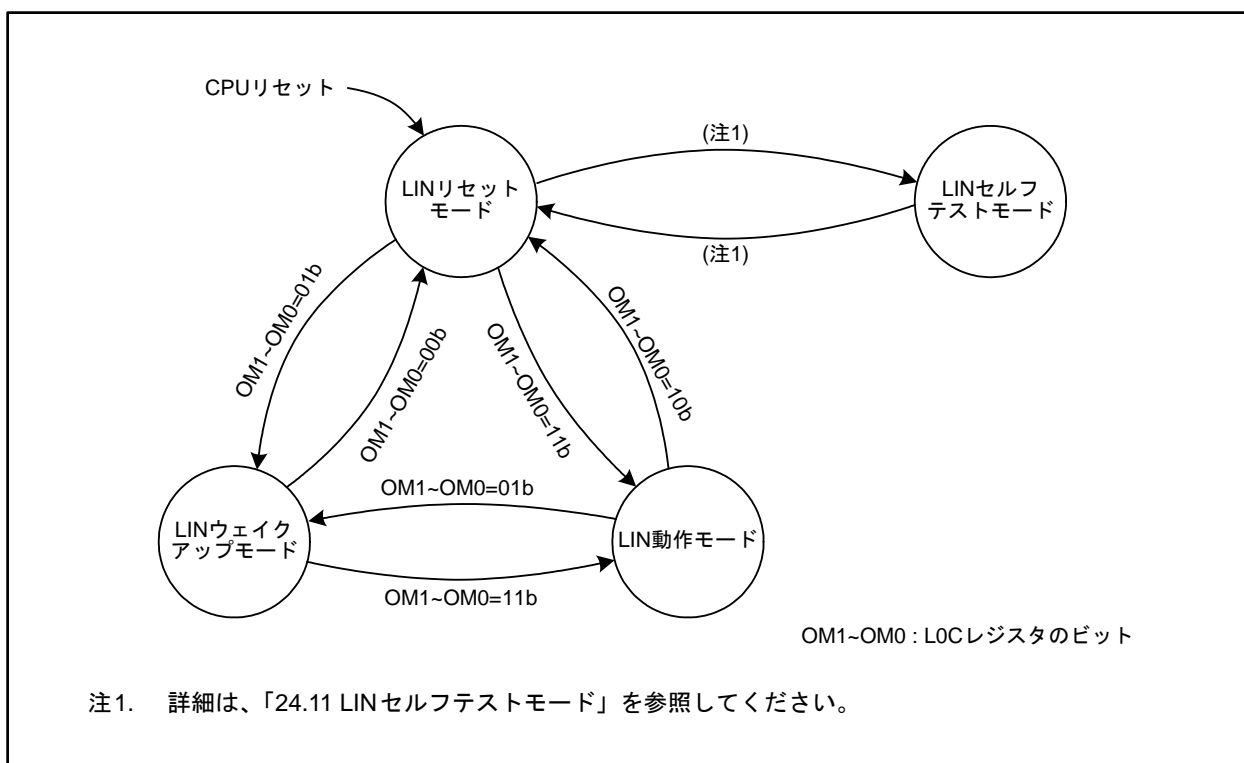


図 24.22 動作モードの遷移

表 24.3 各動作モードで可能な動作

LINリセットモード	LIN動作モード	LINウェイクアップモード	LINセルフテストモード
LIN0“L”検出	ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出 LIN0“L”検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出 LIN0“L”検出	セルフテスト

L0MSTレジスタのOMM1~OMM0ビットを読み出すことで、LINリセットモード、LIN動作モード、LINウェイクアップモードへ遷移したことを確認できます。

LINセルフテストモードについては、「24.11 LINセルフテストモード」を参照してください。

24.2.1 LIN リセットモード

L0C レジスタの OM0 ビットを“0”にすると、LIN リセットモードに遷移します。L0MST レジスタの OMM0 ビットを読んで“0” (LIN リセットモード) ならば、LIN リセットモードに遷移したことを確認できます。このモードのとき、LIN 通信チャネルの機能はすべて停止し、LIN システムクロック (fLIN) も停止します。

LIN リセットモードから、LIN 動作モード、LIN ウェイクアップモード、および LIN セルフテストモードに遷移することができます。

以下のレジスタは、LIN リセットモードに遷移した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- L0TC レジスタ
- L0ST レジスタ
- L0EST レジスタ

以下のレジスタは、LIN リセットモードに遷移した後も、以前の値を保持します。

- LWBR レジスタ
- LBRP0 レジスタ
- LBRP1 レジスタ
- LPC レジスタ
- L0MD レジスタ
- L0BRK レジスタ
- L0SPC レジスタ
- LOWUP レジスタ
- L0IE レジスタ
- L0EDE レジスタ
- L0RFC レジスタ
- L0IDB レジスタ
- L0CB レジスタ
- L0DBn レジスタ

24.2.2 LIN 動作モード

L0C レジスタの OM1~OM0 ビットを“11b”にすると、LIN 動作モードになり、L0MST レジスタの OMM1~OMM0 ビットが“11b”になります。

24.2.3 LIN ウェイクアップモード

L0C レジスタの OM1~OM0 ビットを“01b”にすると、LIN ウェイクアップモードになり、L0MST レジスタの OMM1~OMM0 ビットが“01b”になります。

24.2.4 LIN セルフテストモード

LSTC レジスタへの書き込みにより、LIN セルフテストモードになります。LSTC レジスタの LSTM ビットを読んで“1” (LIN セルフテストモード) ならば、LIN セルフテストモードに遷移したことを確認できます。

24.3 動作概要

24.3.1 ヘッダ送信

図 24.23にLINモジュールのヘッダ送信時の動作、表 24.4にヘッダ送信時の処理を示します。

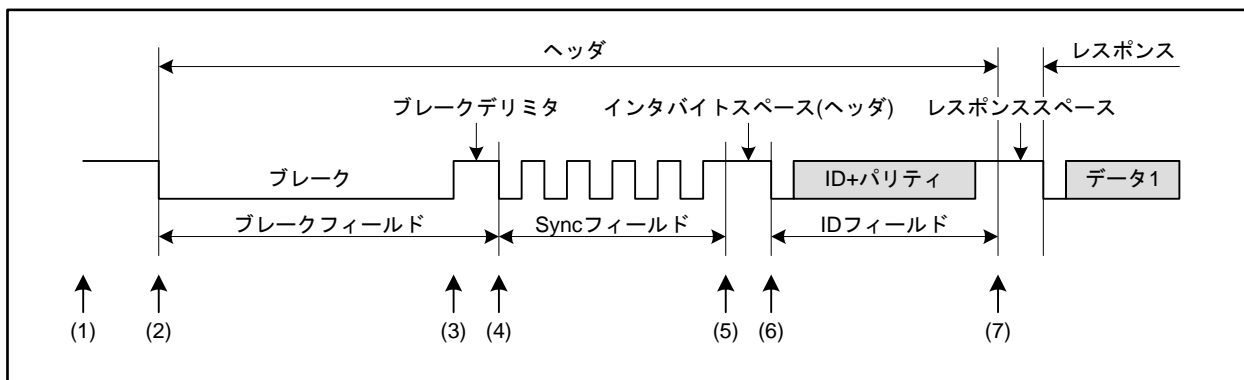


図 24.23 ヘッダ送信時の動作

表 24.4 ヘッダ送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定(「24.4 ボーレートジェネレータ」を参照してください) • L0IEレジスタのFTCIEビットを“1”(フレーム/ウェイクアップ送信完了割り込み許可)、FRCIEビットを“1”(フレーム/ウェイクアップ受信完了割り込み許可)、ERRIEビットを“1”(エラー検出割り込み許可)に設定 • L0CレジスタのOM1~OM0ビットでLINモジュールの動作モードを変更 • L0BRKレジスタのBLTビットにブレーク幅(13~28 Tbit)、BDTビットにブレークデリミタ幅(1~4 Tbit)を設定 • L0SPCレジスタのIBSHビットにインタバイトスペース(ヘッダ)/レスポンススペース幅(0~7 Tbit)、IBSビットにインタバイトスペース幅(0~3 Tbit)を設定 • L0IDBレジスタにIDとそのパリティ値を設定 • L0RFCレジスタのRFDLビットにデータ長、RFTビットにレスポンスの送受信方向、CSMビットにチェックサム方式を設定 • 送信データを設定 	ソフトウェアによるフレーム/ウェイクアップ送信開始待ち(アイドル)
(2)	<ul style="list-style-type: none"> • L0TCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にする 	ブレーク“L”送信
(3)		ブレークデリミタ送信
(4)		Syncフィールド(55h)送信
(5)		インタバイトスペース(ヘッダ)送信
(6)		IDフィールド送信
(7)		<ul style="list-style-type: none"> • ヘッダ送信完了フラグ設定、またはエラーフラグの設定 • レスポンススペース送信

24.3.2 レスポンス送信

図 24.24にLINモジュールのレスポンス送信時の動作、表 24.5にレスポンス送信時の処理を示します。

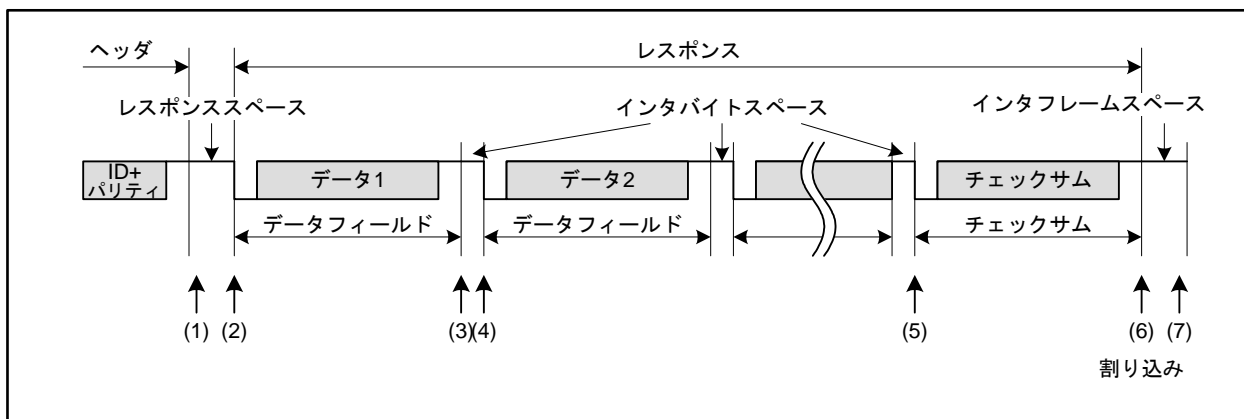


図 24.24 レスポンス送信時の動作

表 24.5 レスポンス送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	(フレームセパレートモード) L0TCレジスタのRTSビットを“1”(レスポンス送信開始)にする (フレームセパレートモードでないとき) 割り込み要求発生待ち	(フレームセパレートモード) レスポンス送信開始待ちの間、レスポンススペース送信 (フレームセパレートモードでないとき) レスポンススペース送信完了なら(2)へ
(2)	割り込み要求発生待ち	データ1送信
(3)		インタバイトスペース送信
(4)		データ2送信
		インタバイトスペース送信
		データ3送信
		インタバイトスペース送信 (L0RFCレジスタのRFDLビットで指定したデータ長分繰り返す。エラー発生時は、(6)へ) : :
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定、またはエラーフラグ設定 L0TCレジスタのFTSビットを“0”(フレーム送信/ウェイクアップ送受信停止)、RTSビットを“0”(レスポンス送信停止)にする
(7)	通信後の処理 LOSTレジスタのチェック、フラグのクリア	アイドル

24.3.3 レスポンス受信

図 24.25にLINモジュールのレスポンス受信時の動作、表 24.6にレスポンス受信時の処理を示します。

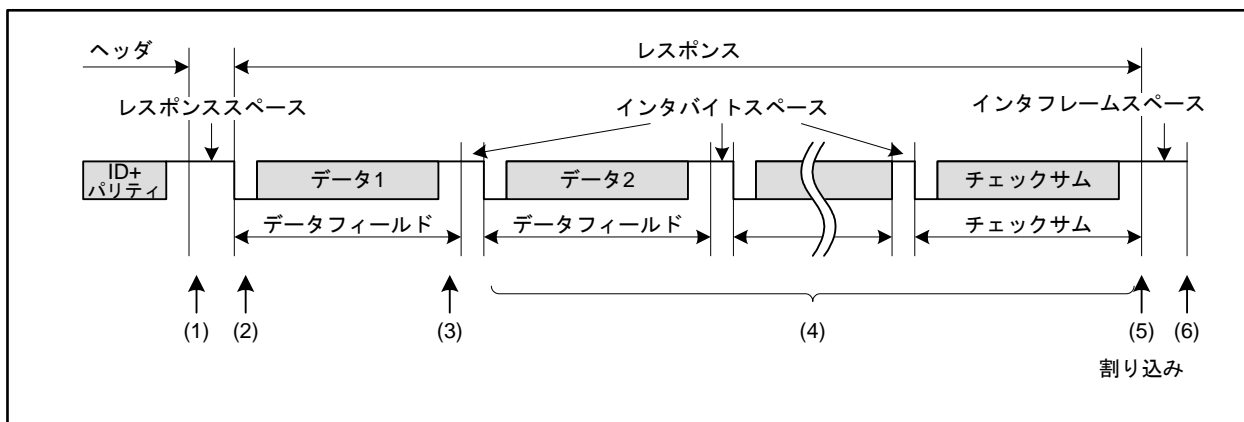


図 24.25 レスポンス受信時の動作

表 24.6 レスポンス受信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ1受信
(3)		<ul style="list-style-type: none"> データ1受信完了フラグ設定
(4)		スタートビット検出によりデータ2受信 スタートビット検出によりデータ3受信 (LORFCレジスタのRFDLビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。 ただしその場合は、(5)のチェックサム判定は実施しません) : : スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 L0TCレジスタのFTSビットを“0”(フレーム送信/ウェイクアップ送受信停止)にする
(6)	通信後の処理 受信データの読み出し LOSTレジスタのチェック、フラグのクリア	アイドル

24.4 ボーレートジェネレータ

LINクロックをボーレートジェネレータで分周したクロックがLINシステムクロック (fLIN)となり、これを16分周したクロックがビットレートになります。このビットレートの逆数をビットタイム (Tbit)といえます。

fa が 307200Hz (=19200×16) となるようにLBRP0レジスタを設定すれば、fa=19200×16、fb=9600×16、fc=2400×16となり、ビットタイミング生成部で16分周するため、19200bps、9600bps、2400bpsが生成できます。また10417bpsはLBRP1レジスタによって生成することができます。

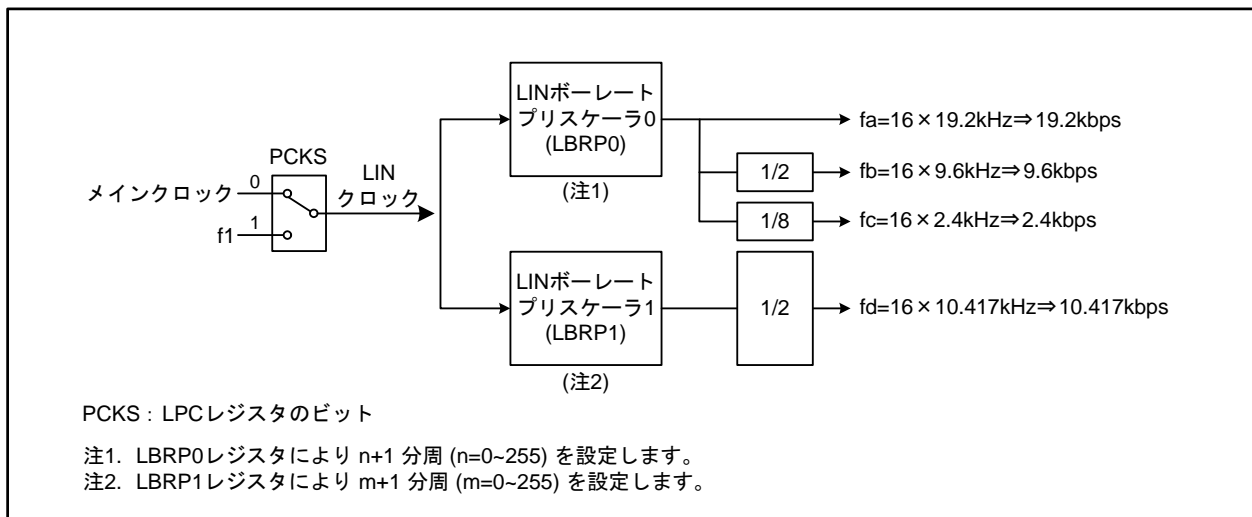


図 24.26 ボーレート生成ブロック図

表 24.7、表 24.8にLINクロック周波数ごとのボーレート(19200、9600、2400、10417bps)生成例とその誤差を示します。

表 24.7 ボーレート生成例(19200bps、9600bps、2400bps)

LIN クロック	ボーレートジェネレータ0 N+1分周	生成ボーレート			誤差
		fa選択	fb選択	fc選択	
32MHz	104	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
24MHz	78	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
20MHz	65	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
16MHz	52	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
12MHz	39	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
10MHz	65	9615.38 (9600bps)	—	—	+0.16%
8MHz	26	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
	39	9615.38 (9600bps)	—	—	+0.16%
6MHz	156	2403.85 (2400bps)	—	—	+0.16%
	130	2403.85 (2400bps)	—	—	+0.16%
5MHz	13	19230.77 (19200bps)	9615.38 (9600bps)	2403.85 (2400bps)	+0.16%
4MHz	13	9615.38 (9600bps)	—	—	+0.16%
	52	2403.85 (2400bps)	—	—	+0.16%

—: 該当ボーレート生成不可

表 24.8 ボーレート生成例(10417bps)

LIN クロック	ボーレートジェネレータ1 M+1分周	生成ボーレート	誤差
		fd選択	
32MHz	96	10416.67	-0.003%
24MHz	72	10416.67	-0.003%
20MHz	60	10416.67	-0.003%
16MHz	48	10416.67	-0.003%
12MHz	36	10416.67	-0.003%
10MHz	30	10416.67	-0.003%
8MHz	24	10416.67	-0.003%
6MHz	18	10416.67	-0.003%
5MHz	15	10416.67	-0.003%
4MHz	12	10416.67	-0.003%
2MHz	6	10416.67	-0.003%

24.5 データ送信/受信

24.5.1 データ送信

データ送信は、1 Tbitに1ビットずつ行います。

送信したデータは、LINトランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較をビットごとに行い、結果をLOESTレジスタのBERビットに格納します(24.9 エラーステータス参照)。受信データのサンプリングポイントは、1 Tbit=16fLINで生成され13クロック目(81.25%位置)になります。

図 24.27にデータ送信タイミングを示します。

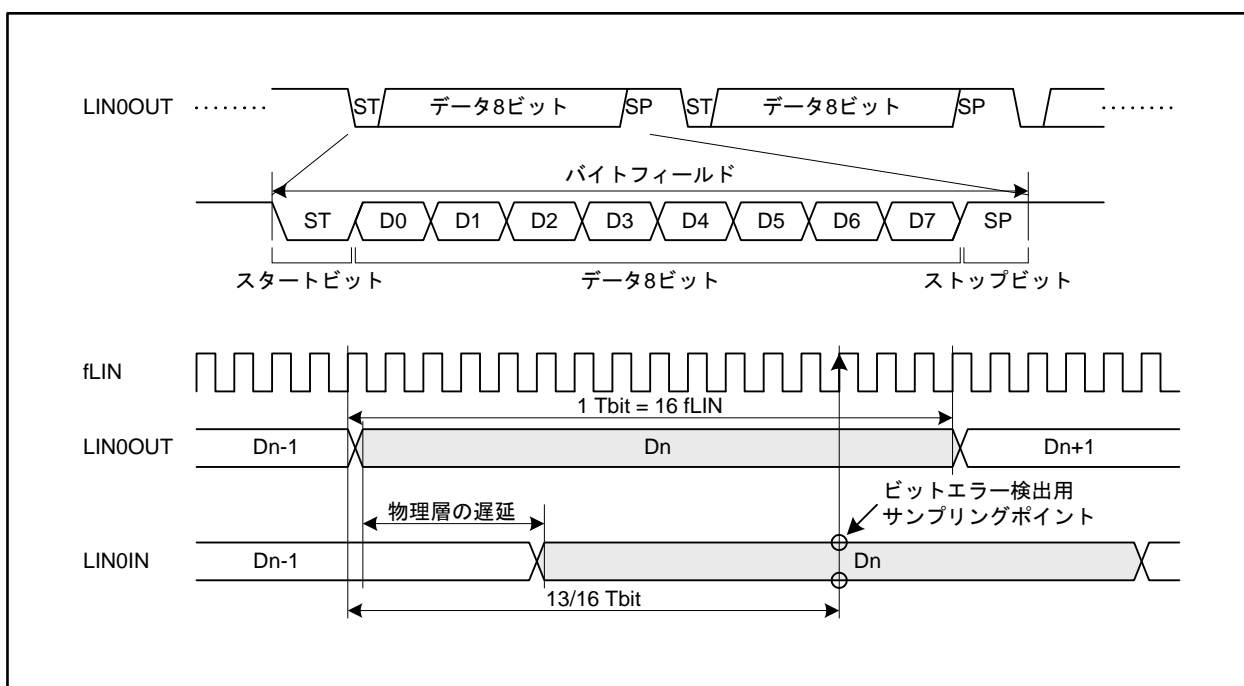


図 24.27 データ送信タイミング

24.5.2 データ受信

データ受信は、LIN0IN端子からの入力をfLINに同期させた同期化LIN0IN(内部信号)を使用していきます。

この同期化LIN0IN信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit後に再度サンプリングを行い同期化LIN0IN信号が“L”であった場合にスタートビットと認識します。リセット解除後からLIN0IN信号がずっと“L”の場合や、再サンプリング時に“H”を検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbitごとにビットのサンプリングを行います。

図 24.28にデータ受信タイミングを示します。

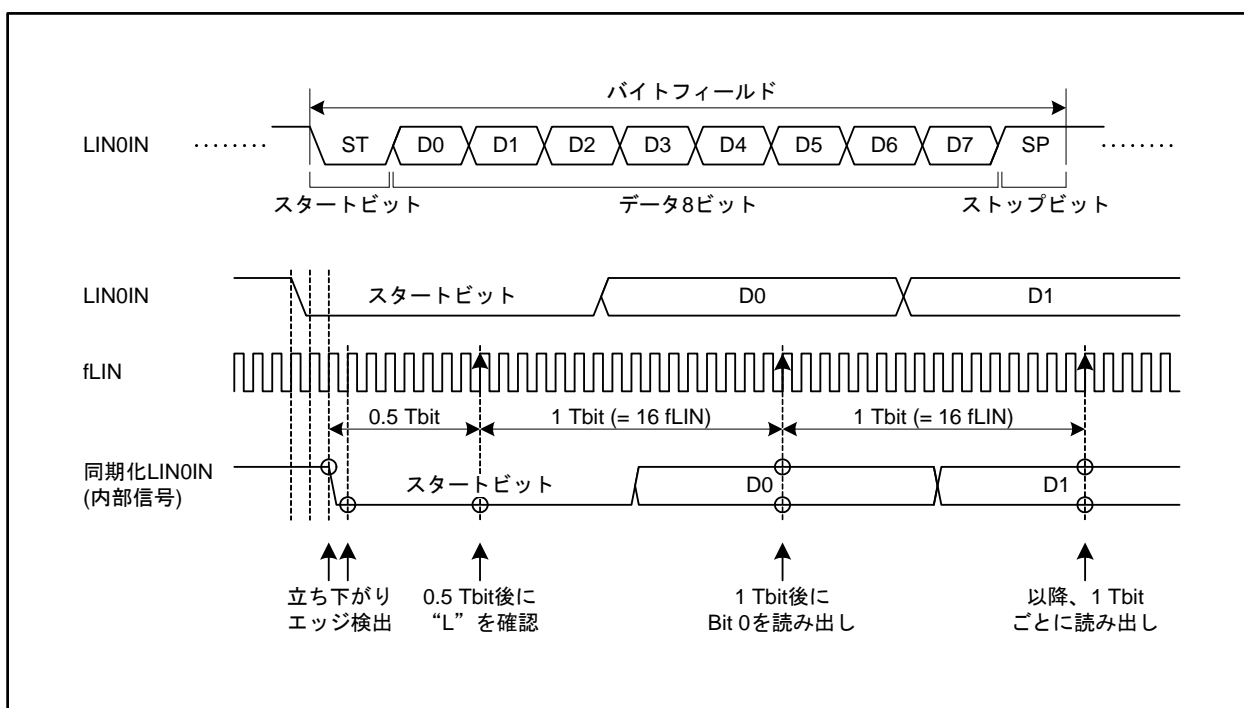


図 24.28 データ受信タイミング

24.6 送信/受信データのバッファ処理

LINモジュールの連続データ送受信時のバッファ処理について説明します。

24.6.1 LINフレームの送信

8バイト送信の場合、L0DB1~L0DB8レジスタに格納されたデータをLINフレームのデータ1~8として送信します。4バイト送信の場合、L0DB1~L0DB4レジスタに格納されたデータをLINフレームのデータ1~4として送信し、L0DB5~L0DB8レジスタのデータは送信しません。また、L0CBレジスタには送信したチェックサムデータを格納します。

図 24.29にLIN送信処理とバッファを示します。

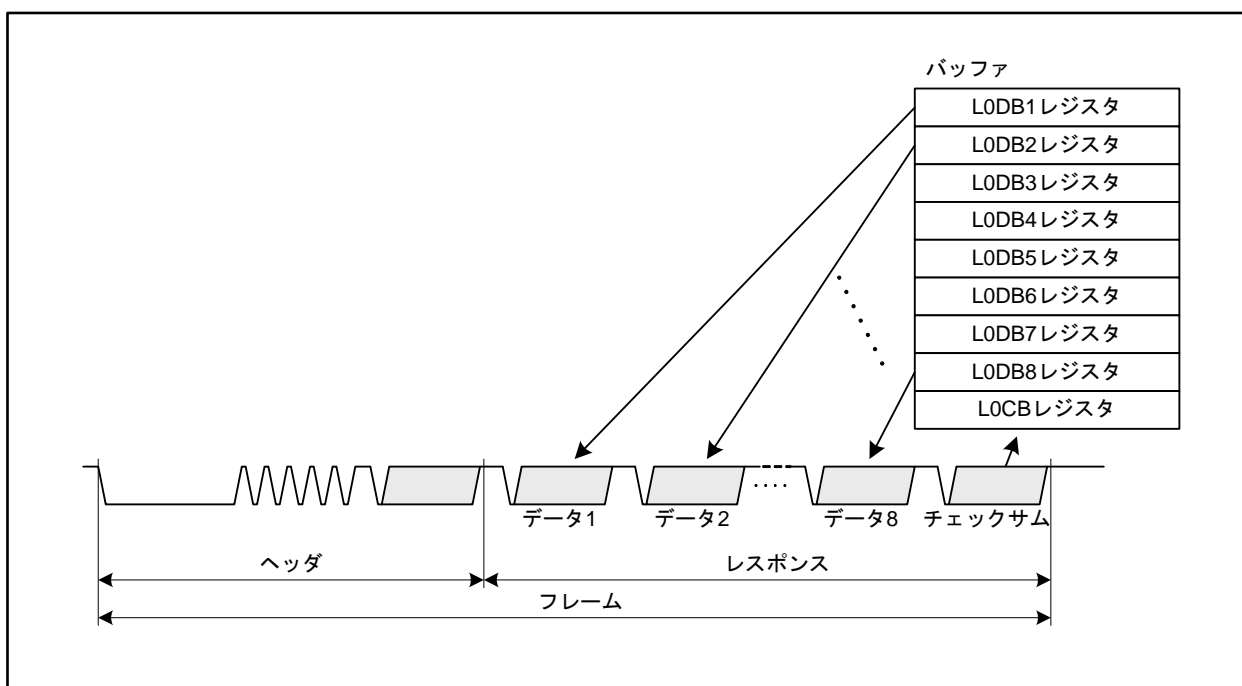


図 24.29 LIN送信処理とバッファ

24.6.1.1 フレームセパレートモード

LORFCレジスタのFSMビットを“1”にすることにより、フレームセパレートモードになります。フレームセパレートモードは、ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了するとLOSTレジスタのHTRCビットが“1” (ヘッダ送信完了)になります。

24.6.2 LINフレームの受信

8バイト受信の場合、LINフレームのデータ1~8をストップビットを受信するごとにL0DB1~L0DB8レジスタに格納します。4バイト受信の場合、LINフレームのデータ1~4をL0DB1~L0DB4レジスタに格納し、L0DB5~L0DB8レジスタにはデータを格納しません。また、L0CBレジスタには受信したチェックサムデータを格納します。

図 24.30にLIN受信処理とバッファを示します。

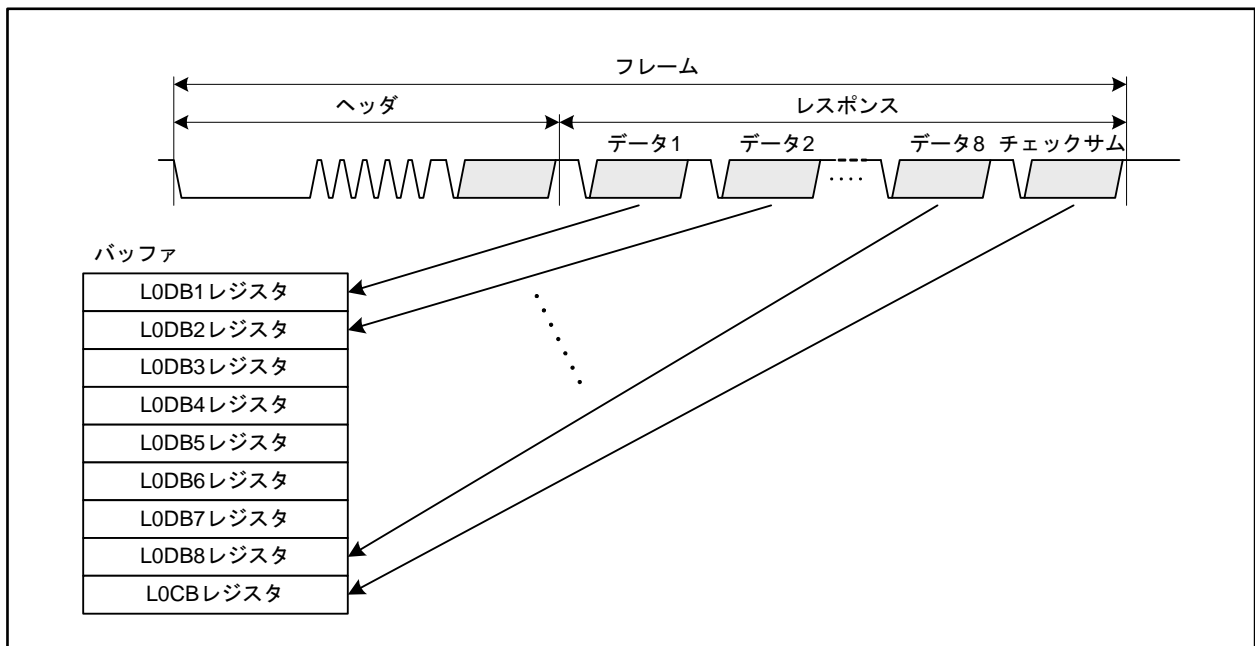


図 24.30 LIN受信処理とバッファ

24.6.2.1 データ1受信

1バイト目のデータ受信が完了すると、L0STレジスタのDIRCビットが“1” (データ1受信完了)になります。

24.7 ウェイクアップ送信/受信

ウェイクアップの送受信はLINウェイクアップモードで使用できます。

24.7.1 ウェイクアップ送信動作

LINウェイクアップモード時、LORFCレジスタのRFTビットを“1”(送信)、L0TCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にすると、出力端子からウェイクアップ信号を出力します。ウェイクアップ信号の“L”幅はLOWUPレジスタのWUTLビットで設定します。

ビットエラーなくウェイクアップの“L”が出力された場合、LOSTレジスタのFTCビットが“1”(フレームまたはウェイクアップ送信完了)になり、LOIEレジスタのFTCIEビットが“1”(フレーム/ウェイクアップ送信完了割り込み許可)のとき割り込み要求が発生します。

ビットエラーを検出した場合は、ウェイクアップ送信を中断しLOESTレジスタのBERビットを“1”(ビットエラー検出)にします。

図 24.31にウェイクアップ送信タイミングを示します。

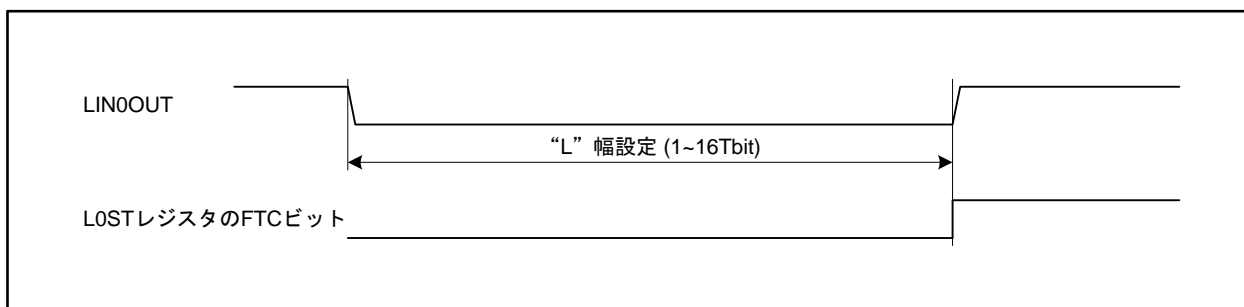


図 24.31 ウェイクアップ送信タイミング

24.7.2 ウェイクアップ受信動作

ウェイクアップを受信するには、LIN0“L”検出機能または、入力信号“L”幅カウント機能を使用します。

LIN0“L”検出機能は、LIN0IN端子への入力信号の立ち下がりエッジを非同期で検出する機能です。入力信号の立ち下がりエッジを検出すると、LIN0“L”検出割り込み要求が発生します。

入力信号“L”幅カウント機能は、データ受信と同じサンプリングポイントでLIN0IN端子への入力信号の“L”幅を計測する機能です。入力信号の“L”幅を2.5Tbit以上で計測することができます。LIN Specification Package Revision 1.3使用時は、LWBRレジスタのLWBR0ビットを“0”に、LIN Specification Package Revision 2.0、2.1使用時は“1”に設定してください。LWBR0ビットを“1”にするとLOMDレジスタのLCKSビットの設定にかかわらずLINシステムクロック(fLIN)がfaになります(LCKSビットは変化しません)。

この機能を使用する場合、LINウェイクアップモードにて、LORFCレジスタのRFTビットを“0”(受信)、L0TCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)に設定してください。

計測する“L”幅に達するとLOSTレジスタのFRCビットが“1”(フレームまたはウェイクアップ受信完了)になり、LOIEレジスタのFRCIEビットが“1”(フレーム/ウェイクアップ受信完了割り込み許可)の場合、割り込み要求が発生します。

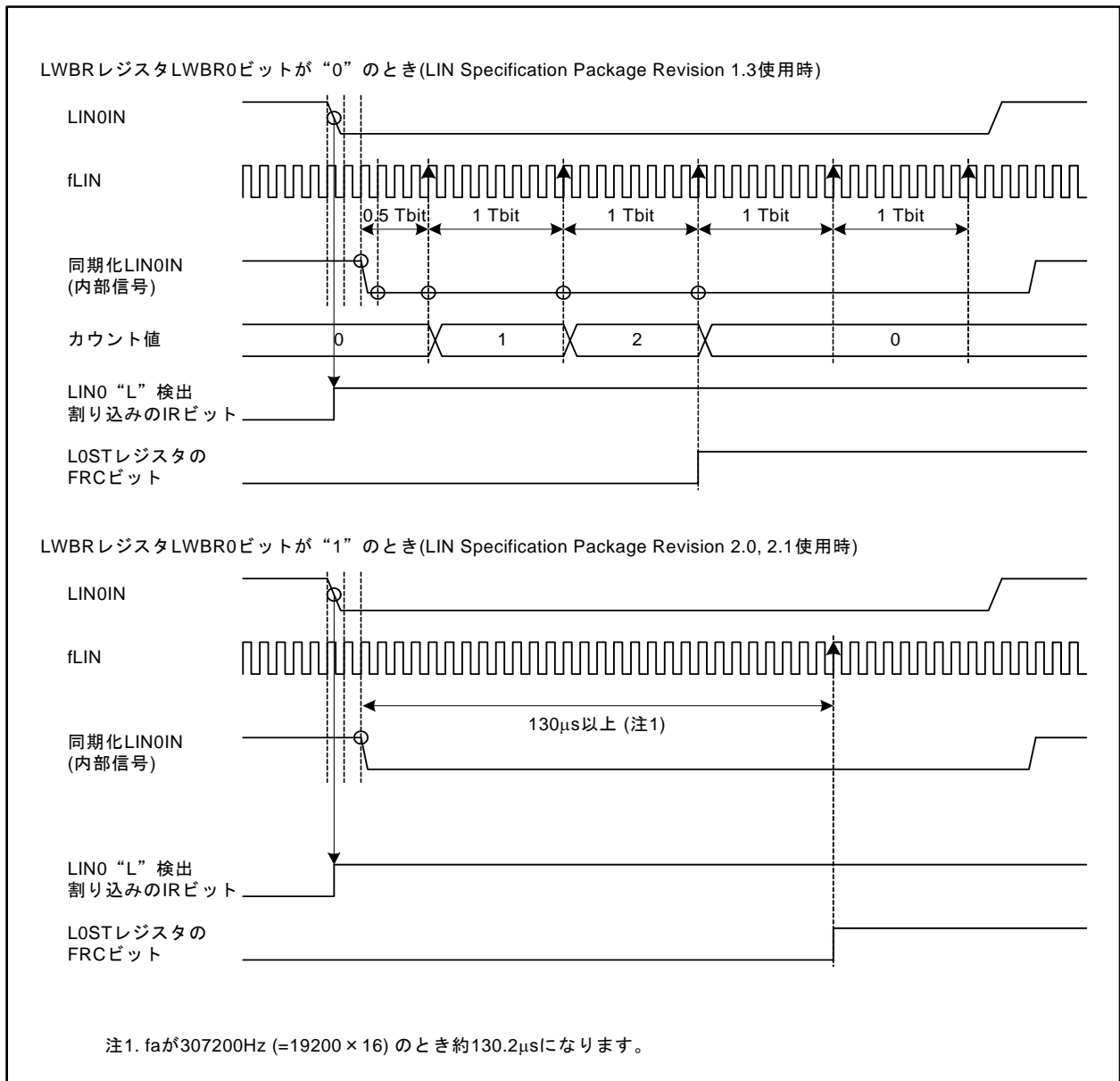


図 24.32 入力信号“L”幅カウント機能

ウェイクアップ送信中、LIN0“L”検出機能は動作しますが、入力信号“L”幅カウント機能は動作しません。

24.7.3 ウェイクアップ受信を用いた低消費電力モード制御

LIN0“L”検出機能をウェイトモードやストップモードからの復帰用割り込みとして使用することができます。また、入力信号“L”幅カウント機能はウェイトモードからの復帰用割り込みとして使用することができます。

図 24.33にLIN0“L”検出機能使用時のウェイトモードへ遷移する前の設定例、図 24.34に入力信号“L”幅カウント機能使用時のウェイトモードへ遷移する前の設定例を示します。ウェイトモード、ストップモードへの遷移についての詳細は「9. パワーコントロール」を参照してください。

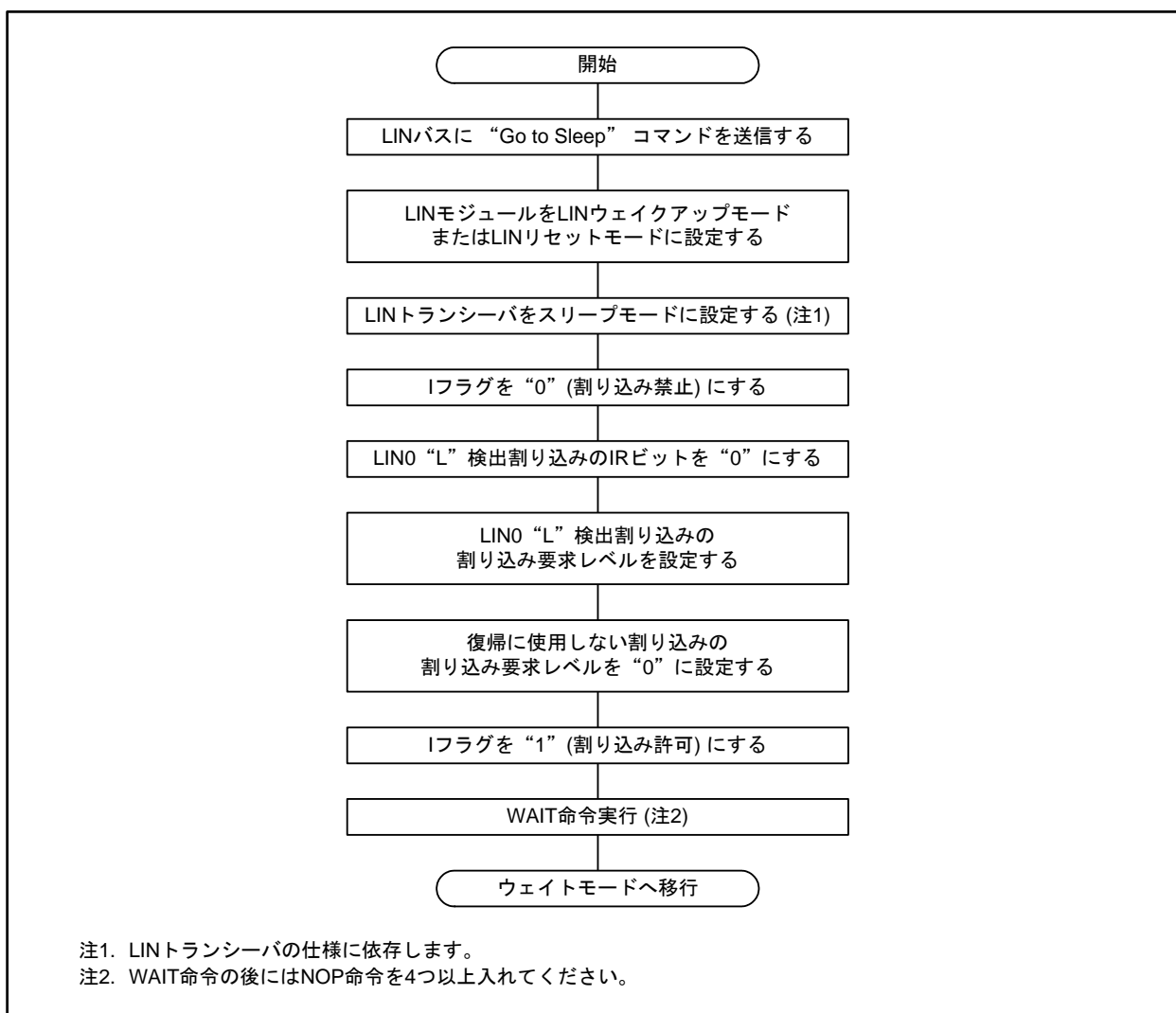


図 24.33 LIN0“L”検出機能使用時のウェイトモードへ遷移する前の設定例

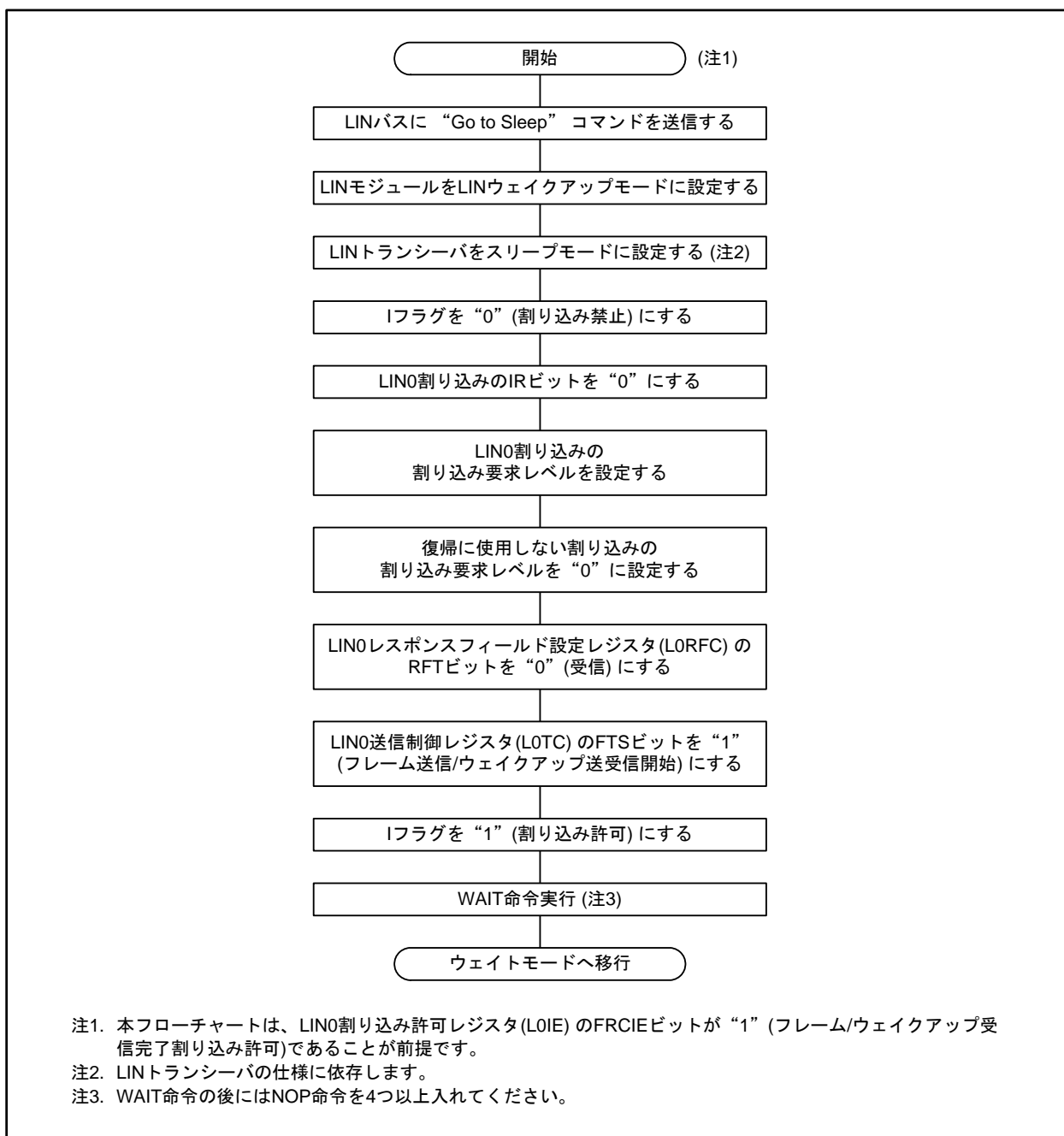


図 24.34 入力信号“L”幅カウンタ機能使用時のウェイトモードへ遷移する前の設定例

24.7.4 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LINバス上で衝突が発生しますが、LINモジュールでは、ウェイクアップ信号の衝突は検知しません。

24.8 ステータス

LINモジュールは7種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスは割り込み要求を発生することができます。

表 24.9にステータスの種類を示します。

表 24.9 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット
LINモード	L0CレジスタのOM1ビットをLIN動作モードに設定後、実際にLINモジュールがLIN動作モードになったとき	L0CレジスタのOM1ビットをLINウェイクアップモードに設定後、実際にLINモジュールがLINウェイクアップモードになったとき	LIN動作モード LINウェイクアップモード	L0MSTレジスタのOMM1ビット
リセット	L0CレジスタのOM0ビットをLINリセットモードでないに設定後、実際にLINモジュールがLINリセットモード解除になったとき	L0CレジスタのOM0ビットをLINリセットモードに設定後、実際にLINモジュールがLINリセットモードになったとき	すべてのモード	L0MSTレジスタのOMM0ビット
フレーム/ウェイクアップ送信完了	レスポンスフィールドまたはウェイクアップ信号を正常に送信完了したとき	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード LINウェイクアップモード	L0STレジスタのFTCビット
フレーム/ウェイクアップ受信完了 (注1)	レスポンスフィールドまたはウェイクアップ信号を正常に受信完了したとき	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード LINウェイクアップモード	L0STレジスタのFRCビット
エラー検出	L0ESTレジスタのBERビット、PBERビット、FTERビット、FERビット、CSERビットのいずれかが“1”(エラー検出)になったとき	次の通信開始時 ソフトウェアによるクリア (注2) LINリセットモード遷移時	LIN動作モード LINウェイクアップモード	L0STレジスタのERRビット
データ1受信完了	L0RFCレジスタのRFTビットが“0”(受信)で、レスポンスフレームの最初の1バイトを受信完了したとき(注3)	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード	L0STレジスタのD1RCビット
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	次の通信開始時 ソフトウェアによるクリア LINリセットモード遷移時	LIN動作モード	L0STレジスタのHTRCビット

注1. ウェイクアップ受信では、入力信号“L”幅カウント機能を使用します。

注2. LINウェイクアップモードまたはLIN動作モード内でL0ESTレジスタのBERビット、PBERビット、FTERビット、FERビット、CSERビットに“0”を書くことにより、ERRビットは“0”(エラー未検出)になります。

注3. L0RFCレジスタのRFDLビットが“0000b”(0バイト+チェックサム)のときは検出しません。

24.9 エラーステータス

24.9.1 エラーステータスの種類

LINモジュールは5種類のエラーステータスを検出します。これらのエラーの状態はLESTレジスタの各ビットで確認できます。

表 24.10にエラーステータスの種類を示します。

表 24.10 エラーステータスの種類

ステータス	エラー検出条件 ("0"クリアはソフトウェア)	エラーを検出できる 動作モード	通信 処理	検出許可/ 禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているLINバス上のデータが一致しなかったとき (注1)	LIN動作モード LINウェイクアップ モード	中断	○	L0ESTレジスタ のBERビット
フィジカルバス エラー	<ul style="list-style-type: none"> ブレイクフィールド送信時にLINバスが"H"を検出した場合 ブレイクデリミタ送信時にLINバスが"L"を検出した場合 ウェイクアップ送信時にLINバスが"H"を検出した場合 	LIN動作モード LINウェイクアップ モード	中断	○	L0ESTレジスタ のPBERビット
フレームタイム アウトエラー	フレームの送受信がある一定の時間内に終了しなかったとき(注2)	LIN動作モード	中断	○	L0ESTレジスタ のFTERビット
フレーミング エラー	レスポンスフレーム受信処理において、各データバイトのストップビットが"L"であったとき	LIN動作モード	中断	○	L0ESTレジスタ のFERビット
チェックサム エラー	レスポンスフレーム受信処理において、チェックサム判定の結果がエラーのとき	LIN動作モード	—	×	L0ESTレジスタ のCSERビット

- 注1. ビットエラーを検出した場合は、ストップビット送信後に中断します。ブレイクフィールド、インタバイトスペースなどの非データ領域およびウェイクアップでビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。
- 注2. タイムアウト時間は、レスポンスフィールドデータ長(L0RFCレジスタのRFDLビット)およびチェックサム選択(L0RFCレジスタのCSMビット)に依存し、下記の式により計算できます。

クラシック選択時(L0RFCレジスタのCSMビットが"0"の場合)

$$\text{タイムアウト時間} = 49 + (\text{データバイト数} + 1) \times 14 [\text{Tbit}]$$

エンハンス選択時(L0RFCレジスタのCSMビットが"1"の場合)

$$\text{タイムアウト時間} = 48 + (\text{データバイト数} + 1) \times 14 [\text{Tbit}]$$

上記タイムアウト時間は、クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを、エンハンス選択時にLIN Specification Package Revision 2.0、2.1のTFRAME_MAXを超える時間になります。

24.9.2 LINエラー検出の対象時間領域

図 24.35 に LIN モジュールがエラーを検出するために監視する時間領域を示します。

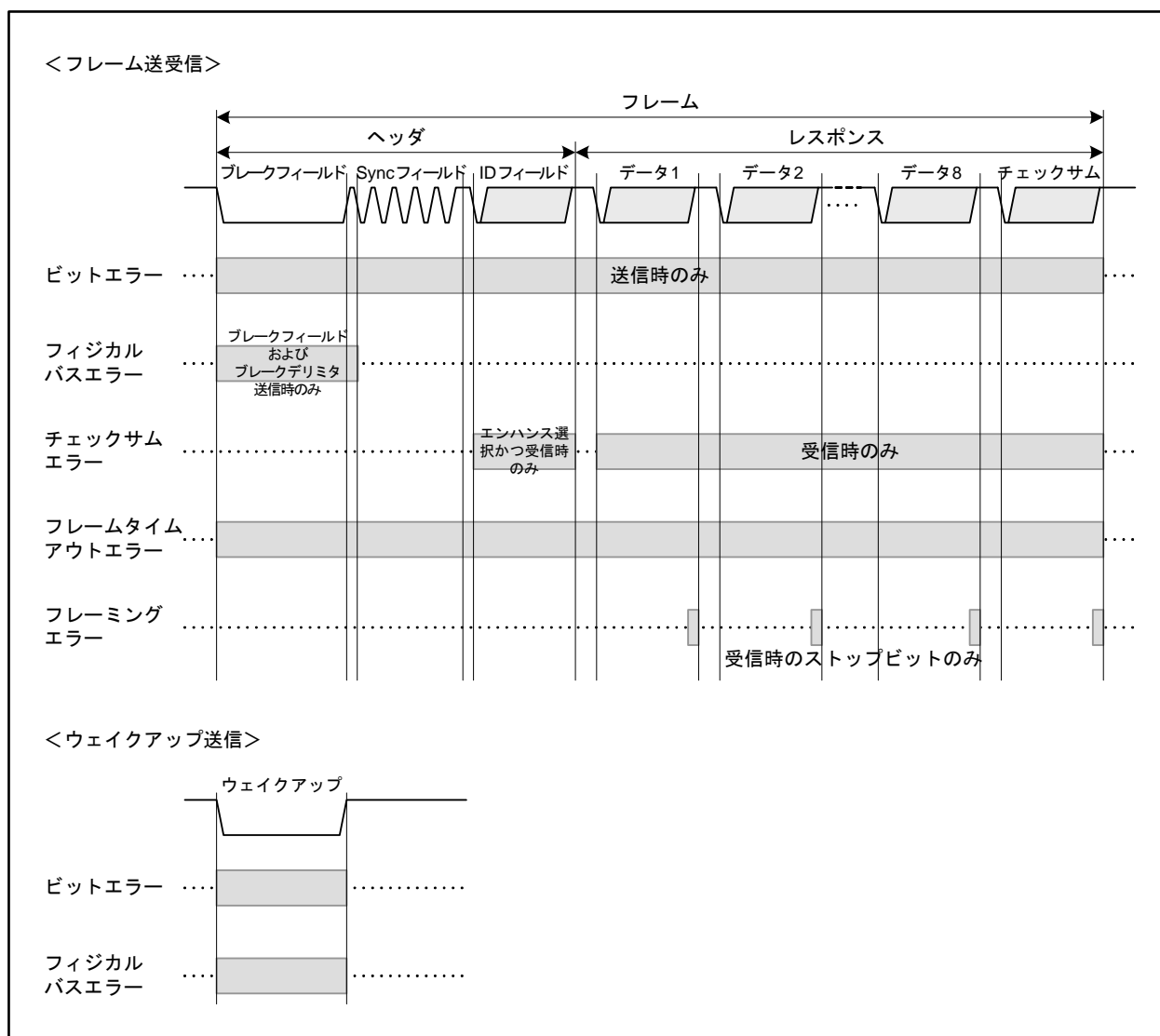


図 24.35 LINエラー検出の対象時間領域

24.10 割り込み

LINモジュールが生成する割り込み要求には、LIN0割り込みとLIN0“L”検出割り込みがあります。割り込み要因には、チャンネルごとにフレーム/ウェイクアップ送信完了、フレーム受信/ウェイクアップ受信(入力信号“L”幅カウント)完了、エラー検出、LIN0“L”検出の4つあります。

フレーム/ウェイクアップ送信完了、フレーム受信/ウェイクアップ受信(入力信号“L”幅カウント)完了、エラー検出の3つのステータスによる割り込み要求は、チャンネルごとに論理和をとってLIN0割り込み要求を出力します。LIN0“L”検出による割り込み要求は、チャンネルごとにあります。

それぞれの割り込み要求は、LOIEレジスタの対応するビットが“1”(割り込み許可)のときに、LOSTレジスタの対応するフラグが“1”になると出力されます。

図24.36にLIN0割り込みブロック図を示します。LIN0“L”検出割り込みに関しては「12. 割り込み」を参照してください。

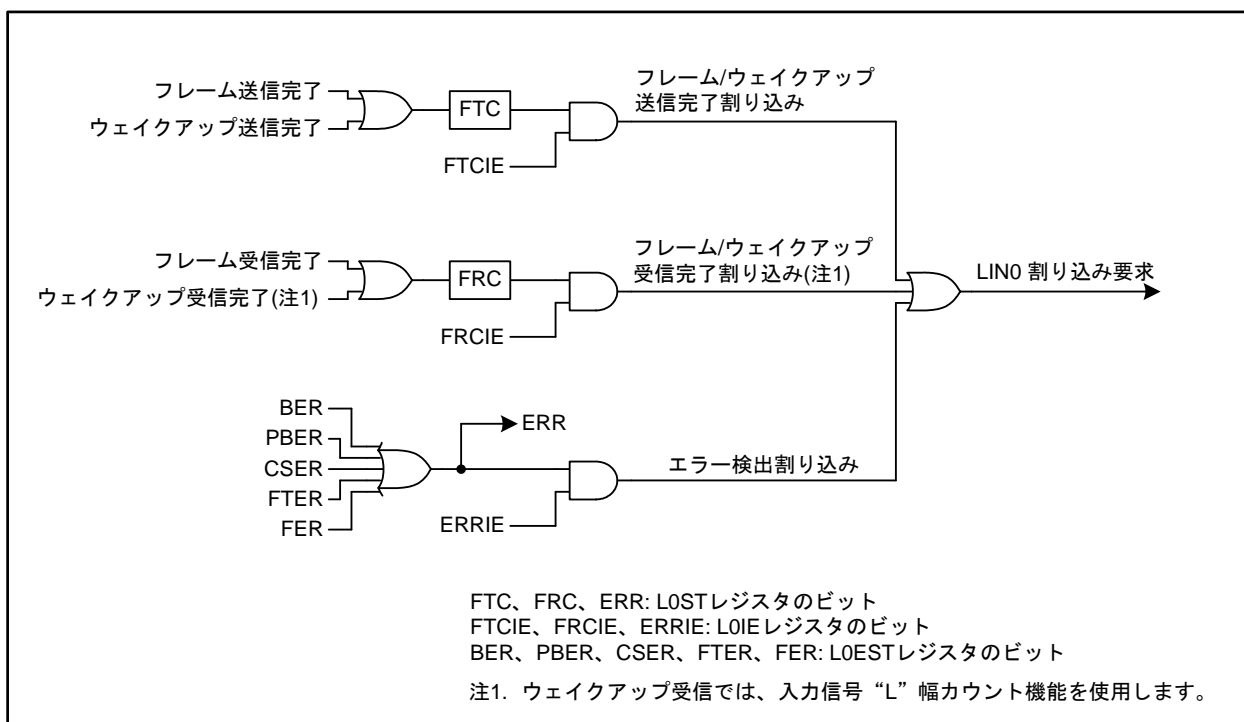


図 24.36 LIN0割り込みブロック図

24.11 LINセルフテストモード

LINモジュールは、LINセルフテストモードを持ちます。一度LINモジュールがLINセルフテストモードになると、LINバスから切断され、内部LIN0OUTは内部LIN0INにループして戻ります(ループバック)。

LINセルフテストモードは以下の状態で動作します。

- LINセルフテストモード
- ウェイクアップ機能未対応
- フレームセパレートモード未対応
- ボーレートジェネレータは最速設定(LBRP0レジスタが“00h”、LBRP1レジスタが“00h”、LOMDレジスタのLCKSビットが“00b”(LINシステムクロックはfaを選択)

LINウェイクアップモードには遷移しないでください。

LINセルフテストモードに遷移する前に、LORFCレジスタのFSMビットを“0”(フレームセパレートモードではない)にしてください。

ボーレート設定は、LINセルフテストモードではボーレートジェネレータの最速設定で動作します。ボーレート設定関連レジスタへの書き込みはできますが、動作に反映されません。

LOSTレジスタ、LOESTレジスタは機能しますが、LOESTレジスタのBERビット、PBERビット、FERビットは使用することができません。

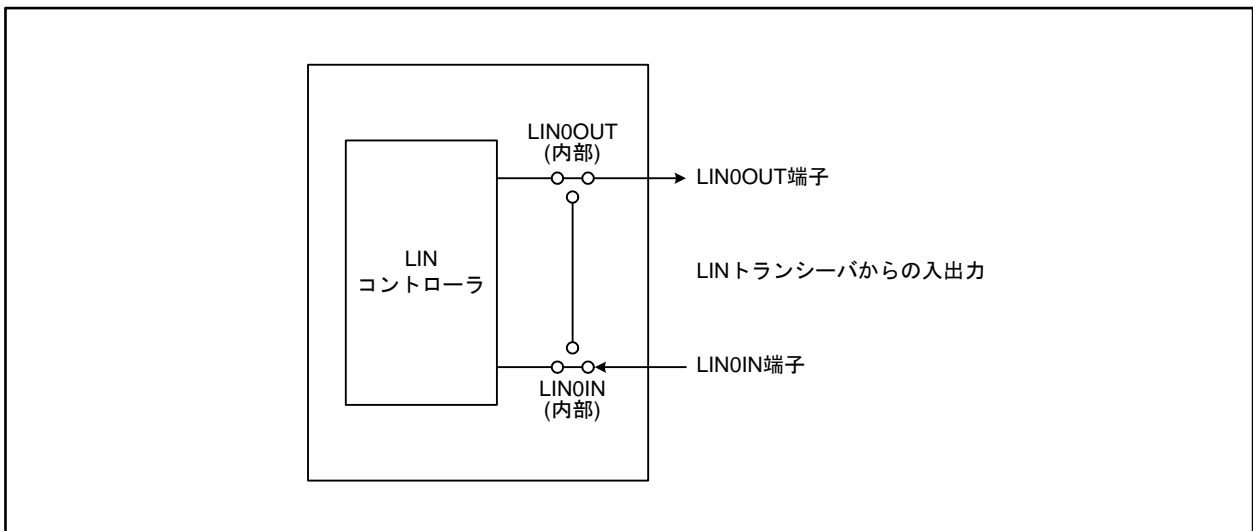


図 24.37 LIN動作モード接続

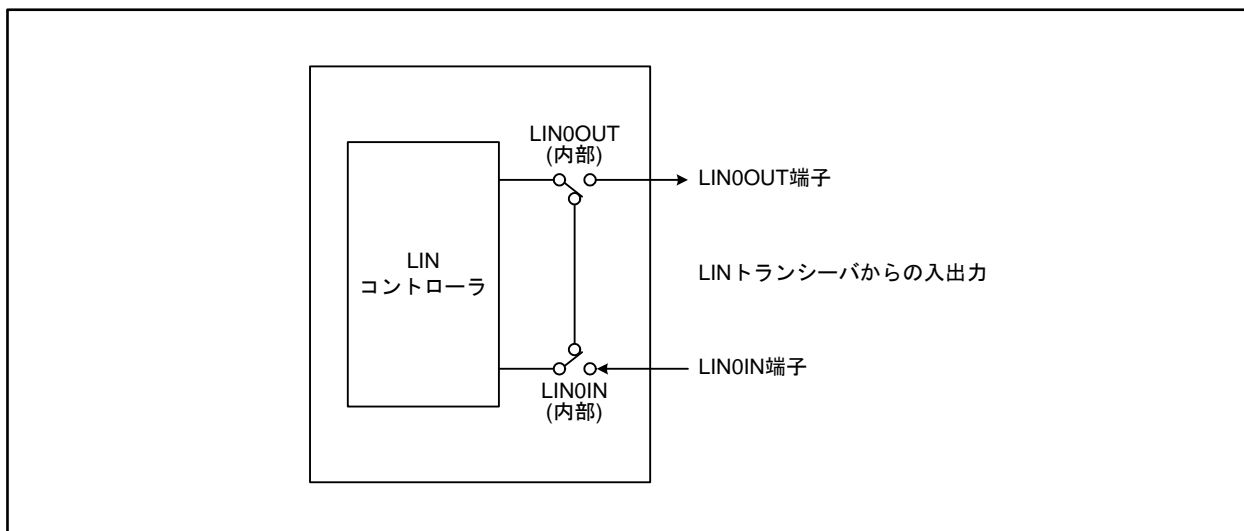


図 24.38 LINセルフテストモード接続

24.11.1 LINセルフテストモードへの遷移

LINセルフテストモードに遷移するには、特定のキーシーケンスを必ず使用してください。このキーシーケンスでは、次の通りLSTCレジスタに3回連続して書き込みを行う必要があります。

(1) LINリセットモードへの遷移

L0CレジスタのOM0ビットを“0” (LINリセットモード)にする。

L0MSTレジスタのOMM0ビットを読み出し、“0” (LINリセットモード)であることを確認する

(2) LSTCレジスタに“A7h” (1回目書き込み値)を書き込む

(3) LSTCレジスタに“58h” (2回目書き込み値)を書き込む

(4) LSTCレジスタに“01h” (3回目書き込み値)を書き込む

(5) LINセルフテストモードへの遷移を確認する

LSTCレジスタのLSTMビットを読み出し、“1” (LINセルフテストモード)であることを確認する。

1回目のキー (A7h)を誤って2回書き込みした場合、LINセルフテストモードへの遷移は中断します。再度1回目の書き込みから実施してください。また、LINセルフテストモードへの遷移(LSTCレジスタへの3回連続書き込み)中に他のLIN関連レジスタに書き込みを行った場合も遷移は中断します。

LINセルフテストモードはフレームセパレートモードに対応していません。テストは2種類行うことができます。

- LINセルフテストモード(送信): ヘッダ送信およびレスポンス送信
- LINセルフテストモード(受信): ヘッダ送信およびレスポンス受信

24.11.2 LINセルフテストモードにおける送信

LINセルフテストを実行するには、次の手順で行ってください。

(1) L0CレジスタのOM1~OM0ビットに“11b” (LIN動作モード)を書く

(2) L0MSTレジスタのOMM1~OMM0ビットを読み、 “11b” (LIN動作モード)であることを確認する

(3) L0RFCレジスタのRFTビットを“1” (送信)にする

(4) 送信するフレーム構成を設定する

- (5) L0TCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にする
LINモジュールがLINセルフテストモード(送信)を開始し、割り込み要求、ステータス、エラーステータスを更新。チェックサムはLINモジュールが自動演算。
- (6) LINモジュールの動作確認を行う
送信完了の場合、ループバックしたフレームデータの反転値をLINモジュールがL0IDBレジスタ、L0CBレジスタ、L0DBnレジスタに格納(送信した値とループバックした値を比較するため、反転した値を格納)。また、エラーにより送信完了しない場合、該当するエラーフラグを更新。

24.11.3 LINセルフテストモードにおける受信

LINセルフテストを実行するには、次の手順で行ってください。

- (1) L0CレジスタのOM1~OM0ビットに“11b”(LIN動作モード)を書く
- (2) L0MSTレジスタのOMM1~OMM0ビットを読み、“11b”(LIN動作モード)であることを確認する
- (3) L0RFCレジスタのRFTビットを“0”(受信)にする
- (4) 受信するフレーム構成を設定する
L0CBレジスタに期待するチェックサム値と異なる値を設定することで、チェックサムエラーをテストすることが可能。
- (5) L0TCレジスタのFTSビットを“1”(フレーム送信/ウェイクアップ送受信開始)にする
LINモジュールがLINセルフテストモード(受信)を開始し、割り込み要求、ステータス、エラーステータスを更新。
- (6) LINモジュールの動作確認を行う
受信完了の場合、ループバックしたフレームデータの反転値をLINモジュールがL0IDBレジスタ、L0CBレジスタ、L0DBnレジスタに格納。また、エラーにより受信完了しない場合、該当するエラーフラグを更新。

24.11.4 LINセルフテストモード終了

LINセルフテストモードを終了するには、次の手順で行ってください。

- (1) L0CレジスタのOM0ビットに“0”(LINリセットモード)を書く
L0MSTレジスタのOMM1~OMM0ビットが“11b”(LIN動作モード)でない場合は、L0CレジスタのOM1~OM0ビットに“11b”を書き、L0MSTレジスタのOMM1~OMM0ビットが“11b”になることを確認した後、LINリセットモードに遷移する。
- (2) LINセルフテストモードの解除を確認する
LSTCレジスタのLSTMビットを読み、“0”(LINセルフテストモードではない)を確認。
- (3) LINリセットモードへの遷移を確認する
L0MSTレジスタのOMM0ビットを読み、“0”(LINリセットモード)を確認。

24.12 LINモジュール使用上の注意事項

24.12.1 SD入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/
LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

25. CANモジュール

注意

M16C/5MグループのCANモジュール1チャンネル版ではCAN0のみ使用してください。CAN1を使用しないでください。

M16C/57グループでは、この機能を使用しないでください。

ISO11898-1仕様に準拠したCAN (Controller Area Network) モジュールを最大2チャンネル(CAN0、CAN1)内蔵しています。CANモジュールは標準(11ビット)IDentifier(以下、IDと略す)と拡張(29ビット)IDの両フォーマットのメッセージを送受信できます。

表 25.1、表 25.2にCANモジュールの仕様、図 25.1にCANモジュールブロック図を示します。

なお、CANバストラランシーバは外付けしてください。

表 25.1 CANモジュールの仕様(1)

項目	仕様
プロトコル	ISO11898-1仕様準拠
ビットレート	最大1Mbps
メッセージボックス	32メールボックス 2種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> • 通常メールボックスモード 32個のメールボックスをすべて送信または受信用に設定可能 • FIFOメールボックスモード 24個のメールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOに設定可能
受信	<ul style="list-style-type: none"> • データフレームとリモートフレームを受信可能 • 受信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード(メッセージ上書き)またはオーバランモード(メッセージ破棄)を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに設定可能
アクセプタンスフィルタ	8つのアクセプタンスマスク(メールボックス4個ごとに個別のマスク) メールボックスごとにマスクの有効/無効を設定可能
送信	<ul style="list-style-type: none"> • データフレームとリモートフレームを送信可能 • 送信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット送信機能を選択可能 • ID優先送信モードまたはメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能(フラグでアボート完了を確認可能) • 送信完了割り込みの許可/禁止をメールボックスごとに設定可能

表 25.2 CANモジュールの仕様(2)

項目	仕様
バスオフ復帰モード遷移	バスオフ状態からの復帰モード遷移を選択可能 <ul style="list-style-type: none"> •ISO11898-1仕様準拠 •バスオフ開始でCAN Haltモードへ自動遷移 •バスオフ終了でCAN Haltモードへ自動遷移 •プログラムによるCAN Haltモードへの遷移 •プログラムによるエラーアクティブ状態への遷移
エラー状態の監視	<ul style="list-style-type: none"> •CANバスエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 •エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) •エラーカウンタを読み出し可能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み要因	6種類 <ul style="list-style-type: none"> •受信完了 •送信完了 •受信FIFO •送信FIFO •エラー •ウェイクアップ
CANスリープモード	CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット <ul style="list-style-type: none"> •アクセプタンスフィルタサポート •メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) •チャンネル検索サポート
CANクロックソース	BCLKかメインクロックを選択可能
テストモード	ユーザ評価用に3つのテストモードを用意 <ul style="list-style-type: none"> •リッスンオンリモード •セルフテストモード0(外部ループバック) •セルフテストモード1(内部ループバック)

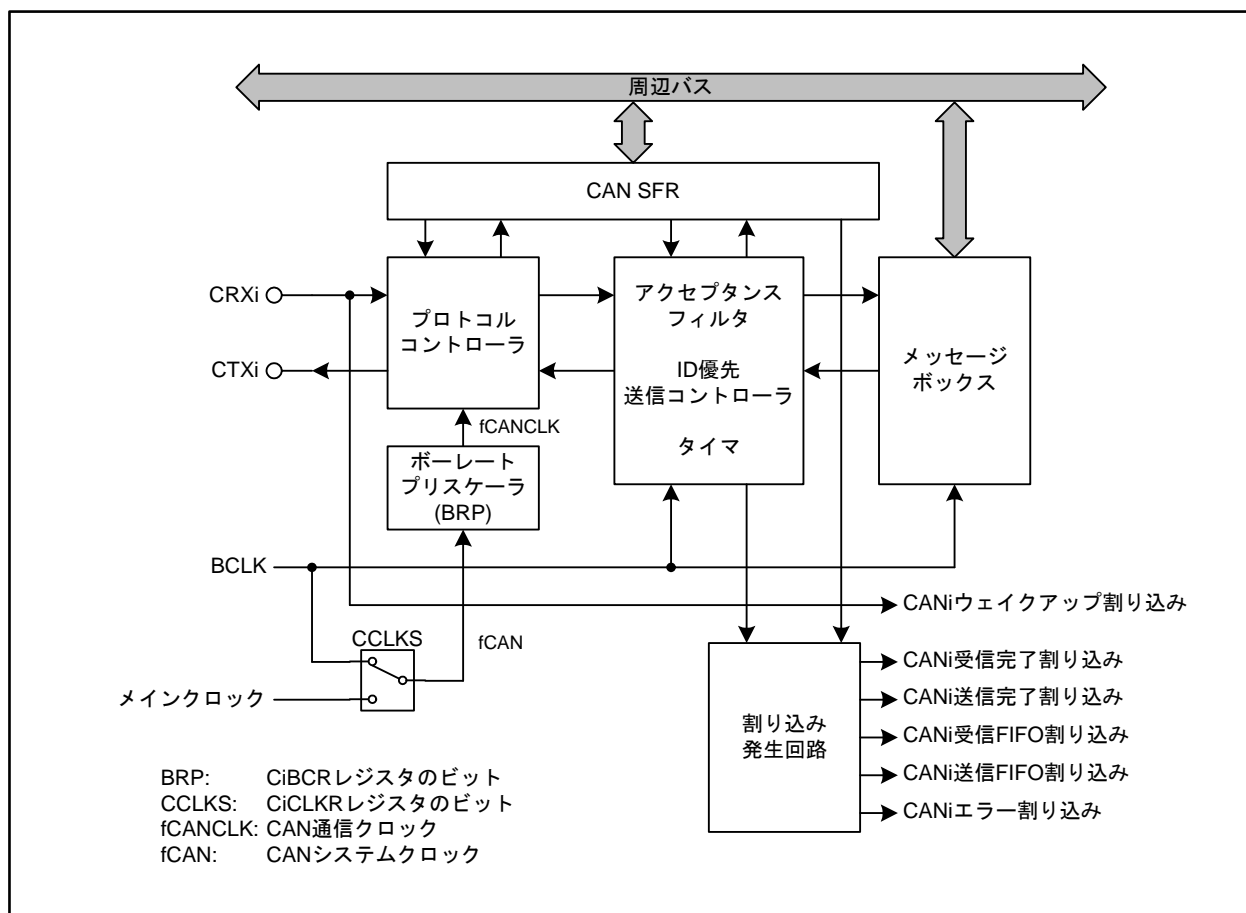


図 25.1 CAN モジュールブロック図(i=0, 1)

- CRXi/CTXi (i=0, 1): CANの入出力端子です。
- プロトコルコントローラ: バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス: 送信または受信メールボックスとして使用可能な32個のメールボックスで構成されています。各メールボックスには固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ: 受信メッセージのフィルタ処理を行います。このフィルタ処理には、CiMKR0~CiMKR7レジスタを使用します。
- タイマ: タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- ウェイクアップ: CANバス上にメッセージが検出されると、CANi ウェイクアップ割り込み要求を発生します。
- 割り込み発生回路: 次の5種類の割り込み要求を発生させることができます。
 - CANi 受信完了割り込み
 - CANi 送信完了割り込み
 - CANi 受信FIFO割り込み
 - CANi 送信FIFO割り込み
 - CANi エラー割り込み
- CAN SFR: CAN関連のレジスタです。詳細は、「25.1 CAN SFR」を参照してください。

25.1 CAN SFR

図 25.2~図 25.11、図 25.13、図 25.14、図 25.16~図 25.20、図 25.22、図 25.24~図 25.30にCAN関連レジスタを示します。

25.1.1 CANi制御レジスタ (CiCTLR) (i=0, 1)

CANi制御レジスタ (i=0, 1)		シンボル	アドレス	リセット後の値
		C0CTLR	D7C1h-D7C0h番地	0000 0000 0000 0101b
		C1CTLR	D4C1h-D4C0h番地	0000 0000 0000 0101b
ビットシンボル	ビット名	機能	RW	
CANM	CAN動作モード選択ビット (注1)	b1 b0 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : 設定しないでください	RW	
		SLPM	CANスリープモードビット (注1、2)	0: CANスリープモードではない 1: CANスリープモード
BOM	バスオフ復帰モード選択 ビット (注3)	b4 b3 0 0 : ノーマルモード (ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的に CAN Haltモードへ遷移 1 0 : バスオフ終了で自動的に CAN Haltモードへ遷移 1 1 : プログラムによる要求で CAN Haltモードへ遷移 (バスオフ復帰期間中)	RW	
		RBOC	バスオフ強制復帰ビット (注4)	0: 何もしない 1: バスオフからの強制復帰 (注5)
— (b6)	予約ビット	“0” にしてください	RW	
CPE	CANポート許可ビット (注3)	0: 入出力ポートとして機能 1: CAN入出力として機能	RW	
MBM	CANメールボックスモード 選択ビット (注3)	0: 通常メールボックスモード 1: FIFOメールボックスモード	RW	
IDFM	IDフォーマットモード選択 ビット (注3)	b10b9 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	RW	
MLM	メッセージロストモード 選択ビット (注3)	0: オーバライトモード 1: オーバランモード	RW	
TPM	送信優先順位モード選択 ビット (注3)	0: ID優先送信モード 1: メールボックス番号優先送信モード	RW	
TSRC	タイムスタンプカウンタ リセットビット (注6)	0: リセットしない 1: リセットする (注5)	RW	
TSPS	タイムスタンプ プリスケアラ選択ビット (注3)	b15b14 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	RW	

注1. CANM、SLPMビットを変更した場合は、CiSTRレジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM、SLPMビットは変更しないでください。CPUクロックおよびBCLKの周波数は、CANオペレーションモード以外のときに変更してください。

注2. SLPMビットは、CANスリープモード、CANリセットモードおよびCAN Haltモード時に変更してください。SLPMビットを書き換える場合は、本ビットのみ“0”または“1”にしてください。

注3. BOM、CPE、MBM、IDFM、MLM、TPM、TSPSビットは、CANリセットモード時に変更してください。

注4. RBOCビットはバスオフ状態時に“1”にしてください。

注5. “1”にした後自動的に“0”に戻ります。読んだ場合“0”が読めます。

注6. TSRCビットはCANオペレーションモード時に“1”にしてください。

図 25.2 C0CTLR-C1CTLR レジスタ

25.1.1.1 CANMビット

CANモジュールのモード(CANオペレーションモード、CANリセットモード、CAN Haltモード)を選択するビットです。詳細は、「25.2 動作モード」を参照してください。

CANスリープモードはSLPMビットで設定します。

“11b”には設定しないでください。

BOMビットの設定によってCAN Haltモードへ遷移した場合は、CANMビットは自動的に“10b”になります。

25.1.1.2 SLPMビット

“1”にすると、CANスリープモードになります。

“0”にすると、CANスリープモードは解除されます。

詳細は、「25.2 動作モード」を参照してください。

25.1.1.3 BOMビット

CANモジュールのバスオフ復帰モードの選択に使用します。

“00b”の場合、バスオフからの復帰はISO11898-1仕様に準拠します。すなわち、CANモジュールは、11の連続するレセシブビットを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

“01b”の場合、CANモジュールがバスオフ状態に達すると、CiCTLRレジスタ(i=0, 1)のCANMビットが“10b”(CAN Haltモード)になってから、CAN Haltモードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“00h”になります。

“10b”の場合、CANモジュールがバスオフ状態に達するとCANMビットが“10b”になり、バスオフ状態から復帰した(11の連続するレセシブビットを128回検出)後に、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CiTECR、CiRECRレジスタが“00h”になります。

“11b”の場合、CANモジュールがまだバスオフ状態のときにCANMビットを“10b”にすると、CAN Haltモードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“00h”になります。しかし、CANMビットを“10b”にする前に、11の連続するレセシブビットを128回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに遷移するのと同様(BOMビットが“01b”のとき:バスオフ開始、またはBOMビットが“10b”のとき:バスオフ終了)に、CPUがCANリセットモードへの遷移を要求した場合は、CPUの要求が優先されます。

25.1.1.4 RBOCビット

バスオフ状態時“1”(バスオフからの強制復帰)にすると、バスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

“1”にすると、CiRECR、CiTECRレジスタが“00h”になり、CiSTRレジスタのBOSTビットは“0”(CANモジュールはバスオフ状態ではない)になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOMビットが“00b”(ノーマルモード)のときにのみ使用してください。

25.1.1.5 CPEビット

CPEビットを“1”にするとCAN入出力端子(CRX_i, CTX_i (i=0, 1))として機能します。CANモジュールを使用する場合は、このビットを“1”にしてください。

CPEビットを“1”にする場合は、CRX_i端子に対応するポートの方向ビットを“0”にしてください。

CPEビットを“0”にするとポート入出力端子として機能します。

CPEビットは、CANリセットモード時のみ変更してください。

CANウェイクアップ割り込みを使用する場合は、CPEビットを“1”にしてください。

25.1.1.6 MBMビット

“0”(通常メールボックスモード)の場合、メールボックス[0]~[31]は送信または受信メールボックスに設定されます。

“1”(FIFOメールボックスモード)の場合、メールボックス[0]~[23]は送信または受信メールボックスに設定され、メールボックス[24]~[27]は送信FIFOに、メールボックス[28]~[31]は受信FIFOに設定されます。

送信データはメールボックス[24]に書き込み(メールボックス[24]は送信FIFOのウィンドウメールボックスです)、受信データはメールボックス[28]から読み出します(メールボックス[28]は受信FIFOのウィンドウメールボックスです)。

表 25.3にメールボックスの設定を示します。

表 25.3 メールボックスの設定

メールボックス	MBM=0 (通常メールボックスモード)	MBM=1(注1) (FIFOメールボックスモード)
メールボックス[0]~[23]	通常メールボックス	通常メールボックス
メールボックス[24]~[27]		送信FIFO
メールボックス[28]~[31]		受信FIFO

注1. MBMビットが“1”のときは、以下の点に注意してください。

- 送信FIFOはCiTFCRレジスタで制御します。
メールボックス[24]~[27]のCiMCTL_jレジスタ(j=0~31)は無効です。
CiMCTL₂₄~CiMCTL₂₇レジスタは使用できません。
- 受信FIFOはCiRFCRレジスタで制御します。
メールボックス[28]~[31]のCiMCTL_jレジスタは無効です。
CiMCTL₂₈~CiMCTL₃₁レジスタは使用できません。
- FIFO割り込みについてはCiMIERレジスタを参照してください。
- CiMKIVLRレジスタのメールボックス[24]~[31]に対応するビットは無効です。これらのビットには“0”を設定してください。
- 送信/受信FIFOはデータフレーム/リモートフレームのいずれにも使用可能です。

25.1.1.7 IDFMビット

IDフォーマットを指定します。

“00b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDのみに対応します。

“01b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、拡張IDのみに対応します。

“10b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[23]は対応する

メールボックスのIDEビット、受信FIFOはCiFIDCR0、CiFIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します。“11b”は、設定しないでください。

25.1.1.8 MLMビット

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス(受信FIFOを含む)は、オーバーライトモードかオーバーランモードのどちらかになります。

“0”の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

“1”の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

25.1.1.9 TPMビット

メッセージを送信する場合の優先順のモードを指定します。ID優先モードまたはメールボックス番号優先モードを選択できます。

すべてのメールボックスは、ID優先送信またはメールボックス番号優先送信のどちらかになります。

“0”の場合、ID優先送信モードとなり送信優先順位はCANバスアービトレーションルール(ISO11898-1仕様)に準拠します。ID優先送信モードは、通常メールボックスモードのときメールボックス[0]~[31]、FIFOメールボックスモードのときメールボックス[0]~[23]と送信FIFOの送信に設定されたメールボックスのIDを比較します。2つ以上のメールボックスのIDが同じ場合、小さい番号のメールボックスが優先されます。

次に送信FIFOから送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信FIFOのメッセージを送信中の場合、送信FIFO内の次の待機メッセージが送信アービトレーションの対象となります。

“1”の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFOメールボックスモードでは、送信FIFOは通常メールボックス(メールボックス[0]~[23])よりも優先順位が低くなります。

25.1.1.10 TSRCビット

タイムスタンプカウンタをリセットするために使用します。

“1”にするとCiTSRレジスタ(i=0, 1)が“0000h”になります。このビットは自動的に“0”になります。

25.1.1.11 TSPSビット

タイムスタンプ用のプリスケアラを選択します。

タイムスタンプの基準クロックは、1、2、4、または8ビットタイムのいずれかを選択できます。

25.1.2 CANiクロック選択レジスタ (CiCLKR) (i=0, 1)

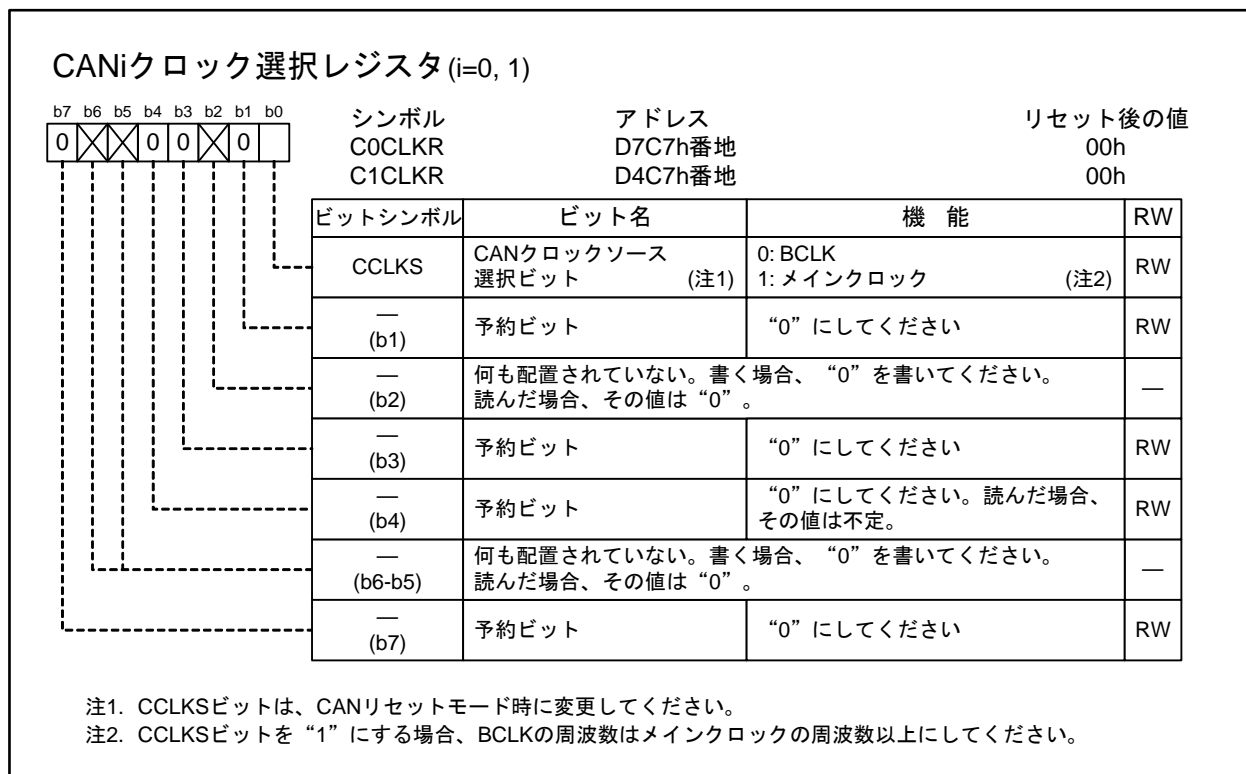


図 25.3 C0CLKR-C1CLKR レジスタ

25.1.2.1 CCLKSビット

“0”の場合、CANクロックソース(fCAN)にPLL周波数シンセサイザにより生成されたBCLKが使用されます。

“1”の場合、CANクロックソース(fCAN)にPLL周波数シンセサイザを使用せず、外部のXIN端子から入力されたメインクロックが使用されます。

25.1.3 CANiビットコンフィグレーションレジスタ (CiBCR) (i=0, 1)

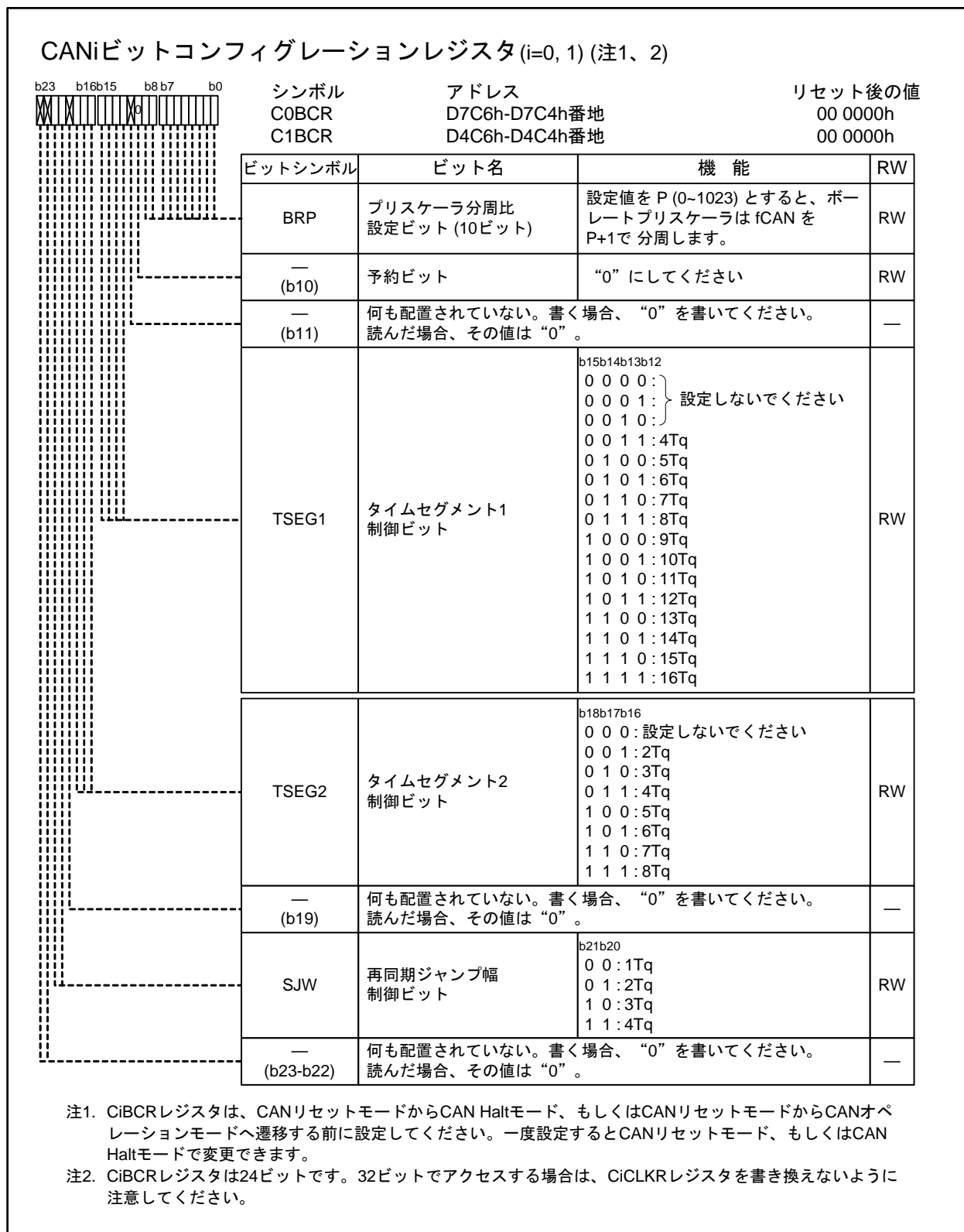


図 25.4 C0BCR~C1BCR レジスタ

ビットタイミングの設定については、「25.3 CAN通信速度の設定」を参照してください。

25.1.3.1 BRP ビット

CAN通信クロック (fCANCLK)の周波数設定に使用します。
fCANCLKの周期が1 Time Quantum (Tq)となります。

25.1.3.2 TSEG1 ビット

プロパゲーションタイムセグメント (PROP_SEG)とフェーズバッファセグメント1 (PHASE_SEG1)の合計長をTq値で指定します。
4~16Tqの値が設定可能です。

25.1.3.3 TSEG2 ビット

フェーズバッファセグメント2 (PHASE_SEG2)の長さをTq値で指定します。
2~8Tqの値が設定可能です。
TSEG1ビットより小さな値を設定してください。

25.1.3.4 SJW ビット

再同期ジャンプ幅 (Resynchronization Jump Width)をTq値で指定します。
1~4Tqの値が設定可能です。
TSEG2ビット以下の値を設定してください。

25.1.4 CANi マスクレジスタ k (CiMKRk) (i=0, 1、k=0~7)

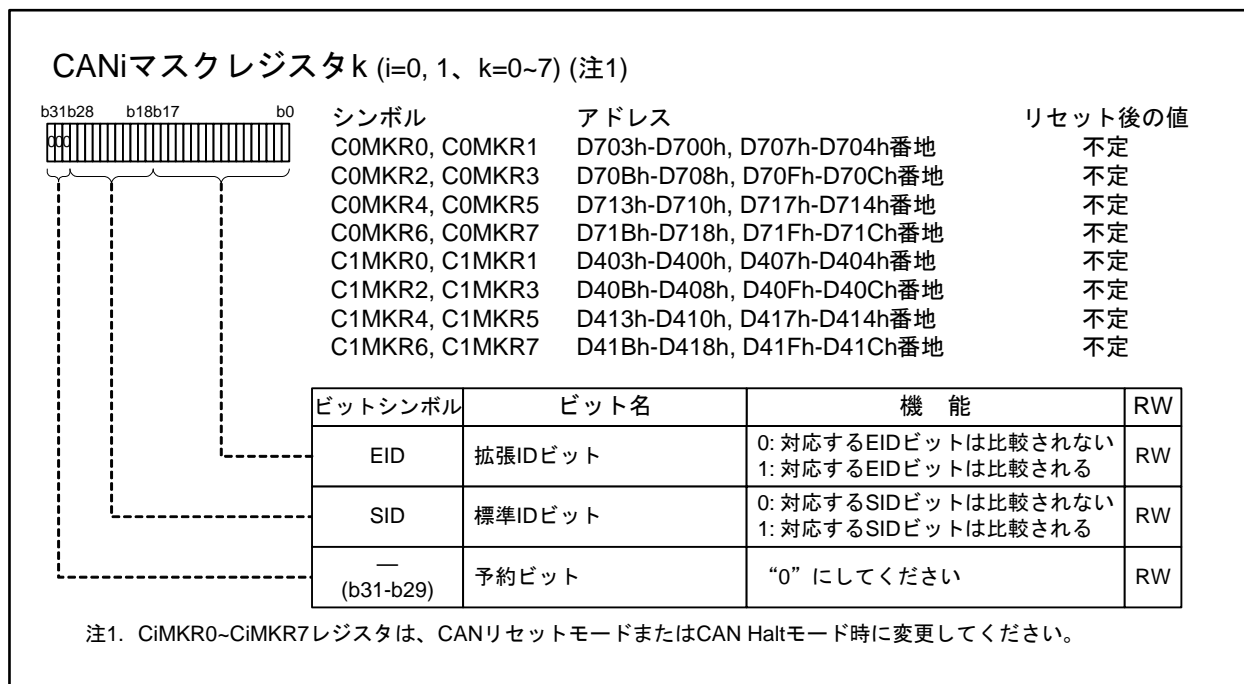


図 25.5 C0MKR0~C1MKR7 レジスタ

FIFO メールボックスモードでのマスク機能については、「25.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

25.1.4.1 EIDビット

CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信する場合に使用します。

“0”の場合、対応する EID ビットは、受信した ID とメールボックスの ID を比較しません。

“1”の場合、対応する EID ビットは、受信した ID とメールボックスの ID を比較します。

25.1.4.2 SIDビット

CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

“0”の場合、対応する SID ビットは、受信した ID とメールボックスの ID を比較しません。

“1”の場合、対応する SID ビットは、受信した ID とメールボックスの ID を比較します。

25.1.5 CANi FIFO受信ID比較レジスタ n (CiFIDCR0、CiFIDCR1) (i=0, 1、n=0, 1)

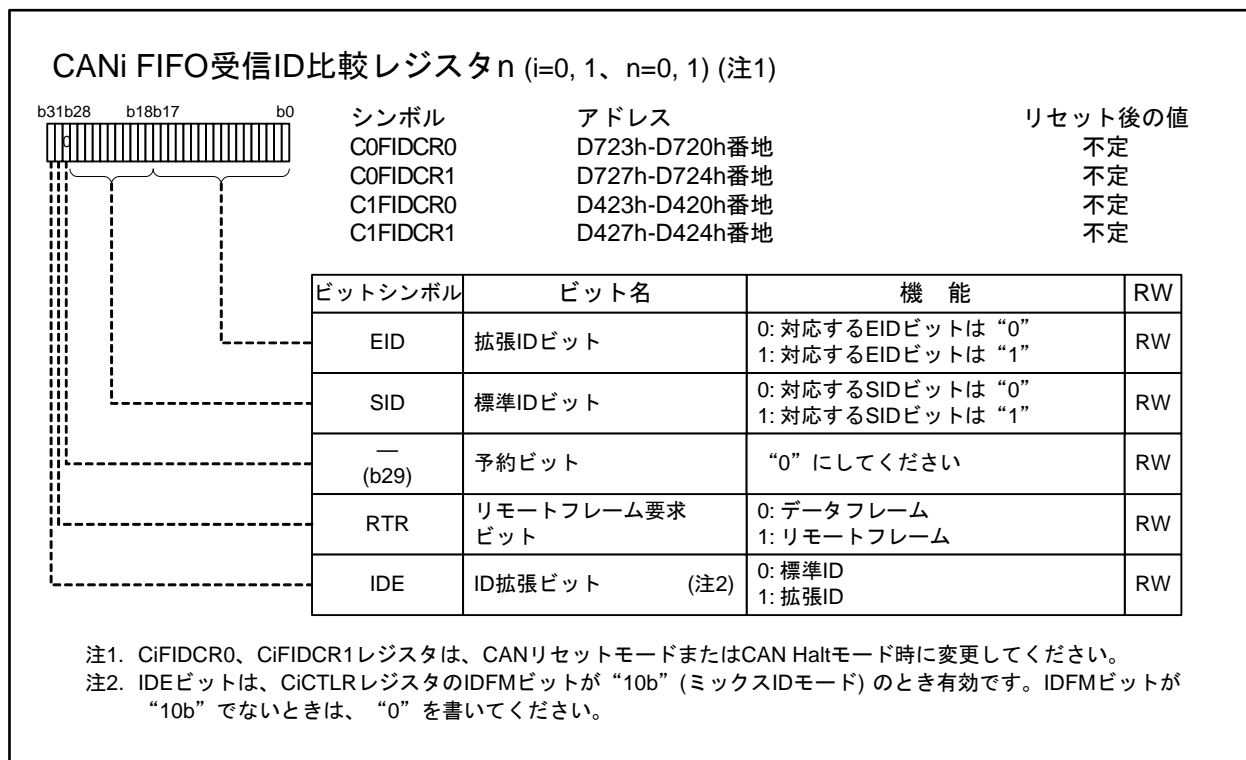


図 25.6 C0FIDCR0~C1FIDCR1 レジスタ

CiCLRレジスタのMBMビットが“1” (FIFOメールボックスモード) のとき有効です。

CiMB28~CiMB31レジスタのEID、SID、RTR、IDEビットは無効です。

使用方法については、「25.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

25.1.5.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを受信する場合に使用します。

25.1.5.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

25.1.5.3 RTRビット

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。
以下の動作を指定します。

- CiFIDCR0、CiFIDCR1レジスタ (i=0, 1)の両方のRTRビットが“0”の場合、データフレームのみ受信できます。
- CiFIDCR0、CiFIDCR1レジスタの両方のRTRビットが“1”の場合、リモートフレームのみ受信できます。
- CiFIDCR0、CiFIDCR1レジスタのRTRビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

25.1.5.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。

CiCTLRレジスタのIDFMビットが“10b” (ミックスIDモード)のとき有効です。

IDFMビットが“10b”のとき、以下の動作を指定します。

- CiFIDCR0、CiFIDCR1レジスタの両方のIDEビットが“0”の場合、標準IDフレームのみ受信できます。
- CiFIDCR0、CiFIDCR1レジスタの両方のIDEビットが“1”の場合、拡張IDフレームのみ受信できます。
- CiFIDCR0、CiFIDCR1レジスタのIDEビットが“0”と“1”のそれぞれ異なる設定の場合、標準IDと拡張IDのフレームの両方を受信できます。

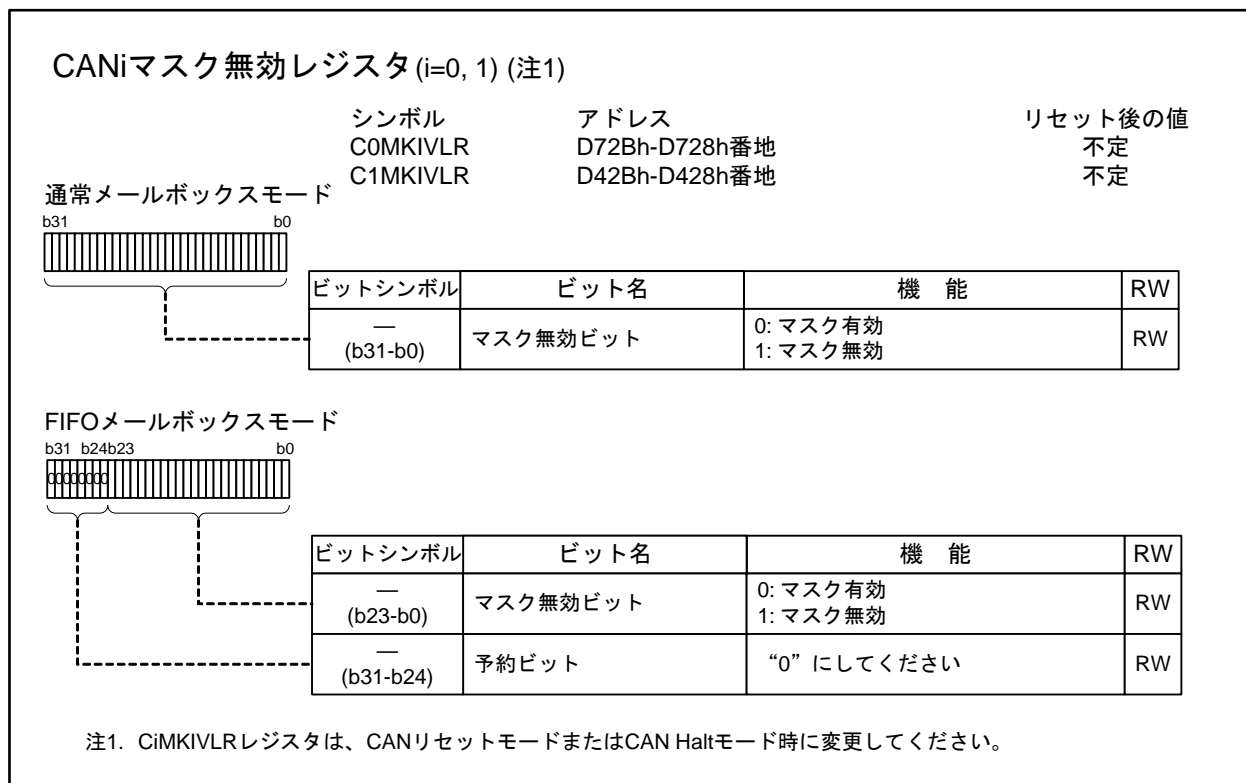
25.1.6 CAN_iマスク無効レジスタ (CiMKIVLR) (i=0, 1)

図 25.7 C0MKIVLR~C1MKIVLR レジスタ

各ビットは、同じ番号のメールボックスに対応します。“1”の場合、ビット番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージのIDとCiMB_jレジスタ(j=0~31)のSID、EIDビットが一致する場合にのみ受信します。

25.1.7 CAN_iメールボックスレジスタ_j (CiMB_j) (i=0, 1、j=0~31)

表 25.4にCAN_iメールボックスのメモリ配置、表 25.5にCANデータフレームの構成を示します。
CAN_iメールボックスのリセット後の値は不定です。

表 25.4 CAN_iメールボックスのメモリ配置 (i=0, 1)

アドレス		メッセージ内容
CAN0	CAN1	メモリ配置
D500h + j × 16 + 0	D200h + j × 16 + 0	EID7~EID0
D500h + j × 16 + 1	D200h + j × 16 + 1	EID15~EID8
D500h + j × 16 + 2	D200h + j × 16 + 2	SID5~SID0、EID17、EID16
D500h + j × 16 + 3	D200h + j × 16 + 3	IDE、RTR、SID10~SID6
D500h + j × 16 + 4	D200h + j × 16 + 4	—
D500h + j × 16 + 5	D200h + j × 16 + 5	データ長コード (DLC)
D500h + j × 16 + 6	D200h + j × 16 + 6	データバイト0
D500h + j × 16 + 7	D200h + j × 16 + 7	データバイト1
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮
D500h + j × 16 + 13	D200h + j × 16 + 13	データバイト7
D500h + j × 16 + 14	D200h + j × 16 + 14	タイムスタンプ下位バイト
D500h + j × 16 + 15	D200h + j × 16 + 15	タイムスタンプ上位バイト

j: メールボックス番号 (j=0~31)

表 25.5 CANデータフレームの構成

SID10~ SID6	SID5~ SID0	EID17~ EID16	EID15~ EID8	EID7~ EID0	DLC3~ DLC0	DATA0	DATA1	⋯⋯⋯	DATA7
----------------	---------------	-----------------	----------------	---------------	---------------	-------	-------	-----	-------

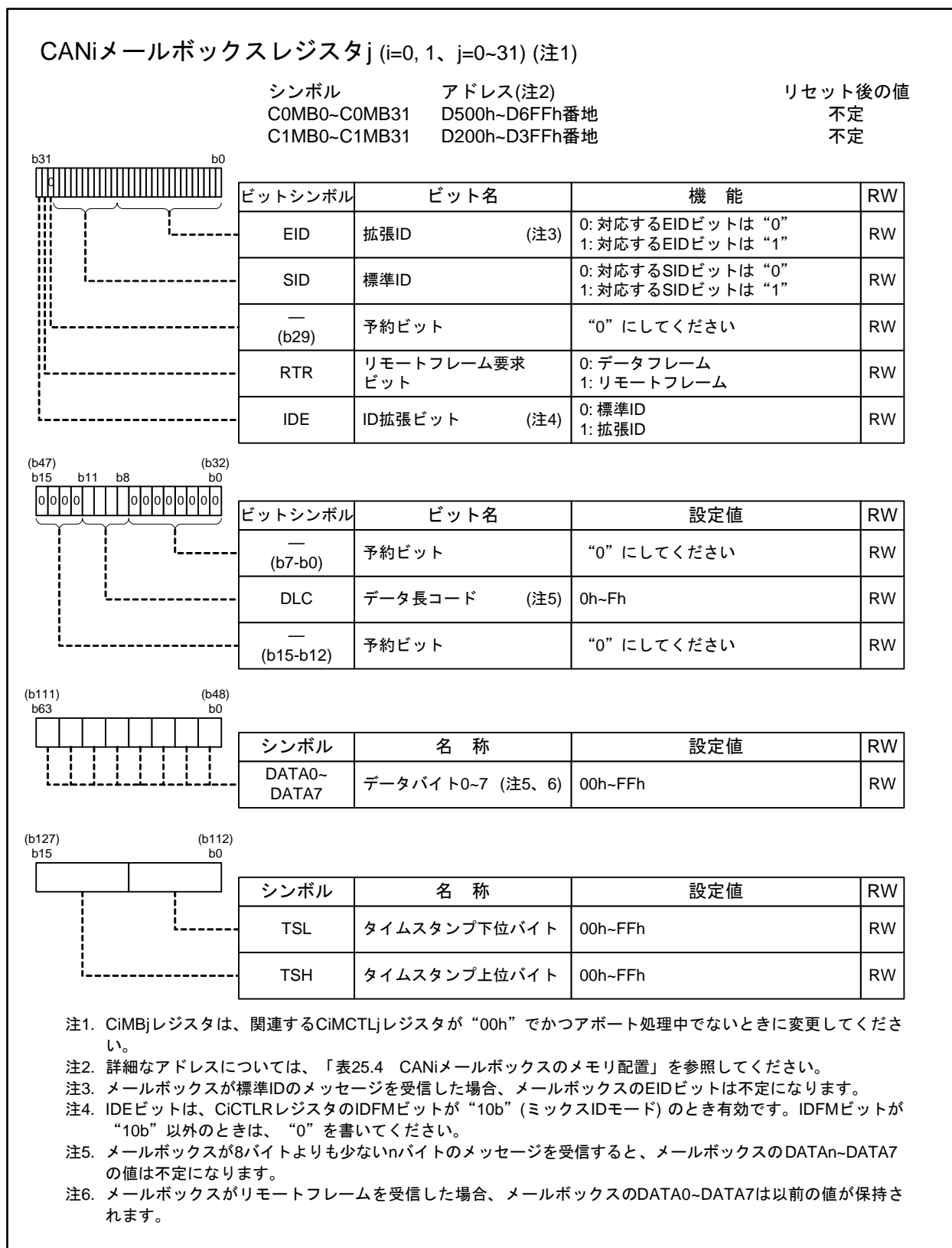


図 25.8 C0MBj~C1MBjレジスタ

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

25.1.7.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを送受信する場合に使用します。

25.1.7.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを送受信する場合の両方で使用します。

25.1.7.3 RTRビット

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTRビットで選択したフレームフォーマットのみ受信する
- 送信メールボックスは、RTRビットで選択したフレームフォーマットで送信を行う
- 受信FIFOメールボックスは、CiFIDCR0、CiFIDCR1レジスタ(i=0, 1)のRTRビットで選択したデータフレーム、リモートフレーム、または両方のフレームを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのRTRビットで選択したデータフレームまたはリモートフレームを送信する

25.1.7.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。

CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき有効です。

IDFMビットが“10b”のとき、IDEビットは以下の動作を指定します。

- 受信メールボックスは、IDEビットで選択したIDフォーマットのみ受信する
- 送信メールボックスは、IDEビットで選択したIDフォーマットで送信を行う
- 受信FIFOメールボックスは、CiFIDCR0、CiFIDCR1レジスタのIDEビットで選択した標準ID、拡張ID、または両方のIDメッセージを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのIDEビットで選択した標準IDまたは拡張IDのメッセージを送信する

25.1.7.5 DLC (Data Length Code)

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

表 25.6にDLCと対応するデータ長を示します。

表 25.6 DLCと対応するデータ長

DLC [3]	DLC [2]	DLC [1]	DLC [0]	データ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	X	X	X	8バイト

X: 任意の値

25.1.7.6 DATA0~DATA7

送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。

25.1.7.7 TSL、TSH

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

25.1.8 CANiメールボックス割り込み許可レジスタ (CiMIER) (i=0, 1)



図 25.9 C0MIER~C1MIER レジスタ

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード(ビット0~31)とFIFOメールボックスモード(ビット0~23)では、それぞれのビットは同じ番号のメールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

FIFOメールボックスモードのビット24、25、28、29は送信/受信FIFO割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

25.1.9 CANiメッセージ制御レジスタj (CiMCTLj) (i=0, 1, j=0~31)

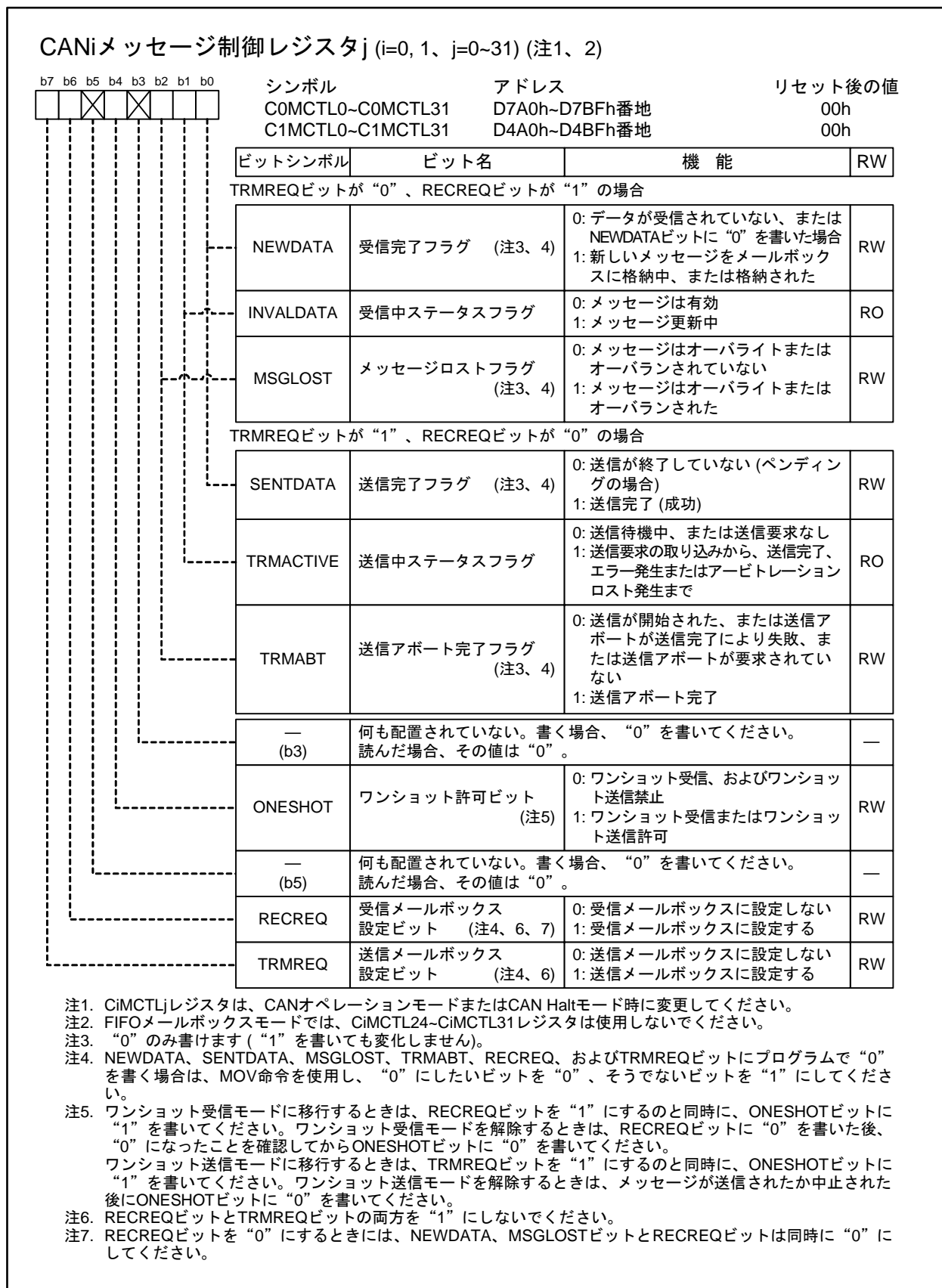


図 25.10 COMCTLj~C1MCTLjレジスタ

25.1.9.1 NEWDATA ビット

メールボックスに新しいメッセージを格納中または格納が完了したときに、“1”になります。“1”になるタイミングは、INVALIDDATA ビットと同時です。

プログラムで“0”を書くと“0”になります。

関連するINVALIDDATA ビットが“1”の間は、NEWDATA ビットはプログラムで“0”を書いても“0”になりません。

25.1.9.2 SENTDATA ビット

対応するメールボックスからのデータ送信が完了すると“1”になります。

プログラムで“0”を書くと“0”になります。

“0”にする場合は、TRMREQ ビットを“0”にしてからSENTDATA ビットを“0”にしてください。SENTDATA ビットとTRMREQ ビットは同時に“0”になりません。

メールボックスから新しいメッセージを送信するには、SENTDATA ビットを“0”にしてください。

25.1.9.3 INVALIDDATA ビット

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。

メッセージの格納完了時点で“0”になります。INVALIDDATA ビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

25.1.9.4 TRMACTIVE ビット

CANモジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。

CANモジュールがCANバスアービトレーションに負けるか、CANバスエラーが起こるか、あるいはデータ送信が完了すると、“0”になります。

25.1.9.5 MSGLOST ビット

NEWDATA ビットが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、“1”になります。EOFの6番目のビットの終わりで“1”になります。

プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、MSGLOST ビットはプログラムで“0”を書いても“0”になりません。

25.1.9.6 TRMABT ビット

次の場合、“1”になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
- ワンショット送信モード(RECREQ ビットが“0”、TRMREQ ビットが“1”、ONESHOT ビットが“1”)で、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合

データ送信が完了すると“1”にはなりません。データ送信が完了した場合はSENTDATA ビットが“1”になります。

プログラムで“0”を書くと“0”になります。

25.1.9.7 ONESHOTビット

ONESHOTビットは受信モードと送信モードの2つの使い方があります。

(1) ワンショット受信モード

受信モード(RECREQビットが“1”、TRMREQビットが“0”)のときONESHOTビットを“1”にすると、メールボックスはメッセージを1回のみ受信します(メッセージを1回受信完了した後は、受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の実受信モードと同じです。このモードでは、MSGLOSTビットは“1”にはなりません。

ONESHOTビットを“0”にする場合、RECREQビットへ“0”を書いた後、RECREQビットが“0”になることを確認してから行ってください。

(2) ワンショット送信モード

送信モード(RECREQビットが“0”、TRMREQビットが“1”)のときONESHOTビットを“1”にすると、CANモジュールはメッセージを1回のみ送信します(CANバスエラーまたはCANバスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATAビットが“1”になります。CANバスエラーまたはCANバスアービトレーション負けによって送信が完了しない場合は、TRMABTビットが“1”になります。

ONESHOTビットを“0”にする場合は、SENTDATAビットが“1”またはTRMABTビットが“1”になった後に行ってください。

25.1.9.8 RECREQビット

表 25.11 に示す受信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- その他のメールボックスは、アクセプタンスフィルタ処理後
- 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQビットを“1”にする場合は、TRMREQビットを“1”にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアポートし、そしてSENTDATAビットとTRMABTビットを“0”にしてください。

25.1.9.9 TRMREQビット

表 25.11 に示す送信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQビットを“1”から“0”に変更すると、TRMABTビットまたはSENTDATAビットが“1”になります。

TRMREQビットを“1”にする場合は、RECREQビットを“1”にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアポートし、そしてNEWDATAビットとMSGLOSTビットを“0”にしてください。

25.1.10 CANi受信FIFO制御レジスタ (CiRFCR) (i=0, 1)

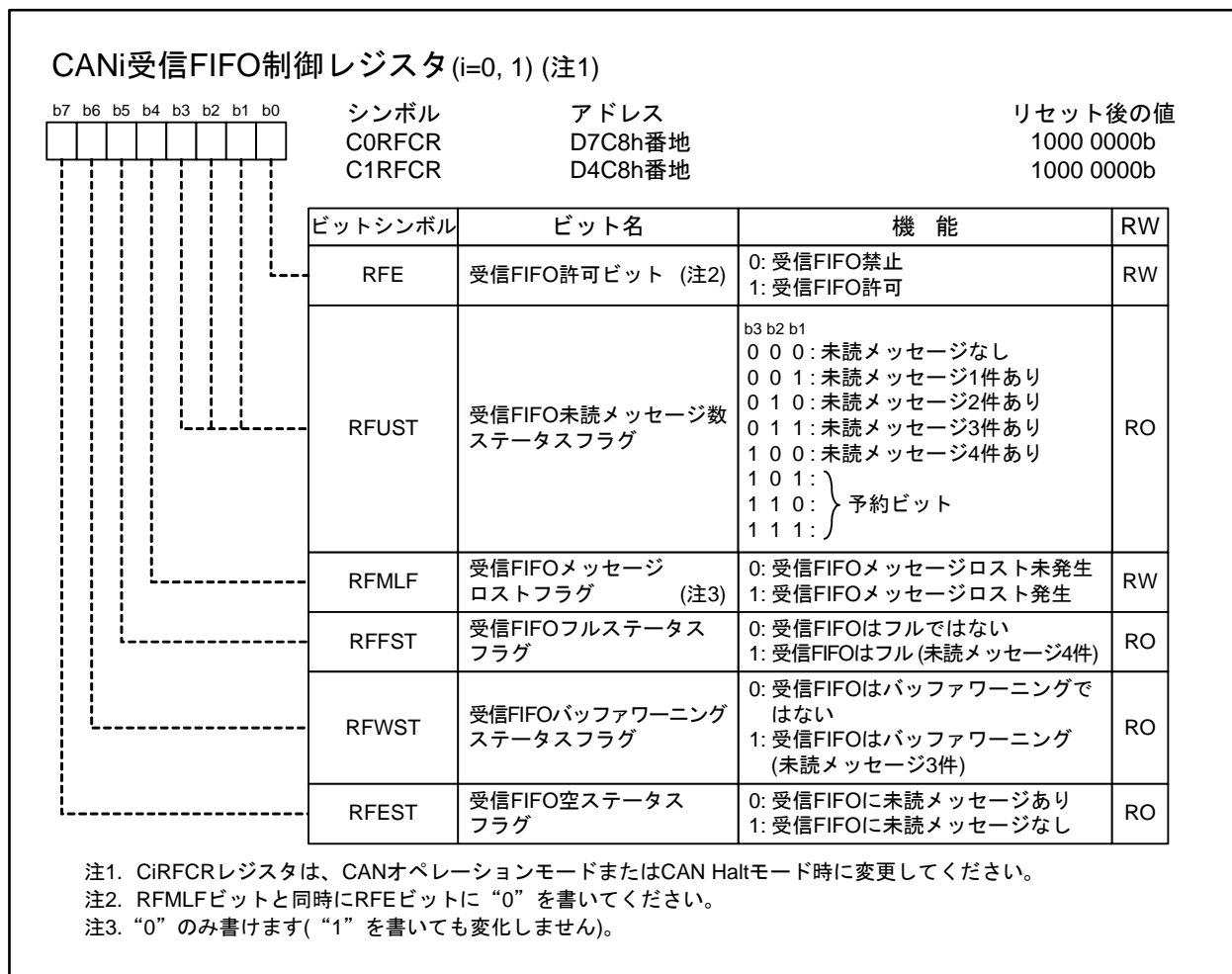


図 25.11 C0RFCR~C1RFCR レジスタ

25.1.10.1 RFEビット

“1”にすると、受信FIFOが受信許可になります。

“0”にすると、受信FIFOは受信禁止になり、空状態(RFESTビットが“1”)になります。

通常メールボックスモード(CiCTLRレジスタ(i=0, 1)のMBMビットが“0”)では、“1”にしないでください。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に受信FIFOが指定された場合は、受信メッセージが受信FIFOに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- メッセージの受信に受信FIFOが指定されない場合は、アクセプタンスフィルタ処理後

25.1.10.2 RFUSTビット

受信FIFO内の未読メッセージの数を示します。

RFEビットを“0”にすると、“000b”に初期化されます。

25.1.10.3 RFMLFビット

受信FIFOがフルのときに新しいメッセージを受信すると、“1”(受信FIFOメッセージロスト発生)になります。“1”になるタイミングは、EOFの6番目のビットの終わりです。

プログラムで“0”を書くと“0”になります。

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトによりEOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、プログラムで“0”(受信FIFOメッセージロスト未発生)になりません。

25.1.10.4 RFFSTビット

受信FIFO内の未読メッセージが4件になると、“1”(受信FIFOはフル)になります。受信FIFO内の未読メッセージが4件未満になると、“0”(受信FIFOはフルではない)になります。RFEビットを“0”にすると、“0”になります。

25.1.10.5 RFWSTビット

受信FIFO内の未読メッセージが3件になると、“1”(受信FIFOはバッファワーニング)になります。受信FIFO内の未読メッセージが3件未満もしくは4件になると“0”(受信FIFOはバッファワーニングではない)になります。RFEビットを“0”にすると、“0”になります。

25.1.10.6 RFESTビット

受信FIFO内の未読メッセージがなくなると、“1”(受信FIFOに未読メッセージなし)になります。RFEビットを“0”にすると、“1”になります。受信FIFO内の未読メッセージが1件以上になると、“0”(受信FIFOに未読メッセージあり)になります。

図 25.12に受信FIFOメールボックスの動作を示します。

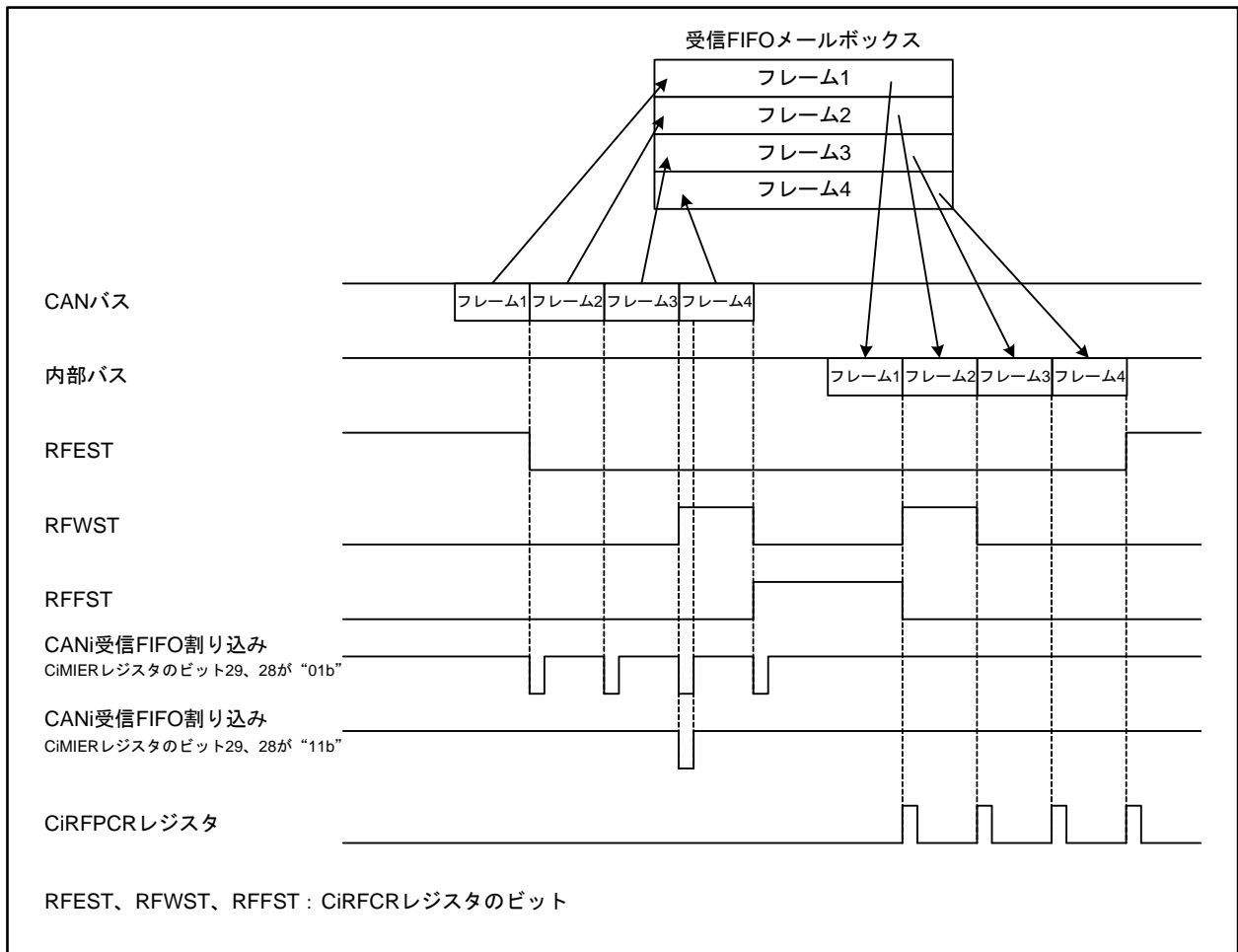


図 25.12 受信FIFOメールボックスの動作 (CiMIERレジスタのビット29、28が“01b”または“11b”) (i=0, 1)

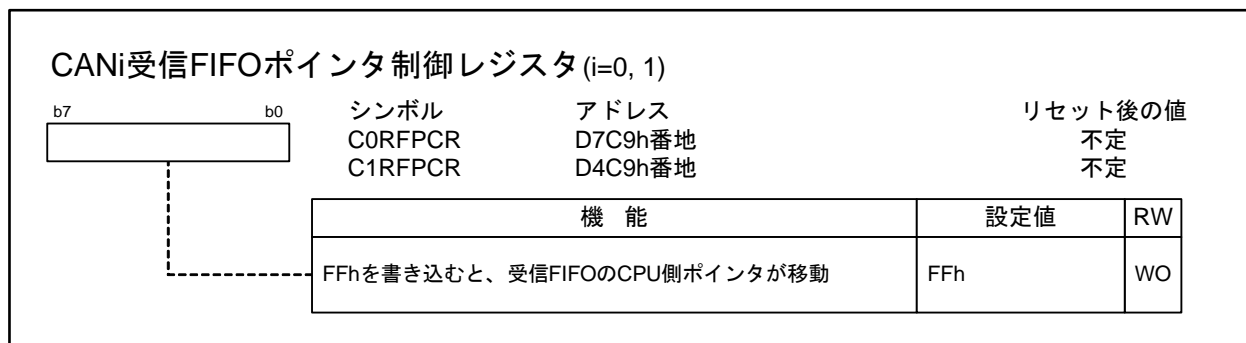
25.1.11 CAN_i受信FIFOポインタ制御レジスタ (CiRFPCR) (i=0, 1)

図 25.13 C0RFPCR~C1RFPCR レジスタ

受信FIFOが空状態でないとき、受信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

CiRFPCRレジスタのRFEビットが“0”（受信FIFO禁止）のときは、書かないでください。

受信オーバーライトモードでRFFSTビットが“1”（受信FIFOはフル）のときに新しいメッセージが受信されると、CAN側ポインタとCPU側ポインタの両方が移動します。この状態で、RFMLFビットが“1”のとき、プログラムでCiRFPCRレジスタに書き込んでもCPU側ポインタは移動しません。

25.1.12 CANi送信FIFO制御レジスタ (CiTFCR) (i=0, 1)

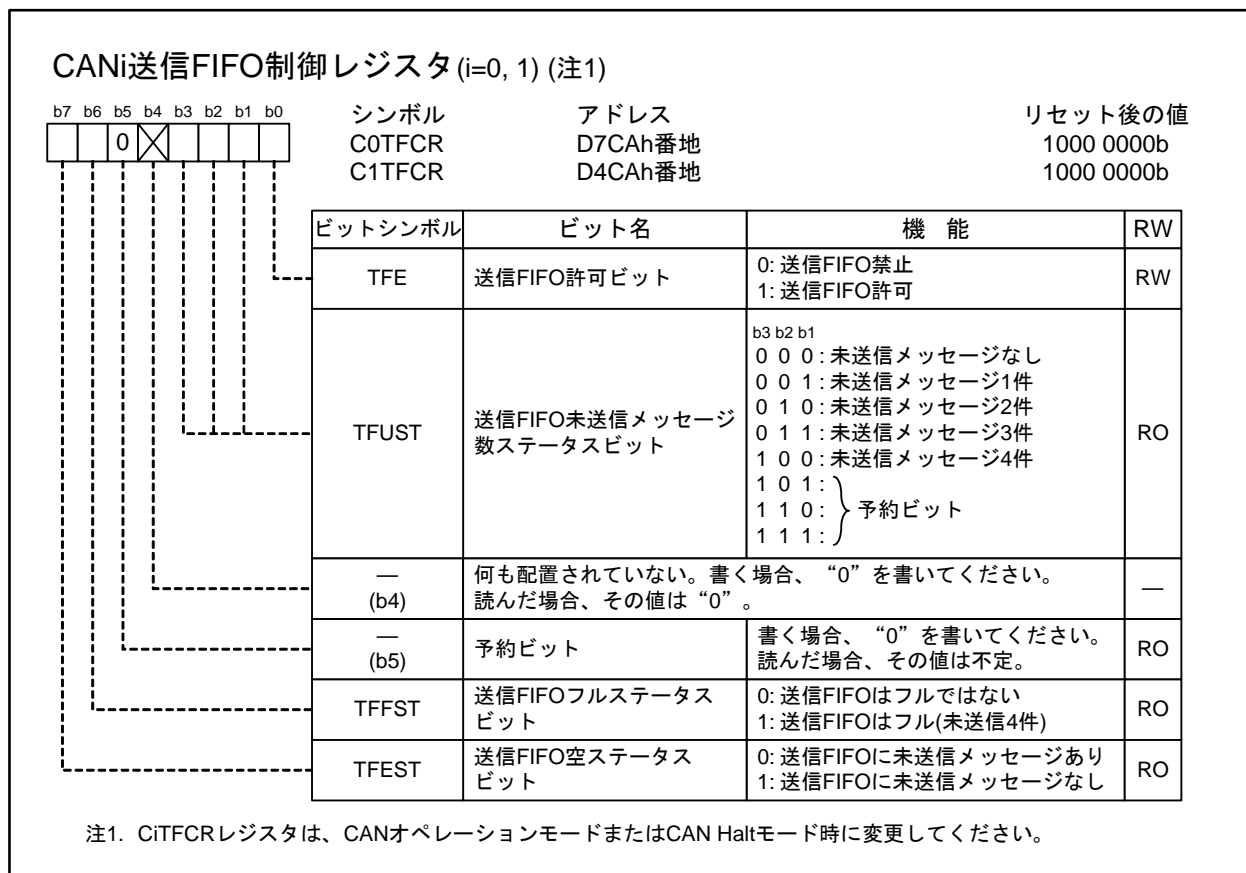


図 25.14 C0TFCR~C1TFCR レジスタ

25.1.12.1 TFEビット

“1”にすると、送信FIFOが送信許可になります。

“0”にすると、送信FIFOは空状態(TFESTビットが“1”)になり、次のように送信FIFOからの未送信メッセージが失われます。

- 送信FIFOからの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信FIFOからの次の送信予定があるかまたはすでに送信中の場合、送信完了、CANバスエラー、アービトレーション負け、またはCAN Haltモードへの遷移に続いて空状態になります。

再度“1”にする前に、TFESTビットが“1”になっているか確認してください。

“1”にした後、送信データをCiMB24レジスタに書いてください。

通常メールボックスモード(CiCTLRレジスタのMBMビットが“0”)では、“1”にしないでください。

25.1.12.2 TFUSTビット

送信FIFO内の未送信メッセージの数を示します。

TFEビットを“0”にした後、送信アポート完了または送信完了すると、“000b”になります。

25.1.12.3 TFFSTビット

送信FIFO内の未送信メッセージが4件になると、“1” (送信FIFOはフル)になります。送信FIFO内の未送信メッセージが4件未満になると、“0” (送信FIFOはフルではない)になります。送信FIFOの送信アポートが完了すると、“0”になります。

25.1.12.4 TFESTビット

送信FIFO内の未送信メッセージがなくなると、“1” (送信FIFOにメッセージなし)になります。送信FIFOの送信アポートが完了すると、“1”になります。

送信FIFO内の未送信メッセージが1件以上になると、“0” (送信FIFOにメッセージあり)になります。

図 25.15 に送信FIFO メールボックスの動作を示します。

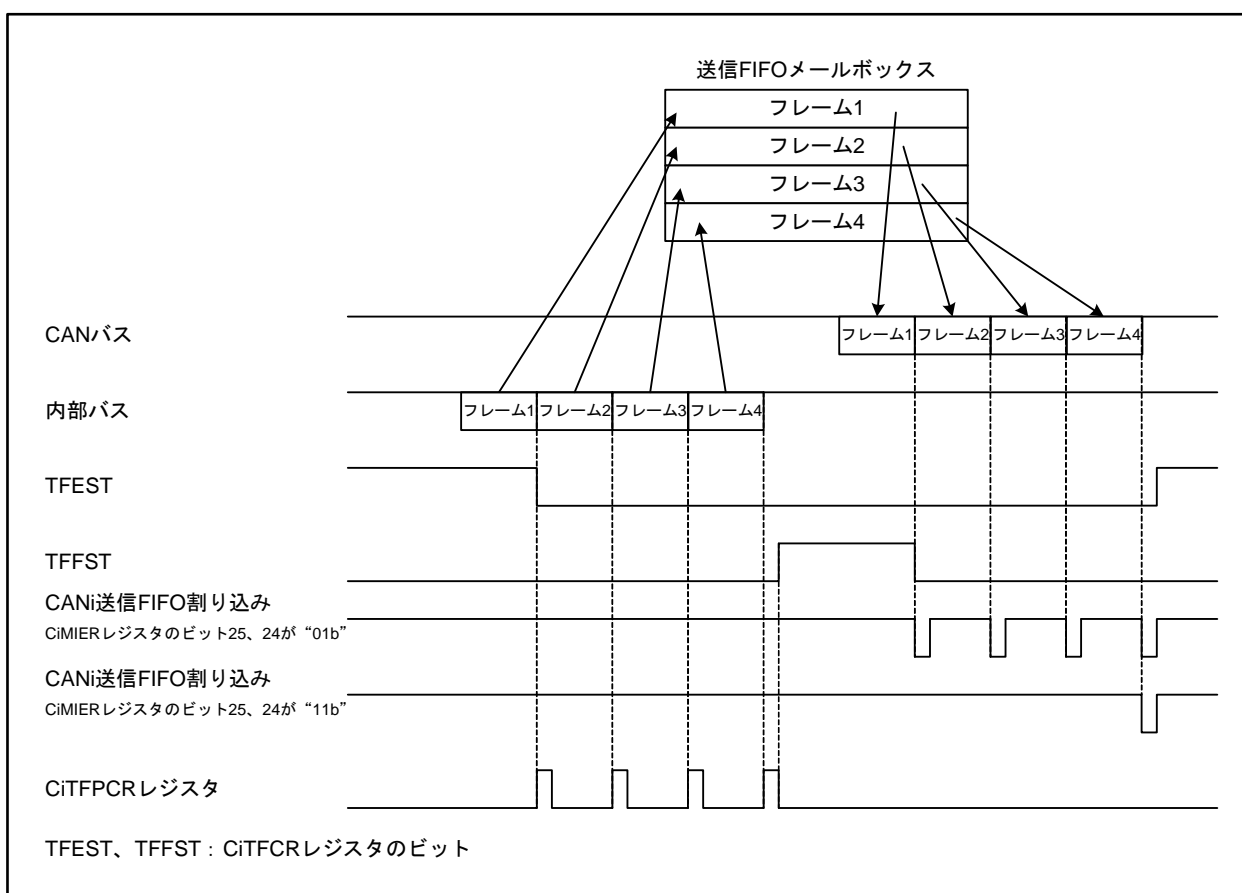


図 25.15 送信FIFO メールボックスの動作 (CiMIER レジスタのビット 25、24 が“01b”または“11b”) (i=0, 1)

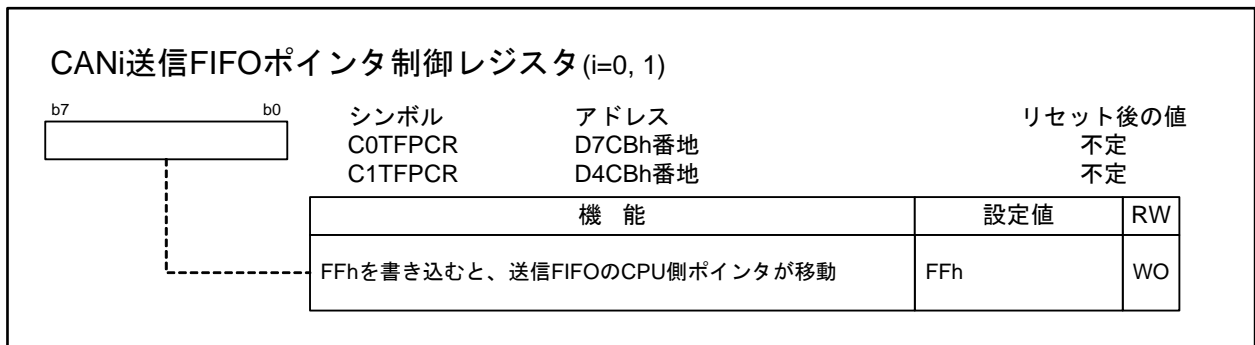
25.1.13 CAN_i送信FIFOポインタ制御レジスタ (CiTFPCR) (i=0, 1)

図 25.16 C0TFPCR~C1TFPCR レジスタ

送信FIFOがフルでないとき、送信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

CiTFPCRレジスタのTFEビットが“0” (送信FIFO禁止)のときは、書かないでください。

25.1.14 CANiステータスレジスタ (CiSTR) (i=0, 1)

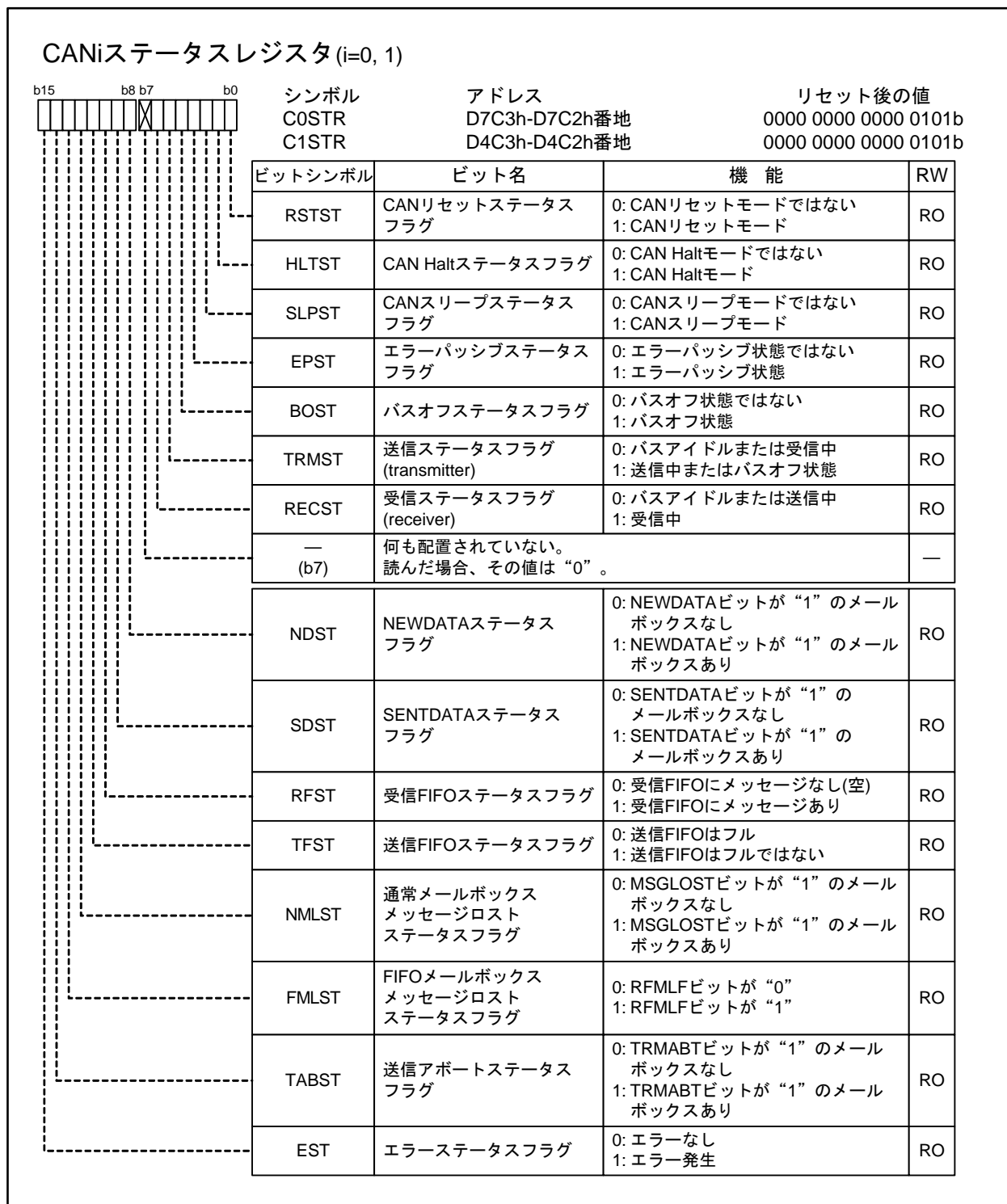


図 25.17 C0STR-C1STR レジスタ

25.1.14.1 RSTSTビット

CANリセットモードになると、“1”になります。
CANリセットモード以外になると、“0”になります。
CANリセットモードからCANスリープモードに遷移しても、“1”のままです。

25.1.14.2 HLTSTビット

CAN Haltモードになると、“1”になります。
CAN Haltモード以外になると、“0”になります。
CAN HaltモードからCANスリープモードに遷移しても、“1”のままです。

25.1.14.3 SLPSTビット

CANスリープモードになると、“1”になります。
CANスリープモード以外になると、“0”になります。

25.1.14.4 EPSTビット

CiTECRまたはCiRECRレジスタ($i=0, 1$)の値が127を超えて、CANモジュールがエラーパッシブ状態($128 \leq TEC < 256$ または $128 \leq REC < 256$)になると、“1”になります。エラーパッシブ状態以外になると、“0”になります。

TECは送信エラーカウンタ(CiTECRレジスタ)、RECは受信エラーカウンタ(CiRECRレジスタ)の値です。

25.1.14.5 BOSTビット

CiTECRレジスタの値が255を超えて、CANモジュールがバスオフ状態($TEC \geq 256$)になると、“1”になります。バスオフ状態以外になると、“0”になります。

25.1.14.6 TRMSTビット

CANモジュールが送信ノードかバスオフ状態になると、“1”になります。受信ノードかバスアイドル状態になると、“0”になります。

25.1.14.7 RECSTビット

CANモジュールが受信ノードになると、“1”になります。送信ノードかバスアイドル状態になると、“0”になります。

25.1.14.8 NDSTビット

CiMCTLjレジスタ($j=0\sim 31$)のNEWDATAビットが一つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

NEWDATAビットがすべて“0”になると、“0”になります。

25.1.14.9 SDSTビット

CiMCTLjレジスタ(i=0, 1, j=0~31)のSENTDATAビットが一つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

SENTDATAビットがすべて“0”になると、“0”になります。

25.1.14.10 RFSTビット

受信FIFOが空状態以外になると、“1”になります。

受信FIFOが空状態になると、“0”になります。

通常メールボックスモードになると、“0”になります。

25.1.14.11 TFSTビット

送信FIFOがフル以外になると、“1”になります。

送信FIFOがフル状態になると、“0”になります。

通常メールボックスモードになると、“0”になります。

25.1.14.12 NMLSTビット

CiMCTLjレジスタのMSGLOSTビットが一つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

MSGLOSTビットがすべて“0”になると、“0”になります。

25.1.14.13 FMLSTビット

CiRFCRレジスタのRFMLFビットが“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

RFMLFビットが“0”になると、“0”になります。

25.1.14.14 TABSTビット

CiMCTLjレジスタのTRMABTビットが一つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

TRMABTビットがすべて“0”になると、“0”になります。

25.1.14.15 ESTビット

CiEIFRレジスタで一つでもエラーが検出されると、CiEIERレジスタの値とは無関係に“1”になります。

CiEIFRレジスタで一つもエラーが検出されないと、“0”になります。

25.1.15 CANiメールボックスサーチモードレジスタ (CiMSMR) (i=0, 1)

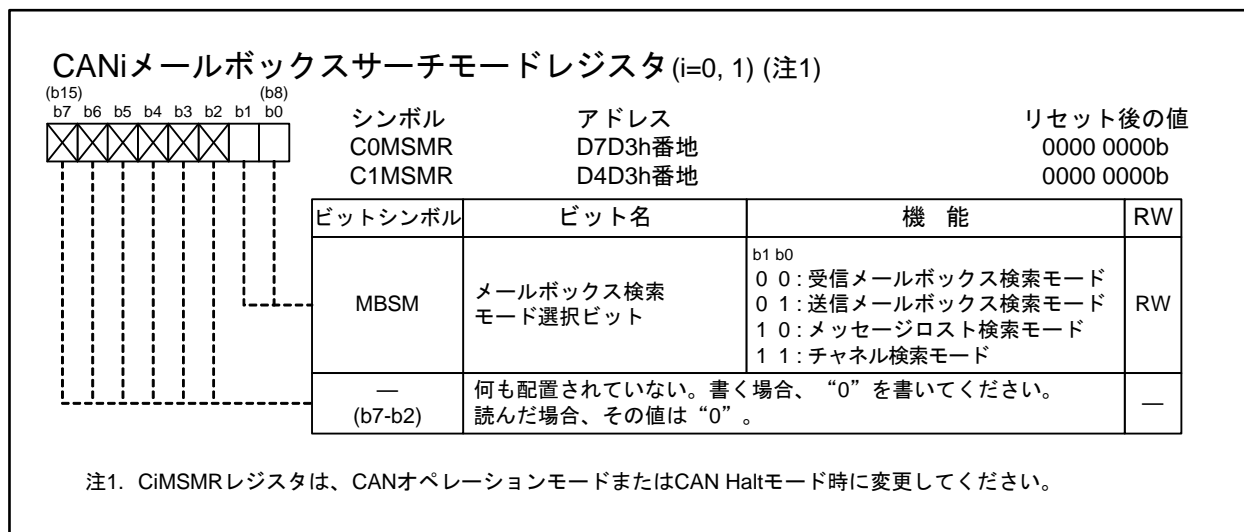


図 25.18 C0MSMR~C1MSMR レジスタ

25.1.15.1 MBSM ビット

メールボックス検索機能のための検索モードを選択します。

“00b”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタ (j=0~31) の通常メールボックスでの NEWDATA ビットと CiRFCR レジスタの RFEST ビットです。

“01b”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの SENTDATA ビットです。

“10b”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの通常メールボックスでの MSGLOST ビットと CiRFCR レジスタの RFMLF ビットです。

“11b”の場合、チャネル検索モードになります。このモードで検索対象となるレジスタは CiCSSR レジスタです。「25.1.17 CANiチャネルサーチサポートレジスタ (CiCSSR) (i=0, 1)」を参照してください。

25.1.16 CANiメールボックスサーチステータスレジスタ (CiMSSR) (i=0, 1)



図 25.19 C0MSSR~C1MSSR レジスタ

25.1.16.1 MBNSTビット

CiMSMRレジスタ(i=0, 1)の各モードで検索された、最小のメールボックス番号が出力されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“0”になる
- より優先順位の高いメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“1”になる

受信メールボックス検索モードおよびメッセージロスト検索モードのとき、受信FIFOが空状態でなく、すべての通常メールボックス(メールボックス[0]~[23])に未読の受信メッセージもロストメッセージもない場合、受信FIFO(メールボックス[28])が出力されます。

送信メールボックス検索モードのとき、送信FIFO(メールボックス[24])は出力されません。

表 25.7にFIFOメールボックスモードでのMBNSTビットの動作を示します。

表 25.7 FIFOメールボックスモードでのMBNSTビットの動作

MBSMビット	メールボックス[24] (送信 FIFO)	メールボックス[28] (受信 FIFO)
00b	メールボックス[24] は出力されない	通常メールボックスの、どのNEWDATA ビットも“1”にならず、また受信FIFOが空でない場合は、メールボックス[28]が出力される
01b		メールボックス[28] は出力されない
10b		通常メールボックスの、どのMSGLOST ビットも“1”にならず、受信FIFO内のRFMLFビットが“1”になると、メールボックス[28]が出力される
11b		メールボックス[28] は出力されない

チャンネル検索モードでは、チャンネル番号が出力されます。CiMSSRレジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

25.1.16.2 SESTビット

すべてのメールボックスの検索で該当するメールボックスがない場合、“1”(検索結果なし)になります。

たとえば、送信メールボックス検索モードで、SENTDATAビットが“1”のメールボックスがひとつもない場合“1”になり、ひとつでもある場合“0”になります。

SESTビットが“1”の場合、MBNSTビットの値は不定です。

25.1.17 CANiチャンネルサーチサポートレジスタ (CiCSSR) (i=0, 1)



図 25.20 C0CSSR~C1CSSR レジスタ

“1”が設定されたCiCSSRレジスタのビットは、8/3エンコーダ(最小ビット位置がより高い優先順位)によってエンコードされ、CiMSSRレジスタのMBNSTビットに出力されます。

CiMSSRレジスタは、CiMSSRレジスタをプログラムで読み出すたびに更新された値が出力されます。

図 25.21にCiCSSR、CiMSSRレジスタの書き込みと読み出しを示します。

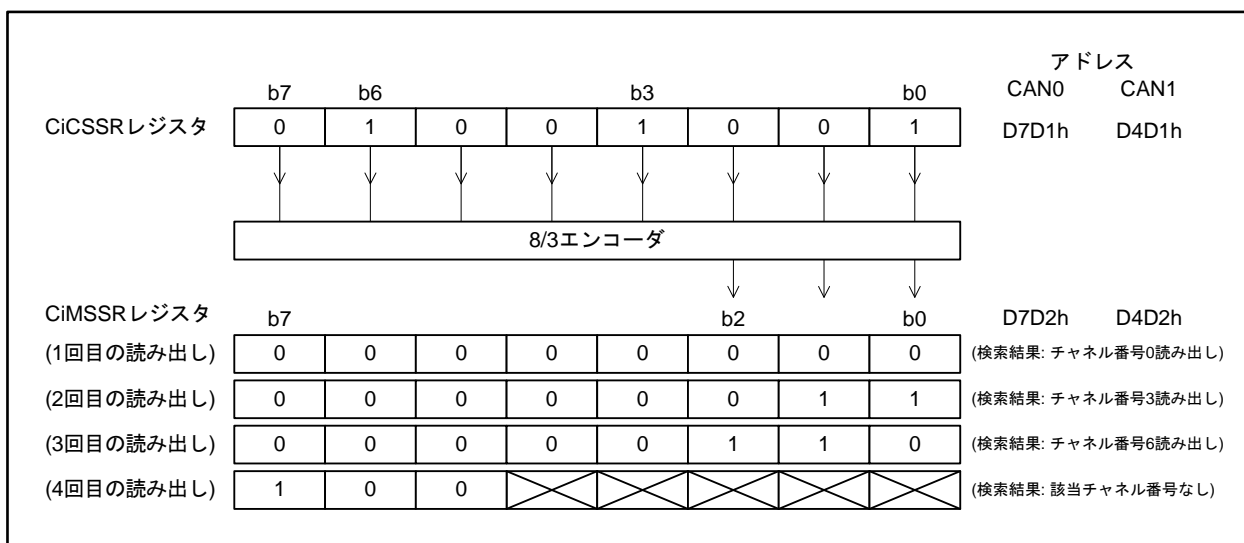


図 25.21 CiCSSR、CiMSSRレジスタの書き込みと読み出し (i=0, 1)

CiCSSRレジスタの値もCiMSSRレジスタを読み出す度に更新されます。読んだ場合、8/3エンコーダ変換前の値が読めます。

25.1.18 CANiアクセプタンスフィルタサポートレジスタ (CiAFSR) (i=0, 1)

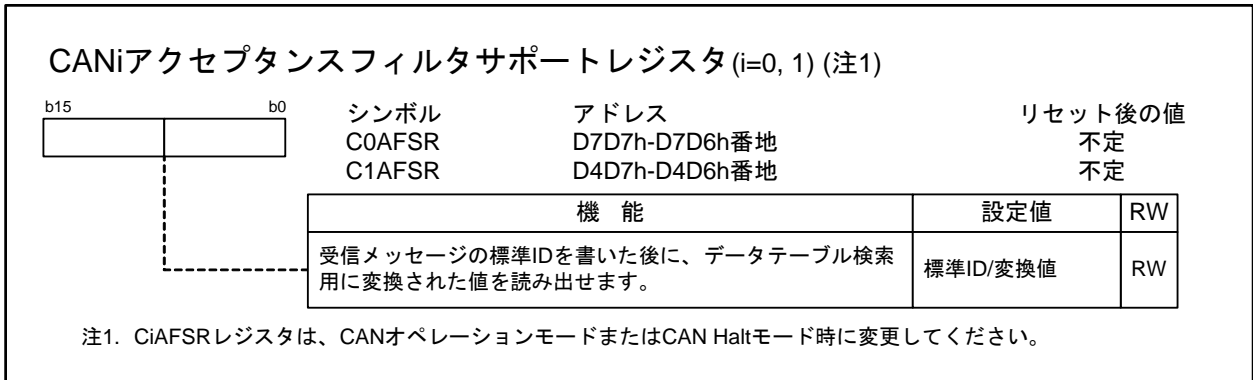


図 25.22 C0AFSR~C1AFSR レジスタ

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準 ID が有効か無効かを1ビット単位で設定したデータテーブル(8ビット×256)の検索に使用できます。受信した標準IDが格納されたCiMBjレジスタ(j=0~31)のSIDビットを含む16ビット単位のデータをCiAFSRレジスタへ書くと、デコードされたデータテーブル検索用の行(バイトオフセット)位置と列(ビット)位置が読み出せます。ASUは、標準(11ビット)IDのみに使用できます。

ASUは、次の場合に有効です。

- 受信するIDがアクセプタンスフィルタでマスクできない場合
例) 受信するID: 078h、087h、111h
 - 受信するIDが多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
- 図 25.23にCiAFSRレジスタの書き込み、読み出しを示します。

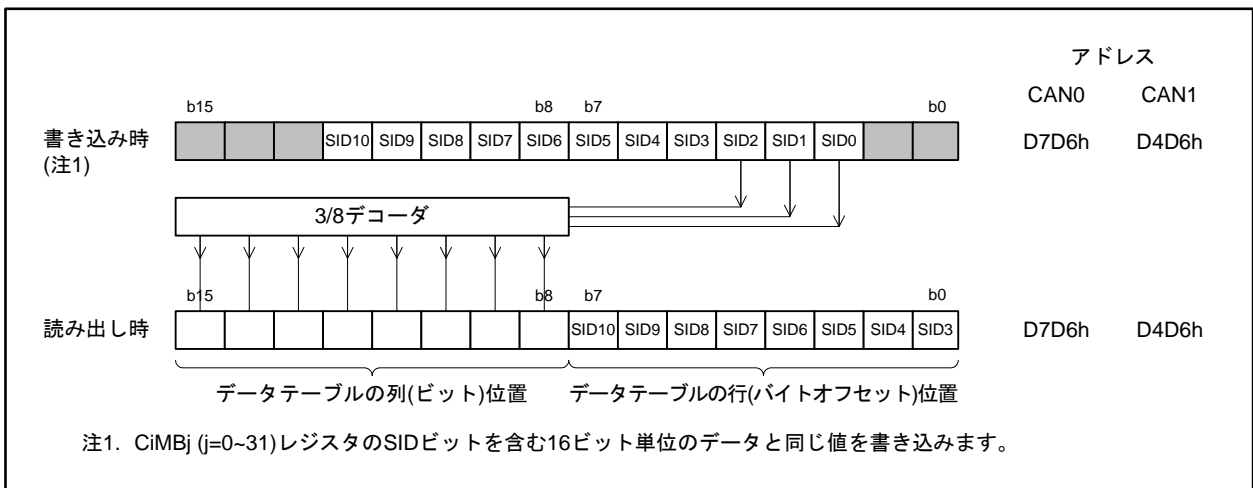


図 25.23 CiAFSR レジスタの書き込み、読み出し (i=0, 1)

25.1.19 CANiエラー割り込み許可レジスタ (CiEIER) (i=0, 1)

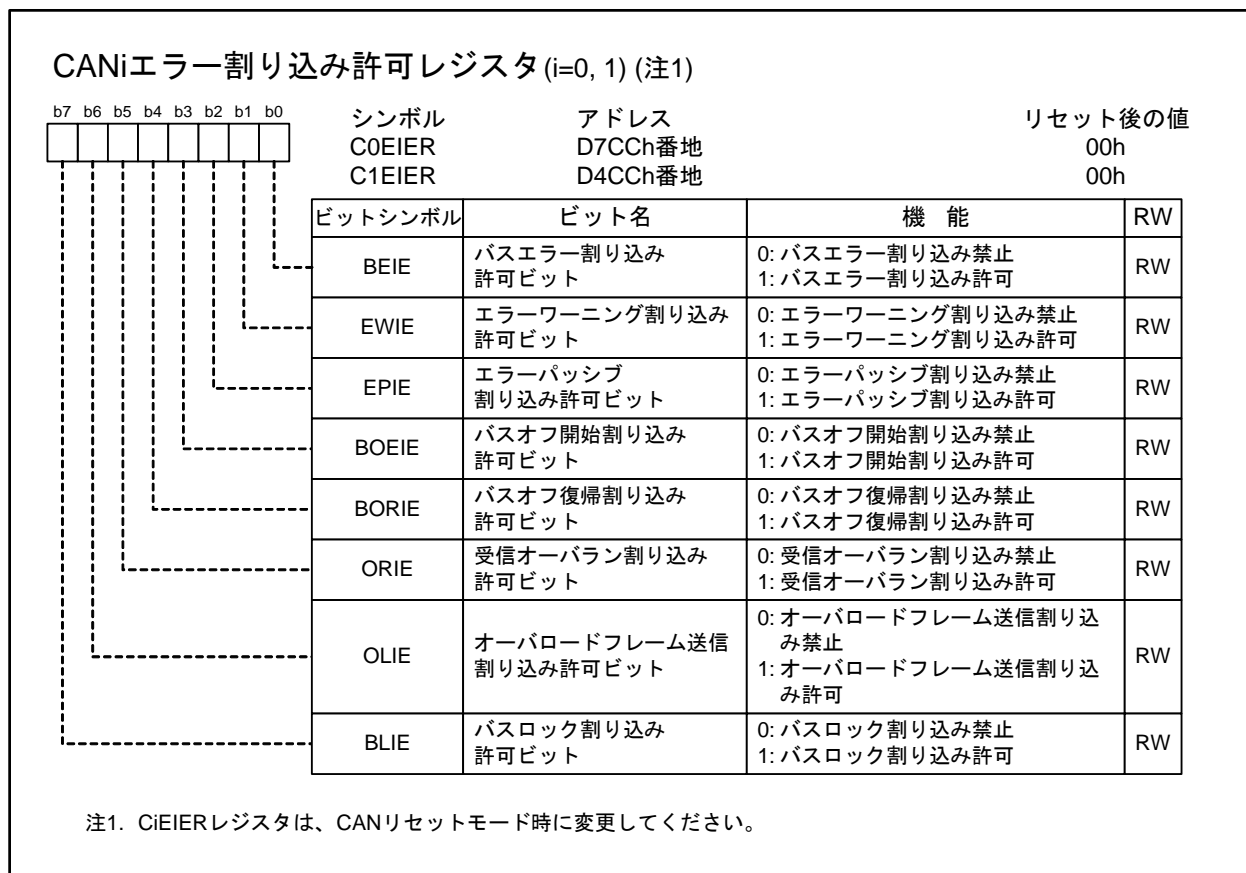


図 25.24 C0EIER~C1EIERレジスタ

CiEIERレジスタは、CiEIFRレジスタのエラー割り込み要因に対して個別にエラー割り込みの許可/禁止を設定できます。

25.1.19.1 BEIE ビット

“0”にすると、CiEIFRレジスタ(i=0, 1)のBEIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BEIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.2 EWIE ビット

“0”にすると、CiEIFRレジスタのEWIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、EWIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.3 EPIE ビット

“0”にすると、CiEIFRレジスタのEPIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、EPIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.4 BOEIE ビット

“0”にすると、CiEIFRレジスタのBOEIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BOEIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.5 BORIE ビット

“0”にすると、CiEIFRレジスタのBORIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BORIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.6 ORIE ビット

“0”にすると、CiEIFRレジスタのORIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、ORIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.7 OLIE ビット

“0”にすると、CiEIFRレジスタのOLIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、OLIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.8 BLIE ビット

“0”にすると、CiEIFRレジスタのBLIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BLIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.20 CANiエラー割り込み要因判定レジスタ (CiEIFR) (i=0, 1)

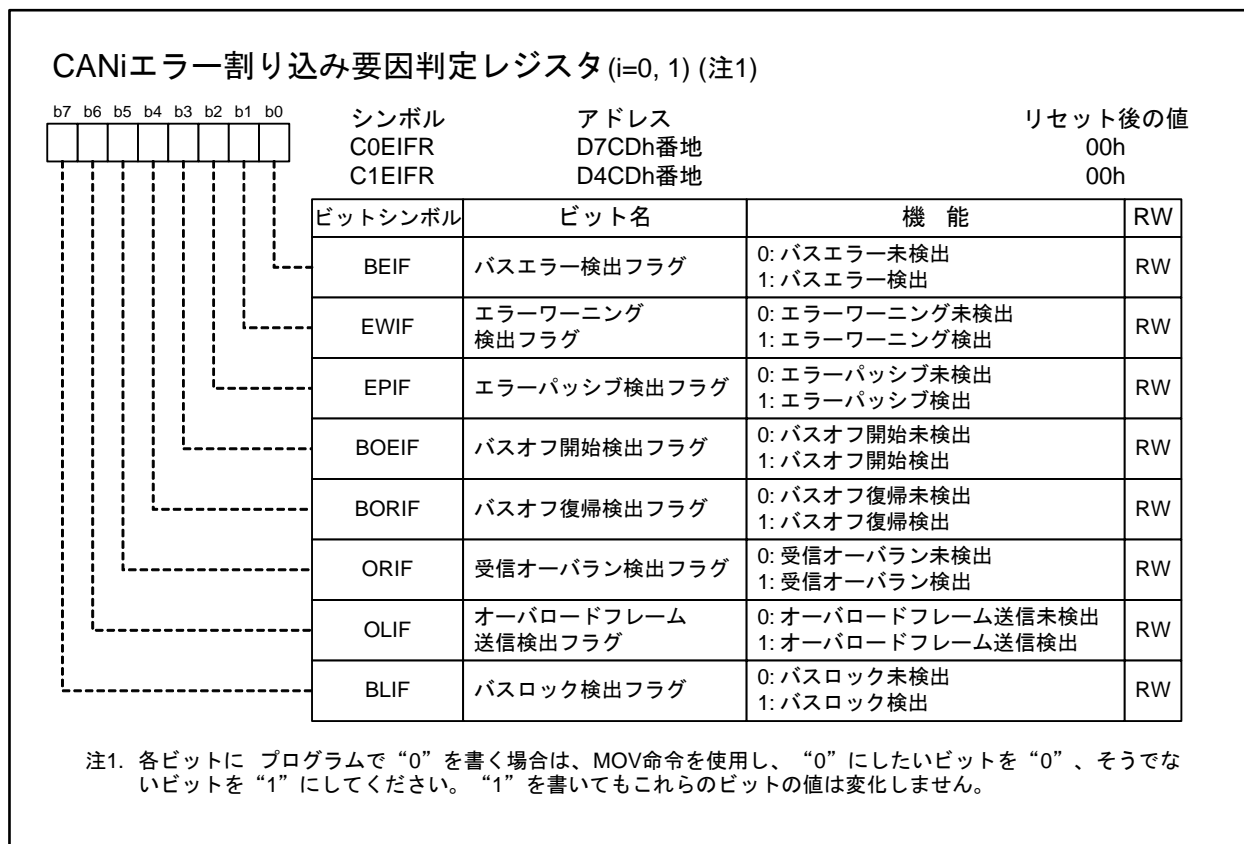


図 25.25 C0EIFR~C1EIFR レジスタ

CiEIFR レジスタは、各ビットに対応する現象が発生すると、CiEIER レジスタの設定にかかわらず対応するビットが“1”になります。

各ビットを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

25.1.20.1 BEIF ビット

バスエラーが検出されると、“1”になります。

25.1.20.2 EWIF ビット

REC (受信エラーカウンタ) または TEC (送信エラーカウンタ) の値が95を超えると、“1”になります。

REC または TEC が最初に95を超えたときのみ“1”になります。したがって、REC または TEC が95を超えたままで、プログラムで“0”を書いた場合、一度REC と TEC が95以下になり、再びREC または TEC が95を超えるまでは“1”にはなりません。

25.1.20.3 EPIFビット

CAN エラーステートがエラーパッシブ状態 (REC または TEC の値が 127 を超える) になると、“1”になります。

REC または TEC が最初に 127 を超えたときのみ“1”になります。したがって、REC または TEC が 127 を超えたままで、プログラムで“0”を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは“1”にはなりません。

25.1.20.4 BOEIFビット

CAN エラーステートがバスオフ状態 (TEC の値が 255 を超える) になると、“1”になります。

CiCTLR レジスタ (i=0, 1) の BOM ビットが“01b” (バスオフ開始で自動的に CAN Halt モードへ遷移) で、CAN モジュールがバスオフ状態になった場合も、“1”になります。

25.1.20.5 BORIFビット

CAN モジュールが次の条件でバスオフ状態から通常復帰 (11 の連続するレセシブビットを 128 回検出) した場合、“1”になります。

- (1) CiCTLR レジスタの BOM ビットが“00b”のとき
- (2) BOM ビットが“10b”のとき
- (3) BOM ビットが“11b” のとき

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、“1”にはなりません。

- (1) CiCTLR レジスタの CANM ビットを“01b” (CAN リセットモード) にしたとき
- (2) CiCTLR レジスタの RBOC ビットを“1” (バスオフからの強制復帰) にしたとき
- (3) BOM ビットが“01b”のとき
- (4) BOM ビットが“11b”で、通常復帰が発生する前に、CANM ビットを“10b” (CAN Halt モード) にしたとき

表 25.8 に BOM ビットの設定値による BOEIF、BORIF ビットの動作を示します。

表 25.8 BOM ビットの設定値による BOEIF、BORIF ビットの動作

BOM ビット	BOEIF ビット	BORIF ビット
00b	バスオフ状態への遷移時“1” になる	バスオフ状態からの復帰時“1”になる
01b		“1”にはならない
10b		バスオフ状態からの復帰時“1”になる
11b		CANM ビットが“10b” (CAN Halt モード) になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

25.1.20.6 ORIFビット

受信オーバーランが発生すると、“1”になります。

オーバーライトモードでは“1”にはなりません。オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、“1”にはなりません。

通常メールボックスモードの場合、オーバーランモードで、メールボックス [0]~[31] のいずれかでオーバーランが発生すると、“1”になります。

FIFO メールボックスモードの場合、オーバーランモードで、メールボックス [0]~[23] のいずれかまたは受信 FIFO でオーバーランが発生すると、“1”になります。

25.1.20.7 OLIFビット

CANモジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、“1”になります。

25.1.20.8 BLIFビット

CANモジュールがCANオペレーションモードの間、CANバス上に32の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、次のどちらかで再検出します。

- このビットを“1”から“0”にした後、レセシブビットを検出。
- このビットを“1”から“0”にした後、CANリセットモードもしくはCAN Haltモードに遷移し、再度CANオペレーションモードに遷移。

25.1.21 CAN_i受信エラーカウントレジスタ (CiRECR) (i=0, 1)

図 25.26 C0RECR~C1RECR レジスタ

C_iRECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

25.1.22 CANi送信エラーカウントレジスタ (CiTECR) (i=0, 1)

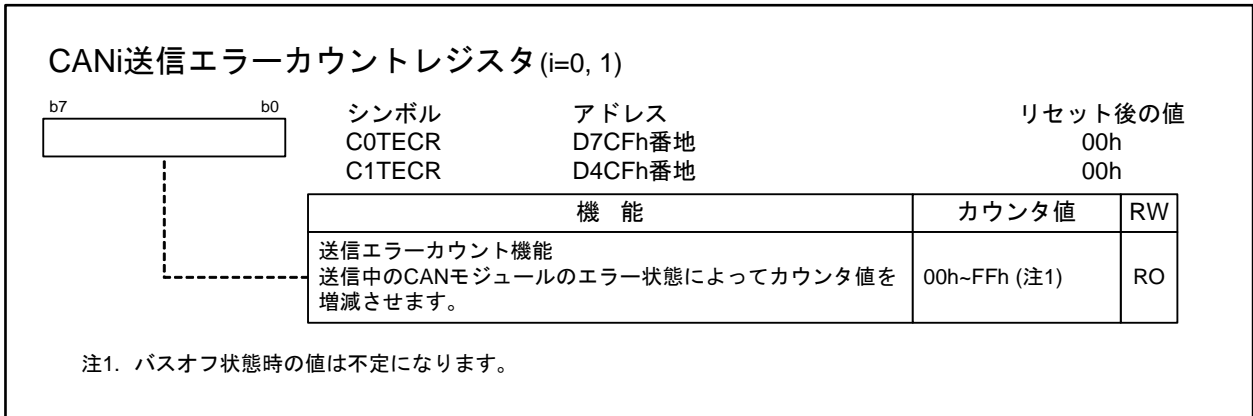


図 25.27 C0TECR~C1TECR レジスタ

CiTECR レジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

25.1.23 CANiエラーコード格納レジスタ (CiECSR) (i=0, 1)

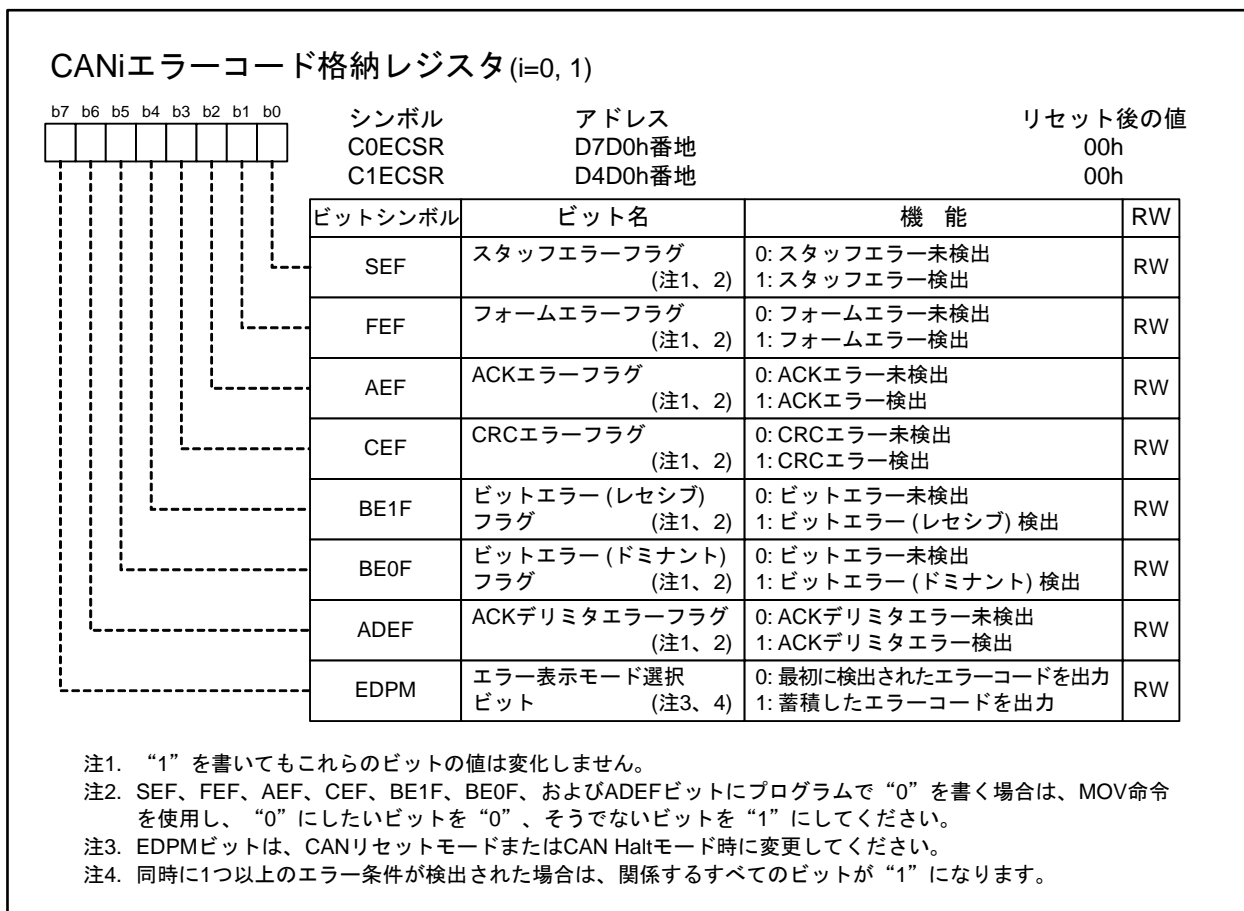


図 25.28 C0ECSR~C1ECSR レジスタ

CiECSR レジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するには、CAN仕様(ISO11898-1)を参照してください。

EDPM ビット以外の各ビットを“0”にする場合は、プログラムで“0”を書いてください。各ビットが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのビットは“1”になります。

25.1.23.1 SEFビット

スタッフエラーを検出すると“1”になります。

25.1.23.2 FEFビット

フォームエラーを検出すると“1”になります。

25.1.23.3 AEFビット

ACKエラーを検出すると“1”になります。

25.1.23.4 CEFビット

CRCエラーを検出すると“1”になります。

25.1.23.5 BE1Fビット

レセシブビットエラーを検出すると“1”になります。

25.1.23.6 BE0Fビット

ドミナントビットエラーを検出すると“1”になります。

25.1.23.7 ADEFビット

送信中のACKデリミタでフォームエラーを検出すると“1”になります。

25.1.23.8 EDPMビット

CiECSRレジスタ (i=0, 1)の出力モードを選択します。

“0”にすると、CiECSRレジスタは最初のエラーコードを出力します。

“1”にすると、CiECSRレジスタは蓄積したエラーコードを出力します。

25.1.24 CANiタイムスタンプレジスタ (CiTSR) (i=0, 1)

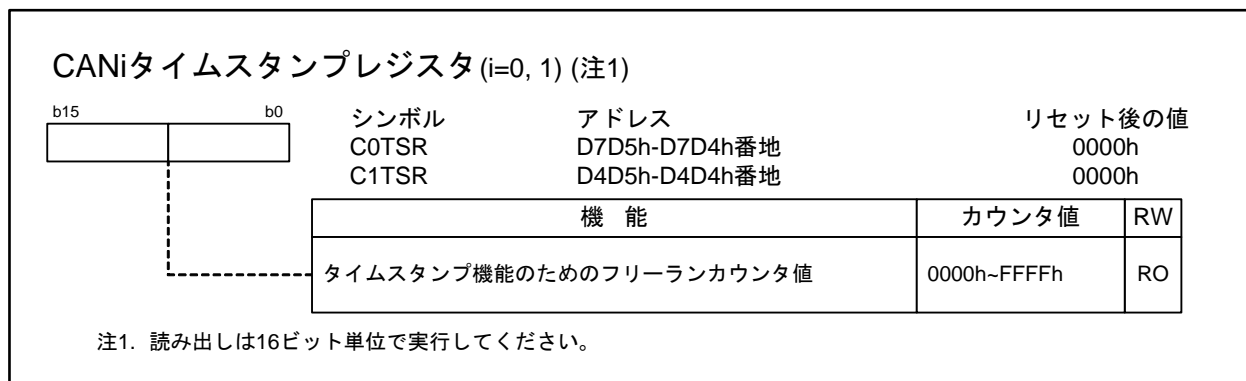


図 25.29 C0TSR~C1TSRレジスタ

CiTSRレジスタを読むと、その時点のタイムスタンプカウンタ (16ビットフリーランカウンタ) の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CiCTLRレジスタのTSPSビットで設定します。

タイムスタンプカウンタは、CANスリープモードおよびCAN Haltモードで停止し、CANリセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときタイムスタンプカウンタの値がCiMBjレジスタ (j=0~31)のTSL、TSHへ格納されます。

25.1.25 CANiテスト制御レジスタ (CiTCR) (i=0, 1)

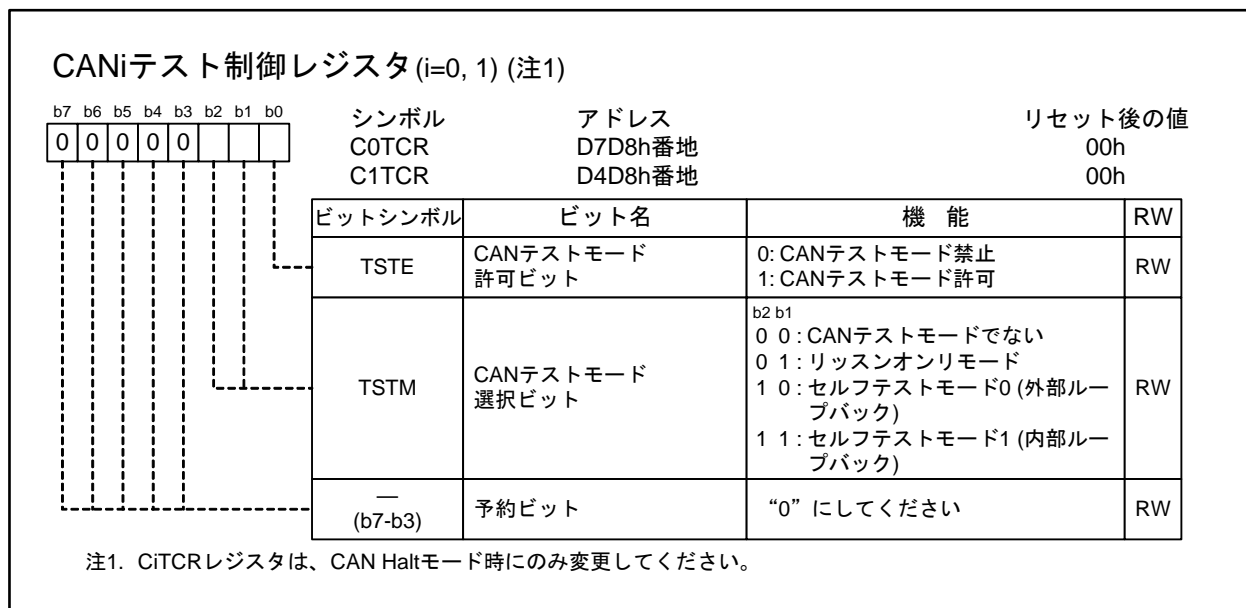


図 25.30 C0TCR~C1TCRレジスタ

25.1.25.1 TSTEビット

“0”にすると、CANテストモードは禁止になります。

“1”にすると、CANテストモードは許可になります。

25.1.25.2 TSTMビット

CANテストモードを選択するビットです。

各CANテストモードの詳細を、以下に説明します。

25.1.25.3 リッスンオンリモード

CAN仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できます。CANバス上にはレセプビットのみが送信され、ACKビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 25.31 にリッスンオンリモード選択時の接続を示します。

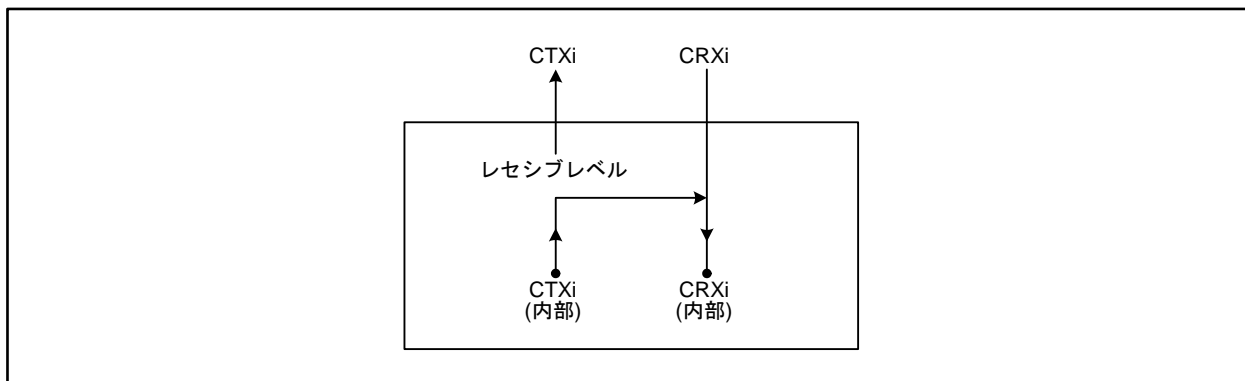


図 25.31 リッスンオンリモード選択時の接続 (i=0, 1)

25.1.25.4 セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

CTXi/CRXi端子 (i=0, 1) はCANトランシーバに接続してください。

図 25.32 にセルフテストモード0選択時の接続を示します。

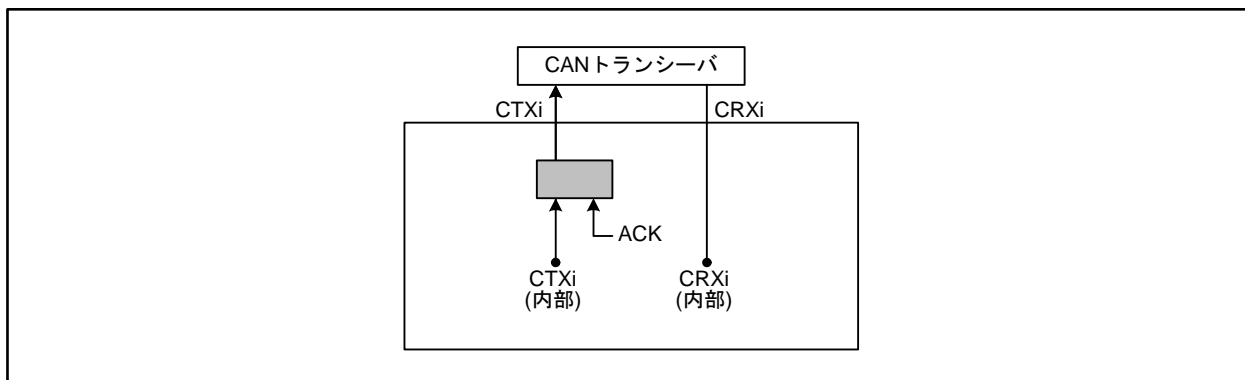


図 25.32 セルフテストモード0選択時の接続 (i=0, 1)

25.1.25.5 セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CTXi端子 ($i=0, 1$)から内部CRXi端子への内部フィードバックを行います。外部CRXi端子の入力の値は、無視されます。外部CTXi端子はレセシブビットのみ出力します。CTXi/CRXi端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図 25.33にセルフテストモード1選択時の接続を示します。

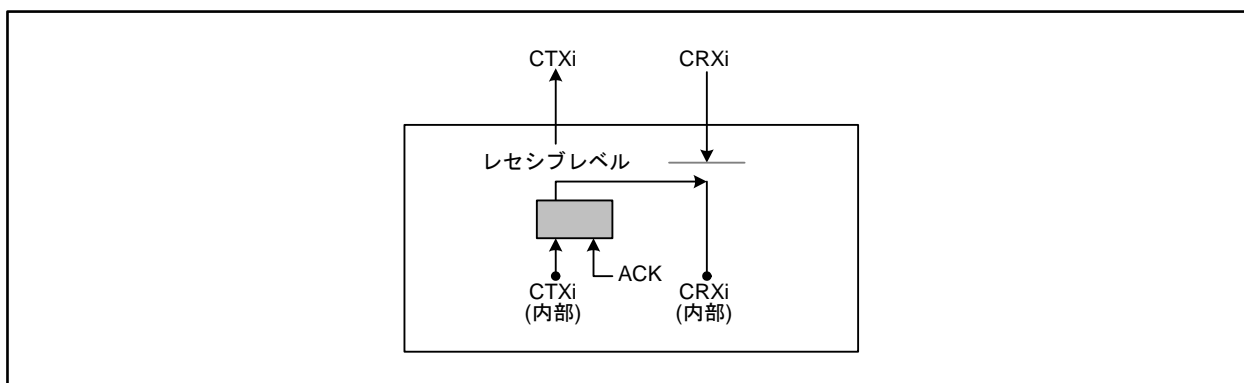


図 25.33 セルフテストモード1選択時の接続 ($i=0, 1$)

25.2 動作モード

CANモジュールには、次の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図 25.34にCAN動作モード間の遷移を示します。

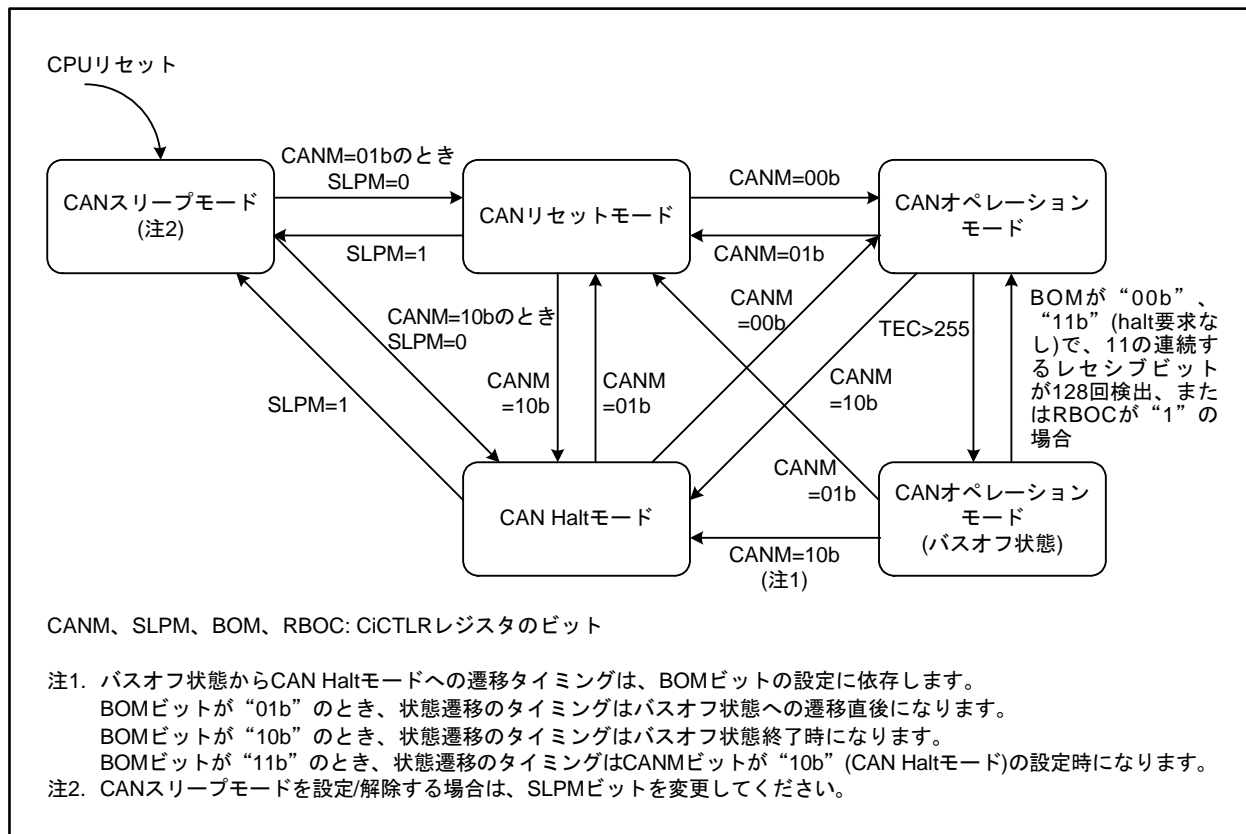


図 25.34 CAN動作モード間の遷移 (i=0, 1)

25.2.1 CANリセットモード

CANリセットモードは、CAN通信の設定を行うモードです。

CiCTLRレジスタ(i=0, 1)のCANMビットを“01b”にすると、CANリセットモードになります。そのとき、CiSTRレジスタのRSTSTビットが“1”になります。RSTSTビットが“1”になるまで、CANMビットを変更しないでください。

CANリセットモードから他のモードへ遷移する前に、CiBCRレジスタを設定してください。

以下のレジスタは、CANリセットモードに遷移した後、それぞれのリセット後の値に初期化され、CANリセットモード中は初期値を保持します。

- CiMCTLjレジスタ (j=0~31)
- CiSTRレジスタ (SLPSTビットとTFSTビットを除く)
- CiEIFRレジスタ
- CiRECRレジスタ
- CiTECRレジスタ
- CiTSRレジスタ
- CiMSSRレジスタ
- CiMSMRレジスタ
- CiRFCRレジスタ
- CiTFPCRレジスタ
- CiTCRレジスタ
- CiECSRレジスタ (EDPMビットを除く)

以下のレジスタは、CANリセットモードに遷移した後も、以前の値を保持します。

- CiCLKRレジスタ
- CiCTLRレジスタ
- CiSTRレジスタ (SLPSTビットとTFSTビット)
- CiMIERレジスタ
- CiEIERレジスタ
- CiBCRレジスタ
- CiCSSRレジスタ
- CiECSRレジスタ (EDPMビットのみ)
- CiMBjレジスタ
- CiMKR0~CiMKR7レジスタ
- CiFIDCR0、CiFIDCR1レジスタ
- CiMKIVLRレジスタ
- CiAFSRレジスタ
- CiRFPCRレジスタ
- CiTFPCRレジスタ

25.2.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードの設定を行うモードです。

CiCTLRレジスタ(i=0, 1)のCANMビットを“10b”にすると、CAN Haltモードになります。そのとき、CiSTRレジスタのHLTSTビットが“1”になります。HLTSTビットが“1”になるまで、CANMビットを変更しないでください。

送信または受信時の状態遷移の条件は、「表 25.9 CANリセットモードとCAN Haltモードでの動作」を参照してください。

CAN Haltモードへの遷移では、CiSTRレジスタのRSTSTビット、HLTSTビットおよびSLPSTビット以外のビットと他のすべてのレジスタは変化しません。

CAN Haltモードでは、CiCLKRレジスタ、CiCTLRレジスタ(CANMビットとSLPMビットを除く)およびCiEIERレジスタは変更しないでください。CANテストモードで、自動ポーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN HaltモードでCiBCRレジスタを変更できます。

表 25.9 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、4)	<p>【BOMビットが“00b”の場合】 バスオフ復帰後のみ、プログラムのHalt要求を受け付ける</p> <p>【BOMビットが“01b”の場合】 バスオフ復帰の終了を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“11b”の場合】 バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰の終了を待たずに)</p>

BOMビット: CiCTLRレジスタのビット(i=0, 1)

- 注1. いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトランSMission中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。
- 注2. CANバスがドミナントレベルでロックされた場合、CiEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロック状態を検出できます。
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトラクションロストが発生すると、要求されたCANモードに遷移します。

25.2.3 CANスリープモード

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット後、CANスリープモードから動作を開始します。

CiCTLRレジスタ(i=0, 1)のSLPMビットを“1”にすると、CANスリープモードになります。そのとき、CiSTRレジスタのSLPSTビットが“1”になります。SLPSTビットが“1”になるまで、SLPMビットを変更しないでください。CANスリープモードへの遷移時は、他のレジスタは変化しません。

SLPMビットは、CANリセットモードとCAN Haltモードで変更してください。SLPMビットを除く他のレジスタは、CANスリープモード中は変更しないでください。読み出し動作は許可されます。

SLPMビットを“0”にすると、CANスリープモードから解除されます。CANスリープモードからの復帰時、他のレジスタは変化しません。

25.2.4 CANオペレーションモード(バスオフ状態以外)

CANオペレーションモードは、CAN通信をするモードです。

CiCTLRレジスタ(i=0, 1)のCANMビットを“00b”にすると、CANオペレーションモードになります。そのとき、CiSTRレジスタのRSTSTビットとHLTSTビットが“0”になります。RSTSTビットとHLTSTビットが“0”になるまで、CANMビットを変更しないでください。

CANオペレーションモードに遷移した後、11の連続するレセシブビットを検出すると、CANモジュールは次の状態になります。

- CANモジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CANメッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CANバスのエラー監視処理が行われる

CANバスの状態によって、CANオペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード: 送受信を行っていない状態です。
- 受信モード: 他のノードが送信したCANメッセージを受信しています。
- 送信モード: CANメッセージを送信しています。セルフテストモード0 (CiTCRレジスタのTSTMビットが“10b”)またはセルフテストモード1 (TSTMビットが“11b”)が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 25.35にCANオペレーションモードのサブモードを示します。

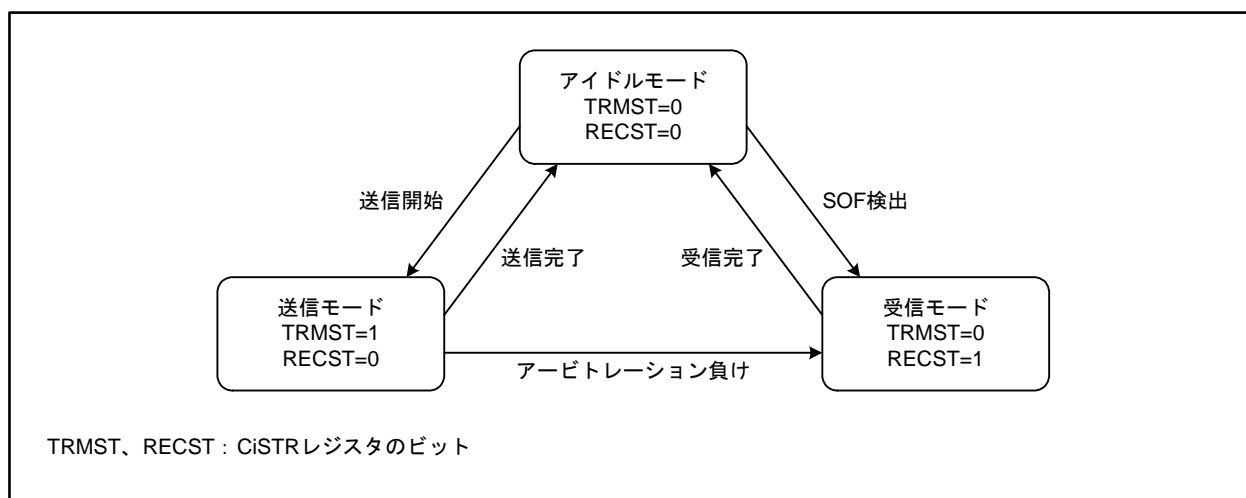


図 25.35 CANオペレーションモードのサブモード (i=0, 1)

25.2.5 CANオペレーションモード(バスオフ状態)

CAN仕様の送信、受信エラーカウンタの増減ルールに従って、バスオフ状態に遷移します。バスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、CiSTR、CiEIFR、CiRECR、CiTECRおよびCiTSRレジスタ(i=0, 1)を除く関連レジスタの値は変化しません。

(1) CiCTLRレジスタのBOMビットが“00b”の場合(ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN通信ができるようになります。このとき、CiEIFRレジスタのBORIFビットが“1”(バスオフ復帰検出)になります。

(2) CiCTLRレジスタのRBOCビットを“1”にしたとき(バスオフからの強制復帰)

バスオフ状態になり、RBOCビットが“1”になると、エラーアクティブ状態に遷移し、11の連続するレセプティブビットを検出した後、再びCAN通信ができるようになります。このとき、BORIFビットは“1”になりません。

(3) BOMビットが“01b”の場合(バスオフ開始で自動的にCAN Haltモードへ遷移)

バスオフ状態に達するとCAN Haltモードになります。このとき、BORIFビットは“1”になりません。

(4) BOMビットが“10b”の場合(バスオフ終了で自動的にCAN Haltモードへ遷移)

バスオフからの復帰が完了するとCAN Haltモードになります。このとき、BORIFビットは“1”になります。

(5) BOMビットが“11b”の場合(プログラムによりCAN Haltモードへ遷移)にバスオフ状態でCiCTLRレジスタのCANMビットを“10b”にしたとき(CAN Haltモード)

バスオフ状態時にCANMビットが“10b”(CAN Haltモード)に設定されると、CAN Haltモードになります。このとき、BORIFビットは“1”になりません。

バスオフ中にCANMビットが“10b”に設定されないときは、(1)と同じ動作になります。

25.3 CAN通信速度の設定

CAN通信速度の設定について、以下に説明します。

25.3.1 CANクロックの設定

本グループでは、CANクロック選択回路があります。

CANクロックは、CiCLKRレジスタ (i=0, 1)のCCLKSビットとCiBCRレジスタのBRPビットで設定できます。

図 25.36にCANクロック発生回路ブロック図を示します。

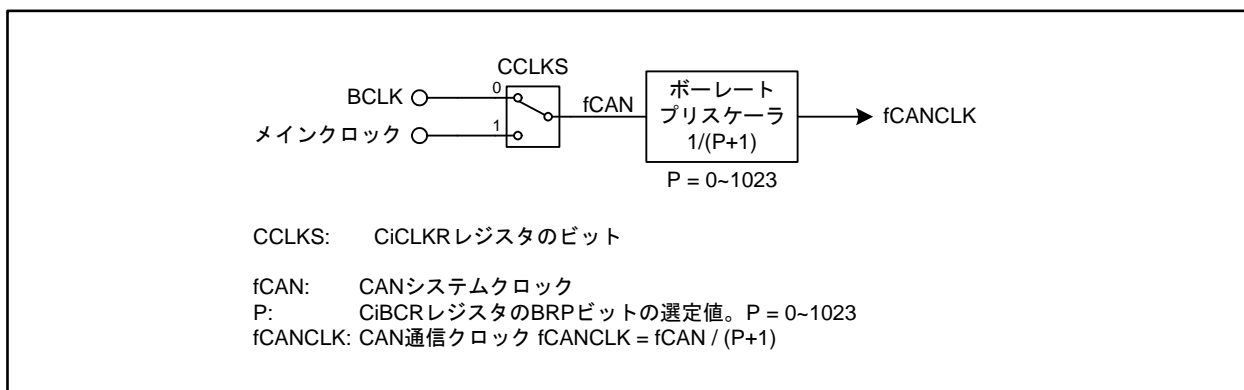


図 25.36 CANクロック発生回路ブロック図 (i=0, 1)

25.3.2 ビットタイミングの設定

ビットタイムは、送信または受信するメッセージの1ビットの時間であり、次の3つのセグメントで構成されます。

図 25.37にビットタイミング図を示します。

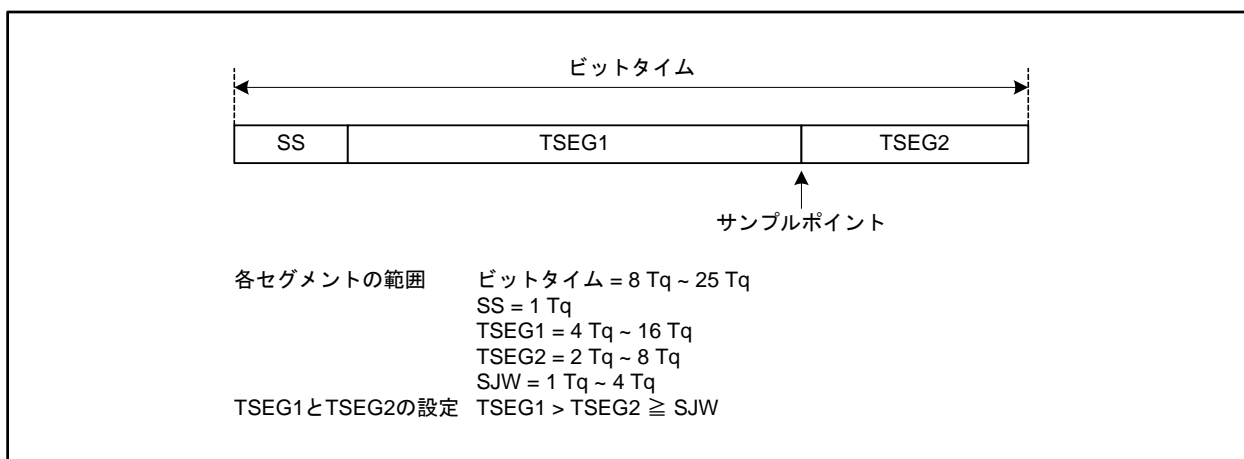


図 25.37 ビットタイミング図

25.3.3 ビットレート

ビットレートは、 f_{CAN} (CANクロック)、ボーレートプリスケアラ分周値、および1ビットタイムの T_q の数に依存します。

$$\text{ビットレート[bps]} = \frac{f_{CAN}}{\text{ボーレートプリスケアラ分周値(注1)} \times 1\text{ビットタイムの}T_q\text{の数}} = \frac{f_{CANCLK}}{1\text{ビットタイムの}T_q\text{数}}$$

注1. ボーレートプリスケアラ分周値= $P+1$ ($P=0\sim 1023$)

P: CiBCRレジスタ ($i=0, 1$)のBRPビットの設定値

表 25.10にビットレートの例を示します。

表 25.10 ビットレートの例

fCAN	32 MHz		24 MHz		20 MHz		16 MHz		8 MHz	
	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	8Tq	4	8Tq	3	10Tq	2	8Tq	2	8Tq	1
	16Tq	2			20Tq	1	16Tq	1		
500 kbps	8Tq	8	8Tq	6	10Tq	4	8Tq	4	8Tq	2
	16Tq	4	16Tq	3	20Tq	2	16Tq	2	16Tq	1
250 kbps	8Tq	16	8Tq	12	10Tq	8	8Tq	8	8Tq	4
	16Tq	8	16Tq	6	20Tq	4	16Tq	4	16Tq	2
83.3 kbps	8Tq	48	8Tq	36	8Tq	30	8Tq	24	8Tq	12
	16Tq	24	16Tq	18	10Tq	24	16Tq	12	16Tq	6
					16Tq	15				
					20Tq	12				
33.3 kbps	8Tq	120	8Tq	90	8Tq	75	8Tq	60	8Tq	30
	10Tq	96	10Tq	72	10Tq	60	10Tq	48	10Tq	24
	16Tq	60	16Tq	45	20Tq	30	16Tq	30	16Tq	15
	20Tq	48	20Tq	36			20Tq	24	20Tq	12

25.4 メールボックスとマスクレジスタの構成

同じ構成の32個のメールボックスがあります。

図 25.38にC0MBj~C1MBjレジスタ (j=0~31)の構成を示します。

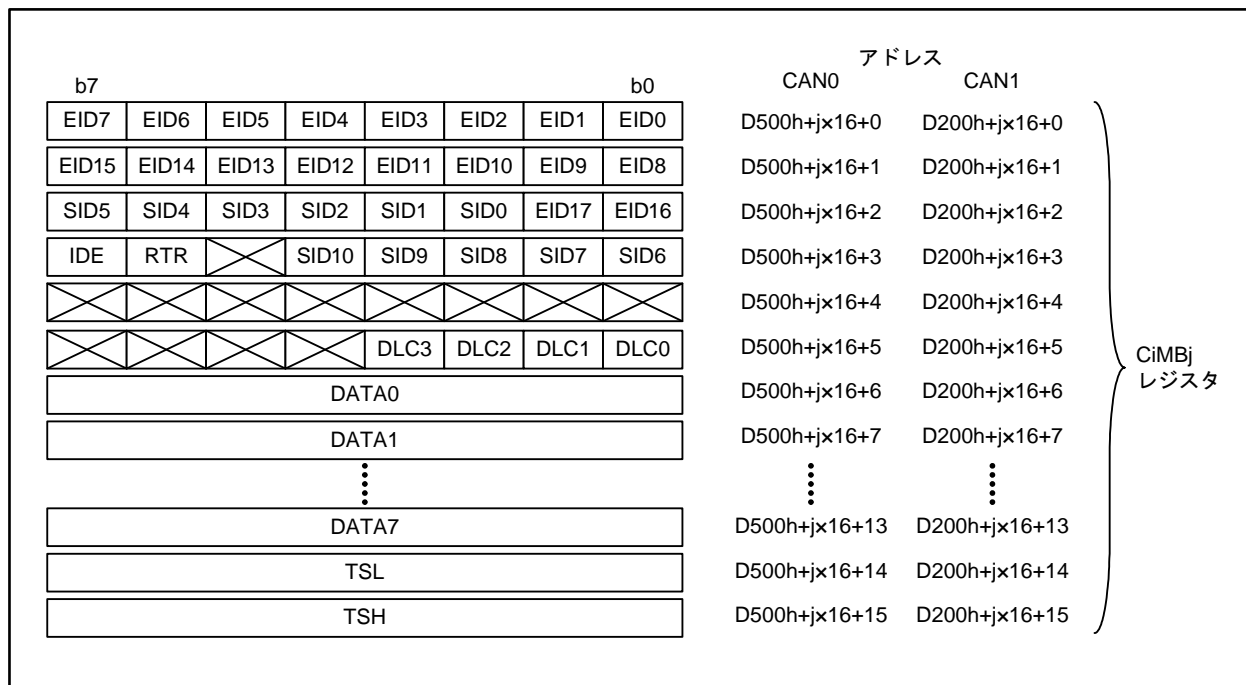


図 25.38 C0MBj~C1MBjレジスタの構成 (i=0, 1, j=0~31)

同じ構成の8個のマスクレジスタがあります。

図 25.39にC0MKRk~C1MKRkレジスタ (k=0~7)の構成を示します。

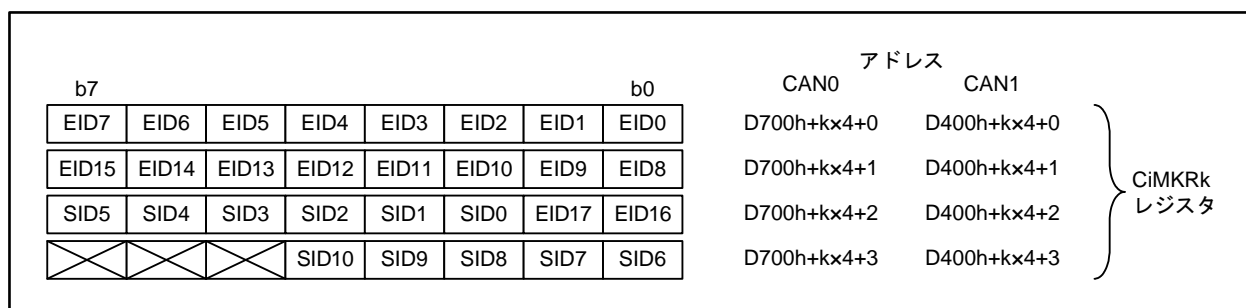


図 25.39 C0MKRk~C1MKRkレジスタの構成 (i=0, 1, k=0~7)

同じ構成の2個のFIFO受信ID比較レジスタがあります。

図 25.40にC0FIDCRn~C1FIDCRnレジスタ (n=0, 1)の構成を示します。

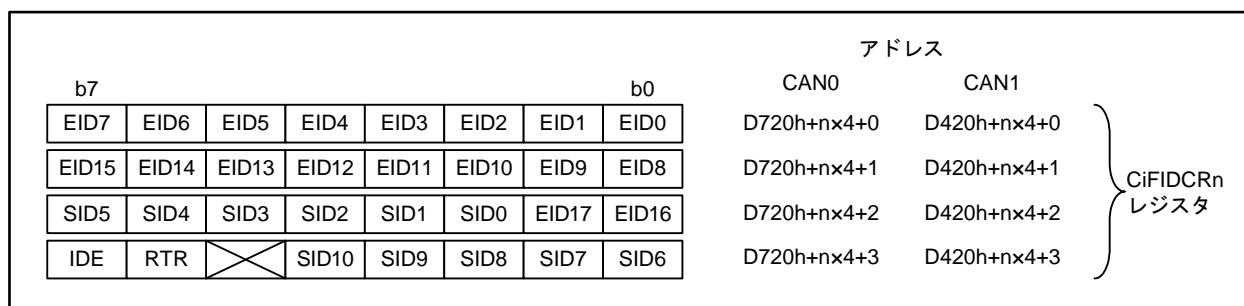


図 25.40 C0FIDCRn~C1FIDCRnレジスタの構成(i=0, 1、n=0, 1)

25.5 アクセプタンスフィルタ処理とマスク機能

アクセプタンスフィルタは、メールボックスに対して一定範囲の複数IDのメッセージ受信を許可します。

CiMKR0~CiMKR7レジスタ(i=0, 1)は標準IDと29ビットの拡張IDのマスクができます。

- CiMKR0レジスタは、メールボックス [0]~[3]に対応
- CiMKR1レジスタは、メールボックス [4]~[7]に対応
- CiMKR2レジスタは、メールボックス [8]~[11]に対応
- CiMKR3レジスタは、メールボックス [12]~[15]に対応
- CiMKR4レジスタは、メールボックス [16]~[19]に対応
- CiMKR5レジスタは、メールボックス [20]~[23]に対応
- CiMKR6レジスタは、通常メールボックスモードの場合はメールボックス [24]~[27]、FIFOメールボックスモードの場合は受信FIFOメールボックス [28]~[31]に対応
- CiMKR7レジスタは、通常メールボックスモードの場合はメールボックス [28]~[31]、FIFOメールボックスモードの場合は受信FIFOメールボックス [28]~[31]に対応

CiMKIVLRレジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

CiMBjレジスタ(j=0~31)のIDEビットは、CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき、有効です。

CiMBjレジスタのRTRビットはデータフレームまたはリモートフレームを選択します。

FIFOメールボックスモードでは、通常メールボックス(メールボックス [0]~[23])は、CiMKR0~CiMKR5レジスタの中から対応する1つを使用してアクセプタンスフィルタ処理しますが、受信FIFOメールボックス(メールボックス [28]~[31])は、CiMKR6、CiMKR7レジスタの2つを使用してアクセプタンスフィルタ処理を行います。

また、受信FIFOはCiFIDCR0、CiFIDCR1レジスタの2つを使用して、IDの比較を行います。受信FIFOのCiMB28~CiMB31レジスタのEID、SID、RTR、IDEビットは無効になります。それぞれ2つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信FIFOでは2つの範囲のIDを受信することができます。

CiMKIVLRレジスタは、受信FIFOに対しては無効です。

標準IDと拡張IDの両方がそれぞれCiFIDCR0、CiFIDCR1レジスタのIDEビットに設定された場合、両方のIDフォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれCiFIDCR0、CiFIDCR1レジスタのRTRビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲のIDの組み合わせを必要としない場合は、FIFO IDとマスクレジスタの両方に同じマスク値と同じIDを設定してください。

図 25.41 にマスクレジスタとメールボックスの対応、図 25.42 にアクセプタンスフィルタ処理を示します。

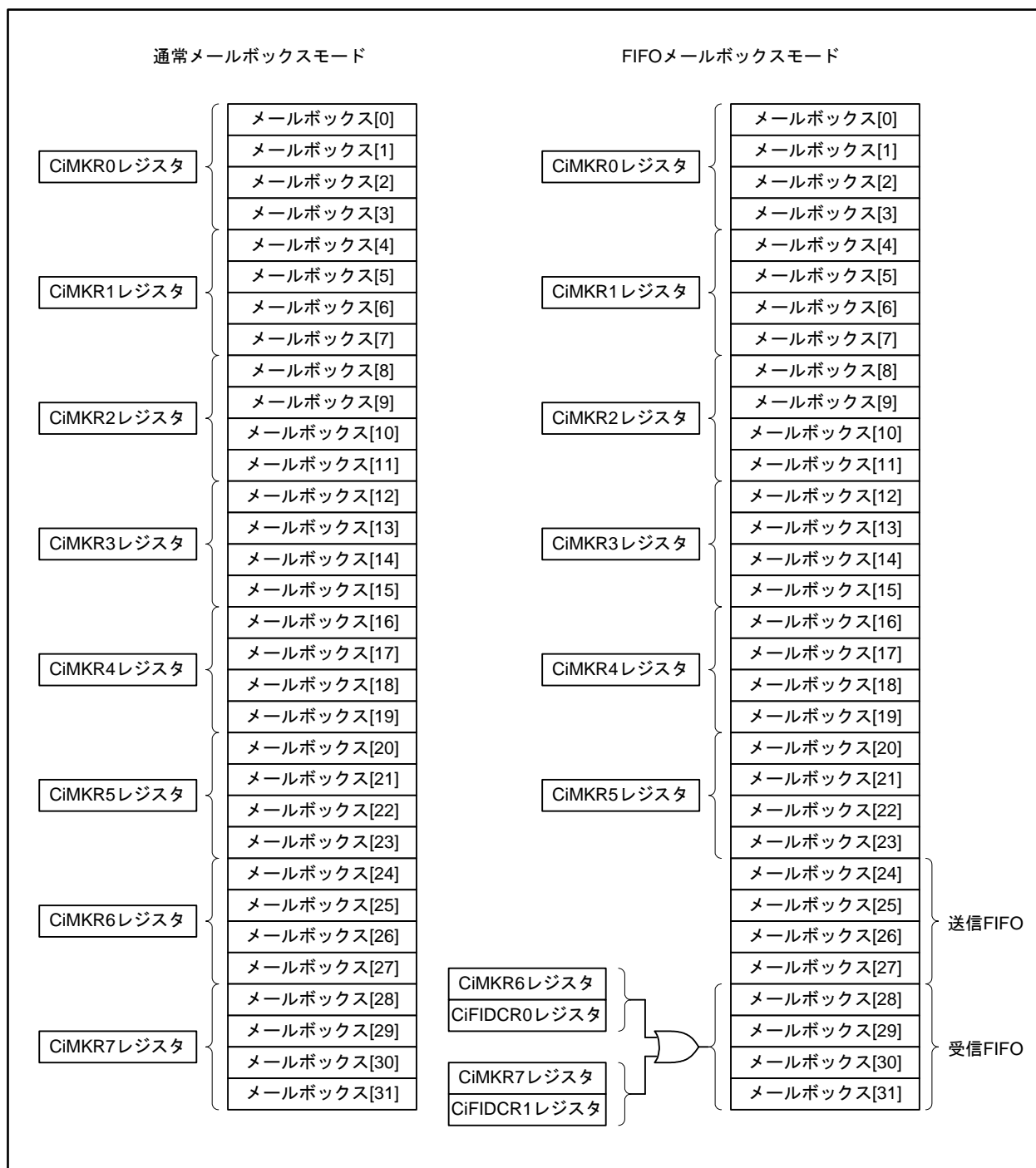


図 25.41 マスクレジスタとメールボックスの対応 (i=0, 1)

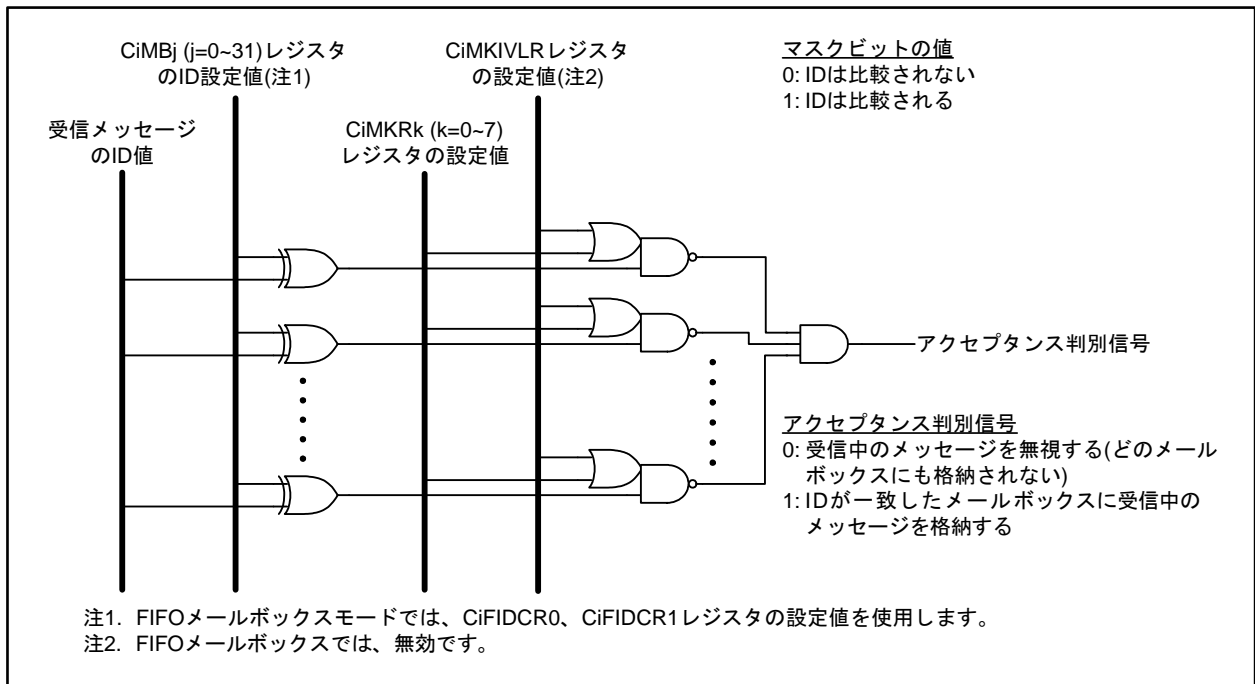


図 25.42 アクセプタンスフィルタ処理 (i=0, 1)

25.6 受信、送信

表 25.11にCAN通信モードの設定方法を示します。

表 25.11 CAN受信モードとCAN送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

TRMREQ、RECREQ、ONESHOT: CiMCTLjレジスタのビット(i=0, 1, j=0~31)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CiMCTLjレジスタ(i=0, 1, j=0~31)を“00h”にしてください。
- (2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうが優先順位がより高くなります。
- (3) CANオペレーションモードで、受信メッセージに設定したメールボックスのID/マスクセットに一致するメッセージを送信した場合、CANモジュールは送信データを受信しません。しかしセルフテストモードでは、CANモジュールは送信データを受信します。この場合、CANモジュールはACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CiMCTLjレジスタを“00h”にして、さらに、アポート処理中でないことを確認してください。

25.6.1 受信

図 25.43 にデータフレーム受信時の動作例(オーバーライトモードの場合)を示します。

この例は、CiMCTL0 レジスタ (i=0, 1) の受信条件に一致する2つの連続したCANメッセージを受信する際、最初のメッセージを上書きする場合の動作です。

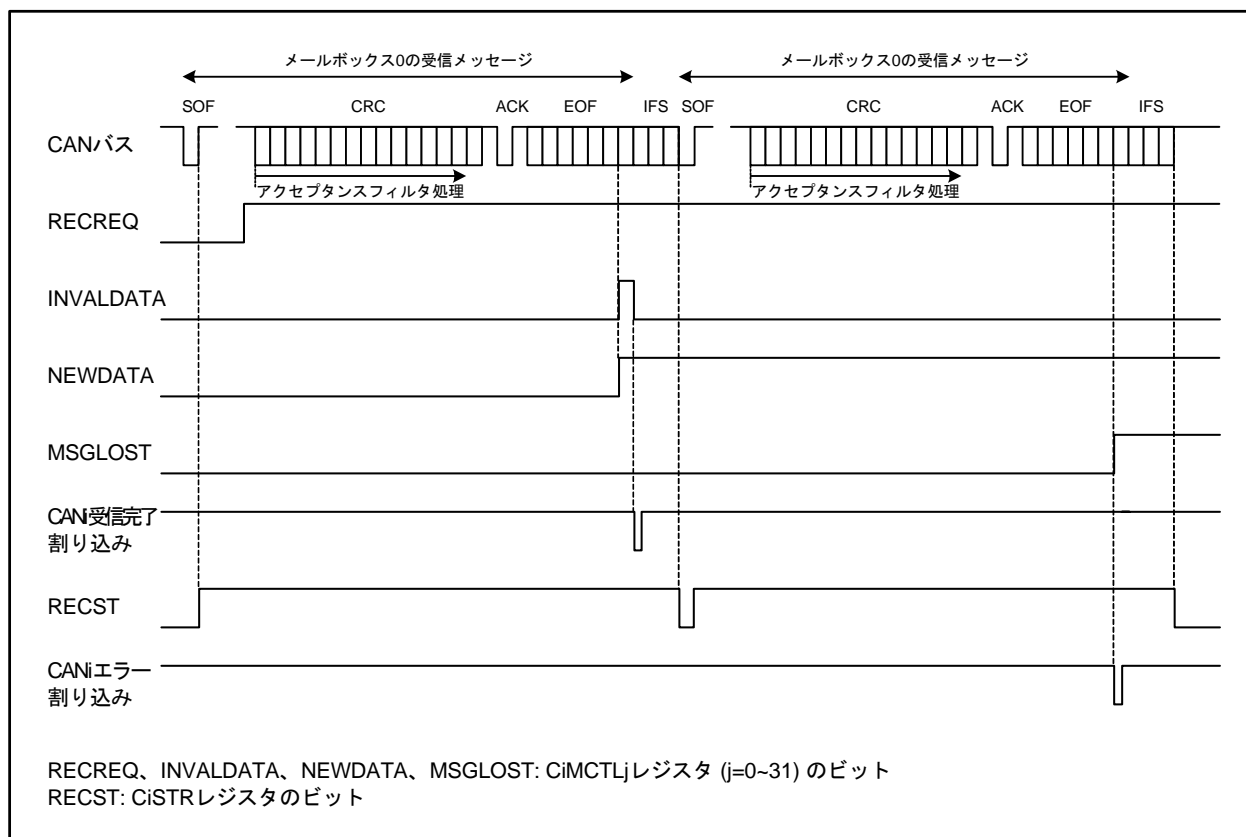


図 25.43 データフレーム受信時の動作例(オーバーライトモードの場合) (i=0, 1)

- (1) CANバス上でSOFを検知すると、CANモジュールに送信開始するメッセージがない場合、CiSTRレジスタのRECSTビットが“1”(受信中)になります。
- (2) 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
- (3) メッセージの受信を完了すると、受信メールボックスのCiMCTLjレジスタ (j=0~31)のNEWDATAビットが“1”(新しいメッセージを更新中、またはメールボックスに格納された)になります。同時にCiMCTLjレジスタのINVALIDDATAビットが“1”(メッセージを更新中)になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATAビットは“0”(メッセージは有効)に戻ります。
- (4) 受信メールボックスのCiMIERレジスタの割り込み許可ビットが“1”(割り込み許可)の場合、CANi受信完了割り込み要求が発生します。INVALIDDATAビットが“0”になると、この割り込み(CANi受信完了割り込み)が発生します。
- (5) メールボックスからメッセージを読み出した後、NEWDATAビットをプログラムで“0”にする必要があります。
- (6) オーバライトモードでは、NEWDATAビットがまだ“1”に設定されているメールボックスに次のCANメッセージの受信が完了すると、CiMCTLjレジスタのMSGLOSTビットが“1”(メッセージはオーバーライトされた)になります。新しく受信したメッセージはメールボックスに転送されず、CANi受信完了割り込み要求は、(4)と同様に発生します。

図 25.44 にデータフレーム受信時の動作例(オーバランモードの場合)を示します。

この例は、CiMCTL0レジスタ(i=0, 1)の受信条件に一致する2つの連続したCANメッセージを受信する際、2つ目のメッセージを破棄する場合の動作です。

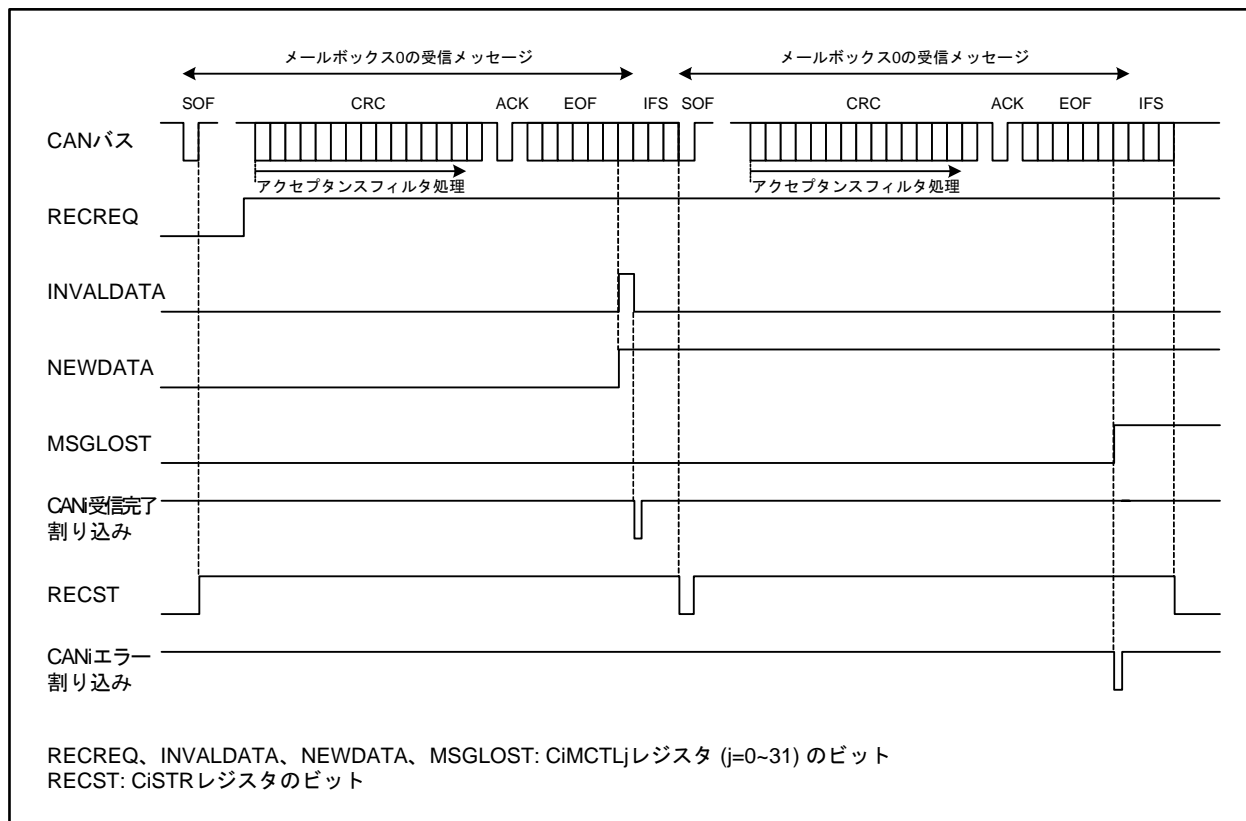


図 25.44 データフレーム受信時の動作例(オーバランモードの場合) (i=0, 1)

(1)~(5)はオーバライトモードと同じです。

- (6) オーバランモードでは、NEWDATAビットが“0”に設定される前に、次のCANメッセージの受信が完了すると、CiMCTLjレジスタ(j=0~31)のMSGLOSTビットが“1”(メッセージはオーバランされた)になります。新しく受信したメッセージは破棄され、CiEIERレジスタの対応する割り込み許可ビットが“1”(割り込み許可)の場合、CANiエラー割り込み要求が発生します。

25.6.2 送信

図 25.45 にデータフレーム送信時の動作例を示します。

この例は、CiMCTL0、CiMCTL1 レジスタ (i=0, 1) へ設定したメッセージを送信する場合の動作です。

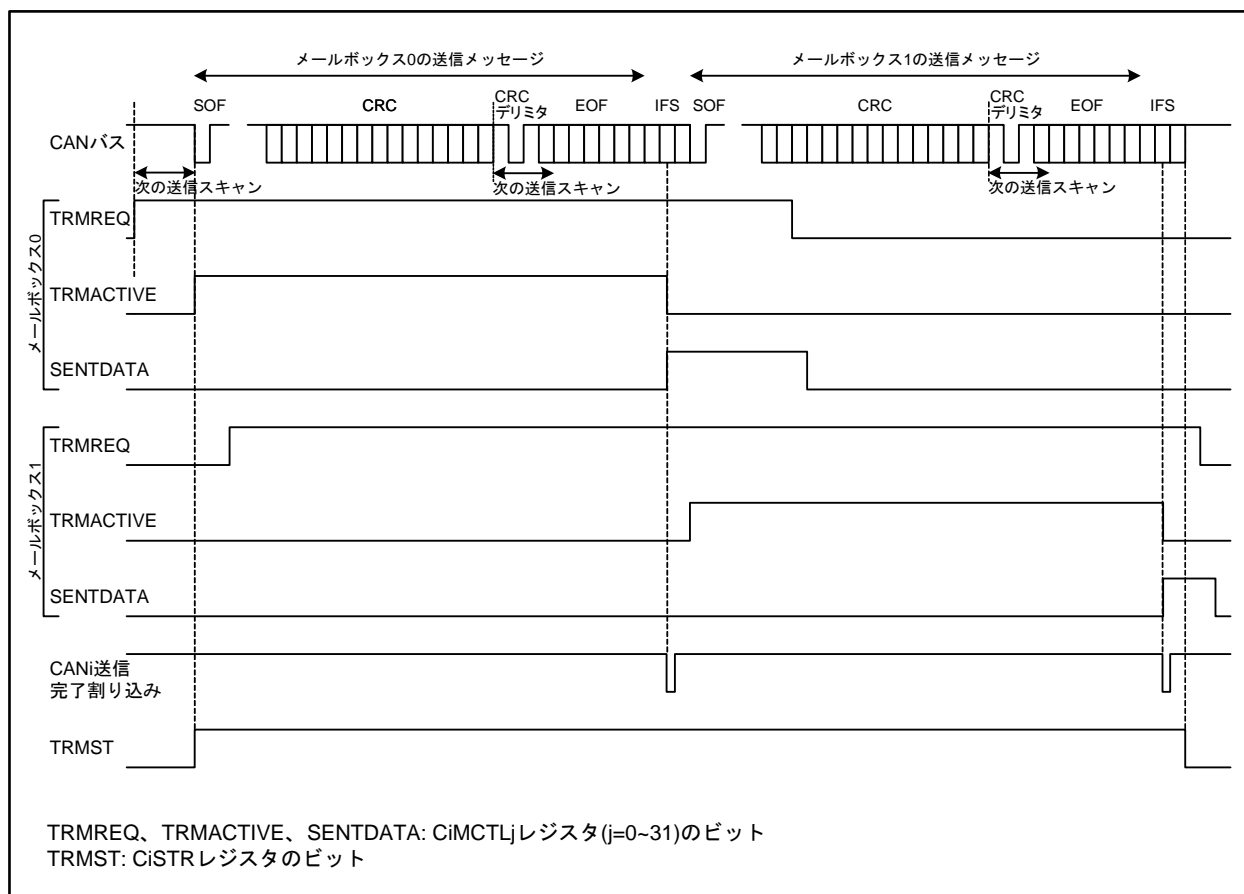


図 25.45 データフレーム送信時の動作例 (i=0, 1)

- (1) バスアイドル状態で、CiMCTLj レジスタ (j=0~31)のTRMREQビットを“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CiMCTLj レジスタのTRMACTIVEビットが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CiSTRレジスタのTRMSTビットが“1” (送信中)になり、CANモジュールは送信を開始します(注1)。
- (2) 他のTRMREQビットが設定されている場合は、CRCデリミタから次の送信のための送信スキャン処理を開始します。
- (3) アービトレーション負けが発生せずに送信が完了すると、CiMCTLjレジスタのSENTDATAビットが“1” (送信完了)に、TRMACTIVEビットが“0” (送信待機中、または送信要求なし)になります。そして、CiMIERレジスタの割り込み許可ビットが“1” (割り込み許可)の場合は、CANi送信完了割り込み要求が発生します。
- (4) 同一のメールボックスから次の送信を要求する場合は、SENTDATAビットとTRMREQビットを“0”にして、SENTDATAビットとTRMREQビットが“0”になるのを確認した後、TRMREQビットを“1”にしてください。

注1. CANモジュールが送信開始した後でアービトレーション負けをした場合、TRMACTIVEビットは“0”になります。CRCデリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

25.7 CAN割り込み

CANモジュールには、次のCAN割り込みがあります。

- CANi受信完了割り込み
- CANi送信完了割り込み
- CANi受信FIFO割り込み
- CANi送信FIFO割り込み
- CANiエラー割り込み

CANiエラー割り込みには、8つの要因があります。これらの要因は、CiEIFRレジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック
- CANi ウェイクアップ割り込み

i=0, 1

26. A/Dコンバータ

注意

100ピン版にはAN2_4はありません。64ピン版にはAN0_4~AN0_7、AN2_0~AN2_3、AN2_5~AN2_7はありません。これらをアナログ入力端子として選択しないでください。

26.1 概要

10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

表 26.1にA/Dコンバータの仕様、図 26.1にA/Dコンバータのブロック図を示します。

表 26.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式
アナログ入力電圧	0V~AVCC (VCC)
動作クロックφAD	f1、f1の2分周、f1の3分周、f1の4分周、f1の6分周、f1の12分周、fOCO40Mの2分周、fOCO40Mの3分周、fOCO40Mの4分周、fOCO40Mの6分周、またはfOCO40Mの12分周
分解能	10ビット
積分非直線性誤差	AVCC=VREF=5V ±3LSB AVCC=VREF=3.3V ±5LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0
アナログ入力端子	8本 (AN0~AN7) + 8本 (AN0_0~AN0_7) + 7本 (AN2_0~AN2_3、AN2_5~AN2_7) + 3本 (AN3_0~AN3_2) (100ピン版) 8本 (AN0~AN7) + 8本 (AN0_0~AN0_7) + 8本 (AN2_0~AN2_7) + 3本 (AN3_0~AN3_2) (80ピン版) 8本 (AN0~AN7) + 4本 (AN0_0~AN0_3) + 1本 (AN2_4) + 3本 (AN3_0~AN3_2) (64ピン版)
A/D変換開始条件	ソフトウェアトリガ ADCON0レジスタのADSTビットを“1” (A/D変換開始) にする 外部トリガ (再トリガ可能) ADSTビットを“1” (A/D変換開始) にした後、ADTRG端子の入力が“H”から“L”へ変化
1端子あたりの変換速度	最短43φADサイクル

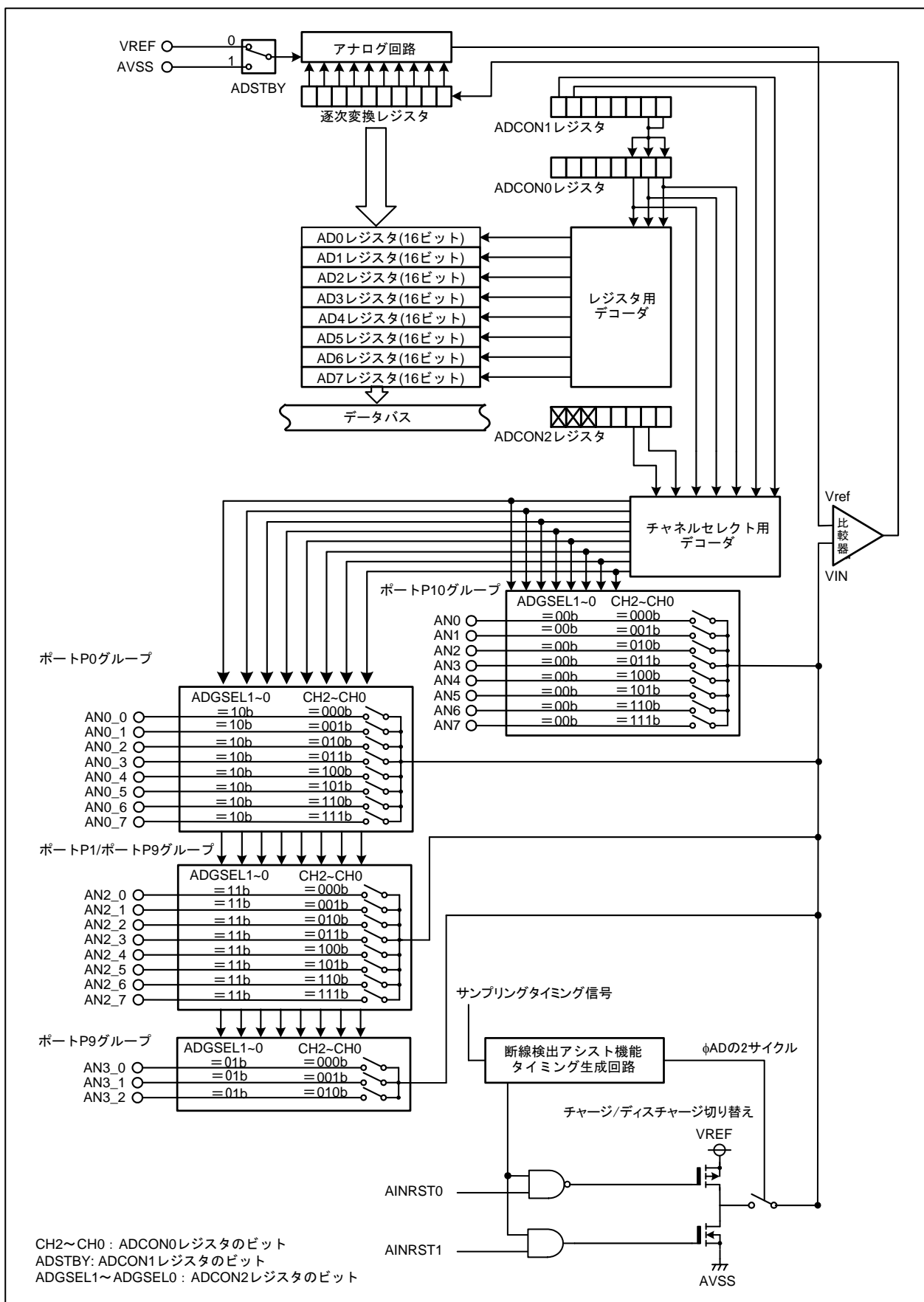


図 26.1 A/Dコンバータのブロック図

表 26.2 入出力端子

端子名	入出力	機能
AN0~AN7	入力	アナログ入力
AN0_0~AN0_7	入力	アナログ入力
AN2_0~AN2_7	入力	アナログ入力
AN3_0~AN3_2	入力	アナログ入力
ADTRG	入力	トリガ入力

注1. 端子を共有しているポートの方向ビットを“0” (入力モード)にしてください。

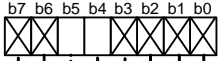
26.2 レジスタの説明

A/Dコンバータ関連レジスタを表 26.3 レジスタ一覧に示します。A/Dコンバータ関連レジスタは、ADCON2レジスタのCKS3ビットを設定した後で、設定してください。ただし、ADCON2レジスタのビットは、CKS3ビットと同時に設定して構いません。CKS3ビットを変更した後も、同様に再設定してください。

表 26.3 レジスタ一覧

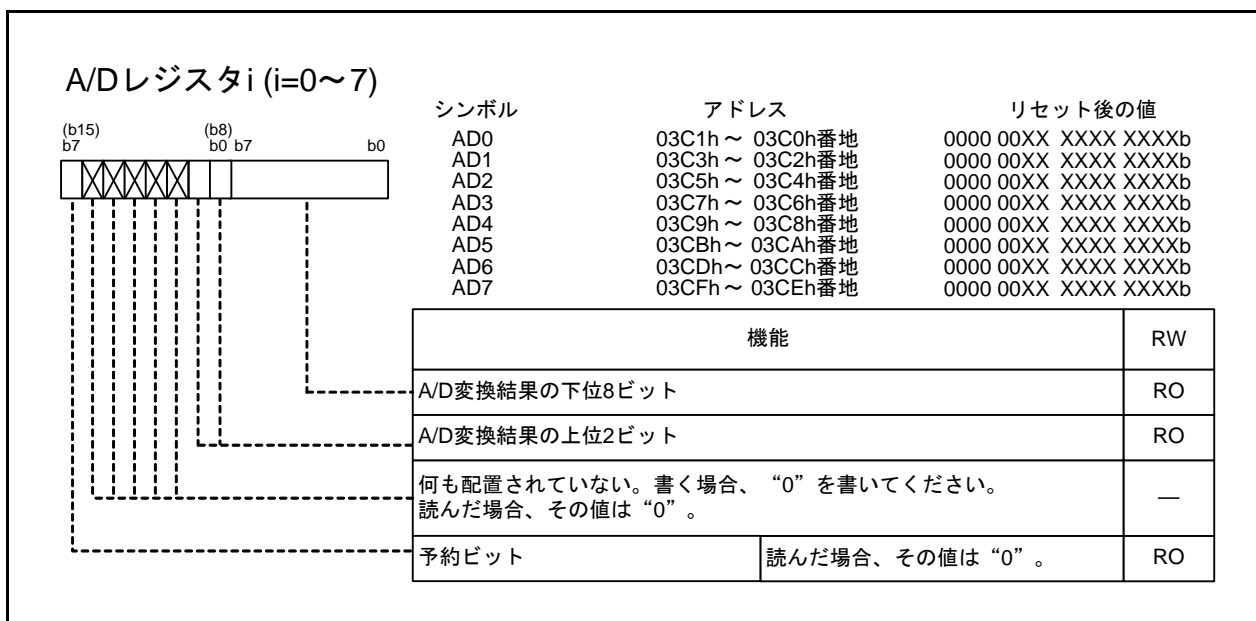
アドレス	レジスタ名	レジスタシンボル	リセット後の値
03A2h	断線検知アシスト機能レジスタ	AINRST	XX00 XXXXb
03C0h	A/Dレジスタ0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/Dレジスタ1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/Dレジスタ2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/Dレジスタ3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/Dレジスタ4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/Dレジスタ5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/Dレジスタ6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/Dレジスタ7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D4h	A/D制御レジスタ2	ADCON2	0000 X00Xb
03D6h	A/D制御レジスタ0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ1	ADCON1	0000 X000b

26.2.1 断線検知アシスト機能レジスタ (AINRST)

断線検知アシスト機能レジスタ			
	シンボル AINRST	アドレス 03A2h番地	リセット後の値 XX00 XXXXb
ビット シンボル	ビット名	機能	RW
— (b3-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
AINRST0	断線検知アシスト機能許可 ビット	b5 b4 0 0: 断線検知禁止 0 1: 変換前チャージ 1 0: 変換前ディスチャージ 1 1: 設定しないでください	RW
AINRST1			RW
— (b7-b6)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

AINRST1~AINRST0 (断線検知アシスト機能許可ビット) (b5~b4)

A/D断線検出アシスト機能を許可にする場合は、AINRST0ビットまたはAINRST1ビットを“1”にした後、 ϕ ADの1サイクル待つて、ADCON0レジスタのADSTビットを“1”(A/D変換)にしてください。

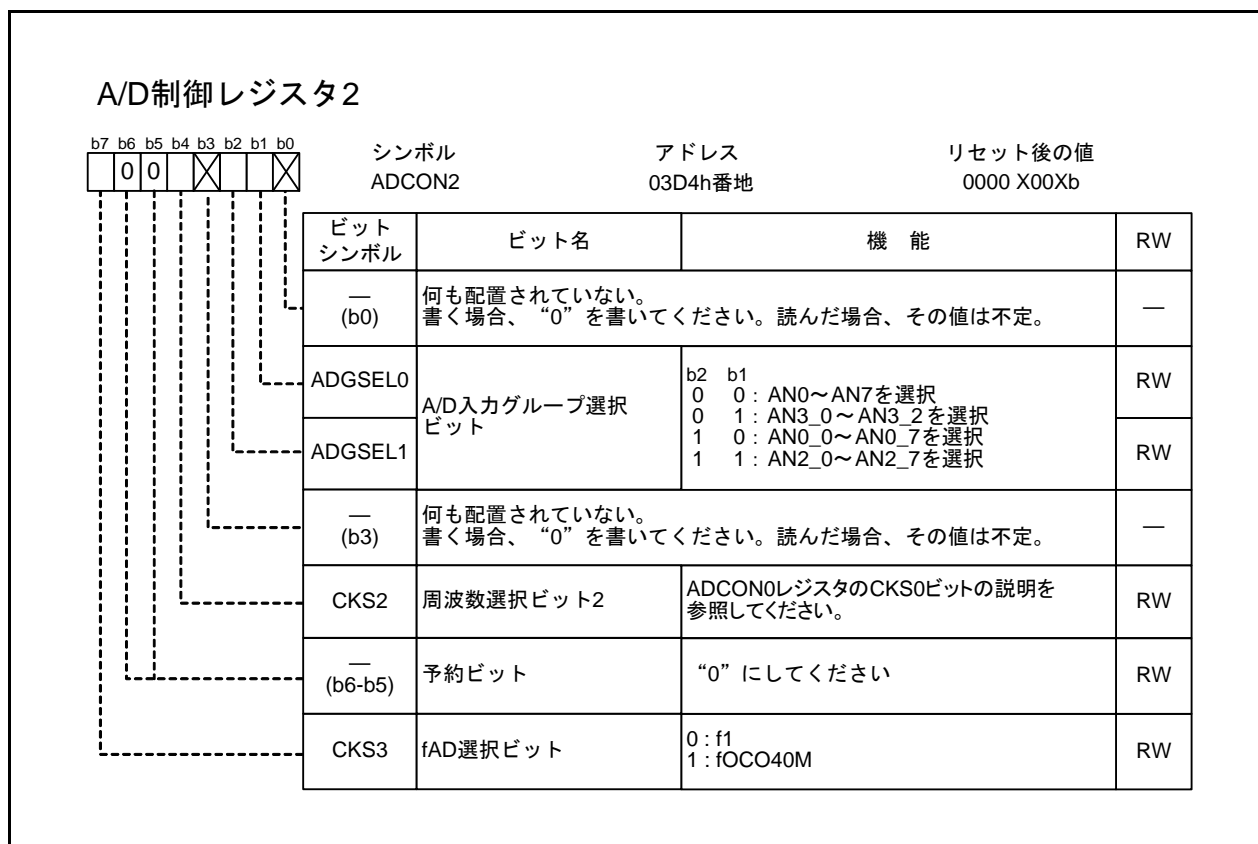
26.2.2 A/Dレジスタ*i* (AD*i*) (*i*=0~7)

A/D変換した結果は、AN*i*、AN0_*i*、AN2_*i*、AN3_0~AN3_2端子に対応したAD*i*レジスタに格納されます。AD*i*レジスタは、16ビット単位で読み出してください。表 26.4 にアナログ端子とA/D変換結果格納レジスタを示します。

表 26.4 アナログ端子とA/D変換結果格納レジスタ

アナログ端子				A/D変換結果格納レジスタ
AN0	AN0_0	AN2_0	AN3_0	AD0レジスタ
AN1	AN0_1	AN2_1	AN3_1	AD1レジスタ
AN2	AN0_2	AN2_2	AN3_2	AD2レジスタ
AN3	AN0_3	AN2_3	—	AD3レジスタ
AN4	AN0_4	AN2_4	—	AD4レジスタ
AN5	AN0_5	AN2_5	—	AD5レジスタ
AN6	AN0_6	AN2_6	—	AD6レジスタ
AN7	AN0_7	AN2_7	—	AD7レジスタ

26.2.3 A/D制御レジスタ2 (ADCON2)



A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定となります。

CKS3 (fAD選択ビット) (b7)

CKS3ビットはA/D変換停止中に設定してください。

CKS3ビットを設定した後、その他のA/Dコンバータ関連レジスタを設定してください。CKS3ビットを変更した後も、その他のA/Dコンバータ関連レジスタを再設定してください。ただし、ADCON2レジスタのビットは、CKS3ビットと同時に設定して構いません。

26.2.4 A/D制御レジスタ0 (ADCON0)

A/D制御レジスタ0			
ビット シンボル	ビット名	機能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 0000 0XXXb
CH0	アナログ入力端子選択 ビット	単発モード、繰り返しモードの場合 b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: AN4を選択 1 0 1: AN5を選択 1 1 0: AN6を選択 1 1 1: AN7を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0: 単発モード 0 1: 繰り返しモード 1 0: 単掃引モード 1 1: 繰り返し掃引モード0	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	CKS0ビットの説明を参照してください	RW

A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

CKS0 (周波数選択ビット0) (b7)

ϕ ADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS3、CKS2ビットの組み合わせで選択できます。CKS3ビットを設定した後で、CKS0~CKS2ビットを選択してください。ただし、CKS2ビットとCKS3ビットは同時に設定しても構いません。表26.5に ϕ AD周波数選択を示します。

表 26.5 ϕ AD周波数選択

CKS3	CKS2	CKS1	CKS0	ϕ AD
0	0	0	0	fAD(f1)の4分周
	0	0	1	fAD(f1)の2分周
	0	1	0	fAD(f1)
	0	1	1	
	1	0	0	fAD(f1)の12分周
	1	0	1	fAD(f1)の6分周
	1	1	0	fAD(f1)の3分周
	1	1	1	
1	0	0	0	fAD(fOCO40M)の4分周
	0	0	1	fAD(fOCO40M)の2分周
	1	0	0	fAD(fOCO40M)の12分周
	1	0	1	fAD(fOCO40M)の6分周
	1	1	0	fAD(fOCO40M)の3分周
	1	1	1	

上記以外の組み合わせを設定しないでください。

26.2.5 A/D制御レジスタ1 (ADCON1)

A/D制御レジスタ1		シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000 X000b
ビット シンボル	ビット名	機能		RW
SCAN0	A/D掃引端子選択ビット	b1	b0	RW
SCAN1		0	0 : AN0~AN1 (2端子) 1 : AN0~AN3 (4端子)	
— (b2)	予約ビット	“0”にしてください。		RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			—
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの説明を参照してください		RW
ADSTBY	A/Dスタンバイビット	0 : A/D動作停止(スタンバイ) 1 : A/D動作可能		RW
— (b7-b6)	予約ビット	“0”にしてください。		RW

A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

ADSTBY (A/Dスタンバイビット) (b5)

ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後、A/D変換を開始してください。

A/Dコンバータを使用しない場合、ADSTBYビット“0”(A/D動作停止:スタンバイ)にすると、A/Dコンバータで電流が流れなくなり、消費電力を少なくできます。

26.3 動作説明

26.3.1 A/D変換サイクル数

A/D変換サイクルは、 f_{AD} と ϕ_{AD} が基準になります。 ϕ_{AD} が規格に合う周波数になるように、 f_{AD} を分周してください。図26.2に f_{AD} と ϕ_{AD} を示します。

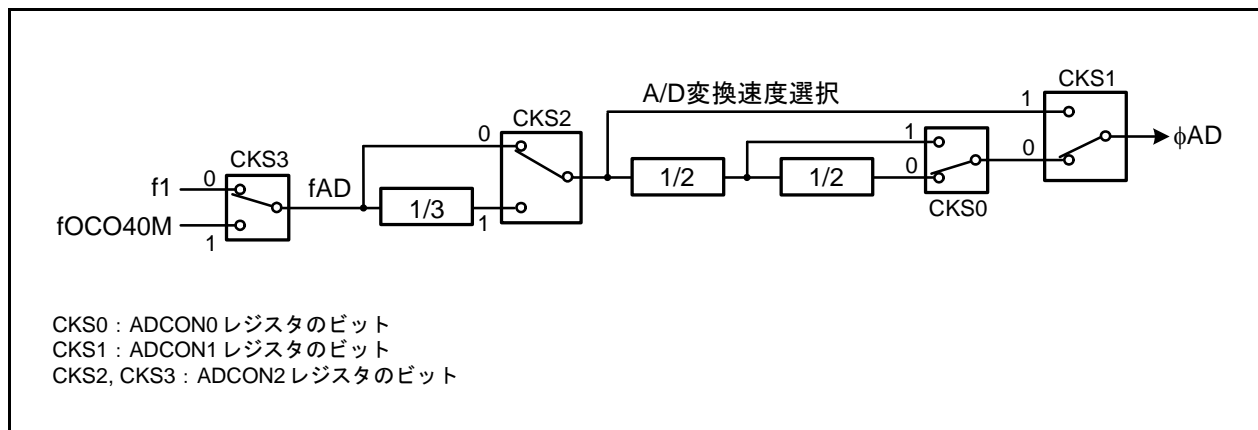


図 26.2 f_{AD} と ϕ_{AD}

図 26.3にA/D変換タイミング図を示します。

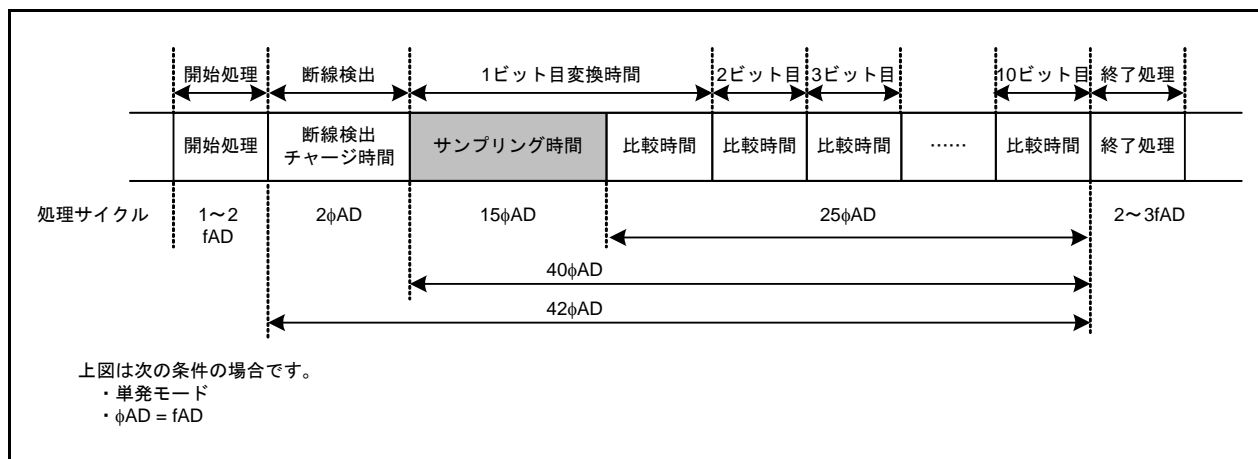


図 26.3 A/D変換タイミング図

表 26.6に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ϕAD の選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表 26.6 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	$\phi AD=fAD$	fADの1~2サイクル
	$\phi AD=fAD$ の2分周	fADの2~3サイクル
	$\phi AD=fAD$ の3分周	fADの3~4サイクル
	$\phi AD=fAD$ の4分周	fADの3~4サイクル
	$\phi AD=fAD$ の6分周	fADの4~5サイクル
	$\phi AD=fAD$ の12分周	fADの7~8サイクル
A/D変換実行時間	断線検出禁止	ϕAD の40サイクル
	断線検出許可	ϕAD の42サイクル
実行間処理時間		ϕAD の1サイクル
終了処理時間		fADの2~3サイクル

26.3.2 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと外部トリガがあります。図26.4にA/D変換開始トリガを示します。

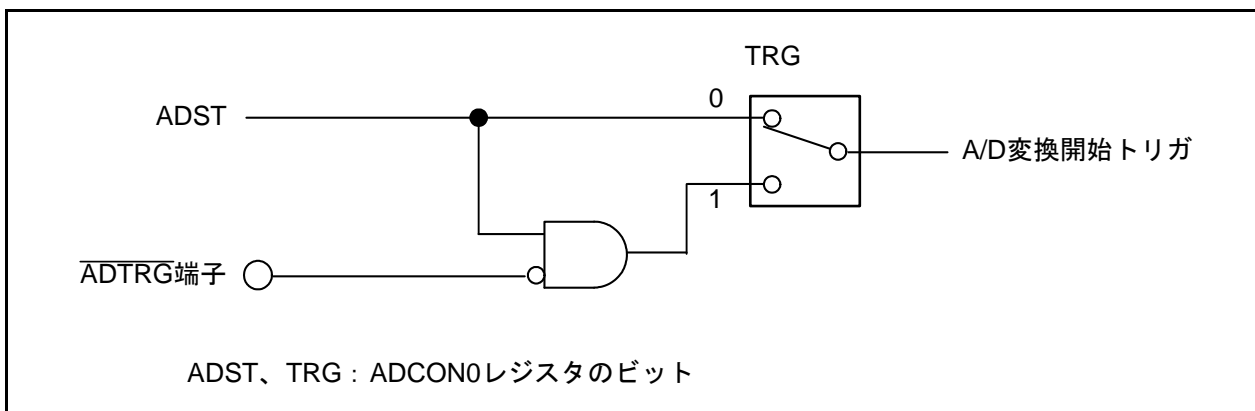


図26.4 A/D変換開始トリガ

26.3.2.1 ソフトウェアトリガ

ADCON0レジスタのTRGビットが“0”（ソフトウェアトリガ）の場合です。
ADCON0レジスタのADSTビットを“1”（A/D変換開始）にするとA/D変換を開始します。

26.3.2.2 外部トリガ

ADCON0レジスタのTRGビットが“1”（ $\overline{\text{ADTRG}}$ によるトリガ）の場合です。
この機能を使用する場合は次のようにしてください。

- $\overline{\text{ADTRG}}$ と端子を共用しているポートの方向ビットが“0”（入力モード）
- ADCON0レジスタのTRGビットが“1”（ $\overline{\text{ADTRG}}$ によるトリガ）
- ADCON0レジスタのADSTビットが“1”（A/D変換開始）

上記の状態では、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

なお、 $\overline{\text{ADTRG}}$ 端子に入力するパルスの幅“H”幅、“L”幅は、いずれも f_{AD} の2サイクル以上にしてください。

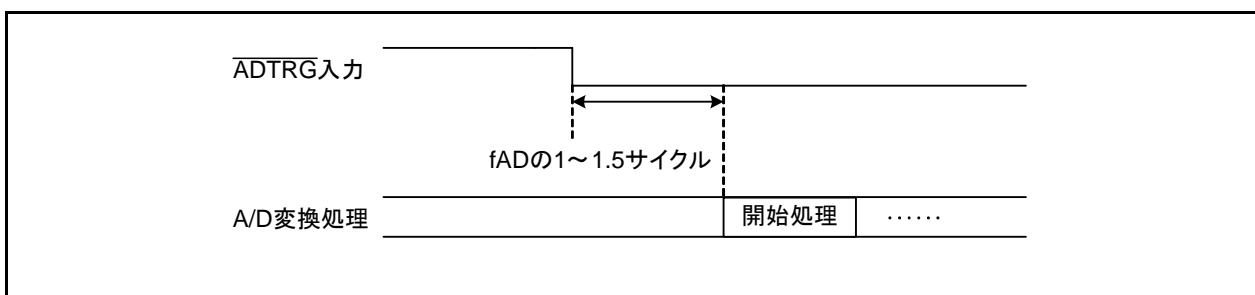


図26.5 外部トリガ入力時のA/D変換開始タイミング

26.3.3 A/D変換結果

A/D変換が終わる前にADiレジスタを読み出すと、不定値を読み出します。ADiレジスタはA/D変換が終了した後に読み出してください。A/D変換の終了は次の方法で検出してください。

- 単発モード、単掃引モード

A/D変換終了時、ADICレジスタのIRビットが“1”(割り込み要求あり)になりますので、IRビットが“1”になったことを確認してADiレジスタを読み出してください。

A/D割り込みを使用しない場合は、ADiレジスタ読み出し後、プログラムでIRビットを“0”(割り込み要求なし)にしてください。

- 繰り返しモード、繰り返し掃引モード0

IRビットは変化しません(割り込み要求は発生しません)。最初は1回分の変換時間が経過した後でADiレジスタを読み出してください(「26.3.1 A/D変換サイクル数」参照)。以降は任意のタイミングで読み出すと、それ以前にA/D変換した結果が読み出せます。

1回分のA/D変換が終了するとADiレジスタに値を上書きしますので、必要な値はそれまでに読み出してください。

26.3.4 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、 ϕ_{AD} の1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

26.3.5 A/D断線検出アシスト機能

変換開始前に、サンプリングキャパシタの電荷を所定の状態(AVCCまたはAVSS)に固定する機能です。A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧による影響を抑制できるので、アナログ入力端子に接続した配線の断線を、より確実に検出できます。

図 26.6にAVCC側でのA/D断線検出例(変換前チャージを選択)を示し、図 26.7にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

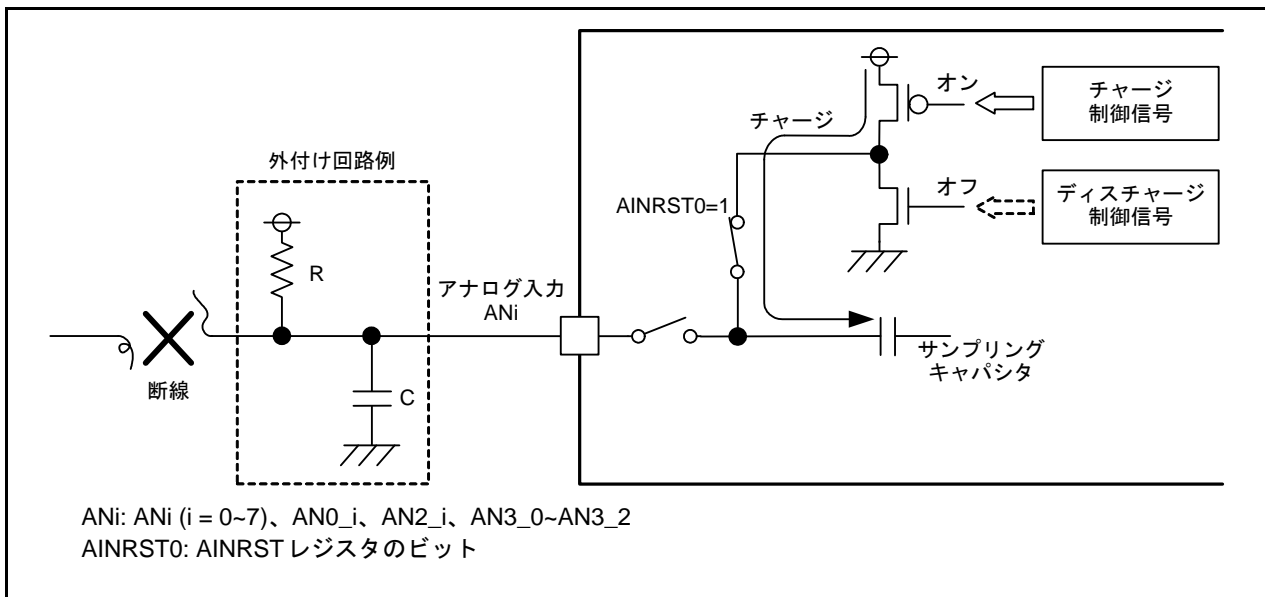


図 26.6 AVCC側でのA/D断線検出例 (変換前チャージを選択)

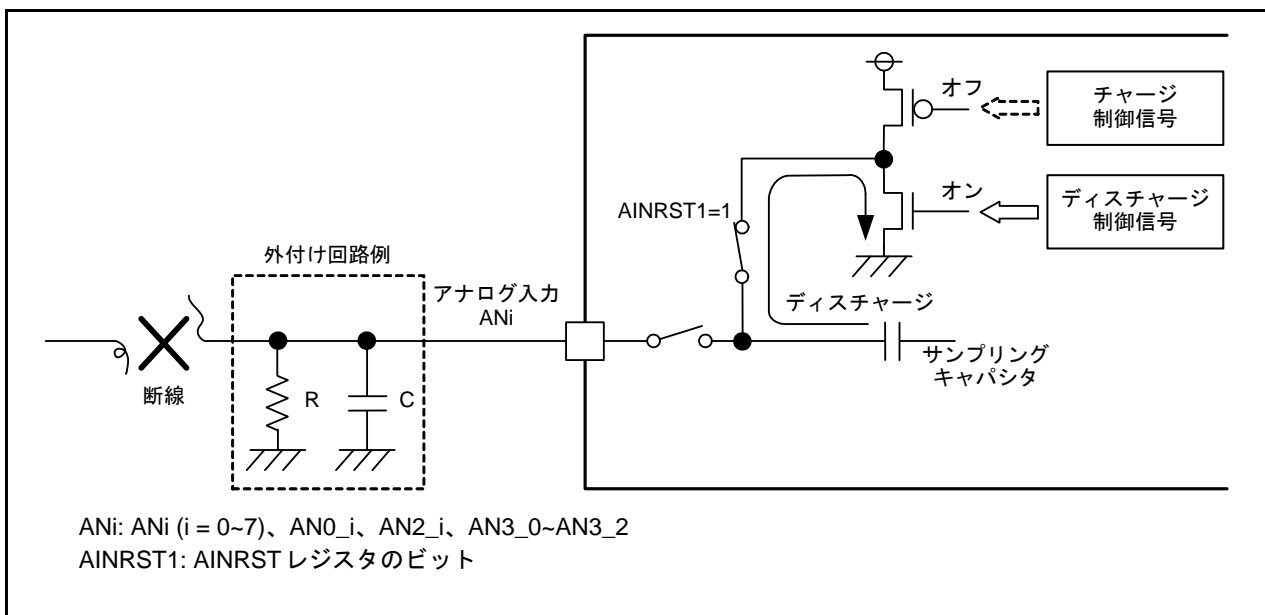


図 26.7 AVSS側でのA/D断線検出例 (変換前ディスチャージを選択)

26.4 動作モード

26.4.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表 26.7に単発モードの仕様を示します。

表 26.7 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2~CH0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 26.8 単発モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
AINRST	AINRST1、 AINRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せません
ADCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ϕ ADの周波数を選択してください
ADCON0	CH2~CH0	アナログ入力端子を選択してください
	MD1~MD0	“00b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ϕ ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	無効
	CKS1	ϕ ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください

注1. この表は手順を表すものではありません。

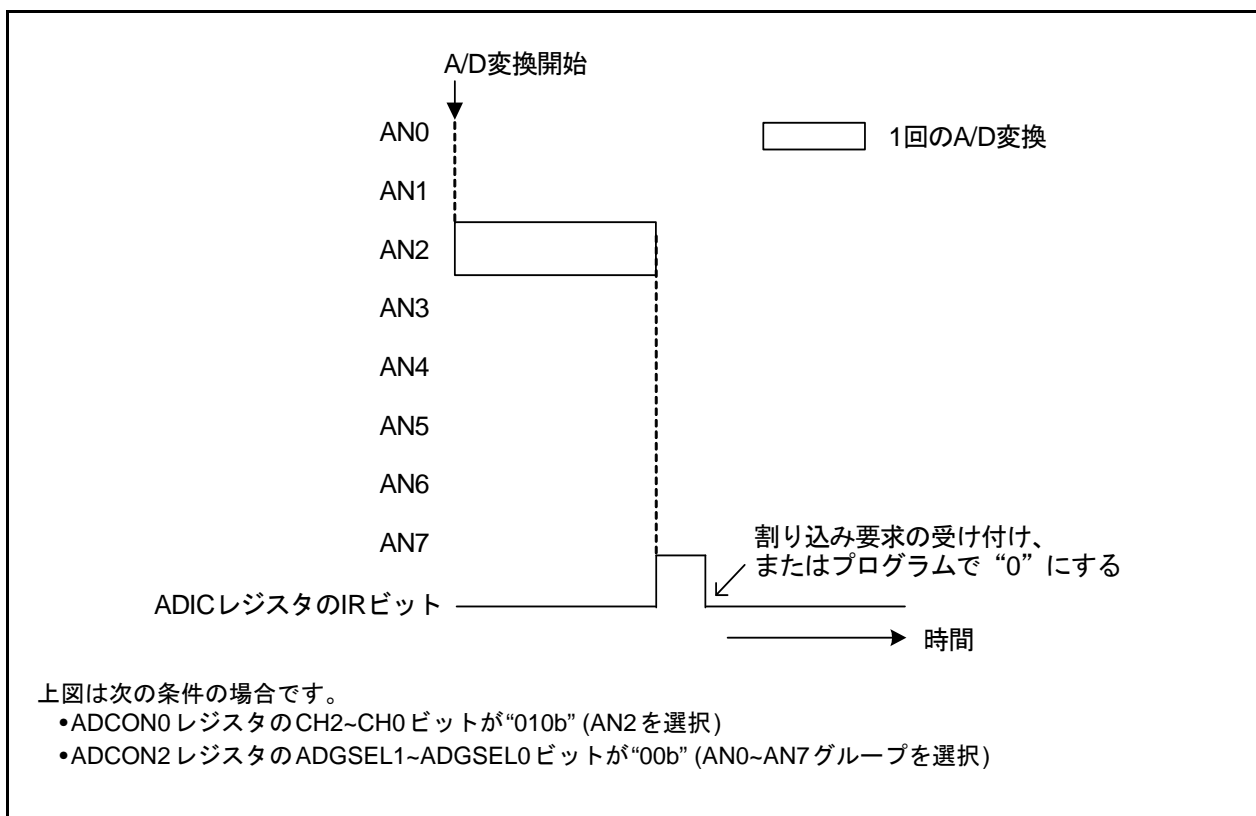


図 26.8 単発モードの動作例

26.4.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表 26.9に繰り返しモードの仕様を示します。

表 26.9 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2~CH0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> • ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする • TRGビットが“1” ($\overline{\text{ADTRG}}$によるトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 26.10 繰り返しモード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
AINRST	AINRST1、AINRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	φADの周波数を選択してください
ADCON0	CH2~CH0	アナログ入力端子を選択してください
	MD1~MD0	"01b"にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき"1"に、停止するとき"0"にしてください
	CKS0	φADの周波数を選択してください
ADCON1	SCAN1、SCAN0	無効
	CKS1	φADの周波数を選択してください
	ADSTBY	A/D変換するときは"1"にしてください

注1. この表は手順を表すものではありません。

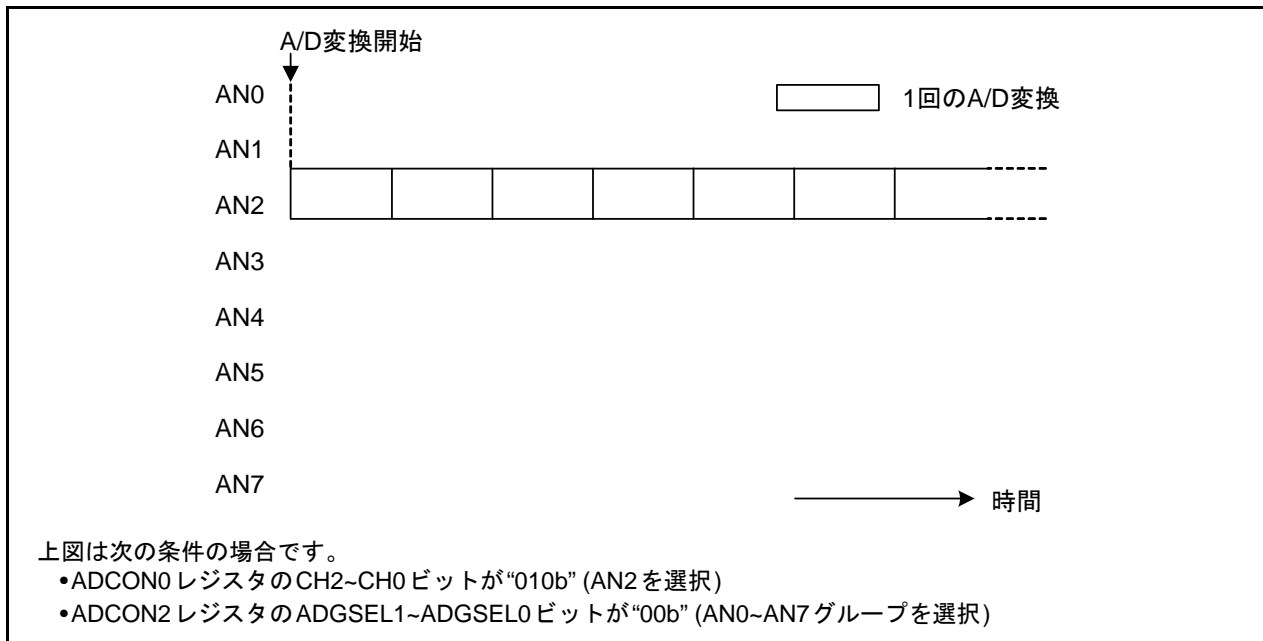


図 26.9 繰り返しモードの動作例

26.4.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表 26.11 に単掃引モードの仕様を示します。

表 26.11 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> • ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする • TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> • A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0~AN1 (2端子)、AN0~AN3 (4端子)、AN0~AN5 (6端子)、AN0~AN7 (8端子) から選択 AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 26.12 単掃引モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
AIRST	AIRST1、 AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ϕ ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“10b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ϕ ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	アナログ入力端子を選択してください
	CKS1	ϕ ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください

注1. この表は手順を表すものではありません。

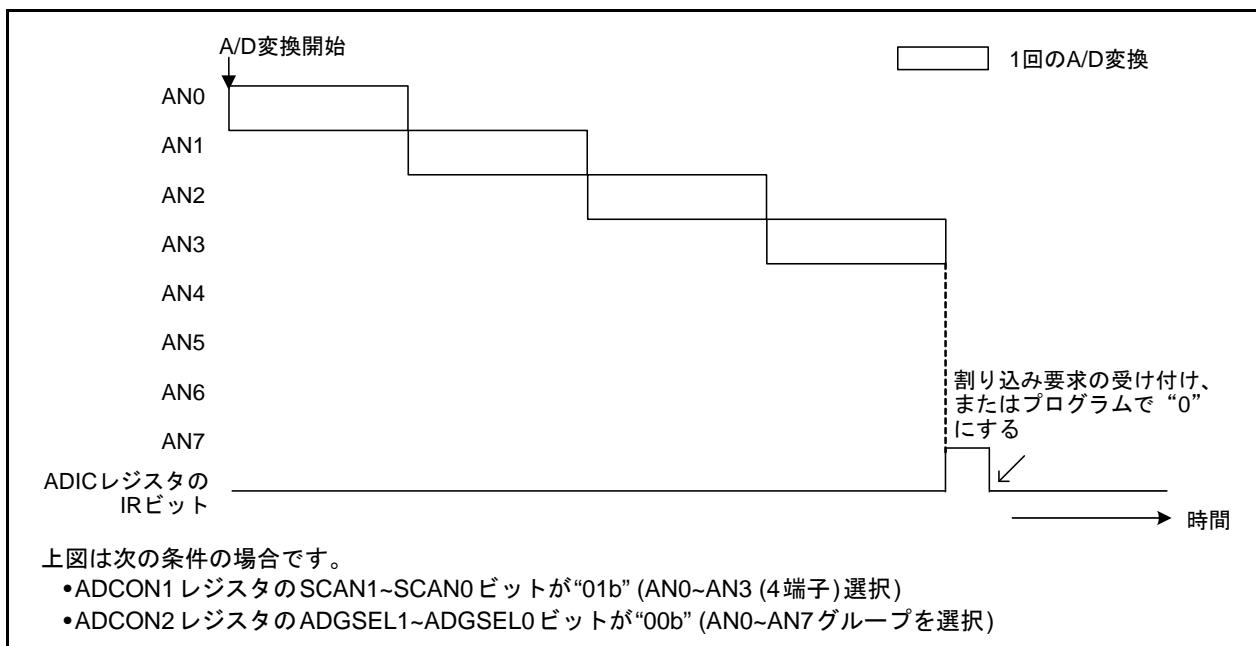


図 26.10 単掃引モードの動作例

26.4.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表 26.13に繰り返し掃引モード0の様を示します。

表 26.13 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1~SCAN0ビットとADCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0~AN1 (2端子)、AN0~AN3 (4端子)、AN0~AN5 (6端子)、AN0~AN7 (8端子) から選択 AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2も同様に選択できる
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し

表 26.14 繰り返し掃引モード0時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値
AIRST	AIRST1、 AIRST0	断線検出アシスト機能を使用するか、しないか選択してください
AD0~AD7	b9~b0	A/D変換結果が読み出せます
ADCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループを選択してください
	CKS2	ϕ ADの周波数を選択してください
ADCON0	CH2~CH0	無効
	MD1~MD0	“11b”にしてください
	TRG	トリガを選択してください
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください
	CKS0	ϕ ADの周波数を選択してください
ADCON1	SCAN1、SCAN0	アナログ入力端子を選択してください
	CKS1	ϕ ADの周波数を選択してください
	ADSTBY	A/D変換するときは“1”にしてください

注1. この表は手順を表すものではありません。

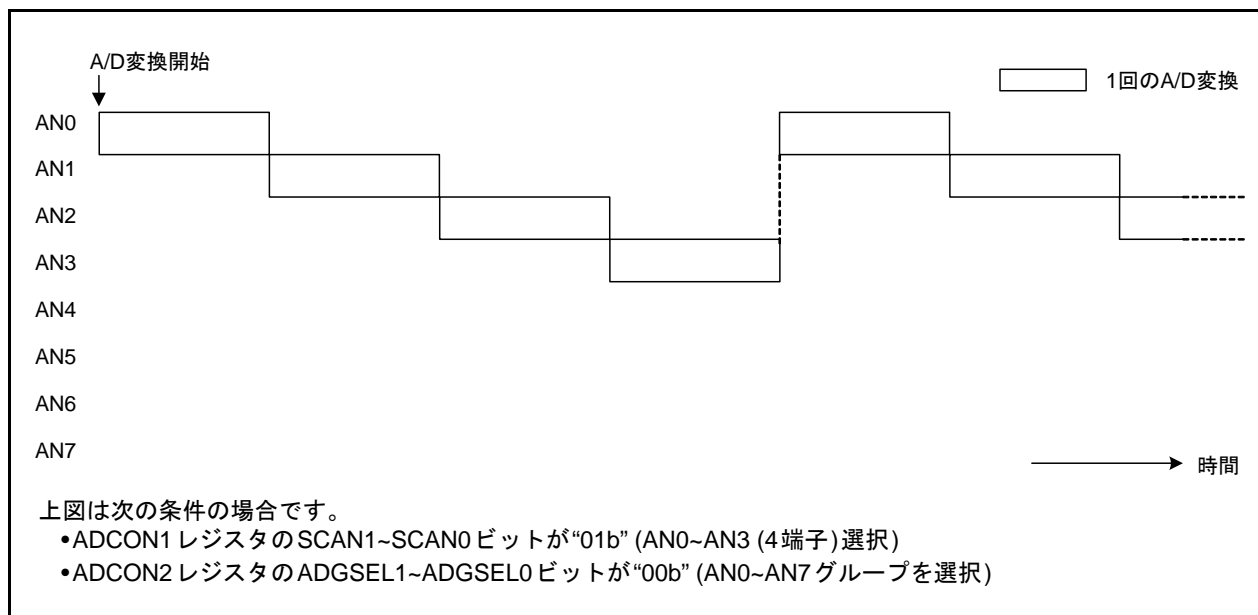


図 26.11 繰り返し掃引モード0の動作例

26.5 外部センサ

A/D変換を正しく行うためには、図 26.12の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは1024)とします。

$$VCは一般にVC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図 26.12 アナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)はA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$\phi_{AD}=20\text{MHz}$ のとき、 $T=0.75\mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$T=0.75\mu\text{s}$ 、 $R=10\text{k}\Omega$ 、 $C=6.0\text{pF}$ 、 $X=0.1$ 、 $Y=1024$ だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大3.5k Ω になります。

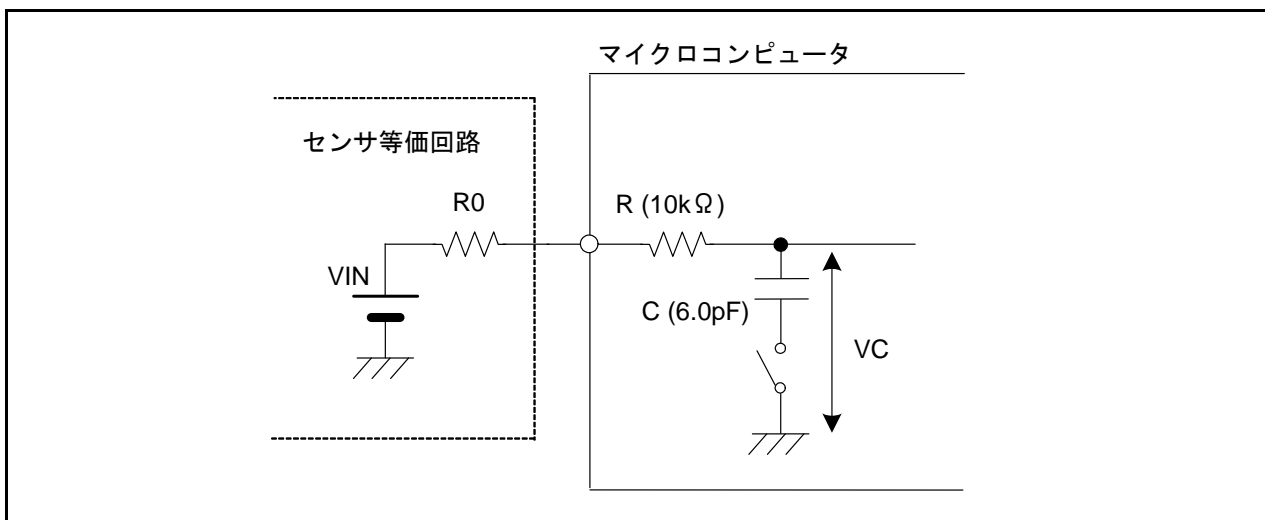


図 26.12 アナログ入力端子と外部センサの等価回路例

26.6 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 26.15にADコンバータの割り込み関連レジスタを示します。

表 26.15 ADコンバータの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b

26.7 A/Dコンバータ使用上の注意事項

26.7.1 アナログ入力選択

$\overline{KI0}\sim\overline{KI3}$ 端子のいずれかをキー入力割り込みに使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

26.7.2 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i (i=0~7)、AN0_i、AN2_i、AN3_0~AN3_2)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。

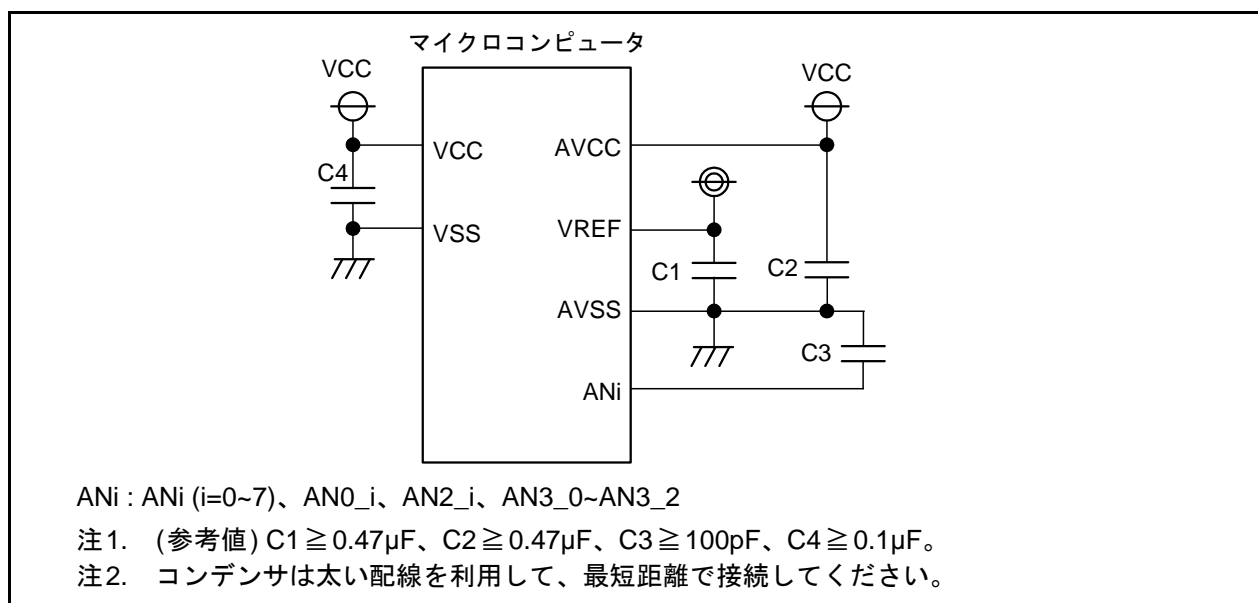


図 26.13 各端子の処理例

26.7.3 レジスタアクセス

A/Dコンバータ関連レジスタは、ADCON2レジスタのCKS3ビットを設定した後で、設定してください。ただし、ADCON2レジスタのビットは、CKS3ビットと同時に設定して構いません。CKS3ビットを変更した後も、同様に再設定してください。

ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのADSTBYビットを“1”から“0”にしてください。

26.7.4 A/D変換開始

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φADの1サイクル以上経過した後にA/D変換を開始させてください。

26.7.5 A/D動作モードの変更

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

26.7.6 強制終了時の状態

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0” (A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタ (i=0~7)も不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

26.7.7 A/D断線検出アシスト機能

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

なお、AINRSTレジスタ変更後、A/D変換開始する場合は次の手順に従ってください。

- (1) AINRSTレジスタのAINRST1~AINRST0ビットを変更する
- (2) ϕ ADの1サイクル待つ
- (3) ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする

26.7.8 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間 (「表 26.6 各A/D変換項目のサイクル数」参照)後に“1” (A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0” (A/D変換停止)が読めることがあります。

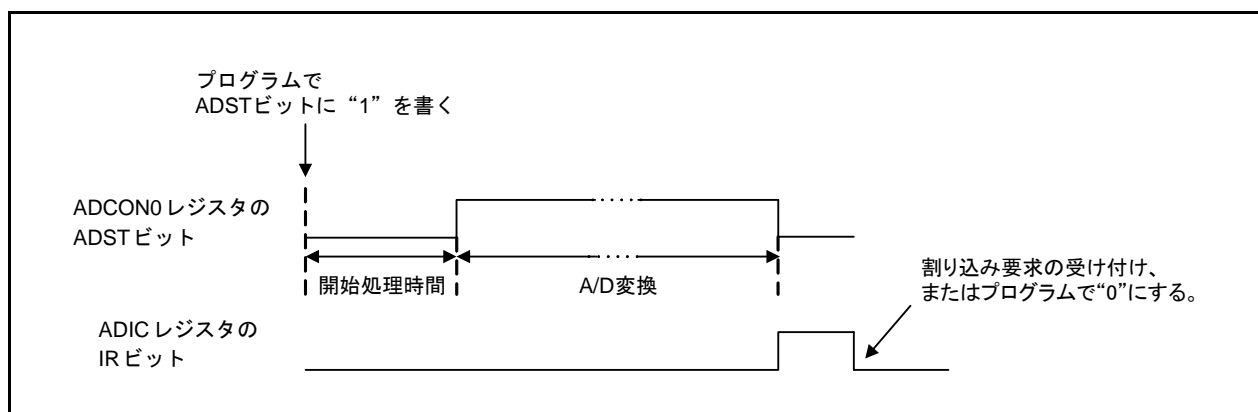


図 26.14 ADSTビットの動作

26.7.9 ϕ AD

ϕ ADが規格に合う周波数になるように、fADを分周してください。

特にADCON2レジスタのCKS3ビットが“1” (fOCO40MがfAD)の場合、fOCO40Mの最大値、最小値を考慮してください。

27. D/Aコンバータ

27.1 概要

8ビットのR-2R方式によるD/Aコンバータです。

表 27.1にD/Aコンバータの仕様、図 27.1にD/Aコンバータブロック図を示します。

表 27.1 D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット

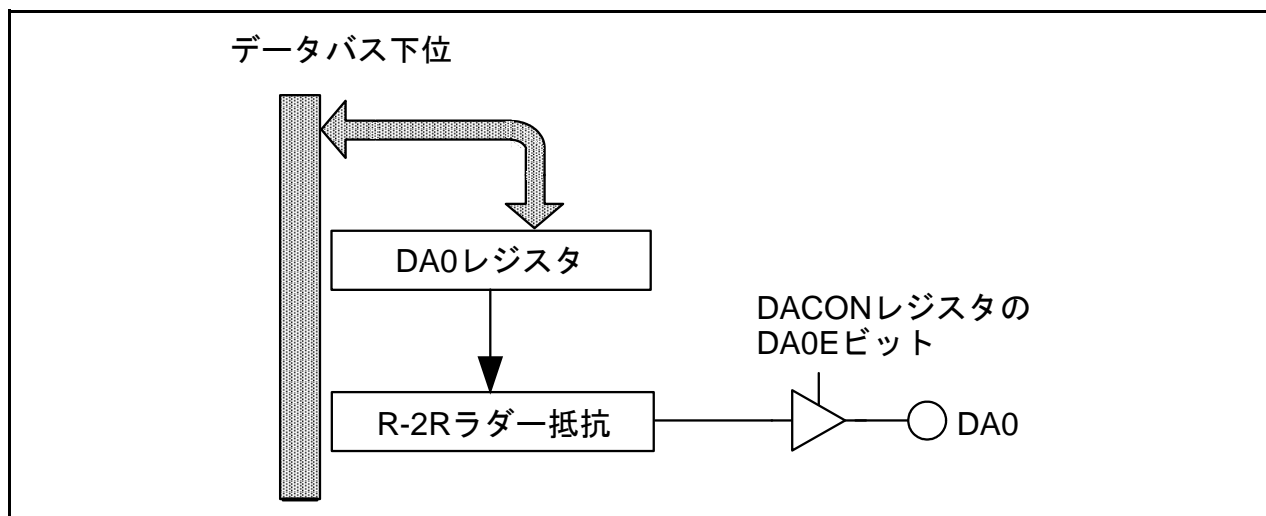


図 27.1 D/Aコンバータブロック図

表 27.2 入力端子

端子名	入出力	機能
DA0	出力(注1)	D/Aコンパレータ出力

注1. 端子を共用しているポートの方向ビットは“0”(入力モード)にしてください。DACONレジスタのDA0Eビットを“1”(出力許可)にすると対応するポートはプルアップなしになります。

27.2 レジスタの説明

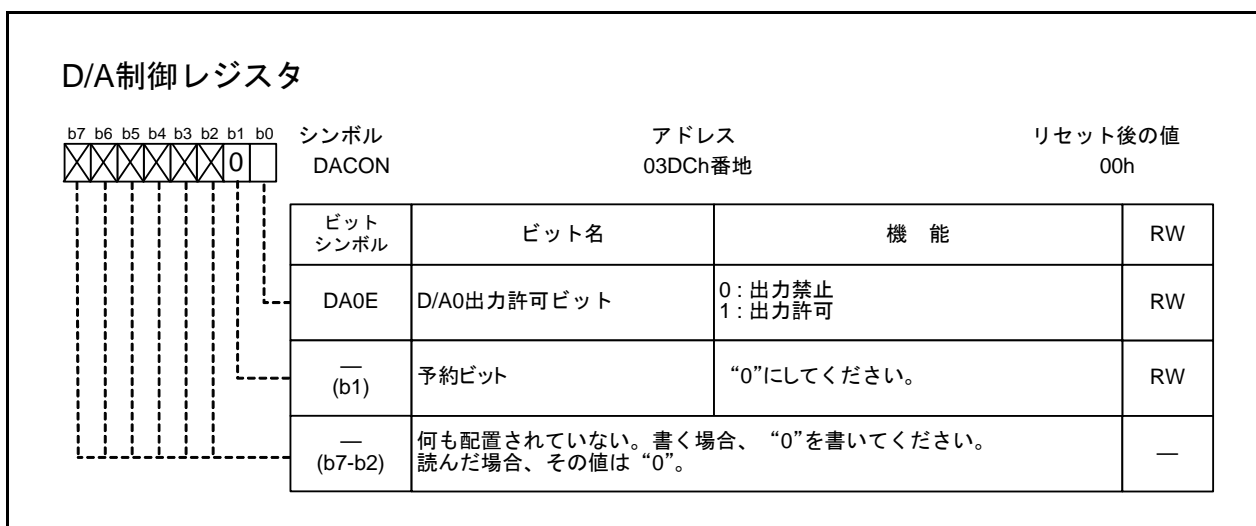
表 27.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
03D8h	D/A0レジスタ	DA0	00h
03DCh	D/A制御レジスタ	DACON	00h

27.2.1 D/A0レジスタ (DA0)



27.2.2 D/A制御レジスタ (DACON)



27.3 動作説明

D/A変換は、DA0レジスタに値を書くと行われます。

出力されるアナログ電圧Vは、DA0レジスタに設定した値n(nは10進数)で決まります。

$$V = \frac{VREF \times n}{256} \quad (n=0\sim 255)$$

VREF: 基準電圧

図 27.2にD/Aコンバータの等価回路を示します。

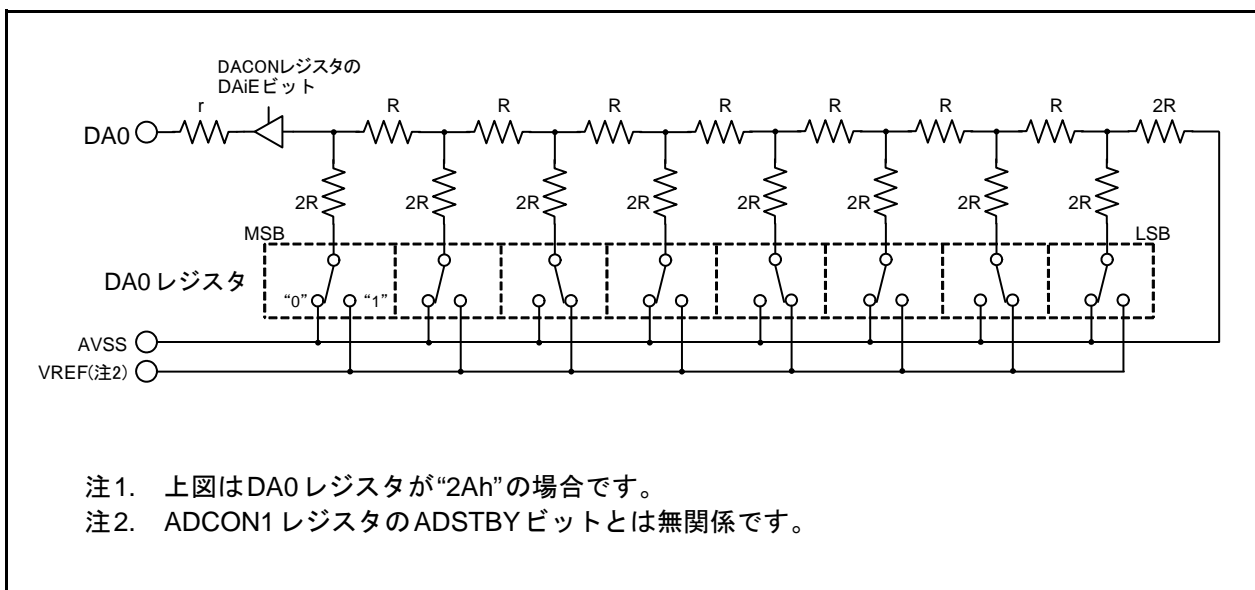


図 27.2 D/Aコンバータの等価回路

27.4 D/Aコンバータ使用上の注意事項

27.4.1 D/Aコンバータを使用しない場合

D/Aコンバータを使用しない場合には、不要な消費電流を少なくするためにDACONレジスタのDA0Eビットを“0” (出力禁止)にし、DA0レジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

28. CRC演算回路

28.1 概要

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤りを検出します。さらに、CRC演算回路はSFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表 28.1 CRC演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT($X^{16}+X^{12}+X^5+1$)またはCRC-16 ($X^{16}+X^{15}+X^2+1$)
選択機能	<ul style="list-style-type: none"> •MSB/LSB選択可能 •SFRアクセス監視機能

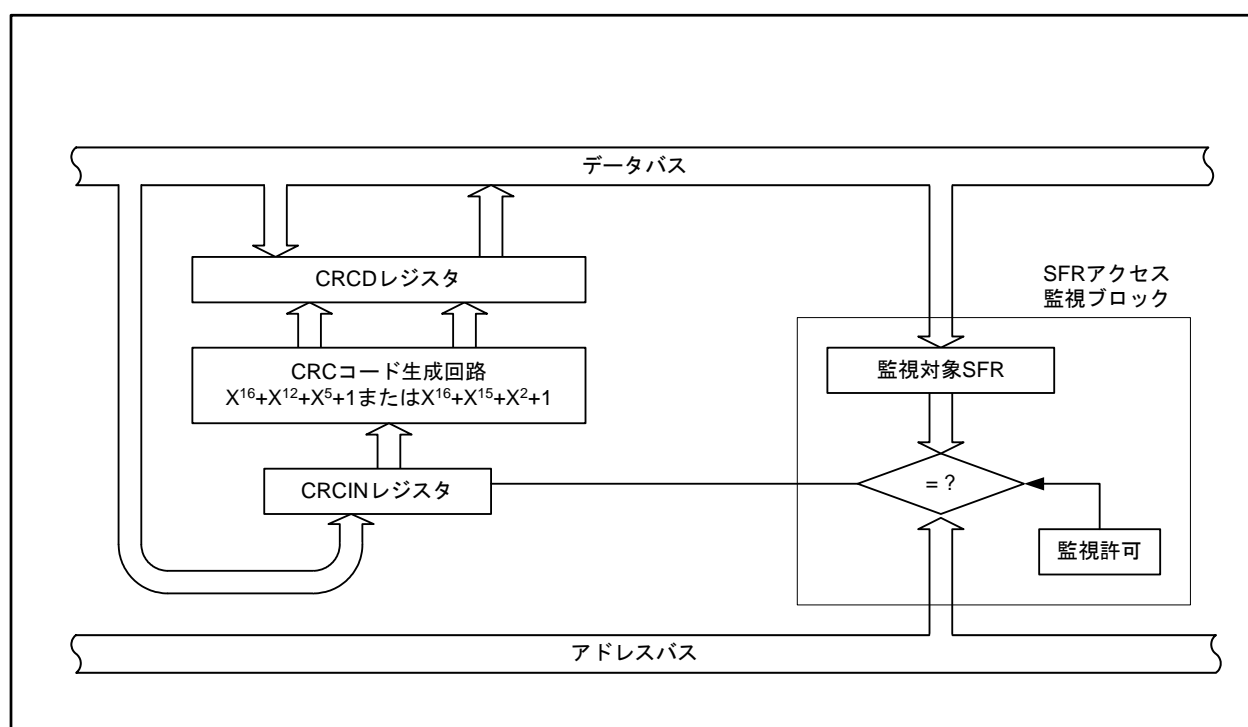


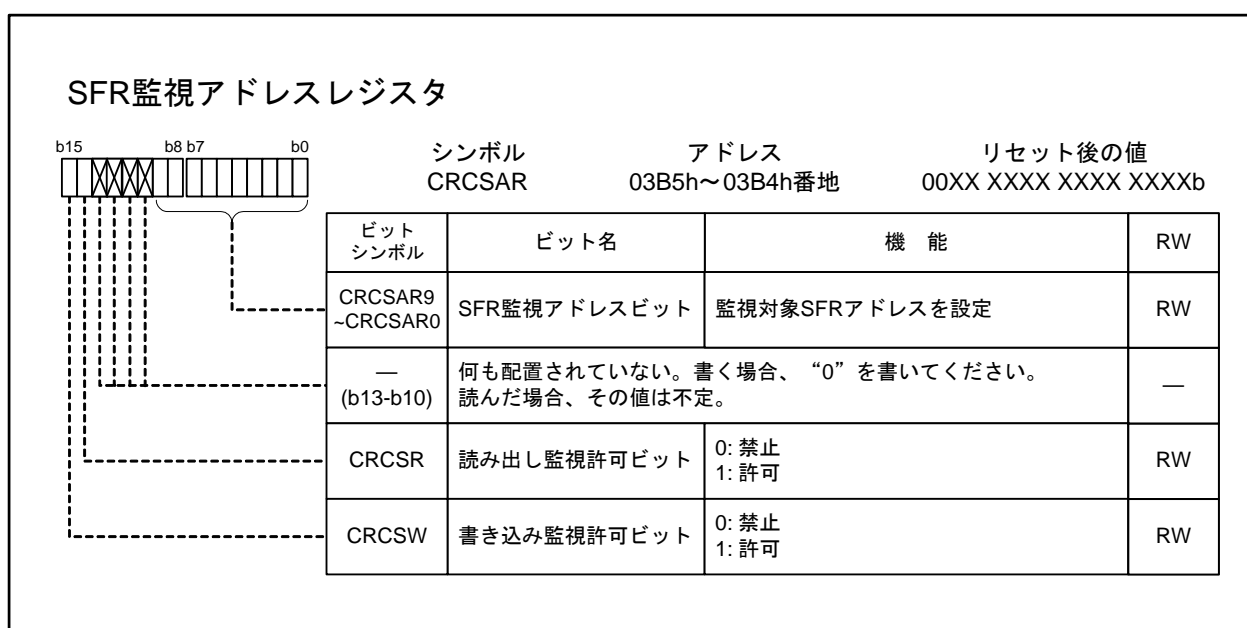
図 28.1 CRC演算回路のブロック図

28.2 レジスタの説明

表 28.2 レジスタ一覧

アドレス	レジスタ名	シンボル	リセット後の値
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh

28.2.1 SFR監視アドレスレジスタ (CRCSAR)

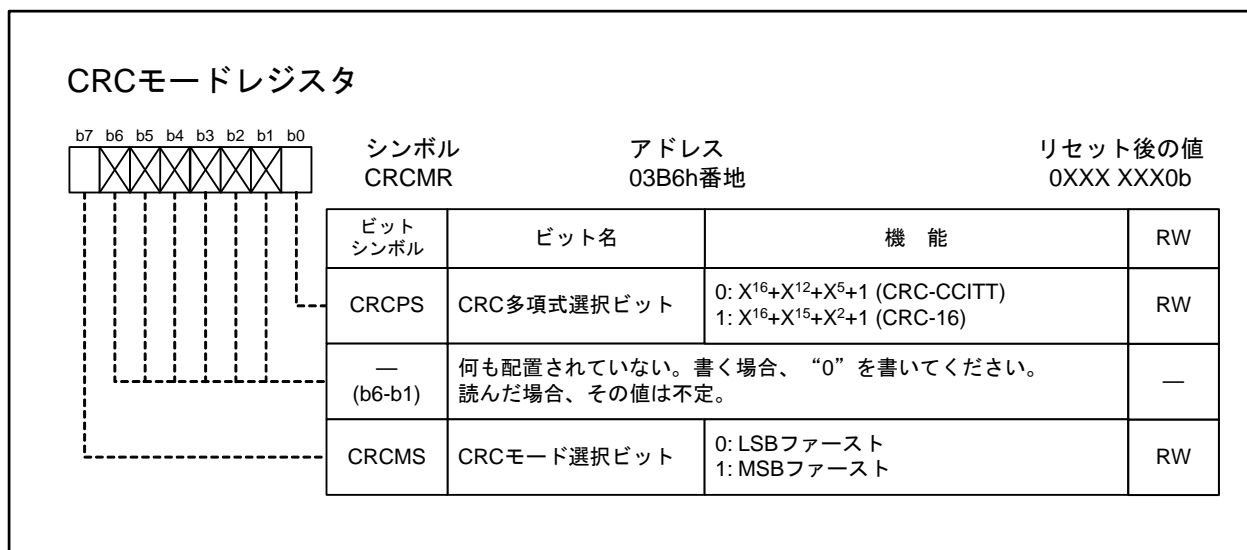


CRCSR (読み出し監視許可ビット) (b14)

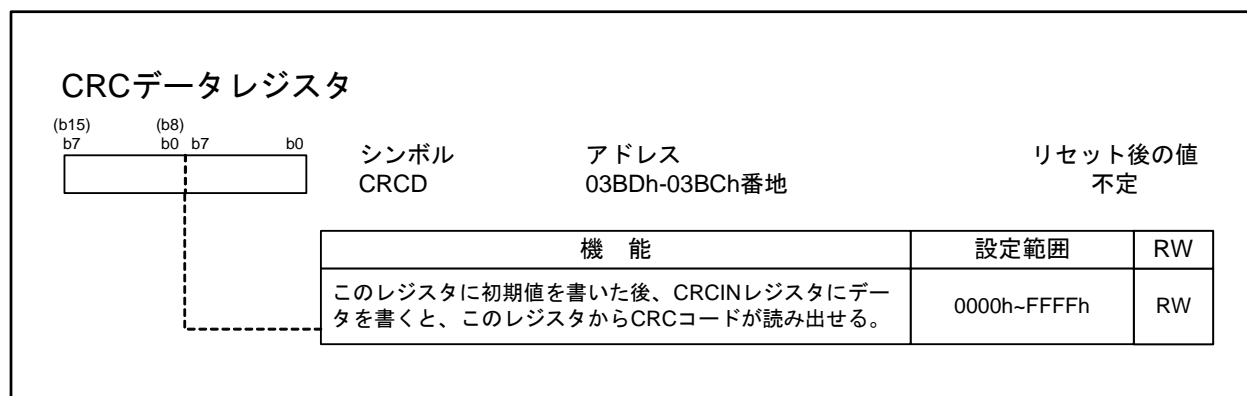
CRCSW (書き込み監視許可ビット) (b15)

CRCSRビットとCRCSWビットの両方が“1”という状態にしないでください。CRCSWビットが“1”のとき、CRCSRビットは“0”にしてください。CRCSRビットが“1”のとき、CRCSWビットは“0”にしてください。

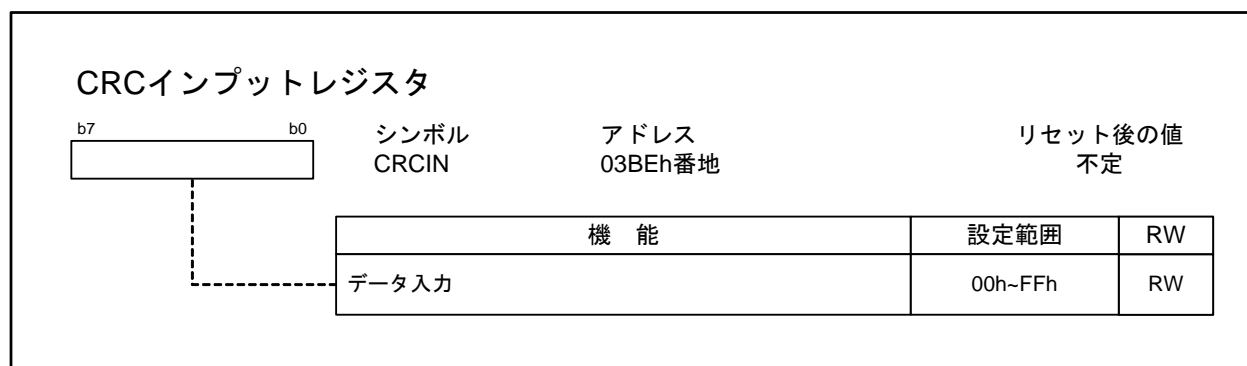
28.2.2 CRCモードレジスタ (CRCMR)



28.2.3 CRCデータレジスタ (CRCD)



28.2.4 CRCインプットレジスタ (CRCIN)



28.3 動作説明

28.3.1 基本動作

CRC(Cyclic Redundancy Check)回路は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)、またはCRC-16 ($X^{16}+X^{15}+X^2+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成はCPUクロックの2サイクルで終了します。

28.3.2 SFRアクセス監視機能

CRC演算回路は、SFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。SFRに書き込まれた、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。対象となる領域は0020h番地から03FFh番地のSFR領域です。たとえば、UART送信バッファレジスタへの書き込みやUART受信バッファからの読み出しを監視する場合に便利です。

SFRへの書き込み/SFRからの読み出しを監視するためには、対象になるSFRアドレスをCRCSARレジスタのCRCSAR9~CRCSAR0ビットに設定します。CRCSARレジスタのCRCSWビットで対象SFRへの書き込みの監視を、CRCSARレジスタのCRCSRビットで対象SFRの読み出しの監視を許可します。

CRCSWビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれたデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、下位1バイトのデータに対してCRCコードを生成します。

“80C4h” のCRCコードを生成する場合の設定手順とCRC演算 (CRC-CCITT使用時、LSBファーストの場合)

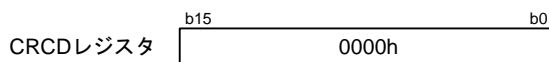
● CRC演算回路の仕様

CRCコード: CRCINレジスタに書いた値の反転したものを被除数、生成多項式を除数とする除算の剰余
生成多項式: $X^{16}+X^{12}+X^5+1(1\ 0001\ 0000\ 0010\ 0001b)$

● 設定手順

- (1) プログラムで“80C4h”のビット位置をバイト単位で反転させる
“80h” → “01h”、“C4h” → “23h”

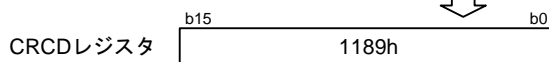
- (2) CRCDレジスタに初期値: “0000h” を書く



- (3) CRCINレジスタに“80h”の反転値“01h”を書く



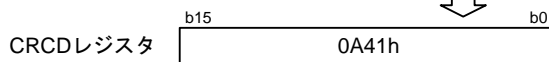
2サイクル後、“80h”のCRCコード
(9188h)のビット位置を反転した
“1189h”が、CRCDレジスタに格納さ
れる



- (4) CRCINレジスタに“C4h”の反転値“23h”を書く

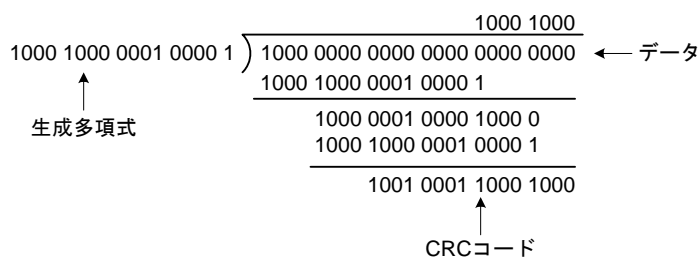


2サイクル後、“80C4h”のCRCコード
(8250h)のビット位置を反転した
“0A41h”が、CRCDレジスタに格納さ
れる



● CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(0000 0001b)”はビット位置が反転され“80h(1000 0000b)”になる。これを16ビット左シフトした“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000 0000 0000 0000b”を8ビット左シフトした“0000 0000 0000 0000 0000 0000b”を加算した値をモジュロ2除算する。



モジュロ2の演算とは…
次の法則に基づいた演算です

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

剰余“1001 0001 1000 1000b(9188h)”のビット位置を反転した“0001 0001 1000 1001b(1189h)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(0010 0011b)”はビット位置が反転され“C4h(1100 0100b)”になる。これを16ビット左シフトした“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”を8ビット左シフトした“1001 0001 1000 1000 0000 0000b”を加算した値をモジュロ2除算する。

剰余“1000 0010 0100 0000b(8250h)”のビット位置を反転した“0000 1010 0100 0001b(0A41h)”がCRCDレジスタから読める。

図 28.2 CRC演算例(CRC-CCITT使用時)

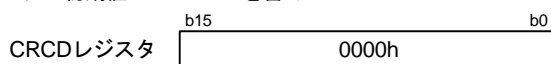
“80C4h”のCRCコードを生成する場合の設定手順とCRC演算 (CRC-16使用時、MSBファーストの場合)

● CRC演算回路の仕様

CRCコード: CRCINレジスタに書いた値を被除数、生成多項式を除数とする除算の剰余
生成多項式: $X^{16}+X^{15}+X^2+1$ (1 1000 0000 0000 0101b)

● 設定手順

- (1) CRCDレジスタに初期値: “0000h” を書く

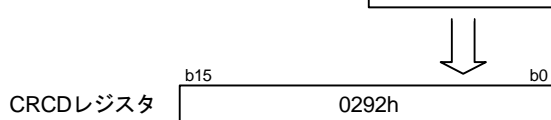


- (2) CRCINレジスタに “80h” を書く



2サイクル後、“80h”のCRCコード
(8303h)がCRCDレジスタに格納される

- (3) CRCINレジスタに “C4h” を書く



2サイクル後、“80C4h”のCRCコード
(0292h)がCRCDレジスタに格納される

● CRC演算詳細

上記(2)の場合、CRCINレジスタに書いた値 “80h (1000 0000b)” を16ビット左シフトした “1000 0000 0000 0000 0000 0000b” と、CRCDレジスタの初期値 “0000 0000 0000 0000b” を8ビット左シフトした “0000 0000 0000 0000 0000 0000b” を加算した値をモジュロ2除算する。

剰余 “1000 0011 0000 0011b (8303h)” がCRCDレジスタから読める。

続けて上記(3)の場合、CRCINレジスタに書いた値 “C4h (1100 0100b)” を16ビット左シフトした “1100 0100 0000 0000 0000 0000b” と、CRCDレジスタに残っている(2)の剰余 “8303h(1000 0011 0000 0011b)” を8ビット左シフトした “1000 0011 0000 0011 0000 0000b” を加算した値をモジュロ2除算する。

剰余 “0000 0010 1001 0010b (0292h)” がCRCDレジスタから読める。

図 28.3 CRC演算例 (CRC-16使用時)

29. フラッシュメモリ

注意

80ピン版のP4_0~P4_7、P5_0~P5_7、P9_4は、外部への接続がありません。また、64ピン版のP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4_0~P4_7、P5_0~P5_7、P9_4~P9_7は、外部への接続がありません。80ピン版、64ピン版では、ユーザブート機能のエントリに使用する端子に、これらの端子を指定しないでください。

29.1 概要

本製品のROMはフラッシュメモリです。本章でフラッシュメモリという場合は、マイクロコンピュータ内部のフラッシュメモリを指します。

本製品では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表 29.1にフラッシュメモリの仕様概要を示します(表 29.1に示す以外の項目は「表 1.1~表 1.6 仕様概要」を参照してください)。

表 29.1 フラッシュメモリの仕様概要

項目		性能
フラッシュメモリの書き換えモード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	プログラムROM1	「図 29.1 フラッシュメモリのブロック図」を参照してください。
	プログラムROM2	1分割(16Kバイト)
	データフラッシュ	2分割(各4Kバイト)
プログラム方式		2ワード(4バイト)単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
サスペンド機能		プログラムサスペンド、イレーズサスペンド
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレーズ回数	プログラムROM1、プログラムROM2	1,000回(注1)
	データフラッシュ	10,000回(注1)
データ保持		20年間
フラッシュメモリ書き換え禁止機能		パラレル入出力モード ROMコードプロテクト機能 標準シリアル入出力モード IDコードチェック機能、強制イレーズ機能、 標準シリアル入出力モード禁止機能
ユーザブート機能		ユーザブートモードあり

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

たとえば、4Kバイトのブロックについて、2ワードの書き込みを1024回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が1,000回の場合、ブロックごとに1,000回ずつイレーズすることができます。

表 29.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換える EW0モード: RAM上で書き換え可能 EW1モード: フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、フラッシュメモリを書き換える 標準シリアル入出力モード1: クロック同期型シリアルI/O 標準シリアル入出力モード2: 2線式クロック非同期型シリアルI/O	専用パラレルライタを使用して、フラッシュメモリを書き換える
書き換えできる領域	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ
CPU動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

29.2 メモリ配置

本製品のROMはフラッシュメモリで、プログラムROM1、プログラムROM2、データフラッシュに分けられます。図 29.1にフラッシュメモリのブロック図を示します。

フラッシュメモリはブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。また、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

プログラムROM2はPRG2CレジスタのPRG2C0ビットが“0”(プログラムROM2有効)のとき使用できます。

データフラッシュは、PM1レジスタのPM10ビットを“1”(0E000h~0FFFFhはデータフラッシュ)にすると使用できます。データフラッシュは、ブロックA、ブロックBに分割されます。

表 29.3にプログラムROM1、プログラムROM2、データフラッシュの相違を示します。

なお、シングルチップモードで使用する場合には、プログラムROM1、プログラムROM2、データフラッシュのいずれにもプログラムを配置できます。

表 29.3 プログラムROM1、プログラムROM2、データフラッシュの相違

項目	フラッシュメモリ		
	プログラムROM1	プログラムROM2	データフラッシュ
プログラム、イレーズ回数	1,000回		10,000回
強制イレーズ機能	有効		無効
読み出し時の周波数制限	なし		あり
ユーザブートプログラム	配置しないでください	配置できる	配置しないでください

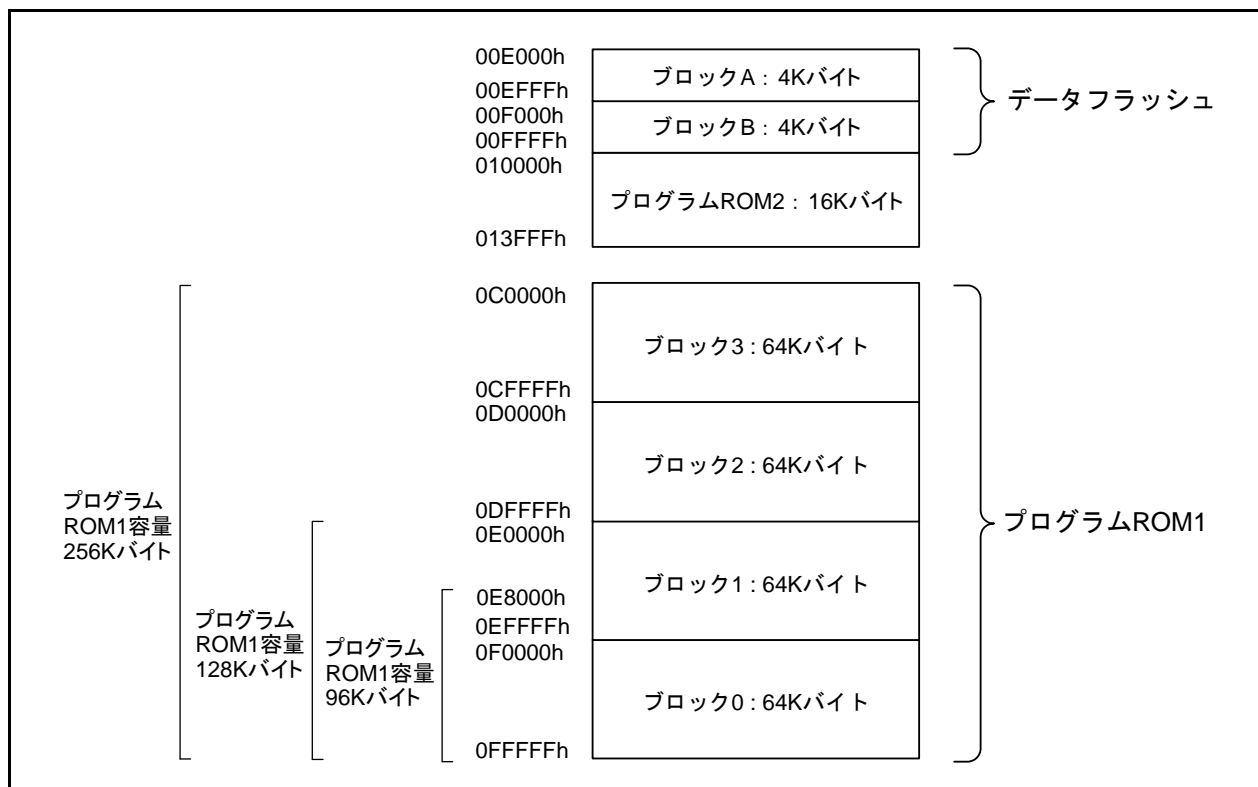


図 29.1 フラッシュメモリのブロック図

29.3 レジスタの説明

表 29.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b

29.3.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0			
ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効	RW
FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。	RW
FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー終了	RO

シンボル: FMR0
 アドレス: 0220h番地
 リセット後の値: 0000 0001b (ユーザブートモード以外)
 0010 0001b (ユーザブートモード)

FMR00 (RY/BYステータスフラグ) (b0)

フラッシュメモリの動作状況を示すビットです。

["0"]になる条件]

- 次のコマンド実行中。
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック
- フラッシュメモリ停止 (FMSTPが“1”)
- FMSTPを“1”にした後、“0”にした場合の復帰動作中

["1"]になる条件]

上記以外

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。

また、EW0モード時はRAM上のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMR02 (ロックビット無効選択ビット) (b2)

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「29.8.4 データ保護機能」参照)。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

FMR02ビットを“1”にするときは、FMR01ビットが“1”の状態、FMR02ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

プログラム中、イレーズ中、サスペンド中、FMR02ビットを変更しないでください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはRAMに配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)

FMSTPビットは次の手順で書き換えてください。

フラッシュメモリを停止させるとき

- (1)FMSTPビットを“1”にする
- (2)フラッシュメモリ回路安定待ち時間(tps)待つ

フラッシュメモリを再び動作させるとき

- (1)FMSTPビットを“0”にする
- (2)フラッシュメモリ回路安定待ち時間(tps)待つ

FMSTPビットは、FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

FMR22ビットが“1”(スローリードモード許可)またはFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR22ビットまたはFMR23ビットを“1”にしないでください。

FMR06 (プログラムステータスフラグ) (b6)

自動書き込みの状況を示すビットです。

["0"]になる条件]

- クリアステータスコマンド実行

["1"]になる条件]

- 「29.8.7.1 フルステータスチェック」参照

FMR06ビットが“1”のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

FMR07 (イレーズステータスフラグ) (b7)

自動消去の状況を示すビットです。

["0"]になる条件]

- クリアステータスコマンド実行

["1"]になる条件]

- 「29.8.7.1 フルステータスチェック」参照

FMR07ビットが“1”のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

29.3.2 フラッシュメモリ制御レジスタ1 (FMR1)

フラッシュメモリ制御レジスタ1			
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	読んだ場合、その値は不定	RO
FMR11	FMR6レジスタへの書き込み許可ビット	0: 禁止 1: 許可	RW
— (b3-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		—
FMR16	ロックビットステータスフラグ	0: ロック 1: 非ロック	RO
FMR17	データフラッシュウェイトビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う	RW

アドレス: 0221h番地
 リセット後の値: 00X0 XX0Xb

FMR11 (FMR6レジスタへの書き込み許可ビット) (b1)

FMR11ビットは、PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。

FMR16 (ロックビットステータスフラグ) (b6)

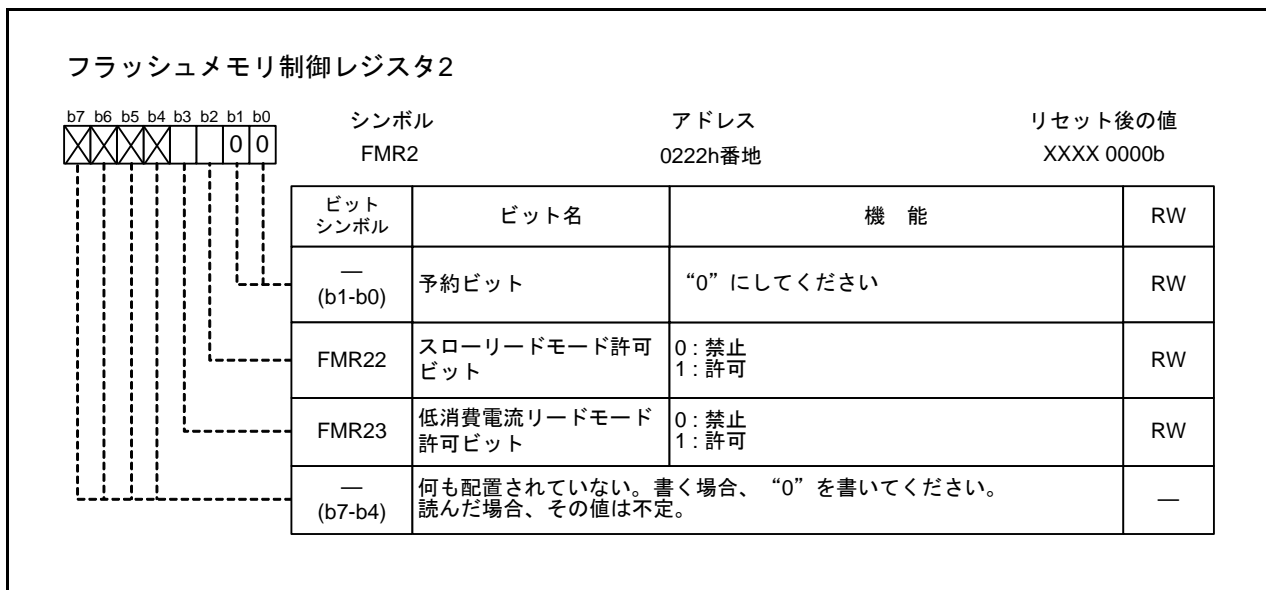
リードロックビットステータスコマンド実行結果を示すビットです。

FMR17 (データフラッシュウェイトビット) (b7)

データフラッシュのウェイトを選択するビットです。

“0” (1ウェイト) にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

29.3.3 フラッシュメモリ制御レジスタ2 (FMR2)

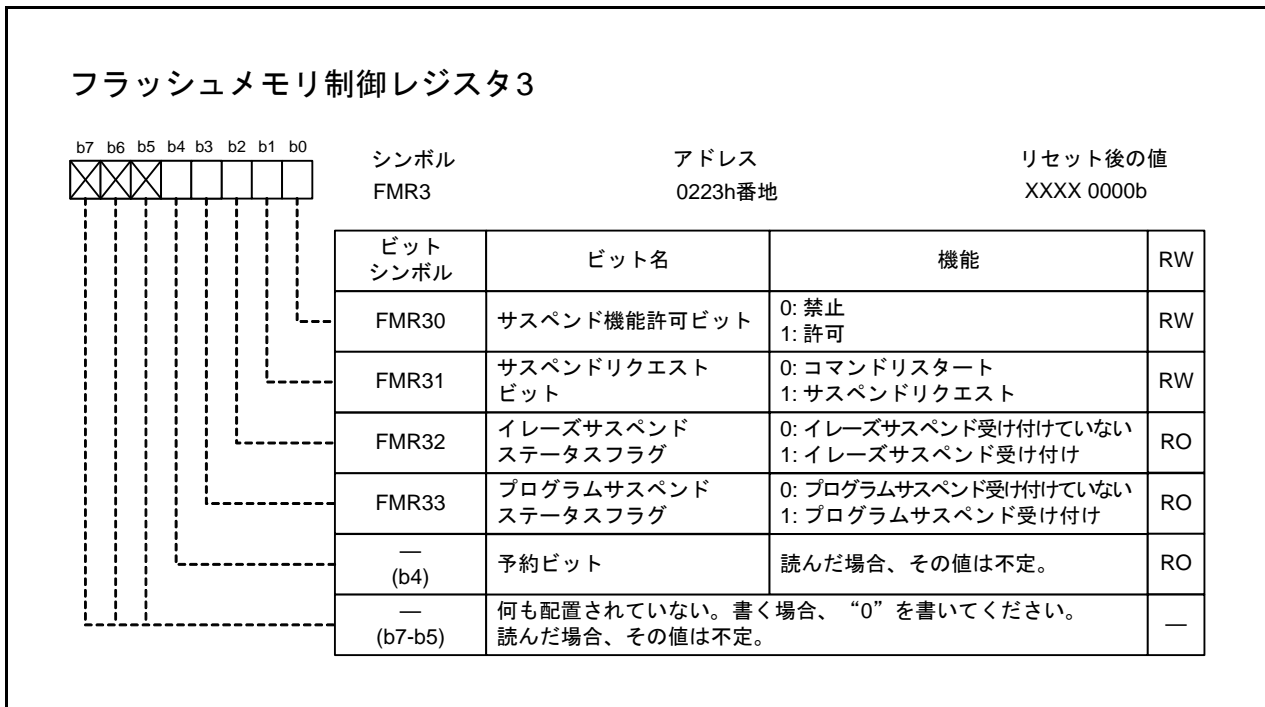


FMR22 (スローリードモード許可ビット) (b2)

FMR23 (低消費電流リードモード許可ビット) (b3)

詳細は「9.4.2 フラッシュメモリの読み出し」を参照してください。

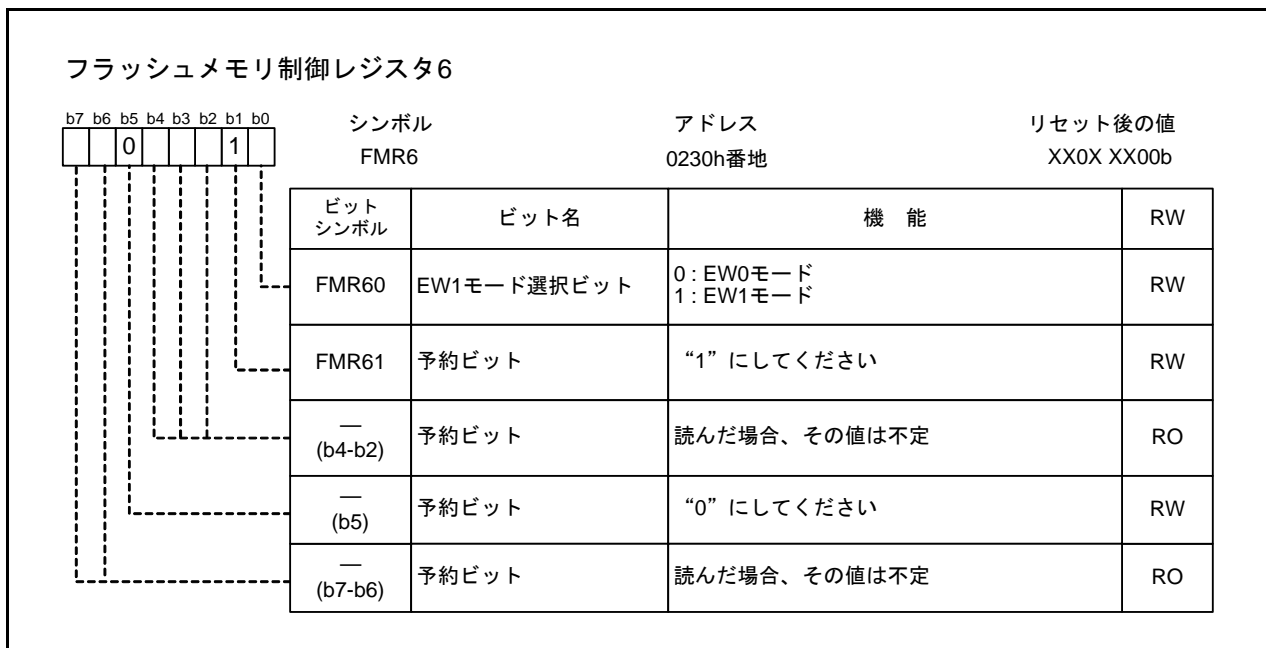
29.3.4 フラッシュメモリ制御レジスタ3 (FMR3)



FMR30(サスペンド機能許可ビット) (b0)

FMR30ビットを“1”にするときは“0”を書いた後、続けて“1”を書いてください。“0”を書いた後“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

29.3.5 フラッシュメモリ制御レジスタ6 (FMR6)



FMR6レジスタをアクセスする場合、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを16MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

FMR60 (EW1モード選択ビット) (b0)

“1”にするときは、FMR0レジスタのFMR01ビットとFMR1レジスタのFMR11ビットがともに“1”の状態、FMR60ビットに“1”を書いてください。

FMR60ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。また、FMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

FMR61 (b1)

CPU書き換えモードを使用する場合“1”にしてください。

29.4 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地、OFS2番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS1番地、OFS2番地の値は、ユーザがプログラムで設定した値です。

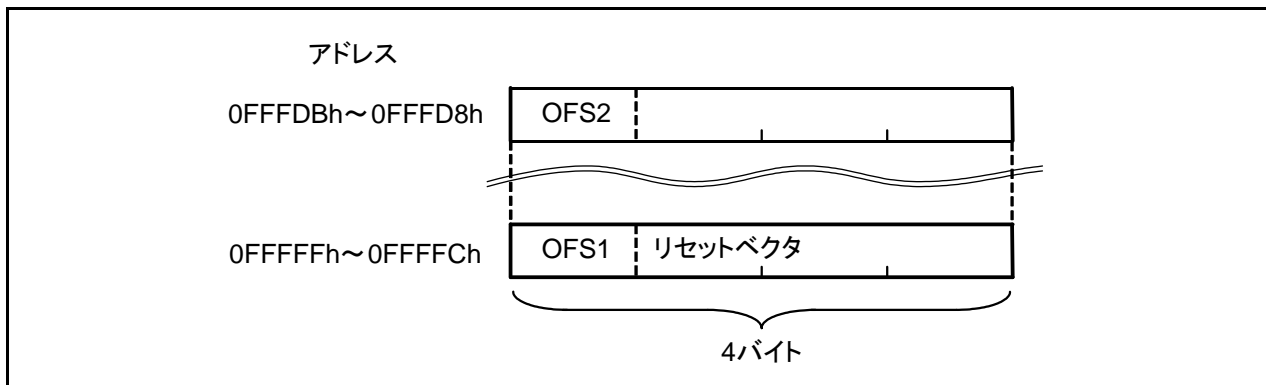
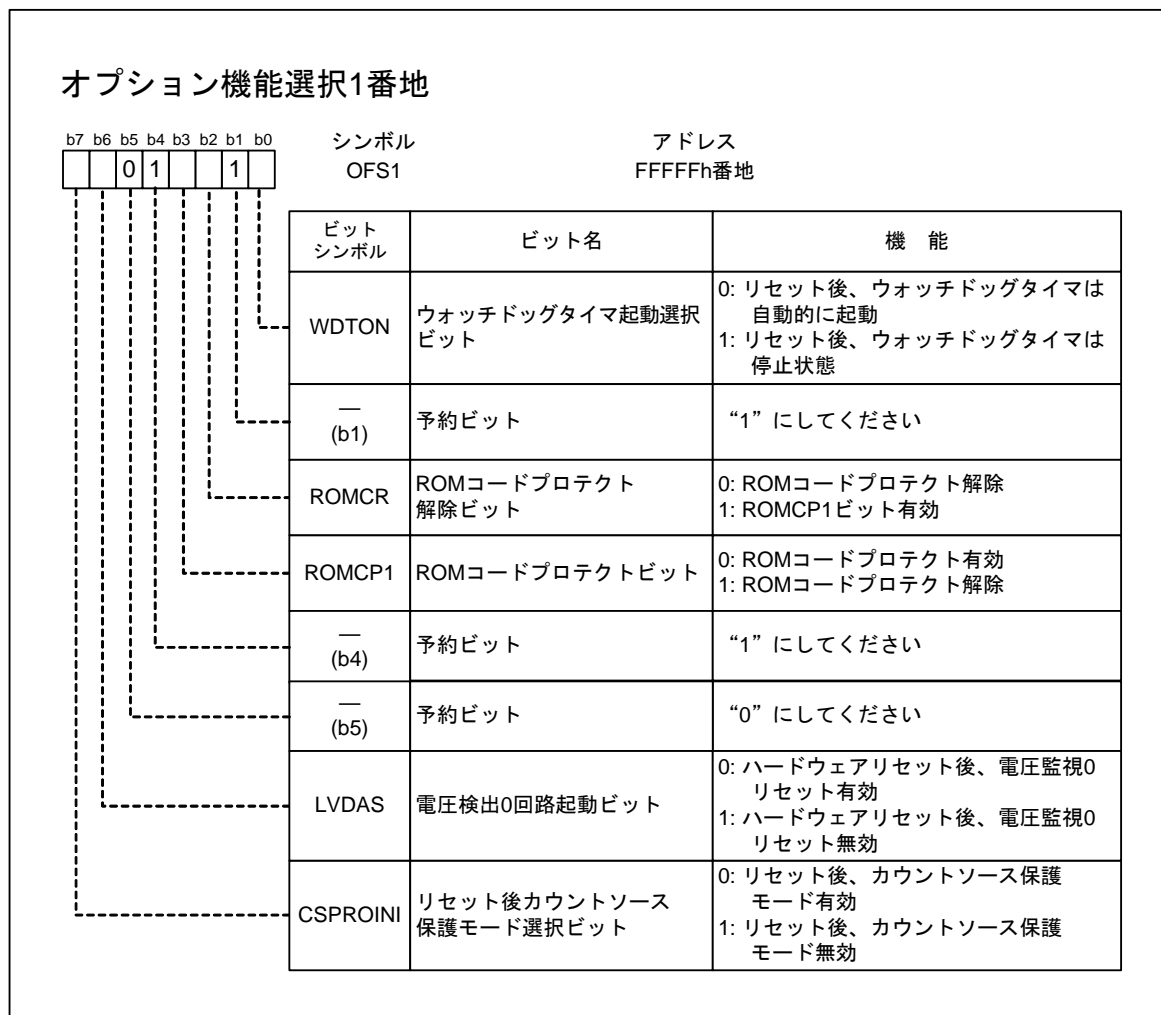


図 29.2 オプション機能選択領域

29.4.1 オプション機能選択1番地 (OFS1)



ROMCR (ROMコードプロテクト解除ビット) (b2)

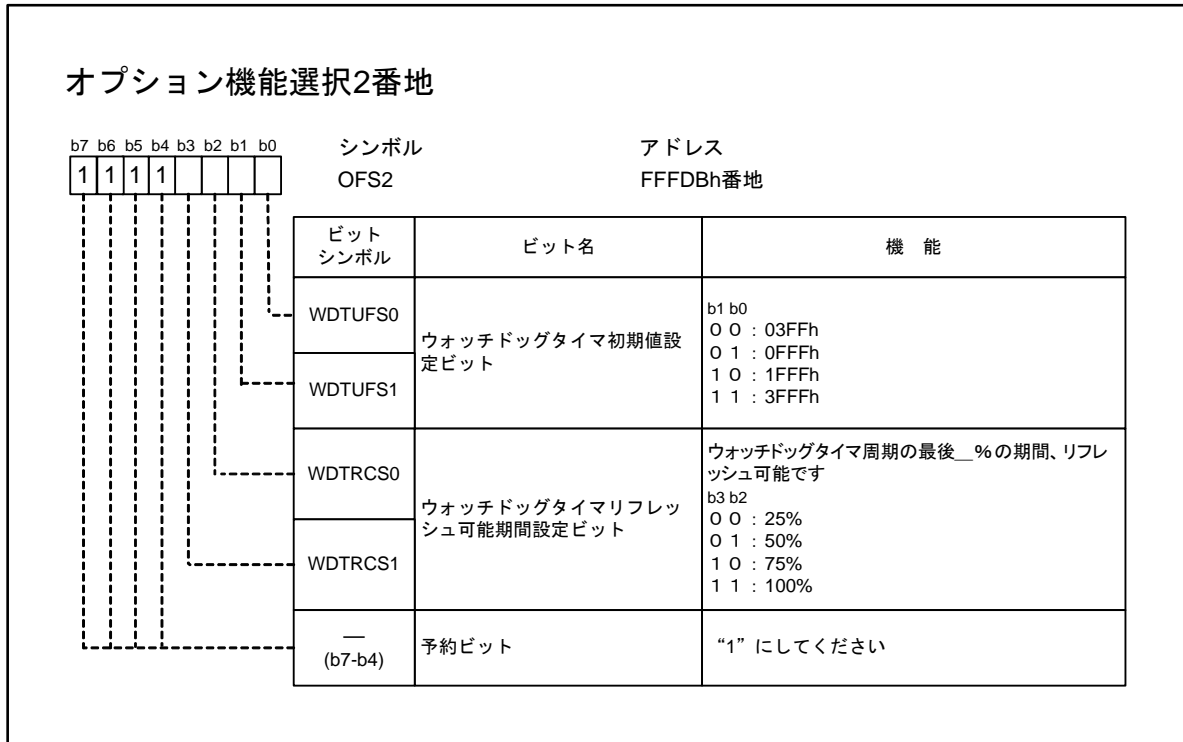
ROMCP1 (ROMコードプロテクトビット) (b3)

パラレル入出力モードによるフラッシュメモリの読み出しや値の変更を禁止します。

表 29.5 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

29.4.2 オプション機能選択2番地 (OFS2)



29.5 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込み、消去を禁止する機能です。詳細は各モードで説明します。

パラレル入出力モード

ROMコードプロテクト機能

標準シリアル入出力モード

IDコードチェック機能、強制イレーズ機能、標準シリアル入出力モード禁止機能

29.6 ブートモード

CNVSS 端子に“H”を入力してハードウェアリセットを行うと、リセット解除後ブートモードになります。ブートモードでは、ユーザブートコード領域の内容に従って、ユーザブートモードまたは標準シリアル入出力モードが選択できます。標準シリアル入出力モードは「29.9 標準シリアル入出力モード」を参照してください。

パワーオンリセット、電圧監視0リセットでは、ブートモードにはなりません。

29.7 ユーザブートモード

ユーザが作成したフラッシュメモリ書き換えプログラムを起動するためのモードです。

フラッシュメモリ書き換えプログラムは、プログラムROM2に配置してください。ユーザブートモードでは10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。起動後はプログラムに従って、EW0モードまたはEW1モードでフラッシュメモリを書き換えます。

29.7.1 ユーザブート機能

ブートモードで起動するとき、任意のポートの状態で、ユーザブートモードを選択できます。表 29.6 にユーザブート機能の仕様を示します。

表 29.6 ユーザブート機能の仕様

項目	仕様
エントリに使用する端子	端子なし、またはポートP0~P10のうち1端子を選択
ユーザブート起動レベル	“H”または“L”選択
ユーザブートの先頭番地	10000h番地(プログラムROM2の先頭番地)

ユーザブートコード領域の13FF0h~13FF7h番地にASCIIコードで“UserBoot”を設定し、13FF8h~13FF9h番地と13FFAh番地でエントリに使用するポートを、13FFBh番地で起動レベルを選択してください。ブートモード起動後、選択したポートの入力レベルに従って、ユーザブートモードまたは標準シリアル入出力モードが起動します。

また、13FF0h~13FF7h番地がASCIIコードで“UserBoot”かつ、13FF8h~13FFBh番地がすべて“00h”の場合はユーザブートモードになります。

ユーザブートモードになると10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。

図 29.3 にユーザブートコード領域を、表 29.7 に起動モードを、表 29.8 に“UserBoot”のASCIIコードを、表 29.9 にエントリに使用できるポートのアドレスを示します。

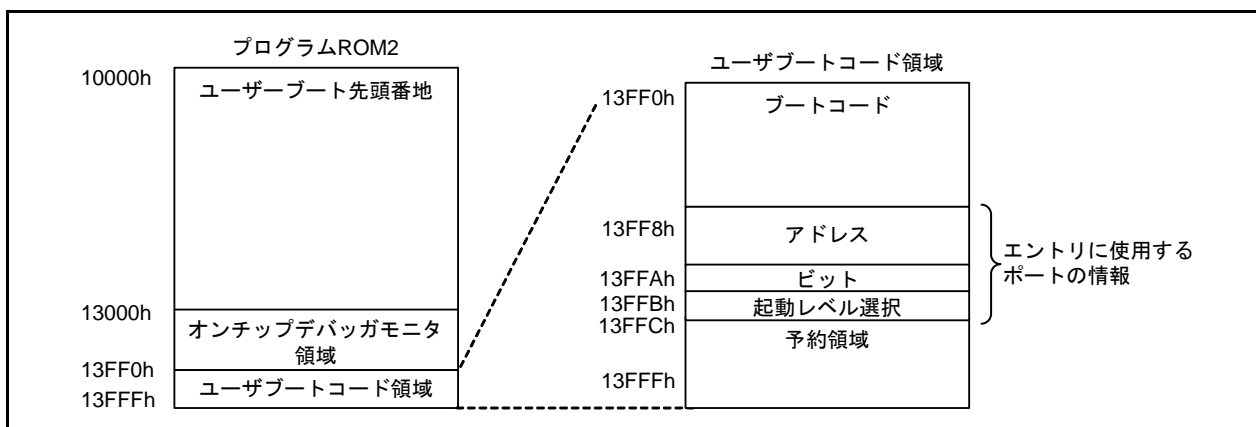


図 29.3 ユーザブートコード領域

表 29.7 起動モード(エントリに使用するポートをポートPi_jとした場合)(注1)

ブートコード (13FF0h~ 13FF7h番地)	エントリに使用するポートの情報			ポート Pi _j 入力 レベル	起動するモード
	アドレス (13FF8h~ 13FF9h番地)	ビット (13FFAh番地)	起動レベル選択 (13FFBh番地)		
ASCIIコードで "UserBoot" (注2)	0000h Piレジスタの 番地(注3)	00h~07h (jの値)	00h	— H L	ユーザブートモード 標準シリアル入出力モード ユーザブートモード
	Piレジスタの 番地(注3)	00h~07h (jの値)	01h	H L	ユーザブートモード 標準シリアル入出力モード
ASCIIコードで "UserBoot"以外	—	—	—	—	標準シリアル入出力モード

i=0~10 j=0~7

注1. 表 29.7にない値、組み合わせを設定しないでください。

注2. 「表 29.8 "UserBoot"のASCIIコード」参照

注3. 「表 29.9 エントリに使用できるポートのアドレス」参照

表 29.8 "UserBoot"のASCIIコード

番地	ASCIIコード
13FF0h	55h ("U"大文字)
13FF1h	73h ("s"小文字)
13FF2h	65h ("e"小文字)
13FF3h	72h ("r"小文字)
13FF4h	42h ("B"大文字)
13FF5h	6Fh ("o"小文字)
13FF6h	6Fh ("o"小文字)
13FF7h	74h ("t"小文字)

表 29.9 エントリに使用できるポートのアドレス

ポート	アドレス	
	13FF9h	13FF8h
P0	03h	E0h
P1	03h	E1h
P2	03h	E4h
P3	03h	E5h
P4	03h	E8h
P5	03h	E9h
P6	03h	ECh
P7	03h	EDh
P8	03h	F0h
P9	03h	F1h
P10	03h	F4h

表 29.10 ユーザブートコード領域設定例

ポートP1_5の入力レベルが“L”のときユーザブートモードで起動する場合

番地	設定値	意味
13FF0h	55h	“U”大文字
13FF1h	73h	“s”小文字
13FF2h	65h	“e”小文字
13FF3h	72h	“r”小文字
13FF4h	42h	“B”大文字
13FF5h	6Fh	“o”小文字
13FF6h	6Fh	“o”小文字
13FF7h	74h	“t”小文字
13FF8h	E1h	ポートP1_5
13FF9h	03h	
13FFAh	05h	
13FFBh	00h	“L”レベル

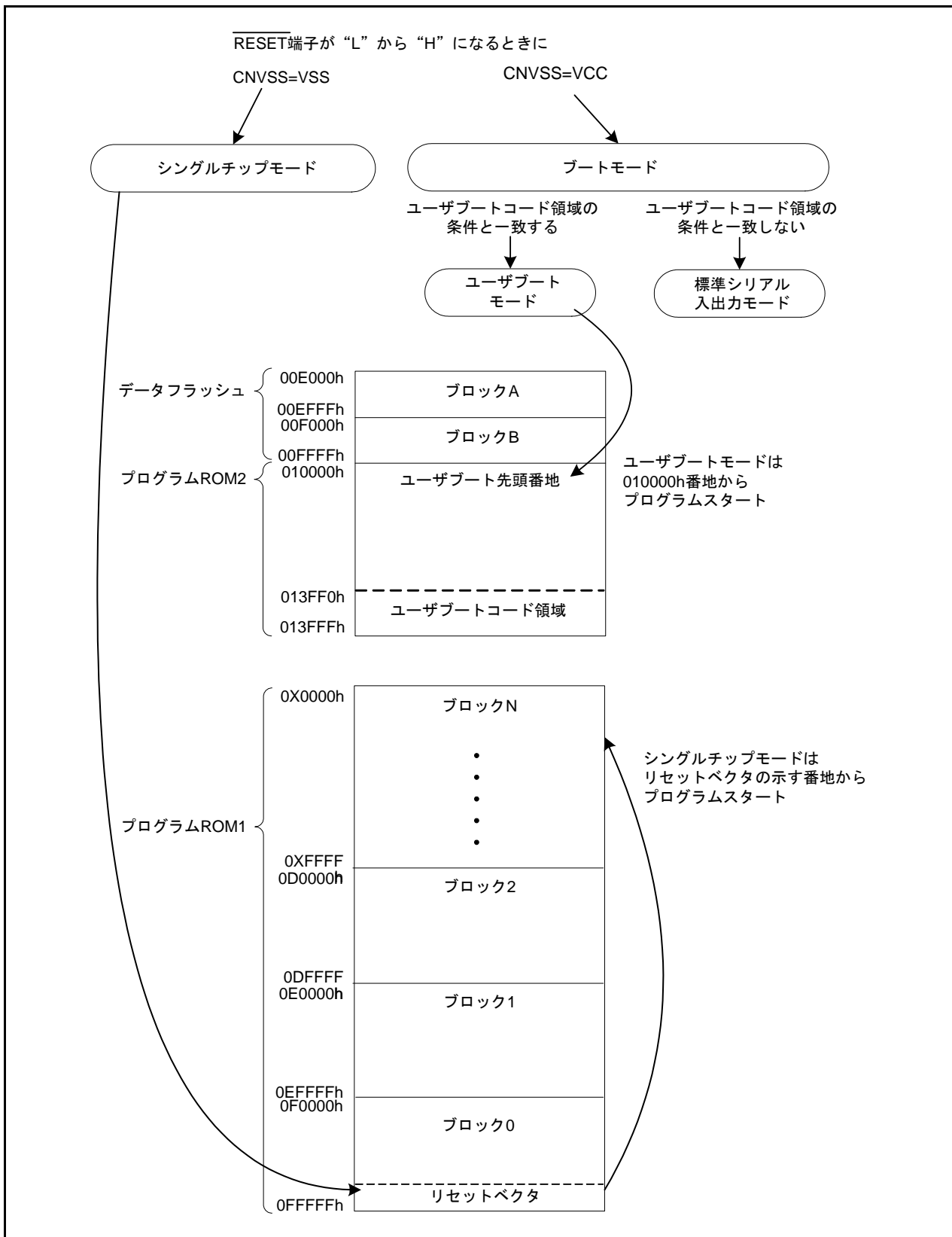


図 29.4 ユーザブートモードのプログラムスタート番地

29.8 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、データフラッシュを書き換えることができます。

プログラム、ブロックイレーズのコマンドは、プログラムROM1、プログラムROM2、データフラッシュの各ブロック領域のみに対して実行してください。

CPU書き換えモードで消去および書き込み動作中に、動作を一時中断するサスペンド機能を持ちます。サスペンド機能の詳細は「29.8.5 サスペンド機能」を参照してください。

CPU書き換えモードには、EW0モードとEW1モードがあります。表29.11にEW0モードとEW1モードの違いを示します。

「29.8.1 EW0モード」、「29.8.2 EW1モード」を参照してください。

表 29.11 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	• シングルチップモード	シングルチップモード
書き換え制御 プログラムを配置 できる領域	• プログラムROM1 • プログラムROM2	• プログラムROM1 • プログラムROM2
書き換え制御 プログラムを実行 できる領域	RAMへ転送してから実行する必要あり	プログラムROM1、プログラムROM2で実行可能
書き換えられる領域	• プログラムROM1 • プログラムROM2 • データフラッシュ	• プログラムROM1 • プログラムROM2 • データフラッシュ ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェア コマンドの制限	なし	• 書き換え制御プログラムがあるブロックに対してプログラム、ブロックイレーズコマンドを実行禁止 • リードステータスレジスタコマンド実行禁止
プログラム、イレーズ 後と、プログラムサスペンド、 イレーズサスペンド中のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時の状態	バスホールドにならない	バスホールドになる(注1)
フラッシュメモリの ステータス検知	• プログラムでFMR0レジスタのFMR00、FMR06、FMR07、FMR3レジスタのFMR32、FMR33ビットを読む • リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07、FMR3レジスタのFMR32、FMR33ビットを読む

注1. バスホールドの詳細は「10.4 バスホールド」参照。

29.8.1 EW0モード

FMR0レジスタのFMR01ビットを“1” (CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR6レジスタのFMR60ビットが“0”の場合、EW0モードになります。図 29.5にEW0モードの設定と解除方法を示します。

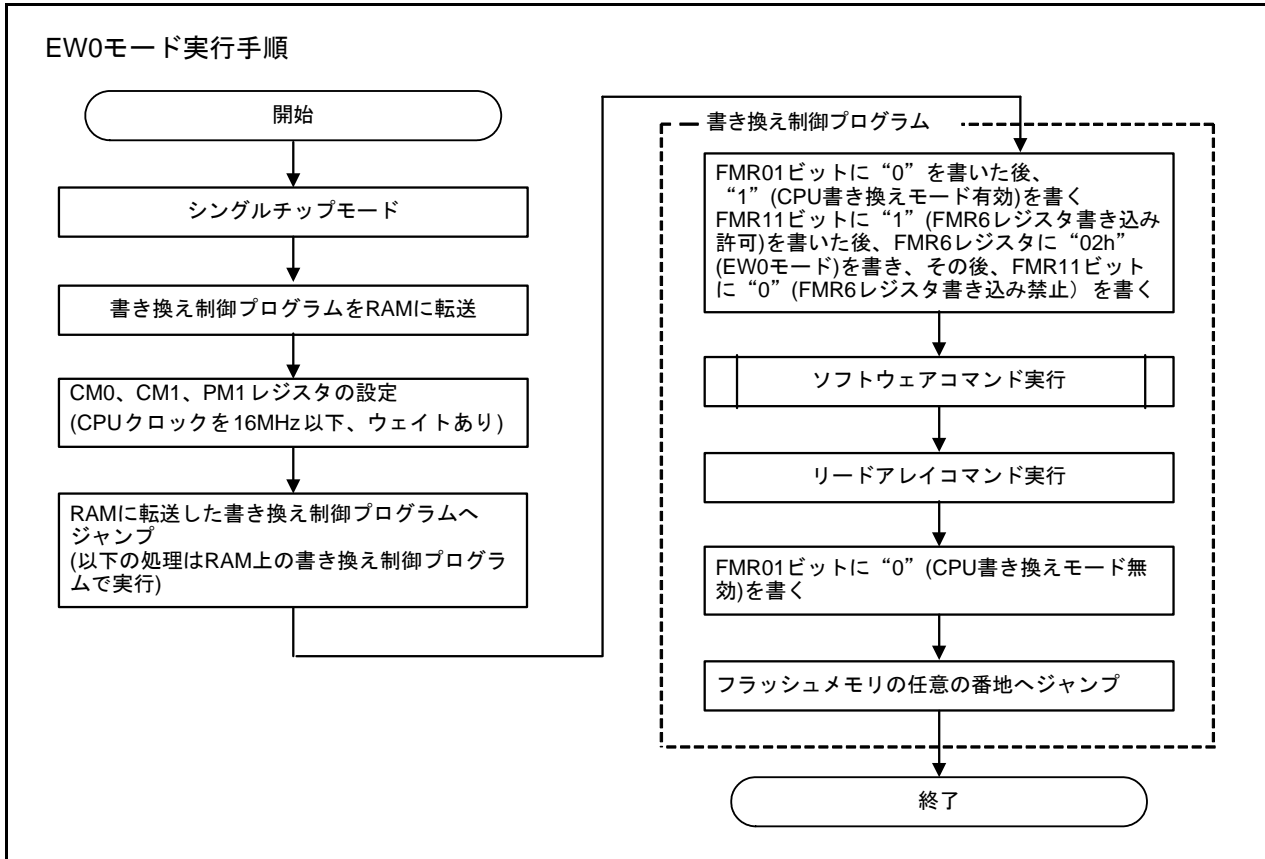


図 29.5 EW0モードの設定と解除方法

EW0モードでは次の命令を実行しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

EW0モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み(サスペンド禁止時)
可変ベクタテーブルをRAMに配置してあれば使用できます。
- マスカブル割り込み(サスペンド許可時)
可変ベクタテーブルをRAMに配置してあれば使用できます。
割り込みルーチン内でFMR0レジスタのFMR00ビットをチェックし、“0”(書き込み、消去実行中)であれば、FMR3レジスタのFMR31ビットを“1”(サスペンドリクエスト)にすると、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。割り込みの最後にFMR31ビットを“0”(コマンドリスタート)にすると、自動消去または自動書き込みを再開します。
- NMI、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み
割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止します。その後割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

なお、ウォッチドッグタイマは自動消去または自動書き込み中も動作します。定期的にウォッチドッグタイマをリフレッシュしてください。

表29.12 コマンド実行後のモード (EW0モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	リードアレイモード
プログラム	リードステータスレジスタモード(注1)
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	リードロックビットステータスモード(注1)
ブロックブランクチェック	リードステータスレジスタモード(注1)

注1. フラッシュメモリが読めるのはリードアレイモードのみです。

29.8.1.1 サスペンド機能(EW0モード)

EW0モードでサスペンドを使用する場合は、割り込みルーチン内でフラッシュメモリの状態をチェックして、サスペンドへ移行してください。FMR31ビットを“1”にしてからtd(SR-SUS)時間後にプログラムサスペンドまたはイレーズサスペンドが受け付けられますので、FMR33ビットまたはFMR32ビットで受け付けられたことを確認してから、フラッシュメモリにアクセスしてください。また、フラッシュメモリアクセスが終了したらFMR31ビットを“0”(コマンドリスタート)にして自動消去、自動書き込みを再開させてください。図29.6~29.8にEW0モードのサスペンド許可時のフローチャートを、図29.9にEW0モードのサスペンド動作例を示します。

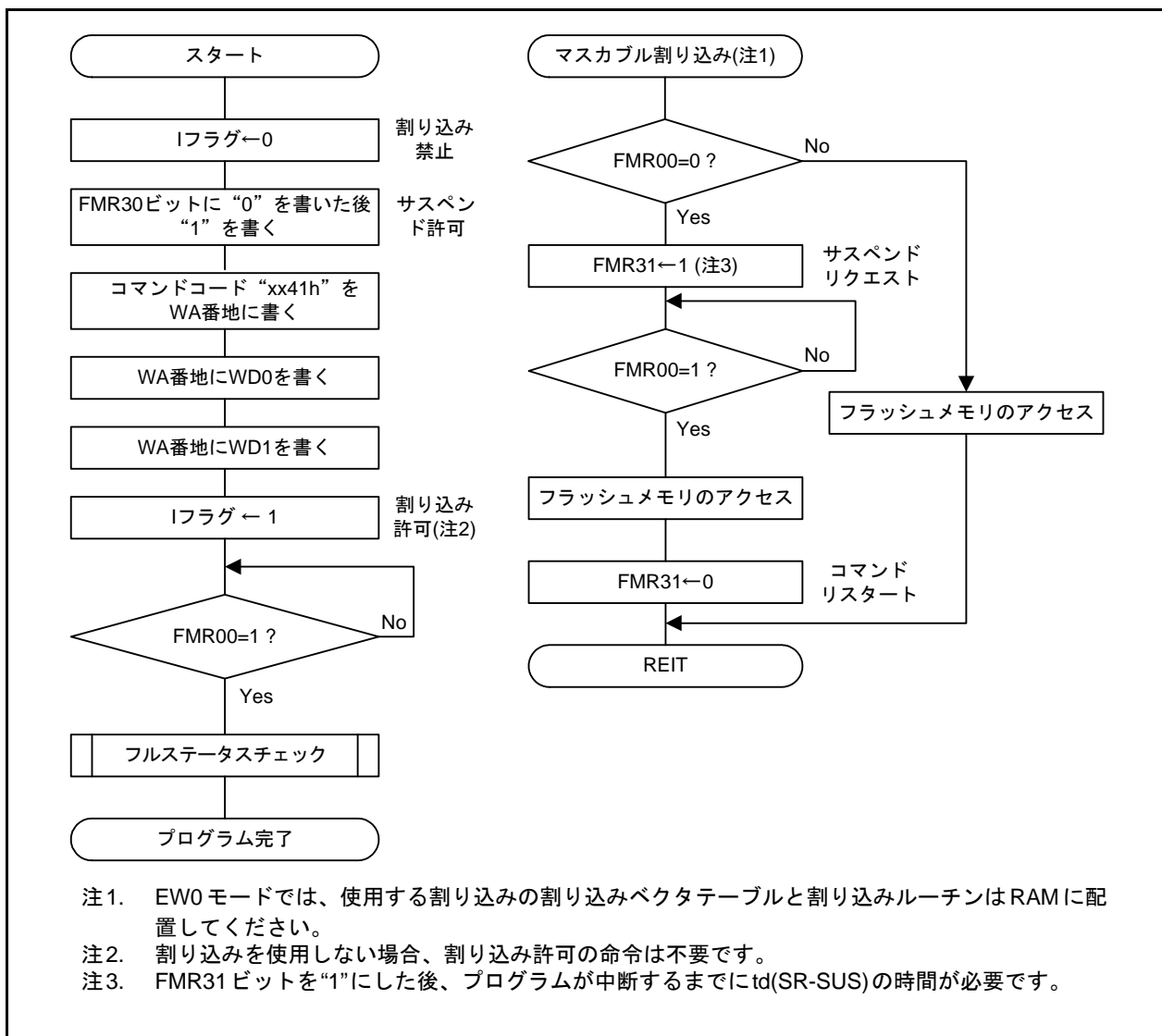


図 29.6 EW0モードのプログラムフローチャート(サスペンド機能許可時)

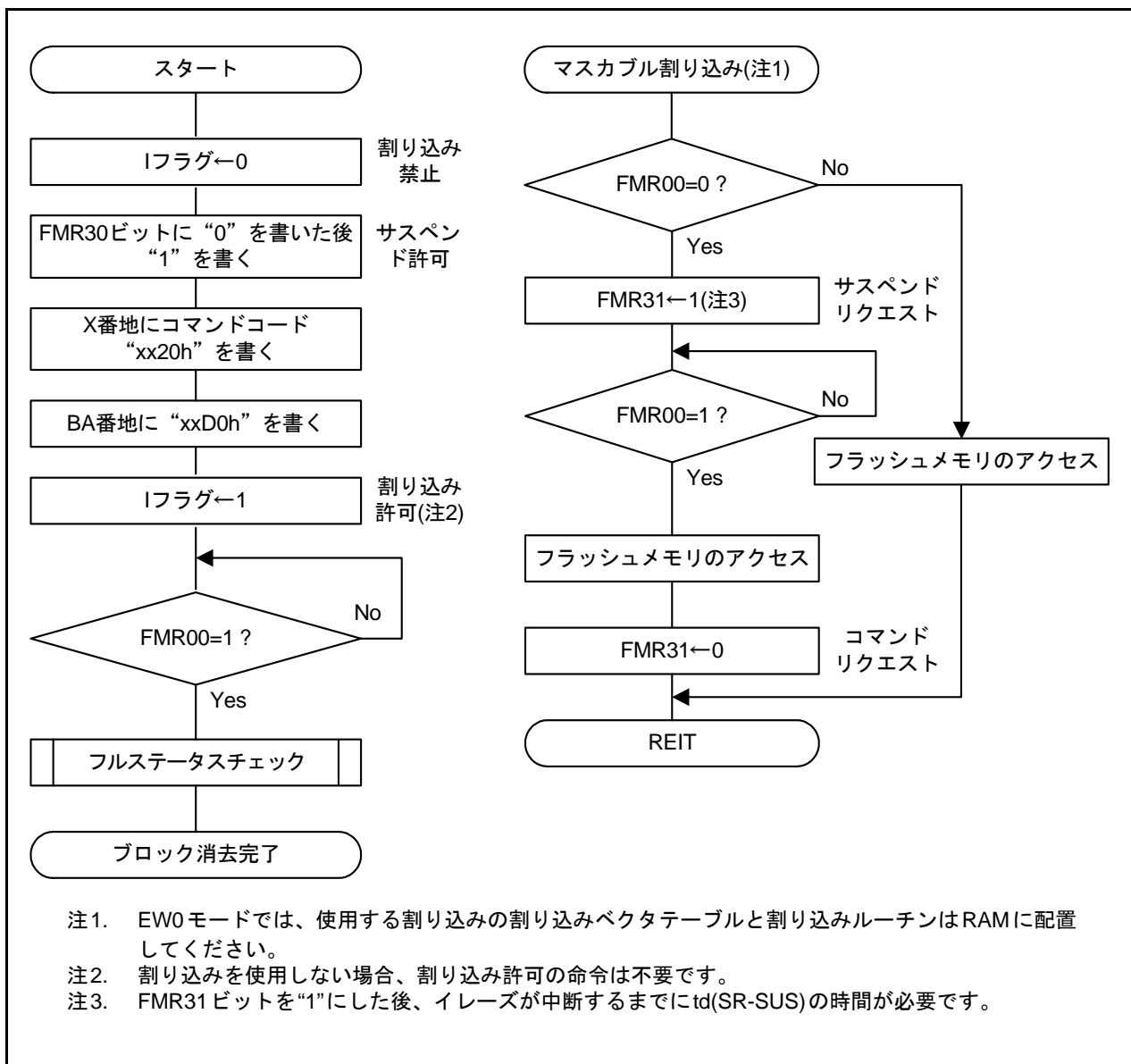


図 29.7 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時)

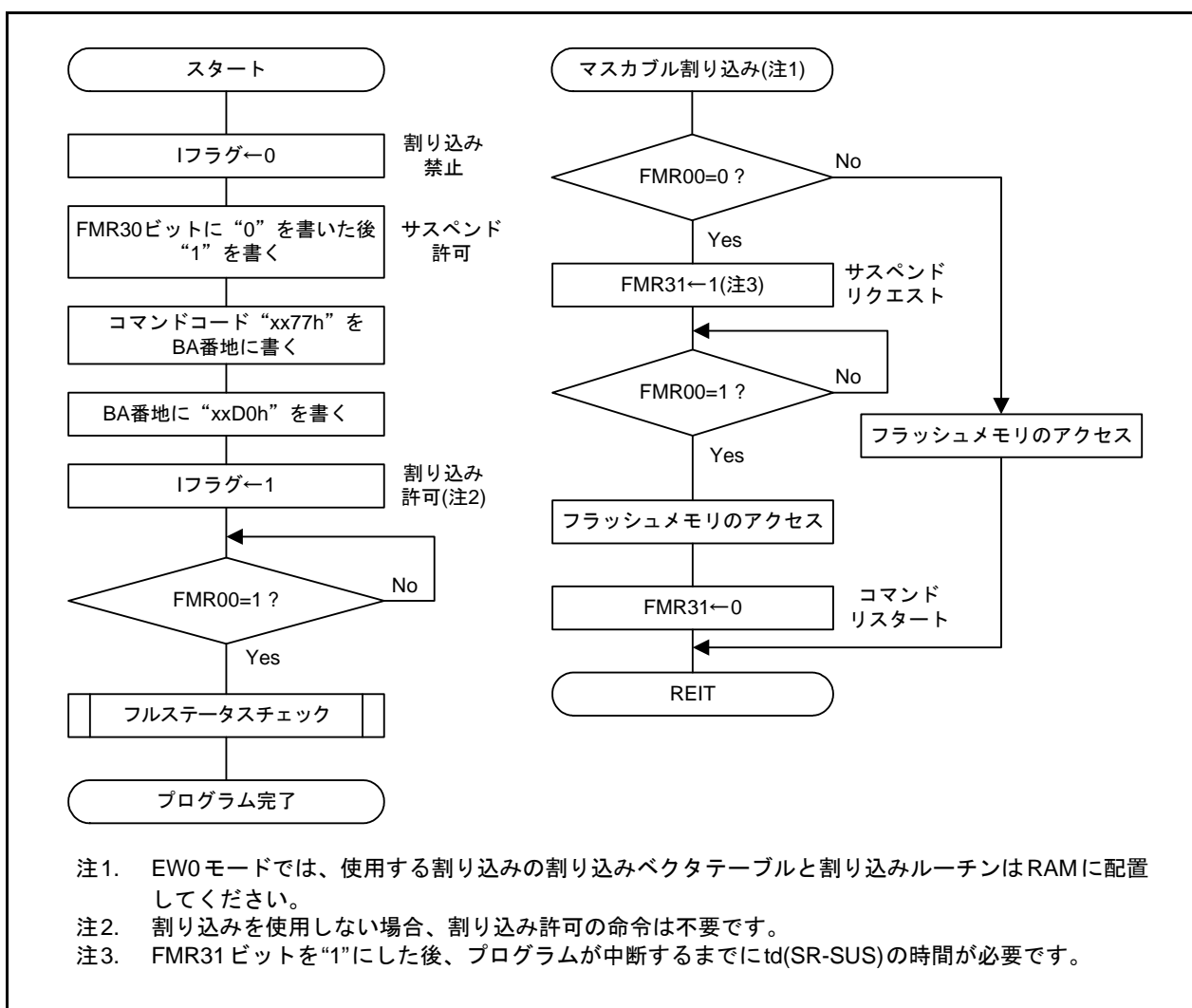


図 29.8 EWOモードのロックビットプログラムフローチャート(サスペンド機能許可時)

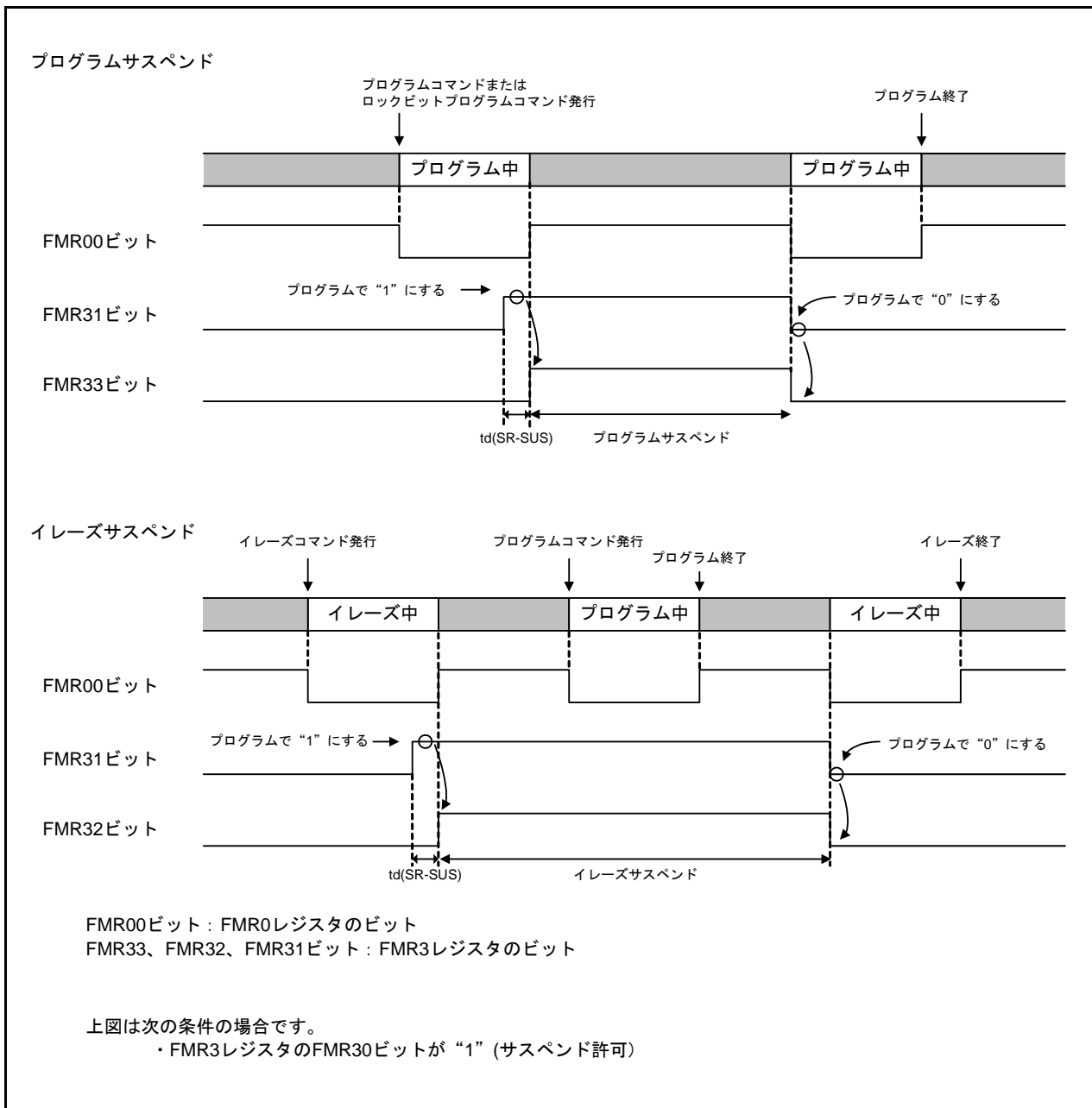


図 29.9 EW0モードのサスペンド動作例

29.8.2 EW1モード

FMR0レジスタのFMR01ビットを“1”にした後、FMR6レジスタのFMR60ビットを“1”にするとEW1モードになります。図29.10にEW1モードの設定と解除方法を示します。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

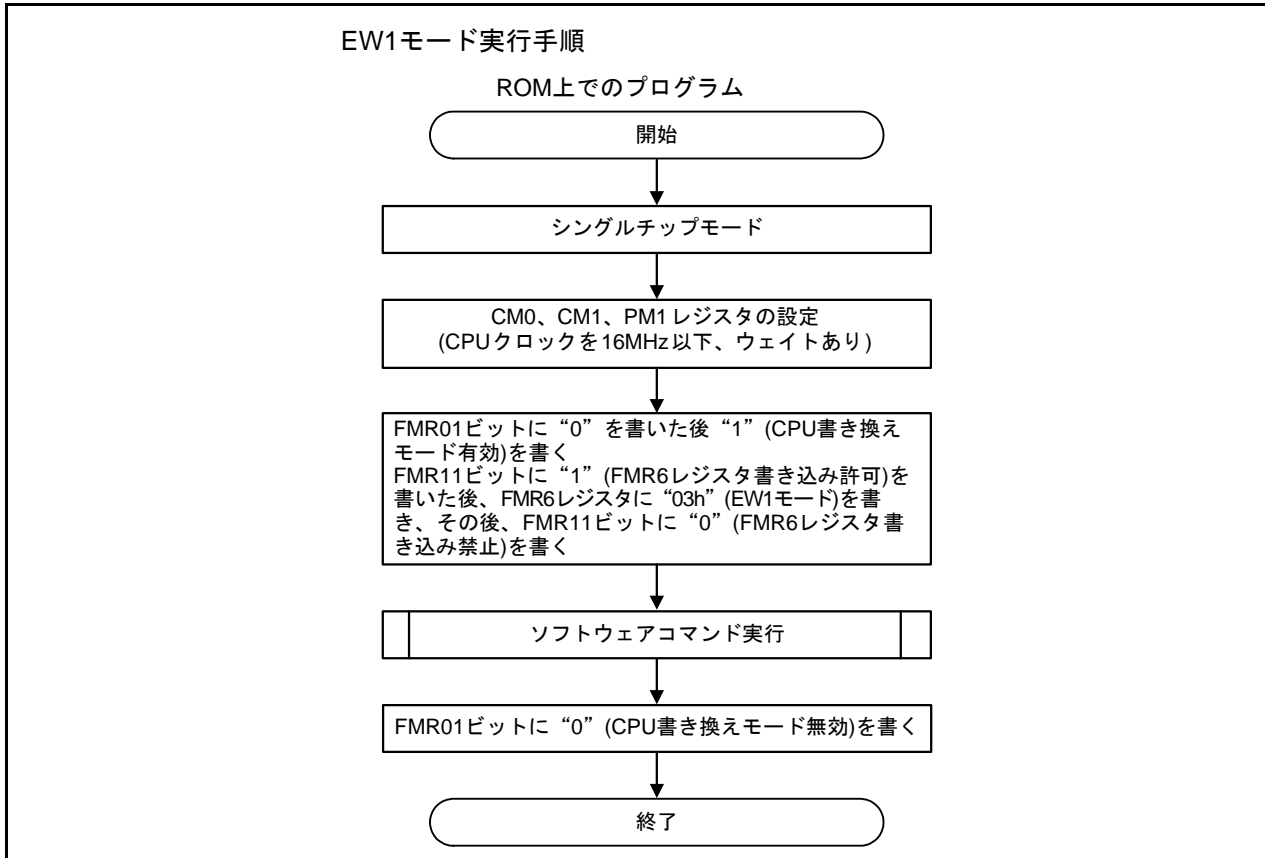


図 29.10 EW1モードの設定と解除方法

EW1モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み (サスペンド機能許可の場合)

td(SR-SUS)時間後に自動消去または自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR3レジスタのFMR31ビットを“0” (コマンドリスタート) にすることにより、自動消去または自動書き込みを再開することができます。

- マスカブル割り込み (サスペンド機能禁止の場合)

自動消去または自動書き込みが優先され、割り込み要求が待たされます。自動消去または自動書き込みが終了した後、割り込み処理を実行します。

- NMI、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み

割り込み要求を受け付けると、すぐに自動消去または自動書き込みを強制停止します。その後割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマは、自動消去または自動書き込み中カウントを停止します。CSPRレジスタのCSPROビットが“1” (カウントソース保護モード有効) のときは、EW1モードを使用しないでください。EW0モードを使用してください。ただし、イレーズサスペンド、またはプログラムサスペンドの期間はカウントを行います。割り込み要求が発生する可能性がありますので、サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

表29.13 コマンド実行後のモード (EW1モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	
プログラム	
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	
ブロックブランクチェック	

29.8.2.1 サスペンド機能(EW1モード)

EW1モードでサスペンド機能を使用する場合は、割り込み要求の発生からtd(SR-SUS)時間後、割り込み要求が受け付けられます。割り込み要求を受け付けると、イレーズサスペンドまたはプログラムサスペンドに移行します。割り込み終了後、FMR31ビットを“0”(コマンドリスタート)にして自動消去、自動書き込みを再開させてください。図 29.11~29.13にEW1モードのサスペンド許可時のフローチャートを、図 29.14にEW1モードのサスペンド動作例を示します。

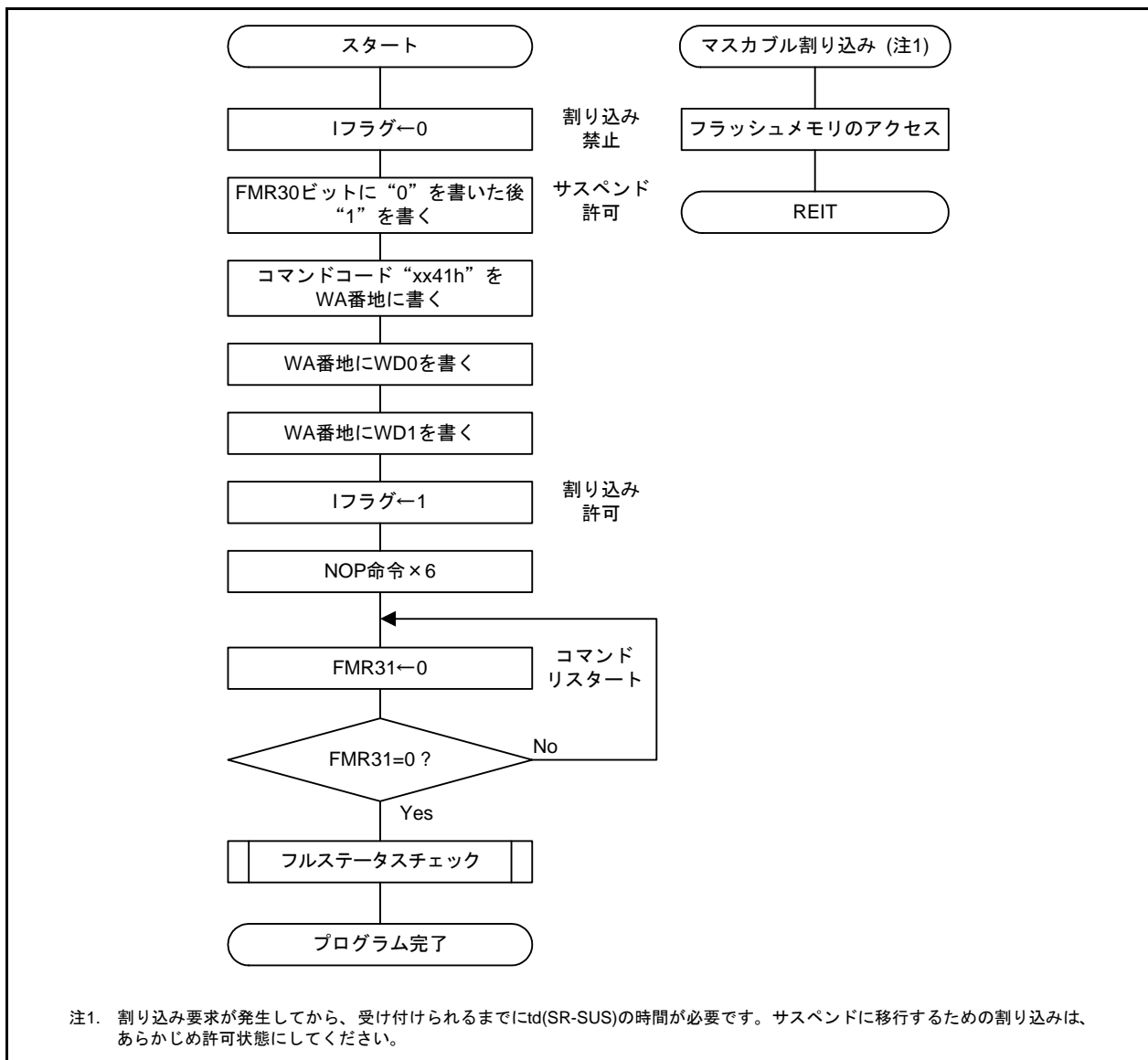


図 29.11 EW1モードのプログラムフローチャート(サスペンド機能許可時)

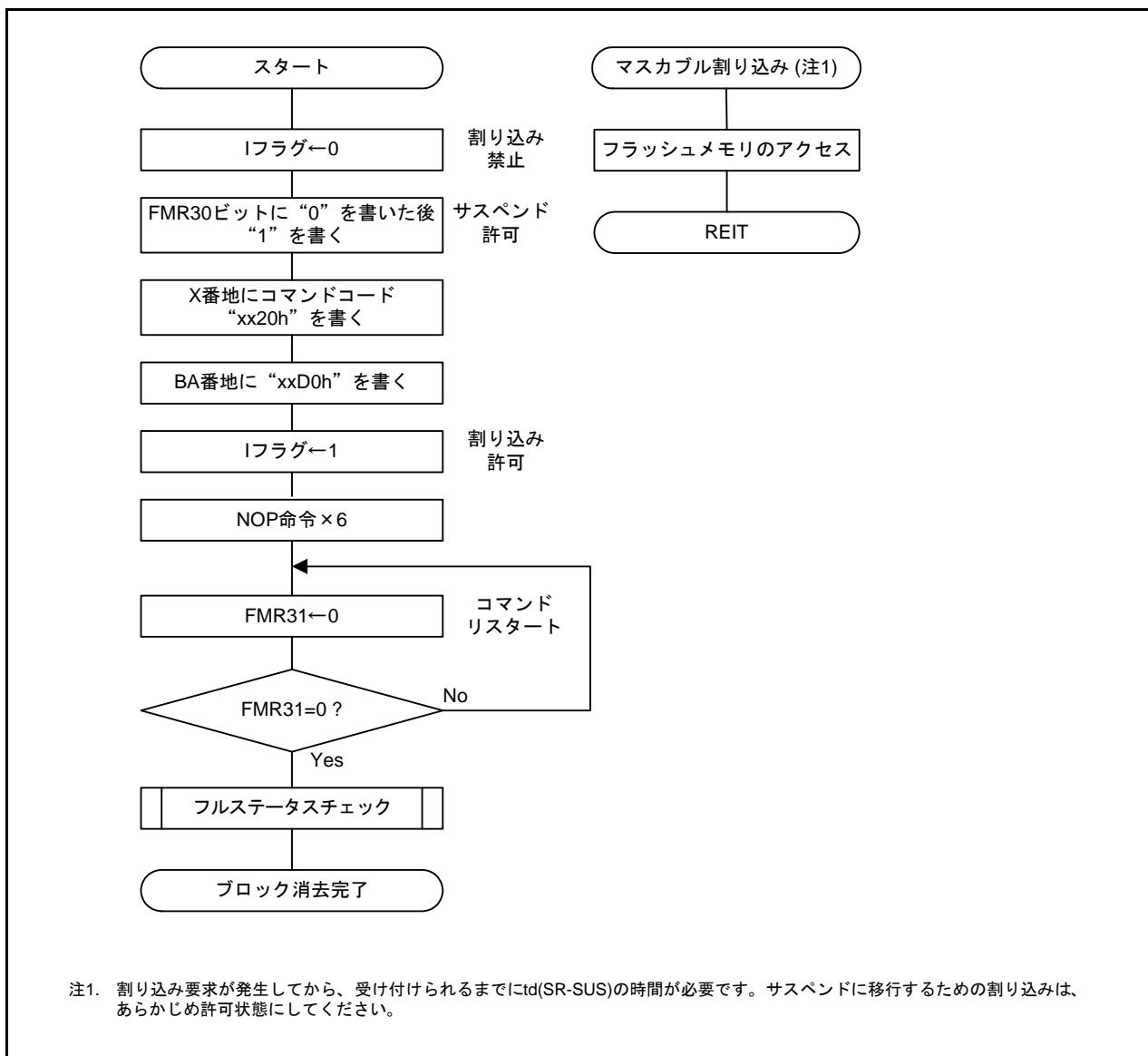


図 29.12 EW1モードのブロックイレーズフローチャート(サスペンド機能許可時)

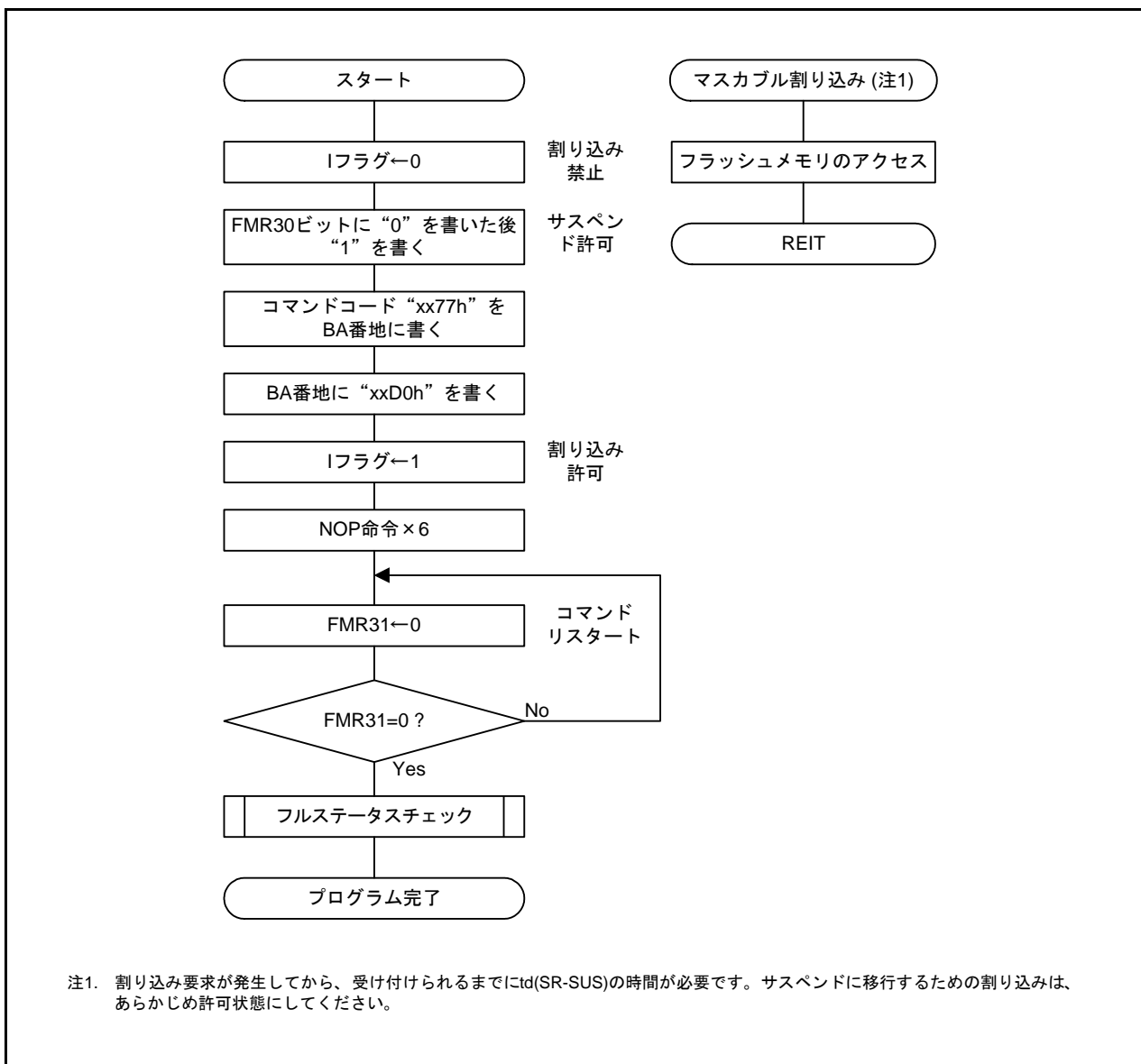


図 29.13 EW1モードのロックビットプログラムフローチャート(サスペンド機能許可時)

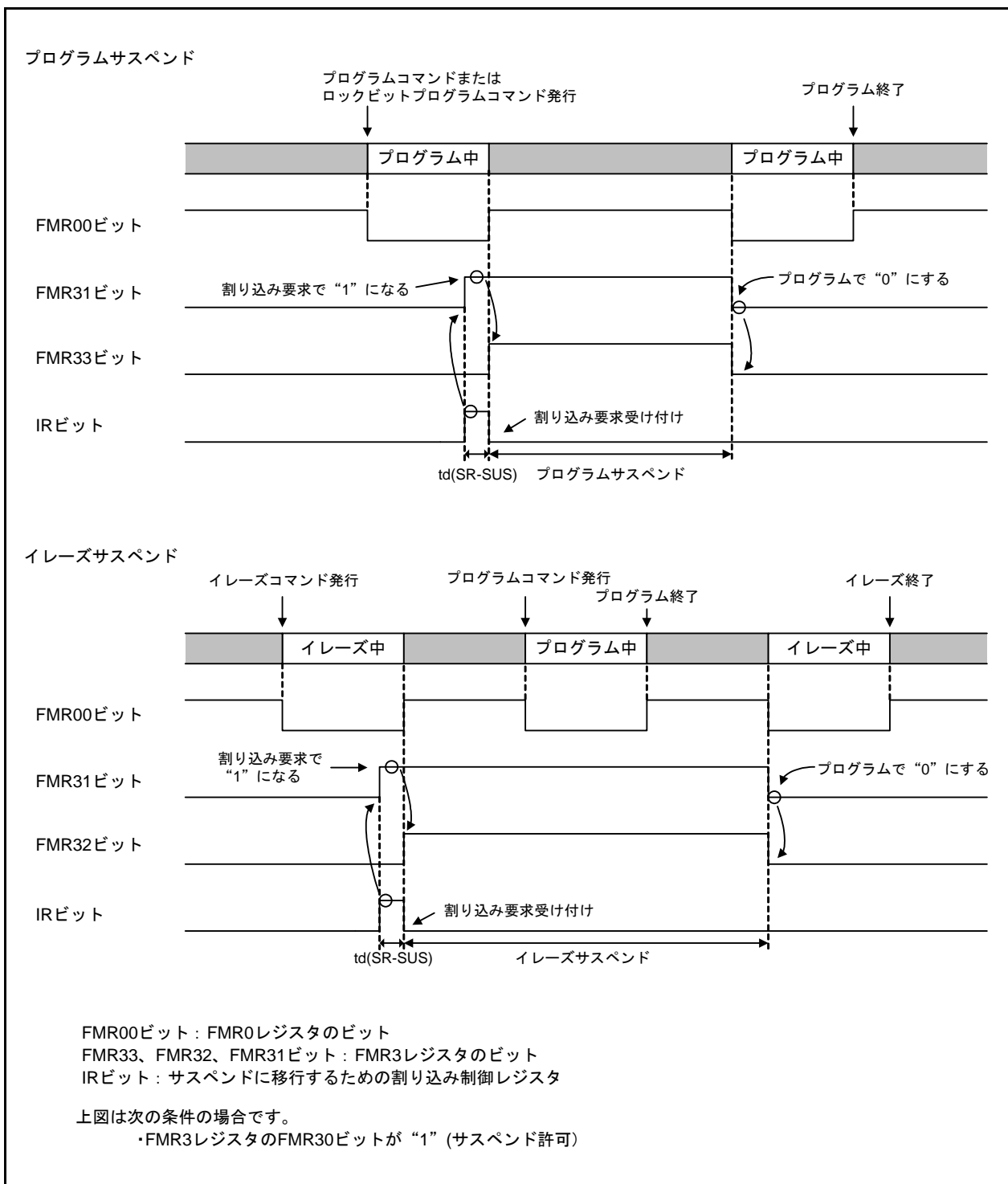


図 29.14 EW1モードのサスペンド動作例

29.8.3 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを16MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

29.8.4 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。表 29.14にロックビットとブロックの状態を示します。

表 29.14 ロックビットとブロックの状態

FMR0レジスタのFMR02ビット	ロックビット	ブロックの状態
0 (有効)	0 (ロック)	プログラムまたはイレーズができない
	1 (非ロック)	プログラムまたはイレーズができる
1 (無効)	0 (ロック)	プログラムまたはイレーズができる
	1 (非ロック)	

ロックビットデータが変化する条件は次のとおりです。

["0"になる条件]

- ロックビットプログラムコマンド実行

["1"になる条件]

- FMR0レジスタのFMR02ビットが“1”(ロックビット無効)の状態、ブロックイレーズコマンド実行

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。ロックビットデータは、リードロックビットステータスコマンドで読めます。

各コマンドの詳細は、「29.8.6 ソフトウェアコマンド」を参照してください。

29.8.5 サスペンド機能

サスペンド機能は自動消去、自動書き込みの途中で、これらの動作を一時中断する機能です。これらの動作を中断したとき、プログラムROM1、プログラムROM2、データフラッシュを読み出すことができますので、割り込み処理に利用できます。サスペンドに移行するための割り込みを、あらかじめ割り込み許可状態にしてください。

サスペンドの対象になるコマンドは、プログラムコマンド、イレーズコマンド、ロックビットプログラムコマンドです。ロックビットプログラムコマンド実行中のサスペンド動作は、プログラムコマンド実行中と同じですので、プログラムサスペンドとして説明します。

なお、サスペンド中に再度サスペンドしないでください。表 29.15 にサスペンド中にコマンドを発行した場合の動作を示します。

表 29.15 サスペンド中にコマンドを発行した場合の動作

サスペンド	コマンド	動作	
		サスペンド前にイレーズまたはプログラムしていたブロック	他のブロック
イレーズサスペンド (イレーズコマンド実行中のサスペンド)	ブロックイレーズ	コマンドは実行されず、コマンドシーケンスエラーになる	
	プログラム	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる。 ここでFMR31ビットを“1” (サスペンドリクエスト) にしても、プログラムサスペンドにはならない。エラーにもならない。
	ロックビットプログラム	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる
	リードアレイ	コマンドを実行できる	
	リードステータスレジスタ		
	クリアステータスレジスタ		
	リードロックビットステータス	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる
ブロックブランクチェック	コマンドを実行しないでください		
プログラムサスペンド (プログラム、またはロックビットプログラムコマンド実行中のサスペンド)	ブロックイレーズ	コマンドは実行されず、コマンドシーケンスエラーになる (注1)	
	プログラム		
	ロックビットプログラム		
	リードアレイ	コマンドを実行できる	
	リードステータスレジスタ		
	クリアステータスレジスタ	コマンドを実行しないでください (注1)	
	リードロックビットステータス	コマンドを実行しないでください	
ブロックブランクチェック			

注1. ただし、プログラムサスペンド中に誤ってブロックイレーズ、プログラム、またはロックビットプログラムコマンドを実行し、コマンドシーケンスエラーとなった場合は、クリアステータスレジスタコマンドを実行した後、サスペンドを再開してください。

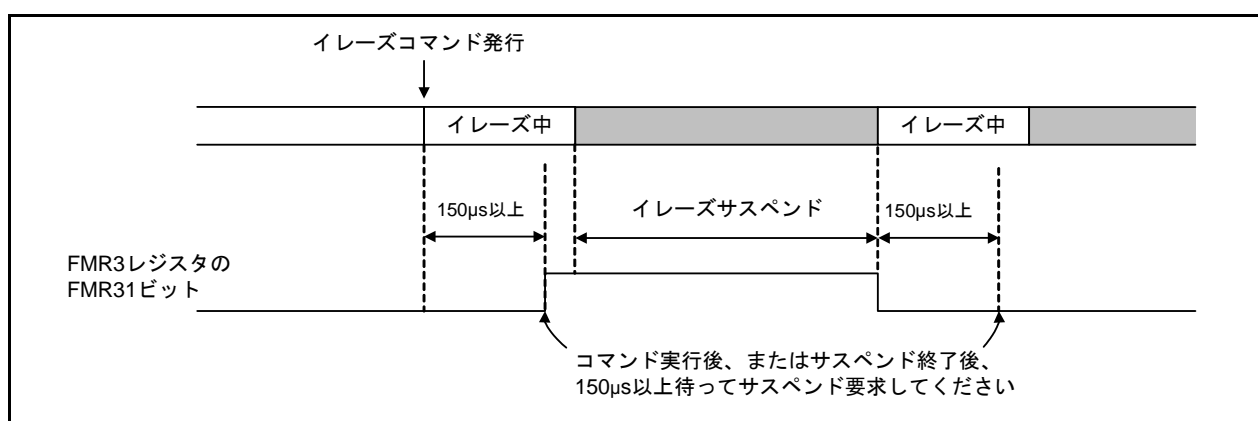


図 29.15 サスペンド要求

29.8.6 ソフトウェアコマンド

表 29.16 にソフトウェアコマンド一覧表を示します。コマンド、データの読み出し、書き込みは 16 ビット単位で行ってください。コマンドコード書き込み時、上位 8 ビット (D15~D8) は無視されます。

表 29.16 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)
リードアレイ	ライト	x	xxFFh	—	—	—	—	—	—
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD	—	—	—
クリアステータスレジスタ	ライト	x	xx50h	—	—	—	—	—	—
プログラム	ライト	WA	xx41h	ライト	WA	WD0	ライト	WA	WD1
ブロックイレース	ライト	x	xx20h	ライト	BA	xxD0h	—	—	—
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h	—	—	—
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h	—	—	—
ブロックブランクチェック(注1)	ライト	x	xx25h	ライト	BA	xxD0h	—	—	—

SRD : ステータスレジスタデータ (D7~D0)

WA : 書き込み番地 (番地の末尾は 0h、4h、8h または Ch にしてください)

WD0 : 書き込みデータ下位ワード (16 ビット)

WD1 : 書き込みデータ上位ワード (16 ビット)

BA : ブロックの最上位番地 (ただし、偶数番地)

x : プログラム ROM1、プログラム ROM2、またはデータフラッシュ内の任意の偶数番地

xx : コマンドコード上位 8 ビット (無視されます)

注1. ブロックブランクチェックコマンドはライター向けを想定したものであり、一般ユーザ向けのコマンドではありません。

次に各ソフトウェアコマンドを説明します。

フローチャート内の記号は表 29.16 と同じなので、記号の説明はこれらを参照してください。

サスペンド機能を使用する場合のプログラム、ブロックイレース、ロックビットプログラムコマンドは「29.8.5 サスペンド機能」を参照してください。

29.8.6.1 リードアレイ

フラッシュメモリを読むコマンドです。

コマンドコード“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の値が 16 ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の値を続けて読めます。

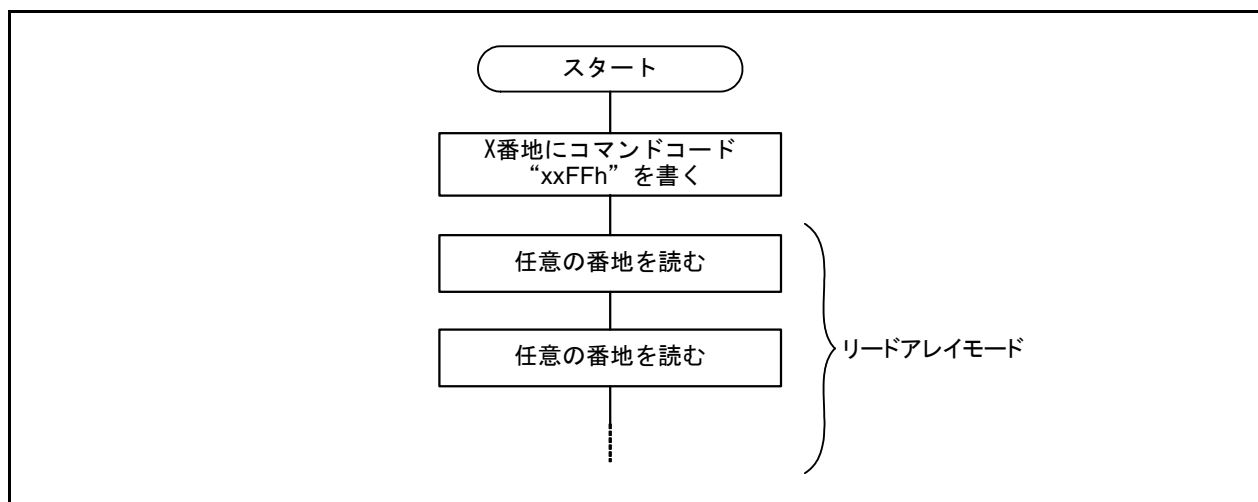


図 29.16 リードアレイフローチャート

29.8.6.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

コマンドコード“xx70h”を書くと、次のバスサイクルでステータスレジスタが読めます(「29.8.7 ステータスレジスタ」参照)。なお、読むときもプログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

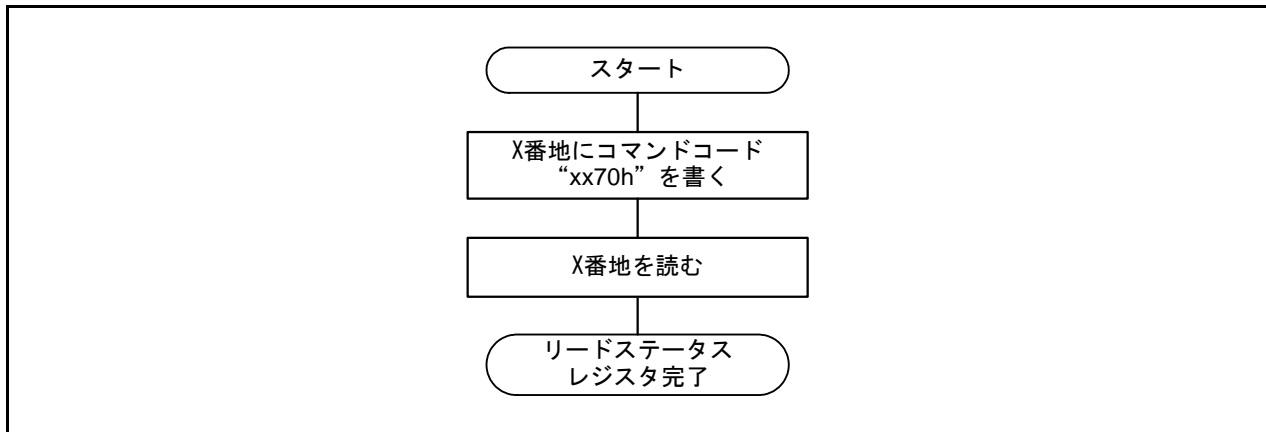


図 29.17 リードステータスレジスタフローチャート

29.8.6.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

コマンドコード“xx50h”を書くと、FMR0レジスタのFMR07~FMR06ビット(ステータスレジスタのSR5~SR4)は“00b”になります。

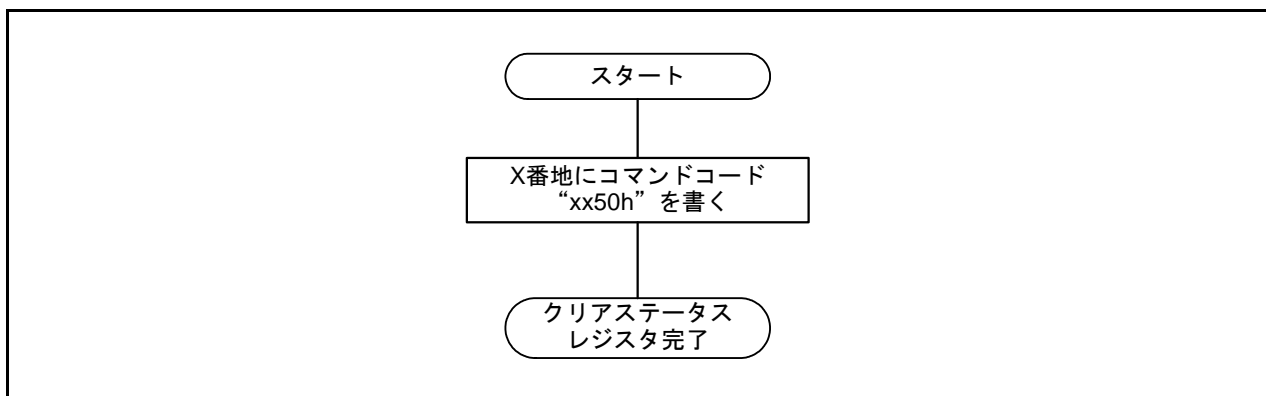


図 29.18 クリアステータスレジスタフローチャート

29.8.6.4 プログラム

2ワード(4バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで書き込み番地に“xx41h”を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0h、4h、8hまたはChにしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「29.8.7.1 フルステータスチェック」参照)。

すでにプログラムされた番地には追加書き込みしないでください。図 29.19 にプログラムフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「29.8.4 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

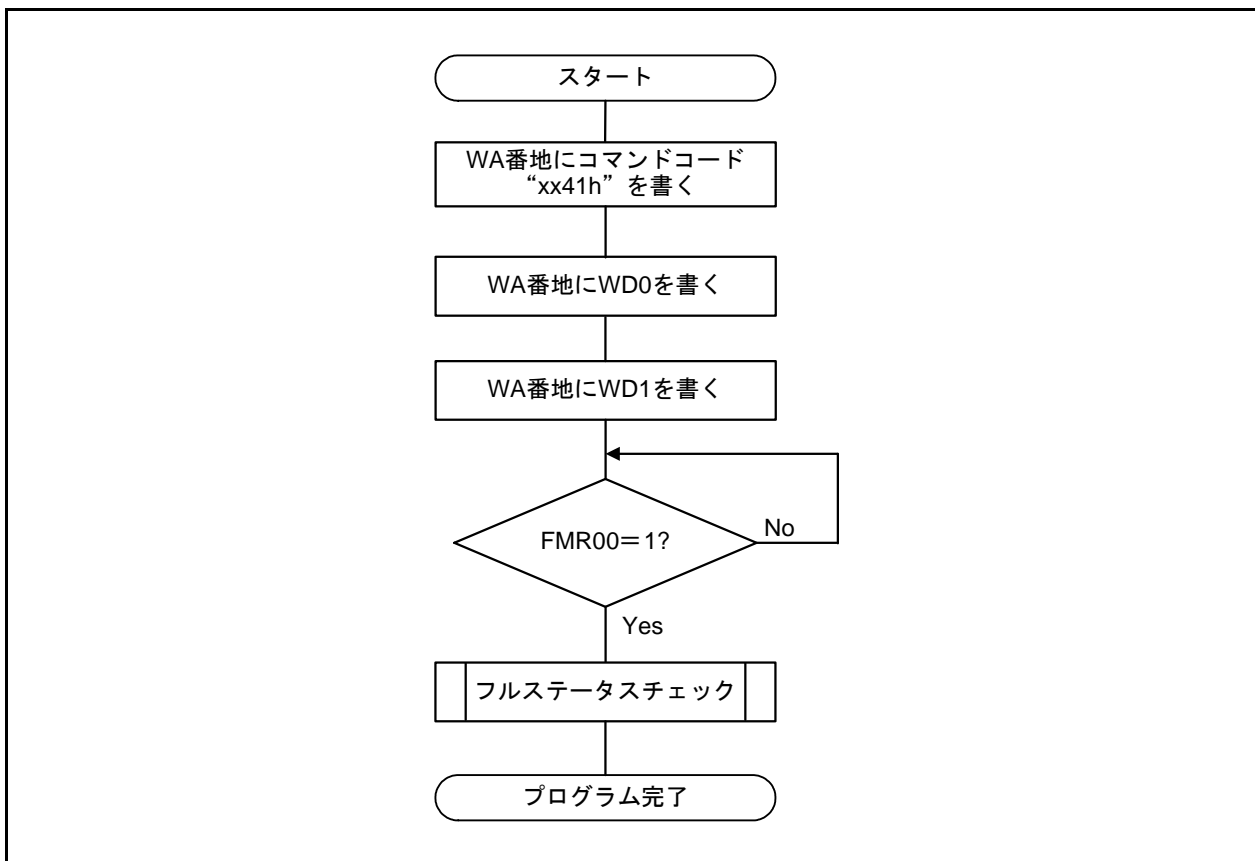


図 29.19 プログラムフローチャート(サスペンド機能禁止時)

29.8.6.5 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「29.8.7.1 フルステータスチェック」参照)。

図 29.20にブロックイレーズフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「29.8.4 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

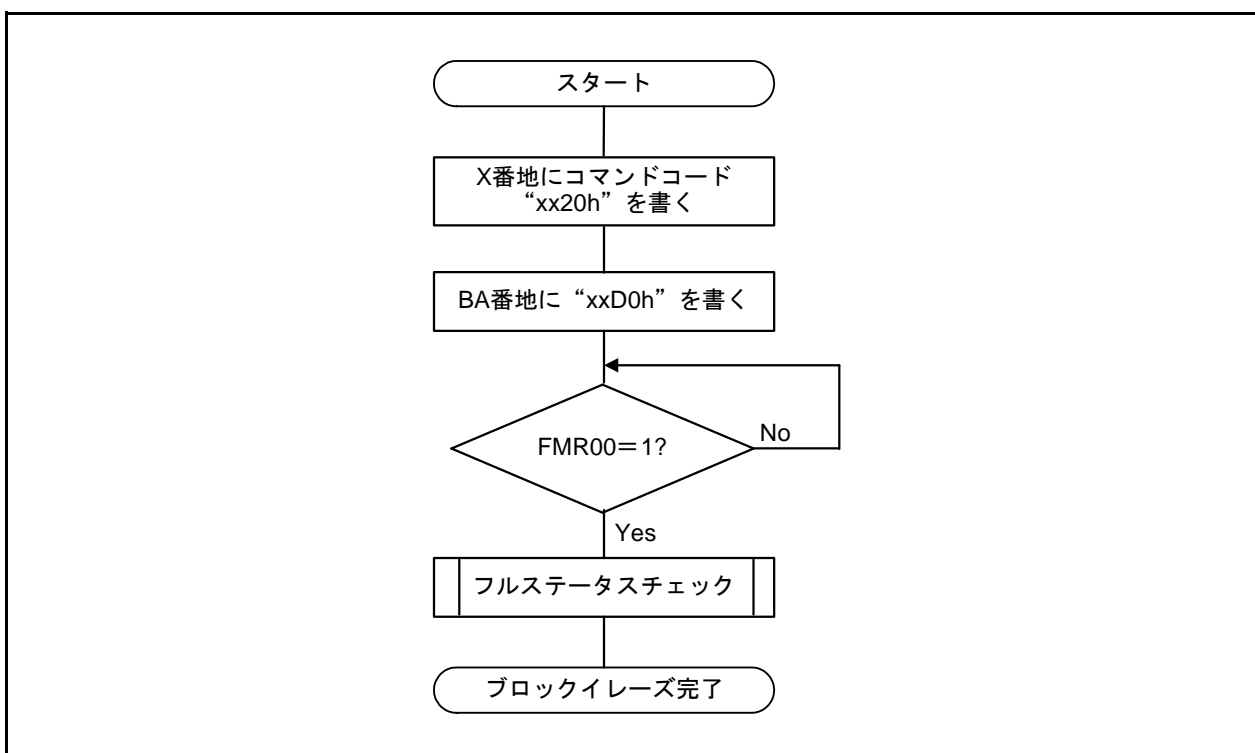


図 29.20 ブロックイレーズフローチャート(サスペンド機能禁止時)

29.8.6.6 ロックビットプログラム

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地（ただし、偶数番地）に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図 29.21 にロックビットプログラムフローチャート（サスペンド機能禁止時）を示します。ロックビットの状態（ロックビットデータ）は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

なお、ロックビットの機能、ロックビットを“1”（非ロック状態）にする方法については、「29.8.4 データ保護機能」を参照してください。

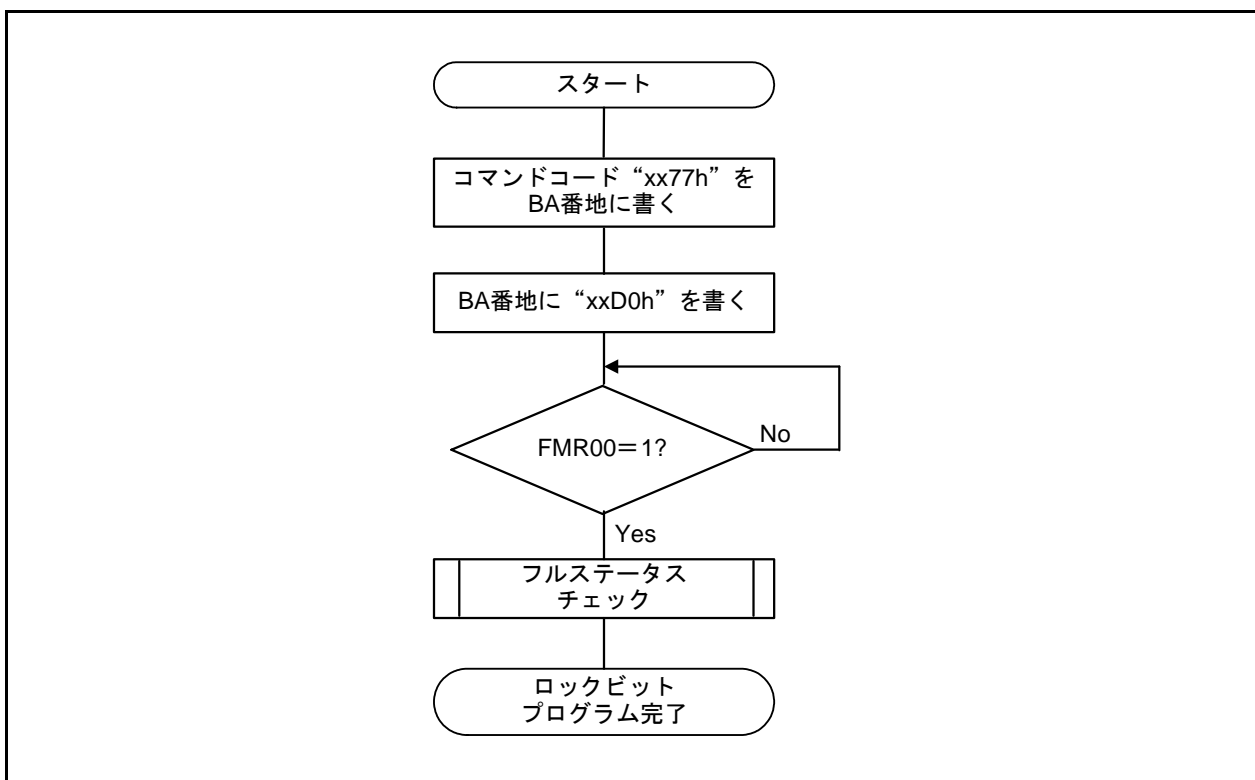


図 29.21 ロックビットプログラムフローチャート（サスペンド機能禁止時）

29.8.6.7 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

図 29.22 にリードロックビットステータスフローチャートを示します。

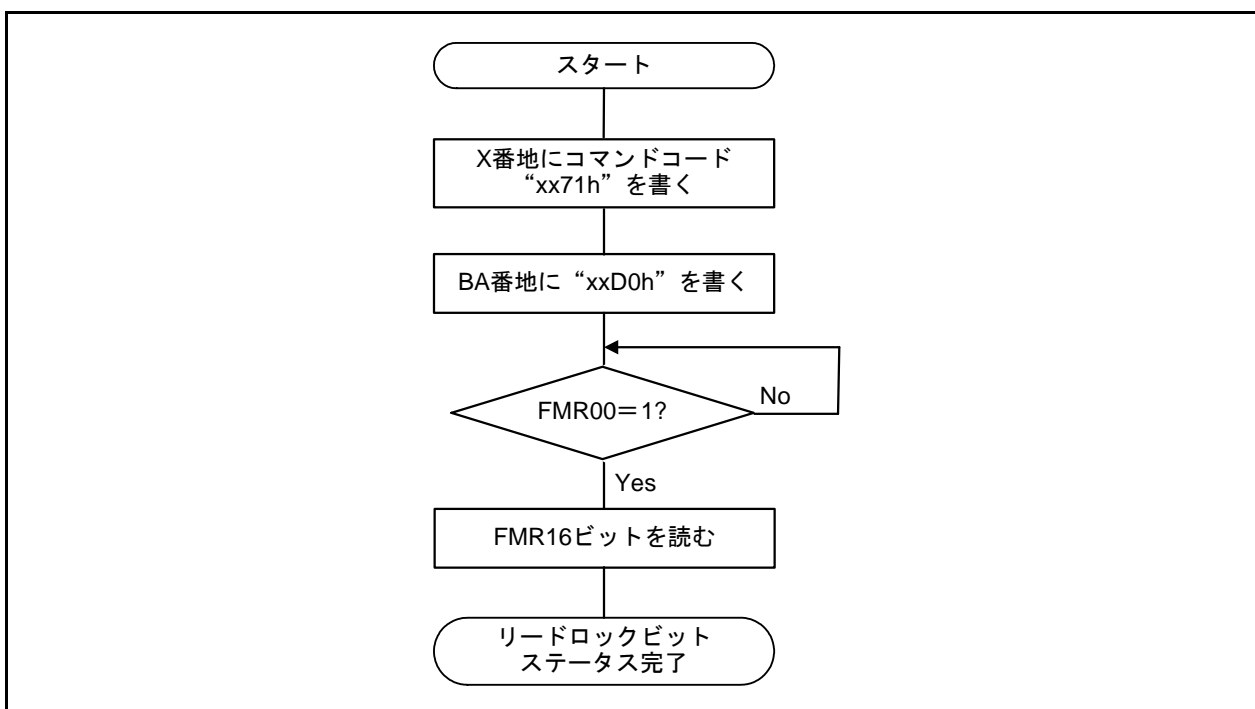


図 29.22 リードロックビットステータスフローチャート

29.8.6.8 ブロックブランクチェック

任意のブロックがブランク(消去後の状態)かチェックするコマンドです。

第1バスサイクルで“xx25h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、チェック結果がFMR0レジスタのFMR07ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR07ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

ブロックブランクチェックコマンドは、ロックしていないブロックに対して有効です。

ロックビットが“0”(ロック状態)のブロックに対してブロックブランクチェックコマンドを実行すると、FMR02ビットの状態に関係なくFMR07ビット(SR5)は“1”(ブランクではない)になります。

図 29.23 にブロックブランクチェックフローチャートを示します。

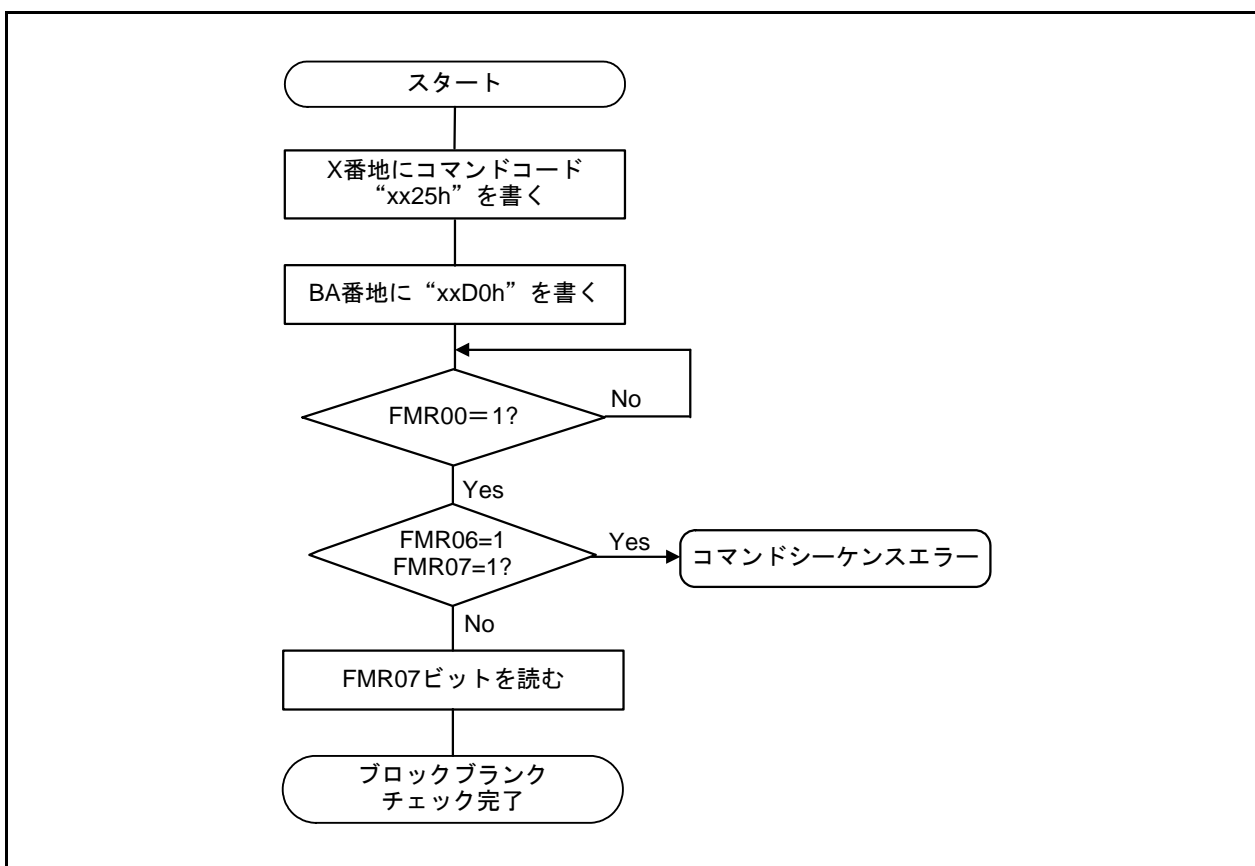


図 29.23 ブロックブランクチェックフローチャート

なお、ブロックブランクチェックの結果、ブランクでなかった場合は、クリアステータスレジスタコマンドを実行した後、その他のソフトウェアコマンドを実行してください。

ブロックブランクチェックコマンドはライター用です。瞬時停電が起こらない環境で使用してください。

ブロックイレーズコマンド実行中に瞬時停電が起こった場合、ブロックイレーズコマンドを再度実行してください。ブロックブランクチェックコマンドでは消去が正常に終了したかどうか判定が出来ないことがあります。

サスペンド中は、ブロックブランクチェックコマンドを実行しないでください。

29.8.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。

ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。各ビットの説明は「29.3.1 フラッシュメモリ制御レジスタ0 (FMR0)」を参照してください。

表 29.17 ステータスレジスタの読み方の違い

項目	FMR0レジスタ	コマンド
使用条件	制限なし	
読み出し手順	FMR0レジスタのFMR00、FMR06、FMR07ビットを読む	<ul style="list-style-type: none"> リードステータスレジスタコマンドを書いた後、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む プログラム、ブロックイレーズコマンド、ロックビットプログラム、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む

表 29.18 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	ステータス		リセット後の値
			0	1	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0~D7: リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

29.8.7.1 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06~FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 29.19 エラーとFMR0レジスタの状態

FMR00レジスタの状態		エラー	エラー発生条件
FMR07ビット	FMR06ビット		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> •コマンドを正しく書かなかったとき •ロックビットプログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータスコマンドの第2バスサイクルで“xxD0h”、“xxFFh”以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> •ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) •ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき •ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> •ロックされたブロックにプログラムコマンドを実行したとき(注2) •ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき •ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、コマンド実行前の状態になり、第1バスサイクルで書いたコマンドコードは取り消されます。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

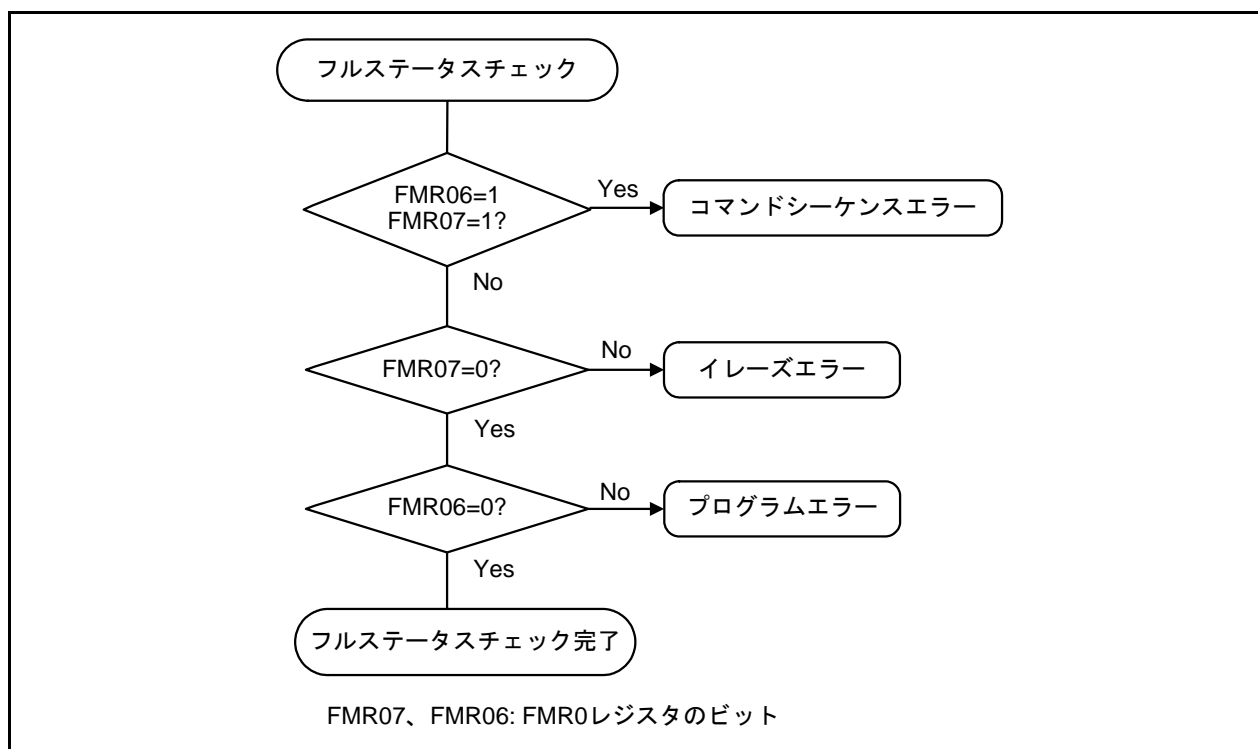


図 29.24 フルステータスチェック

29.8.7.2 各エラー発生時の対処方法

エラーが発生した場合は、以下の手順に従ってください。

なお、FMR06、FMR07ビットのいずれかが“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックの各コマンドを実行しないでください。クリアステータスレジスタコマンドを実行した後、各コマンドを実行してください。

コマンドシーケンスエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR06、FMR07ビットを“0”(正常終了)にする
- (2) コマンドが正しく入力されているかを確認の上、もう一度動作させる

イレーズエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR07ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”(ロック状態)であれば、FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にする
- (3) 再度、ブロックイレーズコマンドを実行する
- (4) イレーズエラーが発生しなくなるまで、(1)(2)(3)を繰り返す

3回繰り返してもエラーが出る場合は、そのブロックを使用しないでください。

なお、ブロックブランクチェックコマンドのイレーズエラーで、イレーズが必要ない場合は、(1)のみ実行してください。

プログラムエラー

[プログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”であれば、FMR0レジスタのFMR02ビットを“1”にする。
- (3) 再度、プログラムコマンドを実行する

ロックビットが“1”(非ロック状態)の場合、エラーが発生した番地はそのままの状態では使用しないでください。再度、同一番地を書く場合は、プログラムコマンドを実行する前に、ブロックイレーズコマンドを実行し、エラーが発生したブロックを消去してください。

それでもエラーが出る場合は、その番地を使用しないでください。

[ロックビットプログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”にする
- (2) FMR0レジスタのFMR02ビットを“1”にする
- (3) ブロックイレーズコマンドを実行し、エラーが発生したブロックをイレーズする
- (4) 必要に応じてデータを書いた後、再度、ロックビットプログラムコマンドを実行する

それでもエラーが出る場合は、そのブロックを使用しないでください。

29.9 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/5M、M16C/57グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、またはデータフラッシュを書き換えることができます。

標準シリアル入出力モードには次のモードがあります。

- 標準シリアル入出力モード1: クロック同期型シリアルI/Oを用いてシリアルライターと接続
 - 標準シリアル入出力モード2: 2線式クロック非同期型シリアルI/Oを用いてシリアルライターと接続
- シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

29.9.1 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDf、0FFFE3h、0FFFEb、0FFFEf、0FFF3h、0FFF7h、0FFFb番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。図 29.25にIDコードの格納番地を示します。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表 29.20にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表 29.20と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表 29.20 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)	
		ALeRASE	Protect
FFFDf	ID1	41h (“A”大文字)	50h (“P”大文字)
FFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
FEb	ID3	65h (“e”小文字)	6Fh (“o”小文字)
FEf	ID4	52h (“R”大文字)	74h (“t”小文字)
FF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
FF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
FFb	ID7	45h (“E”大文字)	74h (“t”小文字)

IDコード格納番地のアドレスとデータがすべて表 29.20と一致する場合は予約語です。

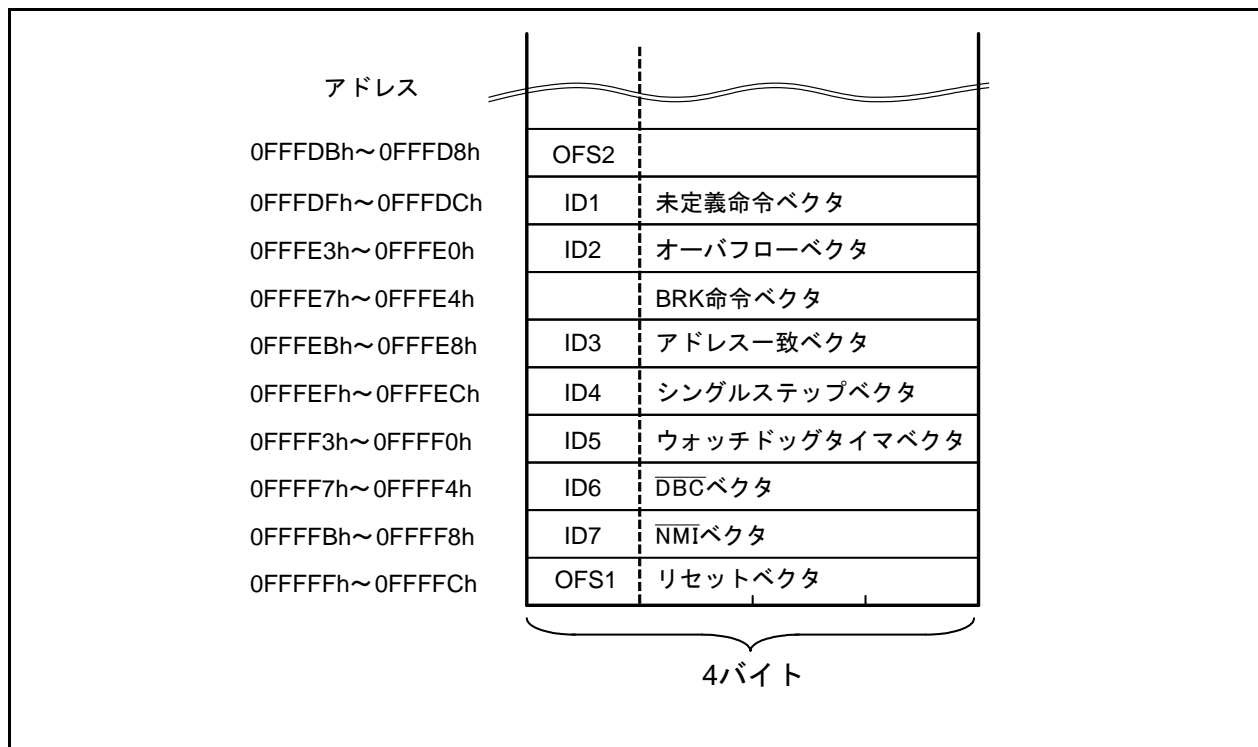


図 29.25 IDコードの格納番地

29.9.2 強制イレーズ機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、プログラムROM1、プログラムROM2をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表 29.20 IDコードの予約語」以外)、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつOFS1番地のROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表 29.21 に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターから送られてくるIDコードが“ALeRASE”ならばプログラムROM1、プログラムROM2を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、フラッシュメモリを操作できません。

表 29.21 強制イレーズ機能の条件と動作

シリアルライターから送られてくるIDコード	条件		動作
	IDコード格納番地のIDコード	OFS1番地のROMCP1ビット	
ALeRASE	ALeRASE	—	プログラムROM1とプログラムROM2すべて消去(強制イレーズ機能)
	ALeRASE 以外(注1)	1 (ROMコードプロテクト無効)	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
		0 (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
ALeRASE 以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE 以外(注1)	—	IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「29.9.3 標準シリアル入出力モード禁止機能」参照。

29.9.3 標準シリアル入出力モード禁止機能

標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表 29.20 IDコードの予約語」参照)の場合、シリアルライターとの通信を行いません。このため、シリアルライターによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。IDコードが“Protect”になる組み合わせでも、ユーザブートモードは起動します。

なお、IDコードを“Protect”になる組み合わせにし、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつ、OFS1番地のROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターによるROMコードプロテクト解除ができません。したがって、シリアルライターでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

29.9.4 標準シリアル入出力モード1

標準シリアル入出力モード1はクロック同期型シリアルI/Oを用いて、シリアルライタと接続します。

表 29.22 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはフラッシュメモリ書き込み、消去電圧を入力してください。 VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCCに接続してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	メインクロックを使用しない場合は、XIN端子に“H”を入力し、XOUT端子は開放してください。
XOUT	クロック出力	出力	メインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
AVCC、AVSS	アナログ電源入力		AVCC端子はVCCに、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード1を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_0~P4_7	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P5_0~P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P6_0~P6_3	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS $\bar{1}$	BUSY出力	出力	BUSY信号の出力端子です。
P6_5/CLK1	SCLK入力	入力	シリアルクロックの入力端子です。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

表 29.23 標準シリアル入出力モード1設定方法

信号名	入力レベル
CNVSS	VCC
$\overline{\text{RESET}}$	VSS→VCC
SCLK	VCC

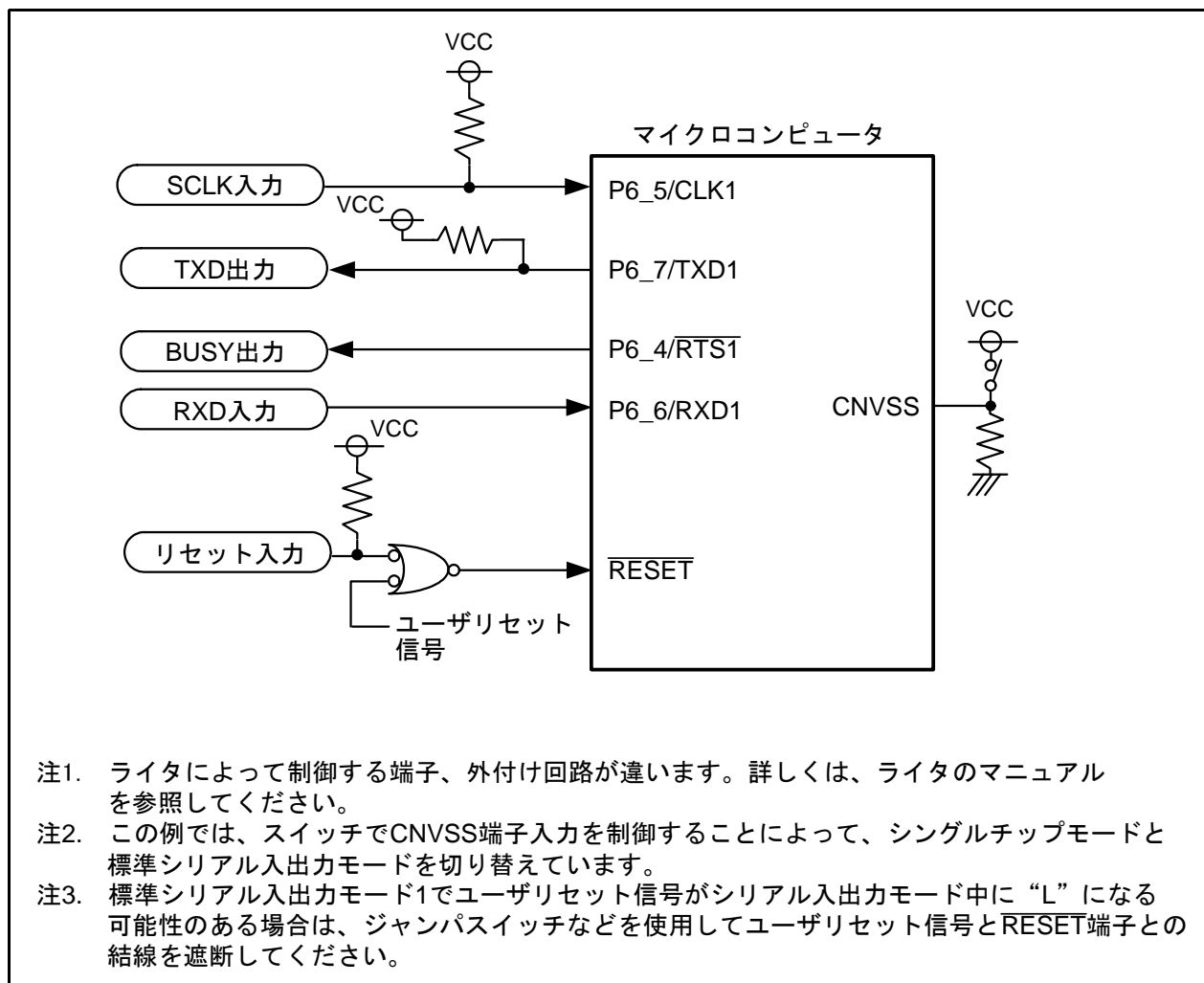


図 29.26 標準シリアル入出力モード1を使用する場合の端子処理例

29.9.5 標準シリアル入出力モード2

標準シリアル入出力モード2は2線式クロック非同期型シリアルI/Oを用いてシリアルライタと接続します。メインクロックを使用します。

表 29.24 端子機能の説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはフラッシュメモリ書き込み、消去電圧を入力してください。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCCに接続してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力	
AVCC、AVSS	アナログ電源入力		AVCC端子はVCCに、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード2を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P4_0~P4_7	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P5_0~P5_7	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P6_0~P6_3	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	"L"を入力してください。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P9_0~P9_7	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

表 29.25 標準シリアル入出力モード2設定方法

信号名	入力レベル
CNVSS	VCC
$\overline{\text{RESET}}$	VSS→VCC
P6_5/CLK1	VSS

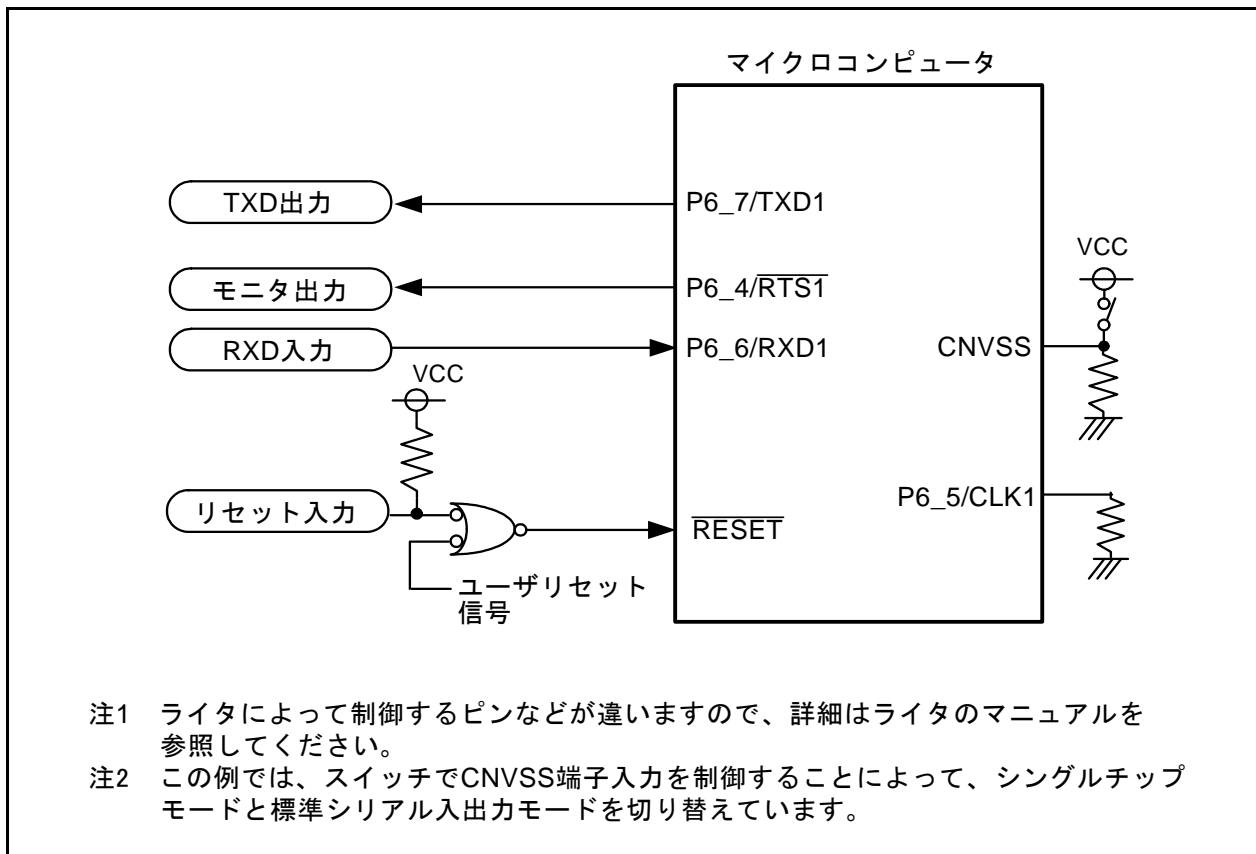


図 29.27 標準シリアル入出力モード2を使用する場合の端子処理例

29.10 パラレル入出力モード

パラレル入出力モードでは、M16C/5M、M16C/57 グループに対応したパラレルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換えられます。パラレルライタについては、各メーカーにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

29.10.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。「29.4.1 オプション機能選択1番地 (OFS1)」を参照してください。OFS1番地は、プログラムROM1のブロック0に存在します。

OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつROMCP1ビットを“0”にすると、ROMコードプロテクトが有効になります。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでOFS1番地を含むブロック0を消去してください。

29.11 フラッシュメモリ使用上の注意事項

29.11.1 OFS1番地、OFS2番地、IDコード格納番地

OFS1番地、OFS2番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1番地は0FFFFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、OFS2番地、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1番地に“FEh”を、OFS2番地に“FFh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

29.11.2 データフラッシュの読み出し

$3.0V < VCC \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

29.11.3 CPU書き換えモード

29.11.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを16MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

29.11.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- $\overline{\text{NMI}}$ 端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

29.11.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

29.11.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

29.11.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

29.11.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

29.11.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

29.11.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

29.11.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

29.11.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 40MHzオンチップオシレータモード、高速、中速モード、PLL動作モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンド、または同じコマンドを複数回実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード(FMR22が“1”)、または低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

29.11.3.11 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

29.11.3.12 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、パワーオン、電圧監視0、電圧監視2、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み

29.11.4 ユーザブート

29.11.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地のLVDASビット、OFS2番地のWDTRCS1~WDTRCS0ビットはブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

30. E²PROMエミュレーションデータフラッシュ

30.1 概要

E²PROMエミュレーションデータフラッシュ (以下、E²データフラッシュ)は、シリアルE²PROMの長所を取り込んだデータフラッシュです。消去単位がデータフラッシュに比べ大幅に小さく、またCPUの動作を止めることなく、書き込みと消去が行えます。

表 30.1にE²データフラッシュの仕様を、図 30.1にブロック図を示します。

表 30.1 E²データフラッシュの仕様

項目	仕様	
	ECCなし時	ECCあり時
メモリサイズ	4Kバイト	2Kバイト
ブロックサイズ	32バイト	16バイト
ブロック数	128ブロック	
プログラム単位	2バイト単位	1バイト単位
イレーズ単位	ブロック単位 (消去後、メモリの値は“1”)	
プログラム、イレーズ制御方式	ソフトウェアコマンドによる制御	
ソフトウェアコマンド数	4	
エラー訂正	なし	1バイトにつき1ビットのエラーを訂正

ECC: Error Check and Correct

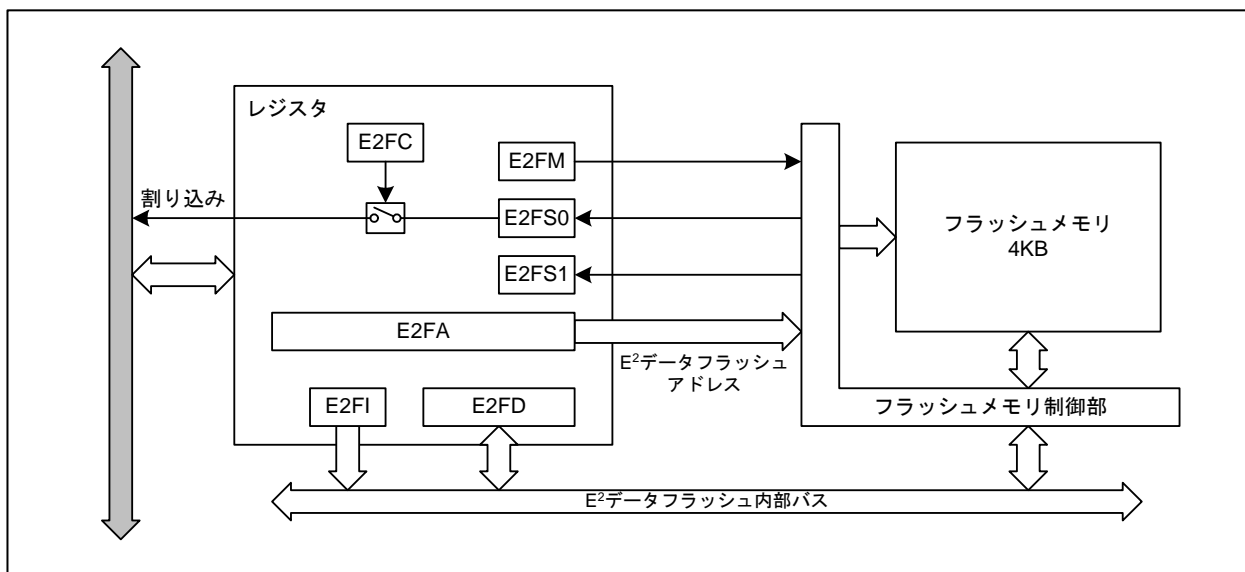


図 30.1 E²データフラッシュのブロック図

E²データフラッシュはSFR領域に配置されたE2FAレジスタ、E2FIレジスタ、E2FDレジスタを介してアクセスします。

30.2 レジスタの説明

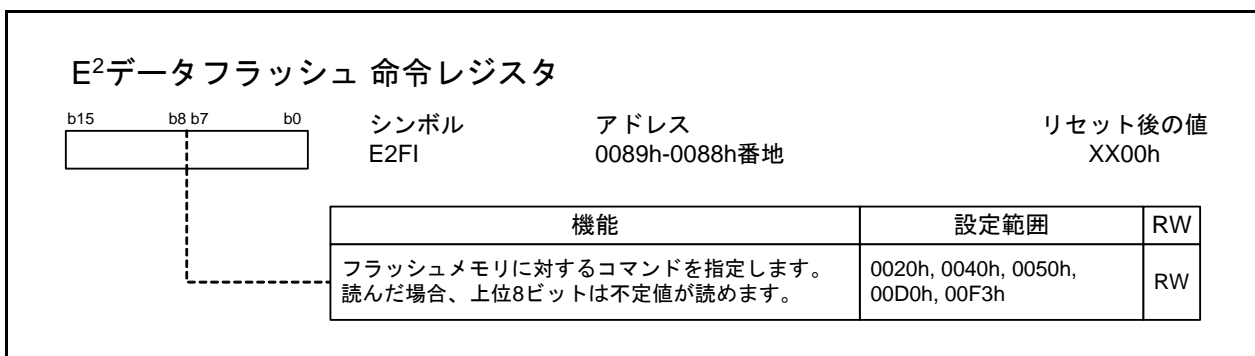
表 30.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0080h	E ² データフラッシュアドレスレジスタ	E2FA	00h
0081h			00h
0082h			XXh
0083h			XXh
0088h	E ² データフラッシュ命令レジスタ	E2FI	00h
0089h			XXh
008Ch	E ² データフラッシュデータレジスタ	E2FD	XXh
008Dh			XXh
0090h	E ² データフラッシュモードレジスタ	E2FM	00h
0092h	E ² データフラッシュ制御レジスタ	E2FC	XXXX XXX0b
0094h	E ² データフラッシュステータスレジスタ1	E2FS1	XXXX XXX0b
00A1h	E ² データフラッシュステータスレジスタ0	E2FS0	0X00 XXXXb

30.2.1 E²データフラッシュアドレスレジスタ (E2FA)

E²データフラッシュはマイコンと同一のメモリ空間ではありません。E²データフラッシュメモリのアドレスはE2FAレジスタの値です。

E2FMレジスタのECCビットが“0”(ECCなし)の場合、書き込みと読み出し時はE2FAレジスタに偶数番地(最下位ビット“0”)を設定してください。消去時は対象ブロックの最上位偶数番地を指定してください。

30.2.2 E²データフラッシュ命令レジスタ (E2FI)

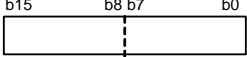
E2FIレジスタの読み書きは16ビット単位で行ってください。

各設定値の意味は下表を参照してください。ブロックイレーズは2つの値を書き込む必要があります。

E2FIレジスタへ書き込む場合、E2FS0レジスタのRDYビットが“1”であることを確認してください。

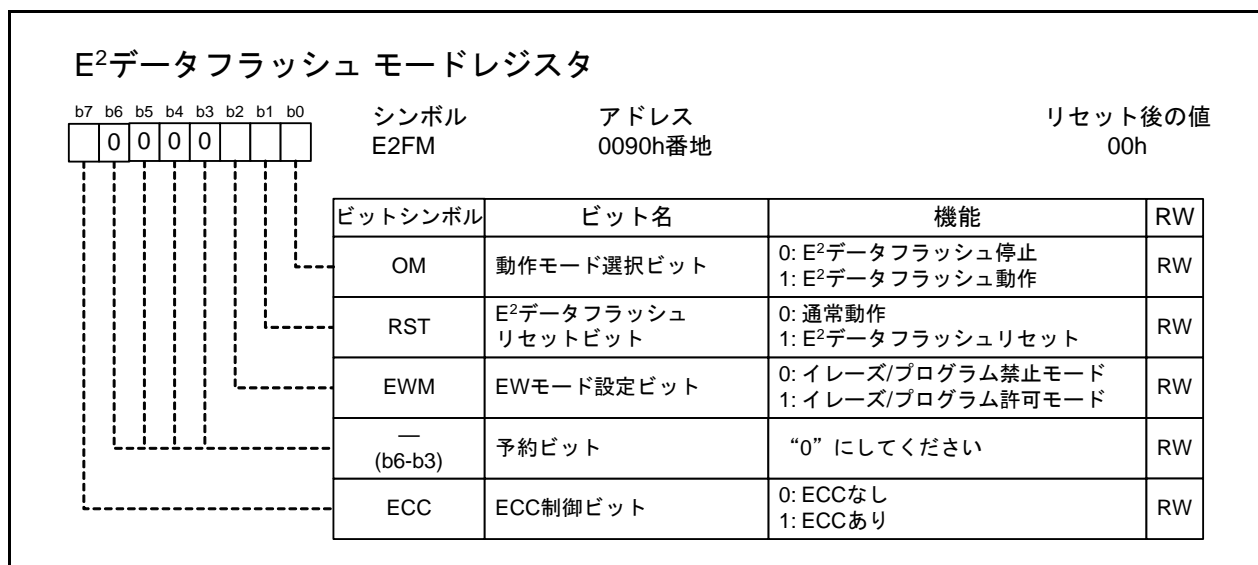
コマンド	書き込む値
リード	00F3h
プログラム	0040h
ブロックイレーズ	0020h、00D0h
クリアステータスレジスタ	0050h

30.2.3 E²データフラッシュデータレジスタ (E2FD)

E ² データフラッシュ データレジスタ			
	シンボル E2FD	アドレス 008Dh-008Ch番地	リセット後の値 不定
	機能	設定範囲	RW
	リードオペレーション時、E2FAレジスタで指定した番地のデータが読めます。 プログラムオペレーション時、ここに設定した値がE2FAレジスタで指定した番地に書かれます。	ECCなしの場合 0000h ~ FFFFh ECCありの場合 0000h ~ 00FFh	RW

E2FDレジスタの読み書きは16ビット単位で行ってください。

プログラム時はE2FIレジスタに0040hを書いた後、このレジスタにデータを書いてください。

30.2.4 E²データフラッシュモードレジスタ (E2FM)

E2FMレジスタはPRCRレジスタのPRC7ビットを“1”（書き込み許可）にした後で書き換えてください。

スリープモードからE²データフラッシュを起動するときは、OMビット、EWMビット、ECCビットを設定し、E2FS0レジスタのRDYビットが“1”になるのを確認してからE²データフラッシュの書き換え、読み出しを行ってください。

RST (E²データフラッシュリセットビット) (b1)

RSTビットを“1”（E²データフラッシュリセット）にすると、E2FIレジスタで指定した処理を中断します。処理を中断した後、RDYビットが“1”になるのを確認してから“0”にしてください。

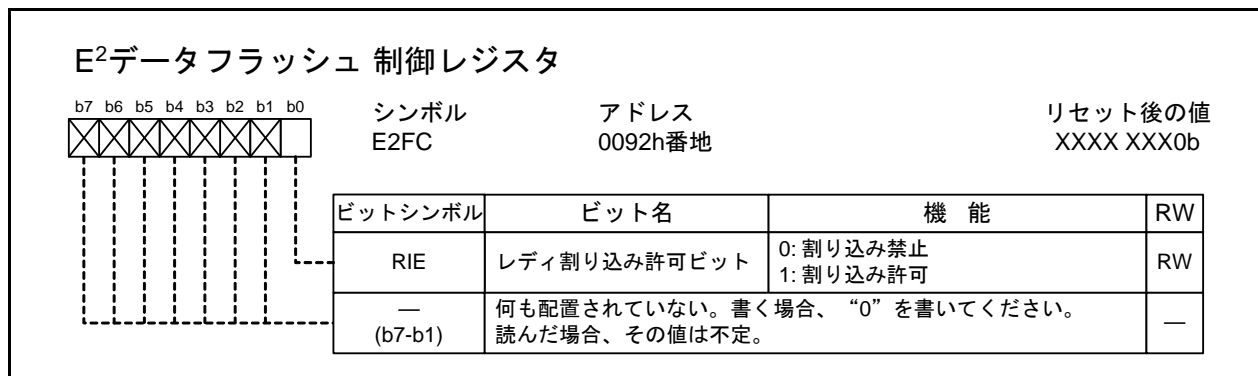
RSTビットを“1”にすると、E2FS0レジスタのWERRビット、EERRビットは、ともに“0”（エラーなし）になります。

EWM (EWモード設定ビット) (b2)

EWMビットが“0”（イレーズ/プログラム禁止モード）のとき、E2FIレジスタにどのような値を書いても“00F3h”（リードコマンド）が設定されます。

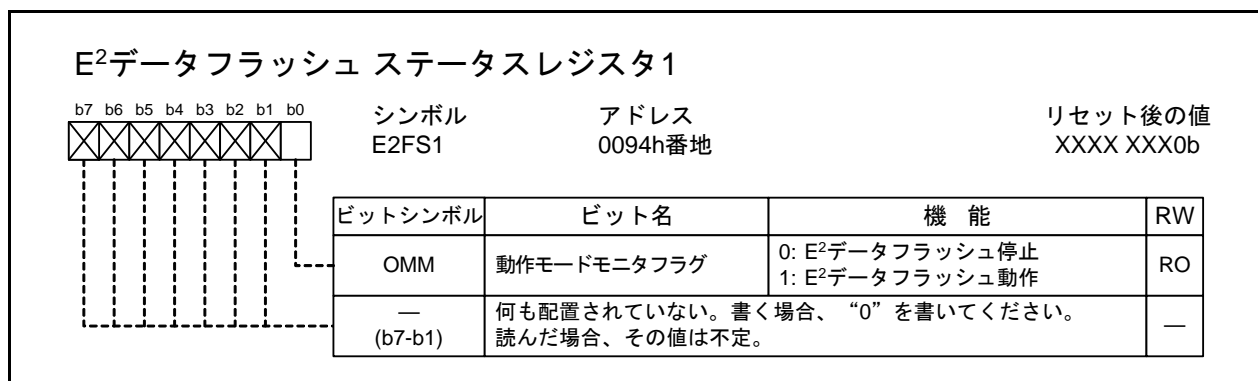
ECC (ECC制御ビット) (b7)

ECCビットを設定してE²データフラッシュメモリへ書き込みを行った後に、ECCビットを“0”（ECCなし）から“1”（ECCあり）または、“1”から“0”に変更しないでください。

30.2.5 E²データフラッシュ制御レジスタ (E2FC)

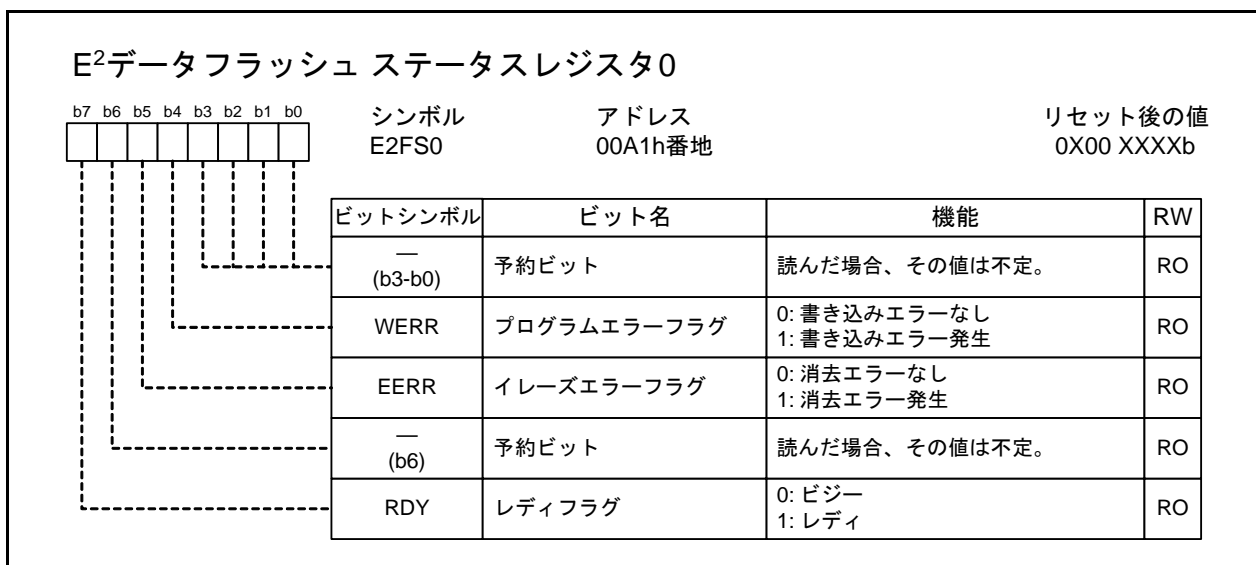
RIE (レディ割り込み許可ビット) (b0)

RIEビットが“1”のとき、E2FS0レジスタのRDYビットが“1”になると、E²データフラッシュ割り込み要求が発生します。

30.2.6 E²データフラッシュステータスレジスタ1 (E2FS1)

OMM (動作モードモニタフラグ) (b0)

E2FMレジスタのOMビットに“1”を書き込み後、E²データフラッシュが動作状態へ移行したことを確認できます。

30.2.7 E²データフラッシュステータスレジスタ0 (E2FS0)

E2FDレジスタまたはE2FIレジスタへの書き込み後にE2FS0レジスタを読み出す場合は、E2FS0レジスタを読み出す前にNOP命令を4つ以上挿入してください。

WERR (プログラムエラーフラグ) (b4)**EERR (イレーズエラーフラグ) (b5)**

["0"]になる条件]

- クリアステータスコマンド実行
- E2FMレジスタのRSTビットを"1" (E²データフラッシュリセット) にする

["1"]になる条件]

- 「30.5 フルステータスチェック」参照

WERRビットまたはEERRビットが"1"のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ

RDY (レディフラグ) (b7)

E2FMレジスタのOMビットを"1" (E²データフラッシュ動作)にしてE2FS1レジスタのOMMビットが"1" (E²データフラッシュ動作)になるまでの間、およびE2FIレジスタによる処理中はRDYビットが"0"になります。E²データフラッシュのモード変更やコマンドの受け付けが可能なとき、RDYビットが"1"になります。

30.3 ブロック構成

E²データフラッシュは、ECCなしの場合32バイト×128ブロック、ECCありの場合16バイト×128ブロックのフラッシュメモリで構成されています(図 30.2参照)。

E²データフラッシュメモリのアドレスはE2FAレジスタで指定します。マイコンと同一のメモリ空間ではありません。

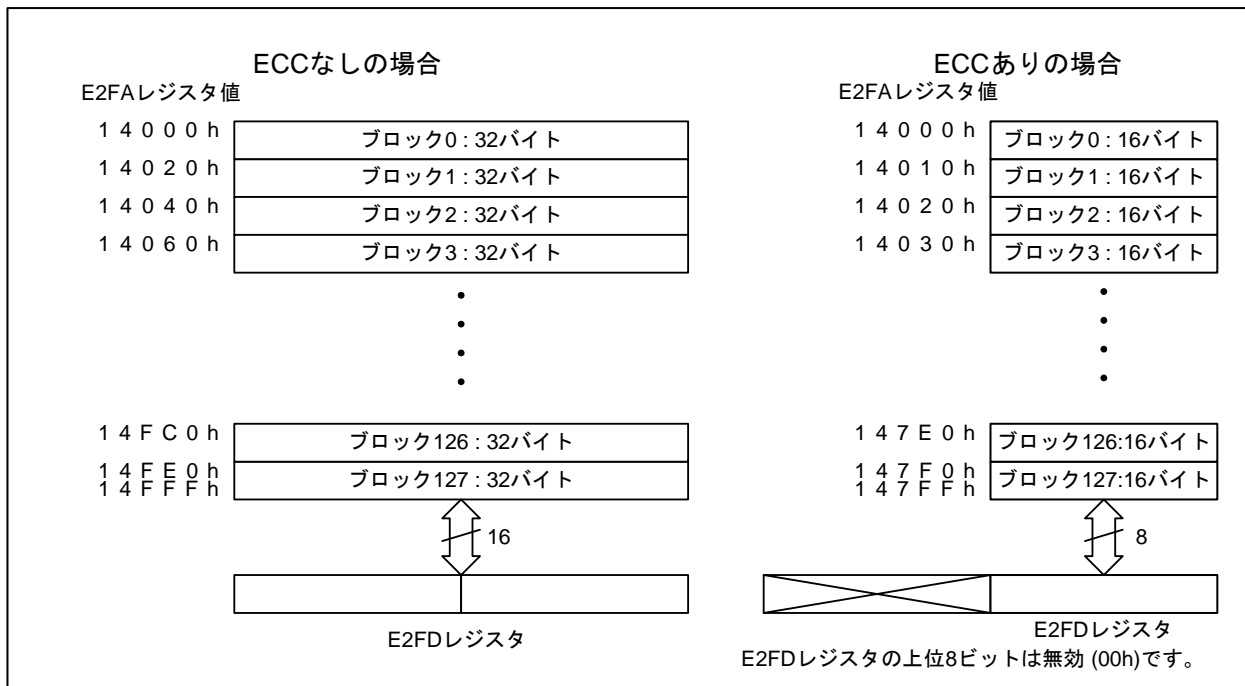


図 30.2 E²データフラッシュのメモリ構成

30.4 オペレーション

E²データフラッシュを操作するときは、E2FS0レジスタのRDYビットが“1”(レディ)であることを確認の後、図 30.3~図 30.6 に示す手順でリード、プログラム、ブロックイレーズ、クリアステータスオペレーションを行ってください。

プログラムROM1、プログラムROM2、データフラッシュの書き込み、消去中は、E²データフラッシュの書き込み、消去をしないでください。また、書き込み済みの番地にデータを重ね書きしないでください。

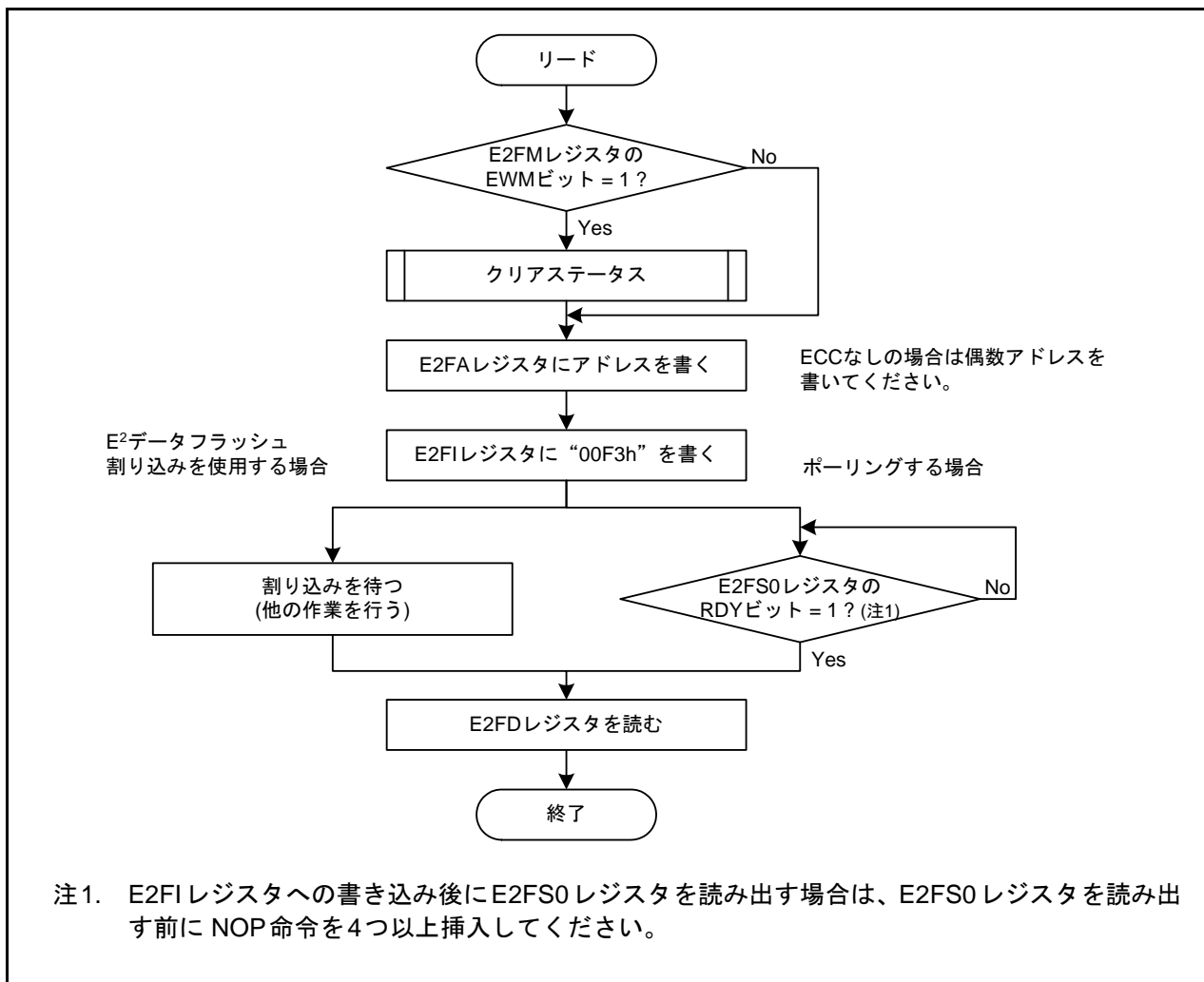


図 30.3 リードオペレーション例

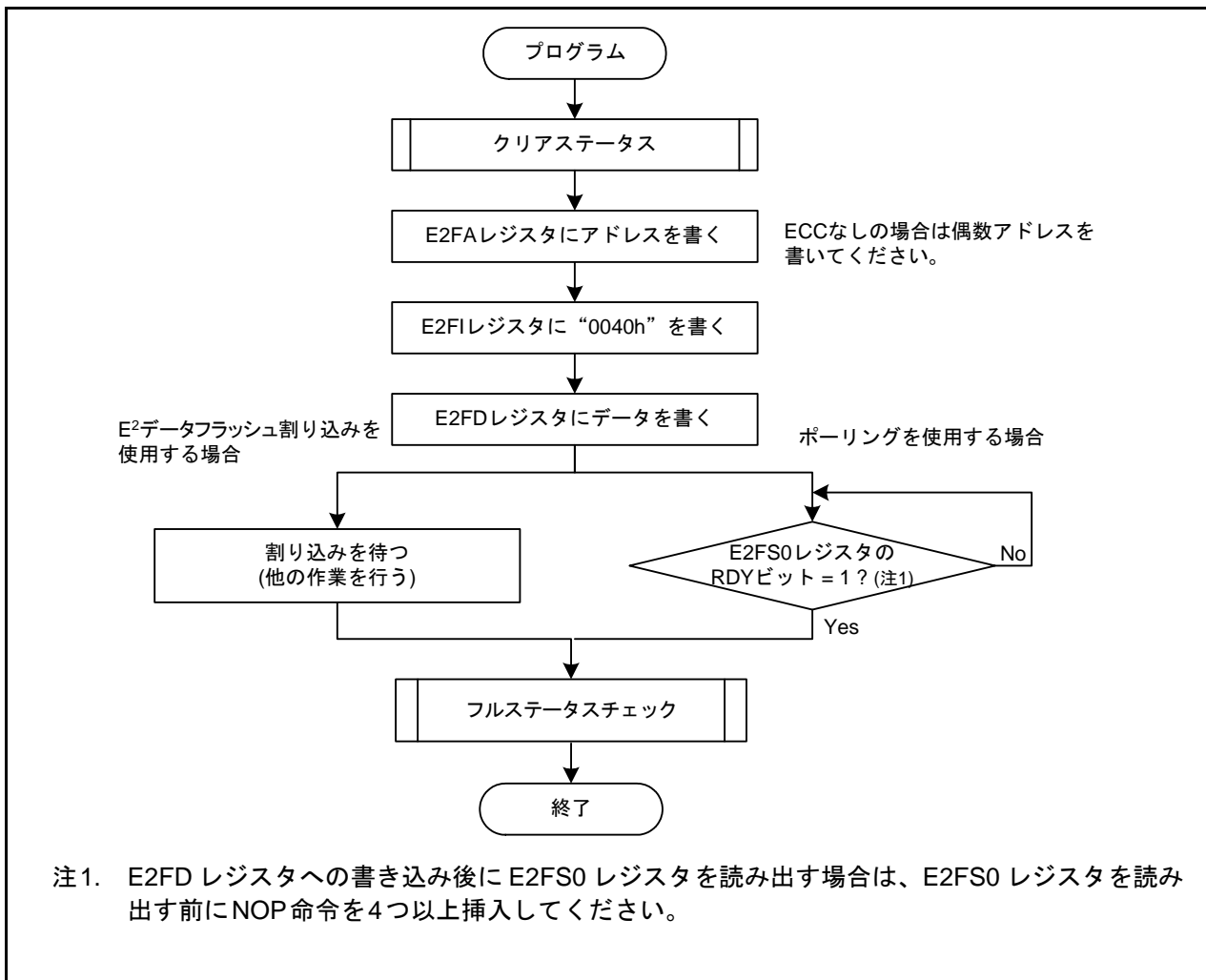


図 30.4 プログラムオペレーション例

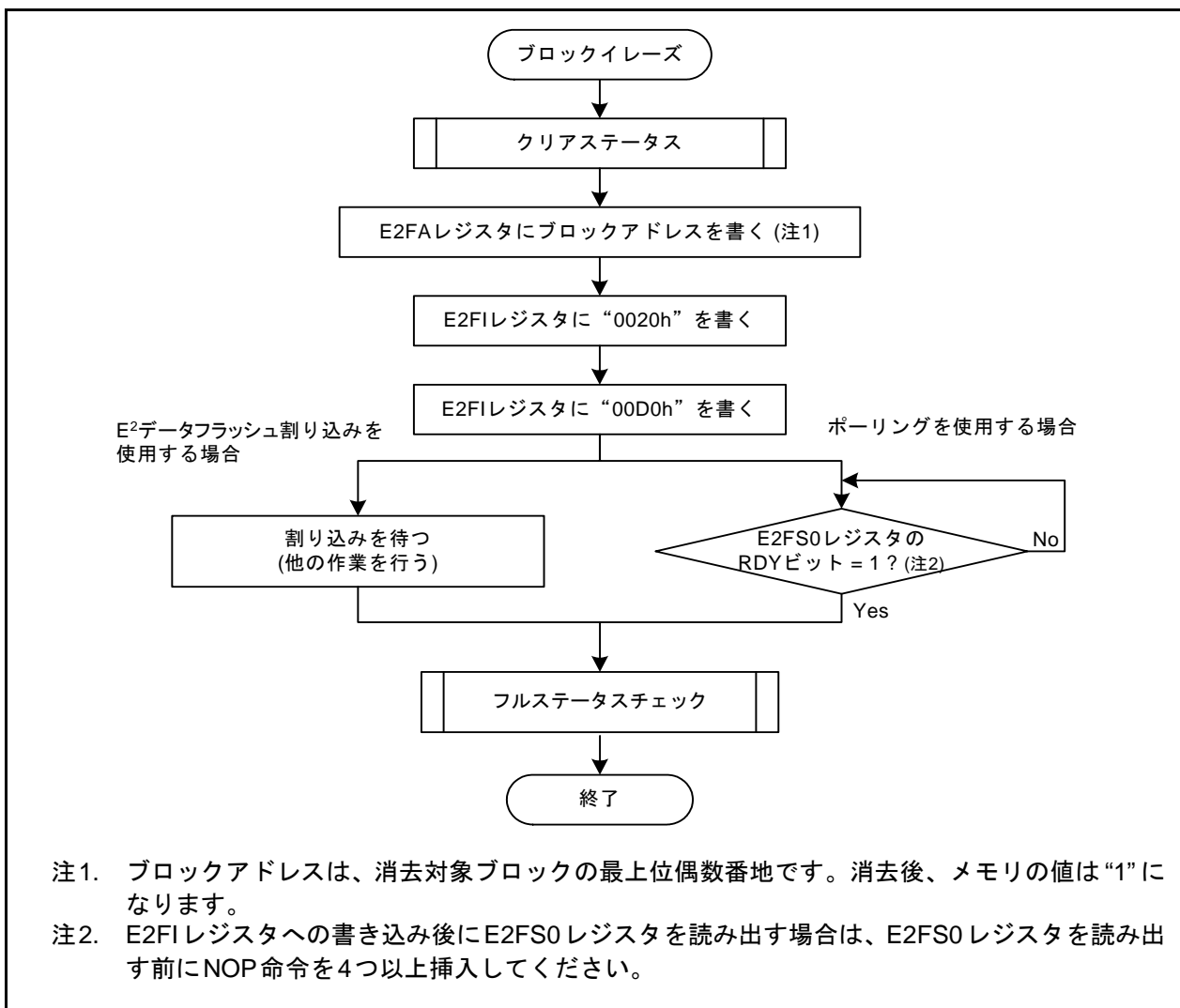


図 30.5 ブロックイレーズオペレーション例

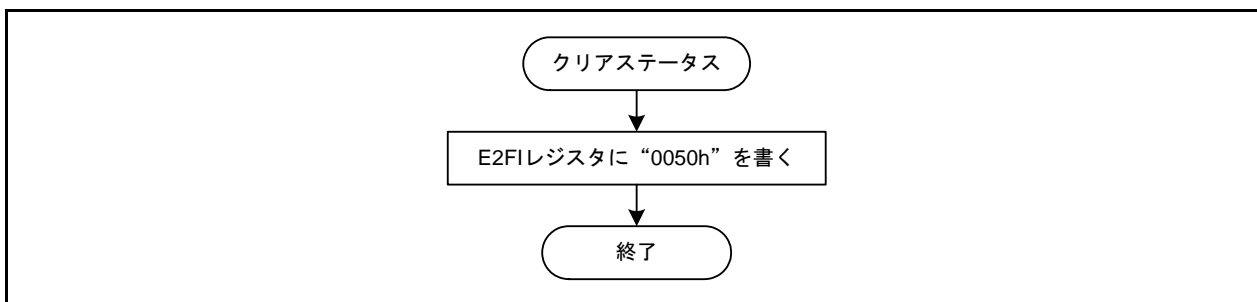


図 30.6 クリアステータスオペレーション例

30.5 フルステータスチェック

エラーが発生すると、E2FS0レジスタのWERR、EERRビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック（フルステータスチェック）することにより、実行結果を確認できます。

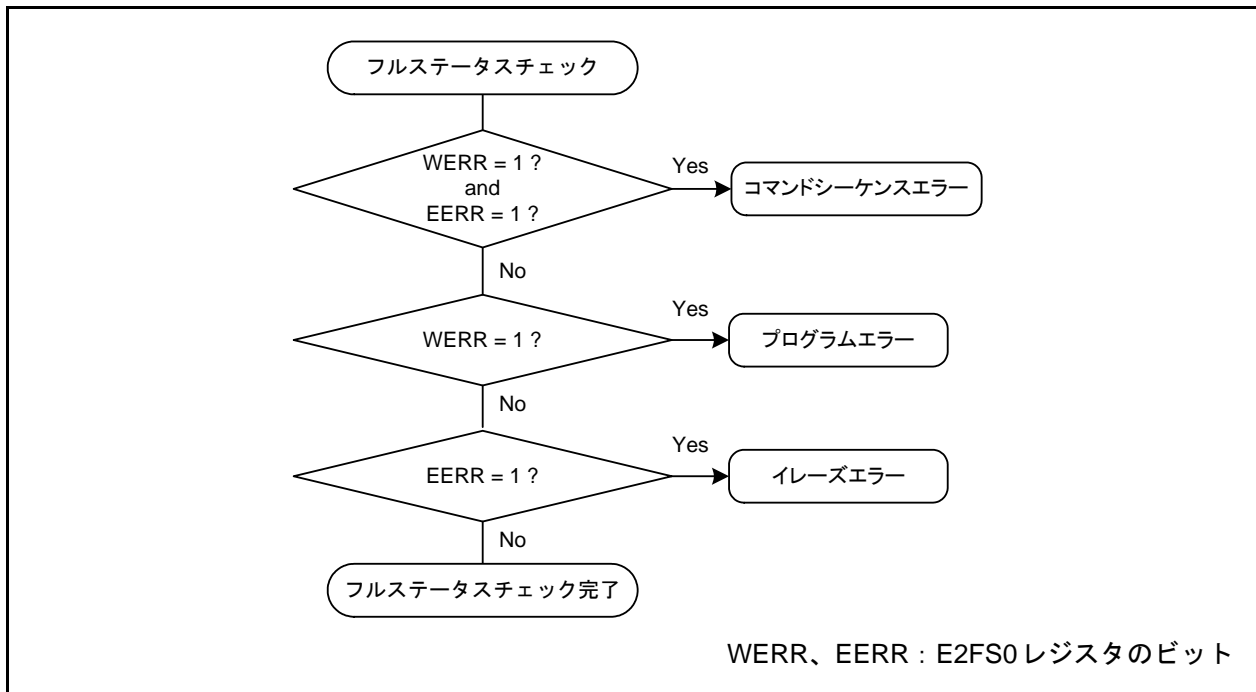


図 30.7 フルステータスチェック

30.5.1 各エラー発生時の対処方法

エラーが発生した場合は、以下の手順に従ってください。

なお、WERR、EERRビットのいずれかが“1”(エラー終了)のときは、プログラムコマンド、ブロックイレーズコマンドを実行しないでください。クリアステータスレジスタコマンドを実行した後、各コマンドを実行してください。

コマンドシーケンスエラー

- (1) クリアステータスレジスタコマンドを実行し、WERR、EERRビットを“0”(エラーなし)にする
- (2) コマンドが正しく入力されているかを確認の上、もう一度動作させる

コマンドシーケンスエラーは、ブロックイレーズコマンドの第2バスサイクルで“xxD0h”、“xxFFh”以外のデータを書いたときに発生します。なお、ブロックイレーズコマンドの第2バスサイクルで“xxFFh”を書くと、コマンド実行前の状態になり、第1バスサイクルで書いたコマンドコードは取り消されます。

イレーズエラー

- (1) クリアステータスレジスタコマンドを実行し、EERRビットを“0”(消去エラーなし)にする
- (2) 再度、ブロックイレーズコマンドを実行する

イレーズエラーが発生しなくなるまで、(1)(2)を繰り返す。

3回繰り返してもエラーが出る場合は、そのブロックを使用しないでください。

プログラムエラー

- (1) クリアステータスレジスタコマンドを実行し、WERR ビットを“0” (書き込みエラーなし)にする
- (2) ブロックイレーズコマンドを実行する
- (3) プログラムコマンドを実行する

それでもエラーが出る場合は、その番地を使用しないでください。

30.6 割り込み

E2FC レジスタのRIE ビットが“1” (レディ割り込み許可) のとき、E2FS0 レジスタのRDY ビットが“1” (レディ) になると、割り込み要求が発生します。割り込み制御の詳細は「12.7 割り込み制御」を参照してください。

表 30.3 E²データフラッシュの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0041h	E ² データフラッシュ割り込み制御レジスタ	E2FIC	XXXX X000b

30.7 E²PROMエミュレーションデータフラッシュ使用上の注意事項

30.7.1 CPU書き換えモードとの関係

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の場合は、E2FMレジスタのEWMビットを“1”(イレーズ/プログラム許可)にしないでください。

30.7.2 書き換え時のCPUクロック

E²データフラッシュの書き換えを行う場合は、高速、中速モード、PLL動作モード、40MHzオンチップオシレータモードで行ってください。

30.7.3 クロック遷移

E²データフラッシュの書き換え後にモード遷移する場合、次の手順で遷移してください。

- (a) ウェイトモード、ストップモード、125kHzオンチップオシレータ低消費電力モード、または低消費電力モードに遷移
 - (1) E2FS0レジスタのRDYビットが“1”(レディ)になるのを待つ
 - (2) E2FMレジスタのOMビットを“0”(E²データフラッシュ停止)にする
 - (3) モード遷移
- (b) 上記(a)以外のモードに遷移
 - (1) E2FS0レジスタのRDYビットが“1”(レディ)になるのを待つ
 - (2) モード遷移

31. 電気的特性

Jバージョン

31.1 電気的特性(Jバージョン、5V、3V共通)

31.1.1 絶対最大定格

表 31.1 絶対最大定格

記号	項目		条件	定格値	単位
V_{CC}	電源電圧		$V_{CC}=AV_{CC}$	-0.3~6.5	V
AV_{CC}	アナログ電源電圧		$V_{CC}=AV_{CC}$	-0.3~6.5	V
V_{REF}	アナログ基準電圧			-0.3~ $V_{CC}+0.1$ (注1)	V
V_I	入力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, \overline{RESET} , CNVSS		-0.3~ $V_{CC}+0.3$	V
V_O	出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XOUT		-0.3~ $V_{CC}+0.3$	V
P_d	消費電力		$-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	300	mW
T_{opr}	動作周囲温度	マイコン動作時		-40~85	°C
		フラッシュ書き込み消去時	プログラム領域	0~60	
			データ領域	-40~85	
T_{stg}	保存温度			-65~150	°C

注1. 最大6.5Vです。

Jバージョン

31.1.2 推奨動作条件

表 31.2 推奨動作条件 (1/2)

指定のない場合は、 $V_{CC}=3.0V\sim 5.5V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目		規格値			単位		
			最小	標準	最大			
V_{CC}	電源電圧		3.0		5.5	V		
AV_{CC}	アナログ電源電圧			V_{CC}		V		
V_{SS}	電源電圧			0		V		
AV_{SS}	アナログ電源電圧			0		V		
V_{IH}	"H"入力電圧	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7	入力レベル 0.50 V_{CC}	0.7 V_{CC}		V_{CC}	V	
			入力レベル 0.70 V_{CC}	0.85 V_{CC}		V_{CC}	V	
		XIN, RESET, CNVSS		0.8 V_{CC}		V_{CC}	V	
		SDAMM, SCLMM		I ² C-bus入力レベル選択時	0.7 V_{CC}		V_{CC}	V
					SMBUS入力レベル選択時	2.1		V_{CC}
V_{IL}	"L"入力電圧	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7	入力レベル 0.50 V_{CC}	0		0.3 V_{CC}	V	
			入力レベル 0.70 V_{CC}	0		0.45 V_{CC}	V	
		XIN, RESET, CNVSS		0		0.2 V_{CC}	V	
		SDAMM, SCLMM		I ² C-bus入力レベル選択時	0		0.3 V_{CC}	V
					SMBUS入力レベル選択時	0		0.8
$I_{OH(sum)}$	"H"尖頭総出力電流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_4、P8_6~P8_7、P9_0~P9_7、P10_0~P10_7				-80	mA	
$I_{OH(peak)}$	"H"尖頭出力電流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_4、P8_6~P8_7、P9_0~P9_7、P10_0~P10_7				-10.0	mA	
$I_{OH(avg)}$	"H"平均出力電流 (注1)	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_4、P8_6~P8_7、P9_0~P9_7、P10_0~P10_7				-5.0	mA	
$I_{OL(sum)}$	"L"尖頭総出力電流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7				80	mA	
$I_{OL(peak)}$	"L"尖頭出力電流	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7				10.0	mA	
$I_{OL(avg)}$	"L"平均出力電流 (注1)	P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P4_0~P4_7、P5_0~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_7、P9_0~P9_7、P10_0~P10_7				5.0	mA	
$f_{(XIN)}$	メインクロック入力発振周波数 (注2)		0		20	MHz		
$f_{(XCIN)}$	サブクロック発振周波数			32.768	50	kHz		
$f_{(PLL)}$	PLLクロック発振周波数 (注2)		10		32	MHz		
$f_{(BCLK)}$	CPU動作周波数		0		32	MHz		
$t_{su(PLL)}$	PLL周波数シンセサイザ安定待ち時間				1	ms		

注1. 平均出力電流は100msの期間内での平均値です。

注2. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係を図 31.1のメインクロック発振周波数、PLLクロック発振周波数で示します。

Jバージョン

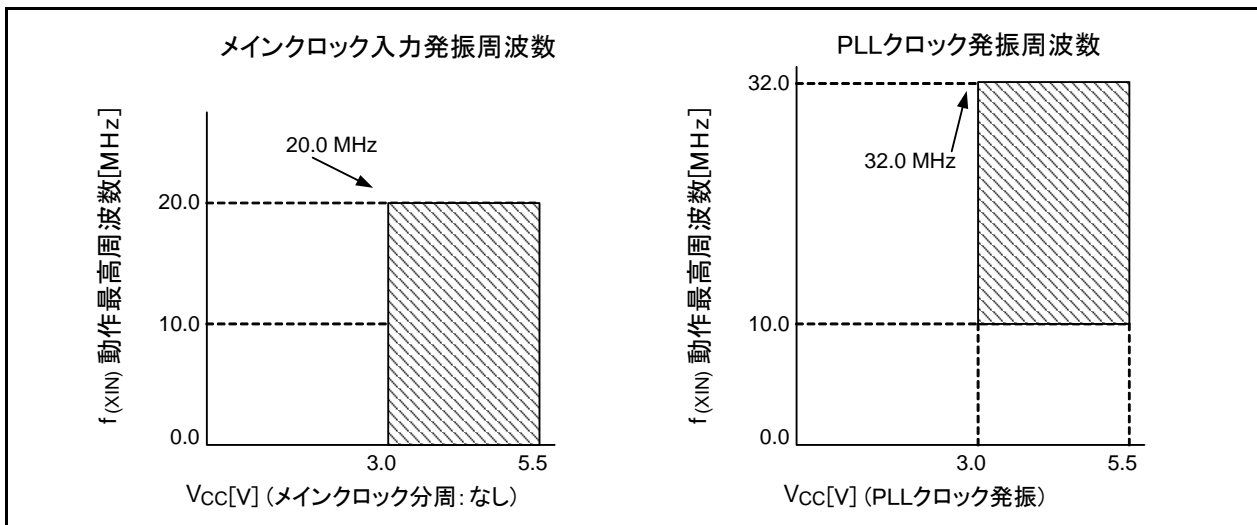


図 31.1 メインクロック発振周波数、PLLクロック発振周波数

表 31.3 推奨動作条件 (2/2)

(指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$) (注1)

電源リップルは $V_r(V_{CC})$ 、 $dV_r(V_{CC})/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
$V_r(V_{CC})$	許容電源リップル電圧	$V_{CC} = 5.0 V$		0.5	Vp-p
		$V_{CC} = 3.0 V$		0.3	Vp-p
$dV_r(V_{CC})/dt$	電源リップル立ち下がり勾配	$V_{CC} = 5.0 V$		0.3	V/ms
		$V_{CC} = 3.0 V$		0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

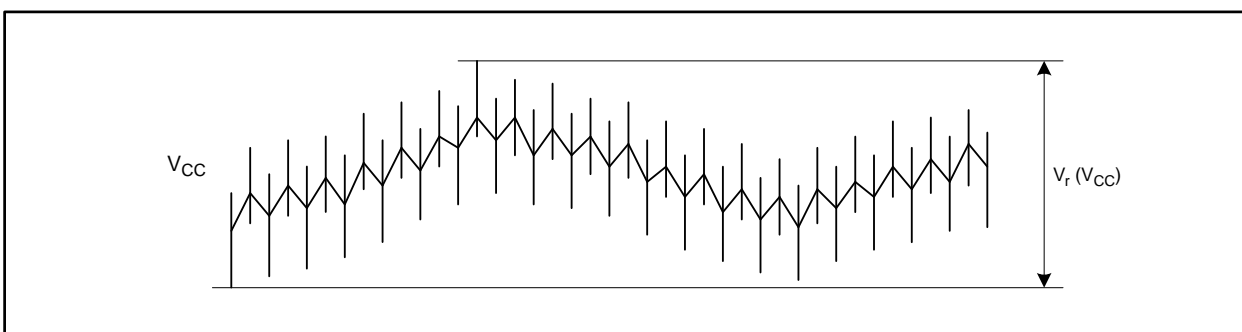


図 31.2 電源リップル波形

Jバージョン

31.1.3 A/D変換特性

表 31.4 A/D変換特性(注1)

指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
I_{NL}	積分非直線性誤差	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
-	絶対精度	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
ϕAD	A/D動作クロック周波数	$4.0V \leq V_{CC} \leq 5.5V$	2		25	MHz
		$3.2V \leq V_{CC} \leq 4.0V$	2		16	MHz
		$3.0V \leq V_{CC} \leq 3.2V$	2		10	MHz
-	許容信号源インピーダンス			3	k Ω	
D_{NL}	微分非直線性誤差	(注2)			± 1	LSB
-	オフセット誤差	(注2)			± 3	LSB
-	ゲイン誤差	(注2)			± 3	LSB
t_{CONV}	変換時間(10bit)	$V_{REF}=V_{CC}=5V$ 、 $\phi AD=25MHz$	1.60			μs
t_{SAMP}	サンプリング時間		0.6			μs
V_{REF}	基準電圧		3.0		V_{CC}	V
V_{IA}	アナログ入力電圧(注3)		0		V_{REF}	V

注1. $AV_{CC} = V_{CC}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。

「図 31.3 A/D精度測定回路」を参照してください。

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

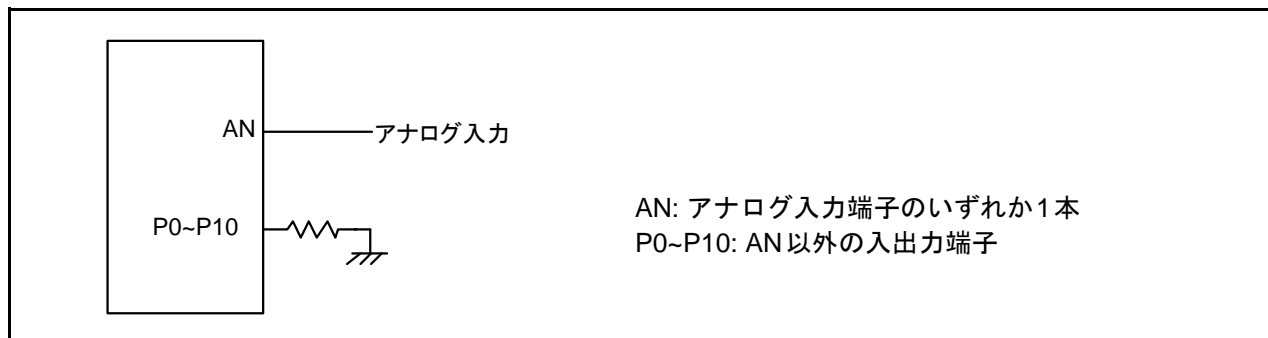


図 31.3 A/D精度測定回路

Jバージョン

31.1.4 D/A変換特性

表 31.5 D/A変換特性

指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				2.5	LSB
t_{su}	設定時間				3	μs
R_O	出力抵抗		5	6	8.2	$k\Omega$
I_{VREF}	基準電源入力電流	(注1、2)			1.5	mA

- 注1. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。
 注2. A/Dコンバータの電流消費分は除きます。また、ADCON1レジスタのADSTBYビットが“0” (A/D動作停止、スタンバイ) の場合でも、D/Aコンバータの I_{VREF} は流れます。

Jバージョン

31.1.5 フラッシュメモリの電気的特性

表31.6 フラッシュメモリ動作時のCPUクロック ($f_{(BCLK)}$)

指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				16(注1)	MHz
$f_{(SLOW_R)}$	スローリードモード				5(注3)	MHz
-	低消費電流リードモード			fC	35	kHz
-	データフラッシュリード				20(注2)	MHz

- 注1. PM1レジスタのPM17ビットは“1”(1ウェイト)にしてください。
- 注2. この周波数を超える場合は、FMR1レジスタのFMR17ビットを“0”(1ウェイト)にするか、またはPM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。
- 注3. PM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

Jバージョン

表31.7 フラッシュメモリ(プログラムROM1、2)の電気的特性

指定のない場合は、 $V_{CC} = 3.0\sim 5.5V$ 、 $T_{opr} = 0^{\circ}C\sim 60^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	1,000(注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		150	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		70	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		3.0		5.5	V
-	読み出し電圧	$T_{opr} = -40\sim 85^{\circ}C$	3.0		5.5	V
-	書き込み、消去時の温度		0		60	$^{\circ}C$
t_{ps}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=1,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

たとえば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~"最小"値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

Jバージョン

表31.8 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC} = 3.0\sim 5.5V$ 、 $T_{opr} = -40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		3.0		5.5	V
-	読み出し電圧		3.0		5.5	V
-	書き込み、消去時の温度		-40		85	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n = 10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。たとえば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

Jバージョン

31.1.7 電圧検出回路、電源回路の電気的特性

表31.10 電圧検出0回路の電気的特性

指定のない場合の測定条件は $V_{CC}=3.0\sim 5.5V$ 、 $T_{opr} = -40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0}	V_{CC} 立ち下がり時	2.70	2.85	3.00	V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=3.0\sim 5.5V$			100	μs

注1. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表31.11 電圧検出2回路の電気的特性

指定のない場合の測定条件は $V_{CC}=3.0\sim 5.5V$ 、 $T_{opr} = -40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2_0}	電圧検出レベル V_{det2_0}	V_{CC} 立ち下がり時		3.21		V
V_{det2_1}	電圧検出レベル V_{det2_1}			3.36		V
V_{det2_2}	電圧検出レベル V_{det2_2}			3.51		V
V_{det2_3}	電圧検出レベル V_{det2_3}			3.66		V
V_{det2_4}	電圧検出レベル V_{det2_4}		3.51	3.81	4.11	V
V_{det2_5}	電圧検出レベル V_{det2_5}			3.96		V
V_{det2_6}	電圧検出レベル V_{det2_6}			4.10		V
V_{det2_7}	電圧検出レベル V_{det2_7}			4.25		V
-	電圧検出2回路の V_{CC} 立ち上がり時の ヒステリシス幅			0.15		V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=3.0\sim 5.5V$			100	μs

注1. VCR2レジスタのVC27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

Jバージョン

表31.12 パワーオンリセット回路

指定のない場合の測定条件は $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t_{rth}	外部電源 V_{CC} の立ち上がり傾き		2.0		50000	mV/ms
t_{fth}	外部電源 V_{CC} の立ち下がり傾き				50000	mV/ms
V_{por}	パワーオンリセットが有効になる電圧(注1)				0.1	V
$t_{w(por)}$	パワーオンリセットが有効になるための保持時間		1.0			ms

注1. パワーオンリセットを使用する場合には、OFS1番地のLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

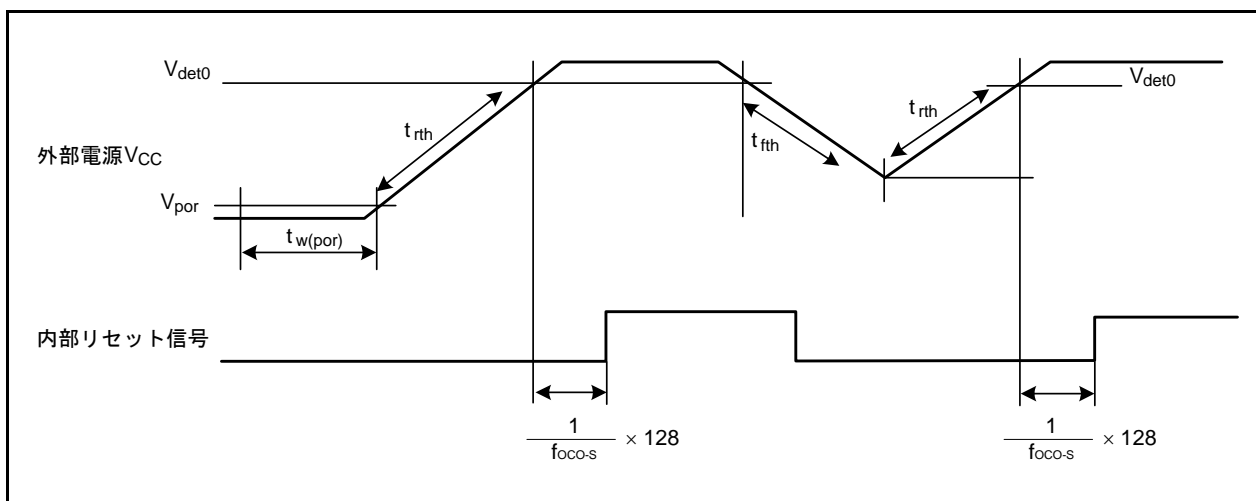


図31.4 パワーオンリセット回路の電気的特性

表 31.13 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時内部電源安定時間	$V_{CC}=3.0\sim 5.5V$			5	ms
$t_d(R-S)$	STOP解除時間				300	μs
$t_d(W-S)$	低消費電力モードウェイトモード解除時間				300	μs

注1. $V_{CC}=5V$ 時の標準値

Jバージョン

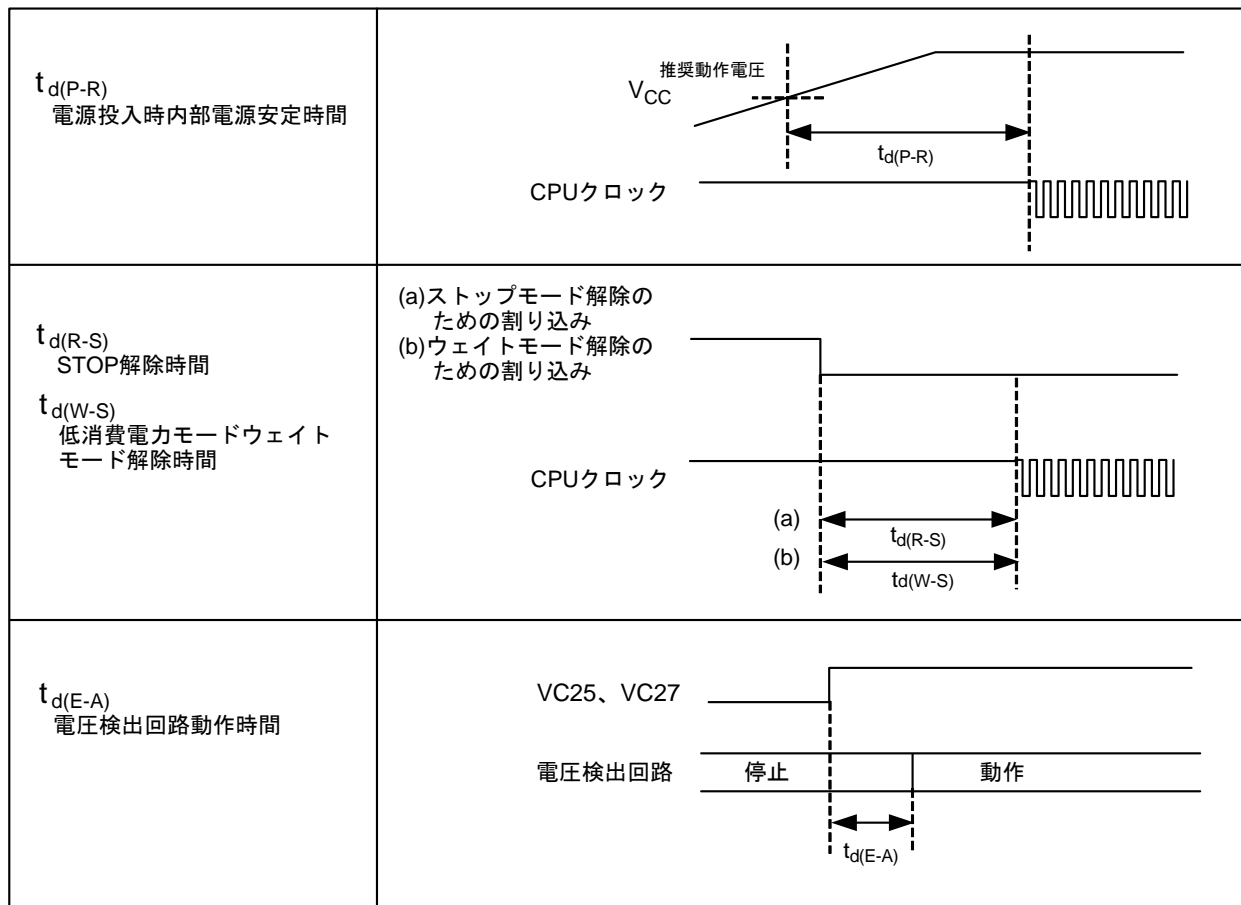


図 31.5 電源回路のタイミング図

31.1.8 発振回路の電気的特性

表31.14 オンチップオシレータ発振回路の電気的特性

指定のない場合の測定条件は $V_{CC}=3.0 \sim 5.5V$ 、 $T_{opr} = -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	規格値			単位
		最小	標準	最大	
f_{OCO-S}	125kHz オンチップオシレータ発振周波数	100	125	150	kHz
f_{OCO40M}	40MHz オンチップオシレータ発振周波数	32	40	48	MHz
f_{WDT}	ウォッチドッグタイマ専用 125kHz オンチップオシレータ発振周波数	100	125	150	kHz

31.2 電気的特性(Jバージョン、 $V_{CC}=5V$)

31.2.1 電気的特性

Jバージョン、 $V_{CC}=5V$

表 31.15 電気的特性(1)

指定のない場合は、 $V_{CC}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=32MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-5mA$	$V_{CC}-2.0$		V_{CC}	V
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-200\mu A$	$V_{CC}-0.3$		V_{CC}	V
V_{OH}	"H"出力電圧 XOUT	HIGH POWER	$I_{OH}=-1mA$	$V_{CC}-2.0$		V_{CC}	V
		LOW POWER	$I_{OH}=-0.5mA$	$V_{CC}-2.0$		V_{CC}	
	"H"出力電圧 XCOUT	HIGH POWER	無負荷時		2.5		V
		LOW POWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=5mA$			2.0	V
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=200\mu A$			0.45	V
V_{OL}	"L"出力電圧 XOUT	HIGH POWER	$I_{OL}=1mA$			2.0	V
		LOW POWER	$I_{OL}=0.5mA$			2.0	
	"L"出力電圧 XCOUT	HIGH POWER	無負荷時		0		V
		LOW POWER	無負荷時		0		
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, K10~K13, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, SSI0, SSCK0, SCS0, LIN0IN, CRX0, CRX1		0.2		$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET		0.2		2.5	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN		0.2		0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_i=5V$			5.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_i=0V$			-5.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$V_i=0V$	30	50	170	k Ω
R_{FXIN}	帰還抵抗 XIN				1.5		M Ω
R_{FXCIN}	帰還抵抗 XCIN				15		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

Jバージョン、 $V_{CC}=5V$

表 31.16 電気的特性(2)

指定のない場合は、 $T_{opr} = -40 \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=4.2\sim 5.5V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=32MHz$ XIN=8MHz (方形波)、PLL8通倍、 125kHzオンチップオシレータ発振		25	45	mA
			$f_{(BCLK)}=20MHz$ XIN=20MHz (方形波)、 125kHzオンチップオシレータ発振		21	39	mA
			$f_{(BCLK)}=16MHz$ XIN=16MHz (方形波)、 125kHzオンチップオシレータ発振		17		mA
		40MHzオンチップオシレータ モード	メインクロック停止 40MHzオンチップオシレータ発振 125kHzオンチップオシレータ発振 分周なし		21	39	mA
			メインクロック停止 40MHzオンチップオシレータ発振 125kHzオンチップオシレータ発振 8分周		6		mA
		125kHz オンチップオシレータ モード	メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		190	580	μA
		低消費電力モード	$f_{(BCLK)}=32kHz$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		200		μA
		ウェイトモード	メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}C$		25		μA
			メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=85^{\circ}C$		55		μA
		ストップモード	$T_{opr}=25^{\circ}C$		3	15	μA
			$T_{opr}=85^{\circ}C$		30		μA
フラッシュメモリプログラム中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		20.0		mA		
フラッシュメモリイレーズ中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流		3		μA		
I_{det0}	リセット領域検出消費電流		6		μA		

注1. 実行するプログラムが存在するメモリを示します。

Jバージョン、 $V_{CC}=5V$

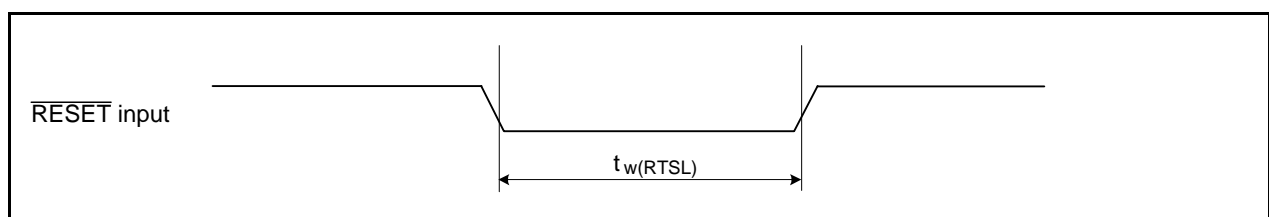
31.2.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.2.2.1 リセット入力

表 31.17 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

図 31.6 リセット入力 (\overline{RESET} 入力)

31.2.2.2 外部クロック入力

表 31.18 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

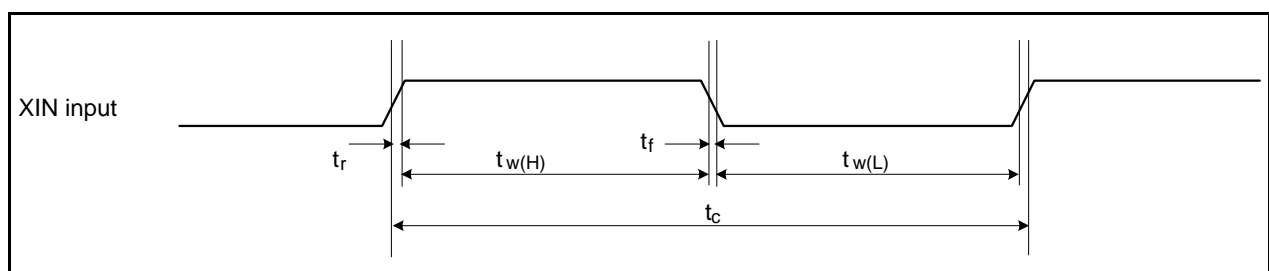
注1. 条件は $V_{CC}=5.0V$ です。

図 31.7 外部クロック入力 (XIN入力)

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.2.2.3 タイマA入力

表 31.19 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	40		ns

表 31.20 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 31.21 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

表 31.22 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

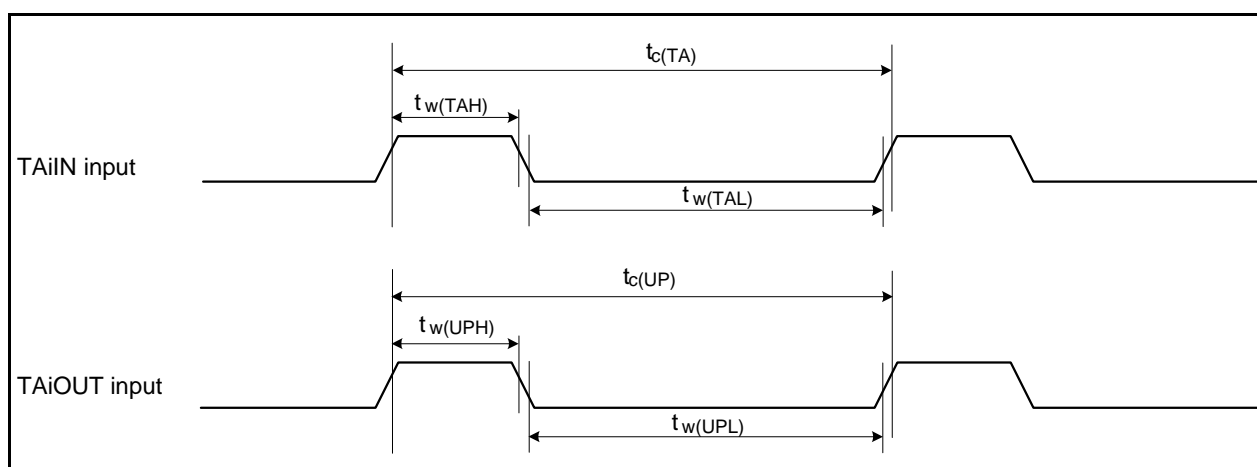


図 31.8 タイマA入力

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

表 31.23 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

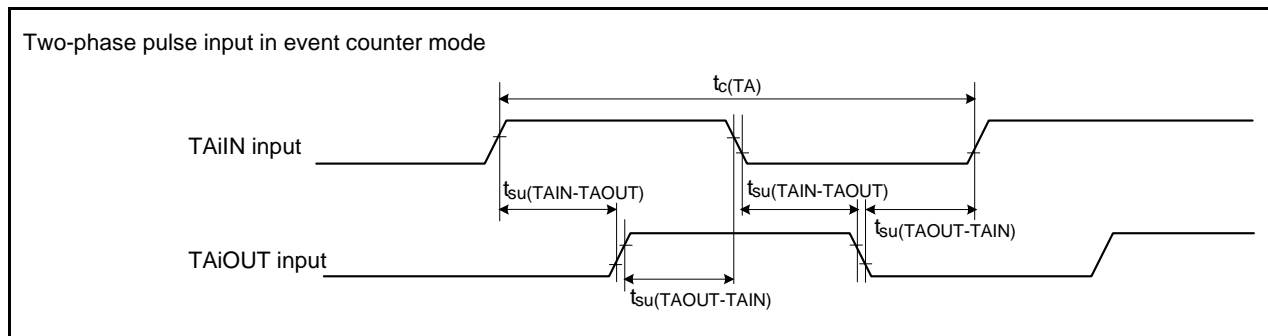


図 31.9 タイマA入力(イベントカウンタモードの二相パルス入力)

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.2.2.4 タイマB入力

表 31.24 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 31.25 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 31.26 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

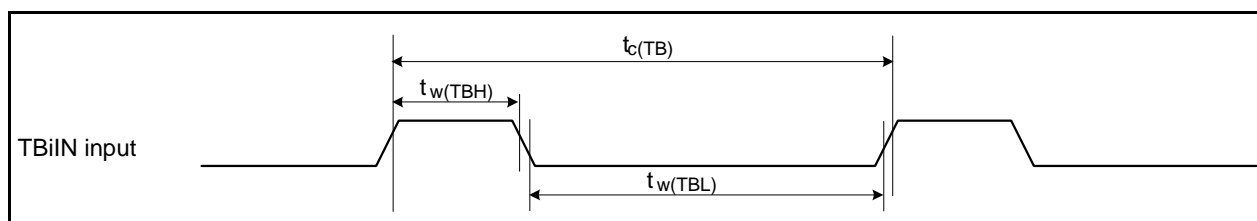


図 31.10 タイマB入力

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.2.2.5 タイマS入力

表 31.27 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

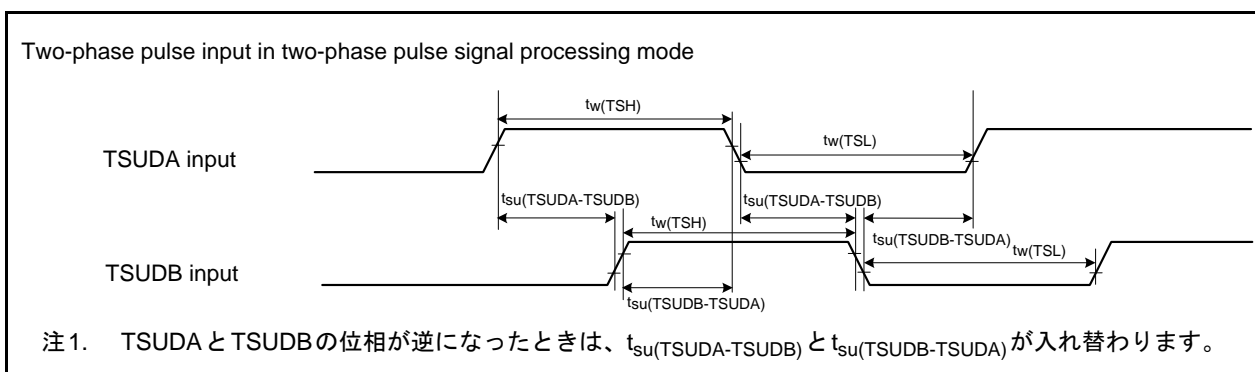


図 31.11 タイマS入力(二相パルス信号処理モードの二相パルス入力)

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.2.2.6 シリアルインタフェース

表 31.28 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

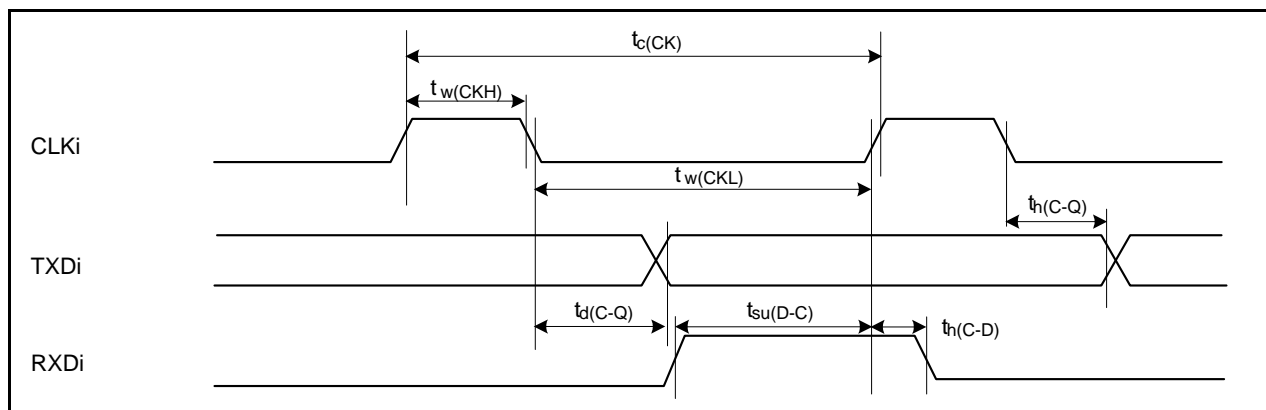
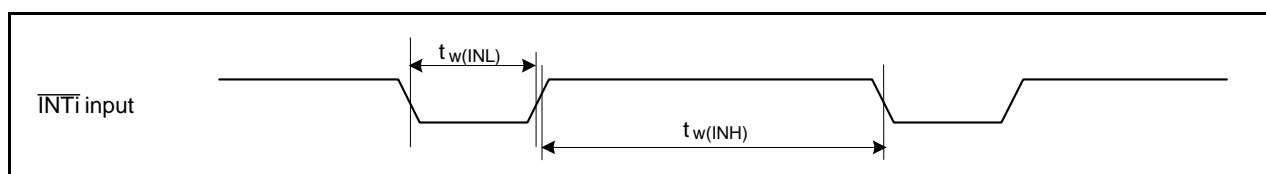


図 31.12 シリアルインタフェース

31.2.2.7 外部割り込み \overline{INTi} 入力表 31.29 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	250		ns

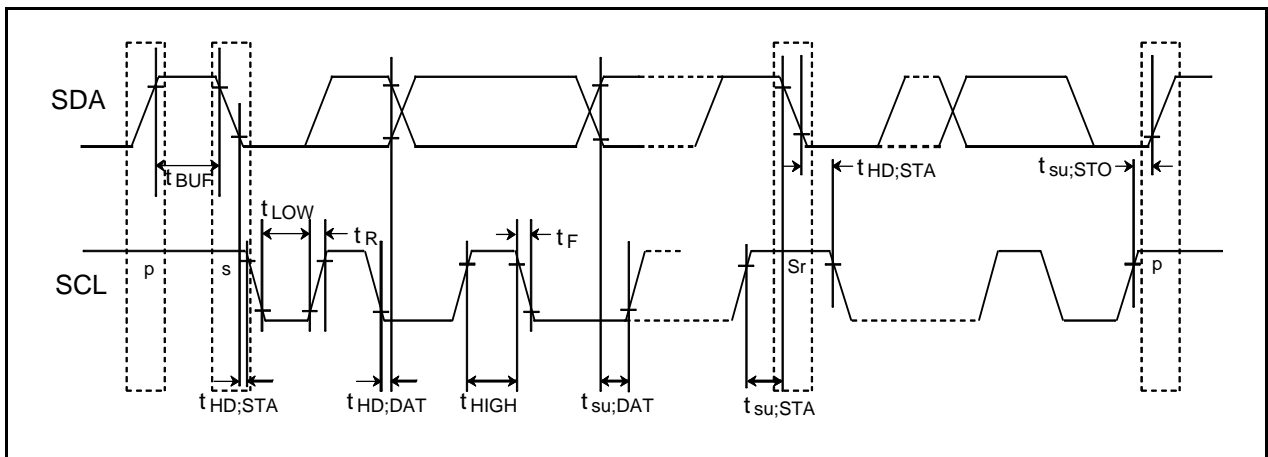
図 31.13 外部割り込み \overline{INTi} 入力

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)31.2.2.8 マルチマスタ I²C-bus表 31.30 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 31.14 マルチマスタ I²C-bus

Jバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.2.2.9 シリアルバスインタフェース

表 31.31 シリアルバスインタフェース

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_c(SSCK)$	SSCKクロックサイクル時間		250			ns
$t_w(SSCKH)$	SSCKクロック“H”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_w(SSCKL)$	SSCKクロック“L”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_r(SSCK)$	SSCKクロック立ち上がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_f(SSCK)$	SSCKクロック立ち下がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_{su}(SSIO-SSCK)$	SSO、SSIデータ入力セットアップ時間		100			ns
$t_h(SSCK-SSIO)$	SSO、SSIデータ入力ホールド時間		1			t_{CYC} (注1)
$t_{su}(SCS-SSCK)$	\overline{SCS} セットアップ時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_h(SSCK-SCS)$	SCSホールド時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_d(SSCK-SSIO)$	SSO、SSIデータ出力遅延時間	マスタ			1	t_{CYC} (注1)
		スレーブ			80	ns
$t_{en}(SCS-SSI)$	SSI出力イネーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns
$t_{dis}(SCS-SSI)$	SSI出力ディセーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns

注1. $1t_{CYC} = 1/f_1$ (s)

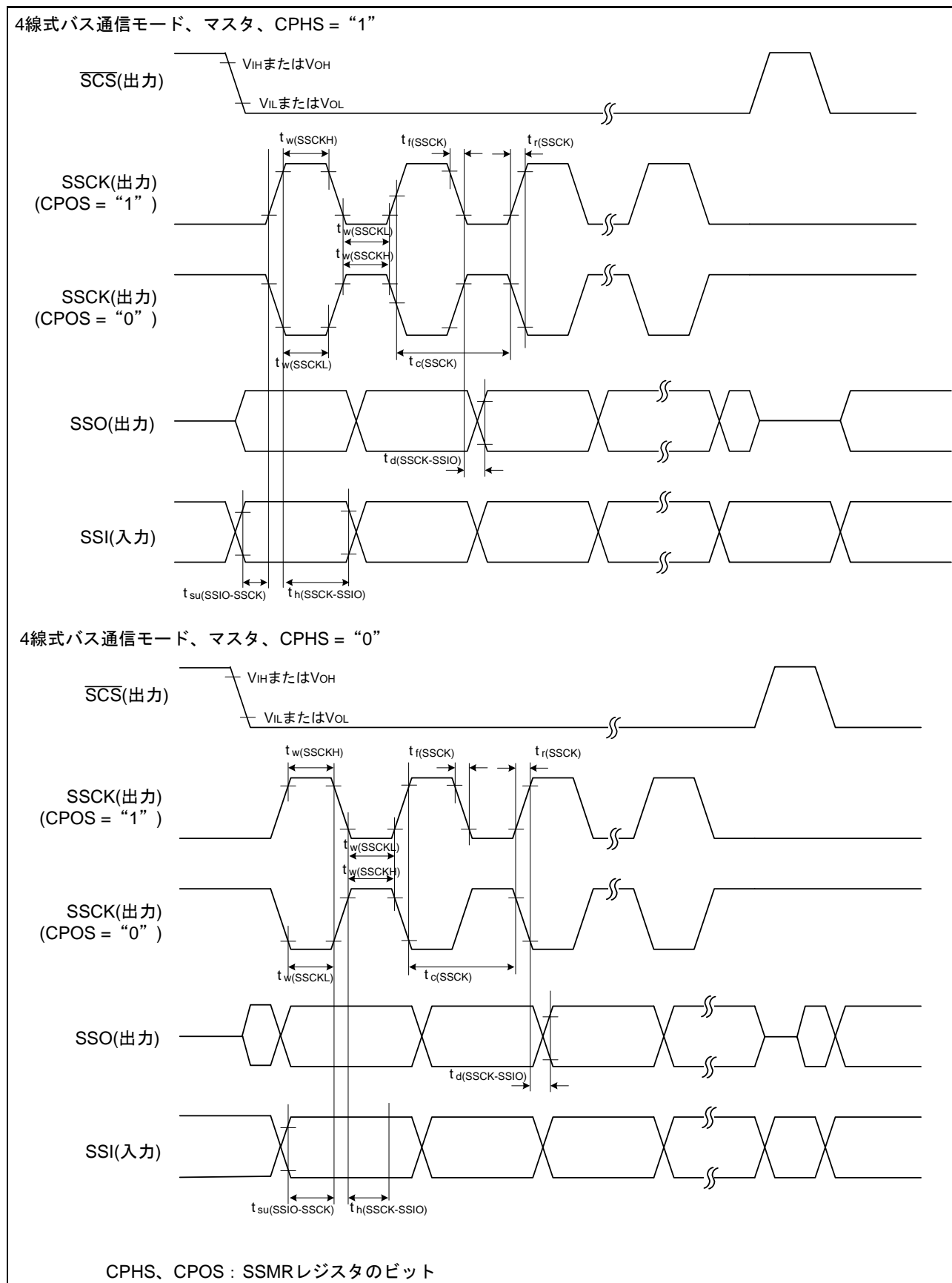
Jバージョン、 $V_{CC}=5V$ 

図 31.15 シリアルバスインタフェースの入出力タイミング (マスタ)

Jバージョン、 $V_{CC}=5V$

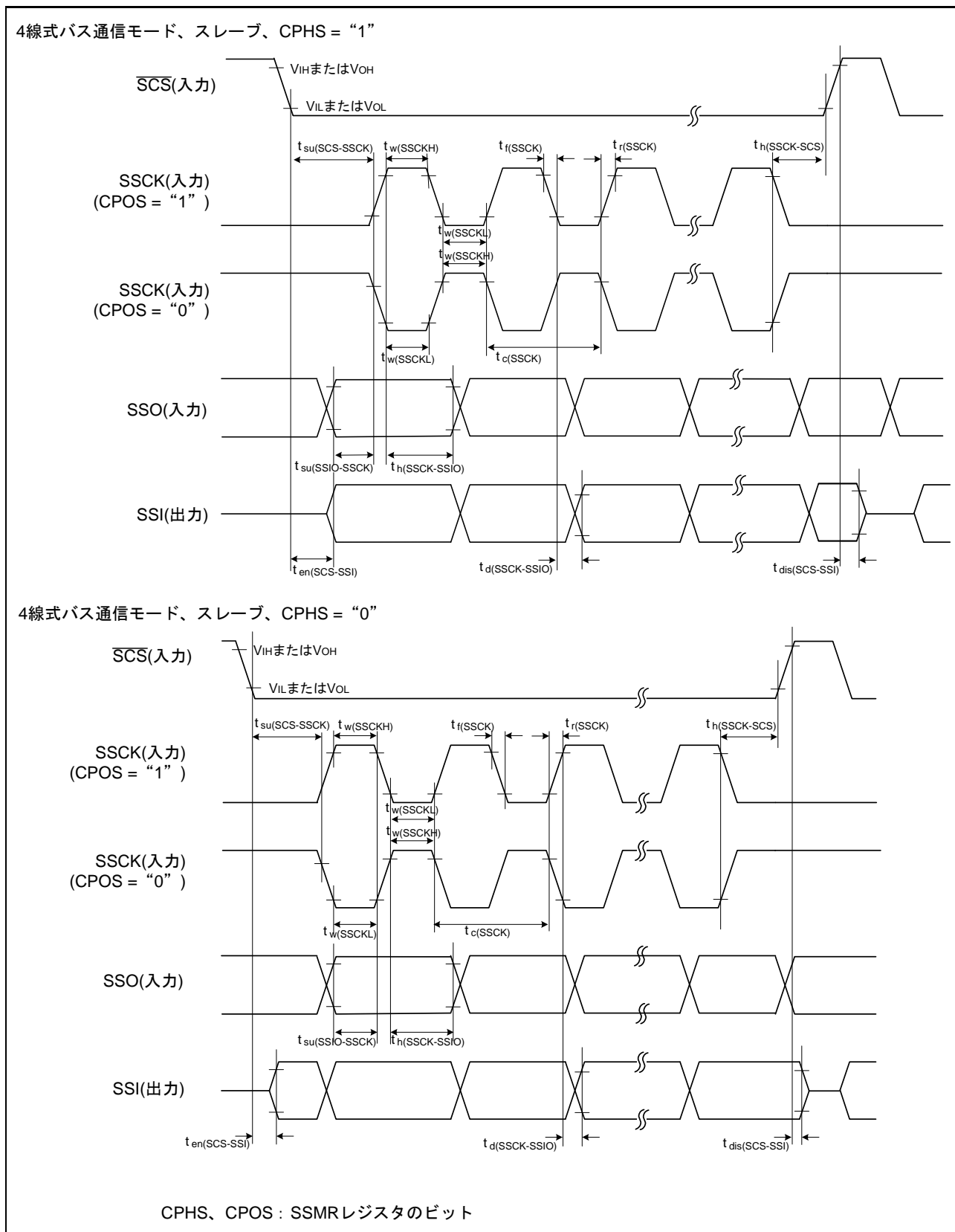


図 31.16 シリアルバスインタフェースの入出力タイミング図 (スレーブ)

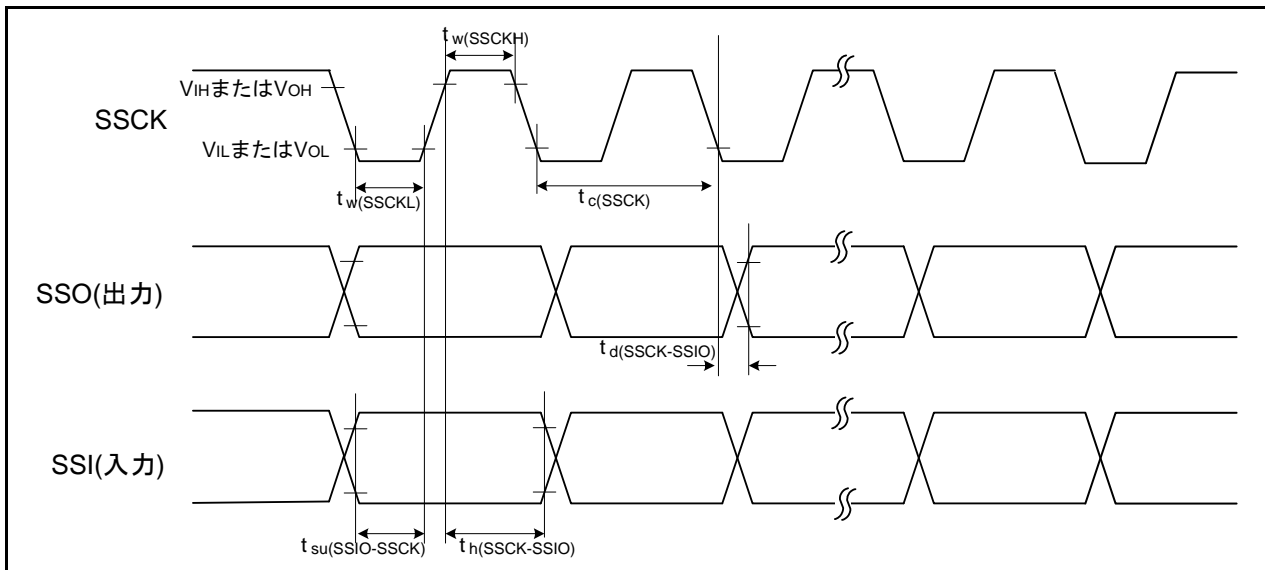
Jバージョン、 $V_{CC}=5V$ 

図 31.17 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)

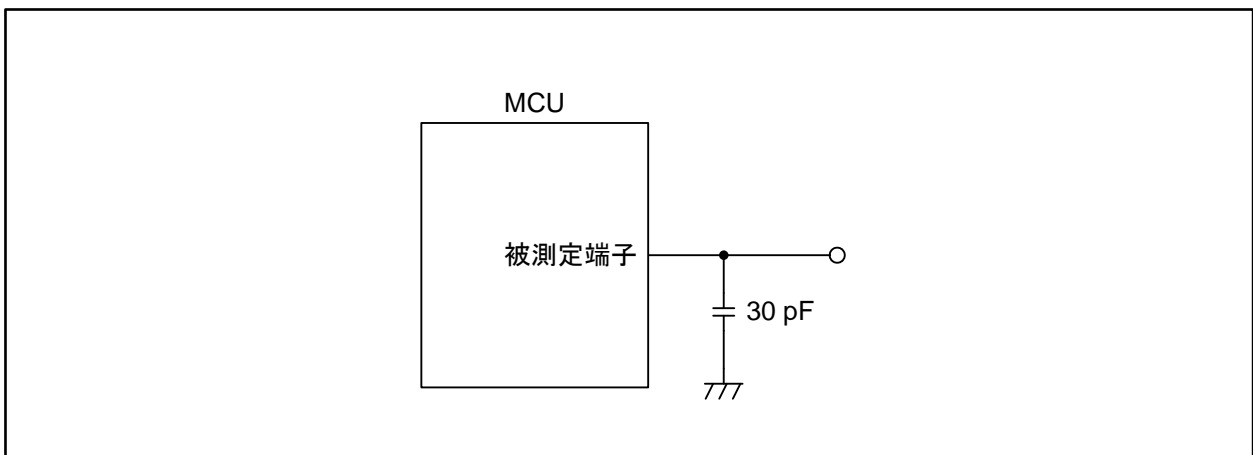


図 31.18 スイッチング特性の測定回路

31.3 電気的特性(Jバージョン、 $V_{CC}=3V$)

31.3.1 電気的特性

Jバージョン、 $V_{CC}=3V$

表 31.32 電気的特性(1)

指定のない場合は、 $V_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=32MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-1mA$	$V_{CC}-0.5$		V_{CC}	V
V_{OH}	"H"出力電圧 XOUT	HIGH POWER	$I_{OH}=-0.1mA$	$V_{CC}-0.5$		V_{CC}	V
		LOW POWER	$I_{OH}=-50\mu A$	$V_{CC}-0.5$		V_{CC}	
	"H"出力電圧 XCOUT	HIGH POWER	無負荷時		2.5		V
		LOW POWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=1mA$			0.5	V
V_{OL}	"L"出力電圧 XOUT	HIGH POWER	$I_{OL}=0.1mA$			0.5	V
		LOW POWER	$I_{OL}=50\mu A$			0.5	
	"L"出力電圧 XCOUT	HIGH POWER	無負荷時		0		V
		LOW POWER	無負荷時		0		
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, SSI0, SSCK0, SCS0, LINOIN, CRX0, CRX1				$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET				1.8	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN				0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_I=3V$			4.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_I=0V$			-4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$V_I=0V$	50	100	500	k Ω
R_{FXIN}	帰還抵抗	XIN			3.0		M Ω
R_{FXCIN}	帰還抵抗	XCIN			25		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

Jバージョン、 $V_{CC}=3V$

表 31.33 電気的特性(2)

指定のない場合は、 $T_{opr} = -40 \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=3.0\sim 3.6V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=32MHz$ XIN=8MHz (方形波)、PLL8通倍、 125kHzオンチップオシレータ発振		23	43	mA
			$f_{(BCLK)}=20MHz$ XIN=20MHz (方形波)、 125kHzオンチップオシレータ発振		20	38	mA
			$f_{(BCLK)}=16MHz$ XIN=16MHz (方形波)、 125kHzオンチップオシレータ発振		16		mA
		40MHzオンチップオシレータ モード	メインクロック停止 40MHzオンチップオシレータ発振 125kHzオンチップオシレータ発振 分周なし		20	38	mA
			メインクロック停止 40MHzオンチップオシレータ発振 125kHzオンチップオシレータ発振 8分周		6		mA
		125kHz オンチップオシレータ モード	メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		190	580	μA
		低消費電力モード	$f_{(BCLK)}=32kHz$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		200		μA
		ウェイトモード	メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}C$		25		μA
			メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=85^{\circ}C$		55		μA
		ストップモード	$T_{opr}=25^{\circ}C$		2	12	μA
			$T_{opr}=85^{\circ}C$		30		μA
フラッシュメモリプログラム中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		20.0		mA		
フラッシュメモリイレーズ中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流			3	μA		
I_{det0}	リセット領域検出消費電流			6	μA		

注1. 実行するプログラムが存在するメモリを示します。

Jバージョン、 $V_{CC}=3V$

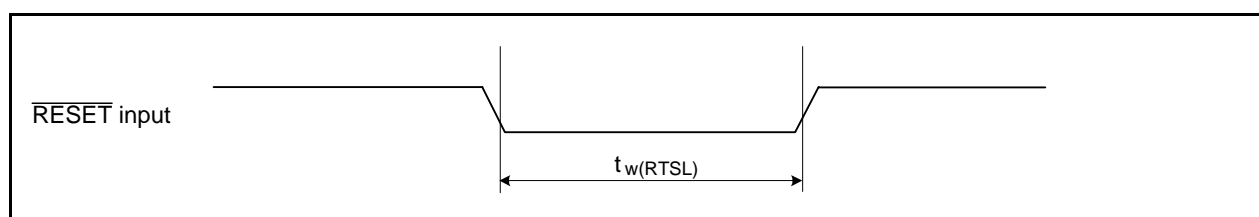
31.3.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.3.2.1 リセット入力

表 31.34 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	RESET入力“L”パルス幅	10		μs

図 31.19 リセット入力 (\overline{RESET} 入力)

31.3.2.2 外部クロック入力

表 31.35 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

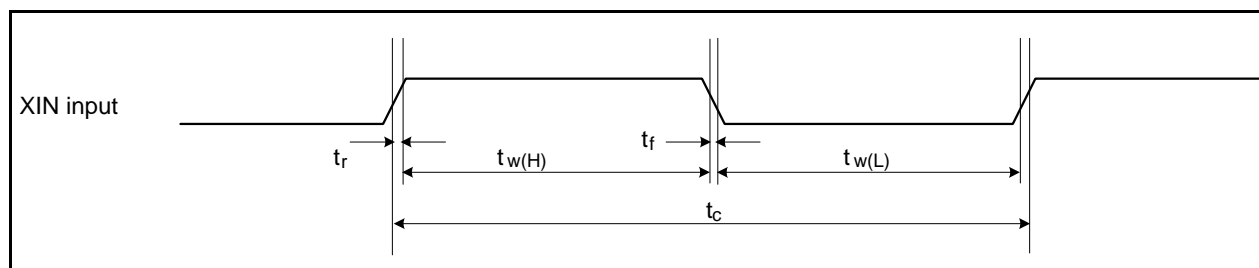
注1. 条件は $V_{CC}=3.0V$ です。

図 31.20 外部クロック入力 (XIN入力)

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.3.2.3 タイマA入力

表 31.36 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	60		ns

表 31.37 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	300		ns

表 31.38 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表 31.39 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

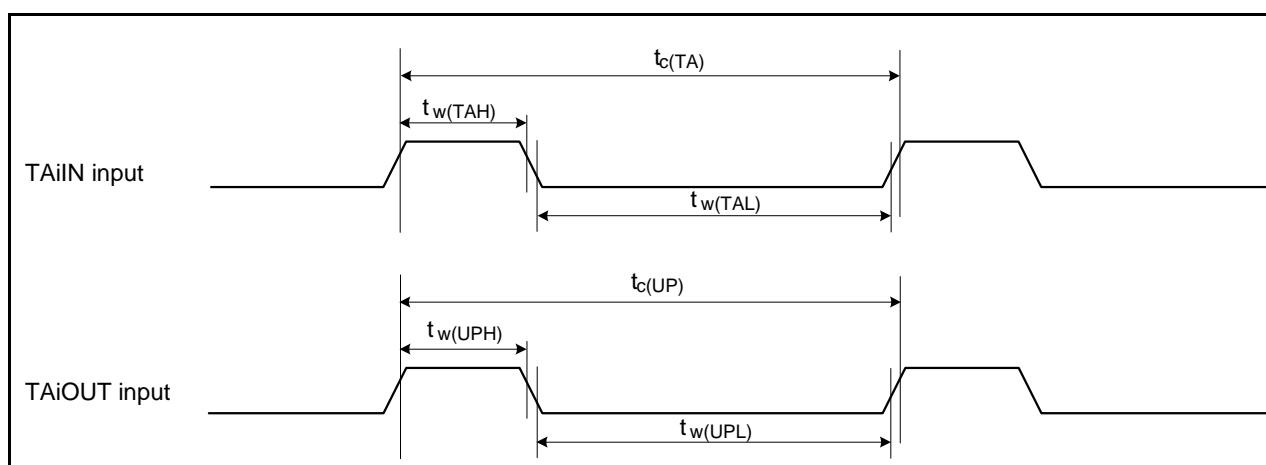


図 31.21 タイマA入力

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

表 31.40 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	2		μs
$t_{su(TAIN-TAOUT)}$	TAiOUT入力セットアップ時間	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN入力セットアップ時間	500		ns

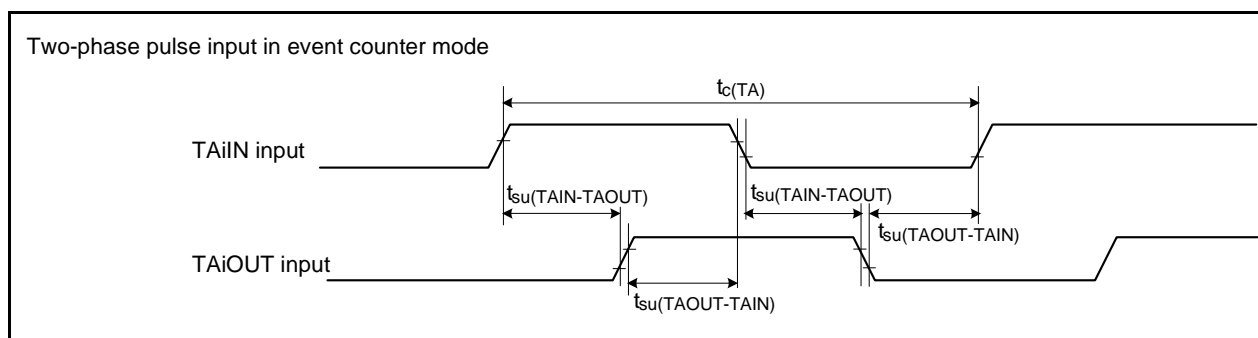


図 31.22 タイマA入力(イベントカウンタモードの二相パルス入力)

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.3.2.4 タイマB入力

表 31.41 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 31.42 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	300		ns

表 31.43 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	300		ns

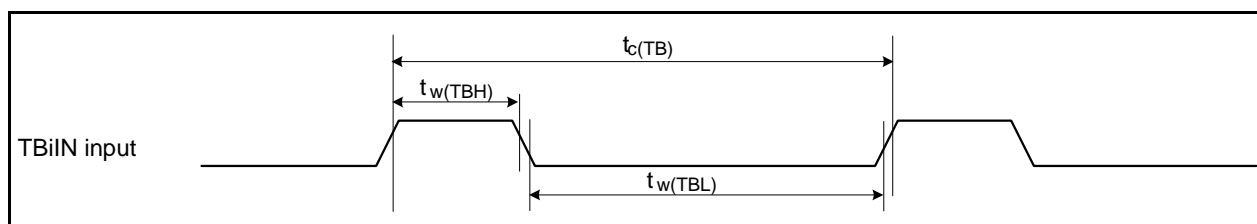


図 31.23 タイマB入力

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.3.2.5 タイマS入力

表 31.44 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

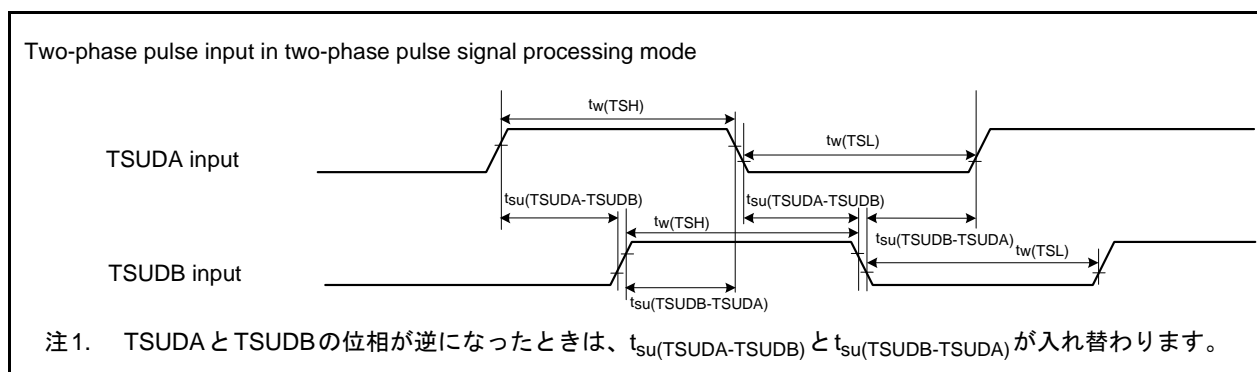


図 31.24 タイマS入力(二相パルス信号処理モードの二相パルス入力)

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.3.2.6 シリアルインタフェース

表 31.45 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

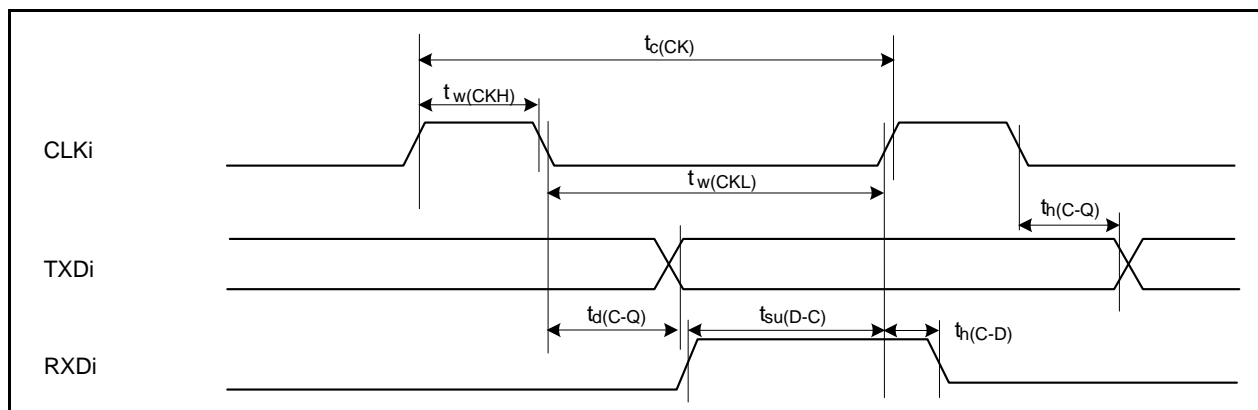
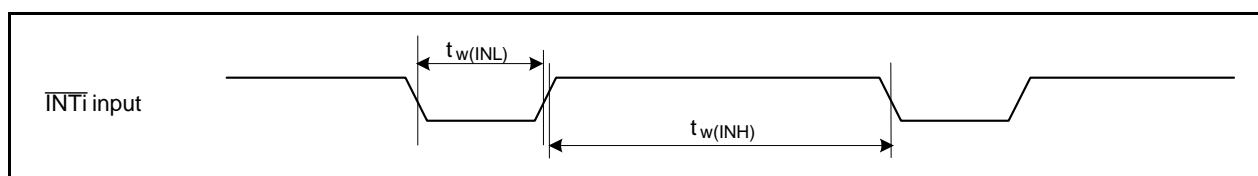


図 31.25 シリアルインタフェース

31.3.2.7 外部割り込み \overline{INTi} 入力表 31.46 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	380		ns

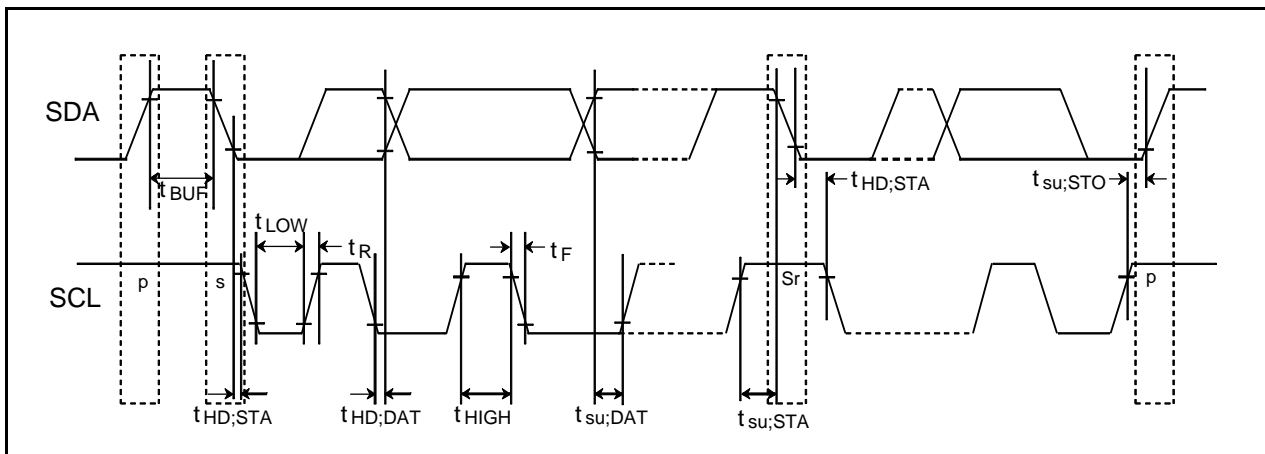
図 31.26 外部割り込み \overline{INTi} 入力

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)31.3.2.8 マルチマスタ I²C-bus表 31.47 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 31.27 マルチマスタ I²C-bus

Jバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

31.3.2.9 シリアルバスインタフェース

表 31.48 シリアルバスインタフェース

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_c(SSCK)$	SSCKクロックサイクル時間		250			ns
$t_w(SSCKH)$	SSCKクロック“H”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_w(SSCKL)$	SSCKクロック“L”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_r(SSCK)$	SSCKクロック立ち上がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_f(SSCK)$	SSCKクロック立ち下がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_{su}(SSIO-SSCK)$	SSO、SSIデータ入力セットアップ時間		100			ns
$t_h(SSCK-SSIO)$	SSO、SSIデータ入力ホールド時間		1			t_{CYC} (注1)
$t_{su}(SCS-SSCK)$	\overline{SCS} セットアップ時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_h(SSCK-SCS)$	SCSホールド時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_d(SSCK-SSIO)$	SSO、SSIデータ出力遅延時間	マスタ			1	t_{CYC} (注1)
		スレーブ			80	ns
$t_{en}(SCS-SSI)$	SSI出力イネーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns
$t_{dis}(SCS-SSI)$	SSI出力ディセーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns

注1. $1t_{CYC} = 1/f_1$ (s)

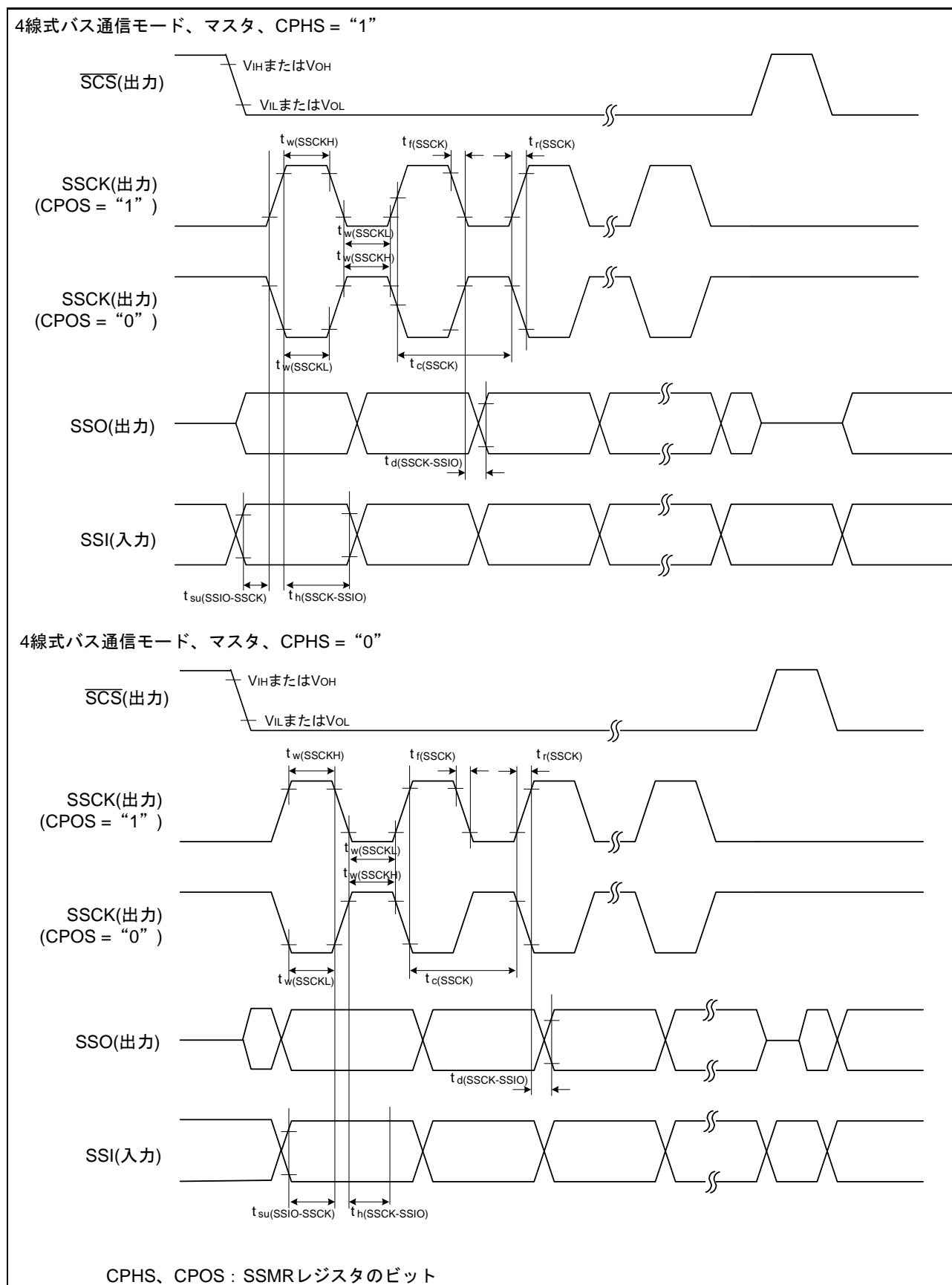
Jバージョン、 $V_{CC}=3V$ 

図 31.28 シリアルバスインタフェースの入出力タイミング (マスタ)

Jバージョン、 $V_{CC}=3V$

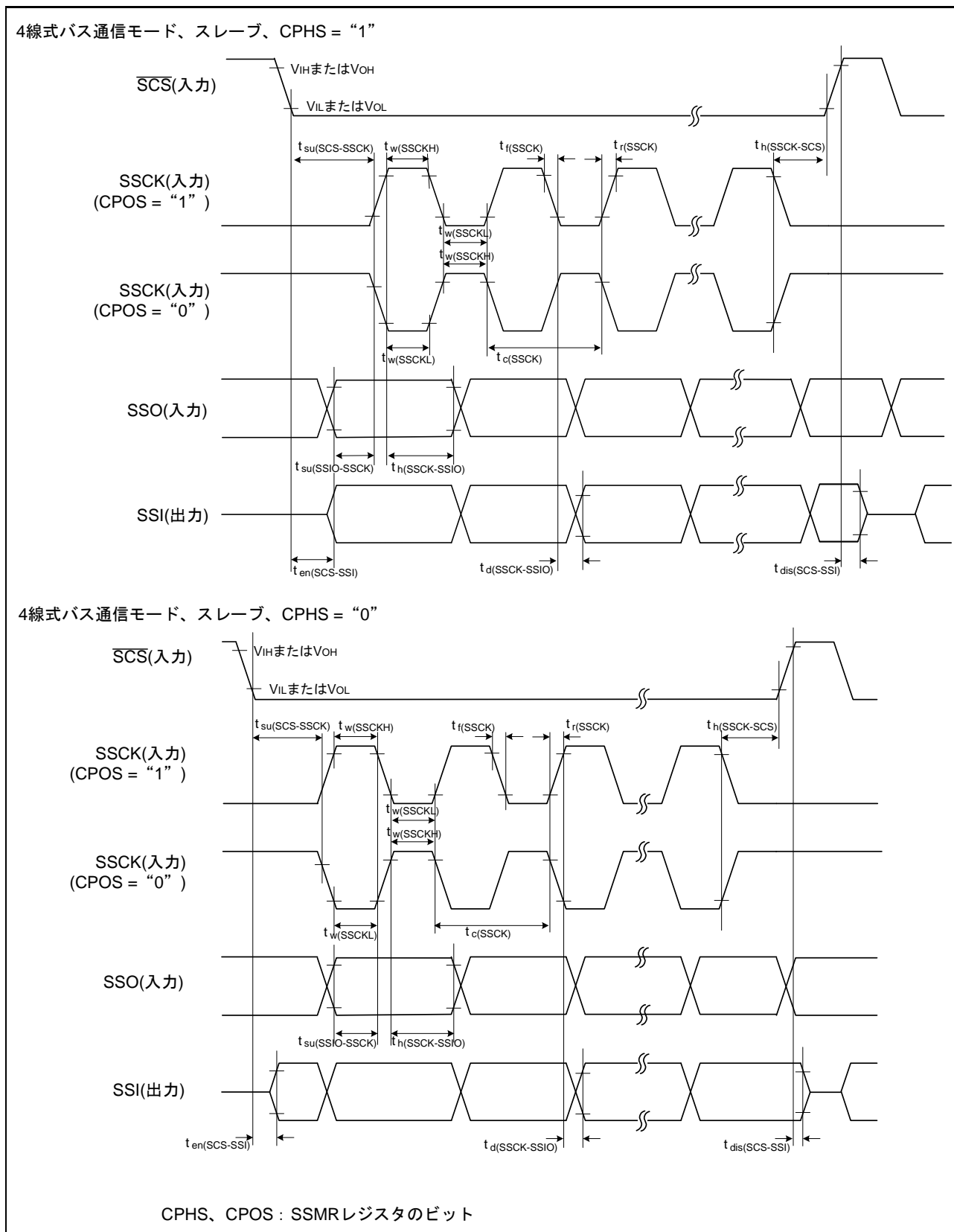


図 31.29 シリアルバスインタフェースの入出力タイミング図 (スレーブ)

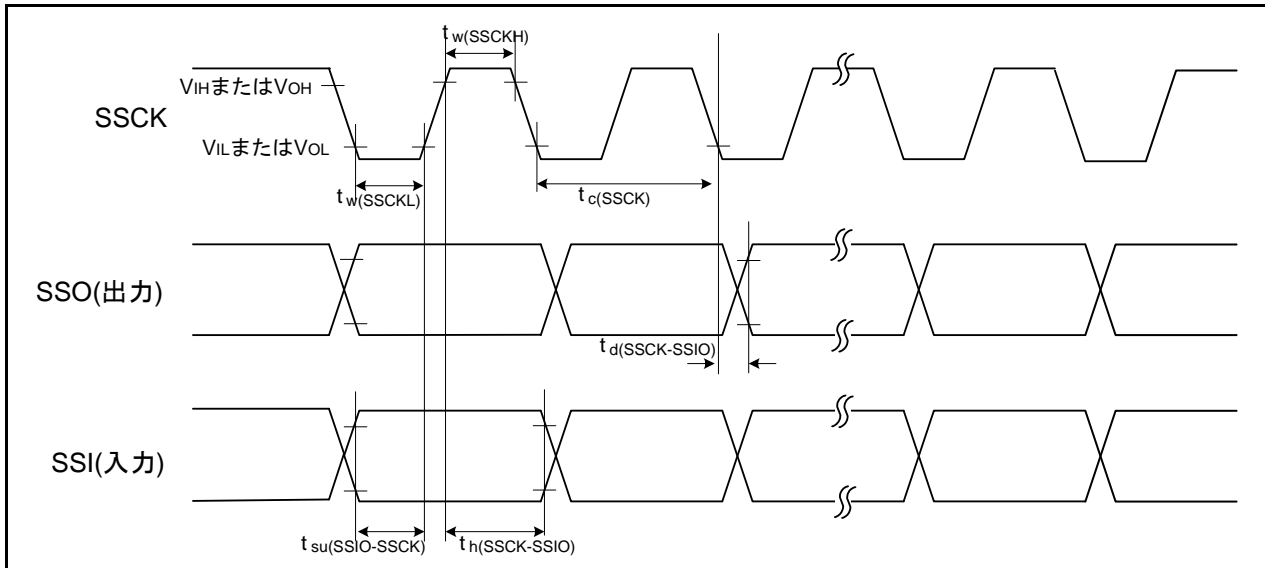
Jバージョン、 $V_{CC}=3V$ 

図 31.30 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)

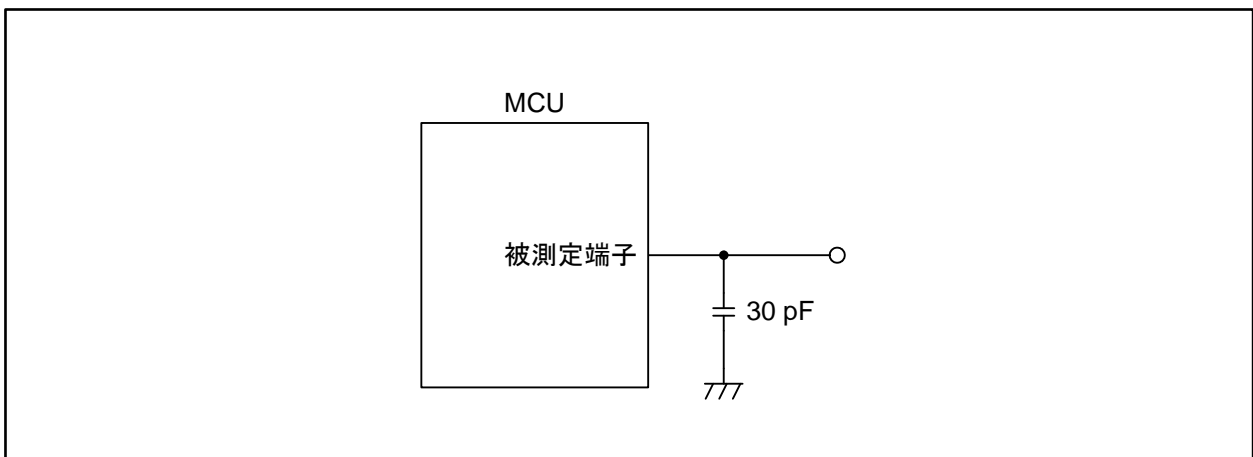


図 31.31 スイッチング特性の測定回路

Kバージョン

31.4 電気的特性(Kバージョン、5V、3V共通)

31.4.1 絶対最大定格

表 31.49 絶対最大定格

記号	項目		条件	定格値	単位
V_{CC}	電源電圧		$V_{CC}=AV_{CC}$	-0.3~6.5	V
AV_{CC}	アナログ電源電圧		$V_{CC}=AV_{CC}$	-0.3~6.5	V
V_{REF}	アナログ基準電圧			-0.3~ $V_{CC}+0.1$ (注1)	V
V_I	入力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS		-0.3~ $V_{CC}+0.3$	V
V_O	出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XOUT		-0.3~ $V_{CC}+0.3$	V
P_d	消費電力		$-40^{\circ}\text{C} \leq T_{opr} \leq 85^{\circ}\text{C}$	300	mW
			$85^{\circ}\text{C} < T_{opr} \leq 125^{\circ}\text{C}$	250	
T_{opr}	動作周囲温度	マイコン動作時		-40~125	°C
		フラッシュ書き込み消去時	プログラム領域	0~60	
			データ領域	-40~125	
T_{stg}	保存温度			-65~150	°C

注1. 最大6.5Vです。

Kバージョン

31.4.2 推奨動作条件

表 31.50 推奨動作条件 (1/2)

指定のない場合は、 $V_{CC}=3.0V\sim 5.5V$ 、 $T_{opr}=-40\sim 125^{\circ}C$ です。

記号	項目	規格値			単位	
		最小	標準	最大		
V_{CC}	電源電圧	3.0		5.5	V	
AV_{CC}	アナログ電源電圧		V_{CC}		V	
V_{SS}	電源電圧		0		V	
AV_{SS}	アナログ電源電圧		0		V	
V_{IH}	"H"入力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	入力レベル 0.50 V_{CC}	0.7 V_{CC}	V_{CC}	V
			入力レベル 0.70 V_{CC}	0.85 V_{CC}	V_{CC}	V
	XIN, RESET, CNVSS		0.8 V_{CC}	V_{CC}	V	
	SDAMM, SCLMM	I ² C-bus入力レベル選択時	0.7 V_{CC}	V_{CC}	V	
		SMBUS入力レベル選択時	2.1	V_{CC}	V	
V_{IL}	"L"入力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	入力レベル 0.50 V_{CC}	0	0.3 V_{CC}	V
			入力レベル 0.70 V_{CC}	0	0.45 V_{CC}	V
	XIN, RESET, CNVSS		0	0.2 V_{CC}	V	
	SDAMM, SCLMM	I ² C-bus入力レベル選択時	0	0.3 V_{CC}	V	
		SMBUS入力レベル選択時	0	0.8	V	
$I_{OH(sum)}$	"H"尖頭総出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7			-80	mA
$I_{OH(peak)}$	"H"尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7			-10.0	mA
$I_{OH(avg)}$	"H"平均出力電流 (注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7			-5.0	mA
$I_{OL(sum)}$	"L"尖頭総出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			80	mA
$I_{OL(peak)}$	"L"尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			10.0	mA
$I_{OL(avg)}$	"L"平均出力電流 (注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7			5.0	mA
$f_{(XIN)}$	メインクロック入力発振周波数 (注2)	0		20	MHz	
$f_{(XCIN)}$	サブクロック発振周波数		32.768	50	kHz	
$f_{(PLL)}$	PLLクロック発振周波数 (注2)	10		32	MHz	
$f_{(BCLK)}$	CPU動作周波数	0		32	MHz	
$t_{su(PLL)}$	PLL周波数シンセサイザ安定待ち時間			1	ms	

注1. 平均出力電流は100msの期間内での平均値です。

注2. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係を、図 31.32のメインクロック発振周波数、PLLクロック発振周波数で示します。

Kバージョン

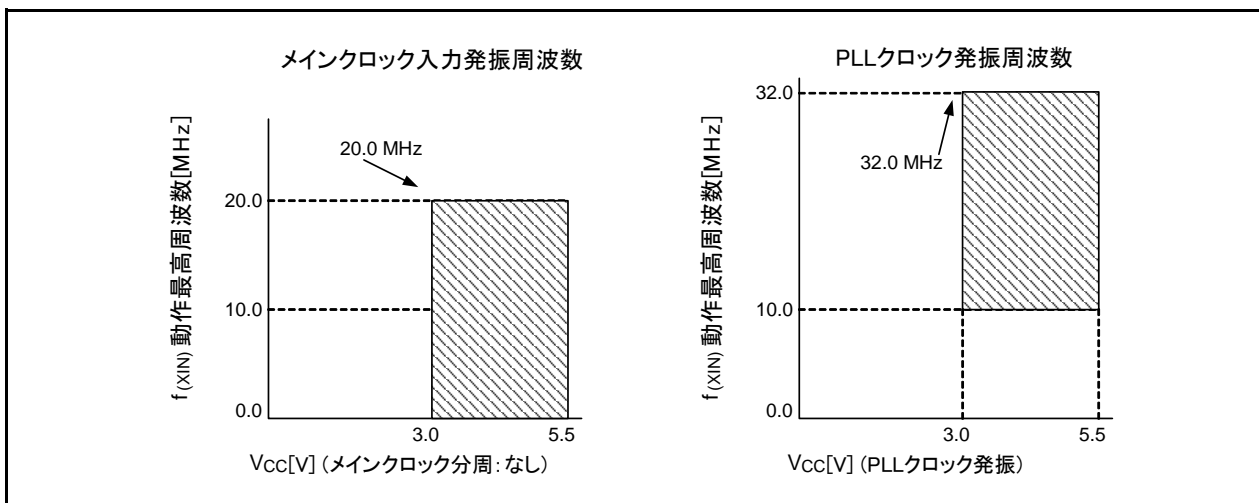


図 31.32 メインクロック発振周波数、PLLクロック発振周波数

表 31.51 推奨動作条件(2/2)

(指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$) (注1)

電源リップルは $V_r(V_{CC})$ 、 $dV_r(V_{CC})/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
$V_r(V_{CC})$	許容電源リップル電圧	$V_{CC} = 5.0 V$		0.5	Vp-p
		$V_{CC} = 3.0 V$		0.3	Vp-p
$dV_r(V_{CC})/dt$	電源リップル立ち下がり勾配	$V_{CC} = 5.0 V$		0.3	V/ms
		$V_{CC} = 3.0 V$		0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

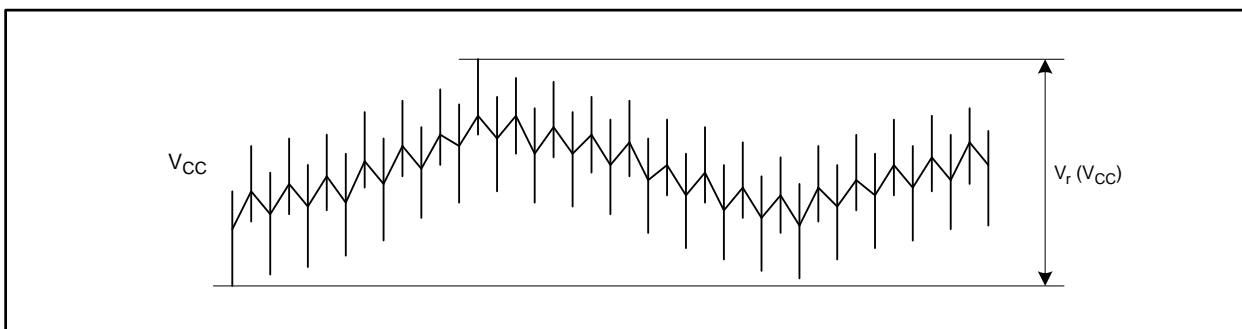


図 31.33 電源リップル波形

Kバージョン

31.4.3 A/D変換特性

表 31.52 A/D変換特性 (注1)

指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
I_{NL}	積分非直線性誤差	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
-	絶対精度	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
ϕAD	A/D動作クロック周波数	$4.0V \leq V_{CC} \leq 5.5V$	2		25	MHz
		$3.2V \leq V_{CC} \leq 4.0V$	2		16	MHz
		$3.0V \leq V_{CC} \leq 3.2V$	2		10	MHz
-	許容信号源インピーダンス			3		k Ω
D_{NL}	微分非直線性誤差	(注2)			± 1	LSB
-	オフセット誤差	(注2)			± 3	LSB
-	ゲイン誤差	(注2)			± 3	LSB
t_{CONV}	変換時間(10bit)	$V_{REF}=V_{CC}=5V$ 、 $\phi AD=25MHz$	1.60			μs
t_{SAMP}	サンプリング時間		0.6			μs
V_{REF}	基準電圧		3.0		V_{CC}	V
V_{IA}	アナログ入力電圧 (注3)		0		V_{REF}	V

注1. $AV_{CC} = V_{CC}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。

「図 31.34 A/D精度測定回路」を参照してください。

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

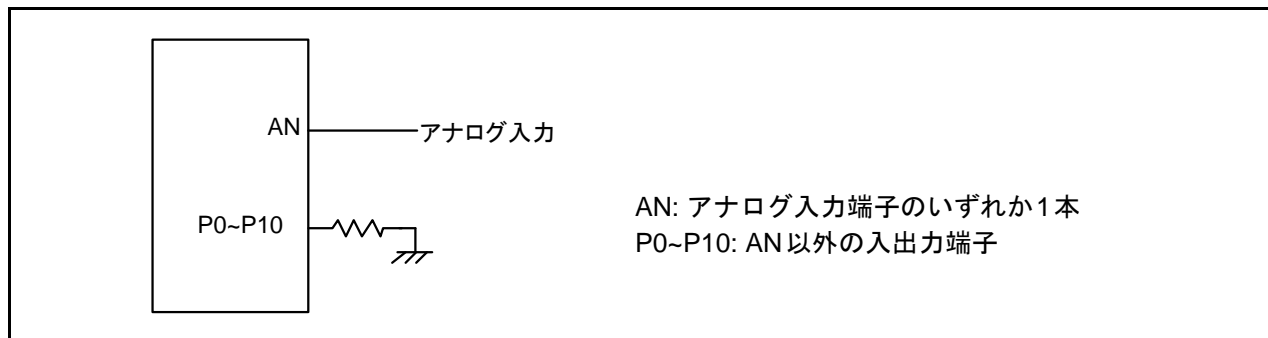


図 31.34 A/D精度測定回路

Kバージョン

31.4.4 D/A変換特性

表 31.53 D/A変換特性

指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				2.5	LSB
t_{su}	設定時間				3	μs
R_O	出力抵抗		5	6	8.2	$k\Omega$
I_{VREF}	基準電源入力電流	(注1、2)			1.5	mA

- 注1. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。
 注2. A/Dコンバータの電流消費分は除きます。また、ADCON1レジスタのADSTBYビットが“0”(A/D動作停止、スタンバイ)の場合でも、D/Aコンバータの I_{VREF} は流れます。

Kバージョン

31.4.5 フラッシュメモリの電気的特性

表31.54 フラッシュメモリ動作時のCPUクロック (f_{BCLK})指定のない場合は、 $V_{\text{CC}}=3.0\sim 5.5\text{V}$ 、 $T_{\text{opr}}=-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				16(注1)	MHz
$f_{\text{(SLOW_R)}}$	スローリードモード				5(注3)	MHz
-	低消費電流リードモード			fC	35	kHz
-	データフラッシュリード				20(注2)	MHz

- 注1. PM1レジスタのPM17ビットは“1”(1ウェイト)にしてください。
- 注2. この周波数を超える場合は、FMR1レジスタのFMR17ビットを“0”(1ウェイト)にするか、またはPM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。
- 注3. PM1レジスタのPM17ビットを“1”(1ウェイト)にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

Kバージョン

表31.55 フラッシュメモリ(プログラムROM1、2)の電気的特性
 指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $T_{opr}=0^{\circ}C\sim 60^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	1,000(注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		150	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		70	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		3.0		5.5	V
-	読み出し電圧	$T_{opr}=-40\sim 125^{\circ}C$	3.0		5.5	V
-	書き込み、消去時の温度		0		60	$^{\circ}C$
t_{ps}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

- 注1. プログラム、イレーズ回数の定義
 プログラム、イレーズ回数はブロックごとのイレーズ回数です。
 プログラム、イレーズ回数がn回(n=1,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
 たとえば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)
- 注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
- 注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
- 注5. 不良率につきましては、弊社営業窓口にお問い合わせください。
- 注6. 電源電圧またはクロックが印加されていない時間を含みます。
- 注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

Kバージョン

表31.56 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC}=3.0\sim 5.5V$ 、 $T_{opr}=-40^{\circ}C\sim 125^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		3.0		5.5	V
-	読み出し電圧		3.0		5.5	V
-	書き込み、消去時の温度		-40		125	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n = 10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。たとえば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

Kバージョン

31.4.6 E²PROMエミュレーションデータフラッシュの電気的特性表 31.57 E²PROMエミュレーションデータフラッシュの電気的特性指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_{opr} = -40°C ~ 125°C

記号	項目	規格値			単位
		最小	標準	最大	
—	プログラム、イレーズ回数(注1)	100000			回
—	ワードプログラム時間(2バイト書き込み)		100	2000	μs
—	リード時間(2バイト読み出し)			1	μs
—	ブロックイレーズ時間(32バイトブロック)		15	200	ms
t _{PS}	フラッシュメモリ回路安定待ち時間(スリープ→通常モード)			50	μs
—	データ保持時間(注2)				
				20	
					年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

あるブロックについて、それぞれ異なる番地にワード書き込みを16回行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. 規格値は、電源電圧が印加されていない時間、クロックが供給されていない時間も含まれます。

注3. 周囲温度 = 125°Cの環境下での3000時間を含みます。

注4. この条件以外でのデータ保持時間につきましては、弊社営業窓口までお問い合わせください。

Kバージョン

31.4.7 電圧検出回路、電源回路の電気的特性

表31.58 電圧検出0回路の電気的特性

指定のない場合の測定条件は $V_{CC}=3.0 \sim 5.5V$ 、 $T_{opr} = -40^{\circ}C \sim 125^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0}	V_{CC} 立ち下がり時	2.70	2.85	3.00	V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=3.0\sim 5.5V$			100	μs

注1. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表31.59 電圧検出2回路の電気的特性

指定のない場合の測定条件は $V_{CC}=3.0 \sim 5.5V$ 、 $T_{opr} = -40^{\circ}C \sim 125^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2_0}	電圧検出レベル V_{det2_0}	V_{CC} 立ち下がり時		3.21		V
V_{det2_1}	電圧検出レベル V_{det2_1}			3.36		V
V_{det2_2}	電圧検出レベル V_{det2_2}			3.51		V
V_{det2_3}	電圧検出レベル V_{det2_3}			3.66		V
V_{det2_4}	電圧検出レベル V_{det2_4}		3.51	3.81	4.11	V
V_{det2_5}	電圧検出レベル V_{det2_5}			3.96		V
V_{det2_6}	電圧検出レベル V_{det2_6}			4.10		V
V_{det2_7}	電圧検出レベル V_{det2_7}			4.25		V
-	電圧検出2回路の V_{CC} 立ち上がり時の ヒステリシス幅			0.15		V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=3.0\sim 5.5V$			100	μs

注1. VCR2レジスタのVC27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

Kバージョン

表31.60 パワーオンリセット回路

指定のない場合の測定条件は $T_{opr} = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t_{rth}	外部電源 V_{CC} の立ち上がり傾き		2.0		50000	mV/ms
t_{fth}	外部電源 V_{CC} の立ち下がり傾き				50000	mV/ms
V_{por}	パワーオンリセットが有効になる電圧(注1)				0.1	V
$t_{w(por)}$	パワーオンリセットが有効になるための保持時間		1.0			ms

注1. パワーオンリセットを使用する場合には、OFS1番地のLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

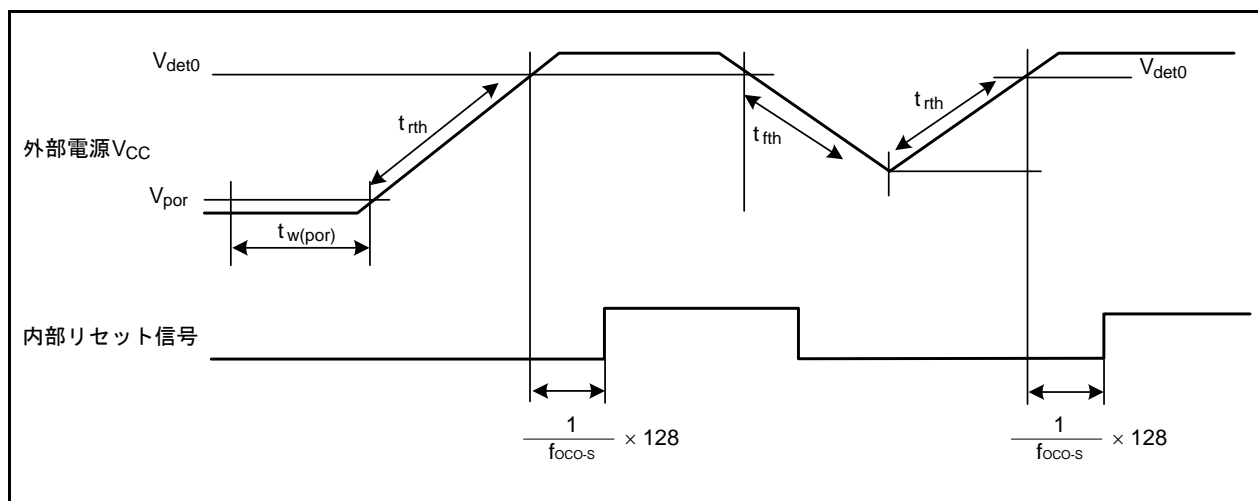


図31.35 パワーオンリセット回路の電气的特性

表 31.61 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時内部電源安定時間	$V_{CC}=3.0\sim 5.5V$			5	ms
$t_d(R-S)$	STOP解除時間				300	μs
$t_d(W-S)$	低消費電力モードウェイトモード解除時間				300	μs

注1. $V_{CC}=5V$ 時の標準値

Kバージョン

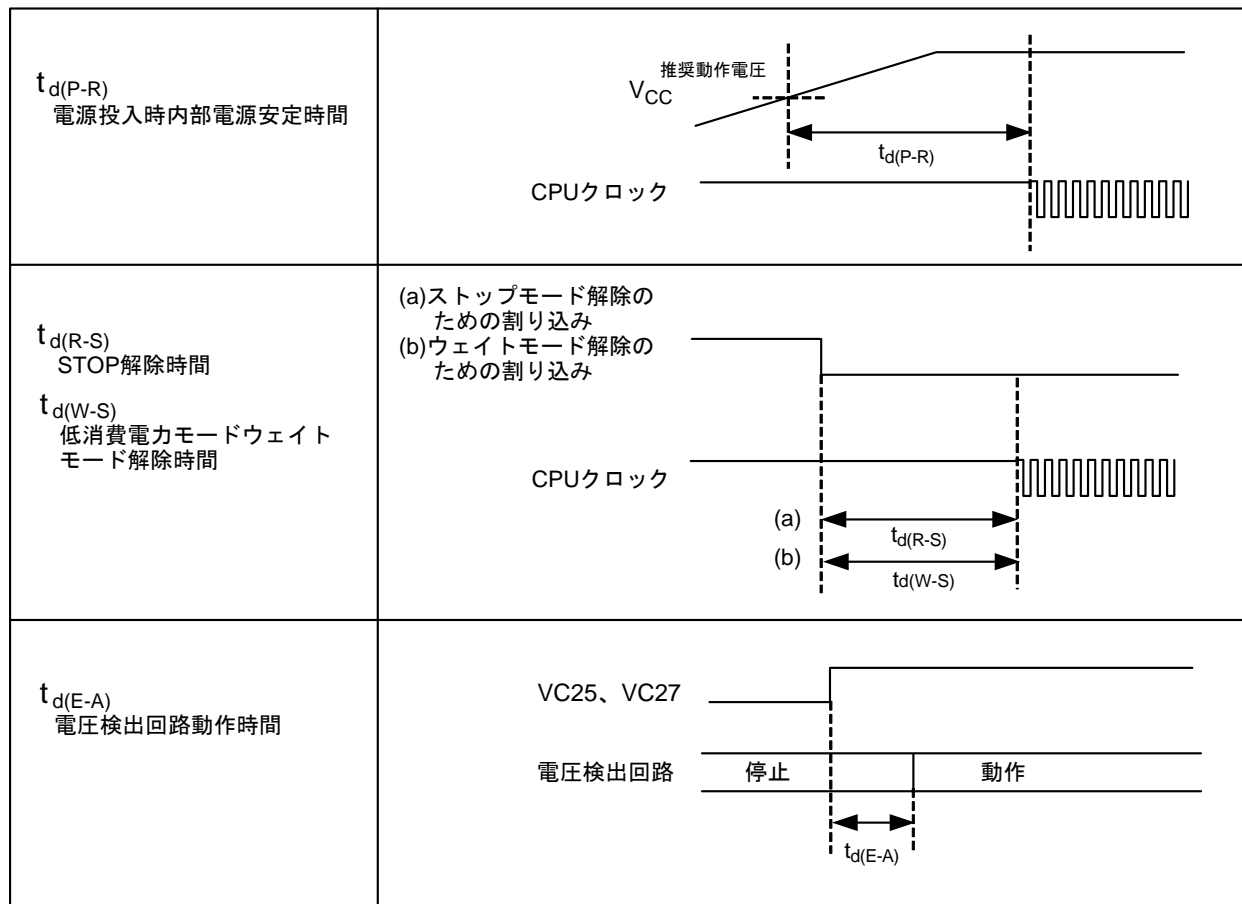


図 31.36 電源回路のタイミング図

31.4.8 発振回路の電気的特性

表31.62 オンチップオシレータ発振回路の電気的特性

指定のない場合の測定条件はV_{CC}=3.0~5.5V、T_{opr} = -40℃~125℃です。

記号	項目	規格値			単位
		最小	標準	最大	
f _{OCO-S}	125kHzオンチップオシレータ発振周波数	100	125	150	kHz
f _{OCO40M}	40MHzオンチップオシレータ発振周波数	32	40	48	MHz
f _{WDT}	ウォッチドッグタイマ専用125kHzオンチップオシレータ発振周波数	100	125	150	kHz

31.5 電気的特性(Kバージョン、 $V_{CC}=5V$)

31.5.1 電気的特性

Kバージョン、 $V_{CC}=5V$

表 31.63 電気的特性(1)

指定のない場合は、 $V_{CC}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$ 、 $f_{(BCLK)}=32MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-5mA$	$V_{CC}-2.0$		V_{CC}	V
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-200\mu A$	$V_{CC}-0.3$		V_{CC}	V
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH}=-1mA$	$V_{CC}-2.0$	V_{CC}	V
			LOW POWER	$I_{OH}=-0.5mA$	$V_{CC}-2.0$	V_{CC}	
	"H"出力電圧	XCOUT	HIGH POWER	無負荷時		2.5	V
			LOW POWER	無負荷時		1.6	
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=5mA$			2.0	V
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=200\mu A$			0.45	V
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL}=1mA$		2.0	V
			LOW POWER	$I_{OL}=0.5mA$		2.0	
	"L"出力電圧	XCOUT	HIGH POWER	無負荷時		0	V
			LOW POWER	無負荷時		0	
$V_{T+}-V_T$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NM1, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, K10~K13, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, SSI0, SSCK0, SCS0, LIN0IN, CRX0, CRX1		0.2		$0.4V_{CC}$	V
$V_{T+}-V_T$	ヒステリシス	RESET		0.2		2.5	V
$V_{T+}-V_T$	ヒステリシス	XIN		0.2		0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_I=5V$			5.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_I=0V$			-5.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$V_I=0V$	30	50	170	k Ω
R_{FXIN}	帰還抵抗	XIN			1.5		M Ω
R_{XCIN}	帰還抵抗	XCIN			15		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

Kバージョン、 $V_{CC}=5V$

表 31.64 電気的特性(2)

指定のない場合は、 $T_{opr} = -40 \sim 125^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=4.2 \sim 5.5V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=32MHz$ XIN=8MHz (方形波)、PLL8通倍、 125kHzオンチップオシレータ発振		25	45	mA
			$f_{(BCLK)}=20MHz$ XIN=20MHz (方形波)、 125kHzオンチップオシレータ発振		21	39	mA
			$f_{(BCLK)}=16MHz$ XIN=16MHz (方形波)、 125kHzオンチップオシレータ発振		17		mA
		40MHzオンチップオシレータ モード	メインクロック停止 40MHzオンチップオシレータ発振 125kHzオンチップオシレータ発振 分周なし		21	39	mA
			メインクロック停止 40MHzオンチップオシレータ発振 125kHzオンチップオシレータ発振 8分周		6		mA
		125kHzオンチップオシレータ モード	メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		190	580	μA
		低消費電力モード	$f_{(BCLK)}=32kHz$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		200		μA
		ウェイトモード	メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}C$		25		μA
			メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=105^{\circ}C$		85		μA
			メインクロック停止 40MHzオンチップオシレータ発振停止 125kHzオンチップオシレータ発振 周辺クロック動作 $T_{opr}=125^{\circ}C$		125		μA
		ストップモード	$T_{opr}=25^{\circ}C$		3	15	μA
			$T_{opr}=105^{\circ}C$		60		μA
			$T_{opr}=125^{\circ}C$		100		μA
フラッシュメモリプログラム中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		20.0		mA		
フラッシュメモリエーズ中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流		3		μA		
I_{det0}	リセット領域検出消費電流		6		μA		

注1. 実行するプログラムが存在するメモリを示します。

Kバージョン、 $V_{CC}=5V$

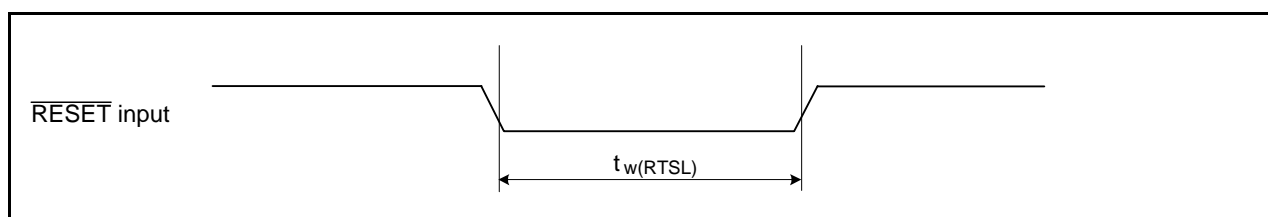
31.5.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.5.2.1 リセット入力

表 31.65 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

図 31.37 リセット入力 (\overline{RESET} 入力)

31.5.2.2 外部クロック入力

表 31.66 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

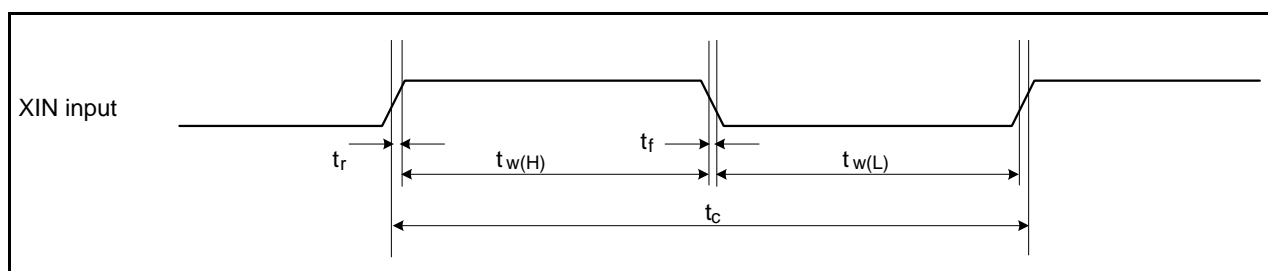
注1. 条件は $V_{CC}=5.0V$ です。

図 31.38 外部クロック入力 (XIN入力)

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.5.2.3 タイマA入力

表 31.67 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	40		ns

表 31.68 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 31.69 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

表 31.70 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

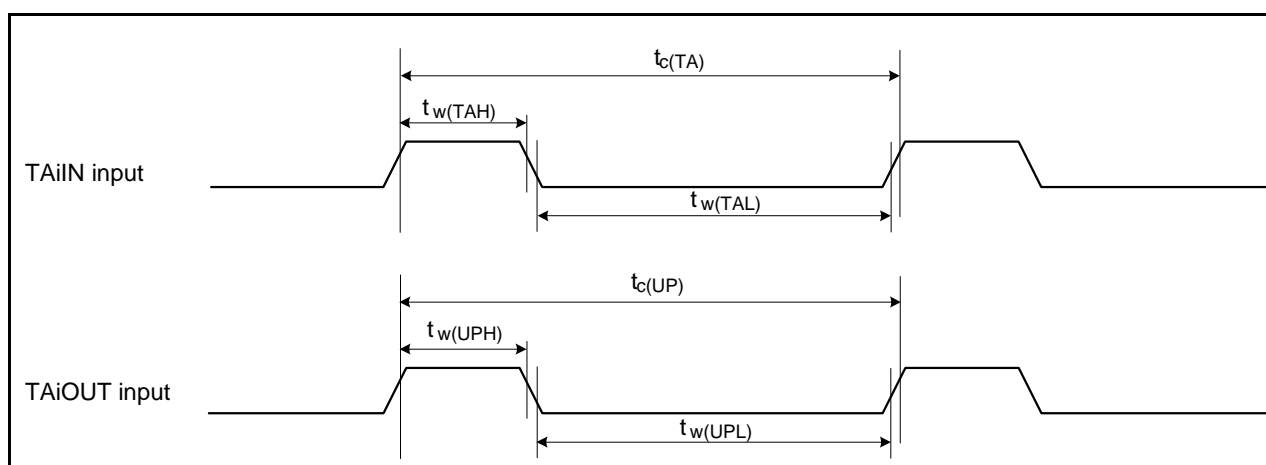


図 31.39 タイマA入力

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

表 31.71 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiN入力セットアップ時間	200		ns

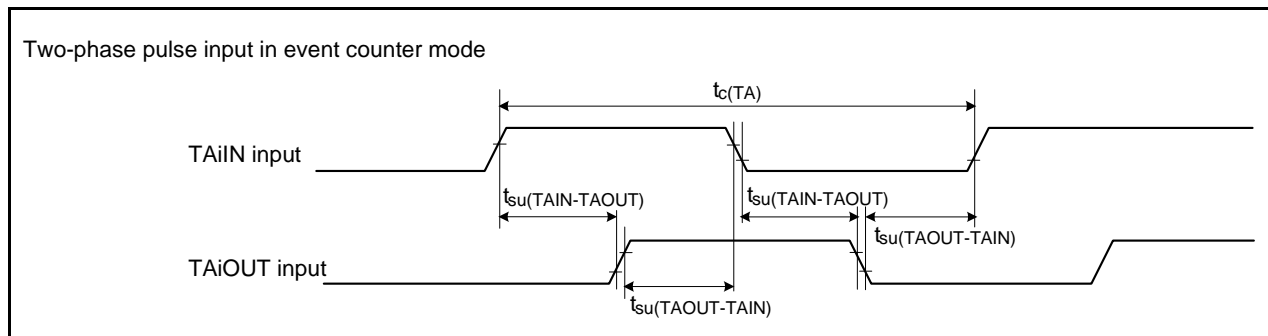


図 31.40 タイマA入力(イベントカウンタモードの二相パルス入力)

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.5.2.4 タイマB入力

表 31.72 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 31.73 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 31.74 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

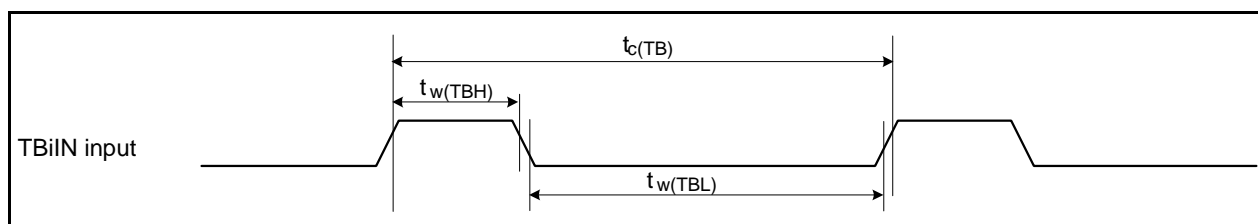


図 31.41 タイマB入力

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.5.2.5 タイマS入力

表 31.75 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

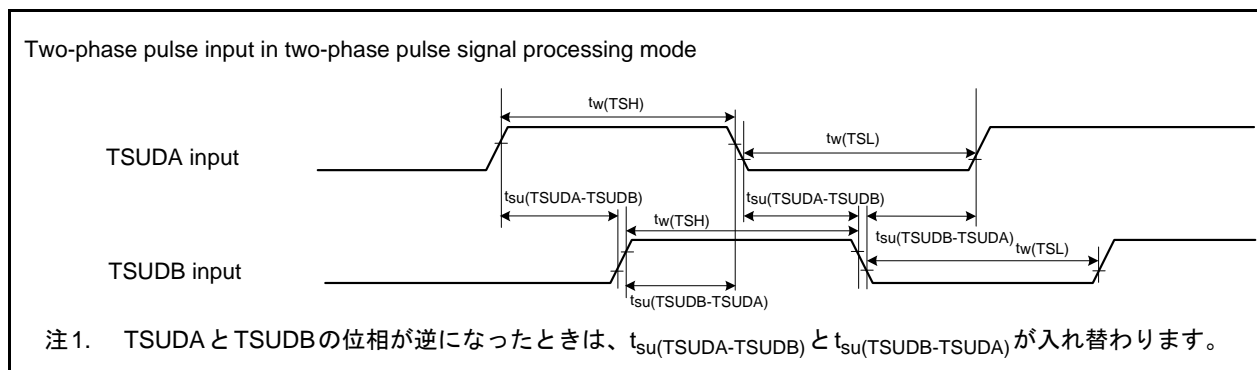


図 31.42 タイマS入力(二相パルス信号処理モードの二相パルス入力)

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.5.2.6 シリアルインタフェース

表 31.76 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

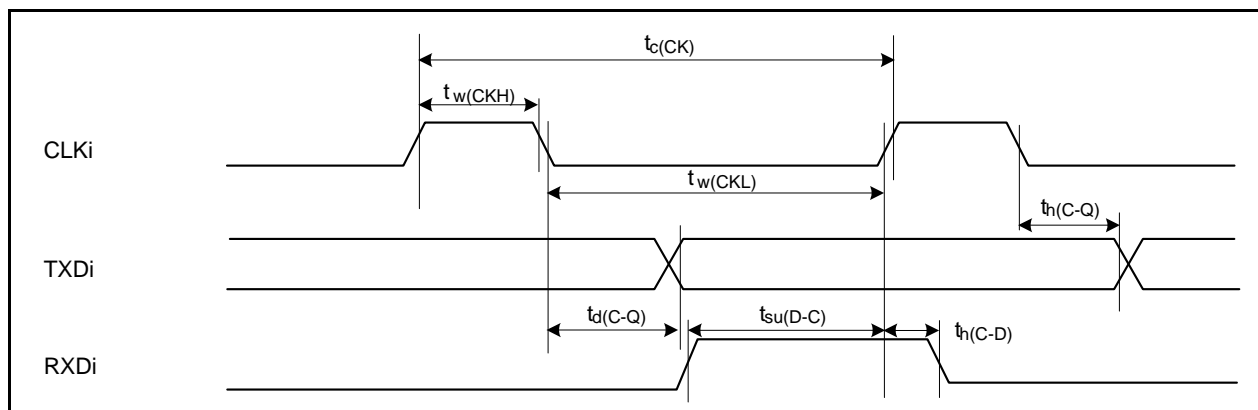
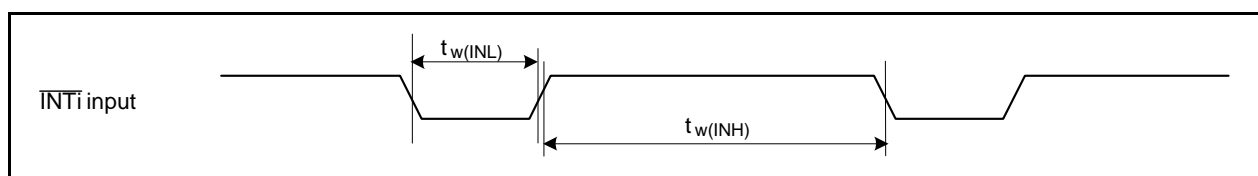


図 31.43 シリアルインタフェース

31.5.2.7 外部割り込み \overline{INTi} 入力表 31.77 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	250		ns

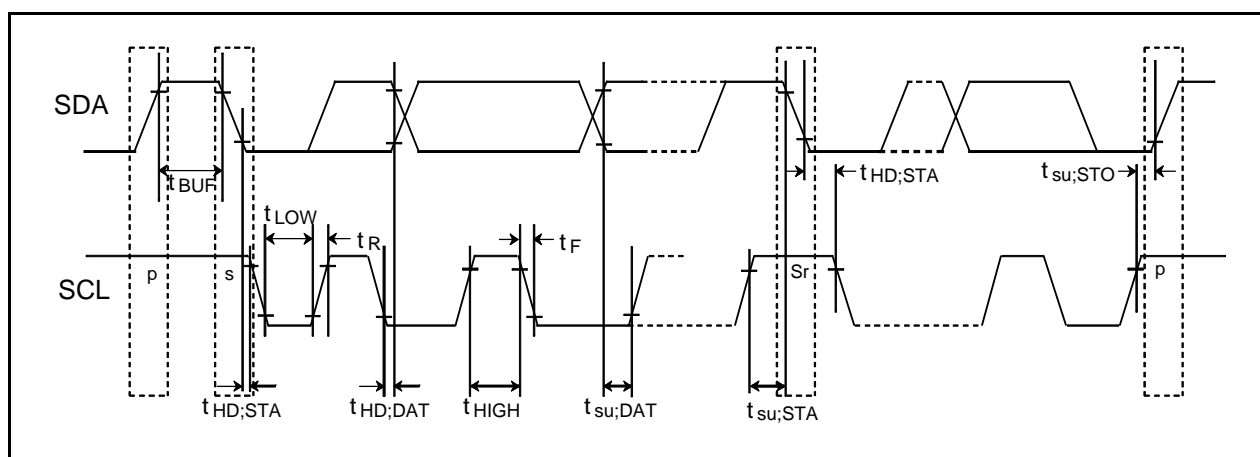
図 31.44 外部割り込み \overline{INTi} 入力

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)31.5.2.8 マルチマスタ I²C-bus表 31.78 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 31.45 マルチマスタ I²C-bus

Kバージョン、 $V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.5.2.9 シリアルバスインタフェース

表 31.79 シリアルバスインタフェース

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_c(SSCK)$	SSCKクロックサイクル時間		250			ns
$t_w(SSCKH)$	SSCKクロック“H”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_w(SSCKL)$	SSCKクロック“L”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_r(SSCK)$	SSCKクロック立ち上がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_f(SSCK)$	SSCKクロック立ち下がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_{su}(SSIO-SSCK)$	SSO、SSIデータ入力セットアップ時間		100			ns
$t_h(SSCK-SSIO)$	SSO、SSIデータ入力ホールド時間		1			t_{CYC} (注1)
$t_{su}(SCS-SSCK)$	\overline{SCS} セットアップ時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_h(SSCK-SCS)$	SCSホールド時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_d(SSCK-SSIO)$	SSO、SSIデータ出力遅延時間	マスタ			1	t_{CYC} (注1)
		スレーブ			80	ns
$t_{en}(SCS-SSI)$	SSI出力イネーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns
$t_{dis}(SCS-SSI)$	SSI出力ディセーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns

注1. $1t_{CYC} = 1/f_1$ (s)

Kバージョン、 $V_{CC}=5V$

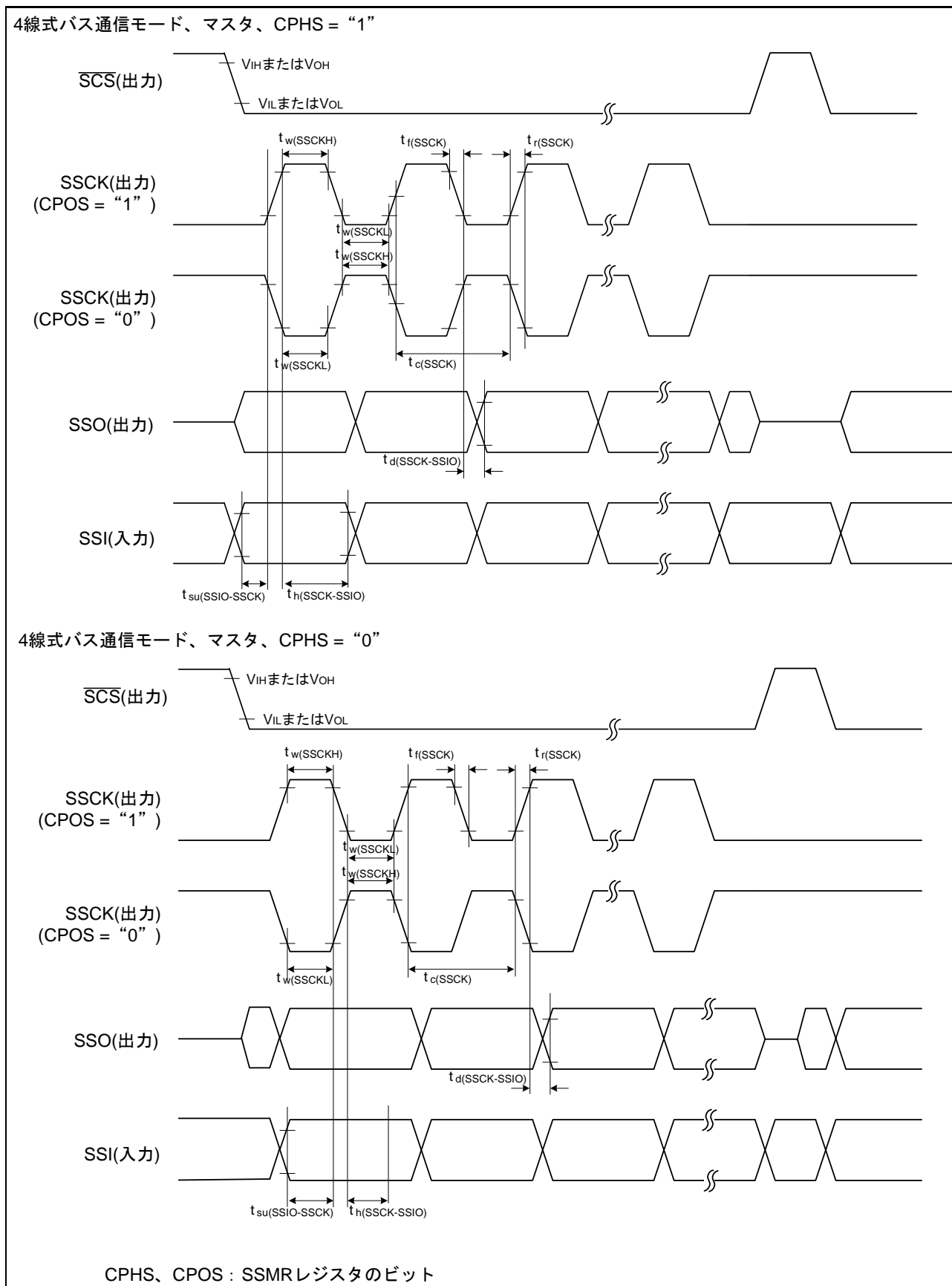


図 31.46 シリアルバスインタフェースの入出力タイミング (マスタ)

Kバージョン、 $V_{CC}=5V$

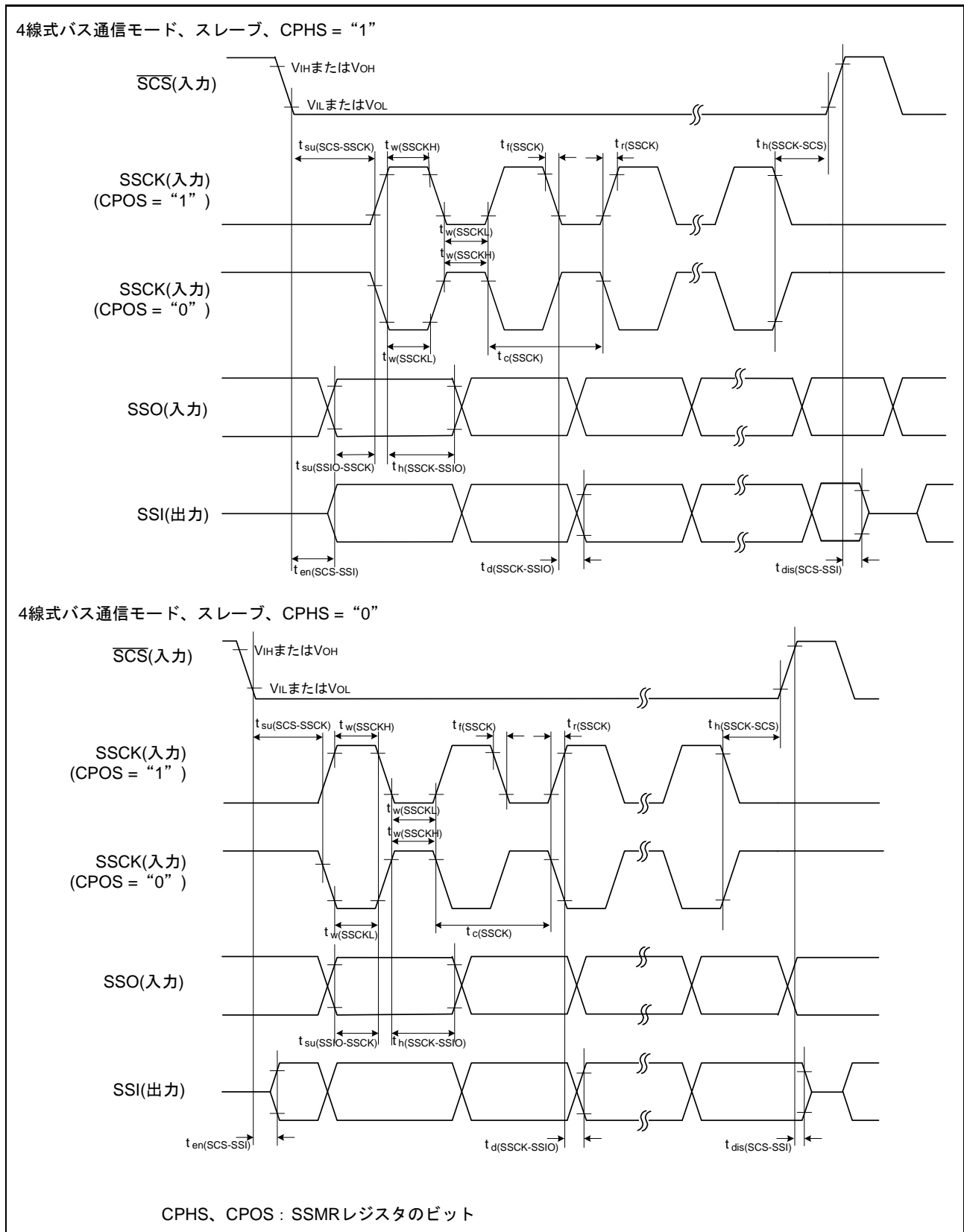


図 31.47 シリアルバスインタフェースの入出力タイミング図 (スレーブ)

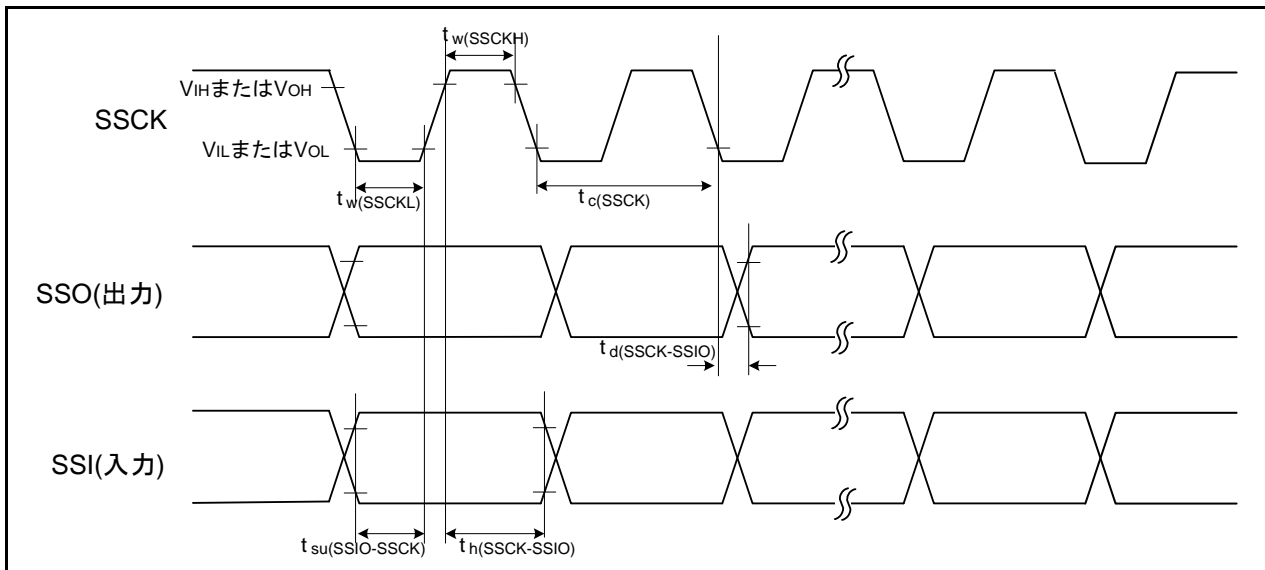
Kバージョン、 $V_{CC}=5V$ 

図 31.48 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)

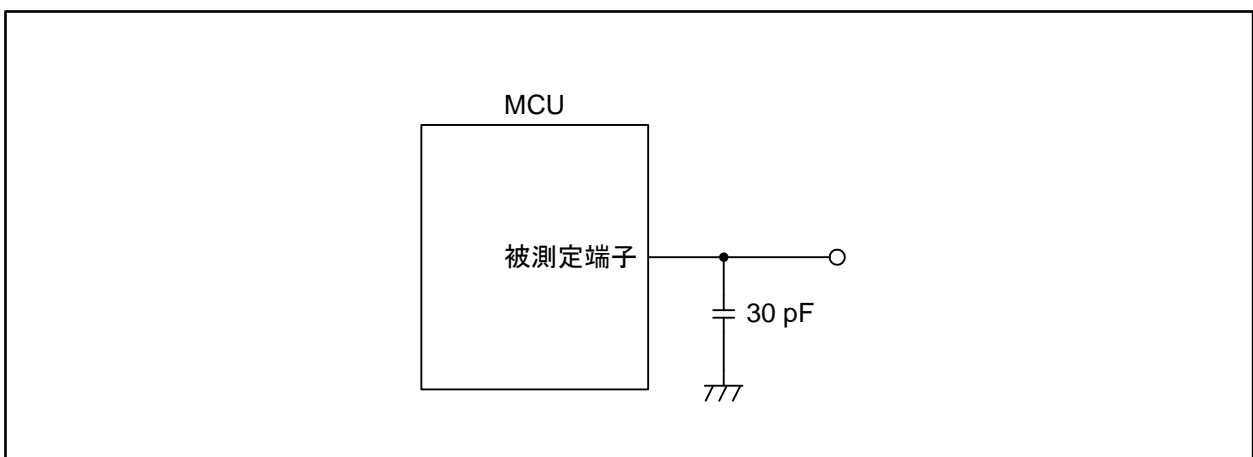


図 31.49 スイッチング特性の測定回路

31.6 電気的特性(Kバージョン、 $V_{CC}=3V$)

31.6.1 電気的特性

Kバージョン、 $V_{CC}=3V$

表 31.80 電気的特性(1)

指定のない場合は、 $V_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$ 、 $f_{(BLK)}=32MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OH}=-1mA$	$V_{CC}-0.5$		V_{CC}	V
V_{OH}	"H"出力電圧 XOUT	HIGH POWER	$I_{OH}=-0.1mA$	$V_{CC}-0.5$		V_{CC}	V
		LOW POWER	$I_{OH}=-50\mu A$	$V_{CC}-0.5$		V_{CC}	
	"H"出力電圧 XCOUT	HIGH POWER	無負荷時		2.5		V
		LOW POWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7	$I_{OL}=1mA$			0.5	V
V_{OL}	"L"出力電圧 XOUT	HIGH POWER	$I_{OL}=0.1mA$			0.5	V
		LOW POWER	$I_{OL}=50\mu A$			0.5	
	"L"出力電圧 XCOUT	HIGH POWER	無負荷時		0		V
		LOW POWER	無負荷時		0		
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT7, NMI, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, SSI0, SSCK0, SCS0, LIN0IN, CRX0, CRX1				$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET				1.8	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN				0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_I=3V$			4.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_I=0V$			-4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6~P8_7, P9_0~P9_7, P10_0~P10_7	$V_I=0V$	50	100	500	k Ω
R_{FXIN}	帰還抵抗	XIN			3.0		M Ω
R_{FXCIN}	帰還抵抗	XCIN			25		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

Kバージョン、 $V_{CC}=3V$

表 31.81 電気的特性(2)

指定のない場合は、 $T_{opr} = -40 \sim 125^\circ\text{C}$ です。

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I_{CC}	電源電流 ($V_{CC}=3.0\sim 3.6V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=32\text{MHz}$ XIN=8MHz (方形波)、PLL8 通倍、 125kHz オンチップオシレータ発振		23	43	mA	
			$f_{(BCLK)}=20\text{MHz}$ XIN=20MHz (方形波)、 125kHz オンチップオシレータ発振		20	38		mA
			$f_{(BCLK)}=16\text{MHz}$ XIN=16MHz (方形波)、 125kHz オンチップオシレータ発振		16			
		40MHz オンチップオシレータ モード	メインクロック停止 40MHz オンチップオシレータ発振 125kHz オンチップオシレータ発振 分周なし		20	38	mA	
			メインクロック停止 40MHz オンチップオシレータ発振 125kHz オンチップオシレータ発振 8分周		6			mA
		125kHz オンチップオシレータ モード	メインクロック停止 40MHz オンチップオシレータ発振停止 125kHz オンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		190	580	μA	
		低消費電力モード	$f_{(BCLK)}=32\text{kHz}$ ROM上 FMR22=FMR23=1 (低消費電流リードモード)		200			μA
		ウェイトモード	メインクロック停止 40MHz オンチップオシレータ発振停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^\circ\text{C}$		25		μA	
			メインクロック停止 40MHz オンチップオシレータ発振停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=105^\circ\text{C}$		85			μA
			メインクロック停止 40MHz オンチップオシレータ発振停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=125^\circ\text{C}$		125			
		ストップモード	$T_{opr}=25^\circ\text{C}$		2	12	μA	
			$T_{opr}=105^\circ\text{C}$		60			μA
			$T_{opr}=125^\circ\text{C}$		100			
フラッシュメモリプログラム中	$f_{(BCLK)}=10\text{MHz}$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		20.0		mA			
フラッシュメモリエーズ中	$f_{(BCLK)}=10\text{MHz}$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		30.0			mA		
Idet2	電圧低下検出消費電流		3		μA			
Idet0	リセット領域検出消費電流		6		μA			

Kバージョン、 $V_{CC}=3V$

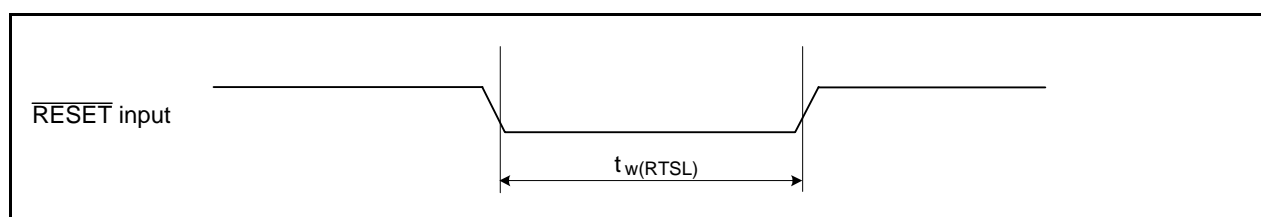
31.6.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.6.2.1 リセット入力

表 31.82 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	RESET入力“L”パルス幅	10		μs

図 31.50 リセット入力 (\overline{RESET} 入力)

31.6.2.2 外部クロック入力

表 31.83 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

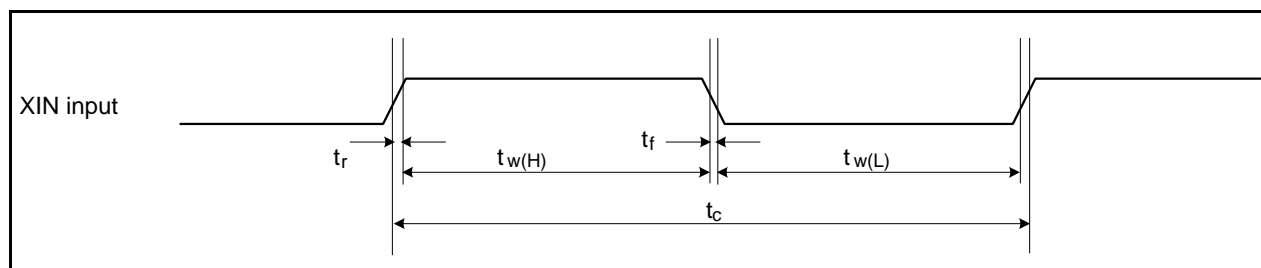
注1. 条件は $V_{CC}=3.0V$ です。

図 31.51 外部クロック入力 (XIN入力)

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.6.2.3 タイマA入力

表 31.84 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	60		ns

表 31.85 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	300		ns

表 31.86 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

表 31.87 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	150		ns

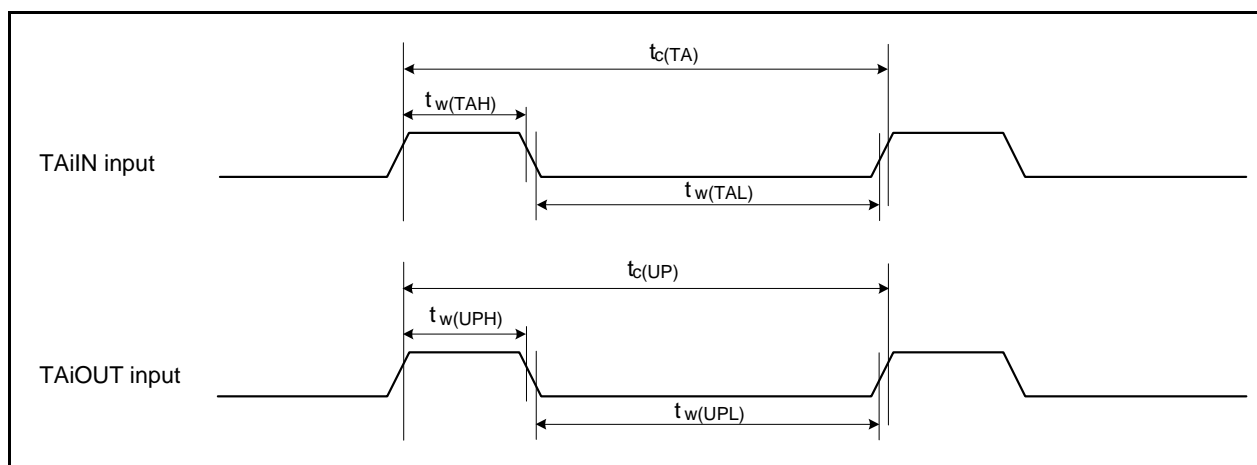


図 31.52 タイマA入力

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

表 31.88 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

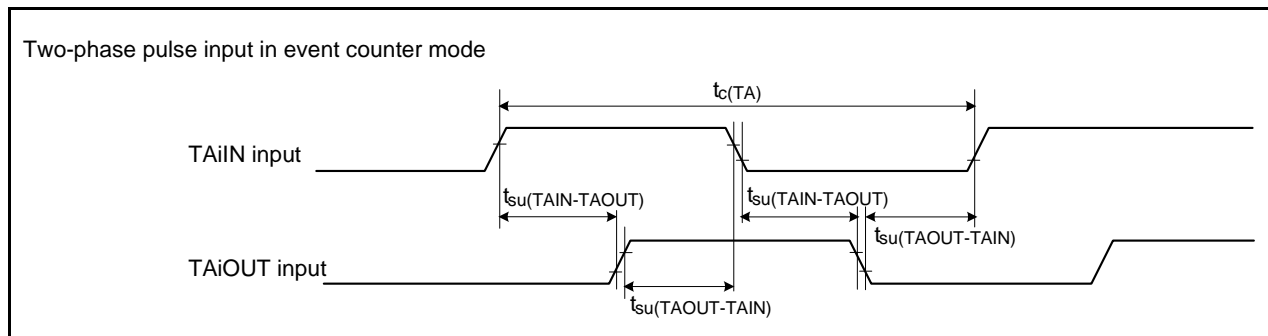


図 31.53 タイマA入力(イベントカウンタモードの二相パルス入力)

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.6.2.4 タイマB入力

表 31.89 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_c(TB)$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 31.90 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	300		ns

表 31.91 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiIN入力サイクル時間	600		ns
$t_w(TBH)$	TBiIN入力“H”パルス幅	300		ns
$t_w(TBL)$	TBiIN入力“L”パルス幅	300		ns

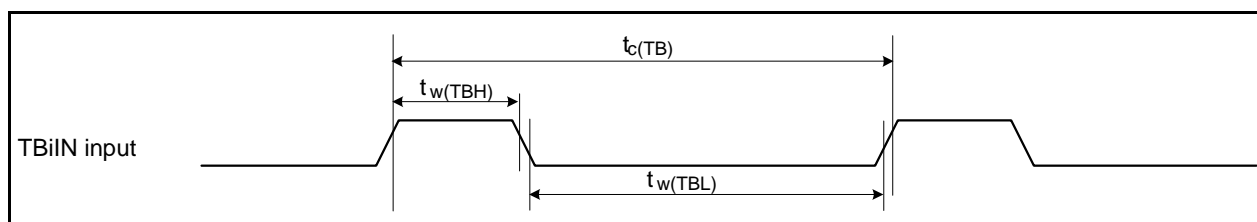


図 31.54 タイマB入力

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.6.2.5 タイマS入力

表 31.92 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

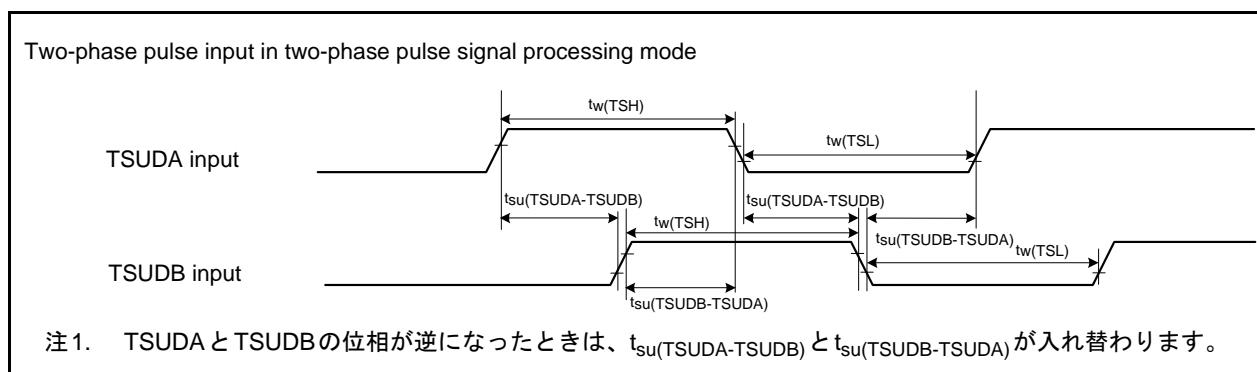


図 31.55 タイマS入力(二相パルス信号処理モードの二相パルス入力)

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.6.2.6 シリアルインタフェース

表 31.93 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

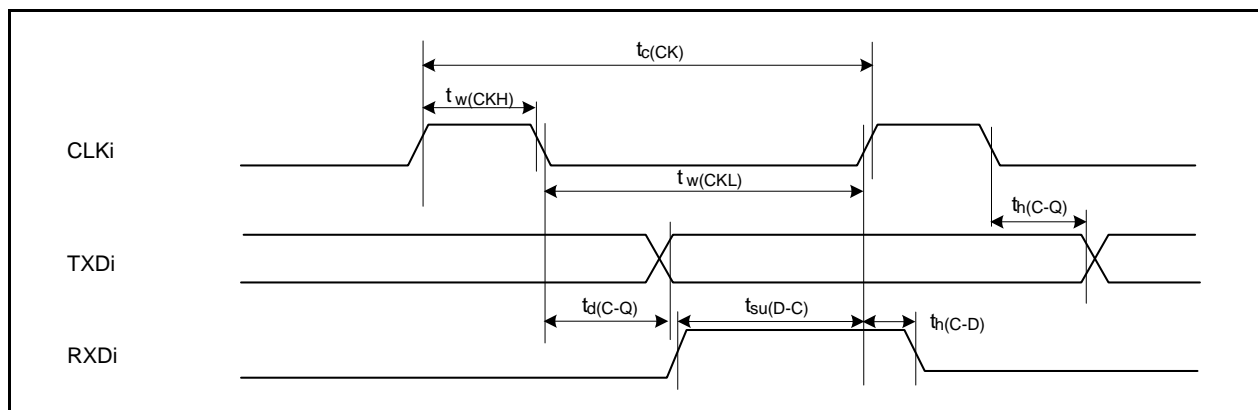
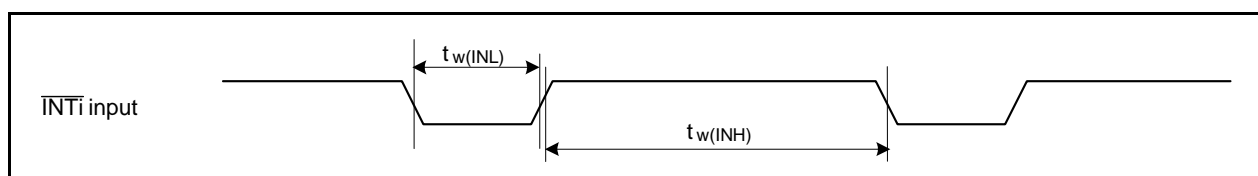


図 31.56 シリアルインタフェース

31.6.2.7 外部割り込み \overline{INTi} 入力表 31.94 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	380		ns

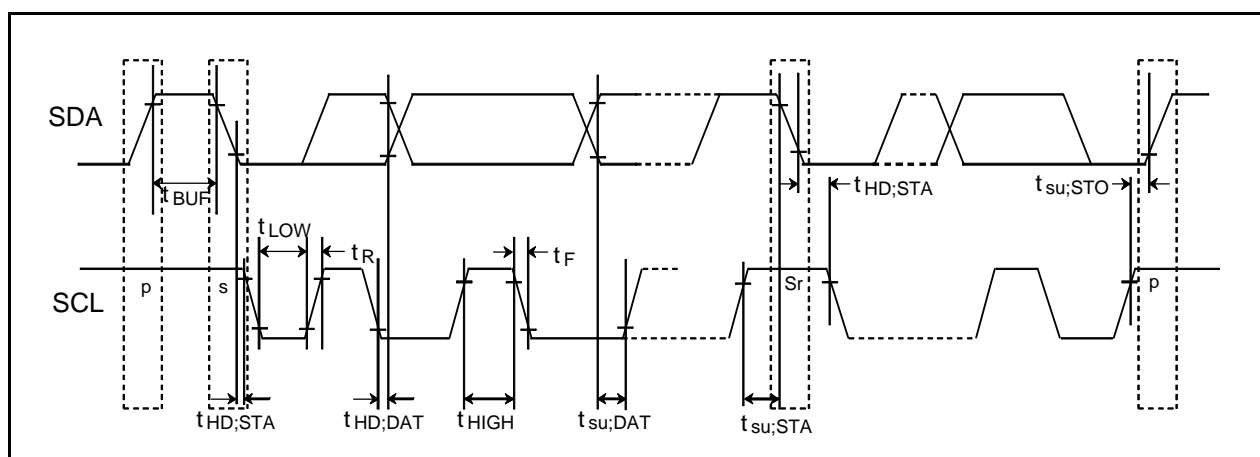
図 31.57 外部割り込み \overline{INTi} 入力

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)31.6.2.8 マルチマスタ I²C-bus表 31.95 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 31.58 マルチマスタ I²C-bus

Kバージョン、 $V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 125^{\circ}C$)

31.6.2.9 シリアルバスインタフェース

表 31.96 シリアルバスインタフェース

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_c(SSCK)$	SSCKクロックサイクル時間		250			ns
$t_w(SSCKH)$	SSCKクロック“H”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_w(SSCKL)$	SSCKクロック“L”パルス幅		0.4		0.6	$t_c(SSCK)$
$t_r(SSCK)$	SSCKクロック立ち上がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_f(SSCK)$	SSCKクロック立ち下がり時間	マスタ			1	t_{CYC} (注1)
		スレーブ			1	μs
$t_{su}(SSIO-SSCK)$	SSO、SSIデータ入力セットアップ時間		100			ns
$t_h(SSCK-SSIO)$	SSO、SSIデータ入力ホールド時間		1			t_{CYC} (注1)
$t_{su}(SCS-SSCK)$	\overline{SCS} セットアップ時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_h(SSCK-SCS)$	SCSホールド時間	スレーブ	$1t_{CYC} + 50$ (注1)			ns
$t_d(SSCK-SSIO)$	SSO、SSIデータ出力遅延時間	マスタ			1	t_{CYC} (注1)
		スレーブ			80	ns
$t_{en}(SCS-SSI)$	SSI出力イネーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns
$t_{dis}(SCS-SSI)$	SSI出力ディセーブル時間	$3.0V \leq V_{CC} \leq 5.5V$			$1.5t_{CYC} + 100$ (注1)	ns

注1. $1t_{CYC} = 1/f_1$ (s)

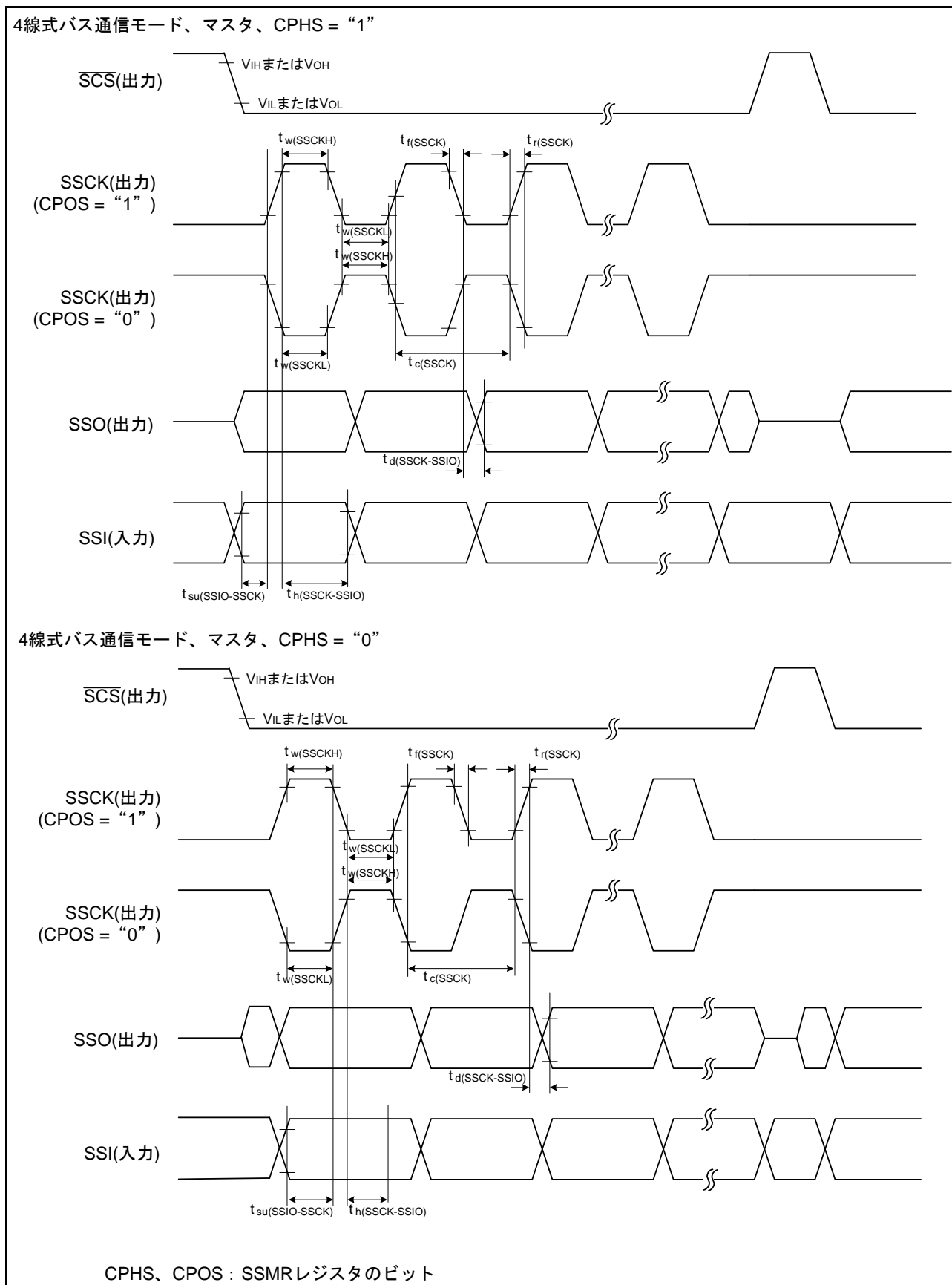
Kバージョン、 $V_{CC}=3V$ 

図 31.59 シリアルバスインタフェースの入出力タイミング (マスタ)

Kバージョン、 $V_{CC}=3V$

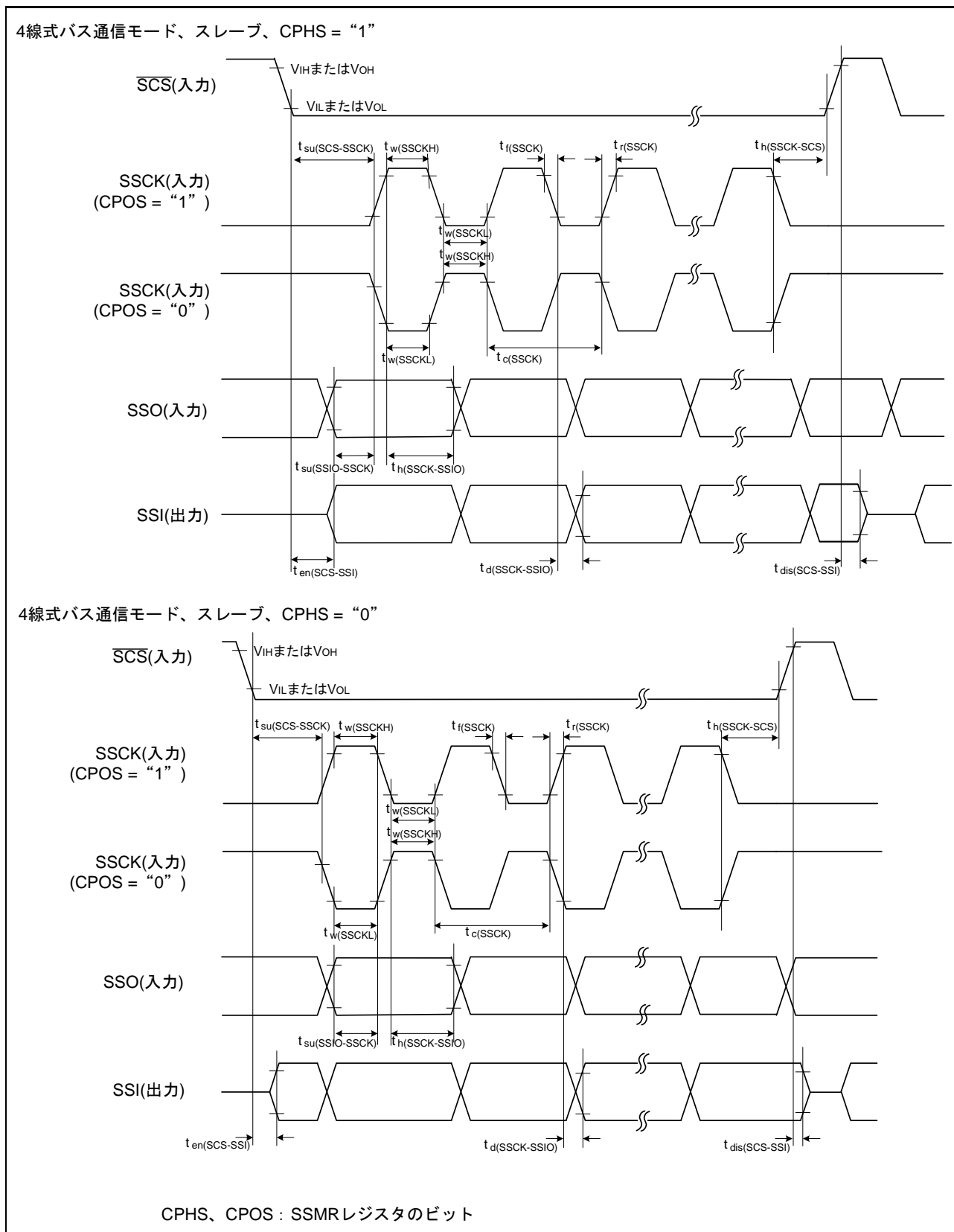


図 31.60 シリアルバスインタフェースの入出力タイミング図 (スレーブ)

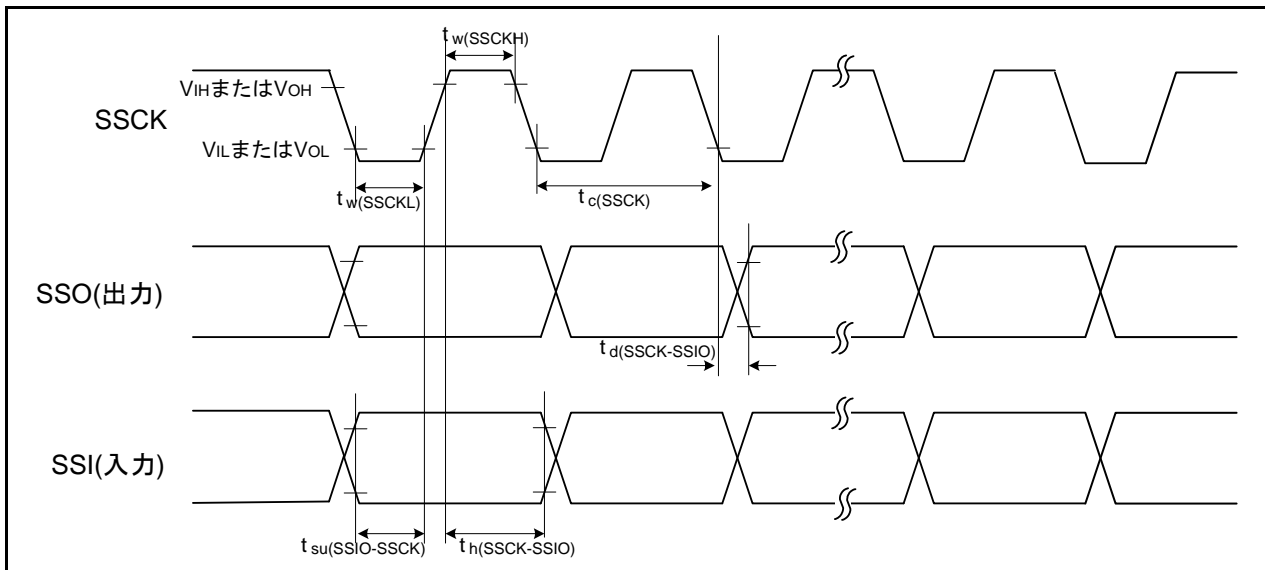
Kバージョン、 $V_{CC}=3V$ 

図 31.61 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)

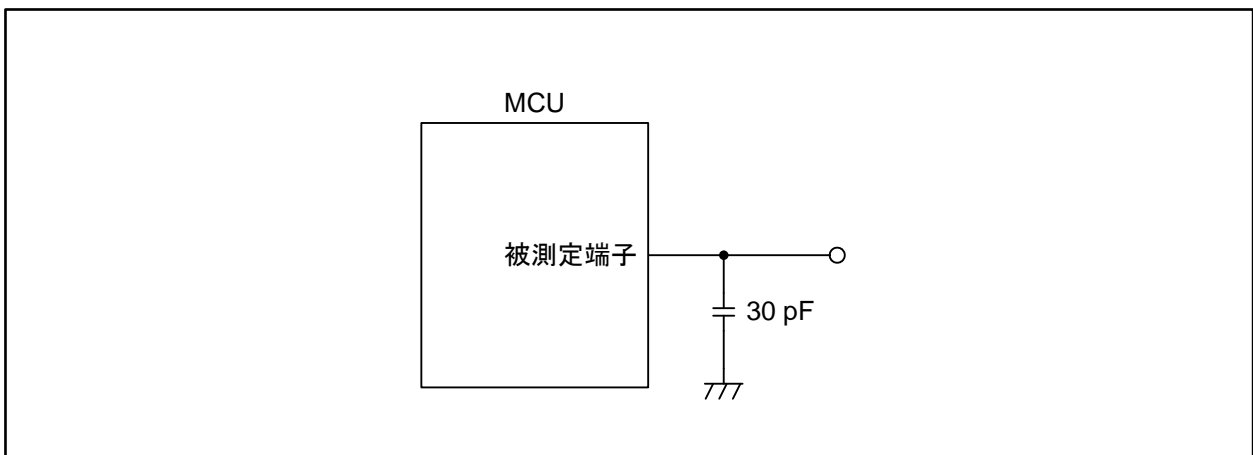


図 31.62 スイッチング特性の測定回路

32. 使用上の注意事項

32.1 ノイズに関する注意事項

ノイズ対策として、VCC端子とVSS端子間にバイパスコンデンサ(0.1 μ F程度)を最短でかつ、比較的太い配線を使って接続してください。図 32.1 バイパスコンデンサの接続例を示します。

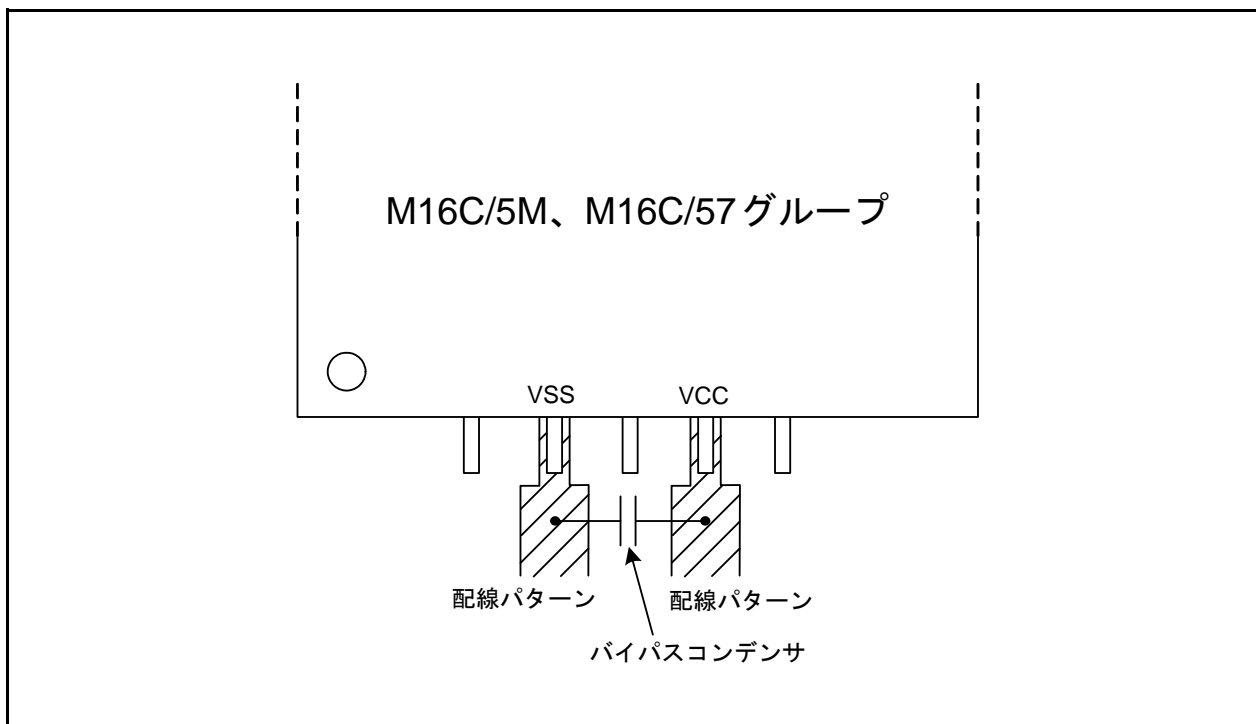


図 32.1 バイパスコンデンサの接続例

32.2 SFR使用上の注意事項

32.2.1 レジスタ設定時の注意事項

表 32.1 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 32.1 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0299h	UART4ビットレートレジスタ	U4BRG
029Bh~029Ah	UART4送信バッファレジスタ	U4TB
02A9h	UART3ビットレートレジスタ	U3BRG
02ABh~02AAh	UART3送信バッファレジスタ	U3TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR
D4C9h	CAN1受信FIFOポインタ制御レジスタ	C1RFPCR
D4CBh	CAN1送信FIFOポインタ制御レジスタ	C1TFPCR

表 32.2 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROL <i>C</i> 、ROR <i>C</i> 、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

32.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1” (書き込み許可) を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0” (書き込み禁止) になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

32.4 リセット使用上の注意事項

32.4.1 電源立ち上がり勾配

電源投入時等、VCC端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源立ち上がり勾配 (VCC) (電圧範囲0V~2.0V)	0.05			V/ms

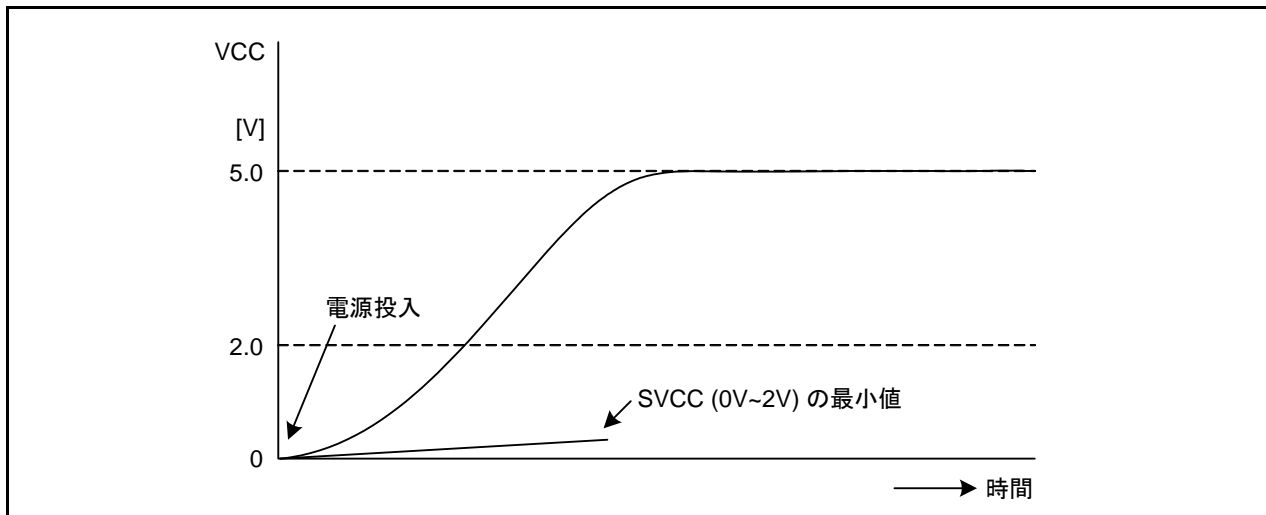


図 32.2 SVCCのタイミング例

32.4.2 パワーオンリセット

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合はOFS1番地のLVDASビットを“0”（ハードウェアリセット後、電圧監視0リセット有効）にしてください。この場合、電圧監視0リセットが有効（VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”）になります。プログラムでこれらを無効にしないでください。

32.4.3 OSDRビット（発振停止検出リセット検出フラグ）

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”（未検出）になります。

32.4.4 VCC < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”（ハードウェアリセット後、電圧監視0リセット有効）かつVCC < Vdet0の状態、ハードウェアリセットした場合、 $\overline{\text{RESET}}$ 端子の入力レベルが“L”から“H”になると、リセットベクタで示される番地からプログラムを開始します。電圧監視0リセットにはなりません。

32.5 クロック発生回路使用上の注意事項

32.5.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/5M、M16C/57グループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。なお、CLKOUT端子から出力するクロックは、25MHz以下にしてください。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビット、CM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表 32.3 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ	CM0レジスタ	
PCLK5ビット	CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

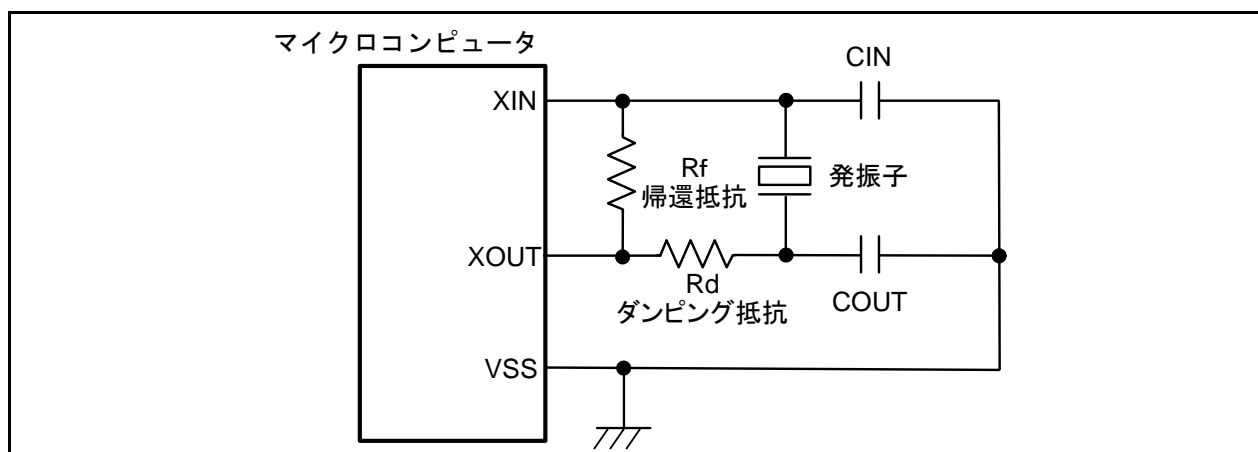


図 32.3 発振回路例

32.5.2 発振回路のノイズ対策

32.5.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

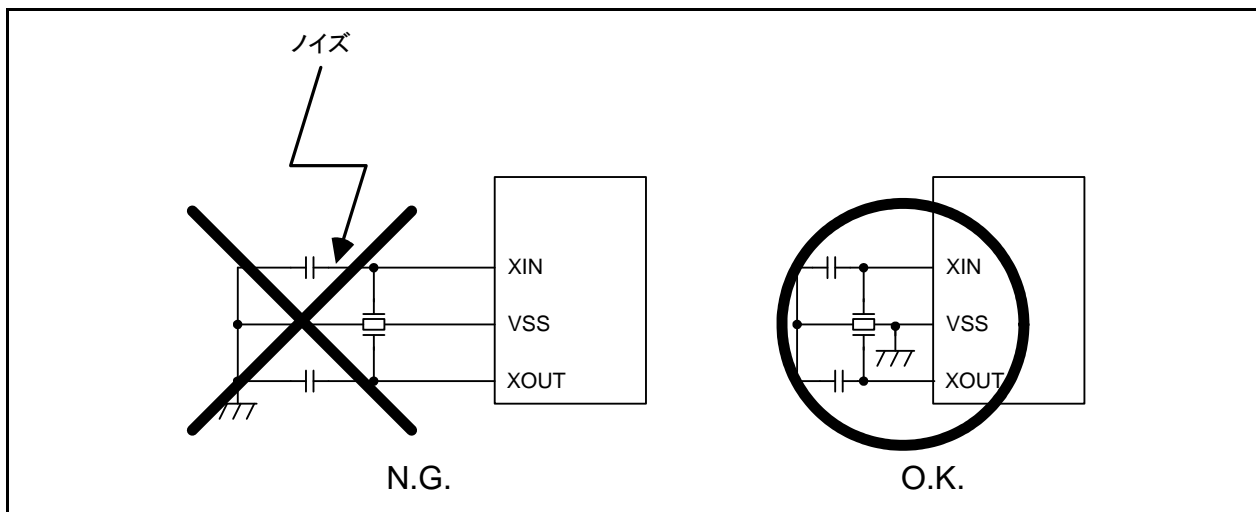


図 32.4 クロック入出力端子の配線

- 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

32.5.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

- 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

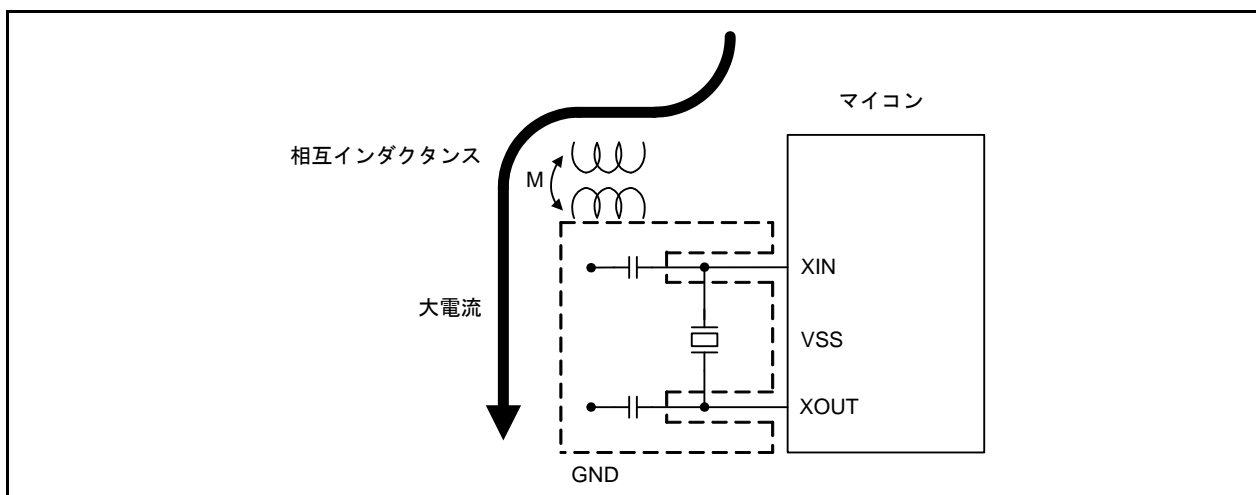


図 32.5 大電流が流れる信号線の配線

32.5.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化するTAiOUT端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

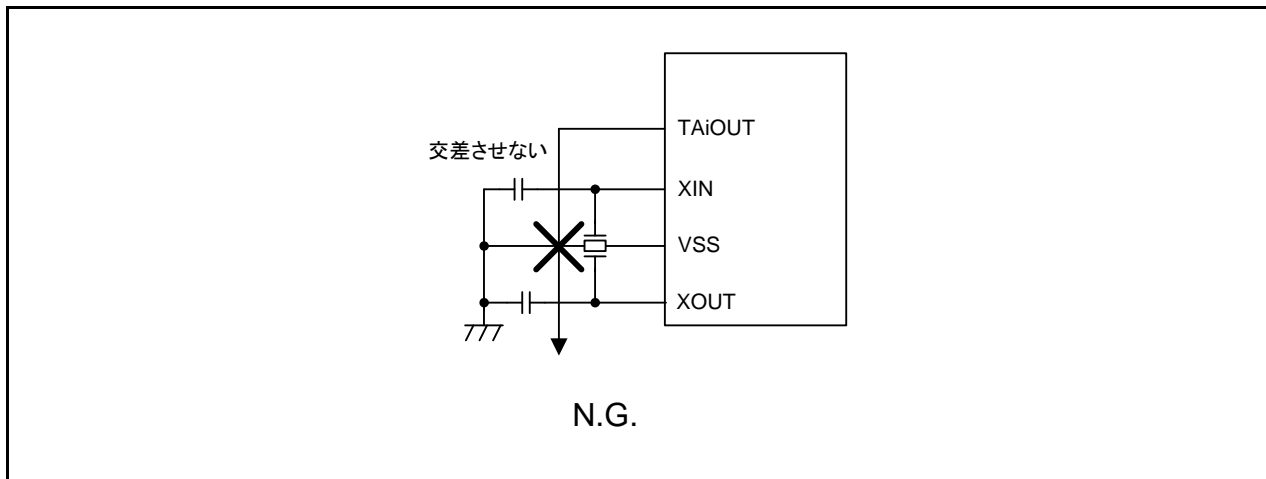


図 32.6 高速にレベル変化する信号線の配線

32.5.3 CPUクロック

(テクニカルアップデート番号: TN-M16C-109-0309)

外部で生成したクロックをXIN端子に入力し、かつCPUクロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

32.5.4 発振停止/再発振検出機能

- 次の場合は、CM20ビットを“0”（発振停止/再発振検出機能無効）にした後、それぞれの状態に遷移してください。

CM05ビットを“1”（メインクロック停止）にする場合

CM10ビットを“1”（ストップモード）にする場合

- 発振停止/再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02ビットを“0”（ウェイトモード時周辺機能クロックf1を停止しない）にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”（発振停止/再発振検出機能無効）にしてください。
- CM27ビットが“1”（発振停止/再発振検出割り込み）の場合、FRA01ビットが“1”（40MHzオンチップオシレータ選択）のときは、FRA00ビットを“1”（40MHzオンチップオシレータ発振）にしてください（FRA00ビットが“0”、かつFRA01ビットが“1”という状態にしないでください）

32.5.5 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 32.4 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数(VCC)			10	kHz
V _{p-p(ripple)}	電源リップル許容振幅電圧	(VCC=5V時)		0.5	V
		(VCC=3V時)		0.3	V
VCC(ΔV/ΔT)	電源リップル立ち上がり/立ち下がり勾配	(VCC=5V時)		0.3	V/ms
		(VCC=3V時)		0.3	V/ms

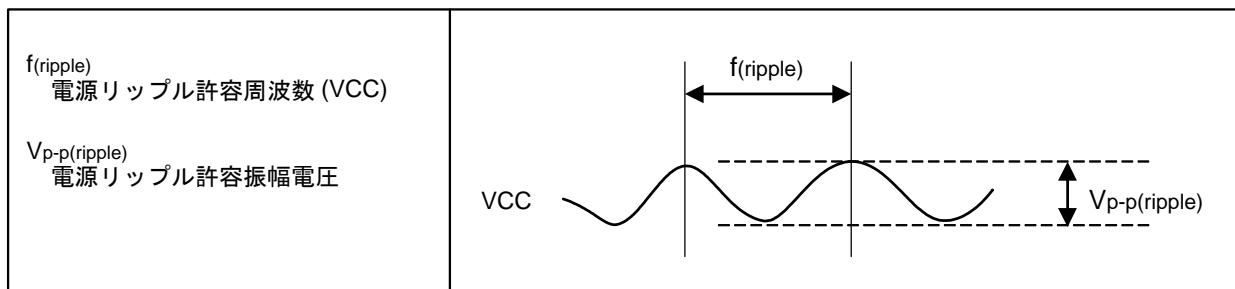


図 32.7 電源変動のタイミング図

32.6 パワーコントロール使用上の注意事項

32.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

32.6.2 ウェイトモード

- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューはWAIT命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにWAIT命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
          WAIT          ;ウェイトモードに遷移
          NOP          ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。
 - PLL動作モード (中速モードに遷移した後、PLC07ビットを“0” (PLL停止)にする)
 - 低消費電流リードモード (FMR2レジスタのFMR23ビットを“0” (低消費電流リードモード禁止)にする)
 - CPU書き換えモード (FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止にする)
- PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。PLC07ビットが“1” (PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

32.6.3 ストップモード

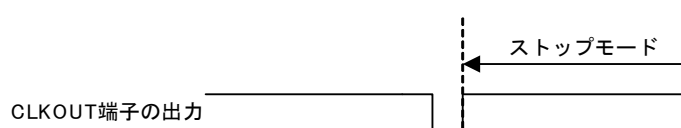
- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上 $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ (i=0~4)のMR0ビットを“0” (パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1” (ストップモード)にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

ストップモードに遷移するときのプログラム例を示します。

```
例:      FSET    I
          BSET    0, CM1      ;ストップモードに遷移
          JMP.B   L2          ;JMP.B 命令を挿入

L2:      NOP                ;NOP 命令を4つ以上
          NOP
          NOP
          NOP
```

- ストップモード時、CLKOUT 端子は“H”を出力します。したがって、CLKOUT 端子の出力が“H”から“L”になった直後にストップモードになると“L”幅が短くなります。



- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL 動作モード (中速モードに遷移した後、PLC07 ビットを“0” (PLL 停止) にする)
 - 低消費電流リードモード (FMR2 レジスタの FMR23 ビットを“0” (低消費電流リードモード禁止) にする)
 - CPU 書き換えモード (FMR0 レジスタの FMR01 ビットを“0” (CPU 書き換えモード無効) にし、DMA 転送を禁止にする)
 - 発振停止/再発振検出機能有効 (CM2 レジスタの CM20 ビットを“0” (発振停止検出機能無効) にする)
- FMR01 ビットが“1” (CPU 書き換えモード有効) の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止 (FMR01 ビットが“1”、かつ FMSTP ビットが“1”) の場合は、ストップモードに遷移しないでください。

32.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図 9.4 低消費電流リードモードの設定、解除」参照)。
- FMR2 レジスタの FMR23 ビットが“1” (低消費電流リードモード許可) のとき、FMSTP ビットを“1” (フラッシュメモリ停止) にしないでください。また、FMSTP ビットが“1” のとき、FMR23 ビットを“1” にしないでください。
- FMR0 レジスタの FMR01 ビットが“1” (CPU 書き換えモードが有効) のときに、FMR2 レジスタの FMR23 ビットを“1” (低消費電流リードモード許可) にしないでください。

32.6.5 スローリードモード

FMR0 レジスタの FMR01 ビットが“1” (CPU 書き換えモードが有効) のときに、FMR2 レジスタの FMR22 ビットを“1” (スローリードモード許可) にしないでください。

32.7 プログラマブル入出力ポート使用上の注意事項

注意

80ピン版にはP4_0~P4_7、P5_0~P5_7、P9_4はありません。

64ピン版にはP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4_0~P4_7、P5_0~P5_7、P9_4~P9_7はありません。

32.7.1 端子割り当て制御

PACRレジスタのPACR2~PACR0ビットはリセット後“000b”です。使用する製品にあわせて“010b” (64ピン版)、“011b” (80ピン版)、または“100b” (100ピン版) を選択してください。

PACR2~PACR0ビットを設定した後でプログラマブル入出力ポートや周辺機能の入出力を設定してください。

32.7.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可) のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/CTS2/RTS2/TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

32.7.3 入力閾値電圧

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外 (“H”でも“L”でもないレベル) のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

32.8 割り込み使用上の注意事項

32.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

32.8.2 SPの設定

割り込みを受け付ける前に、SP (USP、ISP) に値を設定してください。リセット後、SP (USP、ISP) は“0000h”です。そのため、SP (USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、すべての割り込みが禁止されています。

32.8.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”($\overline{\text{NMI}}$ 割り込み禁止) にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットに“1”を設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットに“1”を設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

32.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 32.8に割り込み要因の変更手順例を示します。

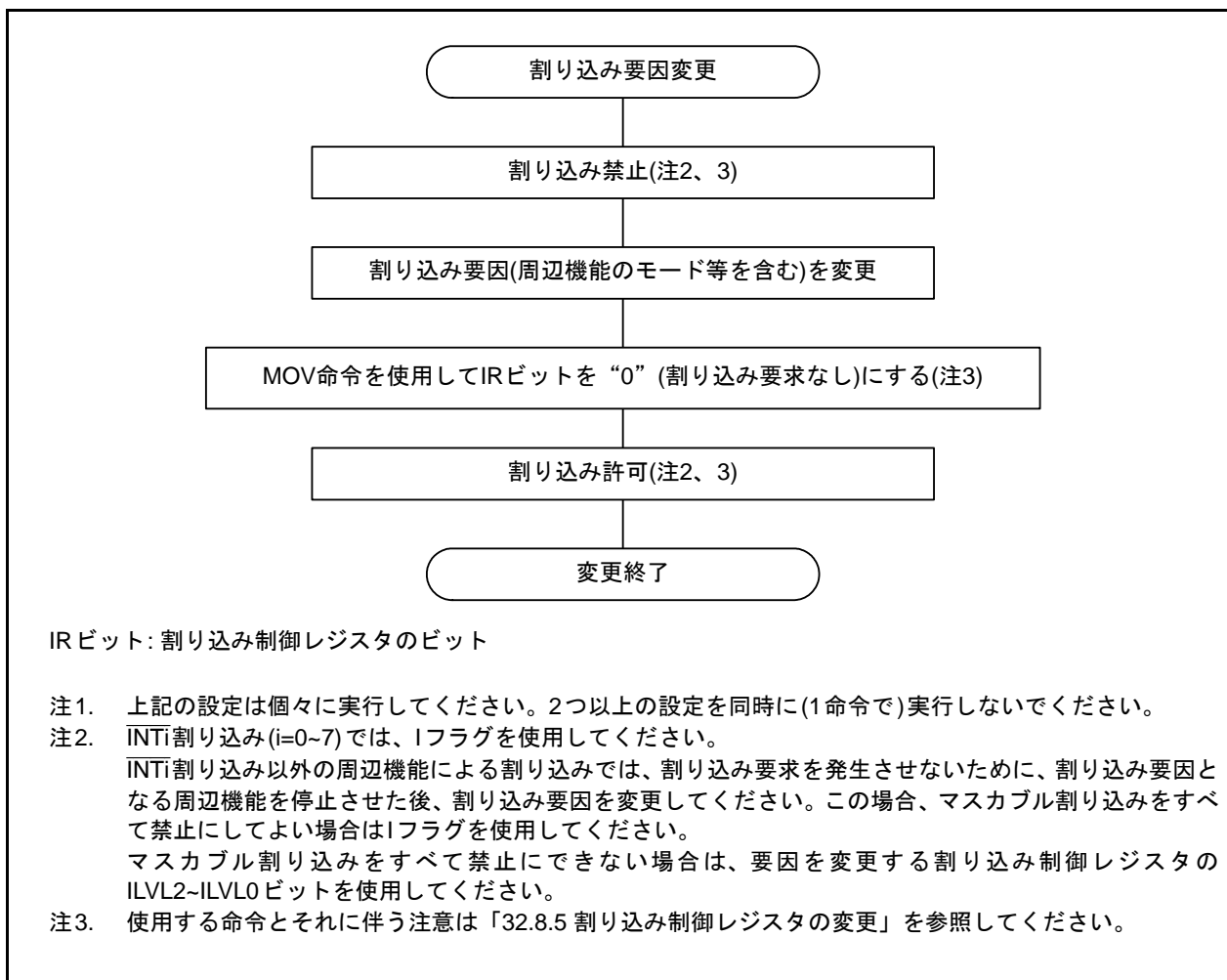


図 32.8 割り込み要因の変更手順例

32.8.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所を変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「32.8.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I           ;割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0    ;ダミーリード
  FSET    I           ;割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  POPC    FLG        ;割り込み許可
```

32.8.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。

AND、OR、BCLR、BSET、MOV

このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

32.8.7 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT0}}$ ~ $\overline{\text{INT7}}$ 端子に入力する信号には、CPUクロックに関係なく $t_w(\text{INL})$ 以上の“L”幅または $t_w(\text{INH})$ 以上の“H”幅が必要です。
- INT0IC ~ INT5IC レジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。
- INT6IC ~ INT7IC レジスタのPOLビット、IFSR3AレジスタのIFSR31~IFSR30ビット、IFSR4AレジスタのIFSR45~IFSR44ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

32.9 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

32.10 DMAC使用上の注意事項

32.10.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3)

(テクニカルアップデート番号: TN-M16C-92-0301)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1” (DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

32.10.2 DMA要求要因の変更

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。

32.11 タイマA使用上の注意事項

32.11.1 複数モードに関わる共通事項

32.11.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、TCKDIVC0レジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TCKDIVC0レジスタのTCDIV00ビットを設定した後、その他のタイマA関連レジスタを設定してください。TCDIV00ビットを変更した後も、その他のタイマA関連レジスタを再設定してください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、TCKDIVC0レジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

32.11.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

32.11.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

32.11.2 タイマA(タイマモード)

32.11.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.11.3 タイマA (イベントカウンタモード)

32.11.3.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.11.4 タイマA (ワンショットタイマモード)

32.11.4.1 カウントを中断した場合の状態

カウント中にTAiSビットを“0” (カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの値をリロードします。
- TAiOUT端子は、TAPOFSレジスタのPOFSiビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1” (割り込み要求あり)になります。

32.11.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

32.11.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

32.11.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

32.11.5 タイマA (パルス幅変調モード)

32.11.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

32.11.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

32.11.6 タイマA(プログラマブル出力モード)

32.11.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

32.11.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

32.12 タイマB使用上の注意事項

注意

80ピン版、64ピン版にタイマB3~タイマB5はありません。これらを使用しないでください。

32.12.1 複数モードに関わる共通事項

32.12.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR (i=0~5) レジスタ、TBCS0~TBCS3 レジスタ、TBi レジスタ、TCKDIVC0 レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタによって、モードやカウントソース、カウンタ値等を設定した後、TABSR レジスタまたはTBSR レジスタのTBiS ビットを“1”(カウント開始)にしてください。

なお、TBiMR レジスタ、TBCS0~TBCS3 レジスタ、TCKDIVC0 レジスタ、PCLKR レジスタ、PPWFS1 レジスタ、PPWFS2 レジスタは、リセット後に限らずTBiS ビットが“0”(カウント停止)の状態、変更してください。

32.12.2 タイマB (タイマモード)

32.12.2.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.12.3 タイマB (イベントカウンタモード)

32.12.3.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.12.3.2 イベント

TBiMR レジスタのTCK1 ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1 ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

32.12.4 タイマB (パルス周期測定/パルス幅測定モード)

32.12.4.1 TBiMR レジスタのMR3 ビット

MR3 ビットを“0”にするために、TBiS ビットが“1”(カウント開始)の状態、TBiMR レジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1 ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

32.12.4.2 割り込み

TBiICレジスタ(i=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバーフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

オーバーフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

32.12.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバーフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

32.12.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

32.12.4.5 パルス周期測定モード

オーバーフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバーフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

32.12.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバーフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

32.13 三相モータ制御用タイマ機能使用上の注意事項

32.13.1 タイマA、タイマB

タイマA、タイマBの使用上の注意事項を参照してください。

32.13.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

32.14 タイマS使用上の注意事項

32.14.1 レジスタアクセス

一部のレジスタまたはビットの説明で「このレジスタ(ビット)に書いた値は、ベースタイマのカウントソース fBT1 に同期して内部回路に反映されます。」と記したものがあります。これらのレジスタ(ビット)に値を書いた場合、内部回路にはすぐに反映されません。そのため、値を書いた後、最大で fBT1 の1サイクルの間は書く前の動作を行います。また、これらのレジスタ(ビット)に書き込んだ直後に同じレジスタ(ビット)を読み出した場合、書き込み前の値を読むことがあります。

32.14.2 G1IRレジスタの変更

G1IRレジスタのG1IR j (j=0~7) ビットは割り込み要求の受け付けでは、自動的に“0”になりませんが、プログラムで“0”にしてください。

ただし、G1IRj ビットが“1”になってから fBT1 の1サイクル間は“0”にできません。G1IR j ビットを“0”にする場合は、G1IR j ビットが“1”になってから fBT1 の1サイクル以上経過した後に“0”にしてください。

また、他のチャンネルの要求を消さないために下の命令を使用してください。

AND、BCLR

図 32.9にIC/OC割り込み0の処理例を示します。この例のように割り込み処理の最後にG1IEiレジスタで一度すべてのチャンネルを禁止にした後、再び許可してください。

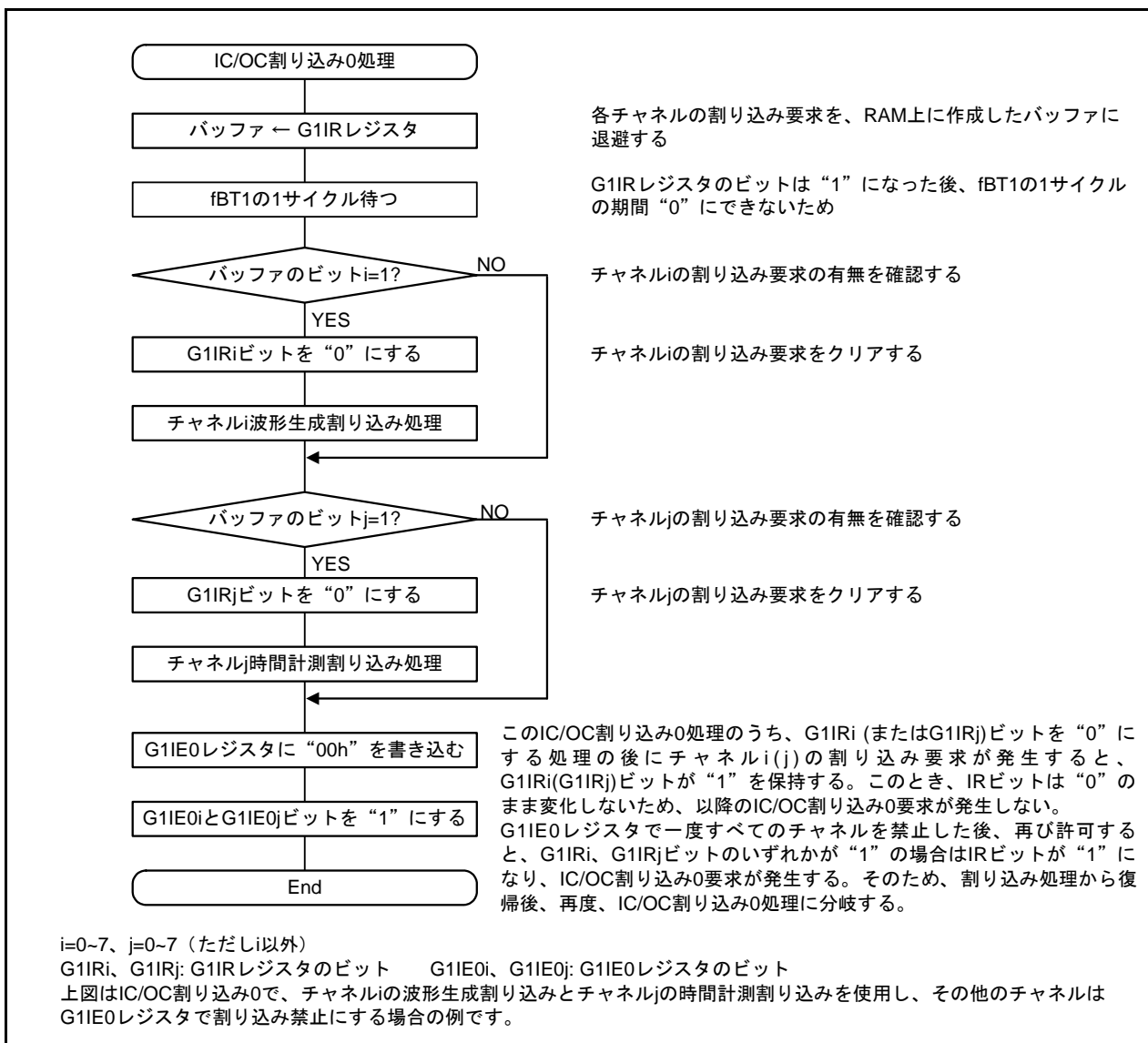


図 32.9 IC/OC割り込み0の処理例

32.14.3 ICOCiIC レジスタの変更 (i=0, 1)

G1IEi レジスタのG1IEij ビット (j=0~7) を“1” (割り込み許可) にし、かつチャンネルjの割り込み要求が発生する可能性のある箇所でICOCiIC レジスタのILVL2~ILVL0 ビットを変更する場合は、下の命令を使用してください。これらの命令では命令実行中にチャンネルjの割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり) になります。

AND、OR、BCLR、BSET

これをMOV 命令で変更すると、MOV 命令実行中にチャンネルjの割り込み要求が発生した場合、IR ビットが“1”に変化せず割り込み要求が無視されます。このとき、G1IR レジスタのG1IRj ビットは“1” (割り込み要求あり) になるので、このままで放置すると、この後、IC/OC 割り込みiの要求は発生しません。

なお、タイマSの初期設定を行うときは、ICOCiIC レジスタおよびG1IR レジスタにそれぞれ“00h”を設定後、再度ICOCiIC レジスタを変更してください。

32.14.4 BTS ビットによるベースタイマリセット中の出力波形

波形出力中にG1BCR1 レジスタのBTS ビットを“0” (ベースタイマリセット) にすると、波形出力端子の出力は、そのときのレベルを保持します。この状態は、BTS ビットを“1” (ベースタイマカウント開始) にした後、ベースタイマの値がG1POj レジスタと一致するまで続きます。

32.14.5 G1PO0 レジスタによるベースタイマリセット中のOUTC1_0端子出力

G1BCR1 レジスタのRST1 ビットを“1” (G1PO0 レジスタとベースタイマとの一致でベースタイマをリセットする) とした場合、ベースタイマとG1PO0 レジスタの値が一致するとfBT1の2クロック後にベースタイマがリセットされます。ベースタイマの一致からベースタイマがリセットされるまでのfBT1の2クロック間はOUTC1_0端子から“H”レベルが出力されますので、G1OER レジスタのEOC0 ビットを“1” (出力禁止) にしてください。

32.14.6 時間測定機能選択時の割り込み要求

G1FS レジスタのFSCj (j=0~7) ビットを“1” (時計計測機能)、かつG1FE レジスタのIFEj ビットを“1” にすると、最大でfBT1の2サイクル後にG1IR レジスタのG1IRj ビットやICOCiIC (i=0, 1)、ICOCHjIC (ただしj=0~3) レジスタのIR ビットが“1” (割り込み要求あり) になることがあります。

このため、IC/OC 割り込みiまたはIC/OCチャンネルj割り込みを使用する場合、FSCj ビットを“1”かつIFEj ビットを“1”にした後、次の処理をしてください。

- (1) fBT1の2サイクル以上待つ
- (2) ICOCiIC、ICOCHjIC レジスタのIR ビットを“0”にする
- (3) (時間測定機能選択からfBT1の3サイクル以上待ってから)G1IR レジスタを“00h”にする (G1IR レジスタはICOCiIC レジスタのIR ビットを“0”にした後で、“00h”にする)

32.15 タスク監視タイマの注意事項

32.15.1 レジスタ設定

リセット後、タイマは停止しています。TMOSレジスタ、TMOSCSレジスタによって、カウンタの値やカウントソースを設定した後、TMOSSRレジスタのTMOS0Sビットを“1”(カウント開始)にしてください。

なお、TMOSCSレジスタは、TMOS0Sビットが“0”(カウント停止)の状態に変更してください。

32.15.2 タイマの読み出し

カウント中のカウンタの値は、TMOSレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTMOSレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

32.16 リアルタイムクロック使用上の注意事項

32.16.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

32.16.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、リアルタイムクロックが停止中に書いてください。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2レジスタ
- RTCCR1レジスタのH12H24ビット、RTCPMビット
- RTCCSRレジスタのRCS0~RCS4ビット

リアルタイムクロックが停止中とは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(リアルタイムクロック停止)の状態を指します。

また、RTCCR2レジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

「図 20.4 時刻、日変更手順(コンペアモードを使用しない、またはコンペア1モード)」 「図 20.5 時刻、日変更手順(コンペア2モード、またはコンペア3モード)」を参照してください。

32.16.3 レジスタ設定(コンペアデータ)

次のレジスタやビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- RTCCSEC、RTCCMIN、RTCCHRレジスタ

32.16.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法2

「図 32.10 時刻データ読み出し」に示す手順で読み出す。

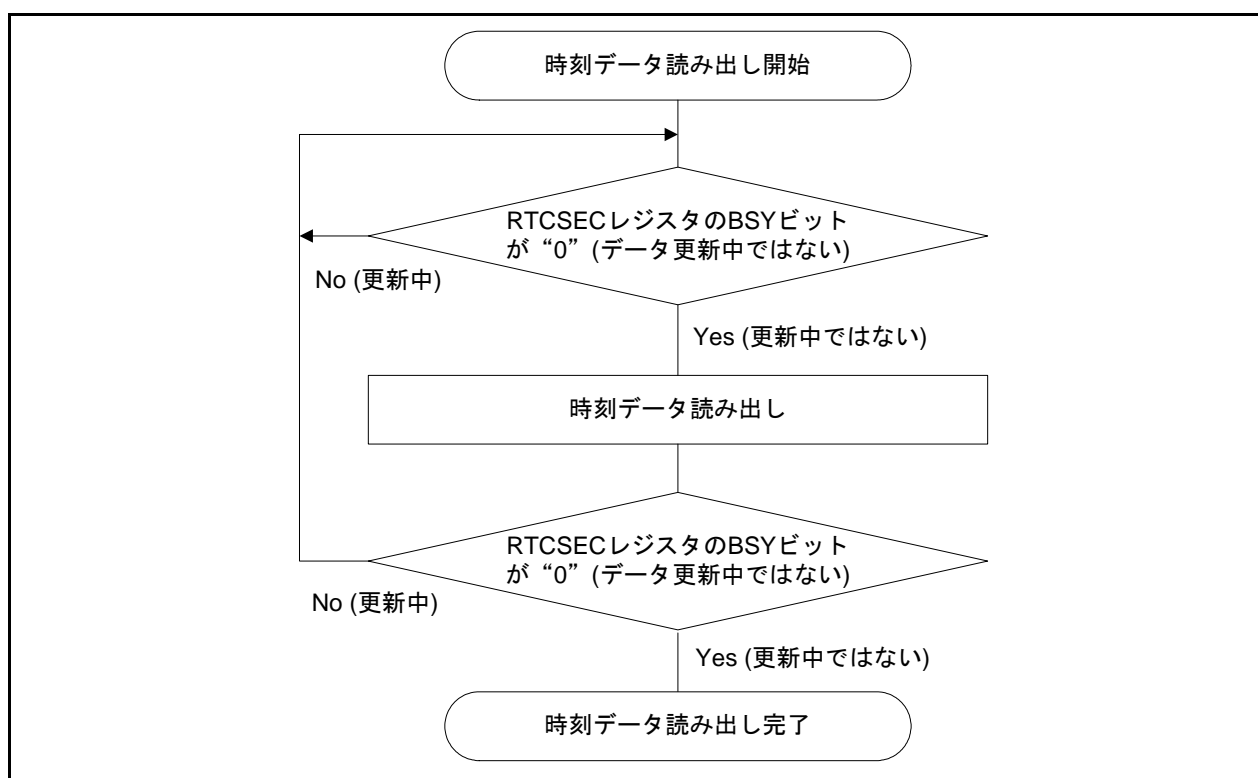


図 32.10 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット

RTCMINレジスタのMN12~MN10、MN03~MN00ビット

RTCHRレジスタのHR11~HR10、HR03~HR00ビット

RTCWKレジスタのWK2~WK0ビット

RTCCR1レジスタのRTCPMビット

32.17 シリアルインタフェースUART_i (i=0~4) 使用上の注意事項

注意

64ピン版は、CLK4、RXD4、TXD4端子がありません。UART4関連レジスタをアクセスしないでください。

32.17.1 複数モードに関わる共通事項

32.17.1.1 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/CTS2/RTS2/TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

32.17.1.2 レジスタ設定

UCLKSEL0レジスタのOCOSEL0ビットまたはOCOSEL1ビットを設定した後、その他のUART0~UART4関連レジスタを設定してください。OCOSEL0ビットまたはOCOSEL1ビットを変更した後も、その他のUART0~UART4関連レジスタを再設定してください。

32.17.2 クロック同期形シリアルI/Oモード

32.17.2.1 送受信

外部クロック選択時、 \overline{RTS} 機能を選択した場合は、受信可能状態になると \overline{RTSi} (i=0~3)端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると \overline{RTSi} 端子の出力レベルは“H”になります。このため、 \overline{RTSi} 端子を送信側の \overline{CTSi} 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

32.17.2.2 送信

外部クロックを選択し、UiC0レジスタ(i=0~4)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件(順序は関係ありません)

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS}}$ i端子の入力が“L”

32.17.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~4)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件(順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

32.17.3 特殊モード (I²Cモード)

32.17.3.1 スタートコンディション、ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A130B/J)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4 レジスタの STSPSEL ビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

32.17.3.2 IR ビット

次のビットを変更した後、UART2の各割り込み制御レジスタのIR ビットを“0”(割り込み要求なし)にしてください。

U2MR レジスタの SMD2~SMD0 ビット、U2SMR レジスタの IICM ビット、
U2SMR2 レジスタの IICM2 ビット、U2SMR3 レジスタの CKPH ビット

32.17.3.3 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDA デジタル遅延機能を使用する場合、遅延時間を考慮してください(「21.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps 設定時の算出例 >

- U2BRG カウントソース : $f_1 = 20\text{MHz}$
- U2BRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (U2BRG カウントソースの5~6サイクル)の場合、

f_{SCL} (理論)	$= f_1 / (2(n+1))$	$= 20\text{MHz} / (2 \times (99+1))$	$= 100\text{kbps}$
t_{DL}	$= \text{遅延サイクル数} / f_1$	$= 6 / 20\text{MHz}$	$= 0.3\mu\text{s}$
$t_{HD:STA}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{SU:STO}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{HD:STA}$ (実効)	$= t_{HD:STA}(\text{理論}) - t_{DL}$	$= 5\mu\text{s} - 0.3\mu\text{s}$	$= 4.7\mu\text{s}$
$t_{SU:STO}$ (実効)	$= t_{SU:STO}(\text{理論}) + t_{DL}$	$= 5\mu\text{s} + 0.3\mu\text{s}$	$= 5.3\mu\text{s}$

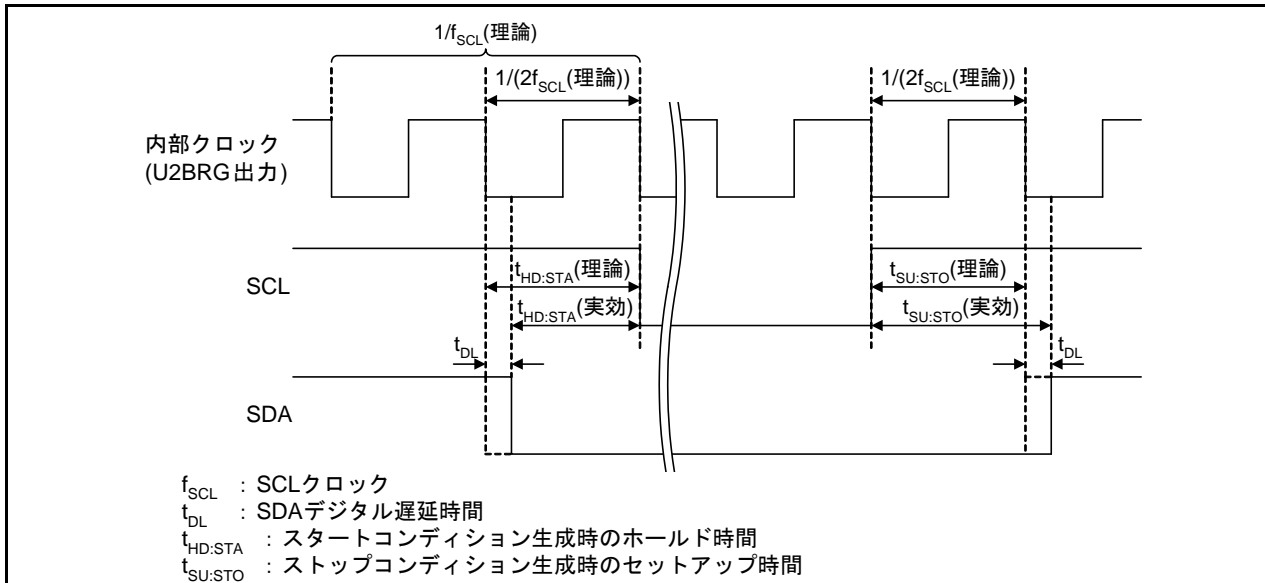


図 32.11 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

32.17.3.4 U2BRG カウントソースによる最大送受信速度の制限

I²Cモードでは、U2BRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でU2BRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、U2BRGカウントソースの速度の1/3以下です。U2BRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

32.17.3.5 スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

32.17.3.6 スレーブ時の送受信開始条件

スレーブとして、U2C0レジスタのTXEPTビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件 (順序は関係ありません)

送信

- U2C1レジスタのTEビットが“1” (送信許可)
- U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)

受信

- U2C1レジスタのREビットが“1” (受信許可)
- U2C1レジスタのTEビットが“1” (送信許可)
- U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)

32.17.4 特殊モード4 (SIMモード)

(テクニカルアップデート番号: TN-M16C-101-0308)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

32.18 マルチマスタ I²C-bus インタフェース使用上の注意事項

32.18.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 22.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)にしてアクセスしてください。

32.18.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

32.18.2.1 S00レジスタ

送受信中に書き込まないでください。

32.18.2.2 S1D0レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

32.18.2.3 S20レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

32.18.2.4 S3D0レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

32.18.2.5 S4D0レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

32.18.2.6 S10レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。MST、TRXビットが変化するタイミングは「22.3 動作説明」の動作例を参照してください。

32.19 シリアルバスインタフェース使用上の注意事項

32.19.1 SS0SR レジスタ

SS0SR レジスタに値を書く場合は次のようにしてください。

- MOV 命令を使用してください。
- 一度レジスタを読み出し、NOP 命令を4つ以上挿入した後、書き込んでください。
- “0”にするビット以外は“1”を書いてください(“1”を書いたビットの状態は変化しません)。

例: SS0SR レジスタの ORER ビット(ビット2)を“0”にする場合

```
MOV.B SS0SR, MEM      ;SS0SR レジスタを読み出す
NOP                    ;NOP 命令を4つ以上挿入
NOP
NOP
NOP
MOV.B #11100001b, SS0SR ;b2を“0”にする。b7、b6、b5、b0は変更しないので“1”を書く
                       ;b4,b3,b1は何も配置されていないビット。“0”を書く。
```

32.20 LINモジュール使用上の注意事項

32.20.1 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W/
LIN0OUT、P7_5/TA2IN/ \overline{W} /LIN0IN、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

32.21 CANモジュール使用上の注意事項

注意

M16C/5MグループのCANモジュール1チャンネル版ではCAN0のみ使用してください。CAN1を使用しないでください。

M16C/57グループでは、この機能を使用しないでください。

32.22 A/Dコンバータ使用上の注意事項

注意

100ピン版にはAN2_4はありません。64ピン版にはAN0_4~AN0_7、AN2_0~AN2_3、AN2_5~AN2_7はありません。これらをアナログ入力端子として選択しないでください。

32.22.1 アナログ入力選択

$\overline{KI0}$ ~ $\overline{KI3}$ 端子のいずれかをキー入力割り込みに使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

32.22.2 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i($i=0\sim7$)、AN0_i、AN2_i、AN3_0~AN3_2)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。

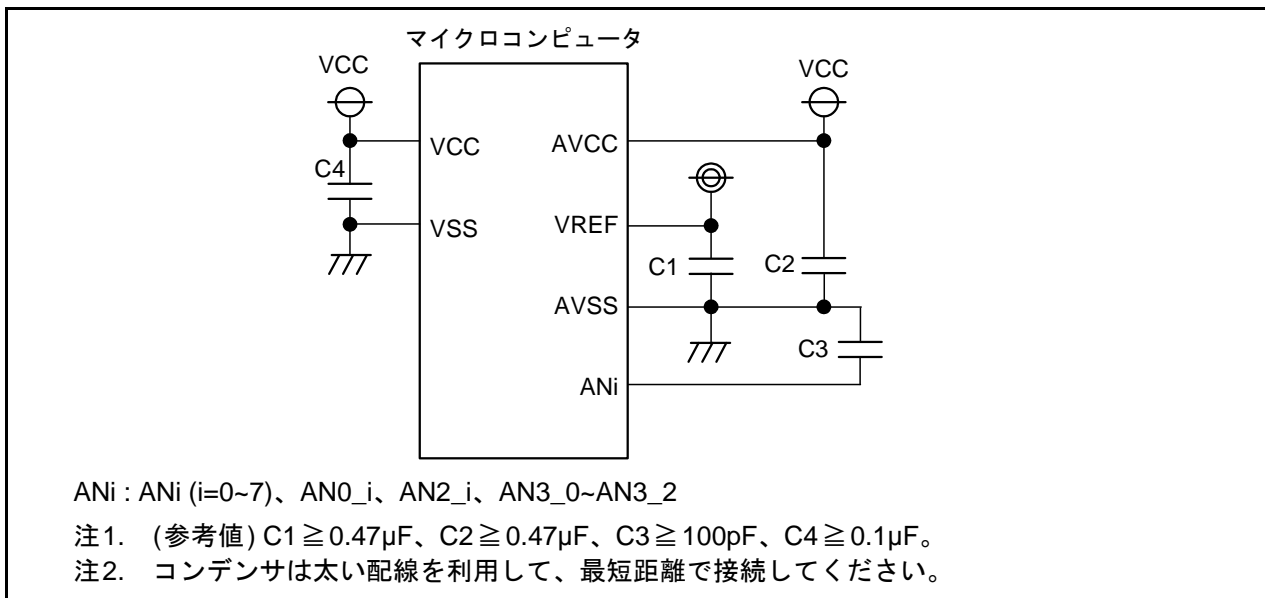


図 32.12 各端子の処理例

32.22.3 レジスタアクセス

A/Dコンバータ関連レジスタは、ADCON2レジスタのCKS3ビットを設定した後で、設定してください。ただし、ADCON2レジスタのビットは、CKS3ビットと同時に設定して構いません。CKS3ビットを変更した後も、同様に再設定してください。

ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADCON1レジスタのADSTBYビットを“1”から“0”にしてください。

32.22.4 A/D変換開始

ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕAD の1サイクル以上経過した後にA/D変換を開始させてください。

32.22.5 A/D動作モードの変更

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

32.22.6 強制終了時の状態

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0” (A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタ (i=0~7)も不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

32.22.7 A/D断線検出アシスト機能

断線時の変換結果は、外付け回路によって変わります。本機能はシステムに合わせた評価を十分に行った上で使用してください。

なお、AINRSTレジスタ変更後、A/D変換開始する場合は次の手順に従ってください。

- (1) AINRSTレジスタのAINRST1~AINRST0ビットを変更する
- (2) ϕ ADの1サイクル待つ
- (3) ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする

32.22.8 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間 (「表 26.6 各A/D変換項目のサイクル数」参照)後に“1” (A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0” (A/D変換停止)が読めることがあります。

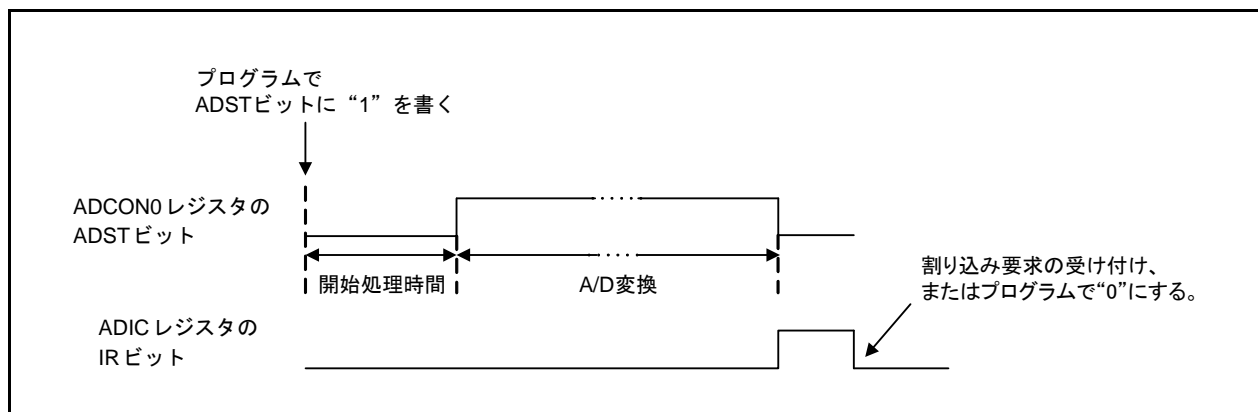


図 32.13 ADSTビットの動作

32.22.9 ϕ AD

ϕ ADが規格に合う周波数になるように、fADを分周してください。

特にADCON2レジスタのCKS3ビットが“1” (fOCO40MがfAD) の場合、fOCO40Mの最大値、最小値を考慮してください。

32.23 D/Aコンバータ使用上の注意事項

32.23.1 D/Aコンバータを使用しない場合

D/Aコンバータを使用しない場合には、不要な消費電流を少なくするためにDACONレジスタのDA0Eビットを“0” (出力禁止)にし、DA0レジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

32.24 フラッシュメモリ使用上の注意事項

注意

80ピン版のP4_0~P4_7、P5_0~P5_7、P9_4は、外部への接続がありません。また、64ピン版のP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4_0~P4_7、P5_0~P5_7、P9_4~P9_7は、外部への接続がありません。80ピン版、64ピン版では、ユーザブート機能のエントリに使用する端子に、これらの端子を指定しないでください。

32.24.1 OFS1番地、OFS2番地、IDコード格納番地

OFS1番地、OFS2番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1番地は0FFFFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、OFS2番地、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1番地に“FEh”を、OFS2番地に“FFh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

32.24.2 データフラッシュの読み出し

$3.0V < VCC \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイト必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

32.24.3 CPU書き換えモード

32.24.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを16MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

32.24.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- $\overline{\text{NMI}}$ 端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

32.24.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

32.24.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

32.24.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

32.24.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

32.24.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

32.24.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

32.24.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

32.24.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 40MHzオンチップオシレータモード、高速、中速モード、PLL動作モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンド、または同じコマンドを複数回実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード(FMR22が“1”)、または低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

32.24.3.11 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

32.24.3.12 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、パワーオン、電圧監視0、電圧監視2、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み

32.24.4 ユーザブート

32.24.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地のLVDASビット、OFS2番地のWDTRCS1~WDTRCS0ビットはブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

32.25 E²PROMエミュレーションデータフラッシュ使用上の注意事項

32.25.1 CPU書き換えモードとの関係

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の場合は、E2FMレジスタのEWMビットを“1”(イレーズ/プログラム許可)にしないでください。

32.25.2 書き換え時のCPUクロック

E²データフラッシュの書き換えを行う場合は、高速、中速モード、PLL動作モード、40MHzオンチップオシレータモードで行ってください。

32.25.3 クロック遷移

E²データフラッシュの書き換え後にモード遷移する場合、次の手順で遷移してください。

- (a) ウェイトモード、ストップモード、125kHzオンチップオシレータ低消費電力モード、または低消費電力モードに遷移
 - (1) E2FS0レジスタのRDYビットが“1”(レディ)になるのを待つ
 - (2) E2FMレジスタのOMビットを“0”(E²データフラッシュ停止)にする
 - (3) モード遷移
- (b) 上記(a)以外のモードに遷移
 - (1) E2FS0レジスタのRDYビットが“1”(レディ)になるのを待つ
 - (2) モード遷移

索引

【A】

AD0~AD7	733
ADCON0	735
ADCON1	737
ADCON2	734
ADIC	197
AIER	203
AIER2	204
AINRST	732

【B】

BCNIC	197
BTIC	197

【C】

C0AFSR	697
C0BCR	668
C0CLKR	667
C0CSSR	696
C0CTLR	663
C0ECSR	705
C0EIC	197
C0EIER	698
C0EIFR	700
C0FIDCR0、C0FIDCR1	671
C0FRIC	197
C0FTIC	197
C0MB0~C0MB31	674
C0MCTL0~C0MCTL31	679
C0MIER	678
C0MKIVLR	673
C0MKR0~C0MKR7	670
C0MSMR	693
C0MSSR	694
C0RECR	703
C0RFCR	683
C0RFPCR	686
C0RIC	197
C0STR	690
C0TCR	708
C0TECR	704
C0TFCR	687
C0TFPCR	689
C0TIC	197
C0TSR	707
C0WIC	197
C1AFSR	697
C1BCR	668
C1CLKR	667
C1CSSR	696
C1CTLR	663
C1ECSR	705

C1EIER	698
C1EIFR	700
C1FIDCR0、C1FIDCR1	671
C1FRIC	197
C1FTIC	197
C1MB0~C1MB31	674
C1MCTL0~C1MCTL31	679
C1MIER	678
C1MKIVLR	673
C1MKR0~C1MKR7	670
C1MSMR	693
C1MSSR	694
C1RECR	703
C1RFCR	683
C1RFPCR	686
C1RIC	197
C1STR	690
C1TCR	708
C1TECR	704
C1TFCR	687
C1TFPCR	689
C1TIC	197
C1TSR	707
C1WIC	197
CM0	117
CM1	119
CM2	121
CPSRF	262, 312
CRCD	761
CRCIN	761
CRCMR	761
CRCSAR	760
CSPR	231

【D】

DA0	756
DACON	756
DAR0~DAR3	243
DM0CON	245
DM0IC~DM3IC	197
DM0SL	246
DM1CON	245
DM1SL	246
DM2CON	245
DM2SL	246
DM3CON	245
DM3SL	246
DTT	343

【E】

E2FA	821
E2FC	824
E2FD	822

E2FI	821
E2FIC	197
E2FM	823
E2FS0	825
E2FS1	824

【F】

FMR0	143, 768
FMR1	165, 771
FMR2	144, 772
FMR3	773
FMR6	774
FRA0	126
FRA2	127

【G】

G1BCR0	385
G1BCR1	386
G1BT	384
G1BTRR	390
G1DV	390
G1FE	388
G1FS	389
G1IE0	395
G1IE1	396
G1IOR0	392
G1IOR1	393
G1IR	394
G1OER	391
G1PO0~G1PO7	379
G1POCR0~G1POCR7	380
G1TM0~G1TM7	379
G1TMCR0~G1TMCR7	382
G1TPR6, G1TPR7	387

【I】

ICOC0IC	197
ICOC1IC	197
ICOCH0IC	197
ICOCH1IC	197
ICOCH2IC	197
ICOCH3IC	197
ICTB2	344
IDB0、IDB1	343
IFSR	203
IFSR2A	202
IFSR3A	201
IFSR4A	200
IICIC	197
INT0IC~INT2IC	198
INT3IC	198
INT4IC	198
INT5IC	198
INT6IC	198

INT7IC	198
INVC0	339
INVC1	341

【K】

KUPIC	197
-------------	-----

【L】

L0BRK	618
L0C	624
L0CB	634
L0DB1~L0DB8	635
L0EDE	622
L0EST	629
L0IDB	633
L0IE	621
L0MD	617
L0MST	626
L0RFC	631
L0SPC	619
L0ST	627
L0TC	625
LOWIC	197
LOWUP	620
LBRP0	614
LBRP1	614
LIN0IC	198
LPC	616
LSTC	615
LWBR	613

【N】

NDDR	177, 205
------------	----------

【O】

OFS1	88, 106, 233, 776
OFS2	234, 777
ONSF	271

【P】

P1~P10	185
P17DDR	177, 205
PACR	184, 478
PCLKR	123, 262, 311, 465
PCR	180
PD0~PD10	186
PDRF	346
PFCR	347
PLC0	124
PM0	86
PM1	163
PM2	125, 196

PPWFS1、PPWFS2	314
PRCR	81
PRG2C	164
PUR0	178
PUR1	178
PUR2	179
PWMFS	265

【R】

RMAD0~RMAD3	204
RSTFR	87
RTCCHR	446
RTCCIC	197
RTCCMIN	445
RTCCR1	440
RTCCR2	442
RTCCSEC	444
RTCCSR	443
RTCHR	438
RTCMIN	437
RTCSEC	436
RTCTIC	197
RTCWK	439

【S】

S00	533
S0D0~S0D2	534
S0RIC~S2RIC	197
S0TIC	197
S10	547
S11	552
S1D0	535
S1TIC	197
S20	538
S2D0	540
S2TIC	197
S3D0	541
S3RIC	197
S3TIC	197
S4D0	545
S4RIC	197
SAR0~SAR3	243
SCLDAIC	197
SS0BR	577
SS0CRH	579
SS0CRL	580
SS0ER	582
SS0IC	198
SS0MR	581
SS0MR2	585
SS0RDR	578
SS0SR	583
SS0TDR	578

【T】

TA0~TA4	268
TA0IC~TA4IC	197
TA0MR	274
TA1、TA2、TA4	338
TA11、TA21、TA41	269, 338
TA1MR	274
TA2MR	274
TA3MR	274
TA4MR	274
TABSR	270, 317
TACS0~TACS2	264
TAOW	267
TAPOFS	266
TB0~TB5	312
TB01	313
TB0IC~TB5IC	197
TB0MR	318
TB11	313
TB1MR	318
TB2	338
TB21	313
TB2MR	318
TB2SC	345
TB31	313
TB3MR	318
TB41	313
TB4MR	318
TB51	313
TB5MR	318
TBCS0~TBCS3	315
TBSR	317
TCKDIVC0	263, 316
TCR0~TCR3	244
TMOS	428
TMOSCS	429
TMOSIC	197
TMOSPR	429
TMOSSR	428
TPRC	347
TRGSR	272

【U】

U0BRG~U4BRG	467
U0C0~U4C0	468
U0C1~U4C1	470
U0MR~U4MR	466
U0RB~U4RB	471
U0TB~U4TB	467
U2SMR	477
U2SMR2	476
U2SMR3	475
U2SMR4	473
UCLKSEL0	464
UDF	273

【V】

VCR1	99
VCR2	100
VD2LS	102
VLT0	181
VLT1	182
VLT2	183
VW0C	103
VW2C	104, 230
VWCE	101

【W】

WDC	232
WDTR	231
WDTS	232

(1) 本版で修正または追加された箇所

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	全体	問い合わせ先について、「弊社営業窓口」に統一
		概要	
		8, 9, 10	表 1.7 M16C/5Mグループ製品一覧表(J版)、表 1.8 M16C/5Mグループ製品一覧表(K版)、表 1.9 M16C/57グループ製品一覧表(J版)、表 1.10 M16C/57グループ製品一覧表(K版): 開発状況変更
		リセット	
		84	表 6.1 リセットの種類: 「初期化されないレジスタ、ビット」欄を追加
		84	図 6.1 リセット回路のブロック図: <ul style="list-style-type: none"> 各SFRの名称記載を削除して、「表 6.2 リセット時のSFRの分類」で詳細を説明 「発振停止リセット」→「発振停止検出リセット」
		85	表 6.2 リセット時のSFRの分類: 追加
		86	表 6.4 レジスタ一覧: <ul style="list-style-type: none"> 0018h リセット要因判別レジスタのリセット後の値を「XX00 001Xb」より変更 注1を変更
		87	6.2.2 リセット要因判別レジスタ (RSTFR): OSDRビットの説明: 値が変化する条件を追加
		88	6.3.1 オプション機能選択1番地 (OFS1): LVDASビットの説明: ブートモードでは無効の文を追加
		90	表 6.7 RESET端子のレベルが“L”の期間の端子の状態: <ul style="list-style-type: none"> 注1の不定の期間の説明を変更 「端子名」欄を変更
		91	図 6.3 リセットシーケンス: XINの発振の期間を変更
		92	6.4.2 ハードウェアリセット、電源が安定している場合: (2)待ち時間の表記を変更
		93	6.4.3 パワーオンリセット機能: RESET端子の電圧の表記を変更「0.8VCC以下」→「VIHの範囲内」
		93	図 6.5 パワーオンリセット動作: 「外部電源VCC」→「VCC」
		96	図 6.6 SVCCのタイミング例: 変更
		クロック発生回路	
		8. 章	「0004h プロセッサモードレジスタ0」に関する記述を削除
		115	図 8.1 システムクロック発生回路: <ul style="list-style-type: none"> 周辺機能クロックのバッファを削除し、メインクロックを追加 PLL周波数シンセサイザの構成を一部変更
		131	8.3.6 サブクロック (fC): 発振開始手順の(1)の () 内のP8_5削除
		132	8.4.2 周辺機能クロック (f1、fOCO40M、fOCO-F、fOCO-S、fC32、fC、メインクロック): <ul style="list-style-type: none"> f1で使用できる機能にLINモジュールを追加 メインクロックに関する記述を追加
		133	図 8.5 周辺機能クロック: 改訂
		パワーコントロール	
		143	9.2.1 フラッシュメモリ制御レジスタ0 (FMR0): FMR01ビットとFMSTPビットの説明を書き換え
		144	9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)、FMR23ビット: 使用制限追加
		146	9.3.1.6 低速モード: CM21ビットおよびFRA01ビットが“1”の場合のfOCO-Fを修正
		146	9.3.1.7 低消費電力モード: CM06ビットに関する説明を削除
		147	表 9.2 通常動作モードのクロック: <ul style="list-style-type: none"> 注2~注6を注2に集約
		152	9.3.3 ウェイトモード: 周辺機能の動作に関する説明文を変更
		152	9.3.3.2 ウェイトモードへの遷移: ウェイトモードへの遷移手順を追加
		153	表 9.7 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件: <ul style="list-style-type: none"> 「周辺機能割り込み」の「シリアルインタフェース」、「CM02=1の場合」: 内部クロックに関する説明を追加 「周辺機能割り込み」に「LIN0“L”検出」行を追加および「LIN0」行を追加 「割り込み」の「電圧監視2」: 使用条件の説明を書き換え 「リセット」の「電圧監視0リセット」: 「fOCO-Sが供給されているとき使用可」→「使用可」 「リセット」の「電圧監視2リセット」: 使用条件の説明を書き換え
		154	9.3.4.1 ストップモードへの遷移: 表 9.9の下の説明を一部移動し、ストップモードへの遷移手順を追加

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	155	9.3.4.3 ストップモードからの復帰: 遷移前の説明を9.3.4.1に移動
		155	表 9.9 ストップモードからの復帰に使用できるリセット、割り込みと使用条件: 「周辺機能割り込み」に「LINO"L"検出」行を追加
		156	図 9.2 フラッシュメモリの停止/再開手順: • 括弧が示す範囲を変更 • 注4を削除
		157	9.4.2.1 スローリードモード: ウェイト不要の場合の説明を追加
		157、158	図 9.3 スローリードモードの設定、解除、図 9.4 低消費電流リードモードの設定、解除: 「CPUクロックを元に戻す」を削除
		159	9.5.2 A/Dコンバータ: A/D変換を行う場合の説明を削除
		159	9.5.3 D/Aコンバータ: 追加
		160	9.6.1 CPUクロック: 2行目を追加
		160	9.6.2 ウェイトモード: • 1項目目を一部追加 • 2項目目を変更 • 3項目目を追加
		160	9.6.3 ストップモード: • 3項目目を一部追加 • 5項目目を変更 • 6項目目を追加
		161	9.6.4 低消費電流リードモード: 3項目を追加
		161	9.6.5 スローリードモード: 追加
		プログラマブル入出力ポート	
		179	11.3.5 プルアップ制御レジスタ 2 (PUR2): PU21ビットの制御対象からP8_5を削除
		192	11.6.2 \overline{SD} 入力の影響: 対象端子にTSUDA、TSUDBを追加
		割り込み	
		197	12.2.2 割り込み制御レジスタ 1: レジスタの説明にIFSR4Aの記述を追加
		200	12.2.4 割り込み要因選択レジスタ 4 (IFSR4A): IFSR46の「機能」: 「0: 予約」→「0: CAN1受信FIFO割り込みを使用しない」
		201	12.2.5 割り込み要因選択レジスタ 3 (IFSR3A): IFSR33、IFSR34、IFSR35の「機能」: 「0: 予約」→「0: ...割り込みを使用しない」
		202	12.2.6 割り込み要因選択レジスタ 2 (IFSR2A): IFSR24の「機能」: 「0: 予約」→「0: CAN0ウェイクアップ割り込みを使用しない」
		211	表 12.7 可変ベクタテーブル(2/2): 注5で「ビットを“1”にしてください」を「ビットで選択してください」に変更
		218	図 12.8 割り込み優先レベル判定回路: タイマB5を追加
		219	12.8 INT割り込み: INT6、INT7割り込みを使用する場合の説明で以下を修正 • 「IFSR45ビットを“1”」→「のIFSR45ビットを“0”」 • 「IFSR44ビットを“1”」→「のIFSR44ビットを“0”」
		220	12.10 キー入力割り込み: PCRレジスタに関する記述を削除
		226	12.13.7 \overline{INT} 割り込み: 3項目目にIFSR4Aレジスタの記述を追加
		タイマA	
		304	15.5.1.3 \overline{SD} 入力の影響: 対象端子にTSUDA、TSUDBを追加
		三相モータ制御用タイマ機能	
		372	17.5.2 \overline{SD} 入力の影響: 対象端子にTSUDA、TSUDBを追加
		タイマS	
		18.章	構成変更。詳細説明追加
		18.章	用語統一 • 「デジタルデバウンス機能」→「デジタルデバウンスフィルタ」 • アップカウント、アップダウンカウント、二相パルス信号処理には「モード」を付けない • 「チャンネル割り込み」→「IC/OCチャンネル割り込み」 • 「ベースタイマ割り込み」→「IC/OCベースタイマ割り込み」 • 「ベースタイマリセット」→リセット条件によって書き分ける • 「P8_0、P8_1」→「TSUDA、TSUDB」

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	374, 375	図 18.1 IC/OC ブロック図 (1/2)、図 18.2 IC/OC ブロック図 (2/2): 詳細追加
		376	表 18.2 入出力端子: 注1、注2を追加
		379	18.2.2 波形生成レジスタj (G1POj) (j=0~7): 詳細追加
		380	18.2.3 波形生成制御レジスタj (G1POCRj) (j=0~7): MOD1~MOD0ビットの説明を変更
		382	18.2.4 時間計測制御レジスタj (G1TMCRj) (j=0~7): <ul style="list-style-type: none"> • DF1~DF0およびGOCの機能欄を補足 • レジスタの説明を変更 • DF1~DF0ビットの説明を補足 • GSCビットの説明を補足
		384	18.2.5 ベースタイマレジスタ (G1BT): <ul style="list-style-type: none"> • レジスタ図の「機能」欄を変更 • レジスタを書き込み禁止にしたため、説明を合わせて変更
		385	18.2.6 ベースタイマ制御レジスタ0 (G1BCR0): ITビットの説明を追加
		386	18.2.7 ベースタイマ制御レジスタ1 (G1BCR1)、RST1ビットの説明: <ul style="list-style-type: none"> • 参照先を変更 • G1POjレジスタに関連する説明を削除。18.2.2に移動
		387	18.2.8 時間計測プリスケアラレジスタj (G1TPRj) (j=6, 7): レジスタ図に「設定値」欄を追加
		394	18.2.16 割り込み要求レジスタ (G1IR): 手順の参照先を変更
		397	表 18.5 ベースタイマの仕様: <ul style="list-style-type: none"> • 「ベースタイマリセット条件」にBTSビットを追加 • 「ベースタイマ動作中のベースタイマリセット時の値」から「ベースタイマ動作中の」を削除 • 「選択機能」を削除。18.3.1.2、18.3.1.3に移動 • 「ベースタイマへの書き込み」を削除
		398	図 18.3 ベースタイマのブロック図: <ul style="list-style-type: none"> • G1DVレジスタ、G1BTレジスタを追加 • 二相パルスクロック入力端子を明示
		398	表 18.6 ベースタイマ関連レジスタの設定: 詳細追加
		399, 400, 401	18.3.1.1 アップカウント、18.3.1.2 アップダウンカウント、18.3.1.3 二相パルス信号処理: タイトルと説明を追加。動作図内の割り込み要求の表現を変更
		402	図 18.7 二相パルス信号処理動作 (ベースタイマリセットした場合): タイミングを示す数値を削除。電気的特性に移動
		403	図 18.8 G1BTRRレジスタによるベースタイマリセット動作: <ul style="list-style-type: none"> • ベースタイマオーバフロー要求に関する記述を削除 • 条件を追加
		403, 404	図 18.9 G1PO0レジスタによるベースタイマリセット動作、図 18.10 INT1によるベースタイマリセット動作: 条件を追加
		405, 409	18.3.2 時間計測機能、18.3.3 波形生成機能: 動作説明の下の階層に移動
		405	表 18.10 時間計測機能の仕様: <ul style="list-style-type: none"> • 「割り込み要求」を「割り込み要求発生タイミング」に変更 • 「選択機能」の仕様「ゲート機能」および「デジタルデバウンスフィルタ」の説明を簡素化
		406	表 18.11 時間計測機能関連レジスタの設定: 変更。ゲート機能使用時の設定追加
		406	図 18.11 時間計測機能 (1/2): ベースタイマとG1PO0レジスタが一致するときの記述を削除
		407	図 18.12 時間計測機能 (2/2): タイミング等修正
		408	図 18.13 プリスケアラ機能とゲート機能: G1IRビットのタイミング修正
		409	18.3.2.1 ゲート機能 (チャンネル6、7): 追加
		410	表 18.12 単相波形出力モードの仕様: <ul style="list-style-type: none"> • 「出力波形」のフリーラン動作: 「初期化しない」→「ベースタイマリセットしない」 • m、nの値の範囲を変更 • 「割り込み要求」を「割り込み要求発生タイミング」に変更 • 「OUTC1_j端子」の仕様に「または入出力ポート」を追加 • 「選択機能」の「コンペアー一致出力機能」の説明を簡素化
		411	表 18.13 単相波形出力モード時の使用レジスタと設定値: 追加

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	413	図 18.15 単相波形出力モードの動作例 (2/2): <ul style="list-style-type: none"> • 「コンペアー致で“H”出力」の前に「IOj1~IOj0ビットが“10b”なので」を追加 • G1OERレジスタのEOCjビットに関する条件を追加
		414	表 18.14 反転波形出力モードの仕様: <ul style="list-style-type: none"> • 「出力波形」のフリーラン動作: 「初期化しない」→「ベースタイマリセットしない」 • m、nの値の範囲を変更 • 「割り込み要求」を「割り込み要求発生タイミング」に変更 • 「OUTC1_j端子」の仕様に「または入出力ポート」を追加
		415	表 18.15 反転波形出力モード時の使用レジスタと設定値: 追加
		417	図 18.17 反転波形出力モードの動作例 (2/2): 「コンペアー致で“H”出力」の前に「IOj1~IOj0ビットが“10b”なので」を追加
		418	表 18.16 SR波形出力モードの仕様: <ul style="list-style-type: none"> • 「出力波形」のフリーラン動作: 「初期化しない」→「ベースタイマリセットしない」 • m、n、pの値の範囲を変更 • 「割り込み要求」を「割り込み要求発生タイミング」に変更 • 「OUTC1_j端子」の仕様に「または入出力ポート」を追加
		419	表 18.17 SR波形出力モード時の使用レジスタと設定値: 追加
		421	18.3.4 入出力ポート機能選択: 「18.6.1 INPC1_7代替入力端子の選択」と「18.6.2 P1_7/INPC1_7デジタルデバウンス回路」の説明のみを表 18.18の下に残し、タイトルは削除
		421	表 18.18 時間計測と波形出力機能の端子設定: 関連ビットの順序変更。表の簡素化
		422	18.4 割り込み: 変更
		424	18.5.2 G1IRレジスタの変更: 内容変更
		425	図 18.20 IC/OC割り込み0の処理例: 「IC/OC割り込み0、1の割り込み処理例」から変更
		426	18.5.3 ICOCiICレジスタの変更 (i=0, 1): 「ICOCiIC、ICOCjICレジスタの変更」から変更
		426	18.5.4 BTSビットによるベースタイマリセット中の出力波形、18.5.5 G1PO0レジスタによるベースタイマリセット中のOUTC1_0端子出力: 「波形生成機能」から変更
		426	18.5.6 時間測定機能選択時の割り込み要求: 追加
		リアルタイムクロック	
		456	20.4 割り込み: 表 20.5と説明にIFSR4Aレジスタに関する記述を追加
		シリアルインタフェースUARTi	
		21.章	21.3.3.6 SDA出力制御~21.3.3.10 送受信初期化まで全面改訂
		21.章	「21.8.2 クロック非同期型シリアルI/O (UART) モード使用上の注意」を削除
		21.章	用語統一 <ul style="list-style-type: none"> • 「転送クロック」→「送受信クロック」 • 「転送データ長」→「キャラクタ長」 • 「転送データフォーマット」→「ビットオーダ」
		459	21.1 概要: <ul style="list-style-type: none"> • 概要部を節と表で構成。
		466	21.2.3 UARTi送受信モードレジスタ (UiMR) (i=0~4): SMD2~SMD0ビットの説明: このビットを“000b”にするときの説明を追加
		467	21.2.4 UARTiビットレートレジスタ (UiBRG) (i=0~4): 設定範囲を変更
		467	21.2.5 UARTi送信バッファレジスタ (UiTB) (i=0~4): レジスタ図下の説明に「またはI ² Cモード」を追加
		468	21.2.6 UARTi送受信制御レジスタ0 (UiC0) (i=0~4): NCHビット: 1、2段落目を変更
		473	21.2.9 UART2特殊モードレジスタ4 (U2SMR4): <ul style="list-style-type: none"> • レジスタ図内のSTPSEL、ACKC、SCLHI、SWC9ビットの機能欄を変更 • STAREQ、RSTAREQ、STPREQビットの各説明にI²Cのマスタモードに関する説明を追加 • 既存のビット説明に加えて他の全ビットの説明を追加
		476	21.2.11 UART2特殊モードレジスタ2 (U2SMR2): <ul style="list-style-type: none"> • SWC、ALS、STACのビット名を変更 • b7以外の機能欄を変更
		479	21.3 動作説明: タイトル追加

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	479	表 21.5 クロック同期形シリアルI/Oモードの仕様: <ul style="list-style-type: none"> • 「受信開始条件」の「仕様」: 「UiTBレジスタにダミー書き込み」を削除 • 注1、注2: 説明を書き換え
		480	表 21.6 クロック同期形シリアルI/Oモード時の入出力端子の機能: <ul style="list-style-type: none"> • 「入出力」欄を追加 • 「選択方法」: 「xxx端子に対応するポート」→「端子を共用するポート」 • 「RXDi」端子の「入力」に「入力ポート」を追加
		481	表 21.7 クロック同期形シリアルI/Oモード時の使用レジスタと設定値: <ul style="list-style-type: none"> • UCLKSEL0、PCLKR: 追加 • UiTB: ビット8を追加 • UiRB: ビット8、11、13~15を追加 • UiMR: ビット4~6を追加
		485	21.3.1.3 連続受信モード: <ul style="list-style-type: none"> • 外部クロック使用時の説明を追加 • 図 21.6 連続受信モードの動作例: 追加
		486	21.3.1.5 CTS/RTS機能: UiC0レジスタのCRD、CRSビットの設定に関する説明部を参照先に変更
		486	21.3.1.6 通信の途中終了時、または通信エラー発生時の処理: 「23.2.1 送受信回路の初期化」の内容を移動し、説明を書き換え
		487	表 21.8 UARTモードの仕様: 注2を削除
		488	表 21.9 UARTモード時の入出力端子の機能: <ul style="list-style-type: none"> • 「入出力」欄を追加 • 「選択方法」: 「xxx端子に対応するポート」→「端子を共用するポート」
		489	表 21.10 UARTモード時の使用レジスタと設定値: <ul style="list-style-type: none"> • UCLKSEL0、PCLKR: 追加 • UiRB: ビット11を追加
		491	図 21.9 UARTモード時の受信タイミング例: 「UiBRGのカウンソース」→「UiBRGで分周した後のクロック」に変更
		495	21.3.2.5 CTS/RTS機能: UiC0レジスタのCRD、CRSビットの設定に関する説明部を参照情報に変更
		495	21.3.2.6 通信の途中終了時、または通信エラー発生時の処理: 「23.3.2 送受信回路の初期化」の内容を移動し、説明を書き換え
		496	表 21.12 I ² Cモードの仕様: <ul style="list-style-type: none"> • 送受信クロックのn=U2BRGレジスタの設定値を「00h~FFh」から変更 • 注1、注2: 書き換え
		497	図 21.14 内部クロックの構成: 追加
		497	表 21.13 I ² Cモード時の入出力端子: 新規に注1を追加し、旧注1を注2に変更
		498	表 21.14 I ² Cモード時の使用レジスタと設定値 (1/2): <ul style="list-style-type: none"> • UCLKSEL0、PCLKR: 追加 • U2TB: 0-7ビットの説明に「受信時は“FFh”を」を追加、ビット8を追加 • U2RB: ビット13~15を追加 • U2MR: ビット4~6を追加
		499	表 21.15 I ² Cモード時の使用レジスタと設定値 (2/2): <ul style="list-style-type: none"> • SWC: 「クロックの9ビット目の立ち下がりでSCL2出力」→「8ビット受信後にSCL2出力」 • CKPH: 参照情報 → 「1」にしてください • IFSR2A: 削除
		500	表 21.16 I ² Cモード時の各機能: <ul style="list-style-type: none"> • 表の上に説明を追加 • 全体に書き換え
		501	図 21.15 U2RBレジスタへの転送、割り込みのタイミング: <ul style="list-style-type: none"> • 「IICM2が“0”、CKPHが“0”の場合」を削除 • 「IICM2が“1”、CKPHが“0”の場合」を削除
		502	21.3.3.1 スタートコンディション、ストップコンディションの検出: 最後の段落を追加
502	図 21.16 スタートコンディション、ストップコンディションの検出: 図を改訂		
503	図 21.17 STSPSELビットの機能: 図を改訂		

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	504	図 21.18 各コンディション生成時のレジスタ設定手順: 追加
		505	21.3.3.3 アービトレーション: 全体的に書き換え
		505-507	21.3.3.4 SCL制御とクロック同期化: 追加 (図含む)
		508	21.3.3.5 SCLクロックの周波数の考え方: 追加 (図含む)
		512	表 21.18 特殊モード2の仕様、「割り込み要求発生タイミング」の「仕様」: <ul style="list-style-type: none"> • 「送信時」 → 「送信割り込み時」 • 「受信時」 → 「受信割り込み時」
		514	表 21.20 特殊モード2時の使用レジスタと設定値: <ul style="list-style-type: none"> • UCLKSEL0、PCLKR: 追加 • U2TB: ビット8を追加 • U2RB: ビット8、11、13~15を追加 • U2MR: ビット4~6を追加 • 注1を削除
		516	表 21.21 IEモード時の使用レジスタと設定値: IFSR2Aを削除
		518	表 21.22 SIMモードの仕様: 注2を変更
		520	図 21.30 SIMモードの送受信タイミング例: (1)のS2TICレジスタのIRビットが1になるタイミングを追加
		523-524	21.4 割り込み: 21.4.1 割り込み関連レジスタ、21.4.2 受信割り込み: 追加
		525	21.5.1 複数モードに関わる共通事項: 追加
		526, 526	21.5.2.2 送信、21.5.2.3 受信: 外部クロックレベルの説明を箇条書きに変更
		527-528	下記を追加 <ul style="list-style-type: none"> • 21.5.3.3 コンディション生成時のセットアップ時間およびホールド時間 • 21.5.3.4 U2BRG カウントソースによる最大送受信速度の制限 • 21.5.3.5 スレープ時のリスタートコンディション • 21.5.3.6 スレープ時の送受信開始条件
		528	21.5.4 特殊モード4 (SIMモード): <ul style="list-style-type: none"> • 2行目追加
		マルチマスタI²C-busインタフェース	
		22.章	用語統一 「高速クロックモード」 → 「Fast-mode」
		547	22.2.8 I2C0ステータスレジスタ0 (S10): LRBビット: 0になる条件、1になる条件を削除し、S00で0になる説明を追加
		571	22.3.10.5 スレープ送信: アービトレーションロストを検出した場合の説明を追加
		シリアルバスインタフェース	
		579	23.2.4 SS0制御レジスタH (SS0CRH): RSSTPビットが“1”の場合と“0”の場合の説明を追加
		580	23.2.5 SS0制御レジスタL (SS0CRL): <ul style="list-style-type: none"> • レジスタ図: SRESのビット名と機能、および注1を変更 • SOLビット: SRESビットに関する説明を追加 • SRESビット: このビットの説明を追加
		583	23.2.8 SS0ステータスレジスタ (SS0SR): <ul style="list-style-type: none"> • レジスタの説明を変更 • TDREビット: このビットに0を書く場合の説明を追加
		591	23.3.1.7 エラー発生時の処理: 追加
		594, 602	23.3.2.1 クロック同期式シリアル通信モードの初期化、23.3.3.1 4線式シリアルバスモードの初期化: SS0ERレジスタに関する参照先を追加
		595	23.3.2.2 データ送信: <ul style="list-style-type: none"> • 3段落目を変更 • 次の文を削除: 「送信の前には、ORERビットが“0”であることを確認してください。」
		595	図 23.6 データ送信時の動作例(クロック同期式シリアル通信モード): タイミング等修正
		596	図 23.7 データ送信手順の例(クロック同期式シリアル通信モード): 変更
		597	23.3.2.3 データ受信: マスタデバイスに設定した場合に受信を終了するときの説明で、RSSTPビットを“1”にするタイミングの記述を変更
		598	図 23.9 データ受信手順の例(MSS=1)(クロック同期式シリアル通信モード): 変更
		599	図 23.10 データ送受信手順の例(クロック同期式シリアル通信モード): 変更

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2011.09.01	601	23.3.3.4 線式シリアルバスモード、図 23.11 の下から 3 段落目: 「CSS1~CSS0 ビットを“10b”にして」→「CSS1~CSS0 ビットを“10b”または“11b”にして」		
		605	図 23.13 データ送信時の動作例(4線式シリアルバスモード): (1)、(2)とも「TXI 割り込み要求の発生」の矢印を追加		
		607	図 23.14 データ受信時の動作例(4線式シリアルバスモード): RSSTP ビットを“1”にするタイミングを RDRF ビットが“0”になった後に変更		
		601	23.3.3.4 SCS0 端子制御とアービトレーションの 1 行目: 「CSS1~CSS0 ビットを“10b”にして」→「CSS1~CSS0 ビットを“10b”または“11b”にして」		
		610	23.5 シリアルバスインタフェース使用上の注意事項: 追加		
		LIN モジュール			
		24.章			注記文「ウェイクアップ受信は、入力信号“L”幅カウントを示します。」を「ウェイクアップ受信では、入力信号“L”幅カウント機能を使用します。」に変更
		612			図 24.1 LIN モジュールブロック図、図下の用語説明: LIN チャンネル 0 専用レジスタを追加
		613			24.1.1.1 LWBR0 ビット: このビットを“1”にしたときの説明を追加
		615			24.1.4 LIN セルフテスト制御レジスタ (LSTC): 図の上側の機能欄に、b7~b1 を読んだ場合の説明を追加
		617			24.1.6.1 LCKS ビット: LWBR0 ビット、L0MST レジスタとの関係についての説明を追加
		620			24.1.9.1 WUTL ビット: LWBR0 ビット、LCKS ビットとの関係についての説明を追加
		624			24.1.12.2 OM1 ビット: 説明を書き換え
		625			24.1.13.1 FTS ビット、24.1.13.2 RTS ビット: •「通信中は“1”になります」→「通信中は“1”を保持します」 •自動的に“0”になるケースに、エラー検出時を追加
		626			24.1.14 LIN0 モードステータスレジスタ (L0MST): レジスタ図内の LIN0 を LIN に修正
		627			24.1.15 LIN0 ステータスレジスタ (L0ST)、各ビットの説明内: 「割り込みが発生します」→「LIN0 割り込み要求が発生します」
		627, 629			24.1.15.1 FTC ビット、24.1.15.2 FRC ビット、24.1.16.1 BER ビット、24.1.16.2 PBER ビット: 次の通信が始まる前に“0”にしたい場合のケースに LIN ウェイクアップモード時を追加
		628			24.1.15.3 ERR ビット: 「LIN 動作モード内で」→「LIN ウェイクアップモードまたは LIN 動作モード内で」
		631			24.1.17 LIN0 レスポンスフィールド設定レジスタ (L0RFC): RFDL の機能欄に詳細を記載
		634			24.1.19 LIN0 チェックサムバッファレジスタ (L0CB): • LIN セルフテストモードで、RFT ビットが 1 の場合: 「書き込みは無効」を削除 • 以下を追加「LIN リセットモードおよび LIN ウェイクアップモード時の書き込みは無効です。」
		636			24.2 動作モード: 複数チャンネル版の記述を削除
		637			24.2.1 LIN リセットモード: • 説明を変更 • このモードに遷移後も以前の値を保持するレジスタから以下を変更 • LSTC レジスタ: 削除 • L0MD レジスタ: 括弧内の説明を削除 • L0CB レジスタ: 追加
		637			24.2.4 LIN セルフテストモード: 「LSTM ビットが“1”になると」→「LSTM ビットを読んで“1” (LIN セルフテストモード) ならば」
		639			表 24.5 レスポンス送信時の処理: (4) の「LIN モジュール処理」を変更
		640			表 24.6 レスポンス受信時の処理: (4) の「LIN モジュール処理」を変更
		647			24.7.2 ウェイクアップ受信動作: 3 段落目を変更
		648			図 24.32 入力信号“L”幅カウント機能: 注 1 を追加
		651			表 24.9 ステータスの種類: 注 2 を変更
		652			表 24.10 エラーステータスの種類: 注 1 を変更
		654			24.10 割り込み、2 段落目: 「論理和をとって 1 つの割り込み要求「LIN0 割り込み」にまとめられます」→「論理和をとって LIN0 割り込み要求を出力します」
		654			図 24.36 LIN0 割り込みブロック図: 改訂
		655			24.11 LIN セルフテストモード: 「ポーレート設定は…」以降の説明を変更
		656			24.11.1 LIN セルフテストモードへの遷移: 変更
		656, 657			24.11.2 LIN セルフテストモードにおける送信、24.11.3 LIN セルフテストモードにおける受信、24.11.4 LIN セルフテストモード終了: 手順ごと書き換え

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	658	24.12 LINモジュール使用上の注意事項: 追加
		CANモジュール	
		663	25.1.1 CANi制御レジスタ (CiCTLR) (i=0, 1): 注2、注3を変更
		A/Dコンバータ	
		729	表 26.1 A/Dコンバータの仕様: 「アナログ入力端子」の(AN2_0~AN2_3、AN2_5~AN2_7)に対する本数を修正
		730	図 26.1 A/Dコンバータのブロック図: 上位、下位のデータバスを1本のデータバスで表現
		フラッシュメモリ	
		784	表 29.12 コマンド実行後のモード (EW0モード): クリアステータスレジスタのコマンド実行後のモードを変更
		804	29.8.6.8 ブロックブランクチェック: 図下の瞬時停電に関する説明を書き換え
		814	29.10 パラレル入出力モード: 項 (29.9.6)から節 (29.10)に変更
		818	29.11.4.1 ユーザブートプログラム: 下から2つ目の注意を変更
		電気的特性	
		Jバージョン、5V、3V 共通	
		833	表 31.1 絶対最大定格: V_I の項目からVREFを削除
		844	表 31.14 オンチップオシレータ発振回路の電気的特性: ウォッチドッグタイマ専用125kHzオンチップオシレータ発振周波数を追加
		Jバージョン、Vcc=5V	
		853	図 31.14 マルチマスタI ² C-bus: 「 $t_{HD};DTA$ 」→「 $t_{HD};DAT$ 」、「 $t_{su};DTA$ 」→「 $t_{su};DAT$ 」に修正
		854	表 31.31 シリアルバスインタフェース: $td_{(SSCK-SSIO)}$ にスレーブの規格を追加
		Jバージョン、Vcc=3V	
		866	図 31.27 マルチマスタI ² C-bus: 「 $t_{HD};DTA$ 」→「 $t_{HD};DAT$ 」、「 $t_{su};DTA$ 」→「 $t_{su};DAT$ 」に修正
		867	表 31.48 シリアルバスインタフェース: $td_{(SSCK-SSIO)}$ にスレーブの規格を追加
		Kバージョン、5V、3V 共通	
		871	表 31.49 絶対最大定格: V_I の項目からVREFを削除
		882	表 31.62 オンチップオシレータ発振回路の電気的特性: ウォッチドッグタイマ専用125kHzオンチップオシレータ発振周波数を追加
		Kバージョン、Vcc=5V	
		891	図 31.45 マルチマスタI ² C-bus: 「 $t_{HD};DTA$ 」→「 $t_{HD};DAT$ 」、「 $t_{su};DTA$ 」→「 $t_{su};DAT$ 」に修正
		892	表 31.79 シリアルバスインタフェース: $td_{(SSCK-SSIO)}$ にスレーブの規格を追加
		Kバージョン、Vcc=3V	
		904	図 31.58 マルチマスタI ² C-bus: 「 $t_{HD};DTA$ 」→「 $t_{HD};DAT$ 」、「 $t_{su};DTA$ 」→「 $t_{su};DAT$ 」に修正
		905	表 31.96 シリアルバスインタフェース: $td_{(SSCK-SSIO)}$ にスレーブの規格を追加
		使用上の注意事項	
		32.章	32.1 OFS1番地、IDコード格納番地: フラッシュメモリ章の注意事項に同様の記述があるため削除
		918	32.6.1 CPUクロック: 2行目を追加
		918	32.6.2 ウェイトモード: <ul style="list-style-type: none"> • 1項目目を一部追加 • 2項目目を変更 • 3項目目を追加
			32.6.3 ストップモード: <ul style="list-style-type: none"> • 3項目目を一部追加 • 5項目目を変更 • 6項目目を追加
			32.6.4 低消費電流リードモード: 3項目を追加
		919	32.6.5 スローリードモード: 追加
		920	32.7.2 SD入力の影響: 対象端子にTSUDA、TSUDBを追加
		924	32.8.7 INT割り込み: 3項目目にIFSR4Aレジスタの記述を追加
		932	32.13.2 SD入力の影響: 対象端子にTSUDA、TSUDBを追加
		933	32.14.2 G1IRレジスタの変更: 内容変更
		934	図 32.9 IC/OC割り込み0の処理例: 「IC/OC割り込み0、1の割り込み処理例」から変更
		935	32.14.3 ICOCiICレジスタの変更 (i=0, 1): 「ICOCiIC、ICOCHjICレジスタの変更」から変更

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.09.01	935	32.14.4 BTSビットによるペースタイマリセット中の出力波形、32.14.5 G1PO0レジスタによるペースタイマリセット中のOUTC1_0端子出力: 「波形生成機能」から変更
		935	32.14.6 時間測定機能選択時の割り込み要求: 追加
		939	32.17.1 複数モードに関わる共通事項: 追加
		940	32.17.2.2 送信、32.17.2.3 受信: 外部クロックレベルの説明を箇条書きに変更
		941~942	下記を追加 • 32.17.3.3 コンディション生成時のセットアップ時間およびホールド時間 • 32.17.3.4 U2BRGカウントソースによる最大送受信速度の制限 • 32.17.3.5 スレープ時のリスタートコンディション • 32.17.3.6 スレープ時の送受信開始条件: 追加
		942	32.17.4 特殊モード4 (SIMモード): • 2行目追加
		944	32.19 シリアルバスインタフェース使用上の注意事項: 追加
		945	32.20 LINモジュール使用上の注意事項: 追加
953	32.24.4.1 ユーザブートプログラム: 下から2つ目の注意を変更		

前版までに修正または追加された箇所は、「(2) 前版までに修正または追加された箇所」を参照してください。

(2) 前版までに修正または追加された箇所

改訂記録	M16C/5M、M16C/57 グループ ユーザーズマニュアル ハードウェア編
-------------	---

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.10	2008.12.18	—	初版発行		
0.11	2008.12.24	—	新規章追加 (LIN)		
0.12	2008.12.26		E2PROM エミュレーションデータフラッシュ		
		809	図 30.4 E2FS0 レジスタ 注1追加		
		812	図 30.10 リードオペレーション 注1追加		
		813	図 30.11 ライトオペレーション 注1追加		
		814	図 30.12 ブロック消去オペレーション 注1追加		
0.13	2009.10.02	全体	グループ名の表記を「M16C/5M、M16C/57グループ」に変更		
		全体	「VCC1」→「VCC」に変更		
		全体	0018h「リセット要因判別レジスタ」:「リセット後の値」変更		
		全体	0019h「電圧検出回路動作許可レジスタ」:「リセット後の値」変更		
		全体	0043h: LIN 割り込み制御レジスタ→LIN0 割り込み制御レジスタ		
		全体	0051h: LIN ウェイクアップ割り込み制御レジスタ→LIN0“L”検出割り込み制御レジスタ		
		全体	006Bh: CAN1 受信割り込み制御レジスタ→CAN1 受信完了割り込み制御レジスタ		
		全体	006Ch: CAN1 送信割り込み制御レジスタ→CAN1 送信完了割り込み制御レジスタ		
		全体	006Dh: CAN1 受信FIFO 制御レジスタ→CAN1 受信FIFO 割り込み制御レジスタ		
		全体	006Eh: CAN1 送信FIFO 制御レジスタ→CAN1 送信FIFO 割り込み制御レジスタ		
		全体	006Fh: リアルタイムクロックコンペアー一致割り込み制御レジスタ →リアルタイムクロックコンペアー割り込み制御レジスタ		
		全体	01D8h「タイマA出力波形変更許可レジスタ」:「リセット後の値」変更		
		全体	025Dh「UART1 送受信制御レジスタ1」:「リセット後の値」変更		
		全体	02B3h「I2C0 制御レジスタ0」:「リセット後の値」変更		
		全体	02B7h「I2C0 制御レジスタ2」:「リセット後の値」変更		
		全体	02B9h「I2C0 ステータスレジスタ1」:「リセット後の値」変更		
		全体	0366h「ポート制御レジスタ」:「リセット後の値」変更		
		全体	ウォッチドッグタイマリセットレジスタ→ウォッチドッグタイマリフレッシュレジスタ		
		全体	037Fh「ウォッチドッグタイマ制御レジスタ」:「リセット後の値」変更		
		全体	03A2h「断線検知アシスト機能レジスタ」: ・AD0CMPCLR→AINRST ・「リセット後の値」変更		
		全体	03C1h, 03C3h, 03C5h, 03C7h, 03C9h, 03CBh, 03CDh, 03CFh「A/D レジスタ0~7」: 「リセット後の値」変更		
		全体	03D4h「A/D 制御レジスタ2」:「リセット後の値」変更		
		全体	03D6h~03D7h「A/D 制御レジスタ0~A/D 制御レジスタ1」:「リセット後の値」変更		
		全体	03F3h「ポートP9方向レジスタ」:「リセット後の値」変更		
		全体	D7D3h「CAN0メールボックスサーチモードレジスタ」:「リセット後の値」変更		
		全体	表記統一 I2C bus → I ² C-busに統一 I2C → I ² Cに統一 ただし、レジスタ名、シンボルのI2Cは「2」を上付きにしない。		
		全体	CANモジュールに関する記載には「M16C/5Mグループのみ」という旨のコメントを追加		
				概要	
		1.章		CTX0、CRX0端子について、「M16C/5Mグループのみにあります」という旨の注記を追加	
		2, 4, 6		各ピンの表:仕様概要 ・「I/Oポート:CMOS入出力」を変更 ・「I/Oポート:Nチャンネルオープンドレイン」を追加 ・「DMA:起動要因数」を変更 ・「デバッグ機能」欄、アドレス一致→アドレス一致割り込み	
		8		表 1.7 M16C/5Mグループ製品一覧表(J版) 開発ステータス一部変更	
		10		表 1.9、及び表 1.10 M16C/57グループの製品一覧追加	
		11		図 1.1 型名とメモリサイズ・パッケージ M16C/57グループに関連して記載を追加	
15		図 1.6 100ピン版ピン接続図(上面図) 図の下に本文を追加			
24		表 1.17 端子機能の説明(64ピン版、80ピン版、100ピン版共通)(1/2) ・「NMI入力端子」欄 一部変更 ・「アナログ電源入力」、「基準電圧入力」の「機能」欄に「D/Aコンバータ」を追加			

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02	25	表 1.18 端子機能の説明 (64ピン版、80ピン版、100ピン版共通) (2/2) ・「入出力ポート」欄 一部変更
			メモリ
		30	3. メモリ 一部変更
		30	図 3.1 メモリ配置図 一部変更
			SFR
		34	表 4.4 SFR一覧(4) ・ SCLSDA 割り込み制御レジスタ→SCL/SDA 割り込み制御レジスタ
		36	表 4.6 SFR一覧(6) ・ 0162h: LINボーレートプリスケアラレジスタ0→LINボーレートプリスケアラ0レジスタ ・ 0163h: LINボーレートプリスケアラレジスタ1→LINボーレートプリスケアラ1レジスタ ・ 0169h: L0BFC→L0BRK ・ 016Ah: LIN0スペース幅設定レジスタ L0SC→LIN0スペース設定レジスタ L0SPC ・ 016E: LOCUC→LOC ・ 0170h: L0TRC→L0TC ・ 0174h: LIN0データフィールド設定レジスタ L0DFC →LIN0レスポンスフィールド設定レジスタ L0RFC ・ 0176h: L0CSB→L0CB
		38	表 4.10 SFR一覧(10) ・ 0220h: フラッシュメモリ制御レジスタ0 一部変更
		43	表 4.13 SFR一覧(13) ・ 02B8h: I2C0ステータスレジスタ→I2C0ステータスレジスタ0
		44	表 4.14 SFR一覧(14) ・ 02E4h: 時計計測プリスケアラレジスタ6→時間計測プリスケアラレジスタ6 ・ 02E5h: 時計計測プリスケアラレジスタ7→時間計測プリスケアラレジスタ7 ・ 02FFh: P17デジタルデバウンスレジスタ→P1_7デジタルデバウンスレジスタ
		77	表 4.47 SFR一覧(47) ・ D700~D71F: CAN0アクセプタンスマスクレジスタ0~7→CAN0マスクレジスタ0~7
			リセット
		88	6.2.2 リセット要因判別レジスタ (RSTFR) 「HWR」ビットの説明追加
		89	6.3 オプション機能選択領域の説明 一部変更
		89	6.3.1 オプション機能選択1番地 (OFS1) 一部変更
		90	6.3.2 オプション機能選択2番地 (OFS2) 削除
		92	図 6.3 リセットシーケンス 一部変更
		93	6.4.2 ハードウェアリセット 一部変更
		94	図 6.5 パワーオンリセット動作 一部変更
		97	6.5.4 VCC < Vdet0の場合のハードウェアリセット 新規に追加
			電圧検出回路
		98	表 7.1 電圧検出回路の仕様 「デジタルフィルタ: サンプルング時間」を変更
		98	表 7.1 電圧検出回路の仕様 注記を変更
		102	7.2.3 電圧監視機能選択レジスタ (VWCE) 一部変更
		104	7.2.5 電圧監視0回路制御レジスタ (VW0C) レジスタ図を変更
		105	7.2.6 電圧監視2回路制御レジスタ (VW2C) 一部変更
		107	7.3 オプション機能選択領域の説明 一部変更
		107	7.3.1 オプション機能選択1番地 (OFS1) 一部変更
		108	7.4.1 デジタルフィルタ 一部変更
		108	図 7.2 デジタルフィルタの動作例 一部変更
		109	図 7.3 電圧監視0リセット発生回路のブロック図 一部変更
		110	表 7.5 電圧監視0リセット関連ビットの設定手順 一部変更
		110	図 7.4 電圧監視0リセット動作例 一部変更
111	図 7.5 電圧監視2割り込み/リセット発生回路のブロック図 一部変更		
112	7.4.3.2 電圧監視2割り込み、電圧監視2リセット 一部変更		
113	図 7.6 電圧監視2割り込み、電圧監視2リセット動作例 注記を変更		

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02		クロック発生回路
		116	表 8.1 クロック発生回路の概略仕様 一部変更
		117	図 8.1 システムクロック発生回路 一部変更
		120	8.2.2 システムクロック制御レジスタ0 (CM0) 「CM02」ビットの説明を一部変更
		124	8.2.4 発振停止検出レジスタ (CM2) 「CM22」ビットの説明を一部変更
		127	8.2.6 PLL制御レジスタ0 (PLC0) 「PLC05-PLC04」ビットの説明を一部変更
		128	8.2.7 プロセッサモードレジスタ2 (PM2) PM20ビットに関する記載を削除
		132	図 8.3 メインクロックとPLLクロックの関係 注記を変更
		133	8.3.3 fOCO40M、 8.3.4 fOCO-F 「8.3.3 40MHzオンチップオシレータクロック (fOCO-F)」から変更
		133	8.3.5 125kHzオンチップオシレータクロック (fOCO-S) 一部変更
		134	8.3.6 サブクロック (fC) 一部変更
		134	図 8.4 サブクロックの接続回路例 一部変更
		135	8.4.2 周辺機能クロック (f1、fOCO40M、fOCO-F、fOCO-S、fC32、fC) 一部変更
		136	図 8.5 周辺機能クロック 一部変更
		140	8.7.3 発振停止、再発振検出機能使用方法 一部変更
			パワーコントロール
		145	表 9.1 レジスタ構成 一部変更
		146	9.2.1 フラッシュメモリ制御レジスタ0 (FMR0) レジスタ図を変更
		147	9.2.2 フラッシュメモリ制御レジスタ2 (FMR2) FMR22ビットの説明を変更
		149	9.3 クロック内 (項、サブ項も含む)、fOCO40Mを追加
		151	表 9.2 通常動作モードのクロック fOCO40Mを追加
		153	9.3.2 モード遷移手順 FMR22ビットの説明を変更
		157	9.3.3.4 ウェイトモードからの復帰 一部変更
		157	表 9.7 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件 一部変更
		159	9.3.4 ストップモード 一部変更
		160	9.3.4.3 ストップモードからの復帰 一部変更
		160	表 9.9 ストップモードからの復帰に使用できるリセット、割り込みと使用条件 一部変更
		162	図 9.2 フラッシュメモリの停止/再開手順 一部変更
		163	9.5.1 スローリードモード 一部変更
		163	図 9.3 スローリードモードの設定、解除 一部変更
		164	9.5.2 低消費電流リードモード 一部変更
		164	図 9.4 低消費電流リードモードの設定、解除 一部変更
		166	9.7.2 ウェイトモード 一部変更
		167	9.7.3 ストップモード 一部変更
			プロセッサモード
		10.章	10.2.3 プロセッサモードレジスタ2 (PM2) 削除
		171	10.2.3 フラッシュメモリ制御レジスタ1 (FMR1) 一部変更
		172	10.3 ソフトウェアウェイト 一部変更
		172	表 10.3 ソフトウェアウェイト関連ビットとバスサイクル 一部変更
			プログラマブル入出力ポート
		173	表 11.1 プログラマブル入出力ポートの仕様 一部変更
		173	表 11.2 端子構成 一部変更
		177	図 11.4 入出力ポートの構成(4) 一部変更
		179	図 11.6 入出力ポートの構成(6) 一部変更
		182	11.3.4 ブルアップ制御レジスタ1 (PUR1) 一部変更
		186	11.3.8 入力しきい値選択レジスタ1 (VLT1) 入力しきい値制御レジスタ1→入力しきい値選択レジスタ1
		187	11.3.9 入力しきい値選択レジスタ2 (VLT2) 入力しきい値制御レジスタ2→入力しきい値選択レジスタ2

改訂記録

M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02	188	11.3.10 端子割り当て制御レジスタ (PACR) 一部変更
		190	11.3.12 ポートPi方向レジスタ (PDi) (i=0~10) 一部変更
		191	表 11.4 周辺機能の入出力として機能する場合の方向ビットの設定 一部変更
			割り込み
		12.章	12.2.12 ポート制御レジスタ (PCR) 削除
		198	表 12.3 レジスタ構成(1) 004E: A/D変換割り込み制御レジスタ 誤記修正
		199	表 12.4 レジスタ構成(2) 下記のレジスタを追加 ・020E: アドレス一致割り込み許可レジスタ (AIER)、 ・020F: アドレス一致割り込み許可レジスタ2 (AIER2)
		200	表 12.5 レジスタ構成(3) 下記のレジスタを削除 ・02F0h: 割り込み要求レジスタ (G1IR)、 ・02F1h: 割り込み有効レジスタ0 (G1IE0) ・02F2h: 割り込み有効レジスタ1 (G1IE1) ・0366h: ポート制御レジスタ (PCR) 下記のレジスタを追加 ・02FF: P1_7デジタルデバウンスレジスタ (P17DDR)
		201	12.2.1 プロセッサモードレジスタ2 (PM2) 一部変更
		202	12.2.2 割り込み制御レジスタ1 タイトルのシンボルに「ADIC」追加
		203	12.2.3 割り込み制御レジスタ2 一部変更
		203	12.2.4 割り込み制御レジスタ3 「12.2.3 割り込み制御レジスタ2」に統合
		205	12.2.4 割り込み要因選択レジスタ4 (IFSR4A) 一部変更
		206	12.2.5 割り込み要因選択レジスタ3 (IFSR3A) 一部変更
		211	12.2.12 P1_7デジタルデバウンスレジスタ (P17DDR) 新規に追加
		216	表 12.7 可変ベクタテーブル(1) 一部変更
		217	表 12.8 可変ベクタテーブル(2) 一部変更
		227	12.10 キー入力割り込み 一部変更
		227	図 12.10 キー入力割り込みのブロック図 一部変更
		230	12.13.3 NMI割り込み 一部変更
		232	12.13.5 割り込み制御レジスタの変更 ・「12.13.6 割り込み制御レジスタを変更する命令」と切り分けて記述を変更
			ウォッチドッグタイマ
		234	表 13.1 ウォッチドッグタイマの仕様 一部変更
		236	表 13.2 レジスタ構成 「FFFDh、FFFFh オプション機能選択番地2~1」を削除
		238	13.2.2 カウントソース保護モードレジスタ (CSPR) 一部変更
		239	13.2.5 ウォッチドッグタイマ制御レジスタ (WDC) 一部変更
		240	13.3 オプション機能選択領域 新規に追加
		240	13.3.1 オプション機能選択1番地 (OFS1) 一部変更
		241	13.3.2 オプション機能選択2番地 (OFS2) 一部変更
			DMAC
		247	表 14.1 DMACの仕様 「DMA要求要因」欄 一部変更
		255	表 14.5 DMA2のDMA要求要因 一部変更
		259	表 14.9 係数j、k 一部変更
		265	図 15.1 タイマA、Bカウントソース 一部変更
			タイマA
		267	表 15.3 入出力端子 一部変更
		285, 289, 293, 298, 302, 307	表 15.7、15.9、15.11、15.13、15.15、15.17 各モード時の使用レジスタと設定値 ・「TAi1」および「TAi」欄のビットを変更
		307	表 15.17 プログラマブル出力モード時の使用レジスタと設定値: レジスタに「TAOW」を追加

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02	308	プログラマブル出力モードタイマAiモードレジスタ (i=1、2、4) : MR1 (外部トリガ選択ビット) (b3) 説明を一部変更
		309	図 15.13 プログラマブル出力モード時の動作例 一部変更
			タイマB
		316	図 16.1 タイマA、Bカウントソース 一部変更
		329	16.3.1.3 カウントソース 一部変更
		330, 332, 336	表 16.6、16.8、16.10 各モード時の使用レジスタと設定値・「TBI1」および「TBI」欄のビットを変更
			三相モータ制御用タイマ機能
		17.章	構成や内容を全面的に改訂
			タイマS
		18.章	リセット要因名「RTS」→「RST」に修正
		384	表 18.1 IC/OCの仕様 一部変更
		387	表 18.3 レジスタ構成 (1/2) 書き方を変更
		396	18.2.7 ベースタイマ制御レジスタ1 (G1BCR1) 「RST1」ビットの内容を一部変更
		410	図 18.4 アップダウンカウントモード 注記を追加
		421	図 18.12 単相波形出力モードの動作例(1) 注記を一部変更
		422	図 18.13 単相波形出力モードの動作例(2) 注記を一部変更
		424	図 18.14 反転波形出力モードの動作例(1) 注記を一部変更
		425	図 18.15 反転波形出力モードの動作例(2) 注記を一部変更
		427	図 18.16 SR波形出力モードの動作例 注記を一部変更
			タスク監視タイマ
		440	19.4 割り込み 一部変更
		441	19.5.2 タイマの読み出し 「19.5.2 カウンタの値」から変更
			リアルタイムクロック
		20.章	用語変更 「タイマ停止」→「カウント停止」
		445	20.2.1 リアルタイムクロック秒データレジスタ (RTCSEC) 「BSY」ビットの内容を一部変更
		446	20.2.2 リアルタイムクロック分データレジスタ (RTCMIN) 一部変更
		447	20.2.3 リアルタイムクロック時データレジスタ (RTCHR) 一部変更
		448	20.2.4 リアルタイムクロック日データレジスタ (RTCWK) 一部変更
		449	20.2.5 リアルタイムクロック制御レジスタ1 (RTCCR1) 一部変更
		452	20.2.7 リアルタイムクロックカウントソース選択レジスタ (RTCCSR) 一部変更
		457	図 20.4 時刻、日変更手順 (コンペアモードを使用しない、またはコンペア1モード) 一部変更
		458	図 20.5 時刻、日変更手順 (コンペア2モード、またはコンペア3モード) 一部変更
		460	図 20.6 コンペアモードの違い 注記を変更
		466	20.5.1 カウント開始、停止 一部変更
		467	20.5.4 リアルタイムクロックモードの時刻読み出し手順 一部変更
			シリアルインタフェースUARTi
		469	図 21.1 UARTiブロック図 一部変更
		470	図 21.2 UARTi送受信部ブロック図 一部変更
		471	図 21.3 U0TB~U4TB、U0RB~U4RB レジスタ リセット後の値を変更
		473	図 21.5 U0C0~U4C0 レジスタ 注記を変更
		476	図 21.8 U2SMR2、U2SMR3 レジスタ 注記を変更
		478	図 21.11 PACR レジスタ 一部変更
		483	21.1.1 送受信回路の初期化 「21.1.1 通信エラー発生時の対処方法」から変更
		483	図 21.13 転送クロックの極性 注記を変更
		491	21.2.1 ビットレート 一部変更
		492	21.2.2 送受信回路の初期化 「21.2.2 通信エラー発生時の対処方法」から変更

改訂記録

M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02	493	図 21.19 シリアルデータ論理 注記を変更
		494	図 21.20 TXD、RXD 入出力極性切り替え 注記を変更
		498	表 21.10 I ² Cモード時の使用レジスタと設定値(2) 一部変更
		500	図 21.22 U2RB レジスタへの転送、割り込みのタイミング 一部変更
		503	21.3.5 SDA出力 一部変更
		505	表 21.13 特殊モード2の仕様 「転送クロック」欄 「スレーブモード」削除
		506	図 21.25 特殊モード2の通信制御例 一部変更
		516	21.7 シリアルインタフェース 使用上の注意事項 新規に追加
			マルチマスタI²C-busインタフェース
		531	22.2.6 I ² C0制御レジスタ1 (S3D0) 「PED」、「PEC」ビットに関する記述を削除
		543	22.2.9 I ² C0ステータスレジスタ1 (S11) 一部変更
		549	22.3.3 ストップコンディション発生方法 一部変更
			LINモジュール
		602	24. LINモジュール 一部変更
		602	表 24.1 LINモジュールの仕様 (1/2) 一部変更
		603	表 24.2 LINモジュールの仕様 (2/2) 一部変更
		603	図 24.1 LINモジュールブロック図 一部変更
		604	図 24.2 LWBR レジスタ 一部変更
		604	24.1.1.1 LWBR0ビット 一部変更
		605	図 24.3 LBRP0 レジスタ 一部変更
		605	図 24.4 LBRP1 レジスタ 一部変更
		607	図 24.6 LPC レジスタ 一部変更
		607	24.1.5.1 PCKSビット 一部変更
		607	24.1.5.2 LPEビット 一部変更
		608	図 24.7 LOMD レジスタ 一部変更
		609	図 24.8 LOBRK レジスタ 一部変更
		610	図 24.9 LOSPC レジスタ 一部変更
		611	図 24.10 LOWUP レジスタ 一部変更
		612	図 24.11 LOIE レジスタ 一部変更
		613	図 24.12 LOEDE レジスタ 一部変更
		613	24.1.11.2 PBEREビット 一部変更
		615	図 24.13 LOC レジスタ 一部変更
		615	24.1.12.1 OM0ビット 一部変更
		616	24.1.13.1 FTSビット 一部変更
		617	図 24.15 LOMST レジスタ 一部変更
		618	図 24.16 LOST レジスタ 一部変更
		618	24.1.15.1 FTCビット 一部変更
		618	24.1.15.2 FRCビット 一部変更
		619	24.1.15.3 ERRビット 一部変更
		620	図 24.17 LOEST レジスタ 一部変更
		622	図 24.18 LORFC レジスタ 一部変更
		622	24.1.17.1 RFDLビット 新規に追加
		622	24.1.17.2 RFTビット 新規に追加
		622	24.1.17.3 CSMビット 新規に追加
		623	24.1.17.4 FSMビット 一部変更
		624	図 24.19 LOIDB レジスタ 一部変更
		624	24.1.18.1 IDビット 新規に追加
624	24.1.18.2 IDPビット 新規に追加		
627	表 24.3 各動作モードで可能な動作 一部変更		

改訂記録

M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02	629	表 24.4 ヘッダ送信時の処理 一部変更
		632	24.4 ボーレートジェネレータ 一部変更
		632	図 24.26 ボーレート生成ブロック図 一部変更
		633	表 24.7 ボーレート生成例(19200bps、9600bps、2400bps) 一部変更
		633	表 24.8 ボーレート生成例(10417bps) 一部変更
		638	24.7.2 ウェイクアップ受信動作 一部変更
		639	図 24.32 入力信号“L”幅カウンタ機能 「図 24.32 ウェイクアップ検出例」から一部変更
		640	24.7.3 ウェイクアップ受信を用いた低消費電力モード制御 図 24.33、図 24.34を含め、内容を変更
		641	24.7.4 ウェイクアップ衝突 一部変更
		642	表 24.9 ステータスの種類 一部変更
		643	表 24.10 エラーステータスの種類 「チェックサムエラー：対応ビット」欄 一部変更
		644	図 24.35 LINエラー検出の対象時間領域 「図 24.32 ウェイクアップ検出例」から一部変更
		645	24.10 割り込み 一部変更
		645	図 24.36 LIN0 割り込みブロック図 一部変更
		647	24.11.1 LINセルフテストモードへの遷移 一部変更
		647	24.11.2 LINセルフテストモードにおける送信 一部変更
		648	24.11.3 LINセルフテストモードにおける受信 一部変更
		648	24.11.4 LINセルフテストモード終了 一部変更
			CANモジュール
		649	25. CANモジュール 「注意」追加
		653	図 25.2 C0CTLR~C1CTLR レジスタ 注記を変更
		657	図 25.3 C0CLKR~C1CLKR レジスタ 一部変更
		658	図 25.4 C0BCR~C1BCR レジスタ 注記を変更
		660	図 25.5 C0MKR0~C1MKR7 レジスタ 一部変更
		661	図 25.6 C0FIDCR0~C1FIDCR1 レジスタ 一部変更
		665	図 25.8 C0MBj~C1MBj レジスタ 一部変更
		677	25.1.12.2 TFUST ビット 一部変更
		690	25.1.20.2 EWIF ビット 一部変更
			A/Dコンバータ
		26.章	26.7.10 繰り返しモード、繰り返し掃引モード0 削除
		719	26. A/Dコンバータ 「注意」一部変更
		719	表 26.1 A/Dコンバータの仕様 「アナログ入力端子」欄 一部変更
		720	図 26.1 A/Dコンバータのブロック図 断線検出回路追加
		724	表 26.4 アナログ端子とA/D変換結果格納レジスタ 「A/D変換結果格納レジスタ」欄 一部変更
		725	26.2.3 A/D制御レジスタ2 (ADCON2) 「CKS3」ビット関連の記述を追加
		726	26.2.4 A/D制御レジスタ0 (ADCON0) 「CKS0」ビット 一部変更
		727	表 26.5 φAD周波数選択 高速OCOに関連して一部変更
		728	26.2.5 A/D制御レジスタ1 (ADCON1) レジスタ図を一部変更
		729	26.3.1 A/D変換サイクル数 一部変更
		729	図 26.2 fADとφAD 一部変更
		729	図 26.3 A/D変換タイミング図 一部変更
		733	図 26.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択) 一部変更
		733	図 26.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択) 一部変更
		744	26.5 外部センサ 全面変更
		746	図 26.12 各端子の処理例 一部変更
		746	26.7.4 レジスタアクセス 一部変更
	フラッシュメモリ		
29.章	構成や内容を全面的に改訂		

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.13	2009.10.02		電気的特性
		31.章	新規に追加
			使用上の注意事項
		32.章	31.20.10 繰り返しモード、繰り返し掃引モード0 削除
		863	32.5.4 VCC < Vdet0の場合のハードウェアリセット 一部変更
		868	32.7 パワーコントロール使用上の注意事項 構成と内容を全面変更
		870	32.8 プログラマブル入出力ポート使用上の注意事項 「注意」追加
		871	32.9.3 NMI割り込み 一部変更
		873	32.9.5 割り込み制御レジスタの変更 ・「32.9.6 割り込み制御レジスタを変更する命令」と切り分けて記述を変更
		885	32.14.2 強制遮断入力 一部変更
		889	32.16.2 タイマの読み出し 「31.16.2 カウンタの値」から変更
		890	32.17.1 カウント開始、停止 一部変更
		891	32.17.4 リアルタイムクロックモードの時刻読み出し手順 一部変更
		892	32.18 シリアルインタフェース 使用上の注意事項 一部変更
		893	32.18.3 特殊モード (I ² Cモード) 一部変更
		893	32.18.4 特殊モード4 (SIMモード) 一部変更
		895	32.20 CANモジュール使用上の注意事項 新規に追加
		896	32.21 A/Dコンバータ使用上の注意事項 「注意」追加
		896	図 32.10 各端子の処理例 一部変更
		896	32.21.4 レジスタアクセス 一部変更
899	32.23 フラッシュメモリ版使用上の注意事項 構成と内容を全面変更		
0.20	2009.12.25	全体	0366h 「ポート制御レジスタ」: 「リセット後の値」を変更
			概要
		8-9	図 1.3、図 1.4、図 1.5 ブロック図: 下記の項目を追加 ・電圧検出回路 ・パワーオンリセット ・オンチップデバッグ
			SFR
		32	表 4.2 SFR一覧(2): 注2に「VW2C2」の記述を追加
		82	表 4.52 書き込みのみ可能なビットを含むレジスタ: ・表をアドレス順に並べ替え ・D7C9h: CAN0受信FIFOポインタ制御レジスタ (C0RFPCR) 追加 ・D7CBh: CAN0送信FIFOポインタ制御レジスタ (C0TFPCR) 追加 ・D4C9h: CAN1受信FIFOポインタ制御レジスタ (C1RFPCR) 追加 ・D4CBh: CAN1送信FIFOポインタ制御レジスタ (C1TFPCR) 追加
			リセット
		86	図 6.1 リセット回路のブロック図: 「VD2LSレジスタ」に関して図を追加
			電圧検出回路
		99	表 7.2 レジスタ構成: ・「注4」と「注6」を追加 ・注7 (旧注5)に「VW2C2」を追加
		102	7.2.3 電圧監視機能選択レジスタ (VWCE)、本文1行目: シンボル修正 PCR3→PRC3
		103	7.2.4 電圧検出2レベル選択レジスタ (VD2LS): ・レジスタ図: b7-b4のRW欄 「-」→「RW」 ・本文1行目: シンボル修正 PCR3→PRC3
		105	7.2.6 電圧監視2回路制御レジスタ (VW2C)、本文5行目: 「VW2C2」を追加
		107	7.3 オプション機能選択領域の説明: 書き込み出荷品に関する説明を追加
		107	7.3.1 オプション機能選択1番地 (OFS1): 「LVDAS」ビットの説明を追加
		108	7.4.1 デジタルフィルタの6行目: 「次のサンプリング...」→「3度目のサンプリング...」
			クロック発生回路
		8.章	「ウォッチドッグタイマ専用125kHzオンチップオシレータ」に関する記述を削除、 「13. ウォッチドッグタイマ」に移動

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2009.12.25	120	8.2.2 システムクロック制御レジスタ0 (CM0): ・「CM01~CM00」ビット: 「CM01~CM00ビット有効」→「CM01~CM00ビットで選択」 ・「CM06」ビット: 2項目目を削除
		122	8.2.3 システムクロック制御レジスタ1 (CM1): 「CM15」ビットの説明を変更
		136	図 8.5 周辺機能クロック: 「LINモジュール」、「シリアルバスインタフェース」を追加
			パワーコントロール
		147	9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)内、「FMR23」ビットの説明の4行目: ・「f(BCLK) ≤ 32.768kHz時」→「CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のとき」 ・「f(BCLK) > 32.768kHz時」→「CM07ビットが“0”の場合」
		153	図 9.1 パワーコントロールモードの状態遷移: 「40MHzオンチップオシレータモード」、「125kHzオンチップオシレータモード」間を変更
		157	表 9.7 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件: ・「INT」の「CM02=1の場合」 変更 ・「マルチマスタI ² C-bus」の「CM02=1の場合」 変更 ・「電圧監視0リセット」の「使用条件」 変更
			プロセッサモード
		169	10.2 レジスタの説明: 「プロセッサモードレジスタ2 (PM2)」削除
		172	表 10.3 ソフトウェアウェイト関連ビットとバスサイクル: 「注1」を削除、「31. 電気的特性」の各バージョンの「フラッシュメモリの電気的特性」に移動
			プログラマブル入出力ポート
		174~179	11.2 入出力ポート、端子の構成: 構成を図と表を使った内容に変更
		187~189	11.3.7 入力しきい値選択レジスタ0 (VLT0)、11.3.8 入力しきい値選択レジスタ1 (VLT1)、11.3.9 入力しきい値選択レジスタ2 (VLT2): レジスタ図の下に説明を追加
		193	11.4.2 周辺機能入出力の優先順位: 追加
		196	表 11.12 シングルチップモード時の未使用端子の処理例: 「NC」欄を追加
			割り込み
		204	12.2.2 割り込み制御レジスタ1: 「IR」ビットの説明を変更
		205	12.2.3 割り込み制御レジスタ2: 「IR」ビットの説明を変更
		210	12.2.7 割り込み要因選択レジスタ (IFSR): 「IFSR6」と「IFSR7」の「機能」を変更
		215	12.4.4 INT 命令割り込みの2行目: ソフトウェア割り込み番号を変更
		229	12.10 キー入力割り込み: 最終段落を削除
		232	12.13.2 SPの設定: 説明を追加
			ウォッチドッグタイマ
		236	表 13.1 ウォッチドッグタイマの仕様: 「カウントソース」に「ウォッチドッグタイマ専用125kHzオンチップオシレータクロック」追加
		237	図 13.1 ウォッチドッグタイマのブロック図: 「ウォッチドッグタイマ専用125kHzオンチップオシレータ」を追加
		243	13.3.2 オプション機能選択2番地 (OFS2): シンボル修正 CSPR0→CSPRO
		246	13.4.3 カウントソース保護モード有効時: 表 13.4の下に説明を追加
			DMAC
		258	14.3.2 DMA要求: シンボル修正 DESL4~DESL0→DSEL4~DSEL0
		265	14.4 割り込み、表 14.10の下の説明文: シンボル修正2箇所 DESL4~DESL0→DSEL4~DSEL0
		266	14.5.2 DMA要求要因の変更: シンボル修正 DESL4~DESL0→DSEL4~DSEL0
			タイマA
		268	図 15.2 タイマA構成: 「タイマA0」、「タイマA3」部の「11b」より「プログラマブル出力モード」削除
		280	15.2.11 ワンショット開始フラグ (ONSF)、ビット「TA0TGH~TA0TGL」: シンボル修正 TA0GH~TA0GL→TA0TGH~TA0TG
		281	15.2.12 トリガ選択レジスタ (TRGSR)、ビット「TAiTGH~TAiTGL (i=1~4)」: シンボル修正 TAiGH~TAiGL→TAiTGH~TAiTGL
		285	15.3.1.3 カウントソース: 説明を一部削除

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.20	2009.12.25	291	表 15.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値: 「PCLKR」、「TCKDIVC0」、「TACS0-TACS2」の「機能、設定値」を変更		
		295	表 15.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値: 「PCLKR」、「TCKDIVC0」、「TACS0-TACS2」、「ONSF」の「TAITGH~TAITGL」の「機能、設定値」を変更		
		308	15.3.7 プログラマブル出力モード(タイマA1、A2、A4)、ビット「TCK1-TCK0」: シンボル修正 TBCS0~TBCS2→TACS0~TACS2		
				タイマB	
		318	16. タイマB: 最初の「注意」を変更		
		331	16.3.1.3 カウントソース: 説明を一部削除		
		334	表 16.8 イベントカウンタモード時の使用レジスタと設定値: 「PCLKR」、「TCKDIVC0」、「TBCS0-TBCS1」の「機能、設定値」を変更		
		337	16.3.4 パルス周期測定モード、パルス幅測定モード: 「タイマの書き込み」の「仕様」欄から2項目目を削除		
				三相モータ制御用タイマ機能	
		385	17.5.2 強制遮断入力: 「LINOOUT」、「LINOIN」を追加		
				タイマS	
		18.章		INT5/iDU ピンの記述を削除	
		396	18.2.5 ベースタイマレジスタ (G1BT): レジスタ図の「機能」に説明を追加		
		409	表 18.5 ベースタイマの仕様: ・「ベースタイマ動作中のベースタイマリセット時の値」: 「ベースタイマ動作中の」追加 ・「ベースタイマの読み出し」の「仕様」、2項目目を変更 ・「ベースタイマへの書き込み」の「仕様」、2項目目を変更		
		414	18.3.2 ベースタイマ動作中のベースタイマリセット: タイトルに「ベースタイマ動作中の」を追加		
		425	表 18.15 反転波形出力モードの仕様、「選択機能」の「仕様」 3及び4項目目: 「単相波形」→「反転波形」		
		428	表 18.16 SR 波形出力モードの仕様: ・「注1」を削除し、「出力波形」の「n:」の条件に追加 ・「選択機能」の「仕様」 3項目目: 「単相波形」→「SR 波形」		
				シリアルインタフェースUARTi (i=0~4)	
		21.章		各レジスタ図にタイトルと説明を追加し、構成を改訂	
		21.章		特殊モード2のスレーブモードに関する記述を削除	
		474	21.1.1 周辺クロック選択レジスタ (PCLKR): 追加		
		525	21.8.1.3 受信、3段落目の1行目: 「UIC1レジスタのREビットが“1”」→「UIC1レジスタのRIビットが“1”」		
		500	表 21.9 ビットレート: 「注1」を追加		
		505	表 21.11 I ² Cモード時の入出力端子: 追加		
		508	表 21.14 I ² Cモード時の各機能: ・「受信データ格納」行を削除、「受信データ読み出し」行に内容を集約		
		515	表 21.17 特殊モード2時の入出力端子: 追加		
		525	21.8 シリアルインタフェース 使用上の注意事項: 「LINOOUT」、「LINOIN」を追加		
		525	21.8.1.1 送受信: (i=0~4)→(i=0~3)		
		526	21.8.2.1 送受信: (i=0~4)→(i=0~3)		
				マルチマスタI²C-busインタフェース	
		527	表 22.1 I ² C回路の仕様: 「選択機能」の「タイムアウト検出」の説明を変更		
		528	表 22.2 I ² C回路の検出機能: 「スレーブアドレス一致検出」の「機能」の説明を変更		
		533	22.2.3 I ² C0制御レジスタ0 (S1D0) ・「BC2-BC0」ビット: 説明を変更 ・「IHR」ビット: 最終段落の説明を変更		
540	22.2.6 I ² C0制御レジスタ1 (S3D0)、「WIT」ビットの説明の13行目: 「データ送信時とスレーブアドレス送受信時は、...」→ 「データ送信時とスレーブアドレス受信時は、...」				

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2009.12.25	548	表 22.9 S10 レジスタ書き込みによる機能: 「機能」の「通信モード」を各モードごとに記載
		550	22.2.8 I2C0 ステータスレジスタ 0 (S10)、「PIN」ビットの3項目目: 説明を追加
		555	表 22.11 fVIICが4MHzの場合のCCR4-CCR0ビットの設定値とビットレートの例: ・データ行の7行目: 167→166 ・データ行の10行目: 17.6→16.6
		556	22.3.2 スタートコンディション発生方法: ・(2)の説明: 説明を追加 ・(2)の下の説明: S11→S00
		560	図 22.10 スタートコンディション重複防止機能動作例: 「S10レジスタのMSTビット」、「S10レジスタのTRXビット」部を変更
		560	22.3.5 スタートコンディション重複防止機能 図 22.10の下の: S10レジスタ→S10レジスタ、S00レジスタ
		562	22.3.6 アービトレーションロスト: ・(a)の条件を変更 ・セクションの最後に説明を追加
		567	22.3.9 タイムアウト検出: 「タイムアウトを検出した場合には…」の3項目目を削除
		569	22.3.10.2 マスタ送信: 「(B)データ送信」から「(1)ACKを確認する」を削除
		570	22.3.10.3 マスタ受信: 「(B)データ受信1」から「(1)ACKを確認する」を削除
		571	図 22.19 スレーブ受信の動作例: 「ストップコンディション」→「スレーブ受信終了」
		571	22.3.10.4 スレーブ受信: ・「(A)スレーブ受信開始」: 「ACK」ビットに関する記述を削除 ・「(B)データ受信1」: 「(最後のデータなので)… ACKなし」→「(最後のデータではないので)… ACKあり」 ・「(C)データ受信2」: (2)を追加
		572	22.3.10.5 スレーブ送信: 「(B)データ送信」から「ACK確認」を削除
		574	表 22.15 I ² C回路の割り込み: 「割り込み要因」の5つ目: 「スレーブアドレス送信完了」削除
			シリアルバスインタフェース
		23.章	23. シリアルバスインタフェース: 章全体の構成を見直し、改訂
			LINモジュール
		608	表 24.1 A/Dコンバータの仕様: 「積分非直線性誤差」の「仕様」の内容を変更
			A/Dコンバータ
		730	26.2 レジスタの説明: 「PCRレジスタ」に関する記述を削除
		734	26.2.4 A/D制御レジスタ0 (ADCON0)、レジスタ図内「CKS0」ビットの「機能」欄: シンボル修正 CKS0→CKSO
		737	26.3.1 A/D変換サイクル数: 説明を一部削除、変更
			フラッシュメモリ
		769	29.3.1 フラッシュメモリ制御レジスタ0 (FMR0): ・「FMR00」ビットの「0」になる条件」に項目を追加 ・「FMR02」ビットの最後に記述を追加
		775	29.3.5 フラッシュメモリ制御レジスタ6 (FMR6): 「FMR60」ビットの最後に記述を追加
		779	29.5 フラッシュメモリ書き換え禁止機能の2行目: 「パラレル入力」→「パラレル入出力」
		781	29.8 CPU書き換えモードの6行目: 説明を追加
		781	表 29.10 EW0モードとEW1モードの違い: ・「項目」の6つ目: 変更 ・「フラッシュメモリのステータス検知」の各モード: 変更
		791	図 29.12 ブロックブランクチェックフローチャート: 「コマンドシーケンスエラー」検出を追加
		791	29.8.4.8 ブロックブランクチェック: セクションの最後に説明を追加
793	表 29.16 エラーとFMR0レジスタの状態: 「エラー発生条件」の1つ目を変更		
794	29.8.5.2 各エラー発生時の対処方法: 「イレーズエラー」の最後に説明を追加		
796	図 29.15 EW0モードのプログラムフローチャート(サスペンド機能許可時): 「td(SR-SUS)待つ」を「マスクブル割り込み」のフローチャートに追加		

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2009.12.25	797	図 29.16 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時): 「td(SR-SUS)待つ」を「マスカブル割り込み」のフローチャートに追加
		798	図 29.17 EW0モードのロックビットプログラムフローチャート(サスペンド機能許可時): 「td(SR-SUS)待つ」を「マスカブル割り込み」のフローチャートに追加
		807	表 29.18 強制イレーズ機能の条件と動作: 「動作」欄の2項目を変更
		810	29.9.5 標準シリアル入出力モード2: 「メインクロックを使用」が前提であることを明記
		813	29.10.3.10 ソフトウェアコマンド: (e)を追加
			E²PROMエミュレーションデータフラッシュ
		30.章	・章全体の構成を他章の構成と合わせて改訂 ・章内で使用されている全ての図について見直し、修正
			電気的特性
		31.章	・章全体を階層化し、構成を改訂 ・各バージョン、および電圧の表「絶対最大定格」、「推奨動作条件」、「電気的特性」の「項目」欄のピンの内容を修正
		826	表 31.1 絶対最大定格: ・「V _{REF} アナログ基準電圧」を追加 ・「注1」を追加
		827	表 31.2 推奨動作条件 (1/2): 下記の項目を追加 ・ I _{OH(sum)} “H” 尖頭総出力電流 ・ I _{OL(sum)} “L” 尖頭総出力電流
		829	表 31.4 A/D変換特性: ・ φAD A/D動作クロック周波数を追加し、旧「注2」の記載を反映 ・新規に「注3」を追加
		830	31.1.4 D/A変換特性: 追加
		832	表31.7 フラッシュメモリ(プログラムROM1、2)の電気的特性: 「読み出し電圧」の「測定条件」を追加
		834	31.1.6 E ² PROMエミュレーションデータフラッシュの電気的特性: 追加
		835	電圧検出回路の電気的特性: ・「表31.10 電圧検出0回路の電気的特性」と「表31.11 電圧検出2回路の電気的特性」に切り分け
		836	表 31.13 電源回路のタイミング特性: ・項目「低電圧検出回路動作開始時間」を削除、「31. 電気的特性」の各バージョンの「電圧検出0回路の電気的特性」および「電圧検出2回路の電気的特性」に移動 ・ t _{d(W-S)} の「最大」値を変更 150→300
		836	図31.4 パワーオンリセット回路の電気的特性: t _{th} 部を変更
		837	図 31.5 電源回路のタイミング図: t _{d(E-A)} の図説部: VC26→VC25
		837	表31.14 オンチップオシレータ発振回路の電気的特性: f _{OCO40M} の「最小」、「最大」値をそれぞれ36→42、44→48に変更
		838	表 31.15 電気的特性(1): ・「V _{T+} -V _{T-} (周辺機能の入力)」の「項目」を追加
		839	表 31.16 電気的特性(2): 下記の項目を「I _{CC} 」の「測定条件」に追加 ・フラッシュメモリプログラム中 ・フラッシュメモリイレーズ中
		840	31.2.2.1 リセット入力: 新規に追加
		840	図 31.6 リセット入力 (RESET入力): 新規に追加
		846	31.2.2.8 シリアルバスインタフェース: 追加
		847	図 31.14 シリアルバスインタフェースタイミング図: 追加
		849~884	電気的特性Jバージョンの3V、および、電気的特性Kバージョンの5V、3Vの変更はそれぞれJバージョンの5Vの変更と同様
			使用上の注意事項
		887	表 32.1 書き込みのみ可能なビットを含むレジスタ: ・表をアドレス順に並べ替え ・D7C9h: CAN0受信FIFOポインタ制御レジスタ (C0RFPCR) 追加 ・D7CBh: CAN0送信FIFOポインタ制御レジスタ (C0TFPCR) 追加 ・D4C9h: CAN1受信FIFOポインタ制御レジスタ (C1RFPCR) 追加 ・D4CBh: CAN1送信FIFOポインタ制御レジスタ (C1TFPCR) 追加

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2009.12.25	911	32.14.2 強制遮断入力: 「LIN0OUT」、「LIN0IN」を追加
		918	32.18 シリアルインタフェース 使用上の注意事項: 「LIN0OUT」、「LIN0IN」を追加
		918	32.18.1.3 受信、3段落目の1行目: 「UiC1レジスタのREビットが“1”」→「UiC1レジスタのRIビットが“1”」
1.00	2010.05.17	全体	各章のレジスタの説明の表タイトルを変更 「レジスタ構成」→「レジスタ一覧」
		全体	用語統一 「発振停止、再発振検出機能」→「発振停止/再発振検出機能」
		全体	00A1 E ² データフラッシュステータスレジスタ0: リセット後の値「00h」から修正
		全体	03F3 ポートP9方向レジス: リセット後の値「XXXX XX00b」から修正
		全体	用語統一 fOCO-FとfOCO-Sの併記→「オンチップオシレータクロック」
		全体	用語統一 ウォッチドッグタイマの「初期化」→「リフレッシュ」
		概要	
		3, 5, 7	表 1.2、表 1.4、表 1.6 各ピンの仕様概要: ・「消費電流」: TBD→「31. 電気的特性」に記載 ・注1に「E ² データフラッシュ」の記述を追加
		8~10	表 1.7~表 1.10: 各グループの製品一覧表の日付を変更
		12~14	図 1.3~図 1.5 各ピンのブロック図: ・UART/クロック同期形S/O: 「8ビット」削除 ・マルチマスタI ² C bus: 「(1チャンネル)」追加 ・CANモジュール、E ² データフラッシュ、RAM: 注1を追加 ・ウォッチドッグタイマ専用125kHzオンチップオシレータ: 「ウォッチドッグタイマ」の括弧内に移動 ・D/Aコンバータ: 「(8ビット×1回路)」追加 ・注2を注1と統合し、内容を追加
		15, 18, 21	図 1.6~図 1.8 各ピンのピン接続図: P8_0に「/TSUDA」、P8_1に「/TSUDB」追加
		16, 19, 22	表 1.11、表 1.13、表 1.15 各ピンの端子名一覧表: P8_0に「/TSUDA」、P8_1に「/TSUDB」追加
		24	表 1.17 端子機能の説明 (64ピン版、80ピン版、100ピン版共通) (1/2): ・「機能」が入力/出力/入出力端子のとき: 説明から「端子」を削除 ・「アナログ電源入力」の「機能」: AVCCとAVSSに「端子」を追加 ・「サブクロック入力/出力」: 注1を追加 ・「INT割り込み入」: 「INT2はタイマAのZ相入力です。」削除 ・「シリアルインタフェース」: 「UART0~UART3」追加 ・「I ² Cモード」: 「UART2」追加
		25	表 1.18 端子機能の説明 (64ピン版、80ピン版、100ピン版共通) (2/2): ・「タイマS」: 「端子名」にTSUDA、TSUDB追加 ・「CANモジュール」: 入力は「CAN通信機能の受信データ」、出力は「通信機能の送信データ」に変更 ・「入出力ポート」の「機能」: 4ポート→4ビット
		26	表 1.19 端子機能の説明(100ピン版のみ): 「入出力ポート」の「機能」: 4ポート→4ビット
		26	表 1.21 端子機能の説明(100ピン版、80ピン版のみ共通): 「入出力ポート」の「機能」: 4ポート→4ビット
		メモリ	
		31	図 3.1 メモリ配置図: 各予約領域に注1または注2を追加
		30	3. メモリ: 説明にE ² データフラッシュに関する記述を変更
		SFR	
		57	表 4.26 SFR一覧(26): CAN1アクセプタンスマスクレジスタi→CAN1マスクレジスタi
		79	4.2.1 レジスタ設定時の注意事項: ・リードモディファイライト命令に関する記述を追加 ・表 4.49 リードモディファイライト命令を追加

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	リセット	
		86	6.2.2 リセット要因判別レジスタ (RSTFR)、 HWR (ハードウェアリセット検出フラグ) (b1): 「リセット後のHWRビットの値は不定」 → 「ハードウェアリセット後のHWRビットの値は不定」
		91	6.4.2 ハードウェアリセット、「電源投入時」の(4): 式の表記を変更
		91	図 6.4 リセット回路の例: 式の表記を変更
		95	図 6.6 SVCCのタイミング図: 図タイトル追加
		電圧検出回路	
		100	7.2.3 電圧監視機能選択レジスタ (VWCE): 用語変更 「電圧検出2回路」 → 「電圧監視2回路」
		クロック発生回路	
		8.章	表記変更 HIGH → High, LOW → Low
		114	図 8.1 システムクロック発生回路: メインクロックを一部変更
		116	8.2.2 システムクロック制御レジスタ0 (CM0): ・説明全体の書き方を変更 ・「40MHzオンチップオシレータモード...」を追加
		118	8.2.3 システムクロック制御レジスタ1 (CM1)、 CM10 (全クロック停止制御ビット) (b0)の説明: ・説明の書き方を変更 ・「PLC0レジスタのPLC07ビットが“1”(PLL動作)」を追加 ・「NMI端子に“L”を入力」を追加
		118	8.2.3 システムクロック制御レジスタ1 (CM1)、 CM13 (XIN-XOUT帰還抵抗選択ビット) (b3)の説明: 「発振子」 → 「セラミック共振子または水晶発振子」
		125	8.2.8 40MHzオンチップオシレータ制御レジスタ0 (FRA0): ・レジスタ図のFRA01のレジスタ名を修正 ・上記に合わせてFRA01ビットの説明でもレジスタ名を修正
		127	8.3.1 メインクロック: 説明中の「発振子」 → 「セラミック共振子または水晶発振子」
		127	図 8.2 メインクロックの接続回路例: 図内の用語変更 「オシレータ」 → 「発振子」
		128	図 8.3 メインクロックとPLLクロックの関係、注2:周波数の表記を変更
		130	8.3.5 125kHzオンチップオシレータクロック (fOCO-S): ・1段落目: CSPRレジスタのCSPROビットが“1”の場合の説明を追加 ・最終段落: 「CM14ビットは“1”」 → 「CM14ビットは“0”」
		132	8.4.1 CPUクロックとBCLK: ・ストップモードへの遷移時の説明を変更
		132	8.4.2 周辺機能クロック (f1、fOCO40M、fOCO-F、fOCO-S、fC32、fC): ・fOCO-Fを使用できる機能からA/Dコンバータを削除 ・fCの説明にPM25ビットの記述を追加
		135	8.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作: 状態を解除するリセットに 「電圧監視0リセット」を追加
		137	8.7.3 発振停止/再発振検出機能使用方法: 発振停止後の説明を残し、他を8.8 割り込みに移動して書き換え
		138	図 8.7 発振回路例: 「オシレータ」 → 「発振子」
		141	8.9.5 PLL周波数シンセサイザ使用時の説明文: 「規格を満たすように」 → 「許容範囲内で」
		パワーコントロール	
		9.章	用語統一 ・40MHzオンチップオシレータクロック → fOCO-F ・fOCO-F → 40MHzオンチップオシレータ ・fOCO-S → 125kHzオンチップオシレータ ・移行 → 遷移

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	145	9.3 クロック: パワーコントロールの3つのモードを具体的に追加
		146	9.3.1.7 低消費電力モードの最終行: 「中速 (8分周)」 → 「8分周」
		149	図 9.1 クロックのモードの状態遷移: 図タイトル変更 クロックモードの遷移状態→パワーコントロールモードの遷移状態
		149	9.3.2 モード遷移手順、b.の (1): 「PLC05~PLC04 ビット (基準クロック分周) と、PLC02~PLC00 ビット (通倍率) を設定する」 → 「PLC05~PLC04、PLC02~PLC00 ビットで通倍率等を設定する」
		155	9.3.4.1 ストップモードへの遷移: 説明から以下を削除 「ただし、PM2 レジスタのPM21 ビットが“1”、CSPR レジスタのCSPRO ビットが“1”のときは、CM10 ビットに書いても変化しません。」
		156	9.3.4.3 ストップモードからの復帰: ・手順の前に一文追加 ・手順 (3) の下: 「NMI 割り込みと周辺機能割り込みで復帰」 → 「割り込みで復帰」
		158	9.4 フラッシュメモリのパワーコントロール: タイトル追加
		158	図 9.2 フラッシュメモリの停止/再開手順: プログラム A の記述を削除
		163	9.6.3 ストップモード、3項目目: ・最初の「CM10 ビットを“1”」の後: 「(ストップモード)」追加 ・2つ目の「CM10 ビットを“1”」の後: 「(全クロック停止)」削除
		プロセッサモード	
		166	10.2.2 プログラム 2 領域制御レジスタ (PRG2C): 「ユーザブート領域」 → 「ユーザブートコード領域」
		168	「10.4 バスホールド」追加
		プログラマブル入出力ポート	
		174	図 11.5 入出力ポートの構成 (NMI): 図を変更
		194	11.6.2 \overline{SD} 入力の影響: 入力端子を変更
		割り込み	
		195	表 12.2 入出力端子: i=0~5 → i=0~7
		199, 200	12.2.2、12.2.3: 割り込み制御レジスタ: シンボル、アドレスを図外に出し、1 アドレスごとに示す表を追加
		210	12.5.1.3 ウォッチドッグタイマ割り込み: 「ウォッチドッグタイマを初期化」 → 「ウォッチドッグタイマをリフレッシュ」
		211	12.6.1 固定ベクタテーブル: 「を ID コードチェック機能で使用」 → 「ID コードチェック機能やOFS1 番地に使用」
		216	図 12.3 割り込みシーケンスの実行時間の注 1: 「命令を取れる状態」 → 「がプリフェッチできる状態」
		222	12.10 キー入力割り込み: 説明文を書き換え
		226	図 12.11 割り込み要因の変更手順例の注 2: 「要因を変更する割り込みの...」 → 「要因を変更する割り込み制御レジスタの...」
		ウォッチドッグタイマ	
		13. 章	シンボル修正: WDTC → WDC
		13. 章	用語統一: 「ウォッチドッグタイマカウンタ初期条件」 → 「ウォッチドッグタイマカウンタリフレッシュタイミング」
		229	表 13.1 ウォッチドッグタイマの仕様: 「選択機能」の「プリスケアラの分周比」: 書き方を変更
		232	13.2.1 電圧監視 2 回路制御レジスタ (VW2C)、VW2C3 (WDT 検出フラグ) (b3): 「ハードウェアリセット、パワーオンリセット、または電圧監視 0 リセット」を削除
		233	13.2.2 カウントソース保護モードレジスタ (CSPR): b6-b0 を予約ビットから変更
		DMAC	
		242	表 14.1 DMAC の仕様 ・「DMA 転送開始」: シンボル修正 DMAiCON → DMiCON ・「順方向アドレスポインタ、DMAi 転送カウンタのリロードタイミング」: ポインタレジスタ
		243	図 14.1 DMAC ブロック図: データバスを 1 本で表現
		251	表 14.7 DMAS ビットが変化するタイミング、「外部要因」: 「DSEL4~DSEL0 ビットで選択」 → 「DSEL4~DSEL0 ビットと DMS ビットで選択」

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	257	図 14.5 外部要因によるDMA転送例: レジスタ名修正 ・DMA0→DM0CON ・DMA1→DM1CON レジスタ
		タイマA	
		262	表 15.3 入出力端子の注1: 「端子に対応するポート」→「端子を共用するポート」
		280, 284, 288, 293, 297	表 15.7, 表 15.9, 表 15.11, 表 15.13, 表 15.15 各モード時の使用レジスタと設定値: ・「TAOW」追加 ・「ONFS」のビット: TAITGH~TAITGL→TA0TGH~TA0TGL
		283	表 15.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合): ・「カウントソース」の「仕様」1項目: 「プログラムで有効エッジを選択可能」から「プログラムで」を削除 ・「カウント回数」の「仕様」: 「リロードタイプ選択時」追加
		286	図 15.6 イベントカウンタモード時の動作例: 「TAiMR レジスタのMR0ビットが“0”」→値を“1”に変更
		287	表 15.10 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合): ・「カウント動作」の「仕様」2項目目: 「フリーラン機能」→「フリーランタイプ」 ・「カウント回数」の「仕様」: 「リロードタイプ選択時」追加
		292	表 15.12 ワンショットタイマモードの仕様: 「カウント開始条件」の最後の項目: (タイマスタート)→(ワンショット開始)
		296	15.3.6 パルス幅変調モード(PWMモード)、TCK1~TCK0ビットの説明: TBCS0~TBCS2→TACS0~TACS2
		302	表 15.17 プログラマブル出力モード時の使用レジスタと設定値、ONFS」のビット: TAITGH~TAITGL→TA0TGH~TA0TGL
		306	15.5 タイマA使用上の注意事項: 共通事項と、モードごとで書き直し
		306	15.5.1.2 イベントまたはトリガ: 追加
		306	15.5.1.3 SD入力の影響: 「SDの影響」から内容も含めて変更
		タイマB	
		309	表 16.1 タイマBの仕様の「割り込み要因」: x3→x6
		311	表 16.2 入出力端子の注1: 「端子に対応するポート」→「端子を共用するポート」
		324, 327, 331, 332	図 16.4、図 16.5、図 16.6、図 16.7 各モード時の動作例: 「TABSR レジスタのTBiSビット」→「TABSRまたはTBSR レジスタのTBiSビット」
		325, 329	表 16.9、表 16.11 各モード時の使用レジスタと設定値: 「TBCS0~TBCS1」→「TBCS0~TBCS3」
		325	16.3.3 イベントカウンタモード: ・レジスタ図、TCK1ビットの「機能」およびMR1~MR0ビットの説明: 「1: TBjのオーバーフローまたはアンダフロー」→「タイマBj」 ・TCK1ビットの説明を追加
		328	表 16.10 パルス周期測定モード、パルス幅測定モードの仕様: ・旧注3はビット説明として注の上に移動 ・「割り込み要求発生タイミング」に注を追加(注3)
		329	表 16.11 パルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値、 「TBi1」の「機能、設定値」: 「PPWFS1 レジスタ」→「PPWFS1またはPPWFS2 レジスタ」
		331, 332	図 16.6、図 16.7 の2つ目の条件: PPWFS2レジスタに関する記述を追加
		334	16.5 タイマB使用上の注意事項: 共通事項と、モードごとで書き直し
		334	16.5.3.2 イベント: 追加
		335	16.5.4.3 イベントまたはトリガ: 追加
		三相モータ制御用タイマ機能	
		374	17.5.2 SD入力の影響: 「強制遮断入力」からタイトルと内容を変更
		タイマS	
		18.章	モードやレジスタ、ビットの状態の示し方を統一: ・モードはビットとその値を示し、括弧内にモードを示す ・ビットを示すときはレジスタ名も記載し、ビットが属するレジスタは明確にする

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	18.章	fBT1に同期して反映される値の反映先として、説明に「内部回路に」を追加
		18.章	i, j, kで示される箇所には「i=」などで対応する値を示す
		18.章	・2相クロック入力の端子名、TSUDAおよびTSUDBを追加 ・上記に伴い表記を変更: P8_0→TSUDA、P8_1→TSUDB
		375	表 18.1 IC/OCの仕様: ・「ポート切り替え機能」の「仕様」を変更 ・表の下に「j=...」を追加
		376	図 18.1 IC/OCブロック図: ・クロック発生回路にfOCO-F、40MHzオンチップオシレータを追加 ・図の下部にビットの説明を追加
		377	表 18.2 入出力端子: TSUDA、TSUDB、INT1の各端子を追加
		380	18.2.2 波形生成レジスタj (G1POj) (j=0~7): G1POjレジスタに書いた値が反映される場所を「内部バッファ」として説明
		381	18.2.3 波形生成制御レジスタj (G1POCRj) (j=0~7)、MOD1~MOD0ビットの説明: 「奇数チャンネルからは出力されません」を削除し、新たに説明を追加
		387	18.2.7 ベースタイム制御レジスタ1 (G1BCR1)、RST1ビットの説明: 2段落目の先頭に「RST1ビットが“1”の場合、」追加
		392	18.2.13 波形出力マスタ許可レジスタ (G1OER)、レジスタ図の下の説明: 「EOCjを“0”と」→「EOCjを“1”(出力禁止)と...」
		393, 394	18.2.14、18.2.15 タイマS I/O 制御レジスタ0、1 (G1IOR0、1): ・各ビットの「機能」: “00”の場合の表現を変更 ・レジスタ図の下の1段落目を変更
		395	18.2.16 割り込み要求レジスタ (G1IR): レジスタ図の下の説明を変更
		398	表 18.5 ベースタイムの仕様、「選択機能」: 「二相パルス信号処理モード」の説明から2行目以降を削除
		403	18.3.2 ベースタイム動作中のベースタイムリセット: 説明文を書き換え
		403	図 18.7 G1PO0レジスタによるベースタイムリセット動作の注1: 「ベースタイム割り込み」→「IC/OCベースタイム割り込み要求」、 「チャンネル0割り込み」→「IC/OCチャンネル0割り込み要求」
		404	図 18.8 INT1によるベースタイムリセット動作: 注2を書き換え
		404, 404	表 18.7、表 18.8、表 18.9 各モード時の関係: 各項目の「状態」を適切な用語に置き換え/削除
		405	18.4 時間計測機能: 文頭の「外部トリガ入力に同期して」→「外部入力をトリガにして」
		409	表 18.12 波形生成機能関連レジスタの設定、G1OERの「機能」: 「出力禁止を選択」から変更
		412	図 18.12 単相波形出力モードの動作例(1/2)、(1)の図内: fBTi→fBT1
		420	表 18.18 時間計測と波形出力機能端子設定: ・偶数端子でIFE=1、MOD0=1の「端子の入力/出力」: 「SR波形出力モード」→「SR波形出力」 ・奇数端子でIFE=1、MOD0=1の「端子の入力/出力」: SR波形出力モードを括弧内に示す
		424	18.8.1 レジスタアクセス: 追加
		424	18.8.2 G1IRレジスタの変更: 説明を書き換え
		リアルタイムクロック	
		433	表 20.1 リアルタイムクロックの仕様、「タイマの書き込み」: 「タイマ停止」→「カウント停止」
		シリアルインタフェースUARTi	
		21.章	用語統一 ・「転送」→「送受信」 ・「転送フォーマット」→「ビットオーダ」 ・「転送データ長」→「キャラクタ長」
		461	図 21.2 UARTi送受信部ブロック図: ・図内のバスを、上位と下位の2本から1本に表現を変更 ・ビットの説明からCKDIR削除

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	462	表 21.1 レジスタ一覧 (1/2)、024Dh UART0送受信制御レジスタ1: 「リセット後の値」を「00XX」から修正
		マルチマスタI²C-busインタフェース	
		22.章	用語統一 「フリーフォーマット選択」→「フリーデータフォーマット選択」
		521	22.2.2 I2C0アドレスレジスタi (i=0~2) (S0D0~S0D2)、SAD6~SAD0ビットの説明:S0Di レジスタに設定する値の説明を「SAD6~SAD0には“0000000b”」から変更
		522	22.2.3 I2C0制御レジスタ0 (S1D0)、TISSビット: 「のP2_0/SDAMM、P2_1/SCLMM端子」→「SCLMM、SDAMM 端子」
		530	図 22.4 データ受信時の割り込み要求発生タイミング: 図内のビットの表示を削除
		545	22.3.4 リスタートコンディションの発生、説明の1行目: 「のデータ送受信に」→「のデータ送受信後に」
		547	図 22.11 スタートコンディション重複防止機能有効期間: 図内のビットの表示を削除
		553	図 22.16 タイムアウト検出タイミング: <ul style="list-style-type: none"> • 図内のビットの表示を削除 • 「タイムアウト検出有効」の記述を削除
		562, 562	22.5.2.4 S3D0レジスタ、22.5.2.6 S10レジスタ: 1項目目に「MOV命令を使用して書いてください。」を追加
		シリアルバスインタフェース	
		570	23.2.8 SS0ステータスレジスタ (SS0SR)、レジスタ図の下の説明: 「NOP命令を1つ」→「NOP命令を4つ」
		A/Dコンバータ	
		26.章	用語変更: 「プリチャージ」→「チャージ」
		26.章	26.7.2 φADの周波数 削除
		713	表 26.1 A/Dコンバータの仕様: 「動作クロックφAD」行の2~3行目を追加
		714	図 26.1 A/Dコンバータのブロック図: <ul style="list-style-type: none"> • 「初期化サイクルφADの2サイクル」→「φADの2サイクル」 • 「ADGSEL1.0」→「ADGSEL1~0」
		716	26.2.1 断線検知アシスト機能レジスタ (AINRST): AINRST1-AINRST0 「断線検知アシスト機能選択ビット」→「断線検知アシスト機能許可ビット」
		719	26.2.4 A/D制御レジスタ0 (ADCON0): CH2-CH0ビットの「機能」欄を変更
		721	26.2.5 A/D制御レジスタ1 (ADCON1): SCAN1-SCAN0ビットの「機能」欄を変更
		724	26.3.2.2 外部トリガ: <ul style="list-style-type: none"> • 箇条書きの1つ目変更 • 図 26.5 外部トリガ入力時のA/D変換開始タイミング 追加
		725	26.3.5 A/D断線検出アシスト機能: 1~3行目を変更
		726	図 26.6 AVCC側でのA/D断線検出例 (変換前チャージを選択)、 図 26.7 AVSS側でのA/D断線検出例 (変換前ディスチャージを選択): アナログ入力ANiの右側にスイッチを追加
		728, 730, 732	表 26.8、表 26.10、表 26.12、表 26.14 各モード時の使用レジスタと設定値: レジスタ図を表形式に変更
		728, 730, 732, 734	図 26.8~図 26.11 各モードの動作例: 図の見方を変更
		737	26.7.1 アナログ入力選択: 変更
		737	26.7.3 レジスタアクセス: 4行目変更 「ビット6」→「ADSTビット」
		738	26.7.7 A/D断線検出アシスト機能: 「A/D断線検知アシスト機能」よりタイトルを変更
		738	26.7.9 φAD: 追加
		719	26.2.4 A/D制御レジスタ0 (ADCON0): CH0~CH2ビットの「機能」に詳細を記載
		721	26.2.5 A/D制御レジスタ1 (ADCON1): SCAN0~SCAN1ビットの「機能」に詳細を記載
		D/Aコンバータ	
		740	27.2.2 D/A制御レジスタ (DACON): レジスタ図の「リセット後の値」を「XXXX XX00b」から修正

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	CRC 演算回路	
		743	図 28.1 CRC 演算回路のブロック図: ・上位、下位バスを1本で表現 ・アドレスを削除
		フラッシュメモリ	
		29.章	29.10.1 フラッシュメモリ書き換え禁止機能 削除
		750	表 29.2 フラッシュメモリ書き換えモードの概要 「CPU動作モード」、「オンボード書き換え」の行を追加
		752	29.3.1 フラッシュメモリ制御レジスタ0 (FMR0): ・FMSTPの説明 FMR22ビットに関する記述を追加
		762	29.7 ユーザブートモード 追加
		762	29.7.1 ユーザブート機能 表の下の説明からOFS1番地に関する記述を削除
		764	表 29.9 エントリに使用できるポートのアドレス: アドレスごとに数値を表記するように変更
		764	表 29.10 ユーザブートコード領域設定例 追加
		765	図 29.4 ユーザブートモードのプログラムスタート番地 追加
		766	表 29.11 EW0モードとEW1モードの違い、「自動書き込み、自動消去時の状態」の「EW1モード」: ・説明を変更 ・注1を削除し、新たに追加
		767	29.8.1 EW0モード:「NMI...割り込み」の説明を一部削除、変更
		769、770、771	図 29.6 EW0モードのプログラムフローチャート(サスペンド機能許可時) 図 29.7 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時) 図 29.8 EW0モードのロックビットプログラムフローチャート(サスペンド機能許可時): ・「フラグー0」追加 ・“FMR32=1?”→“FMR00=1?”, “FMR33=1?”→“FMR00=1?” ・「フラグー1」移動
		773	29.8.2 EW1モード、「NMI...割り込み」の説明: CSPROビットに関する説明を追加
		774	表 29.13 コマンド実行後のモード (EW1モード) 追加
		775、776、777	図 29.11 EW1モードのプログラムフローチャート(サスペンド機能許可時) 図 29.12 EW1モードのブロックイレーズフローチャート(サスペンド機能許可時) 図 29.13 EW1モードのロックビットプログラムフローチャート(サスペンド機能許可時): ・「フラグー0」追加 ・「フラグー1」移動
		782	表 29.16 ソフトウェアコマンド一覧表: 注1追加
		784、785	29.8.6.4 プログラム、29.8.6.5 ブロックイレーズ: EW0モードのステータスレジスタに関する記述を削除
		787	図 29.22 リードロックビットステータスフローチャート: 「FMR16=0? (判断)」→「FMR16ビットを読む(処理)」
		788	図 29.23 ブロックブランクチェックフローチャート: 「FMR07=0? (判断)」→「FMR07ビットを読む(処理)」
		788	29.8.6.8 ブロックブランクチェック:最終行「なお、ブロックブランクチェック...」追加
		790	表 29.19 エラーとFMR0レジスタの状態、注1: “xxFFh”を書いた後の状態を変更
		794	29.9.2 強制イレーズ機能: ROMCRビットに関する記載を追加
		794	29.9.3 標準シリアル入出力モード禁止機能: ROMCRビットに関する記載を追加
		795、797	表 29.22、表 29.24 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1、2) 「VREF」の「機能」:説明を追加
		798	29.9.6.1 ROMコードプロテクト機能: ROMCRビットに関する記載を追加
		799	29.10.1 OFS1番地、OFS2番地、IDコード格納番地 追加
		799	29.10.3.2 CPU書き換えモードの選択: FMR60ビットに関する記述を追加
		800	29.10.3.7 DMA転送 EW0モードに関する記述を追加

改訂記録

M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	801	29.10.3.10 ソフトウェアコマンド: (b): 「他のモードに遷移しない」 → 「クロックのモードを変更しない」 (c): 括弧内、「または同じコマンド」を追加 (e): 文頭に「スローリードモード...」追加
		801	29.10.3.12 自動消去、自動書き込みの中断: リセットを詳細に記載
		802	29.10.4.1 ユーザブートプログラム: 「29.10.4.1 ユーザブートプログラムの配置」と「29.10.4.2 標準シリアル入出力モード後のユーザブートモード起動」をまとめ、更に内容を追加
		E²PROMエミュレーションデータフラッシュ	
		30.章	用語変更 命令の「ライト」 → 「プログラム」
		30.章	E2FMレジスタのOMビット、E2FS1のOMMビットの機能について説明を変更 ・「スリープモード」 → 「E ² データフラッシュ停止」 ・「通常動作」 → 「E ² データフラッシュ動作」
		803	表 30.1 E ² データフラッシュの仕様: ・「イレズ単位」の「仕様」: 「(消去後、メモリの値は“1”)」追加 ・「エラー訂正」の「仕様」: 「ECCあり時」を変更 ・ECCの説明を追加
		803	図 30.1 E ² データフラッシュのブロック図: ・図内のE2FAからの矢印に「E ² データフラッシュアドレス」追加 ・図の下に説明を追加
		805	30.2.1 E ² データフラッシュアドレスレジスタ (E2FA): レジスタ図の下に説明を追加
		805	30.2.2 E ² データフラッシュ命令レジスタ (E2FI): ・説明を追加 ・各設定値の意味を示す表の見せ方を変更
		807	30.2.4 E ² データフラッシュモードレジスタ (E2FM): ・レジスタ図の下に説明を追加 ・RSTビットのビット名を変更、説明を書き換え ・EWMビットの説明: データの上書き予防の説明を削除 ・ECCビットの説明を追加
		808	30.2.5 E ² データフラッシュ制御レジスタ (E2FC): ・RIEビットの説明を追加
		808	30.2.6 E ² データフラッシュステータスレジスタ1 (E2FS1): ・OMMビットの説明を追加
		809	30.2.7 E ² データフラッシュステータスレジスタ0 (E2FS0): ・レジスタ図の下の説明を書き換え ・WERRビット、EERRビット、RDYフラグの説明を追加
		810	30.3 ブロック構成: E ² データフラッシュメモリに関する説明を追加
		810	図 30.2 E ² データフラッシュのメモリ構成: 対応するレジスタを明示
		811	30.4 オペレーション: 説明を変更、追加
		811, 812, 813	図 30.3、図 30.4、図 30.5 リード、プログラム、ブロックイレズの各オペレーション例: ・「割り込み」 → 「E ² データフラッシュ割り込み」 ・「ECCなしの場合...」を追加 ・注1を書き換え
		812, 813	図 30.4、図 30.5 プログラム、ブロックイレズの各オペレーション例: フローチャートの「EERRビット=0?」を「フルステータスチェック」で置き換え
		813	図 30.5 ブロックイレズオペレーション例: 注1に説明を追加
		814	30.5 フルステータスチェック: 追加
		816	30.7.1 CPU書き換えモードとの関係: 既存の説明にタイトルを追加
		816	30.7.2 書き換え時のCPUクロック: 追加
		816	30.7.3 クロック遷移: 追加
		電气的特性	
		31.章	タイマSの端子追加に伴い、表記を変更: ・P8_0、P8_0 (A相)、P8_0 (A-phase) → TSUDA ・P8_1、P8_1 (B相)、P8_1 (B-phase) → TSUDB

改訂記録

M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.05.17	Jバージョン、5V、3V 共通	
		818	表 31.2 推奨動作条件 (1/2): ・ $I_{OH(sum)}$ の最大値を「80」から変更 ・ $I_{OL(sum)}$ の最大値を「-80」から変更
		825	表 31.9 E ² PROMエミュレーションデータフラッシュの電気的特性: ・暫定で入れていた数値を確定 ・「ワードプログラム時間」: 「(2バイト書き込み)」追加 ・「リード時間 (2バイト読み出し)」追加 ・「フラッシュメモリ回路安定待ち時間」: 「(スリープ→通常モード)」追加
		Jバージョン、Vcc=5V	
		829	表 31.15 電気的特性(1)、TA0INなどが属する「VT+-VT-」: 最大値を「2.5」から変更
		830	表 31.16 電気的特性(2): TBDの値を一部入力
		838-841	31.2.2.9 シリアルバスインタフェース: ・図 31.18 スイッチング特性の測定回路を除く暫定版の電特を削除 ・表 31.31 シリアルバスインタフェース、図 31.16 シリアルバスインタフェースの入出力タイミング図 (スレーブ)、図 31.16 シリアルバスインタフェースの入出力タイミング図 (スレーブ)、図 31.17 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)を追加
		Jバージョン、Vcc=3V	
		842	表 31.32 電気的特性(1)、TA0INなどが属する「VT+-VT-」: 最大値を「1.8」から変更
		843	表 31.33 電気的特性(2): TBDの値を一部入力
		851-854	31.3.2.9 シリアルバスインタフェース: ・図 31.31 スイッチング特性の測定回路を除く暫定版の電特を削除 ・表 31.48 シリアルバスインタフェース、図 31.28 シリアルバスインタフェースの入出力タイミング (マスタ)、図 31.29 シリアルバスインタフェースの入出力タイミング図 (スレーブ)、図 31.30 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)を追加
		Kバージョン、5V、3V 共通	
		855	表 31.49 絶対最大定格: P _D の定格値 (85°C~125°C)を「TBD」から変更
		856	表 31.50 推奨動作条件 (1/2): ・ $I_{OH(sum)}$ の最大値を「80」から変更 ・ $I_{OL(sum)}$ の最大値を「-80」から変更
		863	表 31.57 E ² PROMエミュレーションデータフラッシュの電気的特性: ・暫定で入れていた数値を確定 ・「ワードプログラム時間」: 「(2バイト書き込み)」追加 ・「リード時間 (2バイト読み出し)」追加 ・「フラッシュメモリ回路安定待ち時間」: 「(スリープ→通常モード)」追加
		Kバージョン、Vcc=5V	
		867	表 31.63 電気的特性(1)、TA0INなどが属する「VT+-VT-」: 最大値を「2.5」から変更
		868	表 31.64 電気的特性(2): TBDの値を一部入力
		876-879	31.5.2.9 シリアルバスインタフェース: ・図 31.49 スイッチング特性の測定回路を除く暫定版の電特を削除 ・表 31.79 シリアルバスインタフェース、図 31.46 シリアルバスインタフェースの入出力タイミング (マスタ)、図 31.47 シリアルバスインタフェースの入出力タイミング図 (スレーブ)、図 31.48 シリアルバスインタフェースの入出力タイミング図 (クロック同期式通信モード)を追加
		Kバージョン、Vcc=3V	
		880	表 31.80 電気的特性(1)、TA0INなどが属する「VT+-VT-」: 最大値を「1.8」から変更
		881	表 31.81 電気的特性(2): TBDの値を一部入力

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容		
		ページ	ポイント	
1.00	2010.05.17	889~892	31.6.2.9 シリアルバスインタフェース: ・ 図 31.62 スwitching特性の測定回路を除く暫定版の電特を削除 ・ 表 31.96 シリアルバスインタフェース、図 31.59 シリアルバスインタフェースの入出力タイミング(マスタ)、図 31.60 シリアルバスインタフェースの入出力タイミング図(スレーブ)、図 31.61 シリアルバスインタフェースの入出力タイミング図(クロック同期式通信モード)を追加	
			使用上の注意事項	
			893	32.1 OFS1番地、OFS2番地、IDコード格納番地: 例の.orgのアドレスを修正
			895	32.3.1 レジスタ設定時の注意事項: ・ リードモディファイライト命令に関する記述を追加 ・ 表 32.2 リードモディファイライト命令を追加
			912	32.12.1.2 イベントまたはトリガ: 追加
			912	32.12.1.3 SD入力の影響: 「SDの影響」から内容も含めて変更
			915	32.13.3.2 イベント: 追加
			936	32.24.1 CPU書き換えモードとの関係: 既存の説明にタイトルを追加
			936	32.24.2 書き換え時のCPUクロック: 追加
			936	32.24.3 クロック遷移: 追加
1.01	2010.06.03	概要		
		24	表 1.17 端子機能の説明(64ピン版、80ピン版、100ピン版共通)(1/2): 「CNVSS」の「機能」: 「抵抗を介して」を追加	
		クロック発生回路		
		129	8.3.4 fOCO-F: 40MHzのクロックの分周に関する説明を変更	
		132	8.4.1 CPUクロックとBCLK: ・ CPUクロックのクロック源に「fOCO-F」を追加 ・ クロック源をfOCO-Fにした場合の説明を削除	
			8.4.2 周辺機能クロック(f1、fOCO40M、fOCO-F、fOCO-S、fC32、fC): f1の項目のfOCO-Fの分周を変更	
		133	図 8.5 周辺機能クロック: fOCO40Mのラインを修正	
		パワーコントロール		
		145	9.3.1.3 40MHzオンチップオシレータモード: fOCO-Fの分周を変更	
		146	9.3.1.6 低速モード: fOCO-Fの分周を変更	
		147	表 9.2 通常動作モードのクロック: fOCO-Fの分周を変更	
		149	9.3.2 モード遷移手順 e: 「高速、中速モードから」→「高速、中速、低速モードから」	
		153, 156	9.3.3.4 ウェイトモードからの復帰、9.3.4.3 ストップモードからの復帰: 設定手順の(2)と(3)を入れ替え	
		157	表 9.10 ストップモードから復帰後のCPUクロック: fOCO-Fの分周を変更	
		160	9.4.2.2 低消費電流リードモード: 「したがって、低消費電流リードモードに遷移...」の文を削除	
		割り込み		
		200	12.2.3 割り込み制御レジスタ2のIRビット、POLビットの説明: 「IFSR43 ビットが“1”(LINO“L”検出)の場合」→「IFSR45 ビットが“1”(LINO)の場合」	
		タイマA		
		260	図 15.1 タイマA、Bカウントソース: fOCO-Fの「2分周」を削除	
		278	15.3.1.3 カウントソース: fOCO-Fの分周を変更	
		タイマB		
		309	図 16.1 タイマA、Bカウントソース: fOCO-Fの「2分周」を削除	
		322	16.3.1.3 カウントソース: fOCO-Fの分周を変更	
		電気的特性		
		Jバージョン、5V、3V 共通		
		826	表 31.11 電圧検出2回路の電気的特性: Vdet2_0~Vdet2_3、Vdet2_5~Vdet2_7を追加	
		Jバージョン、Vcc=5V		
		830	表 31.16 電気的特性(2): TBDの値を入力	
		Jバージョン、Vcc=3V		
		843	表 31.33 電気的特性(2): TBDの値を入力	
Kバージョン、5V、3V 共通				
864	表 31.59 電圧検出2回路の電気的特性: Vdet2_0~Vdet2_3、Vdet2_5~Vdet2_7を追加			

改訂記録	M16C/5M、M16C/57グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.01	2010.06.03	Kバージョン、Vcc=5V	
		868	表 31.64 電気的特性(2): TBDの値を入力
		Kバージョン、Vcc=3V	
		881	表 31.81 電気的特性(2): TBDの値を入力

本版で修正または追加された箇所は、「(1) 本版で修正または追加された箇所」を参照してください。

M16C/5M、M16C/57グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2008年12月18日 Rev.0.10
2011年9月1日 Rev.1.10

発行 ルネサスエレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

M16C/5M、M16C/57グループ