

---

# M16C/65 グループ

RJC05B0088-0100

Rev.1.00

2010.06.20

## 外部バス

---

### 1. 要約

この資料は M16C/65 グループの外部バスの考え方、外部メモリの接続例について説明しています。

### 2. はじめに

この資料で説明する内容は次のマイコンでの利用に適用されます。

- ・マイコン：M16C/65 グループ

### 3. 外部バス

#### 3.1 外部バスの概要

外部バスの機能を用いることで、マイクロコンピュータと外部のメモリや I/O を簡単に接続することができます。外部バスは、プロセッサモードにメモリ拡張モードまたはマイクロプロセッサモードを選択したとき、一部の端子がデータバス、アドレスバス、制御信号用の端子として機能することにより動作します。

データバス幅は、外部領域をアクセスする場合、BYTE 端子のレベルによって 8 ビットまたは 16 ビットかを選択できます。内部領域をアクセスする場合、BYTE 端子のレベルに関係なく、データバス幅は 16 ビット固定です。外部領域に 8 ビットおよび 16 ビットのデータバス幅を混在することはできません。必ず、BYTE 端子は 8 ビットバス幅選択時は“H”レベルに固定し、16 ビットバス幅選択時は“L”レベルに固定してください。

## 3.2 データアクセス

### 3.2.1 データバス幅

BYTE 端子に入力される電圧レベルが“H”の場合、外部データバス幅は8ビットとなり、P1\_0(D8)～P1\_7(D15)は入出力ポートとして使用できます(図 3.1)。

BYTE 端子に入力される電圧レベルが“L”の場合、外部データバス幅は16ビットとなり、P1\_0(D8)～P1\_7(D15)はデータバス(D8～D15)として動作します(図 3.1)。

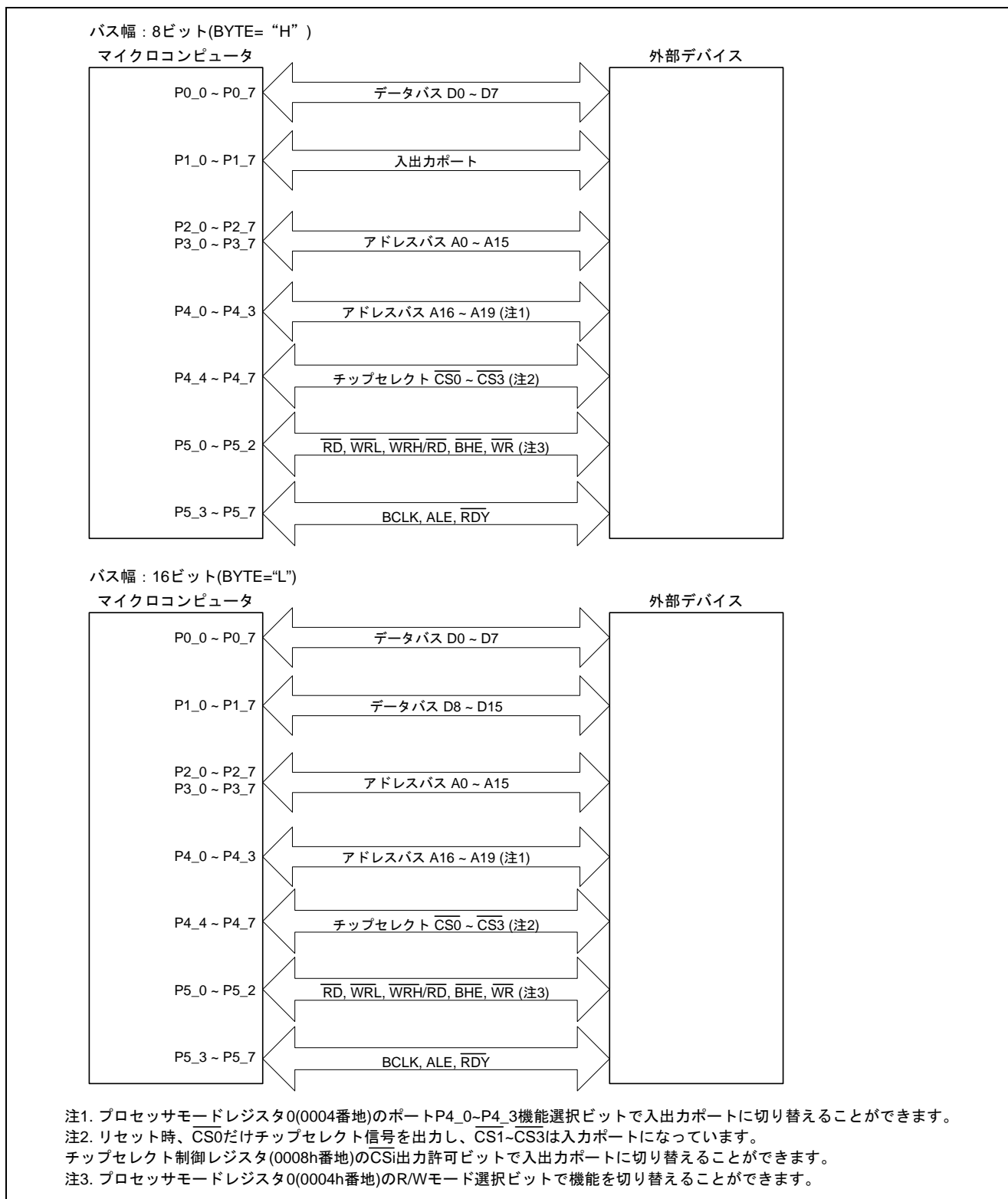
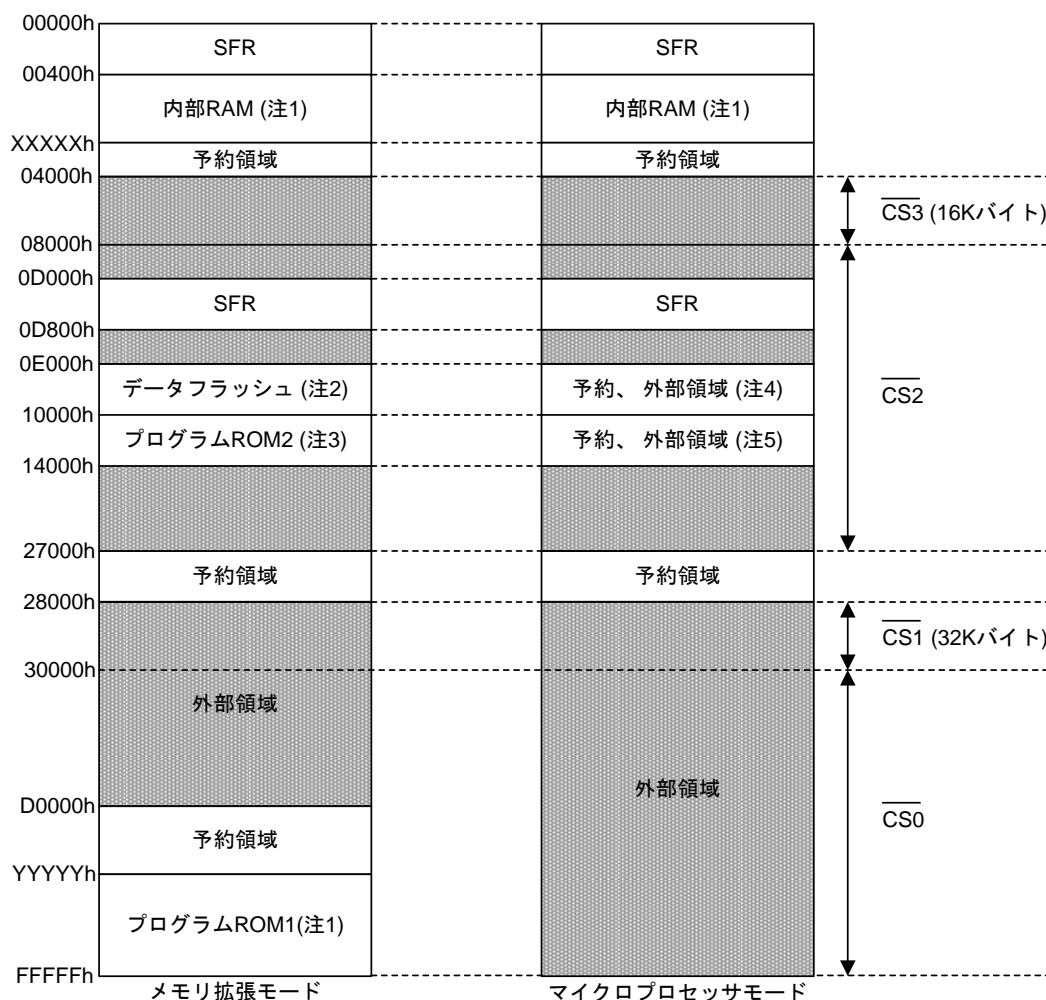


図 3.1 BYTE 端子のレベルと外部データバス幅

## 3.2.2 チップセレクトとアドレスバス

チップセレクト(P4\_4/ $\overline{CS0}$ ~P4\_7/ $\overline{CS3}$ )は、1M バイトの空間を 4 分割した領域で出力します。このドキュメントでは 4MB のメモリスペースについて説明しません(詳細についてハードウェアマニュアルを参照してください)。チップセレクトを使用する場合、チップセレクト制御レジスタの設定で、チップセレクト出力許可状態にする必要があります。各チップセレクトがアクティブ(“L”)になるアドレスを図 3.2 に示します。ただし、メモリ拡張モードとマイクロプロセッサモードで内部領域と外部領域の範囲が異なるため、 $\overline{CS0}$  が出力される領域は異なります。また、内部の ROM/RAM 領域がアクセスされているときは、チップセレクトは出力されず、アドレスバスも変化しません(直前にアクセスされた外部領域のアドレスが保持されます)。



注1. PM13ビットが“0”の場合、使用できる内部RAMは15Kバイト、内部ROMは192Kバイトです。XXXXXh、YYYYYh番地は下表を参照してください。

内部RAM		プログラムROM1	
容量	XXXXXh番地	容量	YYYYYh番地
12Kバイト	033FFh	128Kバイト	E0000h
20Kバイト	03FFFh	256Kバイト	D0000h
31Kバイト	03FFFh	384Kバイト	D0000h
47Kバイト	03FFFh	512Kバイト	D0000h
		640Kバイト	D0000h
		768Kバイト	D0000h

注2. PM10ビットが“0”のとき外部領域、“1”のとき内部ROM (データフラッシュ)です。

注3. PRG2CレジスタのPRG2C0ビットが“1”のとき外部領域、“0”のとき内部ROM (プログラムROM2)です。

注4. PM10ビットが“0”のとき外部領域、“1”のとき予約領域です。

注5. PRG2CレジスタのPRG2C0ビットが“1”のとき外部領域、“0”のとき予約領域です。

図 3.2 各チップセレクトがアクティブ(“L”)になるアドレス

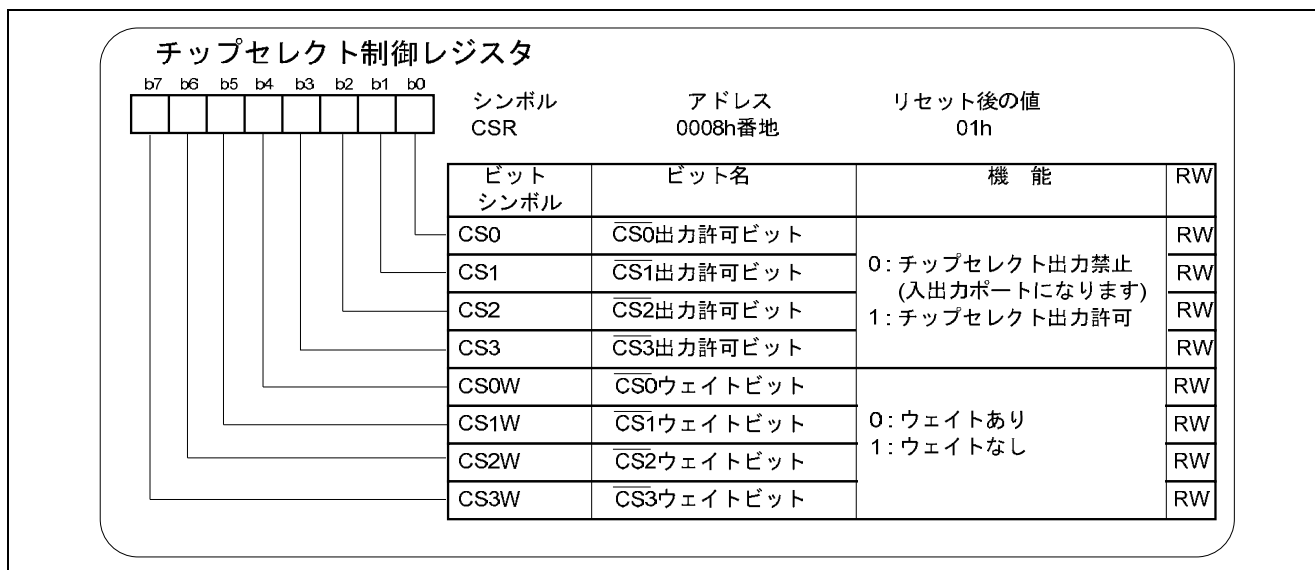


図 3.3 チップセレクト制御レジスタ

### 3.2.3 バスタイプ

M16C/65 グループでは、アドレスの出力とデータの入出力に別々の端子を使用するセパレートバスと、アドレスの出力とデータの入出力が時分割で切り替わり、使用する端子を節約することができるマルチプレクスバスの2つのタイプのバスを持ちます。

セパレートバスは、ROMやRAMなどセパレートバスをもつデバイスをアクセスするときに使用します。セパレートバスでアクセスする領域には、プログラムやデータを配置することができます。

マルチプレクスバスは、ASSPなどマルチプレクスバスをもつデバイスをアクセスするときに使用します。マルチプレクスバスでアクセスする領域にはデータだけ配置し、プログラムを配置しないでください。

プロセッサモードレジスタ 0(0004h 番地)のマルチプレクスバス空間選択ビット(ビット4とビット5)の設定で、マルチプレクスバスでアクセスする領域を、CS2の領域、CS1の領域、全空間の3種類から選択することができます。ただし、マイクロプロセッサモード時、全空間を選択することはできません。

マルチプレクスバスでアクセスしない領域は、セパレートバスでアクセスします。

マルチプレクスバスに設定した領域をアクセスした場合、BYTE 端子が“H”レベルのとき、データバスのD0～D7がアドレスバスA0～A7と時分割で切り替わります。

BYTE 端子が“L”レベルのとき、データバスのD0～D7がアドレスバスA1～A8と時分割で切り替わります。このため、M16C/65 グループの偶数番地ごと(2番地ごと)に、接続されたデバイスの番地が配置されますので、接続されたデバイスをアクセスするときは、M16C/65 グループの偶数番地をバイト長でアクセスしてください。

### 3.2.4 R/Wモード

外部領域をアクセスする場合に出力されるリード/ライト信号は、プロセッサモードレジスタ 0(0004h 番地)のR/Wモード選択ビット(ビット2)の設定で、(RD/BHE/WR)または(RD/WRH/WRL)を選択することができます。(RD/BHE/WR)は、16ビット幅をもつRAMをアクセスする場合に使用し、(RD/WRH/WRL)は8ビット幅をもつRAMをアクセスする場合に使用します。

リセット時、M16C/65 グループは、(RD/BHE/WR)の設定になっています。(RD/WRH/WRL)に切り替える場合は、外部のRAMをアクセスする前に切り替えてください。

「3.3 接続例」に(RD/BHE/WR)および(RD/WRH/WRL)の接続例を示しますので参照してください。

### 3.3 接続例

メモリの接続例を示します。

#### 3.3.1 16 ビット幅のメモリの接続例

図 3.4 に HM6216514LTTI (SRAM) との接続例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

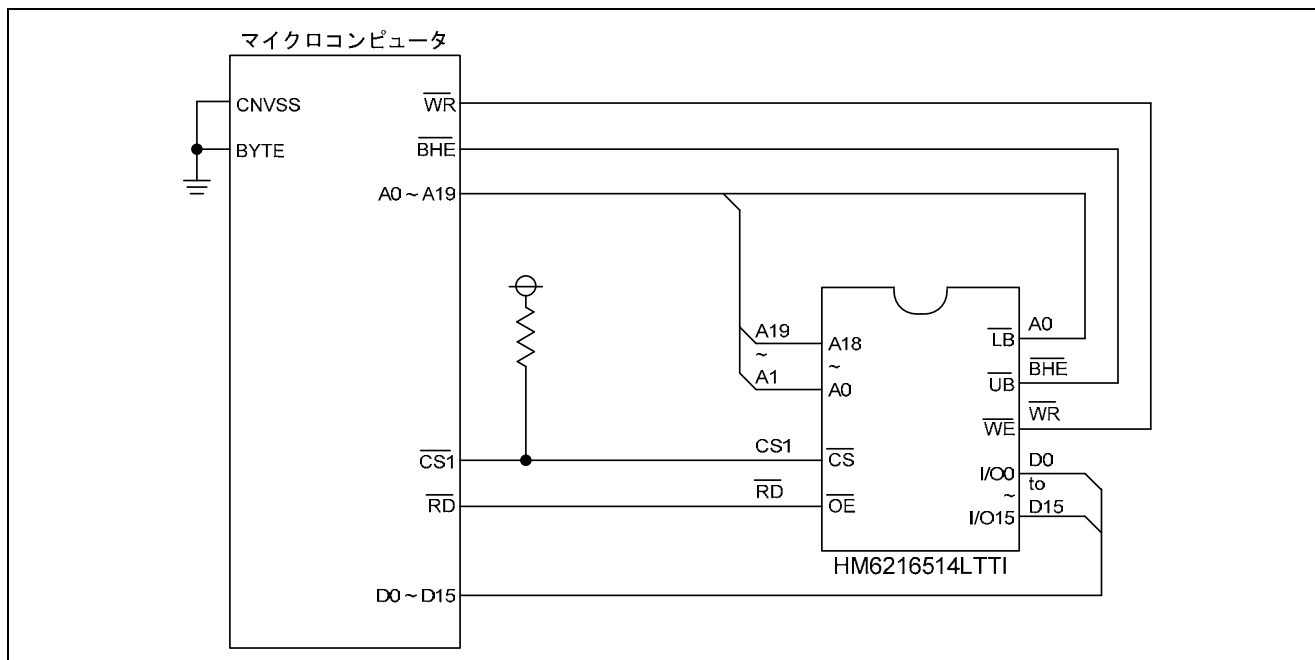


図 3.4 HM6216514LTTI との接続例

### 3.3.2 16 ビット幅のデータバスと 8 ビットメモリとの接続例

図 3.5 に 16 ビットのデータバスに 2 個の M5M5V108DVP (SRAM) と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

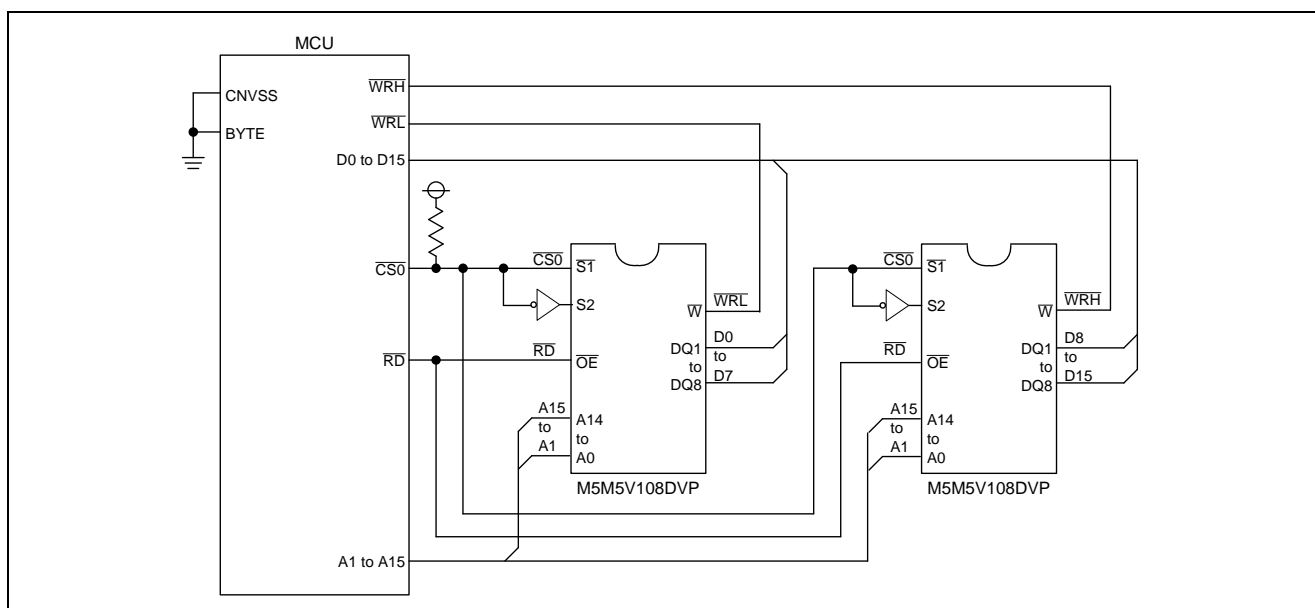


図 3.5 M5M5V108DVP を 2 個、16 ビットバス幅で使用する場合の接続例

### 3.3.3 8 ビット幅のデータバスと 8 ビットメモリとの接続例

図 3.6 に 8 ビットのデータバスに 2 個の M5M5V108DVP (SRAM) と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

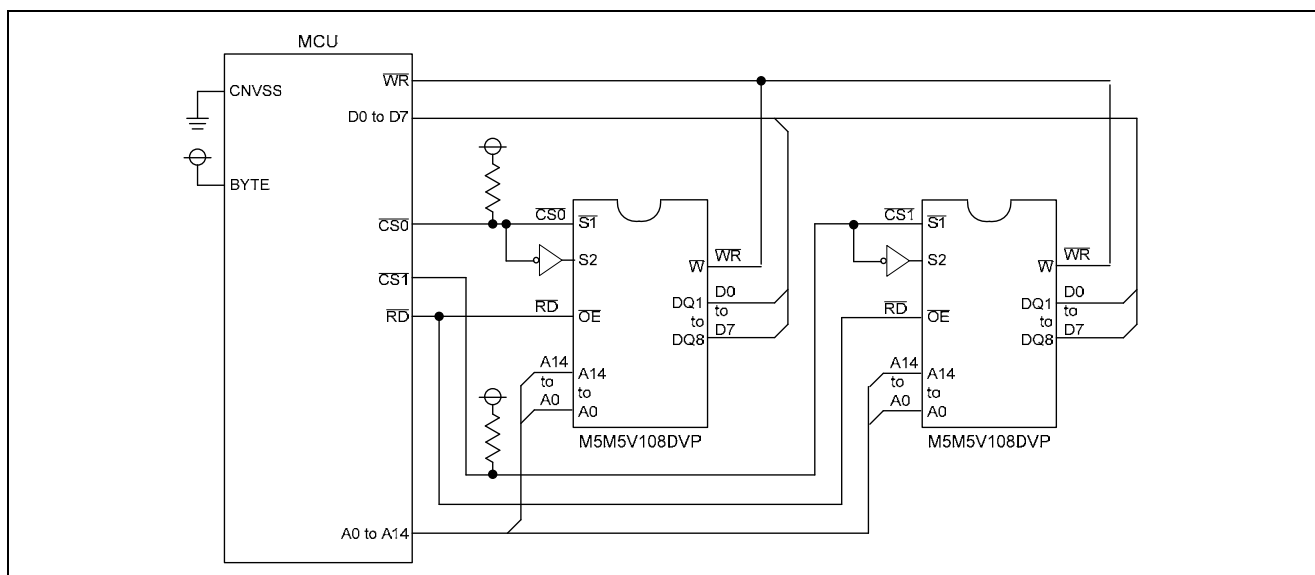


図 3.6 M5M5V108DVP を 2 個、8 ビットバス幅で使用する場合の接続例

### 3.4 接続可能なメモリ

#### 3.4.1 動作周波数とアクセス時間

接続可能なメモリは、BCLK の周波数  $f(\text{BCLK})$  により異なります。 $f(\text{BCLK})$  は、発振子の周波数とシステムクロック選択ビット(CM0 のビット 6、CM1 のビット 6,7)の設定で決まります。

以下に接続条件式を示します。これらの条件を満たすように設計してください。また、BCLK の周波数とメモリの関係を図 3.7、図 3.8 に示します。図中の「M.」は、「マルチプレクスバス領域をアクセス」を意味します。

##### (1) リードサイクル時間( $t_{\text{CR}}$ )／ライトサイクル時間( $t_{\text{CW}}$ )

リードサイクル時間 ( $t_{\text{CR}}$ ) / ライトサイクル時間 ( $t_{\text{CW}}$ ) は次の条件式を満たす必要があります。

- ウェイトなし

$$t_{\text{CR}} < 10^9/f(\text{BCLK}) \quad \text{かつ} \quad t_{\text{CW}} < 10^9/f(\text{BCLK})$$

- ウェイトあり

$$t_{\text{CR}} < n \times 10^9/f(\text{BCLK}) \quad \text{かつ} \quad t_{\text{CW}} < (n+1) \times 10^9/f(\text{BCLK})$$

注:  $n$  の値に関する詳細について、表 3.1 を参照してください。

##### (2) アドレスアクセス時間 $t_{\text{a(A)}}$

アドレスアクセス時間  $t_{\text{a(A)}}$  は次の条件を満たす必要があります。

###### (a) VCC=5V の場合

- ウェイトなし

$$t_{\text{a(A)}} < 10^9/f(\text{BCLK}) - 65(\text{ns})^*$$

- ウェイトあり

$$t_{\text{a(A)}} < n \times 10^9/f(\text{BCLK}) - 65(\text{ns})^*$$

$$* 65(\text{ns}) = t_{\text{d}}(\text{BCLK} - \text{AD}) + t_{\text{su}}(\text{DB} - \text{RD}) - t_{\text{h}}(\text{BCLK} - \text{RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD 信号出力保持時間})$$

###### (b) VCC=3V の場合

- ウェイトなし

$$t_{\text{a(A)}} < 10^9/f(\text{BCLK}) - 80(\text{ns})^*$$

- ウェイトあり

$$t_{\text{a(A)}} < n \times 10^9/f(\text{BCLK}) - 80(\text{ns})^*$$

$$* 80(\text{ns}) = t_{\text{d}}(\text{BCLK} - \text{AD}) + t_{\text{su}}(\text{DB} - \text{RD}) - t_{\text{h}}(\text{BCLK} - \text{RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD 信号出力保持時間})$$

注:  $n$  の値に関する詳細について、表 3.1 を参照してください。

##### (3) チップセレクトアクセス時間 $t_{\text{a(S)}}$

チップセレクトアクセス時間  $t_{\text{a(S)}}$  は次の条件式を満たす必要があります。

###### (a) VCC=5V の場合

- ウェイトなし

$$t_{\text{a(S)}} < 10^9/f(\text{BCLK}) - 65(\text{ns})^*$$

- ウェイトあり

$$t_{\text{a(S)}} < n \times 10^9/f(\text{BCLK}) - 65(\text{ns})^*$$

$$* 65(\text{ns}) = t_{\text{d}}(\text{BCLK} - \text{CS}) + t_{\text{su}}(\text{DB} - \text{RD}) - t_{\text{h}}(\text{BCLK} - \text{RD})$$

$$= (\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD 信号出力保持時間})$$

###### (b) VCC=3V の場合

- ウェイトなし

$$t_{\text{a(S)}} < 10^9/f(\text{BCLK}) - 80(\text{ns})^*$$

- ウェイトあり

$$t_{\text{a(S)}} < n \times 10^9/f(\text{BCLK}) - 80(\text{ns})^*$$

$$* 80(\text{ns}) = t_{\text{d}}(\text{BCLK} - \text{CS}) + t_{\text{su}}(\text{DB} - \text{RD}) - t_{\text{h}}(\text{BCLK} - \text{RD})$$

$$= (\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD 信号出力保持時間})$$

注:  $n$  の値に関する詳細について、表 3.1 を参照してください。



(4) 出力イネーブル時間  $t_a(OE)$ 

出力イネーブル時間  $t_a(OE)$  は次の条件式を満たす必要があります。

(a)  $VCC=5V$  の場合

- ウェイトなし設定

$$t_a(OE) < 0.5 \times 10^9 / f(BCLK) - 45(ns) = tac1(RD-DB)$$

- 1~3 ウェイト設定

$$t_a(OE) < (n + 0.5) \times 10^9 / f(BCLK) - 45(ns) = tac2(RD-DB)$$

注:  $n$  は 1 ウェイト設定の場合 “1”、2 ウェイト設定の場合 “2”、3 ウェイト設定の場合 “3”。

- マルチプレクスバス領域をアクセスした場合

$$t_a(OE) < (n - 0.5) \times 10^9 / f(BCLK) - 45(ns) = tac3(RD-DB)$$

注:  $n$  は 2 ウェイト設定の場合 “2”、3 ウェイト設定の場合 “3”。

- $2\phi+3\phi$  以上のウェイト設定

$$t_a(OE) < n \times 10^9 / f(BCLK) - 45(ns) = tac4(RD-DB)$$

注:  $n$  は  $2\phi+3\phi$  の場合 “3”、 $2\phi+4\phi$  の場合 “4”、 $3\phi+4\phi$  の場合 “4”、 $4\phi+5\phi$  の場合 “5”。

(b)  $VCC=3V$  の場合

- ウェイトなし設定

$$t_a(OE) < 0.5 \times 10^9 / f(BCLK) - 60(ns) = tac1(RD-DB)$$

- 1~3 ウェイト設定

$$t_a(OE) < (n + 0.5) \times 10^9 / f(BCLK) - 60(ns) = tac2(RD-DB)$$

注:  $n$  は 1 ウェイト設定の場合 “1”、2 ウェイト設定の場合 “2”、3 ウェイト設定の場合 “3”。

- マルチプレクスバス領域をアクセスした場合

$$t_a(OE) < (n - 0.5) \times 10^9 / f(BCLK) - 60(ns) = tac3(RD-DB)$$

注:  $n$  は 2 ウェイト設定の場合 “2”、3 ウェイト設定の場合 “3”。

- $2\phi+3\phi$  以上のウェイト設定

$$t_a(OE) < n \times 10^9 / f(BCLK) - 60(ns) = tac4(RD-DB)$$

注:  $n$  は  $2\phi+3\phi$  の場合 “3”、 $2\phi+4\phi$  の場合 “4”、 $3\phi+4\phi$  の場合 “4”、 $4\phi+5\phi$  の場合 “5”。

(5) データセットアップ時間  $t_{su}(D)$ 

データセットアップ時間  $t_{su}(D)$  は次の条件式を満たす必要があります。

(a)  $VCC=5V$  の場合

- ウェイトなし

$$t_{su}(D) < 10^9 / (f(BCLK) \times 2) - 40(ns)^*$$

- ウェイトあり

$$t_{su}(D) < (n+1) \times 10^9 / (f(BCLK) \times 2) - 40(ns)^*$$

$$* 40(ns) = td(BCLK - DB) - th(BCLK - WR)$$

$$= (\text{データ出力遅延時間}) - (\text{WR 信号出力保持時間})$$

(b)  $VCC=3V$  の場合

- ウェイトなし

$$t_{su}(D) < 10^9 / (f(BCLK) \times 2) - 40(ns)^*$$

- ウェイトあり

$$t_{su}(D) < (n+1) \times 10^9 / (f(BCLK) \times 2) - 40(ns)^*$$

$$* 40(ns) = td(BCLK - DB) - th(BCLK - WR)$$

$$= (\text{データ出力遅延時間}) - (\text{WR 信号出力保持時間})$$

注:  $n$  の値に関する詳細について、表 3.1 を参照してください。

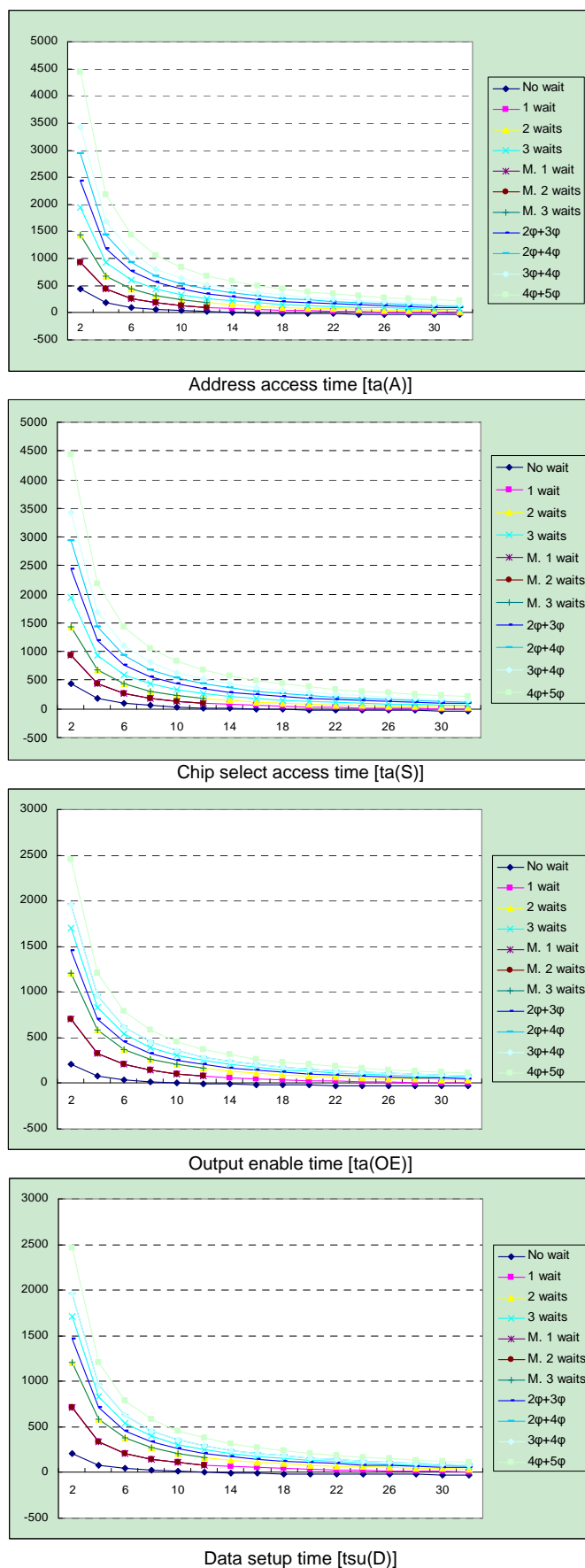


図 3.7 BCLK の周波数とメモリの関係(Vcc = 5V)

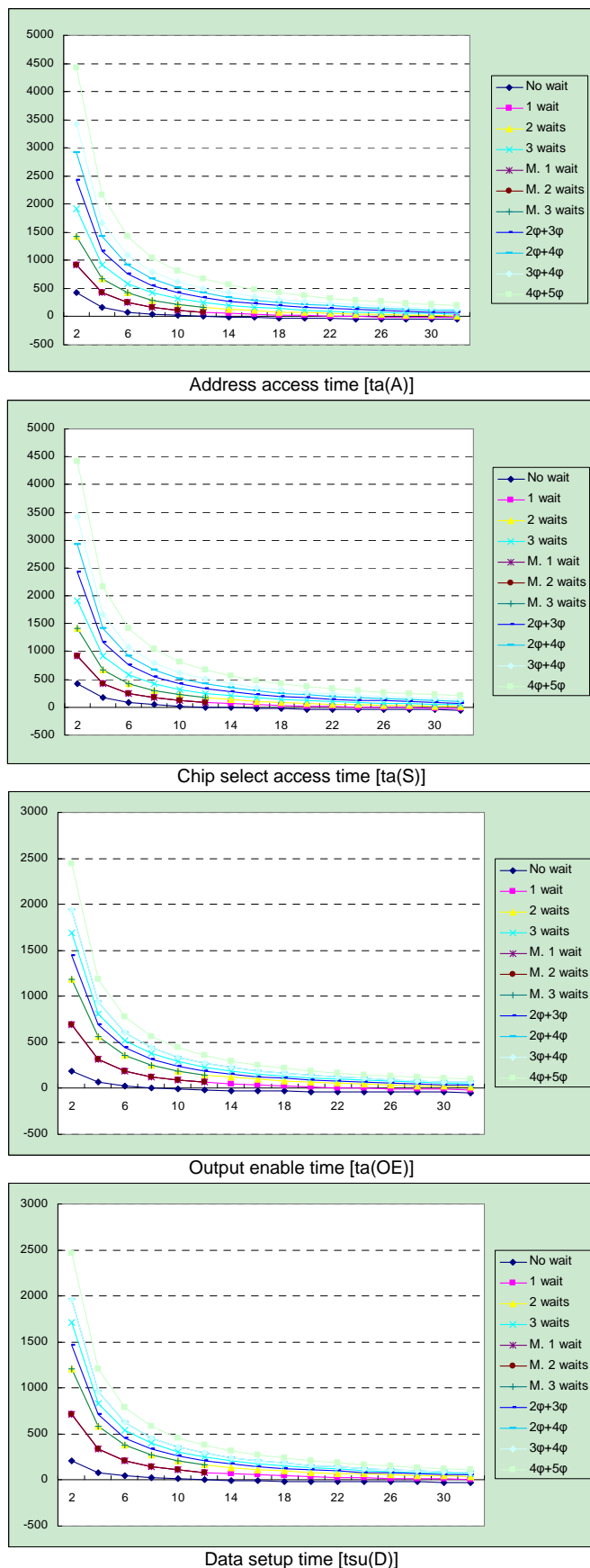


図 3.8 BCLK の周波数とメモリの関係(Vcc = 3V)

## 3.4.2 低速メモリの接続

アクセスタイム  $t_{a(A)}$  の大きいメモリを接続する場合、BCLK の周波数を下げるか、ソフトウェアウェイトを設定してください。ソフトウェアウェイトを設定しても、アクセス時間を満たせないメモリは、RDY 機能を使用することにより接続可能となります。

## (1) ソフトウェアウェイトの使用

ソフトウェアウェイト関連ビットのうち、PM1 レジスタの PM17 ビットは、内部メモリと外部領域の両方に影響を与えます。

外部領域は、PM17 ビットの他、 $\overline{CS}_i$  ( $i=0\sim3$ ) ごとに CSR レジスタの CSiW ビット、CSE レジスタの CSEi1W ~CSEi0W ビットによって、ソフトウェアウェイトを挿入できます。なお、 $\overline{RDY}$  信号を使用する場合、CSiW ビットの該当するビットを“0” (ウェイトあり) にしてください。詳細は「表 3.1 ソフトウェアウェイト関連ビットとバスサイクル(外部領域)」を参照してください。

表 3.1 ソフトウェアウェイト関連ビットとバスサイクル(外部領域)

領域	バス形式	ソフトウェアウェイト関連ビットの設定				ソフトウェアウェイト(サイクル)	バスサイクル
		PM17	CSiW	CSEi1W、 CSEi0W	EWCi1、 EWCi0		
外部領域	セパレートバス	0	1	00b	-	なし	BCLK の 1 サイクル (リード)
							BCLK の 2 サイクル (ライト)
		-	0	00b	-	1 ウェイト( $1\phi+1\phi$ )	BCLK の 2 サイクル (4)
		-	0	01b	-	2 ウェイト( $1\phi+2\phi$ )	BCLK の 3 サイクル
		-	0	10b	-	3 ウェイト( $1\phi+3\phi$ )	BCLK の 4 サイクル
		-	0	11b	00b	( $2\phi+3\phi$ )	BCLK の 5 サイクル
					01b	( $2\phi+4\phi$ )	BCLK の 6 サイクル
					10b	( $3\phi+4\phi$ )	BCLK の 7 サイクル
					11b	( $4\phi+5\phi$ )	BCLK の 9 サイクル
		1	0 <sup>(3)</sup>	00b	-	1 ウェイト( $1\phi+1\phi$ )	BCLK の 2 サイクル
	マルチプレクスバス	-	0 <sup>(2)</sup>	00b	-	1 ウェイト <sup>(5)</sup>	BCLK の 3 サイクル
		-	0 <sup>(2)</sup>	01b	-	2 ウェイト	BCLK の 3 サイクル
		-	0 <sup>(2)</sup>	10b	-	3 ウェイト	BCLK の 4 サイクル
		1	0 <sup>(2,3)</sup>	00b	-	1 ウェイト <sup>(5)</sup>	BCLK の 3 サイクル

$i=0\sim3$

-: "0"でも"1"でも影響ない

PM17: PM1 レジスタのビット

CSiW: CSR レジスタのビット(1)

CSEi1W、CSEi0W: CSE レジスタのビット

EWCi1、EWCi0: EWC レジスタのビット

注:

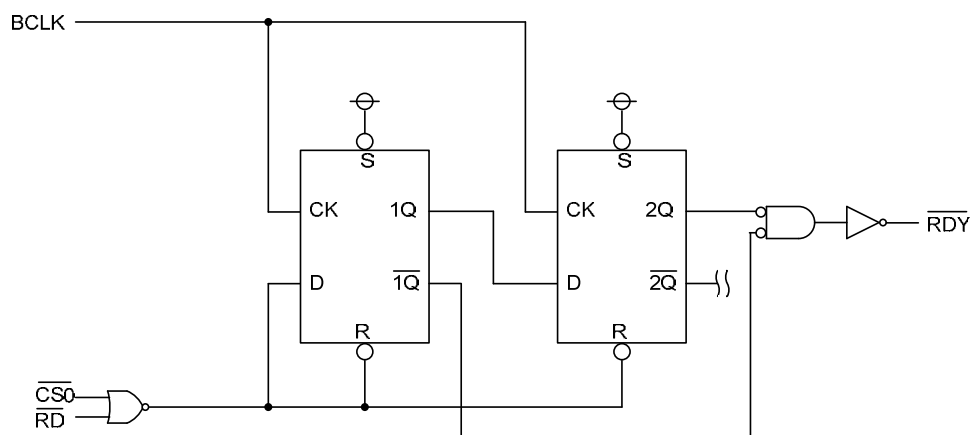
1.  $\overline{RDY}$  信号を使用する場合 CSiW ビットを“0” (ウェイトあり) にしてください。
2. マルチプレクスバスでアクセスする場合は、CSiW ビットを“0” (ウェイトあり) にしてください。
3. PM17 ビットが“1”で外部領域をアクセスする場合は、CSiW ビットを“0” (ウェイトあり) にしてください。
4. リセット後、PM17 ビットは“0” (ウェイトなし)、CS0W~CS3W ビットはすべて“0” (ウェイトあり)、CSE レジスタは“00h” (CS0~CS3 は 1 ウェイト) ですので、外部領域はすべて 1 ウェイトになります。
5. マルチプレクスバスで 1 ウェイトに設定した場合、2 ウェイトと同じバスサイクルになります。

(2)  $\overline{\text{RDY}}$  機能の使用

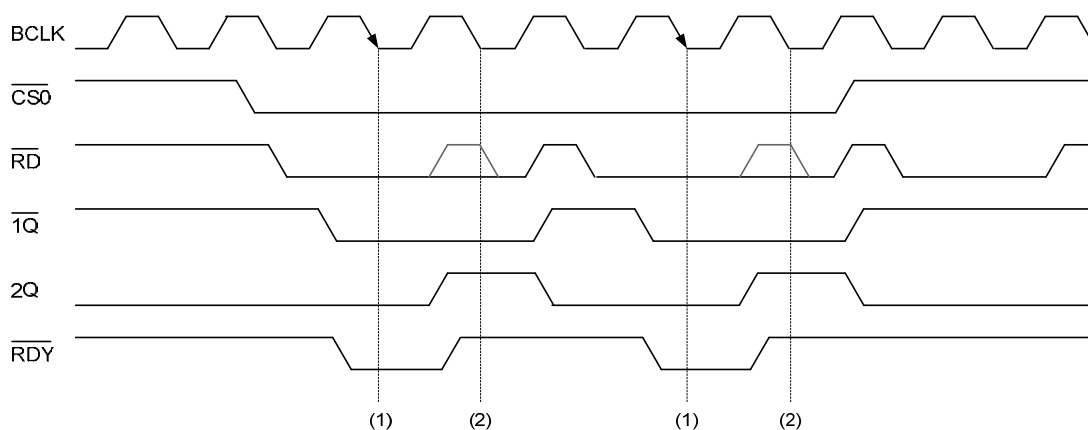
$\overline{\text{RDY}}$  機能を使用する場合は、ソフトウェアウェイトを設定してください。

$\overline{\text{RDY}}$  機能は、 $\text{BCLK}$  信号の立ち下がり時  $\overline{\text{RDY}}$  端子が “L” の場合に動作し、 $\text{BCLK}$  の 1 サイクルの間バスは変化せず、そのときの状態を保持します。

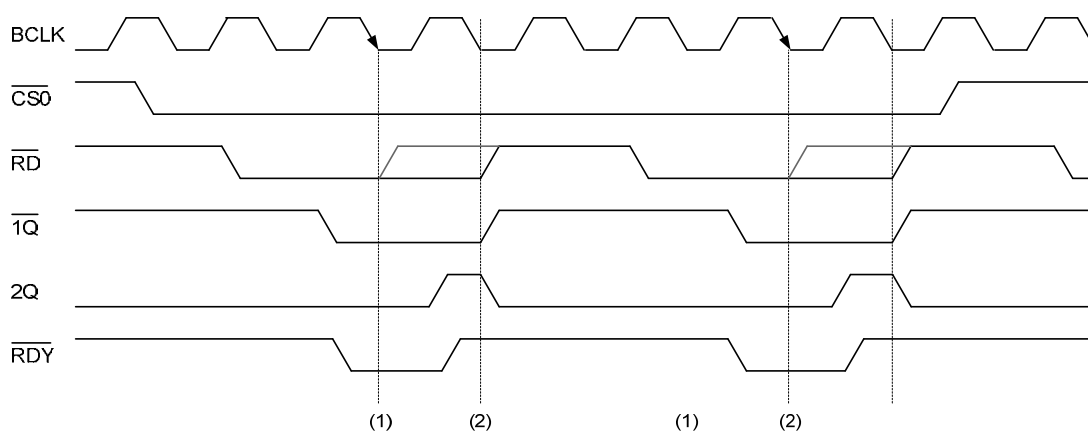
$\overline{\text{RDY}}$  機能は、 $\overline{\text{RDY}}$  端子が “L” の間バスの状態が保持され、 $\text{BCLK}$  信号の立ち下がり時  $\overline{\text{RDY}}$  端子が “H” の場合に解除されます。図 3.9 に  $\text{BCLK}$  の 1 サイクルの間バスを保持させるための  $\overline{\text{RDY}}$  回路例 ( $f(\text{XIN})=10\text{MHz}$ ) を示します。



## ●セパレートバスの場合のタイミング図



## ●マルチプレクスバスの場合のタイミング図



(1)  $\overline{\text{RDY}}$  受付  
 (2)  $\overline{\text{RDY}}$  解除  
 データバスおよびアドレスバスの状態は(1)~(2)の期間、保持します。

図 3.9  $\text{BCLK}$  の 1 サイクルの間バスを保持させるための  $\overline{\text{RDY}}$  回路例 ( $f(\text{XIN})=10\text{MHz}$ )

## 3.4.3 接続可能なメモリ

接続可能なメモリとその際の最大周波数を示します。

なお、M16C/65 グループの最大周波数は 32 MHz( $V_{CC} = 2.7 \sim 5.5$  V 時)とおります。

以下に接続条件式を示します。これらの条件を満たすようにしてください。また、BCLK の周波数とメモリの関係を図 3.7、図 3.8 に示します。以下の表で、「M.」は「マルチプレクスバス領域をアクセス」を意味します。

## (1) 5V の場合

## (a) ウェイトなし設定

最大周波数(MHz)			形名
6			HM6216514LTTI-5SL

## (b) 1~3 ウェイト設定

最大周波数(MHz)			形名
1 wait	2 waits	3 waits	
16	25	- <sup>(1)</sup>	HM6216514LTTI-5SL

## (c) マルチプレクスバス領域をアクセスした場合

最大周波数(MHz)			形名
M. 1 wait	M. 2 waits	M. 3 waits	
12.5	12.5	12.5	HM6216514LTTI-5SL

## (d) 2φ+3φ以上のウェイト設定

最大周波数(MHz)				形名
2φ + 3φ	2φ + 4φ	3φ + 4φ	4φ + 5φ	
- <sup>(1)</sup>	- <sup>(1)</sup>	- <sup>(1)</sup>	- <sup>(1)</sup>	HM6216514LTTI-5SL

## (2) 3V の場合

## (a) ウェイトなし設定

最大周波数(MHz)			形名
5			M5M5V108DVP-70HI

## (b) 1~3 ウェイト設定

最大周波数(MHz)			形名
1 wait	2 waits	3 waits	
13	20	26	M5M5V108DVP-70HI

## (c) マルチプレクスバス領域をアクセスした場合

最大周波数(MHz)			形名
M. 1 wait	M. 2 waits	M. 3 waits	
12.5	12.5	12.5	M5M5V108DVP-70HI

## (d) 2φ+3φ以上のウェイト設定

最大周波数(MHz)				形名
2φ + 3φ	2φ + 4φ	3φ + 4φ	4φ + 5φ	
31	- <sup>(1)</sup>	- <sup>(1)</sup>	- <sup>(1)</sup>	M5M5V108DVP-70HI

注：

1. "-"は制限無しを意味します。M16C/65 グループ マイコンの最大周波数は 32 MHz となります。

## ホームページとサポート窓口

- ルネサス エレクトロニクスホームページ  
<http://japan.renesas.com/>
- お問い合わせ先  
<http://japan.renesas.com/inquiry>

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.06.20	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。



## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/inquiry>