

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 正 誤 表

### 【ドキュメント名】

V850ES/SJ2, V850ES/SJ2-H ユーザーズ・マニュアル ハードウェア編

### 【資料番号，発行年月】

U16603JJ5V0UD00（第5版），November 2007 N

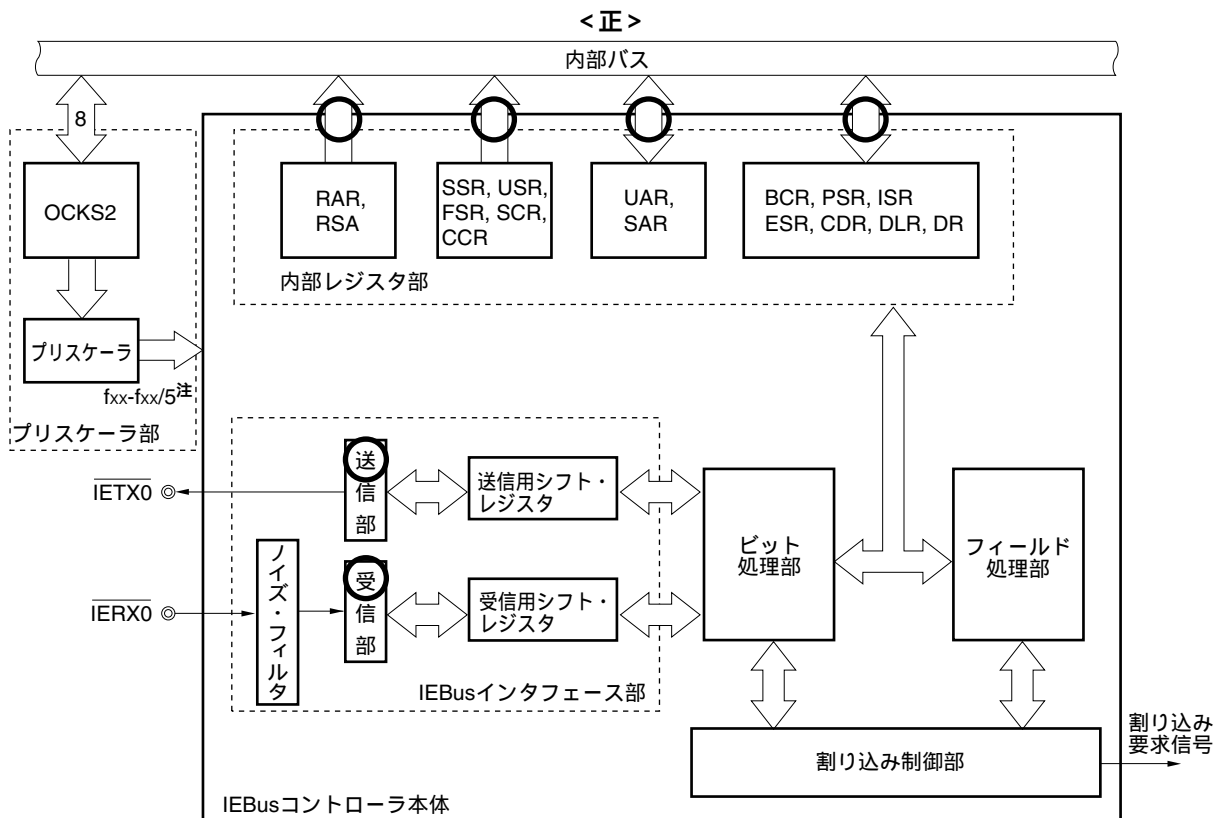
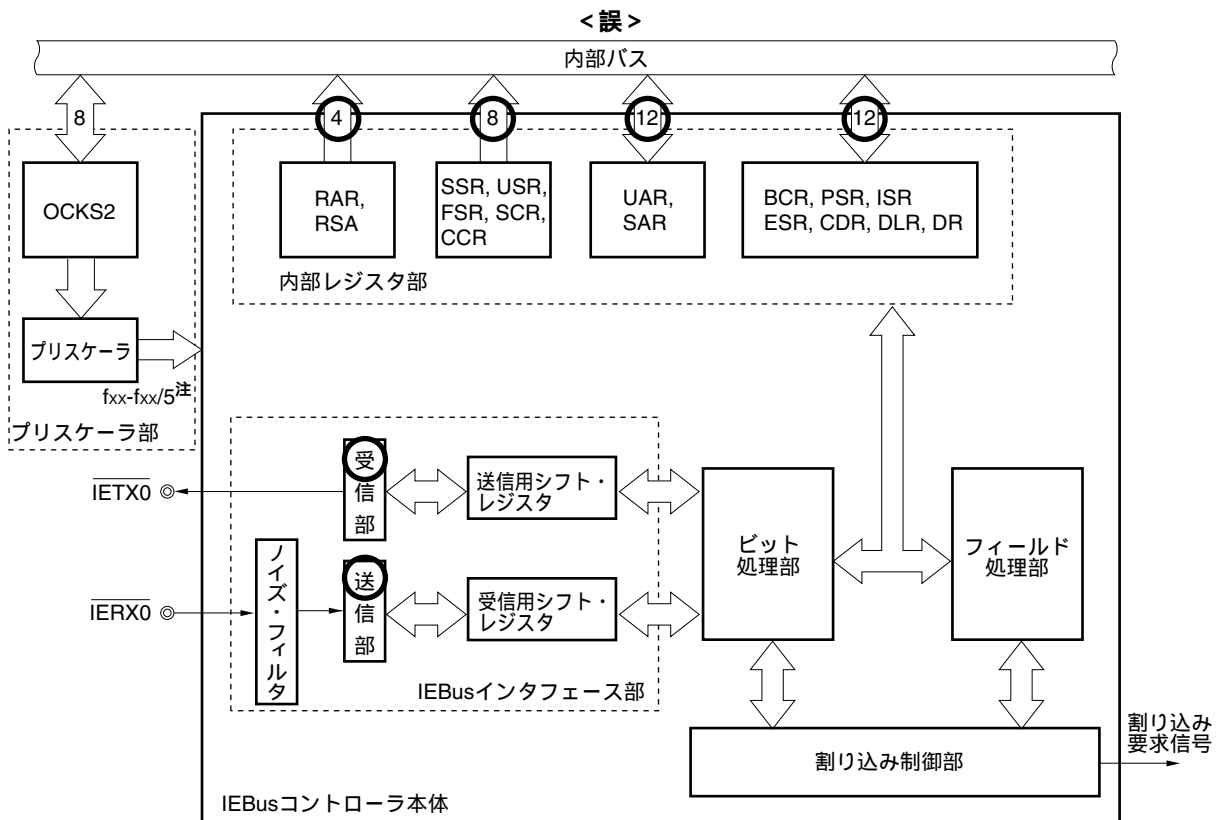
### 【発行部門】

NECエレクトロニクス株式会社 マイクロコンピュータ事業本部  
自動車システム事業部 カーオーディオソリューション開発グループ

### 【訂正内容】

| 該当ページ  | 該当箇所               | 内 容  |     |
|--------|--------------------|--|-----|
| p.712  | 第18章 IEBusコントローラ   | 図18 - 10 IEBusコントローラのブロック図を修正                | <1> |
| p.767  | 第19章 CANコントローラ     | 第19章 CANコントローラに注意を追加                         | <2> |
| p.984  | 第22章 割り込み / 例外処理機能 | 22.3.4 割り込み制御レジスタ (xxlCn) に注意3を追加            | <3> |
| p.1009 |                    | 22.9 注意事項に (3) を追加                           | <4> |
| p.1038 | 第25章 リセット機能        | 表25 - 1 RESET端子入力時の各ハードウェアの状態を修正             | <5> |
| p.1040 |                    | 表25 - 2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態を修正 | <6> |
| p.1041 |                    | 表25 - 3 低電圧検出回路によるリセット動作時の各ハードウェアの状態を修正      | <7> |
| p.1042 |                    | 表25 - 4 クロック・モニタによるリセット動作時の各ハードウェアの状態を修正     | <8> |
| p.1135 | 第32章 電気的特性         | 32.9 (2) 割り込み，FLMD0端子タイミングの注を修正              | <9> |

<1> 図18 - 10 IEBusコントローラのブロック図を修正 (p.712)



<2> 第19章 CANコントローラに注意を追加 (p.767)

<誤>

## 第19章 CANコントローラ

### 19.1 概要

<正>

## 第19章 CANコントローラ

注意 CANコントローラは、プログラマブル周辺I/O領域に配置されています。

CANコントローラを使用する場合は、あらかじめプログラマブル周辺I/O領域の使用を許可に設定してください。

なお、プログラマブル周辺I/O領域の設定は、BPCレジスタで行います。

詳細は、3.4.7 プログラマブル周辺I/Oレジスタを参照してください。

### 19.1 概要

<3> 22.3.4 割り込み制御レジスタ (xxICn) に注意3を追加 (p.984)

3. 割り込み要求が発生する状態 (割り込み禁止 (DI) 状態を含む) でxxICn.xxMKnビットを操作する場合は、必ずビット操作命令で操作するか、またはIMRm.xxMKnビットで操作してください (m = 0-4)。

ただし、V850ES/SJ2-Hでは、ビット操作命令を使用する場合は、上記注意2の内容についても注意してください。

<4> 22.9 注意事項に(3)を追加(p.1009)

<誤>

(3) インサース・プライオリティ・レジスタ (ISPR) について

<正>

(3) V850ES/SJ2, V850ES/SJ2-Hの割り込み制御レジスタ (xxICn) について

割り込み要求が発生する状態(割り込み禁止(DI)状態を含む)でxxICn.xxMKnビットを操作する場合は、必ずビット操作命令で操作するか、またはIMRm.xxMKnビットで操作してください(m=0-4)。

ただし、V850ES/SJ2-Hでは、ビット操作命令を使用する場合は、上記(2)の内容についても注意してください。

(4) インサース・プライオリティ・レジスタ (ISPR) について

<5> 表25 - 1 RESET端子入力時の各ハードウェアの状態を修正 (p.1038)

<誤>

| 項 目                           | リセット中 | リセット後          |
|-------------------------------|-------|----------------|
| 周辺クロック ( $f_x$ - $f_x/1024$ ) | 動作停止  | 発振安定時間確保後、動作開始 |

<正>

| 項 目                                 | リセット中 | リセット後          |
|-------------------------------------|-------|----------------|
| 周辺クロック ( $f_{xx}$ - $f_{xx}/1024$ ) | 動作停止  | 発振安定時間確保後、動作開始 |

## &lt;6&gt; 表25 - 2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態を修正 (p.1040)

## &lt;誤&gt;

| 項 目   | リセット中 | リセット後                                 |
|---|-------|---------------------------------------|
| 内部システム・クロック ( $f_{XX}$ ) ,<br>CPUクロック ( $f_{CPU}$ ) | 動作停止  | 発振安定時間確保後, 動作開始<br>( $f_{XX}/8$ に初期化) |

## &lt;正&gt;

| 項 目  | リセット中 | リセット後                                 |
|--|-------|---------------------------------------|
| 内部システム・クロック ( $f_{CLK}$ ) ,<br>CPUクロック ( $f_{CPU}$ ) | 動作停止  | 発振安定時間確保後, 動作開始<br>( $f_{XX}/8$ に初期化) |

## &lt;7&gt; 表25 - 3 低電圧検出回路によるリセット動作時の各ハードウェアの状態を修正 (p.1041)

## &lt;誤&gt;

| 項 目   | リセット中 | リセット後                                 |
|---|-------|---------------------------------------|
| 周辺クロック ( $f_X-f_X/1024$ )                           | 動作停止  | 発振安定時間確保後, 動作開始                       |
| 内部システム・クロック ( $f_{XX}$ ) ,<br>CPUクロック ( $f_{CPU}$ ) | 動作停止  | 発振安定時間確保後, 動作開始<br>( $f_{XX}/8$ に初期化) |

## &lt;正&gt;

| 項 目  | リセット中 | リセット後                                 |
|--|-------|---------------------------------------|
| 周辺クロック ( $f_{XX}-f_{XX}/1024$ )                      | 動作停止  | 発振安定時間確保後, 動作開始                       |
| 内部システム・クロック ( $f_{CLK}$ ) ,<br>CPUクロック ( $f_{CPU}$ ) | 動作停止  | 発振安定時間確保後, 動作開始<br>( $f_{XX}/8$ に初期化) |

&lt;8&gt; 表25 - 4 クロック・モニタによるリセット動作時の各ハードウェアの状態を修正 (p.1042)

## &lt;誤&gt;

| 項 目                                  | リセット中                     | リセット後  |
|--------------------------------------|---------------------------|--|
| メイン・クロック発振回路 (fx)                    | 発振停止                      | 発振停止開始   |
| サブクロック発振回路 (fxT)                     | 発振継続                      |  |
| 内蔵発振器                                | 発振停止                      | 発振開始   |
| 周辺クロック (fxx-fxx/1024)                | 動作停止                      | 発振停止時間確保後、動作開始   |
| 内部システム・クロック (fxx),<br>CPUクロック (fCPU) | 動作停止                      | 発振安定時間確保後、動作開始<br>(fxx/8に初期化)                                  |
| CPU                                  | 初期化                       | 発振安定時間確保後、プログラムの実行<br>開始                                       |
| WDT2                                 | 動作停止 (カウントは0に初期化)         | 動作開始。ただしCPU実行前のウォッチ<br>ドッグ・タイマ2オーバーフロー時のみは、<br>WDT2RESが発生しません。 |
| 内蔵RAM                                | 不定                        |  |
| I/Oライン (ポート/兼用端子)                    | ハイ・インピーダンス                |  |
| 内蔵周辺I/Oレジスタ                          | 所定の状態に初期化, OCDMレジスタは値を保持。 |  |
| 上記以外の内蔵周辺機能                          | 動作停止                      | 発振安定時間確保後、動作開始可能   |

備考 クロック・モニタの詳細は、第26章 クロック・モニタを参照してください。

## &lt;正&gt;

| 項 目                                   | リセット中                     | リセット後  |
|---------------------------------------|---------------------------|--|
| メイン・クロック発振回路 (fx)                     | 発振停止                      | 発振開始 <sup>注</sup>  |
| サブクロック発振回路 (fxT)                      | 発振継続                      |  |
| 内蔵発振器                                 | 発振停止                      | 発振開始   |
| 周辺クロック (fxx-fxx/1024)                 | 動作停止                      | 発振安定時間確保後、動作開始 <sup>注</sup>  |
| 内部システム・クロック (fclk),<br>CPUクロック (fCPU) | 動作停止                      | 発振安定時間確保後、動作開始<br>(fxx/8に初期化)。ただしCPU実行前のウ<br>ォッチドッグ・タイマ2オーバーフロー時<br>は、内蔵発振クロック (fR) で動作開始。 |
| CPU                                   | 初期化                       | 発振安定時間確保後、プログラムの実行<br>開始。ただしCPU実行前のウォッチドッ<br>グ・タイマ2オーバーフロー時は、内蔵発振<br>クロック (fR) で動作開始。      |
| WDT2                                  | 動作停止 (カウントは0に初期化)         | 動作開始。ただしCPU実行前のウォッチ<br>ドッグ・タイマ2オーバーフロー時のみは、<br>WDT2RESが発生しません。                             |
| 内蔵RAM                                 | 不定                        |  |
| I/Oライン (ポート/兼用端子)                     | ハイ・インピーダンス                |  |
| 内蔵周辺I/Oレジスタ                           | 所定の状態に初期化, OCDMレジスタは値を保持。 |  |
| 上記以外の内蔵周辺機能                           | 動作停止                      | 発振安定時間確保後、動作開始可能 <sup>注</sup>  |

注 クロック・モニタによるリセット動作後にメイン・クロックが発振を開始した場合

備考 クロック・モニタの詳細は、第26章 クロック・モニタを参照してください。



<9> 32.9(2) 割り込み, FLMD0端子タイミングの注を修正 (p.1135)

<誤>

注  $\overline{\text{DRST}}$ 端子は, INTP2端子と同じ特性です。~~ADTRG端子は, INTP0端子と同じ特性です。~~

<正>

注  $\overline{\text{DRST}}$ 端子は, INTP2端子と同じ特性です。