

技術通知 V850ES/Kx1マイクロコントローラ 使用制限事項の件		発行番号	ZBG-CC-09-0049号	1/5
		発行日	2009年 11月 9日	
		発行元	NEC エレクトロニクス株式会社 マイクロコンピュータ事業本部 汎用マイコンシステム事業部 製品ソリューショングループ 	
文書分類	<input type="radio"/> 使用制限事項	<input type="checkbox"/> バージョン・アップ	<input type="checkbox"/> ドキュメント誤記訂正 (正誤表)	<input type="checkbox"/> その他
関連資料	V850ES/KF1 ユーザーズ・マニュアル ハードウェア編		資料番号: U16891JJ2V0UD00 (第2版)	
	V850ES/KG1 ユーザーズ・マニュアル ハードウェア編		資料番号: U16890JJ2V0UD00 (第2版)	
	V850ES/KJ1 ユーザーズ・マニュアル ハードウェア編		資料番号: U16889JJ2V0UD00 (第2版)	
	V850ES ユーザーズ・マニュアル アーキテクチャ編		資料番号: U15943JJ3V0UM00 (第3版)	

1. 対象製品

V850ES/Kx1マイクロコントローラ:

- V850ES/KF1 : μ PD703208、 μ PD703208Y、 μ PD703209、 μ PD703209Y、 μ PD703210、 μ PD703210Y、 μ PD70F3210、 μ PD70F3210Y、 μ PD70F3210H、 μ PD70F3210HY、 μ PD70F3211H、 μ PD70F3211HY
- V850ES/KG1 : μ PD703212、 μ PD703212Y、 μ PD703213、 μ PD703213Y、 μ PD703214、 μ PD703214Y、 μ PD70F3214、 μ PD70F3214Y、 μ PD70F3214H、 μ PD70F3214HY、 μ PD703215、 μ PD703215Y、 μ PD70F3215H、 μ PD70F3215HY
- V850ES/KJ1 : μ PD703216、 μ PD703216Y、 μ PD703217、 μ PD703217Y、 μ PD70F3217、 μ PD70F3217Y、 μ PD70F3217H、 μ PD70F3217HY、 μ PD70F3218H、 μ PD70F3218HY

V850ES/KE1 は非該当

2. 通知内容

V850ES/Kx1マイクロコントローラについて、下記制限事項が判明しました。

制限事項 3 mul/mulu 命令に関する制限事項 (2)

○ 制限事項内容

以下の2つのシーケンス (パターン1, パターン2) のどちらかに該当した場合、次の現象が発生します。

- 乗算命令の演算結果が汎用レジスタに反映されない
- ミス・アライン・アドレスに対する ld 命令に対して、間違ったアドレスのデータが汎用レジスタに格納される

【パターン1】

以下のシーケンスで、(2) 命令の RAM 読み出しが、DMA 転送の RAM アクセスと競合する場合

- (1) ld /sld : 内蔵 ROM に対するロード命令
- (2) ld /sld : 内蔵 RAM に対するロード命令
- (3) mul /mulu : ワード・データの乗算命令で、結果が 32bit だけ残るもの [注 1]
| : [注 2]
- (4) ld /sld : 内蔵 ROM、または内蔵 RAM に対するミス・アライン・アクセスのロード命令

注 1. mul/mulu 命令で、第 3 オペランド (reg3) に r0 を使用した場合、または、第 2 オペランド (reg2) と第 3 オペランド (reg3) に同じレジスタを使用した場合

mul reg1, reg2, reg3 (reg3=r0 または reg2=reg3)

mul imm9, reg2, reg3 (reg3=r0 または reg2=reg3)

mulu reg1, reg2, reg3 (reg3=r0 または reg2=reg3)

mulu imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
 reg2=reg3 の命令は C 言語で記載した場合、CA850 では出力されません
 注 2 . (3)の乗算命令と(4)のロード命令の間に入る他の命令の実行クロック数が、2クロック以下の場合に該当。

ただし、次のいずれかに当てはまる場合には非該当になります。

- ・ 内蔵 RAM を転送対象とした DMA を使用していない場合
- ・ (1)のロード命令の読み出し結果を(2)のロード命令のアドレス指定に使用する場合
- ・ (2)のロード命令の読み出し結果を(3)の乗算命令のソース・データとして使用する場合
- ・ (3)の乗算命令の演算結果を(4)のロード命令のアドレス指定に使用する場合
- ・ (3)の演算結果を、(3)と(4)の間に入る他の命令で、ソース・データとして使用する場合
- ・ (3)と(4)の間に次の命令のいずれかがある場合
 - 乗算命令 (mul, mulh, mulhi, mulu)
 - ビット操作命令 (clr1, not1, set1, tst1)
 - 特殊命令の一部 (callt, dispose, switch)
- ・ (4)のロード命令がバイト・アクセスのロード命令 (ld.b, ld.bu, sld.b, sld.bu) の場合
- ・ 外部メモリ、または内蔵 RAM で(1)～(4)の命令列を実行する場合

【パターン 2】

以下のシーケンスで、(1)命令のアクセスの終了タイミングと、(2)命令の内蔵 RAM へのアクセス・タイミングが重なった場合

- (1) ld /sld : 外部メモリに対するロード命令
 | : [注 1]
 (2) ld /sld : 内蔵 RAM に対するロード命令
 (3) mul /mulu : ワード・データの乗算命令で、結果が 32bit だけ残るもの[注 2]
 | : [注 3]
 (4) ld /sld : 内蔵 ROM、または内蔵 RAM に対するミス・アライン・アクセスのロード命令

注 1 . (1)のロード命令と(2)のロード命令の間に他の命令が入り、(1)命令のアクセスの終了タイミングと、(2)命令の内蔵 RAM へのアクセス・タイミングが重なった場合に該当。

注 2 . mul/mulu 命令で、第 3 オペランド(reg3)に r0 を使用した場合、または、第 2 オペランド(reg2)と第 3 オペランド(reg3)に同じレジスタを使用した場合

```
mul reg1, reg2, reg3 (reg3=r0 または reg2=reg3)
mul imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
mulu reg1, reg2, reg3 (reg3=r0 または reg2=reg3)
mulu imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
```

reg2=reg3 の命令は C 言語で記載した場合、CA850 では出力されません

注 3 . (3)の乗算命令と(4)のロード命令の間に入る他の命令の実行クロック数が、2クロック以下の場合に該当。

ただし、次のいずれかに当てはまる場合には非該当になります。

- ・ 外部バスを使用していない場合
- ・ (1)のロード命令の読み出し結果を(2)のロード命令のアドレス指定に使用する場合
- ・ (1)のロード命令の読み出し結果を(1)と(2)の間に入る他の命令のソース・データとして使用する場合
- ・ (2)のロード命令の読み出し結果を(3)の乗算命令のソース・データとして使用する場合
- ・ (3)の乗算命令の演算結果を(4)のロード命令のアドレス指定に使用する場合
- ・ (3)の演算結果を、(3)と(4)の間に入る他の命令で、ソース・データとして使用する場合
- ・ (3)と(4)の間に次の命令のいずれかがある場合
 - 乗算命令 (mul, mulh, mulhi, mulu)
 - ビット操作命令 (clr1, not1, set1, tst1)
 - 特殊命令の一部 (callt, dispose, switch)
- ・ (4)のロード命令がバイト・アクセスのロード命令 (ld.b, ld.bu, sld.b, sld.bu) の場合
- ・ 外部メモリ、または内蔵 RAM で(1)～(4)の命令列を実行する場合

回避策

【開発中、または今後開発予定のシステムへの対応について】

C P U機能に関する使用制限事項としてマイコンは修正せず、コンパイラにより該当命令の生成を自動的に抑制するように致します。ただし、アセンブラで記述され、抑制できない命令にはメッセージを出力します。具体的な提供方法は、ご使用のコンパイラ毎に以下の通りとなります。

その他のコンパイラをご使用の場合は弊社販売員、または特約店を通じてご相談ください。

弊社製コンパイラ：C A 8 5 0の場合

現在の最新バージョンに対策機能を追加し、CA850 をバージョンアップして提供させていただきます。

コンパイラ CA850 を含む製品の、ソフトウェア・パッケージ SP850、C コンパイラ・パッケージ CA850 につきまして、対策品コンパイラ CA850 のバージョンとリリース時期を次に示します。

製品名	CA850 最新バージョン	CA850 対策バージョン	言語	リリース時期	入手方法
SP850	V3.40	V3.42	日本語	2009/11/9	バージョンアップ・サービスからダウンロード
CA850			英語	2009/11/9	

バージョンアップ・サービスの URL

<http://www.necel.com/micro/ja/ods/index.html>
(Japanese)

バージョンアップ・サービス

<http://www.necel.com/micro/en/ods/index.html>

Version-up Service (English)

・ G H S 製コンパイラ：C C 8 5 0の場合

お手数ですが、販売代理店（アドバンスド・データ・コントロールズ社）にお問い合わせください。

【開発済みシステムへの対応について】

添付の該非判定チェック・シート（別紙 2 3）の手順に沿って、問題発生条件の該非判定を行ってください。

【組み込み用ソフトウェア製品の該非確認について】

弊社製リアルタイムOS、ならびにミドルウェアの該非確認状況を以下に示します。

リアルタイムOS

R X 8 5 0 : 非該当
R X 8 5 0 P r o : 非該当
R X 8 5 0 V 4 : 非該当

ミドルウェア

高速浮動小数点ライブラリ（G O F A S T） : 非該当
J P E G : 非該当

上記以外の製品については、弊社販売員または特約店を通じて、個別にお問い合わせください。
また、サード・パーティ製品につきましては、各製品の供給元に個別にご相談願います。

改善計画

デバイスは修正せず、恒久的な制限事項とさせていただきます。
最新のコンパイラにより回避をお願いします。

3. 制限事項を回避するために必要な開発環境

制限事項 3 を回避するためには、以下の開発環境をお使いください。

- ・ 弊社製コンパイラ CA850 V3.42 以降
なお上記コンパイラを使用することで、旧バージョンのコンパイラでの出力結果と異なる場合がありますので、注意願います。
- ・ GHS 製コンパイラ CC850
GHS 製コンパイラにつきましては、販売代理店（アドバンスド・データ・コントロールズ社）
にお問い合わせください。
- ・ 上記以外の開発ツールをご使用のお客様は弊社販売員または特約店にお問い合わせください。

4. 発行文書履歴

文書番号	発行日	記事
SBG-DT-0091	2002年6月7日	初版発行
SBG-DT-0096	2002年6月11日	上記制限事項誤記訂正
SBG-DT-0125	2002年8月31日	制限事項追加
SBG-DT-0127	2002年9月25日	制限事項追加
SBG-DT-02-0020	2002年12月3日	制限事項追加
SBG-DT-03-0105	2003年3月18日	制限事項追加
SBG-DT-03-0174	2003年6月13日	制限事項追加
SBG-DT-03-0278	2003年11月10日	制限事項追加
SBG-DT-04-0052	2004年2月9日	制限事項追加
ZBG-CC-09-0049(最新版)	2009年11月9日	新規制限事項追加(制限事項3)

以上

V850ES/Kx1の使用制限事項一覧(マスク品)1

不具合履歴(1/4)

No.	不具合・制限事項	V850ES/KJ1				V850ES/KG1				V850ES/KF1			
		D703217		D703217Y		D703214		D703214Y		D703210		D703210Y	
		規格	K	E以降	K	E以降	K	E以降	K	E以降	K	E以降	K
不具合 1	D/Aコンバータ変換特性不具合	-	-	-	-	-	-	-	-	-	-	-	-
不具合 2	BVDD系ボート電源電圧に関する制限事項	-	-	-	-	-	-	-	-	-	-	-	-
不具合 3	ROMコレクション機能動作不具合	-	-	-	-	-	-	-	-	-	-	-	-
不具合 4	Flashライターによるボート書き込み時の制限事項	-	-	-	-	-	-	-	-	-	-	-	-
不具合 5	AVREF0/AVREF1 未使用時の端子処理に関する制限事項												
不具合 6	バス制御機能使用時に関する制限事項												
不具合 7	mul/mulu 命令に関する制限(1)												
不具合 8	Flash Verify に関する制限事項	-	-	-	-	-	-	-	-	-	-	-	-
不具合 9 改	VDD 4V でのFlash書き込み時に関する制限事項	-	-	-	-	-	-	-	-	-	-	-	-
不具合 10	IICバス通信予約に関する制限事項	-	-	x	-	-	-	x	-	-	-	x	-
不具合 11	自動転送機能付3線式シリアルにおける送信データ書き込み時に関する制限事項	x	-	x	-	x	-	x	-	x	-	x	-
特性変更 1	電源電流特性の変更 注1	x	-	x	-	x	-	x	-	x	-	x	-
特性変更 2	ロケル出力電圧特性変更	個別		個別		個別		個別		個別		個別	
特性変更 3	STOP 電流特性変更	ユーザーズマニュアル 3版(U15862JJ3V0UD00)以降にて追加・修正											
特性変更 4	電氣的特性追加												
特性変更 5	IDLE 電流特性変更												
特性変更 6	INTPnハイ/ロケル幅特性改善	x		x		x		x		x		x	
不具合 12	16ビット・タイマ出力に関する制限事項												
特性変更 7	スペック変更について	ユーザーズマニュアル 2版(U16889,U16890,U16891)以降にて追加・修正											
制限事項 1	自動送受信機能付き3線式シリアルインターフェース(CSIA)バッファRAM読み出し時に関する制限事項	ユーザーズマニュアル 2版(U16889,U16890,U16891)以降にて追加・修正											
仕様追加 1	XTSTPビットの追加	デバイスファイル V1.20にて追加予定、ユーザーズマニュアル 1版(次回改版からKJ1,KG1,KF1に分冊)にて修正予定											
制限事項 2	slid 命令と割り込み競合に関する制限事項												

注意 1 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

2 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外 : 制限事項修正済み x : 制限事項対象 (修正予定) : 制限事項対象 (修正予定なし)

3 上記一覧に記載されていない製品については非該当です。

注 1 本電氣的特性の変更に伴うデバイスの変更はありませんが、出荷選別プログラムが変わるため、製法規格により保証する電氣的特性は異なります。

V850ES/Kx1の使用制限事項一覧(マスク品)2 不具合履歴(2/4)

No.	不具合・制限事項	V850ES/KJ1		V850ES/KG1		V850ES/KF1	
		D703217 D703216	D703217Y D703216Y	D703215 D703214 D703213 D703212	D703215Y D703214Y D703213Y D703212Y	D703210 D703209 D703208	D703210Y D703209Y D703208Y
制限事項 3	mul/mulu 命令に関する制限事項(2)						

注意 1 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外 : 制限事項修正済み x : 制限事項対象 (修正予定) : 制限事項対象 (修正予定なし)

2 上記一覧に記載されていない製品 (V850ES/KE1) については非該当です。

V850ES/Kx1の使用制限事項一覧（フラッシュ品）1 不具合履歴(3/4)

No.	不具合・制限事項	V850ES/KJ1								V850ES/KG1						V850ES/KF1					
		D70F3217/D70F3217Y								D70F3214/D70F3214Y						D70F3210/D70F3210Y					
		規格							K	E以降	I				K	E以降	I				K
バージョン							1.0	1.1			1.2	1.3	2.0	2.1			1.0	1.3	2.0	2.1	
不具合 1	D/A コンバータ変換特性不具合	x	x	x						x						-	-	-	-	-	-
不具合 2	BVDD 系ポット電源電圧に関する制限事項	x	x							x						-	-	-	-	-	-
不具合 3	ROMコレクション機能動作不具合	x	x	x	x					x	x					x	x				
不具合 4	Flash ライフによるポット書き込み時の制限事項	x	x	x	x					x	x					x	x				
不具合 5	AVREF0/AVREF1 未使用時の端子処理に関する制限事項																				
不具合 6	バス制御機能使用時に関する制限事項																				
不具合 7	mul/mulu 命令に関する制限(1)																				
不具合 8	Flash Verify に関する制限事項	-	-	-	-	-	-	-	-	x	x					x	x				
不具合 9	VDD 4V でのFlash 書き込み時に関する制限事項	x	x	x	x	x		x		x	x	x		x		x	x	x		x	
不具合 10	IICバス通信予約に関する制限事項 注2	x	x	x	x	x		x		x	x	x		x		x	x	x		x	
不具合 11	自動転送機能付3線式シリアルにおける送信データ書き込み時に関する制限事項	x	x	x	x	x		x		x	x	x		x		x	x	x		x	
特性変更 1	電源電流特性の変更 注1	x	x	x	x	x		x		x	x	x		x		x	x	x		x	
特性変更 2	ドライバ出力電圧特性変更	個別対応							個別	個別対応						個別					
特性変更 3	STOP 電流特性変更	ユーザズマニュアル 3 版 (U15862JJ3V0UD00) 以降にて追加・修正予定																			
特性変更 4	電気的特性追加																				
特性変更 5	IDLE 電流特性変更																				
特性変更 6	INTPn ハイ/ドライバ幅特性改善	x	x	x	x	x		x		x	x	x		x		x	x	x		x	
不具合 12	16ビット・タイ出力に関する制限事項																				
特性変更 7	スペック変更について	ユーザズマニュアル 2 版 (U16889,U16890,U16891) 以降にて追加・修正																			
制限事項 1	自動送受信機能付き3線式シリアルインターフェース (CSIA) バッファRAM 読み出し時に関する制限事項	ユーザズマニュアル 2 版 (U16889,U16890,U16891) 以降にて追加・修正																			
仕様追加 1	XTSTPビットの追加	デバイスファイル V1.20 にて追加予定、ユーザズマニュアル 1 版 (次回改版から KJ1,KG1,KF1 に分冊) にて修正予定																			
制限事項 2	slid 命令と割り込み競合に関する制限事項																				

注意 1 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

2 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外 : 制限事項修正済み x : 制限事項対象 (修正予定) : 制限事項対象 (修正予定なし)

3 上記一覧に記載されていない製品については非該当です。

注 1 本電気的特性の変更に伴うデバイス変更はありませんが、出荷選別プログラムが変わるため、製法規格・バージョンにより保証する電気的特性は異なります。

注 2 本不具合は以下の Y 品 (IICバス対応品) のみ対象となります。Y なし品 (IICバス未対応品) は対象外です。

V850ES/KJ1: uPD70F3217Y V850ES/KG1: uPD70F3214Y V850ES/KF1: uPD70F3210Y

V850ES/Kx1の使用制限事項一覧（フラッシュ品）2 不具合履歴(4/4)

No.	不具合・制限事項	V850ES/KJ1 D70F3217/D70F3217Y D70F3217H/D70F3217HY D70F3218/D70F3218Y D70F3218H/D70F3218HY	V850ES/KG1 D70F3214/D70F3214Y D70F3214H/D70F3214HY D70F3215/D70F3215Y D70F3215H/D70F3215HY	V850ES/KF1 D70F3210/D70F3210Y D70F3210H/D70F3210HY D70F3211/D70F3211Y D70F3211H/D70F3211HY
制限事項 3	mul/mulu 命令に関する制限事項(2)			

注意 1 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外 : 制限事項修正済み x : 制限事項対象（修正予定） : 制限事項対象（修正予定なし）

2 上記一覧に記載されていない製品（V850ES/KE1）については非該当です。

不具合1 D/Aコンバータ変換特性不具合

不具合事項内容

AVREF1 (DAC用電源) = 3.0V以下でD/Aコンバータを動作させた場合、その変換精度がスペックを満足しません。

参)ターゲット・スペック (平成14年5月28日)

1.2 %FSR (負荷条件: 2M)

0.8 %FSR (負荷条件: 4M)

0.6 %FSR (負荷条件: 10M)

回避策

D/Aコンバータを使用の際は、AVREF1 = 3V以上としてください。

また回路修正による対策を実施いたします。不具合修正品の日程は以下の通りです。

[KJ1修正サンプル]

2002年7月

[KG1修正サンプル]

2002年7月

詳細日程については当社営業・特約店にご確認ください。

不具合2 BVDD系ポートの電源電圧に関する制限事項

不具合事項内容

BVDD電源電圧を他の電源電圧以下とした場合 ($VDD = EVDD = AVREF0 = BVDD$)、 $BVDD = 3V$ 以下では、以下に示すBVDD系ポート (アルファベット・ポート) において端子の入出力レベルが不定となります。

ただし、電源電圧を同一にした場合 ($VDD = EVDD = AVREF0 = BVDD$) は、動作保証範囲である2.7V以上で正常に動作します。

[BVDD系ポート一覧]

・KJ1: PCD0-3、PCM0-5、PCS0-7、PCT0-7、PDH0-7、PDL0-15

・KG1: PCM0-3、PCS0-1、PCT0-1/4/6、PDH0-5、PDL0-15

・KF1: PCM0-3、PCS0-1、PCT0-1/4/6、PDL0-15

回避策

$VDD = EVDD = AVREF0 = BVDD = 2.7V$ としてください。

また、回路修正による対策を実施いたします。不具合修正品の日程は以下の通りです。

[KJ1修正サンプル]

2002年6月

[KG1修正サンプル]

2002年7月

詳細日程については当社営業・特約店にご確認ください。

不具合3 ROMコレクション機能動作不具合

不具合事項内容

制御レジスタを含む全機能について動作しません。

回避策

KJ1/KG1/KF1 Flash品について回路修正による対策を実施いたします。
不具合の修正は下記日程で実施済みです。

DS : 2002年10月

MP : 2002年11月

不具合4 Flashライターによるオンボード書き込み時の制限事項

不具合事項内容

専用フラッシュ・ライターを使用し、オンボード・フラッシュプログラミングを行う際、正常なライターとの通信を行うことができない場合があります。ライターと正常に通信を行うためには、以下条件としてください。

- ・フラッシュ・ライター : PG - FP3、PG - PF4
- ・パラメータ・ファイル : 70f321x.prc(暫定)

ライターとの通信方式	動作クロック		備考
	ボード上の発振子を使用	ライターからクロック供給	
CSIO	2-10MHz	2-10MHz	CSIOをご使用の際に制限はありません。
CSIO+HS	4MHzのみ	不可	左記以外の動作クロックではライターとの通信が正常に行えません。
UART0	4MHzのみ	不可	

回避策

暫定対策 :

ご使用になる動作クロック/通信方式に応じた専用のパラメータ・ファイルをご用意いたします。
この専用パラメータ・ファイルを使用することにより、上記条件以外でのフラッシュ書き込みが可能です。ただし、他条件でのご使用はできません。

お手数ですが、ご使用の周波数を当社営業・特約店にご連絡ください。それに応じたパラメータ・ファイルをご提供いたします。

恒久対策 :

KJ1/KG1/KF1 Flash品について回路修正による対策を実施いたします。
不具合の修正は下記日程で実施済みです。

DS : 2002年10月

MP : 2002年11月

不具合 5 AVREF0/AVREF1 未使用時の端子処理に関する制限事項

不具合事項内容

本製品のユーザーズマニュアル（暫定）(U15862JJ1V0UM00) に記載のある AVREF0/AVREF1 端子の未使用時の推奨処理方法に誤記があります。

< 誤 >

抵抗を介し、VSS に接続してください。

< 正 >

VDD に直接接続してください。

回避策

恒久対策：

本内容を次回ユーザーズマニュアル修正時（U15862JJ2以降）に反映いたします。

詳細日程は当社営業・特約店にご確認ください。

不具合6 バス制御機能使用時に関する制限事項

不具合事項内容

外部バス機能において、下記動作条件時には信号が正常なタイミングで出力されない可能性があります。

<条件>

マルチプレクス・バス・モード

CLKOUT 非同期 2.7V VDD=EVDD=AVREF0 5.5V 2.7V BVDD 5.5V

1/fcpu < 84ns で使用時

【K J 1 / K G 1】

セパレート・バス・モード

リード・サイクル CLKOUT 非同期

4.0V VDD=EVDD=AVREF0 5.5V 4.0V BVDD 5.5V

1/fcpu < 100ns で使用時

ライト・サイクル CLKOUT 非同期

4.0V VDD=EVDD=AVREF0 5.5V 4.0V BVDD 5.5V

1/fcpu < 60ns で使用時

リード・サイクル CLKOUT 非同期

2.7V VDD=EVDD=AVREF0 5.5V 2.7V BVDD 5.5V

1/fcpu < 200ns で使用時

ライト・サイクル CLKOUT 非同期

2.7V VDD=EVDD=AVREF0 5.5V 2.7V BVDD 5.5V

1/fcpu < 100ns で使用時

回避策

恒久対策：

上記条件で使用時には、以下のようにアドレス・ウェイト制御レジスタ(AWC)にてアドレス・セットアップ/ホールド・ウェイトを必ず挿入してください。

マルチプレクス・バス・モード

【上記 の条件で使用時】

・ [70ns < 1/fcpu < 84ns 時]

アドレス・セットアップ・ウェイト(ASWn 1)を設定

・ [62.5ns < 1/fcpu < 70ns 時]

アドレス・セットアップ・ウェイト(ASWn 1)およびアドレス・ホールド・ウェイト(AHWn 1)を設定

セパレート・バス・モード

【上記 ~ の条件で使用時】

アドレス・セットアップ・ウェイト(ASWn 1)を設定

本内容を次回ユーザーズマニュアル修正時 (U15862JJ2 以降) に反映いたします。

詳細日程は当社営業・特約店にご確認ください。

不具合7 mul/mulu命令に関する制限(1)

制限事項内容

mul、mulu命令において、1stオペランドと3rdオペランドに同じレジスタを使用する命令実行中に割り込みが発生した場合、演算結果(3rdオペランドのレジスタ値)が不定になる場合があります。なお、命令そのものは実行終了し、続く命令を実行します。

NEC製のCコンパイラは本該当命令を生成しません。ただし、アセンブリ言語による記述箇所では該当命令を使用した場合は制限の対象になります。記述有無の確認としては、エディタのグローバル検索機能等をご使用ください。

GHS社、レッドハット社、ウインドリバー社製品については、下記[関連製品]を参照ください。

[制限事項対象命令記述]

```
mul    reg1, reg2, reg1
mulu   reg1, reg2, reg1
```

; レジスタ reg1、reg2 は異なるレジスタ。reg1 は、r0 (ゼロ・レジスタ) 以外。

[非該当条件]

1stオペランドと3rdオペランドに使用するレジスタが異なる場合は、非該当です。

また、NEC製Cコンパイラは、本該当命令形式を生成しません。さらに、リアルタイムOS (RX850、RX850pro)、ミドルウェアの各製品についても該当する命令形式を使用しておりません。

回避策

本内容は制限事項となります。以下の記述でプログラミングしてください。

```
mul    reg1, reg2, reg3
および
mulu   reg1, reg2, reg3
```

; レジスタ reg1、reg2、reg3 は異なるレジスタ。reg3 は、r0 以外。

または、

```
mov    reg1, rtmp
mul    rtmp, reg2, reg1
および
mov    reg1, rtmp
mulu   rtmp, reg2, reg1
```

; レジスタ reg1、reg2、rtmp は異なるレジスタ。reg1, rtmp は r0 以外。

関連製品

・GHS製品について

Cコンパイラは、過去にリリースされたVer1.8.9までにおいて、お客様が組み込み関数 `__MULSH()`、`__MULUH()` を使った場合で、かつ最適化モードの設定によっては本使用制限の命令形式が選択生成される可能性があります。

本使用制限命令の有無は、GHS製コンパイラ付属の逆アセンブラである“gdump”を使用し「%gdumpa.out | grep mul」により全てのmul命令を抽出して、該非確認をお願いします。

次にリリースされるMULTI2000 Rel3.5からは、本命令形式をC記述でもアセンブラ記述でも生成せず、アセンブリ時にエラーとして検出します。MULTI2000 Rel3.5は、米国で2002年2月、日本では2002年3月にリリース予定ですが、詳細は株式会社アドバンストデータコントロールズ社にご確認ください。また、ランタイム・ライブラリについては、mul/mulu命令自体は使用していますが、本命令形式は過去、今後とも使用しません。

・レッドハット社、ウインドリバー社製品について

両社のGNUコンパイラは、本使用制限に該当する命令形式を過去、今後とも生成しません。

不具合 8 Flash Verify に関する制限事項

制限事項内容

対象製品において Flash 書き込み時、Verify を行うとエラーになる場合があります。

ただし、本不良動作では Verify のみのエラーであり、書き込み/消去については問題ありません。

回避策

暫定対策：

以下 ~ のどれかの条件設定で Verify を行ってください。

VDD 4.0V (REGC 端子 = VDD 接続時：レギュレータ非動作)

REGC 端子を 10uF を介し GND へ接続 (レギュレータ動作)

Fx 4MHz (この条件であれば REGC 端子処理、VDD 電圧に関係ありません)

恒久対策：

製法規格 I V2.0 以降 (または製法規格 K 以降) で修正を行います。

本バージョンの製品は日程については、詳細日程は当社営業・特約店にご確認ください。

注) 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

不具合9改 VDD 4VでのFlash書き込み時に関する制限事項

制限事項内容

VDD 4V または REGC=10uF (レギュレータ使用時)でのフラッシュ書き込み時において、正常に書き込み/消去/ベリファイができない可能性があります。

(通常動作に問題はありません。)

回避策

暫定対策：

フラッシュの書き込み/消去/ベリファイを行う場合は、 $VDD > 4V$ かつ $REGC=VDD > 4V$ で行ってください。

恒久対策：

製法規格 I V2.1 以降 (または製法規格 E 以降) でデバイス修正を行います。

本バージョンの製品は日程については、詳細日程は当社営業・特約店にご確認ください。

注) 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

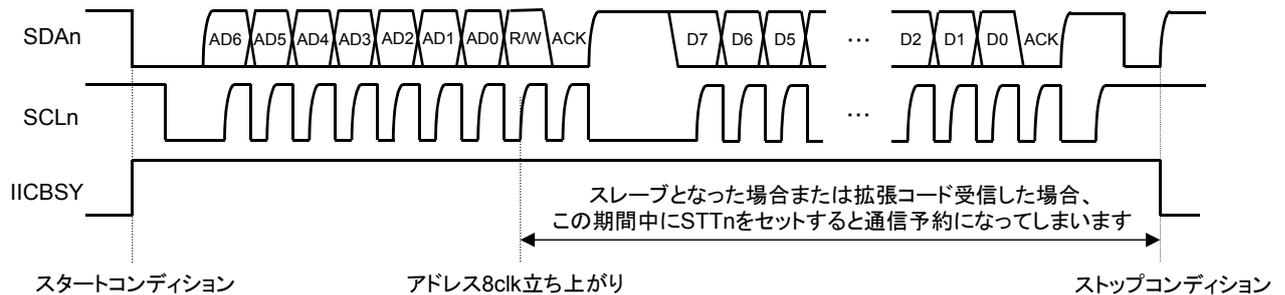
不具合10 IICバス通信予約に関する制限事項

制限事項内容

IICバス・インタフェース(IICn)において、以下の条件の満たした場合、通信予約禁止状態(IICRSVn=1)であっても通信予約となってしまいます。またこの場合、スタートコンディションクリアフラグ(STCFn)もセットされません。(n=0,1)(下図をご参照ください)

アドレス値がスレーブアドレスレジスタ(SVAn)と一致した場合、または拡張コードを受信した場合。

アドレス8clkの立ち上がりからストップコンディション検出までの間にスタートコンディショントリガ(STTn)をセットした場合。



回避策

暫定対策：

ソフトウェアにより回避できます。

本不具合が発生するタイミングでは必ずバスフラグ(IICBSY)がセットされた状態にありますので、通信予約禁止状態(IICRSVn=1)でスタートコンディションを生成する場合(STTn=1)は、IICバス状態フラグがクリアされていること(IICBSYn=0)を確認してから行ってください。

尚、STTnをセットするタイミングはIICBSYn=0を確認した直後から可能ですが、逆に割り込みが入ってしまうなどセットするタイミングまでの間隔が大きすぎる場合、その間にスタートコンディションを検出しアドレス8clkでスレーブ一致または拡張コードを受信してしまう可能性があるため、割り込みを禁止することを推奨します。

恒久対策：

製法規格I V2.1以降(または製法規格E以降)でデバイス修正を行います。

本バージョンの製品は日程については、詳細日程は当社営業・特約店にご確認ください。

注) 製法規格はパッケージ捺印のLOT番号で左から5桁目のアルファベット表記になります。

不具合 1 1 自動転送機能付3線式シリアルにおける送信データ書き込み時に関する制限事項

制限事項内容

自動送受信機能付3線式シリアル・インタフェース (CSIA_n) において、バッファ RAM (CSIA_nB_m) に送信データを書き込む場合、対象となる書き込み命令の次に実行する命令によっては、正常にデータを書き込めない場合があります。(n=0,1 m=0-F)

ただし、下記条件で使用する場合は、本制限事項の対象外となります。

条件： CSIA_n 入力クロック (fSCKA) が CPU の動作クロック (fcpu) の 10 倍より高速
 $fcpu \times 10 < fSCKA$

fSCKA : CSIA_n ステータスレジスタ (CSIS_n) のビット 6,7 (CKSA_n0,CKSA_n1) で選択される CSIA_n 入力クロック

回避策

暫定対策：

ソフトウェアにより以下の回避策の内どれかを行ってください。今回の不具合回避のためには、同一のアクセス長命令を書き込みが終了するまで使用する必要があります。

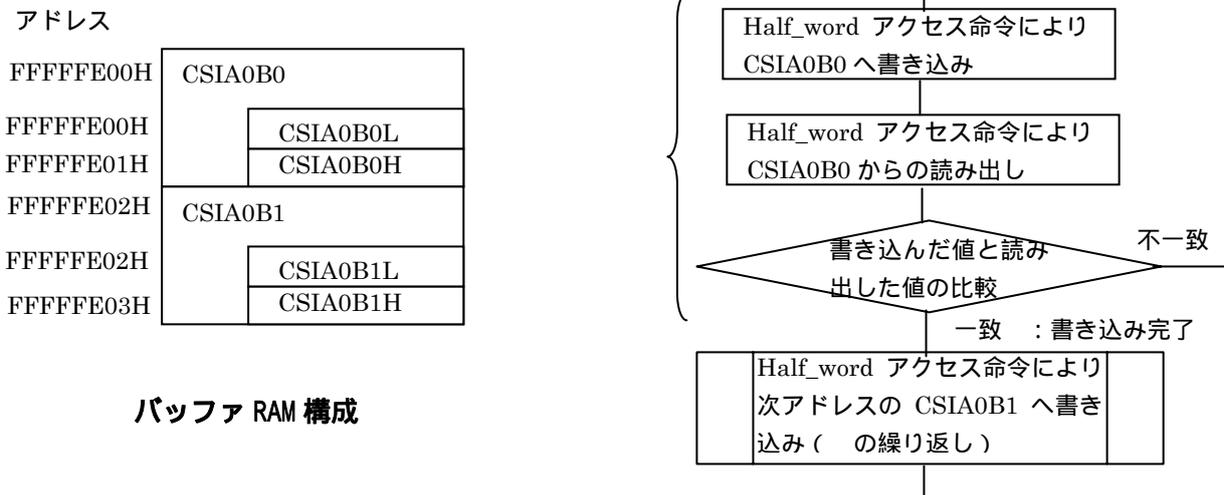
【回避策】

Half_Word アクセス命令 (ST.H) を使用し、書き込み後その内容を読み出し、比較を行い、異なったデータの場合は再度書き込みを行ってください。

この場合、割り込みを禁止する必要はありません。

奇数バイト数書き込む場合は、上位アドレス番地のバッファ RAM (CSIA_nB_mH) にはダミーデータをライトしてください。比較結果が一致し書き込みの確認が完了するまで、レジスタへのアクセスは Half_Word アクセス命令を使用する必要があります。

< バッファ RAM への書き込み例 (CSIA0B0-CSIA0B1 への書き込み例) >



< 1 バイトデータのみを書き込む場合 (CSIA0B0L への書き込み例) >

CSIA0B0L のみへの書き込みを行う場合も の動作を行い、CSIA0B0H (上位アドレス番地のバッファ RAM) にはダミーデータをライトしてください。

【回避策】

DI 命令により割り込みを禁止し、Half_Word アクセス命令 (ST.H) のみを使用しバッファ RAM への書き込みを行ってください。さらに、書き込みを行った最終の 2 バイトについては、もう一度書き込みを行ってください。(最終 2 バイトのデータの 2 度書きを行ってください。) バッファ RAM にデータを書き込んでから、最終のデータを 2 度書きするまでの間、NOP/演算命令以外の命令を行わないでください。

奇数バイト数書き込む場合は、上位アドレス番地のバッファ RAM(CSIAnBmH)にはダミーデータをライトしてください。

【回避策】

DI 命令により割り込みを禁止し、byte アクセス命令 (ST.B) のみを使用しバッファ RAM への書き込みを行ってください。さらに、最終のデータをバッファ RAM に書き込んだ後、CSISn のビット 6,7(CKSAn1,CKSAn0)で選択した入力クロックの 5clk 分以上の NOP 命令もしくは演算命令を実行してください。

恒久対策：

製法規格 I V2.1 以降 (または製法規格 E 以降) でデバイス修正を行います。

本バージョンの製品は日程については、詳細日程は当社営業・特約店にご確認ください。

注) 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

特性変更 1 電源電流特性の変更

変更内容

評価の結果、電源電流特性の TYP, Max 値を改善（低減）します。

（本内容はあくまで評価によって電源電流特性を改善するものであり、本事項のためのデバイス変更等は行っておりません。）

変更内容および変更前の電源電流特性を別紙 12-2（フラッシュ品）, 12-3（マスク品）に添付します。

対応について

本内容が適用されるのは、以下の製品からになります。

マスク品 : E 規格以降

フラッシュ品: I 規格 V2.1 以降および E 規格以降

上記以外のバージョン、製法規格の製品も電源電流特性の実力は変わりません。（デバイス実力ばらつきを含まず）

ただし、本電气的特性の変更に伴うデバイスの変更はありませんが、出荷選別プログラムが変わるため、製法規格により保証する電气的特性は異なります。

DC特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5$ V, 2.7 V BV_{DD} V_{DD} , 2.7 V AV_{REF1} V_{DD} ,

$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	変更前			変更後			単位	
			MIN	TYP	MAX	MIN	TYP	MAX		
電源電流 ^{注1} (フラッシュ版)	IDD1	通常動作	f _{xx} = 20 MHz (OSC = 5 MHz) (PLLモード時) REGC = V _{DD} = 5 V ± 10 %		58	80		43	60	mA
			f _{xx} = 16 MHz (OSC = 4 MHz) (PLLモード時) REGC = Capacity V _{DD} = 5 V ± 10 %		37	52		27	40	mA
			f _{xx} = 10 MHz (OSC = 10 MHz) REGC = V _{DD} = 3 V ± 10 %		25	35		14	29	mA
	IDD2	HALTモード	f _{xx} = 20 MHz (OSC = 5 MHz) (PLLモード時) REGC = V _{DD} = 5 V ± 10 %		25	35		18	28	mA
			f _{xx} = 16 MHz (OSC = 4 MHz) (PLLモード時) REGC = Capacity V _{DD} = 5 V ± 10 %		14	25		11	20	mA
			f _{xx} = 10 MHz (OSC = 10 MHz) REGC = V _{DD} = 3 V ± 10 %		9	14		6	11	mA
	IDD3	IDLEモード	OSC = 5 MHz (PLLモード・オフ時) REGC = V _{DD} = 5 V ± 10 %		1200	2000		1200	2000	μA
			OSC = 4 MHz (PLLモード・オフ時) REGC = Capacity V _{DD} = 5 V ± 10 %		900	1600		900	1600	μA
			OSC = 10 MHz (PLLモード・オフ時) REGC = V _{DD} = 3 V ± 10 %		900	1600		900	1600	μA
	IDD4	サブクロック 動作モード	f _{XT} = 32.768 kHz		260	370		190	320	μA
	IDD5	サブクロック IDLEモード	f _{XT} = 32.768 kHz		15	60		15	60	μA
	IDD6	STOPモード			0.8	30		0.1 ^{注2}	30	μA

注1 V_{DD} , EV_{DD} , BV_{DD} 合計の電流です(全ポート停止時)。 AV_{REF0} は含みません。

注2 以前の文書 (SBG-DT-0127) から変更しています。内容は別紙 14 にてご報告しています。

DC特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5$ V, 2.7 V BV_{DD} V_{DD} , 2.7 V AV_{REF1} V_{DD} ,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	変更前			変更後			単位	
			MIN	TYP	MAX	MIN	TYP	MAX		
電源電流 ^注 (マスク版)	IDD1	通常動作	f _{xx} = 20 MHz (OSC = 5 MHz) (PLLモード時) REGC = V _{DD} = 5 V ± 10 %		43	65		30	45	mA
			f _{xx} = 16 MHz (OSC = 4 MHz) (PLLモード時) REGC = Capacity V _{DD} = 5 V ± 10 %		25	38		18	30	mA
			f _{xx} = 10 MHz (OSC = 10 MHz) REGC = V _{DD} = 3 V ± 10 %		15	22		9	18	mA
	IDD2	HALTモード	f _{xx} = 20 MHz (OSC = 5 MHz) (PLLモード時) REGC = V _{DD} = 5 V ± 10 %		24	30		17	25	mA
			f _{xx} = 16 MHz (OSC = 4 MHz) (PLLモード時) REGC = Capacity V _{DD} = 5 V ± 10 %		13	22		10	18	mA
			f _{xx} = 10 MHz (OSC = 10 MHz) REGC = V _{DD} = 3 V ± 10 %		8	13		5	10	mA
	IDD3	IDLEモード	OSC = 5 MHz (PLLモード・オフ時) REGC = V _{DD} = 5 V ± 10 %		900	1400		900	1400	μA
			OSC = 4 MHz (PLLモード・オフ時) REGC = Capacity V _{DD} = 5 V ± 10 %		600	1000		600	1000	μA
			OSC = 10 MHz (PLLモード・オフ時) REGC = V _{DD} = 3 V ± 10 %		600	1000		600	1000	μA
	IDD4	サブクロック 動作モード	f _{XT} = 32.768 kHz		110	160		70	160	μA
IDD5	サブクロック IDLEモード	f _{XT} = 32.768 kHz		15	60		15	60	μA	
IDD6	STOPモード			0.8	30		0.1 ^{注2}	30	μA	

注1 V_{DD}, EV_{DD}, BV_{DD} 合計の電流です(全ポート停止時)。AV_{REF0} は含みません。

注2 以前の文書 (SBG-DT-0127) から変更しています。内容は別紙 14 にてご報告しています。

特性変更 2 ロウレベル出力電圧特性変更

変更内容

ロウレベル出力電圧特性 (VOL4) にてスペックを以下のように変更いたします。

ロウレベル出力電圧特性 (VOL4 : P36-P39) (フラッシュ品、マスク品含む全製品)

項目	変更前		変更後	
	条件	Max	条件	Max
VOL4 P32-P39	IOL=8mA EVDD=2.7-5.5V	1.0V	IOL=8mA EVDD= 3.0 -5.5V	1.0V
			IOL= 5 mA EVDD=2.7-5.5V	1.0V

対応について

本内容はユーザーズマニュアル (U15862JJ3 以降) において反映いたします。

現行の製品について本スペックでご使用の場合、個別にご対応させていただきその値を保証いたします。

今後出荷する製品について、マスク品、フラッシュ品とも E 規格品より変更スペックを適用いたします。

特性変更 3 STOP 電流特性変更

変更内容

評価の結果、STOP 電流特性の TYP 値以下のように改善（低減）します。

（変更前）0.8uA （変更後）0.1uA

（本内容はあくまで評価によって電源電流特性を改善するものであり、本事項のためのデバイス変更等は行っておりません。）

変更内容および変更前の電源電流特性を別紙 12-2（フラッシュ品）、12-3（マスク品）に反映いたしました。

対応について

本内容を次回ユーザーズマニュアル改版時（U15862JJ3以降）に反映いたします。

本内容によるデバイスの修正、変更はございません。

特性変更 4 電気的特性追加

追加内容

外部クロック入力時のデューティ条件追加 (メインクロックおよびサブクロック)

メインクロック発振回路特性

($T_a = -40$ to $+85^\circ\text{C}$, $V_{DD} = 2.7$ to 5.5V , $V_{SS} = 0\text{V}$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
外部クロック	X1,X2 入力周波数(F_x)	REGC=VDD デューティ 50%±5%	2		10	MHz

追加

サブクロック発振回路特性

($T_a = -40$ to $+85^\circ\text{C}$, $V_{DD} = 2.7$ to 5.5V , $V_{SS} = 0\text{V}$)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
外部クロック	XT1 入力周波数(F_{xt})	REGC=VDD デューティ 50%±5%	32		35	KHz

追加

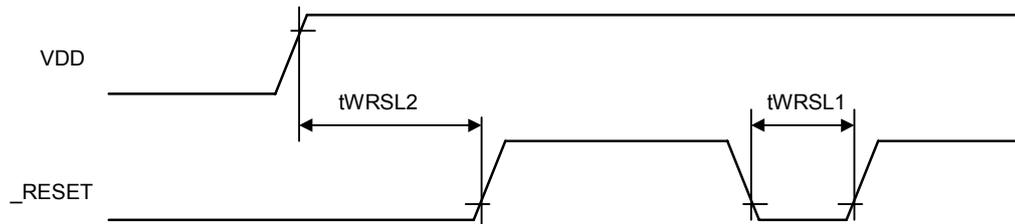
基本動作

($T_a = -40$ to $+85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{V}$, 2.7V B_{VDD} V_{DD} , 2.7V AV_{REF1} V_{DD} ,

$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{V}$, $CL = 50\text{pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
_RESET ロウレベル幅	tWRSL1	パワー-ON 状態でのリセット	2			us
	tWRSL2	REGC=VDD 時のパワー-ON リセット	2		TBD	us
		REGC=Capacity 時のパワー-ON リセット	10		TBD	us

追加



対応について

本内容をユーザーズマニュアル改版時 (U15862JJ3 以降) に反映いたします。
本内容によるデバイスの修正、変更はございません。

特性変更 5 IDLE 電流特性変更

変更内容

以下のようにマスク品の IDLE モードの電流特性において変更いたします。
本内容に対するデバイスの修正はありません。

特性変更 5 IDLE モード電流特性（マスク品全製品）

発振回路の負荷容量によって値が変わる可能性があるため、以下の条件を追加いたします。

項目	変更前					変更後				
	条件		TYP	Max	単位	条件		TYP	Max	単位
IDD4	IDLE モード	OSC=5MHz (PLL モード・オフ時) REGC=VDD=5V ± 10%	900	1400	μA	IDLE モード	OSC=5MHz (PLL モード・オフ時) REGC=VDD=5V ± 10%	900	1400	μA
		OSC=4MHz (PLL モード・オフ時) REGC=VDD=5V ± 10%	600	1000	μA		OSC=4MHz (PLL モード・オフ時) REGC=VDD=5V ± 10%	600	1000	μA
		OSC=10MHz (PLL モード・オフ時) REGC=VDD=3V ± 10%	600	1000	μA		OSC=10MHz (PLL モード・オフ時) REGC=VDD=3V ± 10%	600	1000	μA

注：発振子回路の負荷容量を 15pF にした場合

対応について

本内容をユーザーズマニュアル改版時（U15862JJ4 以降）に反映いたします。

特性変更 6 INTPn ハイ/ロレベル幅特性改善

変更内容

以下のように INTPn ハイレベル・ロレベル幅の電気的特性を改善いたします。
本内容に対するデバイスの修正はありません。

特性変更 6 基本動作（フラッシュ品・マスク品全製品）

以下のように特性を改善いたします。本内容に対するデバイスの変更はありません。

項目	略号	条件	変更前				変更後			
			Min	TYP	Max	単位	Min	TYP	Max	単位
INTPn ハイレベル幅	t_{WITH}	n=0-6(アノグノイズ除去)	1			μs	0.6			μs
INTPn ロレベル幅	t_{WITL}	n=0-6(アノグノイズ除去)	1			μs	0.6			μs

対応について

本内容をユーザーズマニュアル改版時（U15862JJ4 以降）に反映いたします。

不具合 12 16ビット・タイマ出力に関する制限事項

制限事項内容

16ビット・タイマ/イベント・カウンタ 00 においてタイマ出力 F/F の状態を設定する場合、TOC00(タイマ出力コントロールレジスタ)の設定方法によっては正しく設定できない場合がございます。

TOE00 より先に LVS00 に "1" をセットした場合は、LVS00 の設定は無効となりロウ・レベルを出力します。また、LVS00 と TOE00 を同時に "1" をセットした場合タイマ出力は不定となります。

<16ビット・タイマ出力コントロール・レジスタのフォーマット>

略号	7	6	5	4	3	2	1	0
TOC0n	0	OSPT0m	OSPE0m	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n

LVS0n	LVR0n	タイマ出力 F/F の状態の設定
0	0	変化しない
0	1	タイマ出力 F/F をリセット(0)
1	0	タイマ出力 F/F セット(1)
1	1	設定禁止

TOE0n	タイマ出力の制御
0	出力禁止
1	出力許可

(n=0-5, m=0,1,4,5,)

回避策

LVS0n に "1" をセットして、タイマ出力からハイレベルを出力する場合は、必ず事前に TOE0n に "1" をセットし、タイマ出力許可状態にしてから LVS0n に "1" を設定してください。以下にプログラム例を示します。

<プログラム例>

```

:
mov    0x00000001b,reg ;reg は任意のレジスタ
st.b  reg,TOC0n      ; 16ビットタイマ出力を許可
mov    0x00011011b,reg ;reg は任意のレジスタ
st.b  reg,TOC0n      ; その他の設定とタイマ出力 F/F をハイレベルに設定
:                                     (タイマ出力はハイレベルになります。)
mov    0x00001100b,reg
st.b  reg, TMC0n     ; タイマ動作開始

```

(n=0-5, m=0,1,4,5,)

また、本内容をユーザズマニュアル改版時 (U15862JJ4 以降) にて注意事項として記載いたします。

特性変更7 スペック変更について

制限事項内容

電气的特性に誤記および変更内容がございます。

1) タイマタイミング

内容：MIN 値に誤記がございます。

項目	条件	MIN		単位
		誤	正	
T10n ハイ・レベル幅	REGC=VDD=5V ± 10%	2/fsam+0.1	2/fsam+100	ns
T10n ロウ・レベル幅	REGC=Capacity, VDD=4.0-5.5V REGC=VDD=3.5-5.5V	2/fsam+0.2	2/fsam+200	ns

2) バス・タイミング

内容：CLOCKOUT 非同期時（マルチプレクス・バス・モード、セパレート・バス・モード）のバスタイミングをソフトウェアでのアドレスセットアップウエイト、アドレスホールドウエイトを考慮したスペックに変更します。

変更箇所のみ詳細に記載いたします。別紙 18-2～18-7 をご参照ください。

3) RESET ロウレベル幅

内容：REGC=Capacity 時のパワーオン・リセットの条件において、RESET ロウレベル幅の時間を変更いたします。（REGC=VDD 時のパワーオン・リセットは変更なし）

詳細は別紙 18-8 をご参照ください。

対応について

本内容をユーザーズマニュアル第2版（U16889, U16890, U16891）に反映いたします。

また、今回の修正により、アプリケーション上問題がある場合は別途当社営業および特約店にご相談ください。

バスタイミング

(1) マルチプレクス・バス・モード時

(a) CLKOUT 非同期：マルチプレクス・バス・モード時

($T_a = -40 \sim +85$, $V_{DD} = AVREF0 = EVDD = 4.0 \sim 5.5V$, $4.0V$ AVREF1 VDD , $4.0V$ BVDD VDD , $V_{SS} = AVSS = BVSS = EVSS = 0V$, $CL = 50pF$)(1/2)

項目	略号	条件	min.	max.	単位
アドレス設定時間 (対 ASTB)	tSAST	<11>	$(0.5 + tasw)$ T-23		ns
アドレス保持時間 (対 ASTB)	tHSTA	<12>	$(0.5 + tasw)$ T-15		ns
_RD アドレス・フロート遅延時間	tFRDA	<13>		16	ns
アドレス データ入力設定時間	tSAID	<14>		$(2 + n + tasw + tahw)$ T-40	ns
_RD データ入力設定時間	tSRID	<15>		$(1 + n + tasw + tahw)$ T-25	ns
ASTB _RD, _WRm 遅延時間	tDSTRDWR	<16>	$(0.5 + tahw)$ T-20		ns
データ入力保持時間 (対 _RD)	tHRDID	<17>	0		ns
_RD アドレス出力時間	tDRDA	<18>	$(1 + i)$ T-16		ns
_RD, _WRm ASTB 遅延時間	tDRDWRST	<19>	0.5T-10		ns
_RD ASTB 遅延時間	tDRDST	<20>	$(1.5 + i + tasw)$ T-10		ns
_RD, _WRm ロウレベル幅	tWRDWRL	<21>	$(1 + n)$ T-10		ns
ASTB ハイレベル幅	tWSTH	<22>	$(1 + tasw)$ T-25		ns
_WRm データ出力時間	tDWRD	<23>		20	ns
データ出力設定時間 (対 _WRm)	tSODWR	<24>	$(1 + n)$ T-25		ns
データ出力保持時間 (対 _WRm)	tHWRD	<25>	T-15		ns
_WAIT 設定時間 (対 アドレス)	tSAWT1	<26>	n 1	$(1.5 + tasw + tahw)$ T-45	ns
	tSAWT2	<27>		$(1.5 + n + tasw + tahw)$ T-45	ns
_WAIT 保持時間 (対 アドレス)	tHAWT1	<28>	n 1	$(0.5 + n + tasw + tahw)$ T	ns
	tHAWT2	<29>		$(1.5 + n + tasw + tahw)$ T	ns
_WAIT 設定時間 (対 ASTB)	tSSTWT1	<30>	n 1	$(1 + tahw)$ T-32	ns
	tSSTWT2	<31>		$(1 + n + tahw)$ T-32	ns
_WAIT 保持時間 (対 ASTB)	tHSTWT1	<32>	n 1	$(n + tahw)$ T	ns
	tHSTWT2	<33>		$(1 + n + tahw)$ T	ns
_HLDRQ ハイレベル幅	tWHQH	<34>	T+10		ns
_HLDAK ロウレベル幅	tWHAL	<35>	T-15		ns
_HLDAK バス出力遅延時間	tDHAC	<36>	-40		ns
_HLDRQ _HLDAK 遅延時間	tDHQHA1	<37>		$(2n + 7.5)$ T+40	ns
_HLDRQ _HLDAK 遅延時間	tDHQHA2	<38>	0.5T	1.5T+40	ns

注意 CPU 動作クロック周波数の使用条件によっては、次の設定を行ってください。(n=0-3)

・ $70ns < 1/f_{cpu}$

備考 1 . $T = 1/f_{cpu}$ (f_{cpu} : CPU 動作クロック周波数)

2 . n : バスサイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

3 . m=0, 1

4 . i : リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

5 . 上記スペックは、X1 からデューティ比 1 : 1 のクロックを入力した場合の値です。

6 . tasw : アドレス・セットアップ・ウェイト・クロック数

tahw : アドレス・ホールド・ウェイト・クロック数

($T_a = -40 \sim +85$, $V_{DD} = AVREF0 = EVDD = 2.7 \sim 5.5V$, $2.7V$ $AVREF1$ V_{DD} , $2.7V$ BV_{DD} V_{DD} , $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0V$, $CL = 50pF$) (2/2)

項目	略号	条件	min.	max.	単位
アドレス設定時間 (対 ASTB)	tSAST	<11>	(0.5+ $tasw$) T-42		ns
アドレス保持時間 (対 ASTB)	tHSTA	<12>	(0.5+ $tasw$) T-30		ns
_RD アドレス・フロート遅延時間	tFRDA	<13>		32	ns
アドレス データ入力設定時間	tSAID	<14>		(2+n+ $tasw+tahw$) T-72	ns
_RD データ入力設定時間	tSRID	<15>		(1+n+ $tasw+tahw$) T-40	ns
ASTB _RD, _WRm 遅延時間	tDSTRDWR	<16>	(0.5+ $tahw$) T-35		ns
データ入力保持時間 (対 _RD)	tHRDID	<17>	0		ns
_RD アドレス出力時間	tDRDA	<18>	(1+i) T-32		ns
_RD, _WRm ASTB 遅延時間	tDRDWRST	<19>	0.5T-20		ns
_RD ASTB 遅延時間	tDRDST	<20>	(1.5+i+ $tasw$) T-20		ns
_RD, _WRm ロウレベル幅	tWRDWRL	<21>	(1+n) T-20		ns
ASTB ハイレベル幅	tWSTH	<22>	(1+ $tasw$) T-50		ns
_WRm データ出力時間	tDWRDOD	<23>		35	ns
データ出力設定時間 (対 _WRm)	tSODWR	<24>	(1+n) T-40		ns
データ出力保持時間 (対 _WRm)	tHWRDOD	<25>	T-30		ns
_WAIT 設定時間 (対 アドレス)	tSAWT1	<26> n 1		(1.5+ $tasw+tahw$) T-80	ns
	tSAWT2	<27>		(1.5+n+ $tasw+tahw$) T-80	ns
_WAIT 保持時間 (対 アドレス)	tHAWT1	<28> n 1	(0.5+n+ $tasw+tahw$) T		ns
	tHAWT2	<29>	(1.5+n+ $tasw+tahw$) T		ns
_WAIT 設定時間 (対 ASTB)	tSSTWT1	<30> n 1		(1+ $tahw$) T-60	ns
	tSSTWT2	<31>		(1+n+ $tahw$) T-60	ns
_WAIT 保持時間 (対 ASTB)	tHSTWT1	<32> n 1	(n+ $tahw$) T		ns
	tHSTWT2	<33>	(1+n+ $tahw$) T		ns
_HLDRQ ハイレベル幅	tWHQH	<34>	T+10		ns
_HLDAK ロウレベル幅	tWHAL	<35>	T-15		ns
_HLDAK バス出力遅延時間	tDHAC	<36>	-80		ns
_HLDRQ _HLDAK 遅延時間	tDHQHA1	<37>		(2n+7.5) T+70	ns
_HLDRQ _HLDAK 遅延時間	tDHQHA2	<38>	0.5T	1.5T+70	ns

注意 CPU クロック周波数の使用条件によっては、次の設定を行ってください。(n=0-3)

- 70ns < 1/fcpu < 84ns 時
アドレス・セットアップ・ウェイト (ASWn ビット=1) を設定
- 62.5ns < 1/fcpu < 70ns 時
アドレス・セットアップ・ウェイト (ASWn ビット=1), アドレス・ホールド・ウェイト (AHWn ビット=1) を設定

備考 1 . T=1/fcpu (fcpu : CPU 動作クロック周波数)

2 . n : バスサイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

3 . m=0,1

4 . i : リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

5 . 上記スペックは、X1 からデューティ比 1 : 1 のクロックを入力した場合の値です。

6 . $tasw$: アドレス・セットアップ・ウェイト・クロック数

$tahw$: アドレス・ホールド・ウェイト・クロック数

(2) セパレート・バス・モード時

(a) リード・サイクル (CLKOUT 非同期): セパレート・バス・モード時

(Ta=-40 ~ +85, VDD=AVREF0=EVDD=4.0 ~ 5.5V, 4.0V AVREF1 VDD, 4.0V BVDD VDD, VSS=AVSS=BVSS=EVSS=0V, CL=50pF) (1/2)

項目	略号	条件	min.	max.	単位
アドレス設定時間 (対_RD)	tSARD	<52>	(0.5+tasw) T-50		ns
アドレス保持時間 (対_RD)	tHARD	<53>	i-13		ns
_RD ロウレベル幅	tWRDL	<54>	(1.5+n+tahw) T-15		ns
データ設定時間 (対_RD)	tSISD	<55>	30		ns
データ保持時間 (対_RD)	tHISD	<56>	0		ns
データ設定時間 (対アドレス)	tSAID	<57>		(2+n+tasw+tahw) T-65	ns
_WAIT 設定時間 (対_RD)	tSRDWT1	<58>		(0.5+tahw) T-32	ns
	tSRDWT2	<59>		(0.5+n+tahw) T-32	ns
_WAIT 保持時間 (対_RD)	tHRDWT1	<60>	(n-0.5+tahw) T		ns
	tHRDWT2	<61>	(n+0.5+tahw) T		ns
_WAIT 設定時間 (対アドレス)	tSAWT1	<62>		(1+tasw+tahw) T-65	ns
	tSAWT2	<63>		(1+n+tasw+tahw) T-65	ns
_WAIT 保持時間 (対アドレス)	tHAWT1	<64>	(n+tasw+tahw) T		ns
	tHAWT2	<65>	(1+n+tasw+tahw) T		ns

注意 1 V850ES/KF1 では、セパレート・バス・モードをサポートしていません。

2 CPU クロック周波数の使用条件によっては、次の設定を行ってください。(n=0-3)

・ $1/f_{cpu} < 100\text{ns}$ 時

アドレス・セットアップ・ウェイト (ASWn ビット=1) を設定

備考 1 . $T=1/f_{cpu}$ (f_{cpu} : CPU 動作クロック周波数)

2 . n: バスサイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

3 . i: リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

4 . 上記スペックは、X1 からデューティ比 1:1 のクロックを入力した場合の値です。

5 . tasw: アドレス・セットアップ・ウェイト・クロック数

tahw: アドレス・ホールド・ウェイト・クロック数

($T_a = -40 \sim +85$, $V_{DD} = AVREF0 = EVDD = 2.7 \sim 5.5V$, $2.7V$ AVREF1 VDD , $2.7V$ BVDD VDD ,
 $V_{SS} = AVSS = BVSS = EVSS = 0V$, $CL = 50pF$) (2/2)

項目	略号	条件	min.	max.	単位
アドレス設定時間 (対_RD)	tSARD	<52>	$(0.5 + tasw) T - 100$		ns
アドレス保持時間 (対_RD)	tHARD	<53>	$i - 26$		ns
_RD ロウレベル幅	tWRDL	<54>	$(1.5 + n + tahw) T - 30$		ns
データ設定時間 (対_RD)	tSISD	<55>	60		ns
データ保持時間 (対_RD)	tHISD	<56>	0		ns
データ設定時間 (対アドレス)	tSAID	<57>		$(2 + n + tasw + tahw) T - 120$	ns
_WAIT 設定時間 (対_RD)	tSRDWT1	<58>		$(0.5 + tahw) T - 50$	ns
	tSRDWT2	<59>		$(0.5 + n + tahw) T - 50$	ns
_WAIT 保持時間 (対_RD)	tHRDWT1	<60>	$(n - 0.5 + tahw) T$		ns
	tHRDWT2	<61>	$(n + 0.5 + tahw) T$		ns
_WAIT 設定時間 (対アドレス)	tSAWT1	<62>		$(1 + tasw + tahw) T - 130$	ns
	tSAWT2	<63>		$(1 + n + tasw + tahw) T - 130$	ns
_WAIT 保持時間 (対アドレス)	tHAWT1	<64>	$(n + tasw + tahw) T$		ns
	tHAWT2	<65>	$(1 + n + tasw + tahw) T$		ns

注意 1 . V850ES/KF1 では、セパレート・バス・モードをサポートしていません。

2 . CPU クロック周波数の使用条件によっては、次の設定を行ってください。(n=0-3)

・ $1/f_{cpu} < 200ns$ 時

アドレス・セットアップ・ウェイト (ASWn ビット=1) を設定

備考 1 . $T = 1/f_{cpu}$ (f_{cpu} : CPU 動作クロック周波数)

2 . n : バスサイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

3 . i : リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

4 . 上記スペックは、X1 からデューティ比 1 : 1 のクロックを入力した場合の値です。

5 . tasw : アドレス・セットアップ・ウェイト・クロック数

tahw : アドレス・ホールド・ウェイト・クロック数

(b) ライト・サイクル (CLKOUT 非同期) : セパレート・バス・モード時
 (Ta=-40 ~ +85 , VDD=AVREF0=EVDD=4.0 ~ 5.5V , 4.0V AVREF1 VDD , 4.0V BVDD VDD ,
 VSS=AVSS=BVSS=EVSS=0V , CL=50pF) (1/2)

項目	略号	条件	min.	max.	単位
アドレス設定時間 (対_WRm)	tSAWR	<72>	(1+tasw+tahw) T-60		ns
アドレス保持時間 (対_WRm)	tHAWR	<73>	0.5T-10		ns
_WRm ロウレベル幅	tWWRL	<74>	(0.5+n) T-10		ns
_WRm データ出力開始時間	tDOSDW1	<75>	-5		ns
データ設定時間 (対_WRm)	tSOSDW	<76>	(0.5+n) T-20		ns
データ保持時間 (対_WRm)	tHOSDW	<77>	0.5T-20		ns
データ設定時間 (対アドレス)	tSAOD	<78>	(1+tasw+tahw) T-30		ns
_WAIT 設定時間 (対_WRm)	tSRDWT1	<79>	30		ns
	tSRDWT2	<80>		nT-30	ns
_WAIT 保持時間 (対_WRm)	tHRDWT1	<81>	0		ns
	tHRDWT2	<82>	nT		ns
_WAIT 設定時間 (対アドレス)	tSAWT1	<83>		(1+tasw+tahw) T-45	ns
	tSAWT2	<84>		(1+n+tasw+tahw) T-45	ns
_WAIT 保持時間 (対アドレス)	tHAWT1	<85>	(n+tasw+tahw) T		ns
	tHAWT2	<86>	(1+n+tasw+tahw) T		ns

注意 1 . V850ES/KF1 では、セパレート・バス・モードをサポートしていません。

2 . CPU クロック周波数の使用条件によっては、次の設定を行ってください。(n=0-3)

・ 1/fcpu < 60ns 時

アドレス・セットアップ・ウェイト (ASWn ビット=1) を設定

備考 1 . m=0,1

2 . T=1/fcpu (fcpu : CPU 動作クロック周波数)

3 . n : バスサイクルに挿入されるウェイト・クロック数

プログラブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

4 . i : リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

5 . 上記スペックは、X1 からデューティ比 1 : 1 のクロックを入力した場合の値です。

6 . tasw : アドレス・セットアップ・ウェイト・クロック数

tahw : アドレス・ホールド・ウェイト・クロック数

($T_a = -40 \sim +85$, $V_{DD} = AVREF0 = EVDD = 2.7 \sim 5.5V$, $2.7V$ $AVREF1$ V_{DD} , $2.7V$ $BVDD$ V_{DD} , $V_{SS} = AVSS = BVSS = EVSS = 0V$, $CL = 50pF$) (2/2)

項目	略号	条件	min.	max.	単位
アドレス設定時間 (対 $_{WRm}$)	tSAWR	<72>	($1+tasw+tahw$) T-100		ns
アドレス保持時間 (対 $_{WRm}$)	tHAWR	<73>	0.5T-10		ns
$_{WRm}$ ロウレベル幅	tWWRL	<74>	($0.5+n$) T-10		ns
$_{WRm}$ データ出力時間	tDOSDW	<75>	-5		ns
データ設定時間 (対 $_{WRm}$)	tSOSDW	<76>	($0.5+n$) T-35		ns
データ保持時間 (対 $_{WRm}$)	tHOSDW	<77>	0.5T-35		ns
データ設定時間 (対アドレス)	tSAOD	<78>	($1+tasw+tahw$) T-55		ns
$_{WAIT}$ 設定時間 (対 $_{WRm}$)	tSRDWT1	<79>	50		ns
	tSRDWT2	<80>		nT-50	ns
$_{WAIT}$ 保持時間 (対 $_{WRm}$)	tHRDWT1	<81>	0		ns
	tHRDWT2	<82>	nT		ns
$_{WAIT}$ 設定時間 (対アドレス)	tSAWT1	<83>		($1+tasw+tahw$) T-100	ns
	tSAWT2	<84>		($1+n+tasw+tahw$) T-100	ns
$_{WAIT}$ 保持時間 (対アドレス)	tHAWT1	<85>	($n+tasw+tahw$) T		ns
	tHAWT2	<86>	($1+n+tasw+tahw$) T		ns

注意 1 . V850ES/KF1 では、セパレート・バス・モードをサポートしていません。

2 . CPU クロック周波数の使用条件によっては、次の設定を行ってください。(n=0-3)

・ $1/f_{cpu} < 100$ ns 時

アドレス・セットアップ・ウェイト (ASWn ビット=1) を設定

備考 1 . m=0,1

2 . $T=1/f_{cpu}$ (f_{cpu} : CPU 動作クロック周波数)

3 . n : バスサイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。

4 . i : リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

5 . 上記スペックは、X1 からデューティ比 1 : 1 のクロックを入力した場合の値です。

6 . tasw : アドレス・セットアップ・ウェイト・クロック数

tahw : アドレス・ホールド・ウェイト・クロック数

RESET ロウレベル幅スペック変更

<従来スペック>

- 一般水準品・(A) 水準品 ($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$, $2.7 V$
 $BV_{DD} \quad V_{DD}, 2.7 V \quad AV_{REF1} \quad V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$)
 (A1)温度拡張品 ($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = AV_{REF0} = 3.5 \sim 5.5 V$, $3.5 V$ BV_{DD}
 $V_{DD}, 3.5V \quad AV_{REF1} \quad V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$)
 (A2)温度拡張品 ($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = AV_{REF0} = 3.5 \sim 5.5 V$, $3.5 V$ BV_{DD}
 $V_{DD}, 3.5 V \quad AV_{REF1} \quad V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	Min	Typ	Max	単位	
RESET ロウレベル幅	t _{WRSL2}	<94>	REGC=VDD 時のパワーオン・リセット	2			us
			REGC=Capacity 時のパワーオン・リセット	10			us

上記3水準とも同一スペック

<変更後スペック>

- ($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$, $2.7 V$ $BV_{DD} \quad V_{DD}, 2.7 V$
 $AV_{REF1} \quad V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	Min	Typ	Max	単位		
RESET ロウレベル幅	t _{WRSL2}	<94>	REGC=VDD 時のパワーオン・リセット	2			us	
			REGC=Capacity 時の パワーオン・リセット	t _{VR} 注 > 150us	10			us
				t _{VR} 注 150us	40			us

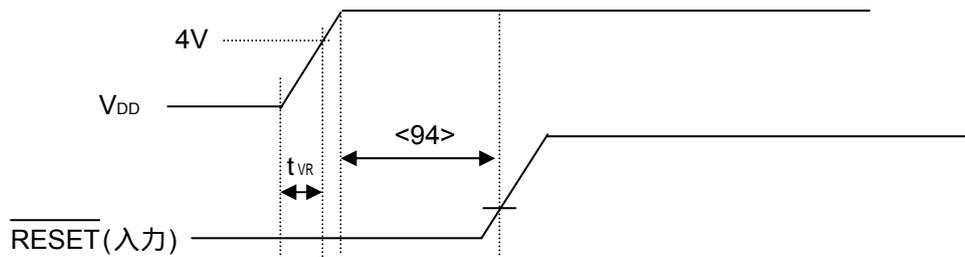
- ($T_A = -40 \sim +110$, $V_{DD} = EV_{DD} = AV_{REF0} = 3.5 \sim 5.5 V$, $3.5 V$ $BV_{DD} \quad V_{DD}, 3.5V$
 $AV_{REF1} \quad V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$) (A1)温度拡張品

項目	略号	条件	Min	Typ	Max	単位		
RESET ロウレベル幅	t _{WRSL2}	<94>	REGC=VDD 時のパワーオン・リセット	2			us	
			REGC=Capacity 時 のパワーオン・リセット	t _{VR} 注 > 150us	10			us
				t _{VR} 注 150us	45			us

- ($T_A = -40 \sim +125$, $V_{DD} = EV_{DD} = AV_{REF0} = 3.5 \sim 5.5 V$, $3.5 V$ $BV_{DD} \quad V_{DD}, 3.5 V$
 $AV_{REF1} \quad V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$) (A2) 温度拡張品

項目	略号	条件	Min	Typ	Max	単位		
RESET ロウレベル幅	t _{WRSL2}	<94>	REGC=VDD 時のパワーオン・リセット	2			us	
			REGC=Capacity 時 のパワーオン・リセット	t _{VR} 注 > 150us	10			us
				t _{VR} 注 150us	45			us

注 t_{VR} : 電源電圧が 0V→4V に立ち上がるまでの時間



制限事項 1 自動送受信機能付き 3 線式シリアルインターフェース (CSIA) バッファ RAM 読み出し時に関する制限事項

制限事項内容

自動送受信機能付き 3 線式シリアルインターフェース (CSIA) において、バッファ RAM ヘータを書き込んだ後、すぐにその値を読み出すとタイミングによっては正常に値が読み出せない可能性があります。

回避策

fscka (CSISn のビット 6,7 (CKSAn0, CKSAn1) で設定したシリアルクロック) の 6 クロック以上空けた後もしくは、別のアドレスのバッファ RAM への書き込みを行った後に読み出しを行ってください。

今後の対策

本内容は、制限事項といたします。

本内容を注意事項とし、ユーザーズマニュアル第 2 版 (U16889, U16890, U16891) に反映いたします。

制限事項 2 s l d 命令と割り込み競合に関する制限事項

制限事項内容

以下の特定命令（下記例 に対応）の実行が完了する以前に、後続の s l d 命令（下記例 に対応）の直前の命令（下記例 に対応）のデコード動作と割り込み要求が競合した場合、先の特定命令の実行結果がレジスタに格納されないことがあります。

なお、本現象は、特定命令のディスティネーション・レジスタと s l d 命令のディスティネーション・レジスタが同じ、かつ s l d 命令の直前に実行される命令でそのレジスタ値を参照した場合にのみ発生することがあります。

特定命令

- l d 命令 : ld.b、ld.h、ld.w、ld.bu、ld.hu
- s l d 命令 : sld.b、sld.h、sld.w、sld.bu、sld.hu
- 乗算命令 : mul、mulh、mulhi、mulu

問題となる命令シーケンス例

例 1 ld.w [r11],r10
:
mov r10, r28
sld.w 0x28, r10

のld命令の実行が完了する前に、のsld命令の直前のmov命令（ ）のデコード動作と割り込み要求が競合した場合に問題が発生。

例 2 ld.w [r11],r10
:
cmp imm5, r10
sld.w 0x28, r10
bz label

のld命令の実行が完了する前に、のsld命令の直前のcmp命令（ ）のデコード動作と割り込み要求が競合した場合に問題が発生。この結果、cmp命令の比較結果が不正になり、の分岐命令が不正動作することがある。

例 3 ld.w [r11],r10
:
add imm5, r10
sld.w 0x28, r10
setf r16

のld命令の実行が完了する前に、のsld命令の直前のadd命令（ ）のデコード動作と割り込み要求が競合した場合に問題が発生。この結果、add命令の演算結果、及びフラグが不正になり、のsetf命令の実行結果が不正になることがある。

【発生条件の詳細】

以下の（ 1 ）～（ 3 ）の条件を全て満たした場合に問題が発生することがあります。

（ 1 ）以下の条件 または の条件に該当。

（条件 ）

特定命令（下記参照）のディスティネーション・レジスタ、ならびに、後続して実行される s l d 命令のディスティネーション・レジスタ、及び、その直前に実行される以下の命令のソース・レジスタ（ r e g 1 ）が同じである（本文例 1 参照）。

```
mov reg1,reg2、 not reg1,reg2、 satsubr reg1,reg2、 satsub reg1,reg2
satadd reg1,reg2、 or reg1,reg2、 xor reg1,reg2、 and reg1,reg2
tst reg1,reg2、 subr reg1,reg2、 sub reg1,reg2、 add reg1,reg2
cmp reg1,reg2、 mulh reg1,reg2
```

(条件)

特定命令(下記参照)のディスティネーション・レジスタ、ならびに、後続して実行される `sld` 命令のディスティネーション・レジスタ、及び、その直前に実行される以下の命令のディスティネーション・レジスタ(`reg2`)が同じである(本文例2、3参照)。

```
not reg1,reg2、    satsubr reg1,reg2、    satsub reg1,reg2、    satadd reg1,reg2
satadd imm5,reg2、 or reg1,reg2、    xor reg1,reg2、    and reg1,reg2
tst reg1,reg2、    subr reg1,reg2、    sub reg1,reg2、    add reg1,reg2
add imm5,reg2、    cmp reg1,reg2、    cmp imm5,reg2、    shr imm5,reg2
sar imm5,reg2、    shl imm5, reg2
```

特定命令

- ・ `ld` 命令 : `ld.b`、`ld.h`、`ld.w`、`ld.bu`、`ld.hu`
- ・ `sld` 命令 : `sld.b`、`sld.h`、`sld.w`、`sld.bu`、`sld.hu`
- ・ 乗算命令 : `mul`、`mulh`、`mulhi`、`mulu`

(2) CPUパイプライン中で、`sld`命令の直前の命令(上記条件 または の命令)のデコードが開始されるまでに、先に実行された特定命令の実行結果がディスティネーション・レジスタに格納されていない。

(3) `sld`命令の直前の命令(上記条件 または の命令)のデコード動作と割り込み要求が競合。

【対応策】

CPU機能に関する使用制限事項として、コンパイラにより該当命令シーケンスの生成を自動的に抑止するように致します。具体的な提供方法はご使用のコンパイラ毎に以下の通りとなります。その他のコンパイラをご使用の場合は弊社販売員または特約店を通じてご相談下さい。

・弊社製コンパイラ：CA850の場合

対策機能を追加したもの(V2.61以降)を下記サイトのバージョンアップ・サービスにて提供させていただきます。

バージョンアップ・サービスの URL

<http://www.necel.com/micro/ja/ods/index.html>

<http://www.necel.com/micro/en/ods/index.html>

バージョンアップ・サービス (Japanese)

Version-up Service (English)

・GHS製コンパイラ：CC850の場合

以下のバージョンについては、国内販売代理店(アドバンスド・データ・コントロールズ社)にて、対策機能を追加するバージョン・アップ対応をして頂く予定ですので、個別にお問い合わせをお願い致します。その他のバージョンに関しましては、お手数をお掛けしまして申し訳ございませんが、販売代理店にお問い合わせください。

- ・ Multi 4.0 Rel 7.0.0
- ・ Multi 3.5.1 Rel 6.5.3

お問い合わせ先

TEL : 03 - 3576 - 6805

E-mail : upgv850e@adac.co.jp

制限事項3 mul/mulu命令に関する制限事項(2)

制限事項内容

以下の2つのシーケンス(パターン1, パターン2)のどちらかに該当した場合、次の現象が発生します。

- ・ 乗算命令の演算結果が汎用レジスタに反映されない
- ・ ミス・アライン・アドレスに対する ld 命令に対して、間違っただレスのデータが汎用レジスタに格納される

【パターン1】

以下のシーケンスで、(2)命令の RAM 読み出しが、DMA 転送の RAM アクセスと競合する場合

- (1) ld /sld : 内蔵 ROM に対するロード命令
- (2) ld /sld : 内蔵 RAM に対するロード命令
- (3) mul /mulu : ワード・データの乗算命令で、結果が 32bit だけ残るもの[注 1]
| : [注 2]
- (4) ld /sld : 内蔵 ROM、または内蔵 RAM に対するミス・アライン・アクセスのロード命令

注 1 mul/mulu 命令で、第 3 オペランド(reg3)に r0 を使用した場合、または、第 2 オペランド(reg2)と第 3 オペランド(reg3)に同じレジスタを使用した場合
mul reg1, reg2, reg3 (reg3=r0 または reg2=reg3)
mul imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
mulu reg1, reg2, reg3 (reg3=r0 または reg2=reg3)
mulu imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
reg2=reg3 の命令は C 言語で記載した場合、CA850 では出力されません

注 2 . (3)の乗算命令と(4)のロード命令の間に入る他の命令の実行クロック数が、2クロック以下の場合に該当。

ただし、次のいずれかに当てはまる場合には非該当になります。

- ・ 内蔵 RAM を転送対象とした DMA を使用していない場合
- ・ (1)のロード命令の読み出し結果を(2)のロード命令のアドレス指定に使用する場合
- ・ (2)のロード命令の読み出し結果を(3)の乗算命令のソース・データとして使用する場合
- ・ (3)の乗算命令の演算結果を(4)のロード命令のアドレス指定に使用する場合
- ・ (3)の演算結果を、(3)と(4)の間に入る他の命令で、ソース・データとして使用する場合
- ・ (3)と(4)の間に次の命令のいずれかがある場合
 - 乗算命令 (mul, mulh, mulhi, mulu)
 - ビット操作命令 (clr1, not1, set1, tst1)
 - 特殊命令の一部 (callt, dispose, switch)
- ・ (4)のロード命令がバイト・アクセスのロード命令 (ld.b, ld.bu, sld.b, sld.bu) の場合
- ・ 外部メモリ、または内蔵 RAM で(1)～(4)の命令列を実行する場合

【パターン 2】

以下のシーケンスで、(1)命令のアクセスの終了タイミングと、(2)命令の内蔵 RAM へのアクセス・タイミングが重なった場合

- (1) ld /sld : 外部メモリに対するロード命令
| : [注 1]
- (2) ld /sld : 内蔵 RAM に対するロード命令
- (3) mul /mulu : ワード・データの乗算命令で、結果が 32bit だけ残るもの[注 2]
| : [注 3]
- (4) ld /sld : 内蔵 ROM、または内蔵 RAM に対するミス・アライン・アクセスのロード命令

注 1 . (1)のロード命令と(2)のロード命令の間に他の命令が入り、(1)命令のアクセスの終了タイミングと、(2)命令の内蔵 RAM へのアクセス・タイミングが重なった場合に該当。

注 2 . mul /mulu 命令で、第 3 オペランド(reg3)に r0 を使用した場合、または、第 2 オペランド(reg2)と第 3 オペランド(reg3)に同じレジスタを使用した場合

```
mul reg1, reg2, reg3 (reg3=r0 または reg2=reg3)
mul imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
mulu reg1, reg2, reg3 (reg3=r0 または reg2=reg3)
mulu imm9, reg2, reg3 (reg3=r0 または reg2=reg3)
```

reg2=reg3 の命令は C 言語で記載した場合、CA850 では出力されません

注 3 . (3)の乗算命令と(4)のロード命令の間に入る他の命令の実行クロック数が、2 クロック以下の場合に該当。

ただし、次のいずれかに当てはまる場合には非該当になります。

- ・ 外部バスを使用していない場合
- ・ (1)のロード命令の読み出し結果を(2)のロード命令のアドレス指定に使用する場合
- ・ (1)のロード命令の読み出し結果を(1)と(2)の間に入る他の命令のソース・データとして使用する場合
- ・ (2)のロード命令の読み出し結果を(3)の乗算命令のソース・データとして使用する場合
- ・ (3)の乗算命令の演算結果を(4)のロード命令のアドレス指定に使用する場合
- ・ (3)の演算結果を、(3)と(4)の間に入る他の命令で、ソース・データとして使用する場合
- ・ (3)と(4)の間に次の命令のいずれかがある場合
 - 乗算命令 (mul, mulh, mulhi, mulu)
 - ビット操作命令 (clr1, not1, set1, tst1)
 - 特殊命令の一部 (callt, dispose, switch)
- ・ (4)のロード命令がバイト・アクセスのロード命令 (ld.b, ld.bu, sld.b, sld.bu) の場合
- ・ 外部メモリ、または内蔵 RAM で(1)～(4)の命令列を実行する場合

回避策

CPU機能に関する使用制限事項としてマイコンは修正せず、コンパイラにより該当命令の生成を自動的に抑制するように致します。ただし、アセンブラで記述され、抑制できない命令にはメッセージを出力します。具体的な提供方法は、ご使用のコンパイラ毎に以下の通りとなります。

その他のコンパイラをご使用の場合は弊社販売員、または特約店を通じてご相談ください。

- ・ 弊社製コンパイラ：C A 8 5 0 の場合

現在の最新バージョンに対策機能を追加し、CA850 をバージョンアップして提供させていただきます。

コンパイラ CA850 を含む製品の、ソフトウェア・パッケージ SP850、C コンパイラ・パッケージ CA850 につきまして、対策品コンパイラ CA850 のバージョンとリリース時期を次に示します。

製品名	CA850 対策バージョン	言語	リリース時期	入手方法
SP850	V3.42 以降	日本語	2009/11/9	バージョンアップ・サービス からダウンロード
CA850		英語	2009/11/9	

バージョンアップ・サービスの URL

<http://www.necel.com/micro/ja/ods/index.html>
(Japanese)

バージョンアップ・サービス

<http://www.necel.com/micro/en/ods/index.html>

Version-up Service (English)

- ・ G H S 製コンパイラ：C C 8 5 0 の場合

販売代理店（アドバンスド・データ・コントロールズ社）にお問い合わせください。

制限事項3 mul/mulu命令に関する制限事項(2) チェック・シート**(1) 該非判定チェック・シート（一次判定用）**

ご使用製品の使用条件が制限事項に該当するかの確認をお願いします。使用条件が該当する場合には、二次判定に進んでください。使用条件が該当しない場合、制限事項には非該当です。以降の判定は必要ありません。

使用条件の確認

次の(1) (2)の条件に1つでも“ Yes ”がある場合、制限事項に該当する可能性があります。なお、条件(1) (2)に示す機能を搭載しない製品の場合、その条件は“ 対象外 ”になります。全ての条件が“ No ”または“ 対象外 ”であれば、制限事項に非該当です。

(1) 内蔵RAMをデータの転送先、または転送元とした、DMA機能を使用している。

Yes No 対象外

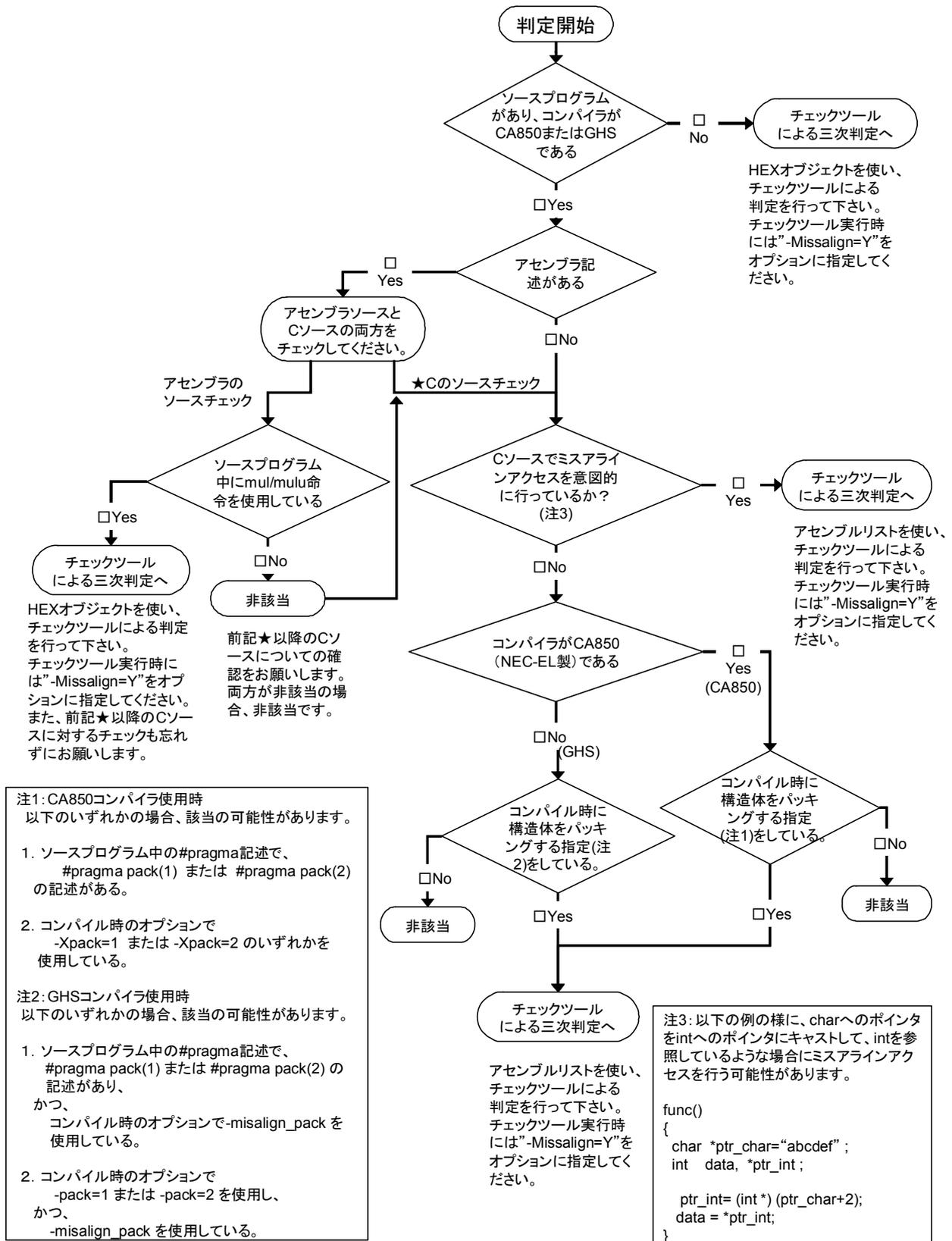
(2) 外部バス・インタフェースを使用している。

Yes No 対象外

(2) 該非判定チェック・シート (二次判定用)

下記のフローに従って、「非該当」あるいは「チェックツールによる三次判定へ」の判定(二次判定)をお願いします。三次判定のチェックツール(説明書付き)は、下記サイトよりダウンロードできるようにしておりますので、ご参照ください。

URL: http://www.necel.com/micro/ja/freesoft/v850/check_02.html



注1: CA850コンパイラ使用時
 以下のいずれかの場合、該当の可能性があります。

1. ソースプログラム中の#pragma記述で、
 #pragma pack(1) または #pragma pack(2)
 の記述がある。
2. コンパイル時のオプションで
 -Xpack=1 または -Xpack=2 のいずれかを
 使用している。

注2: GHSコンパイラ使用時
 以下のいずれかの場合、該当の可能性があります。

1. ソースプログラム中の#pragma記述で、
 #pragma pack(1) または #pragma pack(2) の
 記述があり、
 かつ、
 コンパイル時のオプションで-misalign_pack
 を使用している。
2. コンパイル時のオプションで
 -pack=1 または -pack=2 を使用し、
 かつ、
 -misalign_pack を使用している。

注3: 以下の例のように、charへのポインタをintへのポインタにキャストして、intを参照しているような場合にミスアラインアクセスを行う可能性があります。

```

func()
{
char *ptr_char="abcdef" ;
int data, *ptr_int ;

ptr_int= (int *) (ptr_char+2);
data = *ptr_int;
}
    
```