

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-A311A/J	Rev.	第1版
題名	H8SX/1520 グループ、H8SX/1582 SSU ご使用に関するご注意		情報分類	技術情報	
適用製品	H8SX/1520 グループ H8SX/1582	対象ロット等 全ロット	関連資料	H8SX/1520 グループ ハードウェアマニュアル (RJJ09B0023-0200 Rev.2.00) H8SX/1582 ハードウェアマニュアル (RJJ09B0202-0100Z Rev.1.00)	

H8SX/1520 グループ、H8SX/1582 の SSU に関する使用上の注意事項のご報告申し上げます。

- (1) 送受信動作から受信動作への切替えに関するご注意
- (2) SSCRL レジスタの DATS ビット設定に関するご注意
- (3) TXI 割り込み設定に関するご注意

(1) 送受信動作から受信動作への切替えに関するご注意

P.14-24: 『図 14.9 データ送受信同時動作のフローチャート例(SSU モード)』

P.14-31: 『図 14.17 データ送受信同時動作のフローチャート例(クロック同期式通信モード)』

送受信動作から受信動作へ切替えを行う際に、データの送受信が完了する前に受信動作へ切替えると、1 回目の受信動作が正常に行われない場合があります。そのため、送受信動作のフローチャート例に送信完了確認 (TEND=1 判定) と最終 1 ビット送受信完了 (1 ビット期間経過) 確認を追記致します。尚、送信動作のフローチャート例(図 14.6、図 14.14)については記載済みであります。

<追記内容>

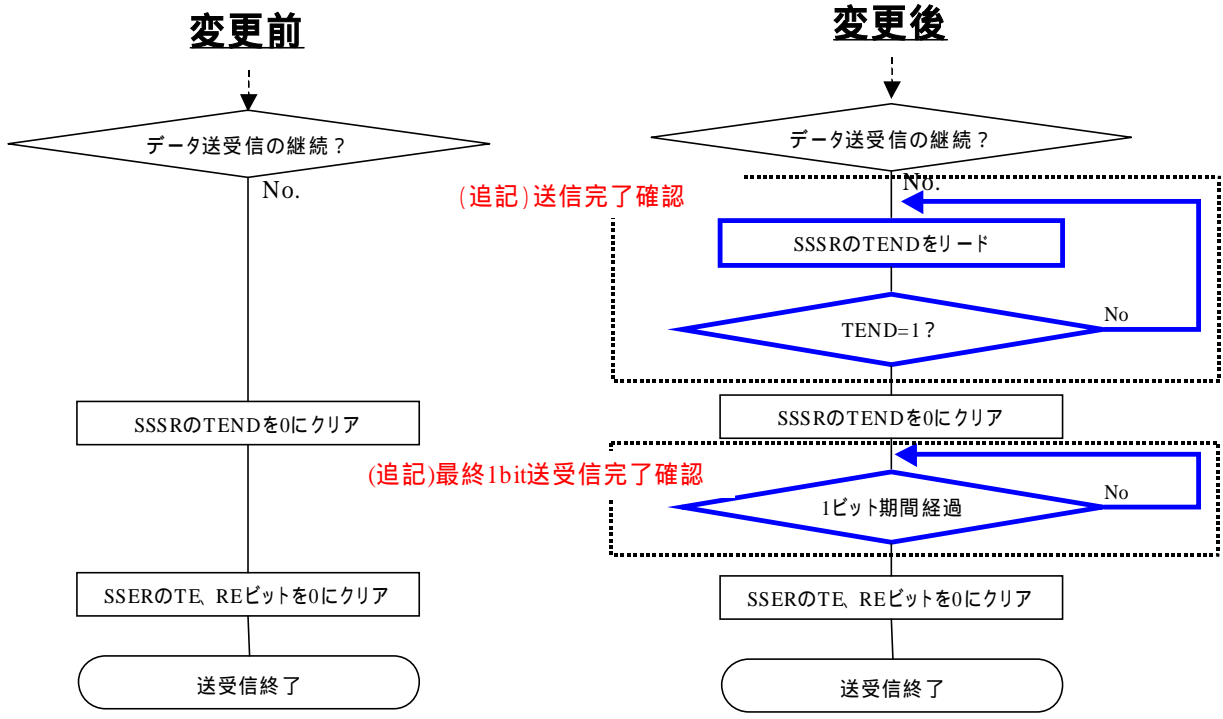
送信動作および送受信動作から受信動作に切替える場合、以下の手順で切替えを行って下さい。

SS ステータスレジスタ(SSSR)のトランスミットエンド(TEND)が、送信完了(TEND=1)するまで待機。

送信完了(TEND=1)となった場合、TEND を '0' に設定する。

最終 1 ビット送受信完了 (1 ビット期間経過) を確認し、SS イネーブルレジスタ(SSER)の TE および RE を '0' に設定。

詳細につきましては、下記のフローチャートをご確認下さい。



ハードウェアマニュアルSSUの章 図14.9、図14.17 'データ送受信同時動作のフローチャート例'より抜粋

(2)SSCRLレジスタのDATSビット設定に関するご注意

送受信データ長を設定するSSCRLレジスタのDATSビット設定により、有効になっていないSSTDR、SSRDRをアクセスすると、その後の通信動作が正常に行われなくなる可能性があります。そのため、有効になっていないSSTDRレジスタ、SSRDRレジスタはアクセスしないようお願い致します。以下にDATSビットの設定によるSSTDR、SSRDRレジスタの有効、無効の対応を表に示します。

DATSビットの設定とSSTDRの対応表

SSTDR	DATS[1:0](SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	無効
1	無効	有効	有効	無効
2	無効	無効	有効	無効
3	無効	無効	有効	無効

DATSビットの設定とSSRDRの対応表

SSRDR	DATS[1:0](SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	無効
1	無効	有効	有効	無効
2	無効	無効	有効	無効
3	無効	無効	有効	無効

(3) TXI 割り込み設定に関するご注意

SSU において送信または送受信動作で TXI 割り込みを使用する場合、ハードウェアマニュアル記載の初期設定例および送信、送受信フローチャートのように設定すると意図しない TXI 割り込みが発生する可能性があるため、ハードウェアマニュアルの記載を修正させていただきます。

【内容】

ハードウェアマニュアルでは、送信または送受信動作で TXI 割り込みを使用する場合

図 14.4、図 14.12 初期設定例では、**TIE ビットの設定**

図 14.6、図 14.9、図 14.14、図 14.17 送信、送受信動作のフローチャートで、**TE ビットの設定**

と **TIE ビットと TE ビットの設定が分かれており**、TXI 割り込みが発生する可能性があります。

上記設定では、

SSER レジスタの TE ビットを“1” (送信開始許可)設定する前に、SSER レジスタの TIE ビットを“1”設定します。

このとき、SSSR レジスタの TDRE ビットの初期値が“1”であるため、TXI 割り込み条件(TIE=1&TDRE=1)に一致するからです。

本現象は、SSER レジスタの **TE ビットと TIE ビットを同時設定** することにより回避することができるため、

初期設定フロー、フローチャートを修正させていただきます。

また、SSCR2 の設定は初期設定で行います。SSCR2 の設定を初期設定フローに追記させていただきます。

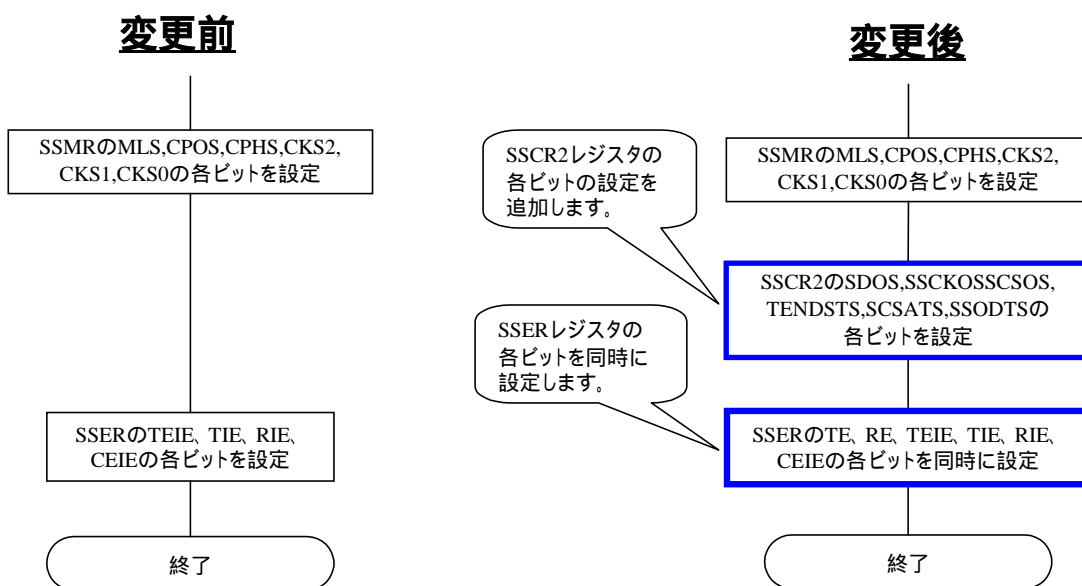


図14.4 SSUモードの初期設定例、図14.12 クロック同期式モードの初期設定例



図14.6、図14.14 データ送信のフローチャート例

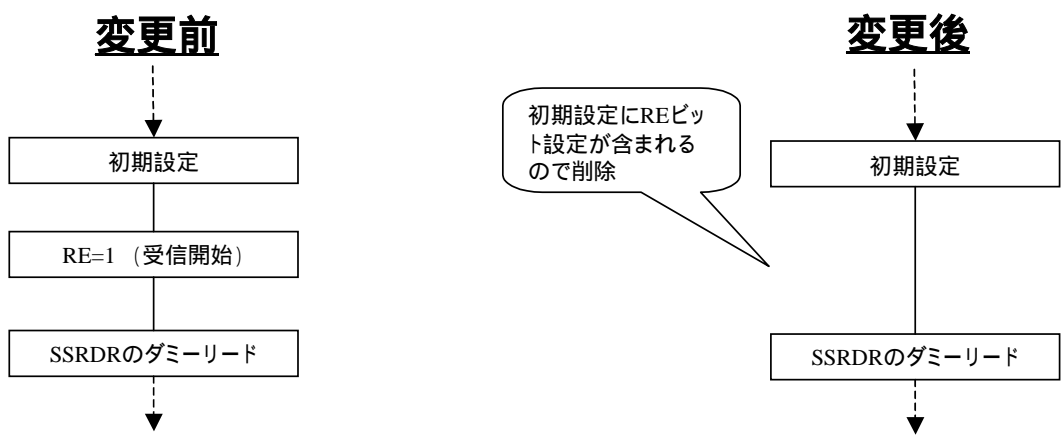


図14.8、図14.16 データ受信のフローチャート例



図14.9、図14.17 データ送受信動作のフローチャート例