

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RX*-A009A/J	Rev.	第1版
題名	マルチファンクションタイマパルスユニット 3 (MTU3) の注意事項		情報分類	技術情報	
適用製品	RX62T グループ	対象ロット等	関連資料	RX62T グループ ハードウェアマニュアル	
		全ロット			

マルチファンクションタイマパルスユニット 3 (MTU3) に以下に示す注意事項がありますので、該当する場合は対策に示す方法で使用してください。また、これらに伴いマニュアルを訂正しますので、訂正内容を示します。

## 1. タイマアウトプットマスタイネーブルレジスタ(TOER)

### 1.1 注意事項

カウンタの動作中に、TOER レジスタのビットを“1” (MTU 出力許可) から“0” (MTU 出力禁止) に変更すると、再度“1”にした時に、設定と異なるデューティ比の PWM 波形が出力される場合があります。TOER レジスタのビットを“0”に変更する場合は、カウンタを停止させてから実施してください。

### 1.2 対策

カウンタを動作させた後に、TOER レジスタのビットを“1”から“0”にする場合、以下の手順に従ってください。

- (1) タイマスタートレジスタ (TSTR) の該当するカウンタのビットに“0” (カウント停止) を書く
- (2) TOER レジスタのビットに“0”を書く

### 1.3 マニュアルの記述訂正

「15.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER)」の本文に下記の文を追加します。赤字の部分が追加した内容です。

#### 【訂正後】

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可/禁止を行うレジスタです。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可/禁止を行うレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、4、6、7 において、TOER レジスタは MTU3、4、6、7 の TIOR レジスタ設定の前に値をセットしてください。

**MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。**  
**MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST0、CST1 ビットを“0”にした後で設定してください (図 15.36、図 15.39 参照)。**

2. タイマアウトプットコントロールレジスタ1(TOCR1A、TOCR1B)、タイマアウトプットコントロールレジスタ2 (TOCR2A、TOCR2B)

2.1 注意事項

デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、TOCR1A (TOCR1B) レジスタでは OLS<sub>P</sub> ビットのみ有効となり、OLS<sub>N</sub> ビットの値は無視されます。また、TOCR2A (TOCR2B) レジスタでは OLS<sub>iP</sub> ビット (i = 1~3) のみ有効となり、OLS<sub>iN</sub> ビットの値は無視されます。

2.2 対策

デッドタイムを生成しない場合、正相、逆相の出力レベルは OLS<sub>P</sub> ビット、OLS<sub>iP</sub> ビットで制御してください。

2.3 マニュアルの記述訂正

「15.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1A、TOCR1B)」の表に注3を追加します。

【訂正後】(変更箇所のみ抜粋)

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット (注1) (注3)	表15.38を参照してください。	R/W
b1	OLSN	出力レベル選択Nビット (注1) (注3)	表15.39を参照してください。	R/W

**注3. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSP ビットのみ有効となります。**

「15.2.19 タイマアウトプットコントロールレジスタ2 (TOCR2A、TOCR2B)」の表に「注2」を追加します。

【訂正後】(変更箇所のみ抜粋)

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表15.40を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表15.41を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表15.42を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表15.43を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表15.44を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表15.45を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBRjからTOCR2jへのバッファ転送タイミングを 選択します 詳細は表15.46を参照してください	R/W

**注2. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLS<sub>iP</sub>ビットのみ有効となります。  
(i=1, 2, 3)**

3. カスケード接続動作

3.1 注意事項

カスケード動作時に、MTU1.TCNTとMTU2.TCNT (n=1, 7 m=2, 8) で同時にインプットキャプチャを行う場合、2本の端子の入力信号をインプットキャプチャ条件にできます。この場合、2つの入力信号の論理和を取った後の信号のエッジがインプットキャプチャ条件になります。したがって、いずれか一方が High レベルのとき、もう一方が変化してもインプットキャプチャを行いません。

3.2 対策

なし。

3.3 マニュアルの記述訂正

・表 15.59 下の本文に説明文を追加します。下記の赤字の部分追加内容です。

【訂正後】

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。**インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High レベルのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例 (c)」を参照してください。**カスケード接続時のインプットキャプチャについては「15.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ」を参照してください。

図 15.24 に下記のとおり注意事項を追加します。

【訂正前】

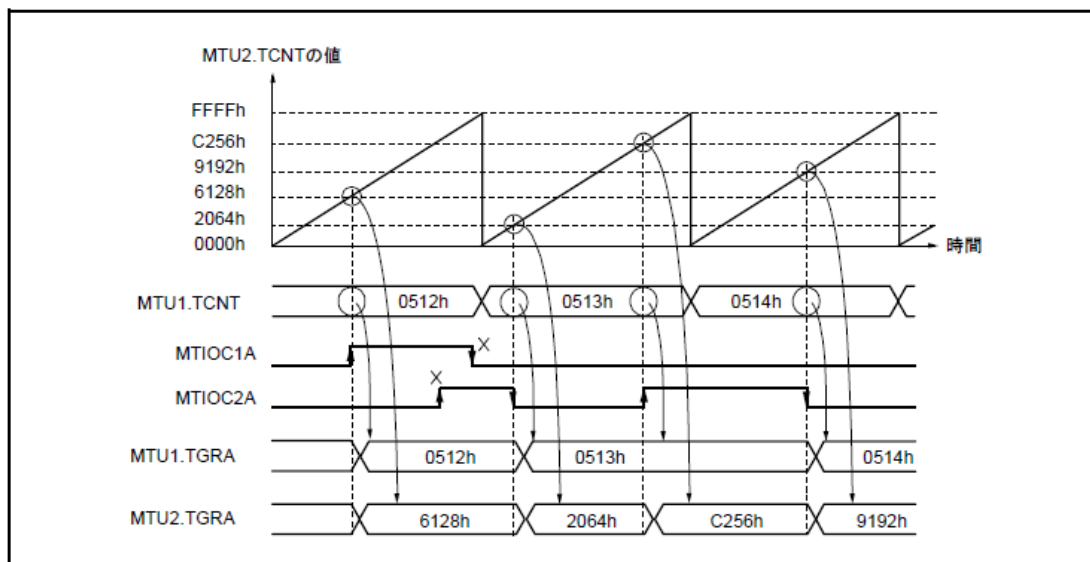


図 15.24 カスケード接続動作例 (c)

訂正後

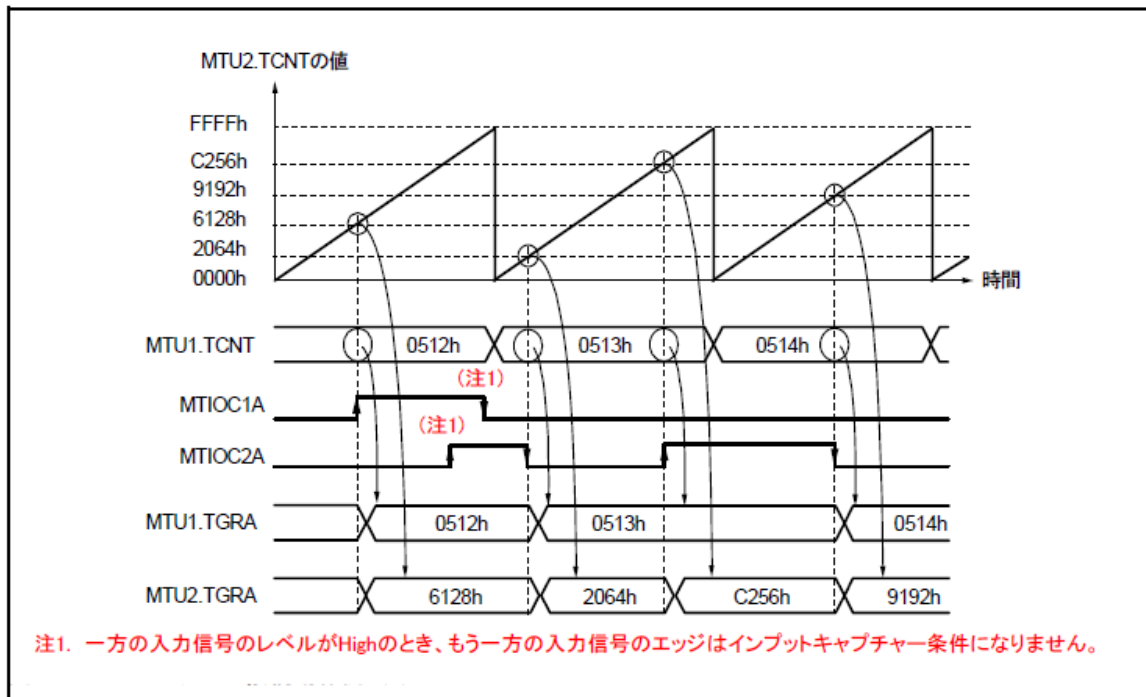


図17.24 カスケード接続動作例 (c)

4. 割り込みタイミング

4.1 注意事項

チャンネル5は、TCNTが停止中でもTGFフラグがセットされます。

4.2 対策

なし。

4.3 マニュアルの記述訂正

「図 15.118 TGI 割り込みタイミング (コンペアマッチ) (MTU5)」に以下のように注記を追加します。

【訂正後】

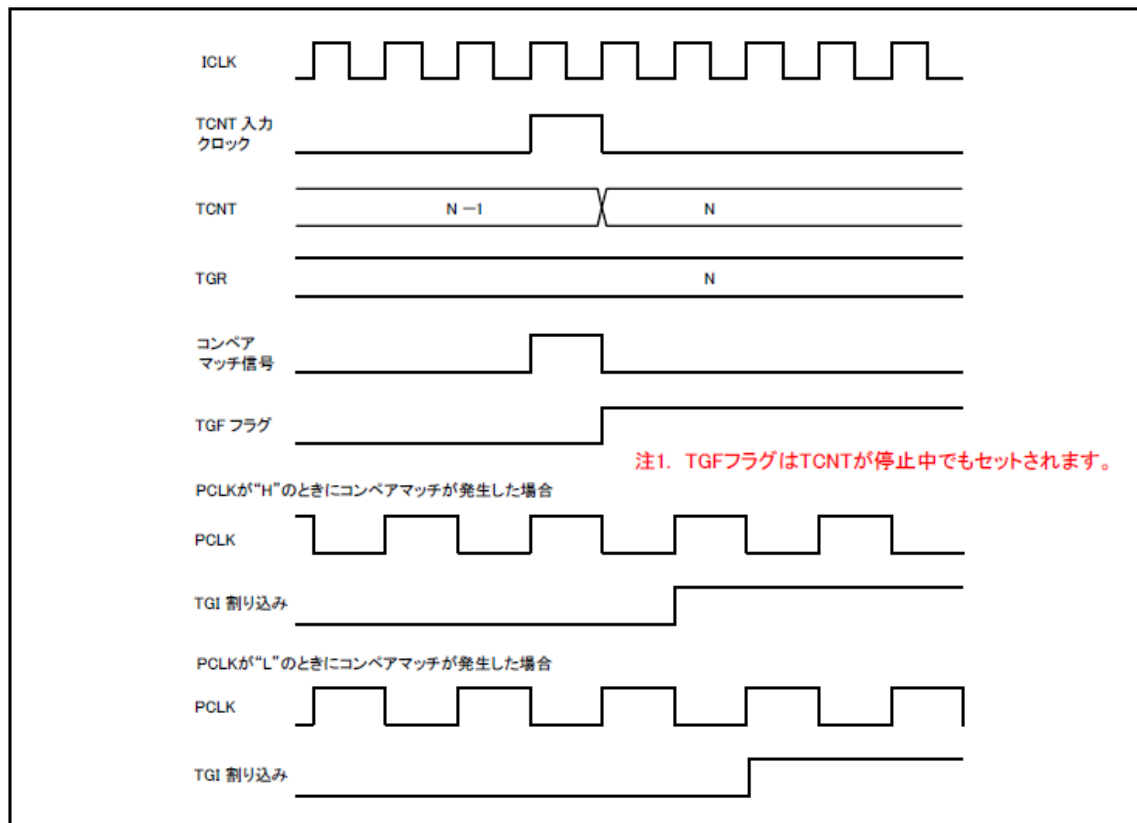


図 15.118 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

【適用製品及び関連資料】

ファミリ	グループ	関連資料	Rev.	管理番号
RX	RX62T	RX62T グループユーザズマニュアル ハードウェア編	1.20	R01UH0034JJ0120

— 以上 —