

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A884A/J	Rev. <del>1.00</del> 1.01	第1版
題名	MTU2, MTU2S A/D 変換ディレイド機能の使用上の注意事項について		情報分類	技術情報	
適用製品	下記参照	対象ロット等	関連資料	下記参照	
		全ロット			

下記適用製品のマルチファンクションタイマパルスユニット2 (MTU2、MTU2S) のA/D変換ディレイド機能について、使用上の注意事項があります。

## 【注意事項】

### 1. A/D 変換ディレイド機能による A/D 変換の開始要求の許可期間について

- 相補 PWM モードにおいて、TADCR の UT4AE、UT4BE ビットに 1 を設定すると、TCNT\_4 のアップカウント期間に A/D 変換の開始要求を許可します。A/D 変換の開始要求の許可期間は、 $0 \sim TCNT_4 - TCDR - 1$  です。
- 相補 PWM モードにおいて、TADCR の DT4AE、DT4BE ビットに 1 を設定すると、TCNT\_4 のダウンカウント期間に A/D 変換の開始要求を許可します。A/D 変換の開始要求の許可期間は、 $TCDR \sim TCNT_4 - 1$  です。
- 相補 PWM モード以外のときは、TADCR の DT4AE、DT4BE ビットに 0 を設定してください。TADCR の UT4AE、UT4BE ビットに 1 を設定すると、TCNT\_4 のアップ/ダウンカウントに関係なく、TCNT\_4 と TADCORA/B\_4 のコンペアマッチで A/D 変換の開始要求を行います。

### 2. 相補 PWM モードにおける A/D 変換ディレイド機能について

- TADCOBRA/B\_4 に 0、かつ、TADCR の UT4AE、UT4BE ビットに 1 を設定して、TCNT\_4 の谷でパッファ転送した時、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 2.1)。
- TADCOBRA/B\_4 に TCDR と同じ値、かつ、TADCR の DT4AE、DT4BE ビットに 1 を設定して、TCNT\_4 の山でパッファ転送した時、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 2.2)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \sim TADCORA/B_4 - TCDR - 2$  を満たすように TADCORA/B\_4 を設定してください。

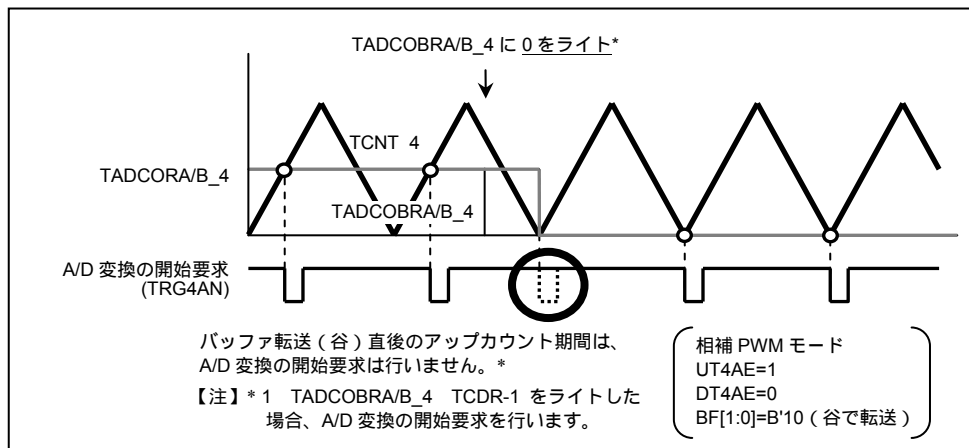


図 2.1 TADCOBRA/B\_4 に 0 をライトした時の A/D 変換の開始要求

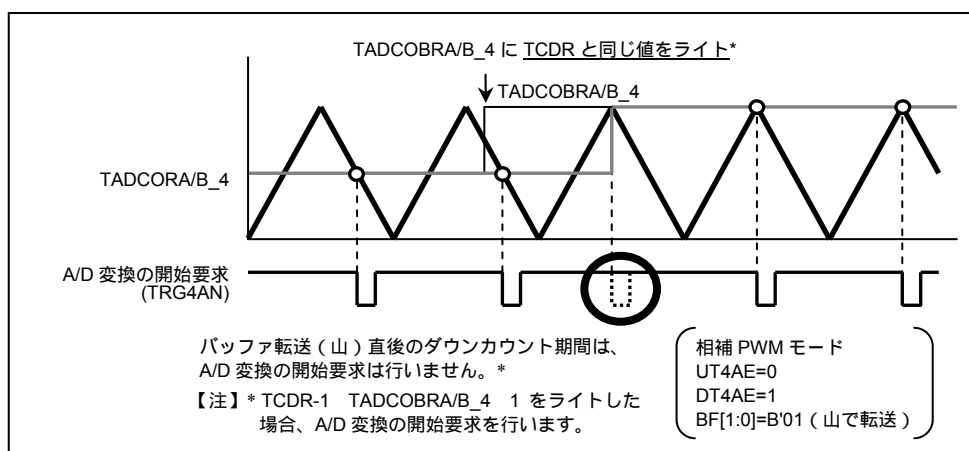


図 2.2 TADCOBRA/B\_4 に TCDR と同じ値をライトした時の A/D 変換の開始要求

【ユーザーズマニュアル誤記訂正】

“SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編”を例に、ユーザーズマニュアルの訂正内容を記載します。

11.3.10 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

< 訂正前(p.11-50) >

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値：	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W：	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 11.29 を参照してください。
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
  2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
  3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- \* 相補 PWM モード以外では、1 に設定しないでください。

< 訂正後(p.11-50) >

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値：	0*	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W：	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

【注】 \* 相補PWMモード以外では、0を設定してください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	0* <sup>1</sup> 0	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 11.29 を参照してください。
6	DT4AE	0* <sup>1</sup>	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
4	DT4BE	0* <sup>1</sup>	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可
3	ITA3AE	0* <sup>1</sup> * <sup>2</sup> * <sup>3</sup>	R/W	TGIA_3 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0* <sup>1</sup> * <sup>2</sup> * <sup>3</sup>	R/W	TCIV_4 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0* <sup>1</sup> * <sup>2</sup> * <sup>3</sup>	R/W	TGIA_3 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0* <sup>1</sup> * <sup>2</sup> * <sup>3</sup>	R/W	TCIV_4 割り込み間引き連動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

【注】 \*1 相補 PWM モード以外では、0を設定してください。

\*2 割り込み間引きが禁止のとき (タイム割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、0を設定してください。

\*3 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

< 訂正前(p.11-52) >

表 11.29 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する*1
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2

【注】 \*1 相補 PWM モードでは TCNT\_4 の山、リセット同期 PWM モードでは TCNT\_3 が TGRA\_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT\_4 が TGRA\_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

\*2 相補 PWM モード以外では設定禁止です。

< 訂正後(p.11-52) >

表 11.29 BF[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説明	
BF1	BF0	相補 PWM モード時	リセット同期 PWM モード時
0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_3 が TGRA_3 とコンペアマッチしたとき周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する
1	0	TCNT_4 の谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止
1	1	TCNT_4 の山と谷で周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	設定禁止

ビット15	ビット14	説明	
BF1	BF0	PWM モード 1 時	通常動作モード時
0	0	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない	周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送しない
0	1	TCNT_4 が TGRA_4 とコンペアマッチしたとき周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する	TCNT_4 が TGRA_4 とコンペアマッチしたとき周期設定バッファレジスタ (TADCOBRA/B_4) から周期設定レジスタ (TADCORA/B_4) へ転送する
1	0	設定禁止	設定禁止
1	1	設定禁止	設定禁止

11.4.9 A/D変換開始要求ディレイド機能

(a) A/D変換開始要求ディレイド機能の設定手順例

< 訂正前(p.11-142) >

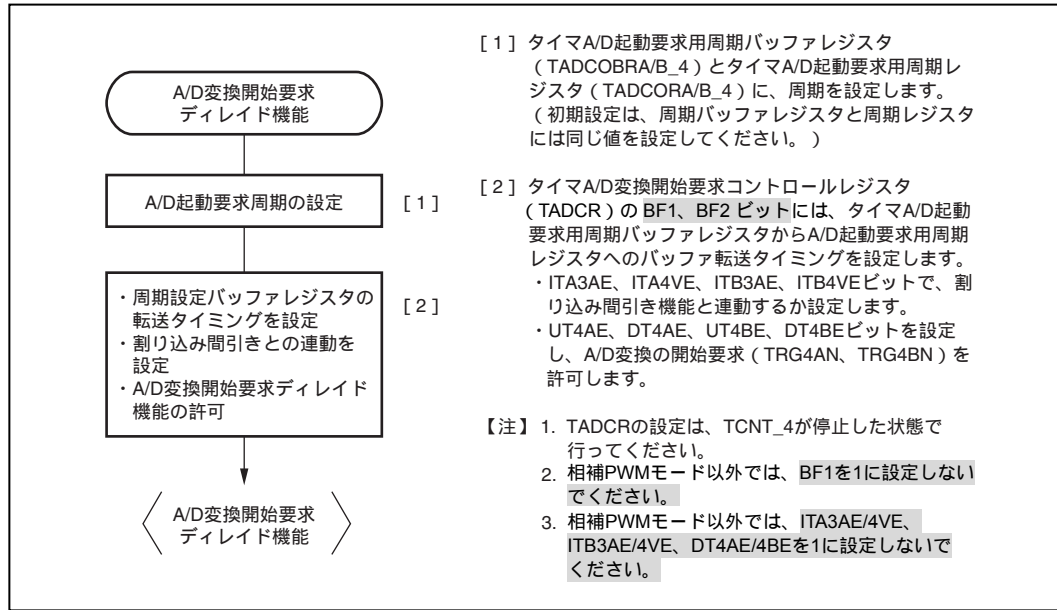


図 11.79 A/D変換開始要求ディレイド機能の設定手順例

< 訂正後(p.11-142) >

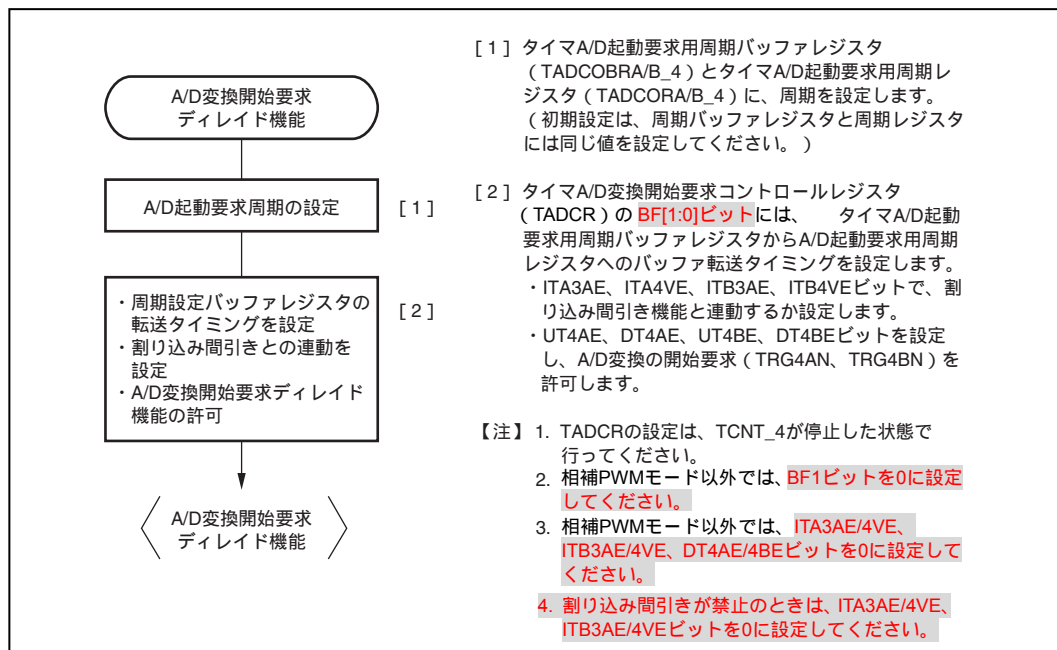


図 11.79 A/D変換開始要求ディレイド機能の設定手順例

(b) A/D 変換開始要求ディレイド機能の基本動作例

< 訂正前(p.11-143) >

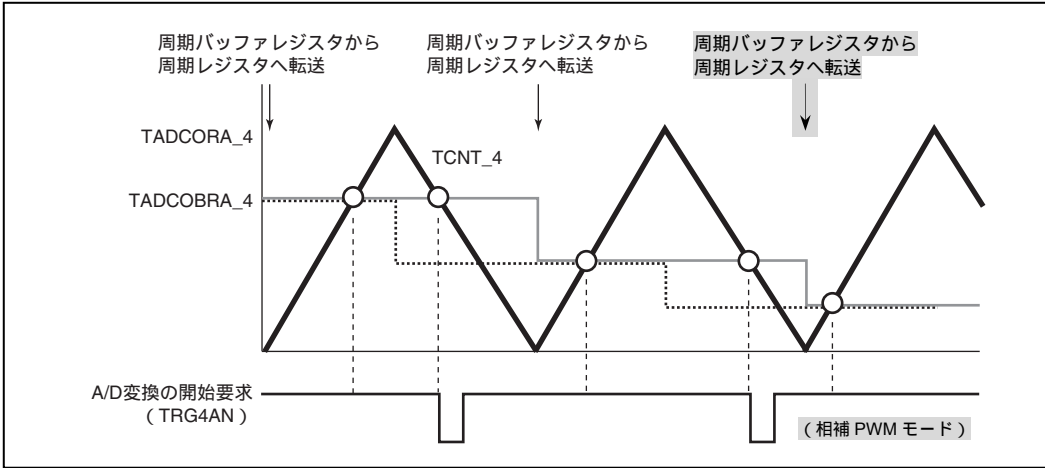


図 11.80 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

< 訂正後(p.11-143) >

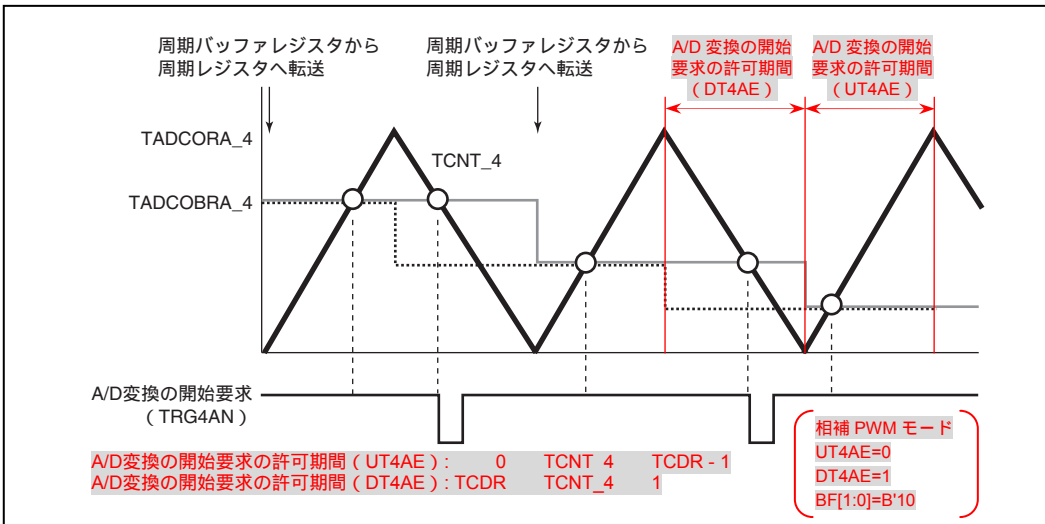


図 11.80 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

< 追加(p.11-143) >

(c) A/D 変換の開始要求の許可期間

TADCR の UT4AE、DT4AE、UT4BE、DT4BE ビットで許可した期間内に TCNT\_4 と TADCORA/B\_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

相補 PWM モードで UT4AE、UT4BE ビットを 1 に設定すると、TCNT\_4 のアップカウント期間 (0 TCNT\_4 TCDR-1) に A/D 変換の開始要求を許可します。DT4AE、DT4BE ビットを 1 に設定すると、TCNT\_4 のダウンカウント期間 (TCDR TCNT\_4 1) に A/D 変換の開始要求を許可します (図 11.80)。

相補 PWM モード以外のときは、DT4AE、DT4BE ビットを 0 に設定してください。UT4AE、UT4BE ビットに 1 を設定すると、TCNT\_4 のアップ/ダウンカウントに関係なく、TCNT\_4 と TADCORA/B\_4 のコンペアマッチで A/D 変換の開始要求を行います。

## (c) バッファ転送

タイトルを「(d) バッファ転送」に変更します。

## &lt; 訂正前(p.11-143) &gt;

タイマA/D起動要求用周期設定レジスタ (TADCORA/B\_4) のデータ更新は、タイマA/D起動要求用周期設定バッファレジスタ (TADCOBRA/B\_4) にデータを書き込むことにより行います。タイマA/D起動要求用周期設定バッファレジスタからタイマA/D起動要求用周期設定レジスタへの転送タイミングは、タイマA/D変換開始要求コントロールレジスタ (TADCR\_4) のBF1、BF0 ビットを設定することにより選択することができます。

## &lt; 訂正後(p.11-143) &gt;

タイマA/D起動要求用周期設定レジスタ (TADCORA/B\_4) のデータ更新は、タイマA/D起動要求用周期設定バッファレジスタ (TADCOBRA/B\_4) にデータを書き込むことにより行います。タイマA/D起動要求用周期設定バッファレジスタからタイマA/D起動要求用周期設定レジスタへの転送タイミングは、タイマA/D変換開始要求コントロールレジスタ (TADCR) のBF1:0 ビットを設定することにより選択することができます。

**相補PWMモードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。**

詳細は、「11.7.24 相補PWMモードにおけるA/D変換ディレイド機能の注意事項」をご覧ください。

**また、相補PWMモード以外の場合は、BF1 ビットを0に設定してください。**

## (d) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイトルを「(e) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能」に変更します。

## &lt; 訂正前(p.11-143) &gt;

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT\_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 11.81 に示します。

また、TCNT\_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 11.82 に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを0に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を0に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを0に設定) 設定にしてください。

## &lt; 訂正後(p.11-143) &gt;

**相補 PWM モードでは、**タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT\_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 11.81 に示します。

また、TCNT\_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 11.82 に示します。

**相補 PWM モード以外では、割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能は使用できません。TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを0に設定してください。**



【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ず割り込み間引き機能と連動しない（タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定）設定にしてください。

また、本機能使用時、TADCORA/B\_4 には H'0002 - TCDR-2 を設定してください。

< 追加(p.11-187) >

11.7.24 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- TADCOBRA/B\_4 に 0、かつ、TADCR の UT4AE、UT4BE ビットに 1 を設定して、TCNT\_4 の谷でバッファ転送した時、転送直後のアップカウント期間については A/D 変換の開始要求を行いません（図 11.139）。
- TADCOBRA/B\_4 に TCDR と同じ値、かつ、TADCR の DT4AE、DT4BE ビットに 1 を設定して、TCNT\_4 の山でバッファ転送した時、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません（図 11.140）。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、2 TADCORA/B\_4 TCDR-2 を満たすように TADCORA/B\_4 を設定してください。

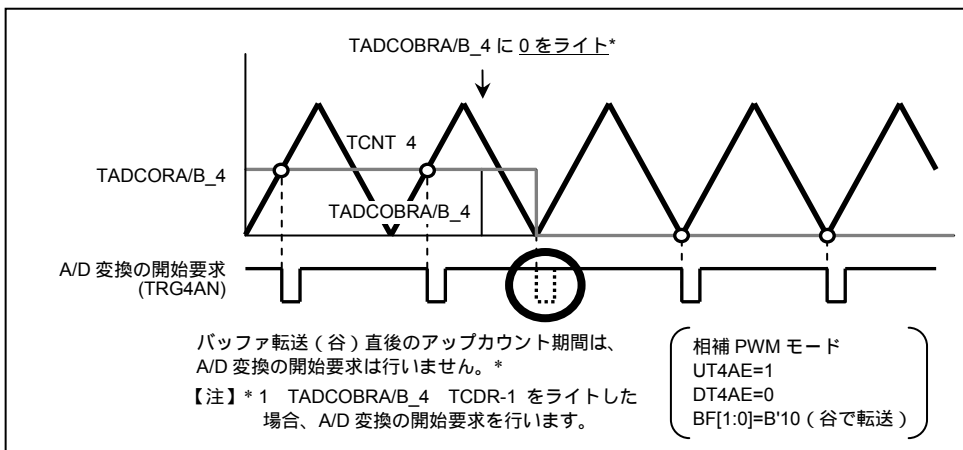


図 11.139 TADCOBRA/B\_4 に 0 をライトした時の A/D 変換の開始要求

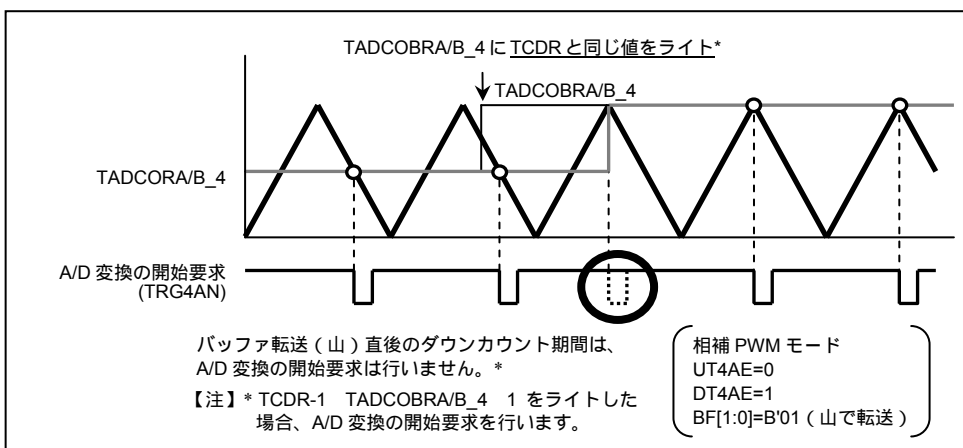


図 11.140 TADCOBRA/B\_4 に TCDR と同じ値をライトした時の A/D 変換の開始要求

【適用製品及び関連資料】

シリーズ	グループ	関連資料	Rev.	管理番号
SH7080	SH7083, SH7084, SH7085, SH7086	SH7080 グループ ユーザーズマニュアル ハードウェア編	5.00	R01UH0198JJ0500
SH7137	SH7131, SH7132, SH7136, SH7137	SH7137 グループハードウェアマニュアル	3.00	RJJ09B0392-0300
SH7146	SH7146, SH7149	SH7146 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0049JJ0400
SH7200	SH7201	SH7201 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0026JJ0300
	SH7203	SH7203 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0458JJ0400
	SH7205	SH7205 グループハードウェアマニュアル	2.00	RJJ09B0399-0200
	SH7206	SH7206 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0283JJ0400
SH7210	SH7211	SH7211 グループハードウェアマニュアル	3.00	RJJ09B0338-0300
SH7216	SH7214, SH7216	SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0230JJ0400
SH7231	SH7231	SH7231 グループ ユーザーズマニュアル ハードウェア編	2.00	R01UH0073JJ0200
SH7239	SH7237, SH7239	SH7239 グループ、SH7237 グループ ユーザーズマニュアル ハードウェア編	2.00	R01UH0086JJ0200
SH7243	SH7243	SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0229JJ0300
SH7260	SH7261	SH7261 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0025JJ0300
	SH7262, SH7264	SH7262 グループ、SH7264 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0134JJ0300
	SH7263	SH7263 グループ ユーザーズマニュアル ハードウェア編	4.00	R01UH0459JJ0400
	SH7265	SH7265 グループハードウェアマニュアル	2.00	RJJ09B0374-0200
	SH7266, SH7267	SH7266 グループ、SH7267 グループ ユーザーズマニュアル ハードウェア編	2.00	R01UH0412JJ0200
	SH7268, SH7269	SH7268 グループ、SH7269 グループ ユーザーズマニュアル ハードウェア編	2.00	R01UH0048JJ0200
	SH726A, SH726B	SH726A グループ、SH726B グループ ユーザーズマニュアル ハードウェア編	1.00	R01UH0202JJ0100
SH7280	SH7285, SH7286	SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編	3.00	R01UH0229JJ0300
SH/Tiny	SH7124, SH7125	SH7125 グループ、SH7124 グループハードウェアマニュアル	5.00	RJJ09B0249-0500

以上