

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

平成10年9月21日

— 日立半導体技術情報 —

〒100-0004

東京都千代田区大手町2丁目6番2号
(日本ビル)

TEL (03)5201-5016 (ダイヤルイン)

株式会社 日立製作所 半導体事業部

題 目	HD64572 SCA-II ユーザーズマニュアル CDA,EDAレジスタライトアクセス使用上の注意		発行番号	TN-PSC-337A
			分類	1. 仕様変更 2. ドキュメント訂正追加等 ③ 使用上の注意事項
適 用 製 品	対象ロット等	関連資料	有効期限	
	HD64572FL33 HD64572AFL33			

日立 HD64572 SCA-II ユーザーズマニュアル(ADJ-602-160 及び 160A)におきまして、CDA,EDA レジスタライトアクセス使用上の注意の不足が有りましたのでお詫びと共に訂正させて頂きます。
ご注意願います。

—記—

6. DMAC

6.2 レジスタ

6.2.3 カレント・ディスクリプタ・アドレス・レジスタ (CDABH,CDAB,CDAH,CDAL) …(P348)

(訂正前)

- 【注】 *1 バイト・アクセス・リードした場合は、その時点での値が読み出されます。
*2 当該チャンネルの DMA ステータス・レジスタ(DSR)の DE="1" のとき、
本レジスタのライト・アクセスはできません。

(訂正後)

- 【注】 *1 バイト・アクセス・リードした場合は、その時点での値が読み出されます。
*2 当該チャンネルの DMA ステータス・レジスタ(DSR)の DE="1" のとき、
本レジスタのライト・アクセスはできません。
又、本レジスタへのライト・アクセスを行う場合には、「HOLD/BUSREQ」が High レベルである事を確認してください。「HOLD/BUSREQ」が Low レベル時、本レジスタへライト・アクセス行っても正常に書き込む事は出来ません。

6.2.4 エラー・ディスクリプタ・アドレス・レジスタ(EDABH、EDAB、EDAH、EDAL) …(P349)

(訂正前)

チェーン・ブロック転送モード

チェーン・ブロック転送モード時に、リード/ライトを行うべき末尾のバッファの次のバッファを示すディスクリプタのスタート・アドレス(32ビット)を初期設定します。

カレント・ディスクリプタ・アドレス・レジスタ(CDA)の内容が、このレジスタの内容と一致したとき、チェーン・ブロック転送を終了させます。

本レジスタは、DMAイネーブル状態でもライトが可能です。

本レジスタのリード時はこれからリード/ライトを行うべき末尾のバッファの次のバッファを示すディスクリプタのスタート・アドレスが読み出されます。*

リセット時には、EDAは00000000Hに初期化されます。

}

【注】* バイト・アクセス・リードした場合は、その時点での値が読み出されます。

(訂正後)

チェーン・ブロック転送モード

チェーン・ブロック転送モード時に、リード/ライトを行うべき末尾のバッファの次のバッファを示すディスクリプタのスタート・アドレス(32ビット)を初期設定します。

カレント・ディスクリプタ・アドレス・レジスタ(CDA)の内容が、このレジスタの内容と一致したとき、チェーン・ブロック転送を終了させます。

本レジスタのリード時はこれからリード/ライトを行うべき末尾のバッファの次のバッファを示すディスクリプタのスタート・アドレスが読み出されます。*

リセット時には、EDAは00000000Hに初期化されます。

}

【注】* バイト・アクセス・リードした場合は、その時点での値が読み出されます。

又、本レジスタへのライトアクセスは必ず下記状態時に行ってください。

・リセット後の初期設定時。

・当該チャンネルの DSR BOF ビットが"1"にセットされた時。

なお、当該チャンネルが動作中に本レジスタへのライトアクセスを行った場合、その後の DMA 転送は保証されません。

6.2.11 DMA コマンドレジスタ(DCR) …(P370)

(訂正前)

【注】*1 HALT 状態およびイネーブル状態では、転送モード、アドレス、データ長などの再設定をしないでください。これらの設定は必ず初期状態において行い、設定時にイネーブル状態としてください("1"→DE ビット)。なお、アドレス関連のレジスタ(DAR/BAR、SAR/BAR、CDA、BCR)は、DE ビット="1"の状態ではライトすることができません(EDA、BFL はイネーブル状態でもライト可能です)。

*2 本図での「リセット」の意味は

- ・リセット信号(ハードウェア)によるリセット
- ・ソフトウェア(DRR への書込み)の両方を含みます。

(訂正後)

【注】*1 HALT 状態およびイネーブル状態では、転送モード、アドレス、データ長などの再設定をしないでください。これらの設定は必ず初期状態において行い、設定時にイネーブル状態としてください("1"→DE ビット)。なお、アドレス関連のレジスタ(DAR/BAR、SAR/BAR、CDA、BCR)は、DE ビット="1"の状態ではライトすることができません(BFL はイネーブル状態でもライト可能です)。
 又、CDA へのライト・アクセスを行う場合には、「HOLD/BUSREQ」が High レベルであることを確認してください。「HOLD/BUSREQ」が Low レベル時、CDA へライト・アクセス行っても正常に書き込む事はできません。
EDA へのライトアクセスは必ず下記状態時にしてください。

- ・リセット後の初期設定時。
- ・当該チャネルの DSR、BOF ビットが"1"にセットされた時。

なお、当該チャネルが動作中に EDA にライトアクセスを行った場合、その後の DMA 転送は保証されません。

*2 本図での「リセット」の意味は

- ・リセット信号(ハードウェア)によるリセット
- ・ソフトウェア(DRR への書込み)の両方を含みます。

6.3 ディスクリプタ

6.3.1 メモリ→MSCIチェーン・ブロック転送モード(送信時)

ビット1: OSB(オーナシップ・ビット) …(P383)

(訂正前)

【注】*1 DMAC内の6ビット・フリーラン・カウンタ値“111111”を検出した時点

*2 CDAを再設定する場合は、DMA初期状態で行ってください。

(訂正後)

【注】*1 DMAC内の6ビット・フリーラン・カウンタ値“111111”を検出した時点

*2 CDAを再設定する場合は、DMA初期状態で行ってください。

又、CDAを再設定する場合には、「 $\overline{\text{HOLD}}/\overline{\text{BUSREQ}}$ 」がHighレベルである事を確認してください。「 $\overline{\text{HOLD}}/\overline{\text{BUSREQ}}$ 」がLowレベル時、CDAを再設定しても正常に書き込む事は出来ません。

EDAを再設定する場合は、必ず下記状態時にしてください。

・リセット後の初期設定時。

・当該チャンネルのDSR BOFビットが“1”にセットされた時。

なお、当該チャンネルが動作中にEDAにライトアクセスを行った場合、その後のDMA転送は保証されません。

6.4 動作モード

6.4.3 メモリ→MSCI チェイン・ブロック転送モード

(2) レジスタ、ディスクリプタ設定法 …(P403)

(訂正前)

メモリ→MSCI チェイン・ブロック転送モードでは、DMA 初期状態で次の手続きをします。(1)～(5)はどの順序で設定してもかまいません。

(1)MPU よりシステム・メモリ上の任意の領域にディスクリプタ*1 を任意の個数作成します。各ディスクリプタ中のチェイン・ポインタ(CP)(32 ビット)、バッファ・ポインタ (BP)(32 ビット)、データ長(DL)(16 ビット)、およびステータス(ST)の EOM ビット、EOT ビットを設定します(OSB ビットはすべて"0"に設定しておきます)。

(2)DMA モード・レジスタ(DMR)の TMOD ビット="1"に設定します。

(3)単一フレーム転送時は、DMR の NF ビット="0"、複数フレーム転送時には、NF ビット="1"を設定します。

(4)エラー・ディスクリプタ・アドレス・レジスタ(EDA)に、送信すべき末尾のバッファの次のバッファに対応するディスクリプタのスタート・アドレス (32 ビット)を設定します。

(5)カレント・ディスクリプタアドレス・レジスタ(CDA)に送信する先頭のバッファに対応するディスクリプタのスタート・アドレスを設定します。

(6)以上の手続きの後、DMA ステータス・レジスタ(DSR)の DE ビット="1"とすると、DMA 転送が開始されます。*2

【注】*1・ディスクリプタの設定は HALT 状態で行ってもかまいません。

*2 DMAC チャンネル1、チャンネル3(送信 DMAC チャンネル)をイネーブル状態にする場合は、当該 MSCI 送信部の TX イネーブル・コマンドを先に発行してください。当該 MSCI 送信部の TX イネーブル・コマンド発行前に DMAC チャンネル1、チャンネル3 をイネーブル状態にした場合、DMA 動作は保証されません。

(3) 外部バス・タイミング

メモリ→MSCI チェイン・ブロック転送モードでは、一回のメモリ・リード・サイクルで1~4バイトのデータ転送が完了します。メモリ・リード・サイクルのタイミングと注意点は、メモリ→MSCI 単一ブロック転送モードと同一ですので図 6.10、11 を参照してください。メモリ→MSCI チェイン・ブロック転送モードでは、転送開始時およびバッファ切り換え時に DMAC がディスクリプタのリードなどを実行するため、図 6.18、19 に示すような DMA 開始所要時間を必要とします。

(訂正後)

メモリ→MSCIチェーン・ブロック転送モードでは、DMA初期状態で次の手続きをします。[[1]~[5]はどの順序で設定してもかまいません]。

- [1]MPUよりシステム・メモリ上の任意の領域にディスクリプタ*1を任意の個数作成します。各ディスクリプタ中のチェーン・ポインタ(CP)(32ビット)、バッファ・ポインタ (BP)(32ビット)、データ長(DL)(16ビット)、およびステータス(ST)のEOMビット、EOTビットを設定します(OSBビットはすべて"0"に設定しておきます)。
- [2]DMAモード・レジスタ(DMR)のIMODビット="1"に設定します。
- [3]単一フレーム転送時は、DMRのNFビット="0"、複数フレーム転送時には、NFビット="1"を設定します。
- [4]エラー・ディスクリプタ・アドレス・レジスタ(EDA)に、送信すべき末尾のバッファの次のバッファに対応するディスクリプタのスタート・アドレス (32ビット)を設定します。*4
- [5]カレント・ディスクリプタアドレス・レジスタ(CDA)に送信する先頭のバッファに対応するディスクリプタのスタート・アドレスを設定します。*3
- [6]以上の手続きの後、DMAステータス・レジスタ(DSR)のDEビット="1"とすると、DMA転送が開始されます。*2

【注】*1 ディスクリプタの設定はHALT状態で行ってもかまいません。

*2 DMACチャンネル1、チャンネル3(送信DMACチャンネル)をイネーブル状態にする場合は、当該MSCI送信部のTXイネーブル・コマンドを先に発行してください。当該MSCI送信部のTXイネーブル・コマンド発行前にDMACチャンネル1、チャンネル3をイネーブル状態にした場合、DMA動作は保証されません。

*3 CDAへのライト・アクセスを行う場合には、「HOLD/BUSREQ」がHighレベルであることを確認してください。「HOLD/BUSREQ」がLowレベル時、CDAへライト・アクセスを行っても正常に書き込む事は出来ません。

*4 EDAへのライトアクセスは、必ず下記状態時にしてください。

・リセット時の初期設定時。

・当該チャンネルのDSR BRFビットが"1"にセットされた時。

なお、当該チャンネルが動作中にEDAにライトアクセスを行った場合、その後のDMA転送は保証されません。

(3) 外部バス・タイミング

メモリ→MSCIチェーン・ブロック転送モードでは、一回のメモリ・リード・サイクルで1~4バイトのデータ転送が完了します。メモリ・リード・サイクルのタイミングと注意点は、メモリ→MSCI単一ブロック転送モードと同一ですので図6.10、11を参照してください。メモリ→MSCIチェーン・ブロック転送モードでは、転送開始時およびバッファ切り替え時にDMACがディスクリプタのリードなどを実行するため、図6.18、19に示すようなDMA開始所要時間を必要とします。

6.4 動作モード

6.4.4 MSCI→チェーン・ブロック転送モード

(2)レジスタ、ディスクリプタ設定法 …(P415)

(訂正前)

[4]エラー・ディスクリプタ・アドレス・レジスタ(EDA)に、書込み可能なバッファのうち、末尾のバッファの次のバッファに対応するディスクリプタのスタート・アドレス(32ビット)を設定します。

[5]カレント・ディスクリプタ・アドレス・レジスタ(CDA)に、受信を開始する先頭のバッファに対応するディスクリプタのスタート・アドレスを設定します。

}

【注】*1 ディスクリプタの設定は、HALT状態で行ってもかまいません。

*2 すべてのバッファのバッファ長は同一になります。

(訂正後)

[4]エラー・ディスクリプタ・アドレス・レジスタ(EDA)に、書込み可能なバッファのうち、末尾のバッファの次のバッファに対応するディスクリプタのスタート・アドレス(32ビット)を設定します。^{*3}

[5]カレント・ディスクリプタ・アドレス・レジスタ(CDA)に、受信を開始する先頭のバッファに対応するディスクリプタのスタート・アドレスを設定します。^{*4}

}

【注】*1 ディスクリプタの設定は、HALT状態で行ってもかまいません。

*2 すべてのバッファのバッファ長は同一になります。

*3 CDAへのライト・アクセスを行う場合には、「HOLD/BUSREQ」がHighレベルである事を確認してください。「HOLD/BUSREQ」がLowレベル時、CDAを再設定しても正常に書き込む事は出来ません。

*4 CDAを再設定する場合は、必ず下記状態時にしてください。

・リセット後の初期設定時。

・当該チャンネルのDSR BRFビットが“1”にセットされた時。

なお、当該チャンネルが動作中にEDAにライトアクセスを行った場合、その後のDMA転送は保証されません。