

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

製品分類	MPU & MCU		発行番号	TN-RA*-A0114A/J	Rev.	第1版
題名	RA8D1 グループユーザーズマニュアルの修正		情報分類	技術情報		
適用製品	RA8D1 グループ	対象ロ ット等	関連資料	RA8D1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10		
		すべて				

RA8D1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10 の記述において、以下の目次に記載している項目について修正が入ります。

目次

1. 概要	4
表1.8 通信インタフェース	4
5. リセット	5
表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（1/4）	5
表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（3/4）	7
6. オプション設定メモリ	8
6.2.5 OFS1, OFS1_SEC：非セキュアおよびセキュア用オプション機能選択レジスタ1	8
8. クロック発生回路	9
表 8.1 クロック発生回路の仕様（クロックソース）	9
8.2.1 CGFSAR：クロック発生機能セキュリティ属性レジスタ	9
8.2.6 PLLCCR：PLL クロックコントロールレジスタ	10
8.2.9 PLL2CCR：PLL2 クロックコントロールレジスタ	11
8.2.16 HOCOCCR：高速オンチップオシレータコントロールレジスタ	13
追加：HOCOCCR2：高速オンチップオシレータコントロールレジスタ2	13
8.2.19 FLLCR2：FLL コントロールレジスタ2	14
8.10.1 CPU クロック（CPUCLK）	15
8.10.2 システムクロック（ICLK）	15
8.10.4 周辺モジュールクロック（PCLKA, PCLKB, PCLKC, PCLKD, PCLKE）	16
8.10.5 FlashIF クロック（FCLK）	17
8.10.6 外部バスクロック（BCLK, EBCLK）	17
8.10.7 SDRAM クロック（SDCLK）	18
8.10.9 SCI クロック（SCICLK）	19
8.10.10 SPI クロック（SPICLK）	19
8.10.11 Octal-SPI クロック（OCTACLK, OCTADIVCLK）	20

8.10.12 CANFD コアクロック (CANFDCLK)	21
8.10.13 USB クロック (USBCLK)	22
8.10.14 USB クロック (USB60CLK)	23
8.10.16 LCD クロック (LCDCLK)	23
8.10.17 I3C クロック (I3CCLK)	24
8.10.26 外部端子出力クロック (CLKOUT)	25
表 8.14 HOCO 初期設定手順の例 (リセット解除後/ディープリソフトウェアスタンバイ解除後) (OFS1(_SEC).HOCOEN = 1、FLL なし)	26
表 8.15 FLL 機能を使用したHOCO 設定手順例 (リセット解除後/ディープリソフトウェアスタンバイ解除後) (OFS1(_SEC).HOCOEN = 1)	26
10. 低消費電力モード	27
表 10.3 各低消費電力モードの動作状態	27
10.2.10 SBYCR : スタンバイコントロールレジスタ	28
12. レジスタライトプロテクション	28
表 12.1 PRCR レジスタのビットと保護されるレジスタの対応関係	28
23. 超低消費電力タイマ (ULPT)	29
23.4.7 スタンバイモード	29
23.5.9 ディープリソフトウェアスタンバイモード1 におけるULPTEEx-DS 端子とULPTEVIX-DS 端子に関する制限事項	29
32. I ² Cバスインタフェース (IIC)	30
32.8 ウェイクアップ機能	30
34. CAN フレキシブルデータレート (CANFD)	32
34.2.56 CFDGLOCKK : グローバルロックキーレジスタ	32
34.6.2.1 FIFO バッファの構成	32
34.9.2.1 RAM テストモード	33
追加 : 34.10 RAM領域構成	34
追加 : 34.10.1 例	35
追加 : 34.10.2 OTB領域	36
追加 : 34.10.3 RAM初期化サイクル	37
34.10 使用上の注意事項	37
37. オクタシリアルペリフェラルインタフェース (OSPI)	37
37.1 概要	37
表 37.11 各バスマスタに対するデータ書き込みの可否	38
38. オンザフライ復号 (DOTF)	38
表 38.1 DOTF の仕様	38
39. 拡張シリアルサウンドインタフェース (SSIE)	39
39.2.1 SSICR : コントロールレジスタ	39
表 39.7 RFRST ビットによるソフトウェアリセットの対象となるビット	39
表 39.8 TFRST ビットによるソフトウェアリセットの対象となるビット (2/2)	41
表 39.9 SSIRST ビットによるソフトウェアリセットの対象となるビット	41
図 39.25 AUDIO_MCK の停止/再開	43
39.2.4 SSIFSR : FIFO ステータスレジスタ	43
図 39.31 送信FIFO データレジスタと送信シフトレジスタの構成、およびFIFO の動作例	46

39.2.6 SSIFRDR：受信FIFO データレジスタ.....	48
図 39.32 送信FIFO データレジスタと送信シフトレジスタの構成、およびFIFO の動作例	49
39.5.2.1 データ通信状態	51
39.7.1 SSIEn_SSIF 割り込み (n = 0, 1).....	51
表 39.19 通信中書き込みから保護されるビット.....	52
43. セキュリティ機能.....	53
43.3.3.5 TrustZone フィルタのメモリセキュリティ属性	53
45. 12 ビットA/D コンバータ (ADC12)	53
45.6.13 ADC12 入力使用時のポート設定.....	53
52. フラッシュメモリ.....	54
52.4.6 PNRn:型名レジスタn (n = 0~3).....	54
60. 電気的特性	54
表 60.8 High-speed モード、最大条件 (DCDC モード) における電流	54
表 60.9 High-speed モード、最大条件 (外部VDD モード) における電流	54

1.概要

表 1.8 通信インタフェース

[Page 75]

修正前

オクタシリアルペリフェラルインタフェース (OSPI)	オクタシリアルペリフェラルインタフェース (OSPI) は、拡張シリアルペリフェラルインタフェース (xSPI) (JEDEC Standard JESD251, JESD251-1, JESD252) をサポートするメモリコントローラです。OSPI は 1 ビット、2 ビット、4 ビット、8 ビットのプロトコルをサポートします。JESD251 は 2 つのインタフェースプロファイルを指定します (プロファイル 1.0 はオクタ SPI、プロファイル 2.0 は HyperBus™)。 「 37. オクタシリアルペリフェラルインタフェース (OSPI) 」を参照してください。
-----------------------------	--

修正後

オクタシリアルペリフェラルインタフェース (OSPI)	オクタシリアルペリフェラルインタフェース (OSPI) は、拡張シリアルペリフェラルインタフェース (xSPI) (JEDEC Standard JESD251, JESD251-1, JESD252) をサポートするメモリコントローラです。OSPI は 1 ビット、2 ビット、4 ビット、8 ビットのプロトコルをサポートします。 JESD251 は 2 つのインタフェースプロファイルを規定しており、profile 1.0 はオクタ SPI、profile 2.0 は HyperBus™ (HyperRAM™ と HyperFlash™) です。 OSPI は QSPI プロトコルをサポートします。 「 37. オクタシリアルペリフェラルインタフェース (OSPI) 」を参照してください。
-----------------------------	--

5. リセット

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（1/4）

[Page 141]

修正前

初期化対象レジスタ		リセット要因						
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	CPU ロックアップリセット	電圧監視 1 リセット
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	✓	✓	✓	✓	✓	—	—
	PVD1CR1, PVD1SR	✓	✓	✓	✓	✓	—	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	✓	✓	✓	✓	✓	—	—
	PVD2CR1, PVD2SR	✓	✓	✓	✓	✓	—	—
SOSC レジスタ	SOSCCR, SOMCR	—	—	—	—	—	—	—
LOCO レジスタ	LOCOUTCR	—	✓	✓	—	—	—	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓	✓	✓
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—
IO キャプチャおよび改ざん検出 (VBAT) (RTC 用サンプリングタイミング) (RTCIC0-2)	VBTICTLR, VBTICTLR2, VBTADSR, VBTADCR1, VBTADCR2	—	—	—	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	✓	✓	✓
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—
VBATT バックアップイネーブルレジスタ	VBTBBER	—	✓	—	—	—	—	—
バッテリバックアップのレジスタ	VBTBKR[n]	—	—	—	—	—	—	—
VBATT インプットモニタレジスタ	VBTIMONR	—	—	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR	✓	✓	✓	✓	✓	✓	✓
リアルタイムクロックのレジスタ		—	—	—	—	—	—	—
超低消費電力タイマのレジスタ	ULPTCNT, ULPTCMA, ULPTCMB, ULPTCR, ULPTMR1, ULPTMR2, ULPTMR3, ULPTIOC, ULPTISR, ULPTCMSR	✓	✓	✓	✓	✓	✓	✓
USBFS レジスタ	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	✓	✓
USBHS レジスタ	DPUSR0R, DPUSR1R, DPUSR2R, DPUSR2R, DPUSR2R, DPUSR2R	✓	✓	✓	✓	✓	✓	✓
リセットフラグ	BUSnERRADD (n = 4~9), BUSnERRRW (n = 4~9), BMSAnERRADD (n = 4~9), BMSAnERRRW (n = 4~9), BUSnERRSTAT (n = 1~12), MBWERRSTAT, SBWERRSTAT, SRAMESR, SRAMEARn (n = 0~2), STBRAMEAR	✓	✓	✓	✓	✓	✓	✓
リセットフラグ	表 5.2 を参照してください。							

修正後

初期化対象レジスタ		リセット要因						
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	CPU ロックアップリセット	電圧監視 1 リセット
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	✓	✓	✓	✓	✓	—	—
	PVD1CR1, PVD1SR	✓	✓	✓	✓	✓	—	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	✓	✓	✓	✓	✓	—	—
	PVD2CR1, PVD2SR	✓	✓	✓	✓	✓	—	—
SOSC レジスタ	SOSCCR, SOMCR	—	—	—	—	—	—	—
LOCO レジスタ	LOCOUTCR	—	✓	✓	—	—	—	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓
HOCOコントロールレジスタ 2	HOCOCR2	—	✓	✓	—	—	—	—
端子状態 (XCIN/XCOUT 端子以外)		✓	✓	✓	✓	✓	✓	✓
端子状態 (XCIN/XCOUT 端子)		—	—	—	—	—	—	—
IO キャプチャおよび改ざん検出 (VBAT) (RTC 用サンプリングタイミング) (RTCIC0-2)	VBTICTLR, VBTICTLR2, VBTADSR, VBTADCR1, VBTADCR2	—	—	—	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	✓	✓	✓
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—
VBATT バックアップイネーブルレジスタ	VBTBBER	—	✓	—	—	—	—	—
バッテリバックアップのレジスタ	VBTBKR[n]	—	—	—	—	—	—	—
VBATT インプットモニタレジスタ	VBTIMONR	—	—	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR	✓	✓	✓	✓	✓	✓	✓
リアルタイムクロックのレジスタ		—	—	—	—	—	—	—
超低消費電力タイマのレジスタ	ULPTCNT, ULPTCMA, ULPTCMB, ULPTCR, ULPTMR1, ULPTMR2, ULPTMR3, ULPTIOC, ULPTISR, ULPTCMSR	✓	✓	✓	✓	✓	✓	✓
USBFS レジスタ	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	✓	✓
USBHS レジスタ	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR	✓	✓	✓	✓	✓	✓	✓
リセットフラグ	BUSnERRADD (n = 4~9), BUSnERRRW (n = 4~9), BMSAnERRADD (n = 4~9), BMSAnERRRW (n = 4~9), BUSnERRSTAT (n = 1~12), MBWERRSTAT, SBWERRSTAT, SRAMESR, SRAMEARn (n = 0~2), STBRAMEAR	✓	✓	✓	✓	✓	✓	✓
リセットフラグ	表 5.2 を参照してください。							

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（3/4）

[Page 143]

修正前

初期化対象レジスタ		リセット要因							VBATT 選択電圧パワーオンリセット
		電圧監視2リセット	ソフトウェアリセット	バスエラーリセット	共通メモリアラリセット	ディープソフトウェアスタンバイリセット			
						ディープソフトウェアスタンバイモード1リセット	ディープソフトウェアスタンバイモード2リセット	ディープソフトウェアスタンバイモード3リセット	
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	—	—	—	—	—	—	—	—
	PVD1CR1.PVD1SR	—	—	—	—	✓	✓	✓	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	—	—	—	—	—	—	—	—
	PVD2CR1.PVD2SR	—	—	—	—	✓	✓	✓	—
SOSC レジスタ	SOSCCR, SOMCR	—	—	—	—	—	—	—	✓
LOCO レジスタ	LOCOUTCR	—	—	—	—	—	✓	✓	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	—	—	—	—
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓ (注2)	✓ (注2)	✓ (注2)	—
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—	●
IO キャプチャおよび改ざん検出 (VBAT) (RTC 用サンプリングタイミング) (RTCIC0-2)	VBTICTLR, VBTICTLR2, VBTADSR, VBTADCR1, VBTADCR2	—	—	—	—	—	—	—	●
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—	✓

修正後

初期化対象レジスタ		リセット要因							VBATT 選択電圧パワーオンリセット
		電圧監視2リセット	ソフトウェアリセット	バスエラーリセット	共通メモリアラリセット	ディープソフトウェアスタンバイリセット			
						ディープソフトウェアスタンバイモード1リセット	ディープソフトウェアスタンバイモード2リセット	ディープソフトウェアスタンバイモード3リセット	
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	—	—	—	—	—	—	—	—
	PVD1CR1.PVD1SR	—	—	—	—	✓	✓	✓	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	—	—	—	—	—	—	—	—
	PVD2CR1.PVD2SR	—	—	—	—	✓	✓	✓	—
SOSC レジスタ	SOSCCR, SOMCR	—	—	—	—	—	—	—	✓
LOCO レジスタ	LOCOUTCR	—	—	—	—	—	✓	✓	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	—	—	—	—
HOCOコントロールレジスタ 2	HOCOOCR2	—	—	—	—	✓ (注3)	✓ (注3)	✓ (注3)	—

端子状態 (XCIN/XCOUT 端子以外)	✓	✓	✓	✓	✓ (注2)	✓ (注2)	✓ (注2)	—
端子状態 (XCIN/XCOUT 端子)	—	—	—	—	—	—	—	●
IO キャプチャおよび改ざん検出 (VBAT) (RTC 用サンプリングタイミング) (RTCIC0-2)	—	—	—	—	—	—	—	●
VBATT バッテリ電源スイッチコントロールレジスタ 1	✓	✓	✓	✓	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 2	—	—	—	—	—	—	—	✓

6. オプション設定メモリ

6.2.5 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1

[Page 165]

修正前

HOCOEN ビット (HOCO 発振有効)

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1(_SEC).HOCOFRQ0 ビットを最適な値に設定してください。

(省略)

INITECCEN ビット (初期 ECC 機能有効)

INITECCEN ビットは、TCM と CACHE の ECC 機能の有効または無効を選択します。

修正後

HOCOEN ビット (HOCO 発振有効)

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1(_SEC).HOCOFRQ0[2:0] ビット^(注1)を最適な値に設定してください。

注 1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ0.HCOFRQ0[2:0]ビットに自動的に転送されるため、OFS1(_SEC).HOCOEN=1.であるときは、HOCOFRQ0.HCOFRQ0[2:0]ビットで指定することも可能です。

(省略)

INITECCEN ビット (初期 ECC 機能有効)

INITECCEN ビットは、TCM と CACHE の ECC 機能の有効または無効を選択します。

INITECCEN ビットを 1 から 0 に変更する場合は、変更後に必ずパワーオンリセットを行ってください。

8. クロック発生回路

表 8.1 クロック発生回路の仕様（クロックソース）

[Page 195]

修正前

PLL1 回路 PLL2 回路	入力クロックソース	MOSC、HOCO
	入力分周比	1、2、3、4 分周から選択可能
	入力クロック周波数	8 MHz～48 MHz
	入力クロック周波数（入力周波数分周後）	6 MHz～12 MHz
	逡倍比	26～180 から選択可能（小数点以下： 0/0.33/0.50/0.66）
	VCO 周波数	640 MHz～1440 MHz
	出力クロック数	3 つの異なるクロックを出力
	PLL 出力クロック P	40 MHz～480 MHz （出力分周比：2/4/6/8/16）
	PLL 出力クロック Q	71 MHz～480 MHz （出力分周比：2/3/4/5/6/8/9）
	PLL 出力クロック R	71 MHz～480 MHz （出力分周比：2/3/4/5/6/8/9）

修正後

PLL1 回路 PLL2 回路	入力クロックソース	MOSC、HOCO
	入力分周比	1、2、3、4 分周から選択可能
	入力クロック周波数	8 MHz～48 MHz
	入力クロック周波数（入力周波数分周後）	6 MHz～12 MHz
	逡倍比	53～180 から選択可能（小数点以下： 0/0.33/0.50/0.66）
	VCO 周波数	640 MHz～1440 MHz
	出力クロック数	3 つの異なるクロックを出力
	PLL 出力クロック P	40 MHz～480 MHz （出力分周比：2/4/6/8/16）
	PLL 出力クロック Q	71 MHz～480 MHz （出力分周比：2/3/4/5/6/8/9）
	PLL 出力クロック R	71 MHz～480 MHz （出力分周比：2/3/4/5/6/8/9）

8.2.1 CGFSAR：クロック発生機能セキュリティ属性レジスタ

[Page 200、202]

修正前

ビット	シンボル	機能	R/W
0	NONSEC00	非セキュア属性ビット 00 対象レジスタ：SCKDIVCR, SCKDIVCR2, SCKSCR 対象要素：システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

2	NONSEC02	非セキュア属性ビット 02 対象レジスタ： HOCOCR, FLLCR1, FLLCR2, HOCOUTCR, HOCOSCR 対象要素： HOCO 0: セキュア 1: 非セキュア	R/W
---	----------	---	-----

(省略)

NONSEC02 ビット (非セキュア属性ビット 02)

本ビットは HOCOCR、FLLCR1、FLLCR2、HOCOUTCR、HOCOSCR レジスタのセキュリティ属性を制御します。

修正後

ビット	シンボル	機能	R/W
0	NONSEC00	非セキュア属性ビット 00 対象レジスタ： SCKDIVCR, SCKDIVCR2, SCKSCR 対象要素： システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
2	NONSEC02	非セキュア属性ビット 02 対象レジスタ： HOCOCR, HOCOCR2 , FLLCR1, FLLCR2, HOCOUTCR, HOCOSCR 対象要素： HOCO 0: セキュア 1: 非セキュア	R/W

(省略)

NONSEC02 ビット (非セキュア属性ビット 02)

本ビットは HOCOCR、**HOCOCR2**、FLLCR1、FLLCR2、HOCOUTCR、HOCOSCR レジスタのセキュリティ属性を制御します。

8.2.6 PLLCCR : PLL クロックコントロールレジスタ

[Page 208]

修正前

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0] ^(注1)	PLL1 入力周波数分周比選択 0 0: 1/1 0 1: 1/2 1 0: 1/3 1 1: 1/4	R/W
3:2	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL1 クロックソース選択 0: メインクロック発振器 ^(注3) 1: HOCO ^(注4)	R/W
5	—	読むと 0 が読めます。 書く場合、0 としてください。	R/W
7:6	PLLMULNF[1:0] ^(注2)	PLL1 周波数小数通倍率選択 0 0: 0.00 分周 (リセット後の値) 0 1: 0.33 (1/3) 1 0: 0.66 (2/3) 1 1: 0.50 (1/2)	R/W

15:8	PLLMUL[7:0] ^(注2)	PLL1 周波数逓倍率選択 0x19: 26 倍 (リセット後の値) 0x1A: 27 倍 0x1B: 28 倍 ⋮ 0x58: 89 倍 0x59: 90 倍 0x5A: 91 倍 ⋮ 0xB2: 179 倍 0xB3: 180 倍 その他: 設定禁止	R/W
------	-----------------------------	--	-----

修正後

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0] ^(注1)	PLL1 入力周波数分周比選択 0 0: 1/1 0 1: 1/2 1 0: 1/3 1 1: 1/4	R/W
3:2	—	読むと0 が読めます。書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL1 クロックソース選択 0: メインクロック発振器 ^(注3) 1: HOCO ^(注4)	R/W
5	—	読むと0 が読めます。書く場合、0 としてください。	R/W
7:6	PLLMULNF[1:0] ^(注2)	PLL1 周波数小数逓倍率選択 0 0: 0.00 分周 (リセット後の値) 0 1: 0.33 (1/3) 1 0: 0.66 (2/3) 1 1: 0.50 (1/2)	R/W
15:8	PLLMUL[7:0] ^(注2)	PLL1 周波数逓倍率選択 0x19: 26 倍 (リセット後の値) 0x34: 53 倍 0x35: 54 倍 ⋮ 0x58: 89 倍 0x59: 90 倍 0x5A: 91 倍 ⋮ 0xB2: 179 倍 0xB3: 180 倍 その他: 設定禁止	R/W

8.2.9 PLL2CCR : PLL2 クロックコントロールレジスタ

[Page 211]

修正前

ビット	シンボル	機能	R/W
1:0	PL2IDIV[1:0] ^(注1)	PLL2 入力分周比選択 0 0: 1/1 (リセット後の値) 0 1: 1/2 1 0: 1/3 1 1: 1/4	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

4	PL2SRCSEL	PLL2 クロックソース選択 0: メインクロック発振器 1: HOCO(注3)	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	PLL2MULNF[1:0](注2)	PLL2 周波数小数通倍率選択 00: 0.00 分周 (リセット後の値) 01: 0.33 (1/3) 10: 0.66 (2/3) 11: 0.50 (1/2)	R/W
15:8	PLL2MUL[7:0](注2)	PLL2 周波数通倍率選択 0x19: 26 倍 (リセット後の値) 0x1A: 27 倍 0x1B: 28 倍 ⋮ 0x58: 89 倍 0x59: 90 倍 0x5A: 91 倍 ⋮ 0xD2: 179 倍 0xD3: 180 倍 その他: 設定禁止	R/W

修正後

ビット	シンボル	機能	R/W
1:0	PL2IDIV[1:0](注1)	PLL2 入力分周比選択 0 0: 1/1 (リセット後の値) 0 1: 1/2 1 0: 1/3 1 1: 1/4	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PL2SRCSEL	PLL2 クロックソース選択 0: メインクロック発振器 1: HOCO(注3)	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	PLL2MULNF[1:0](注2)	PLL2 周波数小数通倍率選択 00: 0.00 分周 (リセット後の値) 01: 0.33 (1/3) 10: 0.66 (2/3) 11: 0.50 (1/2)	R/W
15:8	PLL2MUL[7:0](注2)	PLL2 周波数通倍率選択 0x19: 26 倍 (リセット後の値) 0x34: 53 倍 0x35: 54 倍 ⋮ 0x58: 89 倍 0x59: 90 倍 0x5A: 91 倍 ⋮ 0xD2: 179 倍 0xD3: 180 倍 その他: 設定禁止	R/W

8.2.16 HOCO CR : 高速オンチップオシレータコントロールレジスタ

[Page 216]

修正前

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作 (注2) 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. OFS1(_SEC).HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 です。OFS1(_SEC).HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 です。

注 2. HOCO を使用している場合 (HCSTP = 0)、OFS1(_SEC).HOCOFRQ0[2:0]ビットを最適な値に設定してください。

修正後

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作 (注2) (注3) 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. OFS1(_SEC).HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 です。OFS1(_SEC).HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 です。

注 2. HOCO を使用している場合 (HCSTP = 0)、OFS1(_SEC).HOCOFRQ0[2:0]ビットを最適な値に設定してください。

注 3. OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCO CR2.HCFRQ0[2:0]ビットに自動的に転送されますので、HOCO 周波数は、HOCO CR2.HCFRQ0[2:0]で設定することもできます。

追加 : HOCO CR2 : 高速オンチップオシレータコントロールレジスタ 2

修正前

(記述無し)

修正後

Base address: SYSC = 0x4001_E000

SYSC_NS = 0x5001_E000

Offset address: 0x037

Bit position: 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	HCFRQ0[2:0]	
------------	---	---	---	---	---	-------------	--

Value after reset: 0 0 0 0 0 0/1 0/1 0/1

(注 1) (注 1) (注 1)

ビット	シンボル	機能	R/W
2:0	HCFRQ0[2:0]	HOCO周波数設定 0 0 0 0: 16MHz 0 0 1: 18MHz 0 1 0: 20MHz 1 0 0: 32MHz 1 1 1: 48MHz その他: 設定禁止	R/W
7:3	—	読むと0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに1 を設定してから書き込んでください。

注1. HCFRQ0[2:0]ビットのリセット後の値は、OFS1(_SEC).HOCOFRQ0[2:0]ビットに依存します。

HOCOCCR2 レジスタは、HOCO クロックを制御します。

HOCOCCR.HCSTP ビットが 0 (HOCO 動作)のとき、HOCOCCR2 レジスタへの書き込みは禁止です。

HCFRQ0[2:0] ビット (HOCO 周波数設定 0)

これらのビットはHOCOの周波数を選択します。

8.2.19 FLLCR2 : FLL コントロールレジスタ 2

[Page 219]

修正前

ビット	シンボル	機能	R/W
10:0	FLLCNTL[10:0]	FLL 過倍制御 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 000b (16 MHz) または 100b (32 MHz)の場合、これらのビットは 0x1E9 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 001b (18 MHz) の場合、これらのビットは 0x226 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 010b (20 MHz) の場合、これらのビットは 0x263 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 111b (48 MHz) の場合、これらのビットは 0x1E9 にする必要があります。 上記以外は設定しないでください。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

修正後

ビット	シンボル	機能	R/W
10:0	FLLCNTL[10:0]	FLL 選倍制御 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 000b (16 MHz) または 100b (32 MHz)の場合、これらのビットは 0x1E9 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 001b (18 MHz) の場合、これらのビットは 0x226 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 010b (20 MHz) の場合、これらのビットは 0x263 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 111b (48 MHz) の場合、これらのビットは 0x1E9 にする必要があります。 上記以外は設定しないでください。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注. **OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後にHOCOCCR2.HCFRQ0[2:0]ビットに自動的に転送されますので、HOCO周波数は、HOCOCCR2.HCFRQ0[2:0]で設定することもできます。**

8.10.1 CPU クロック (CPUCLK)

[Page 256]

修正前

CPU クロック (CPUCLK) は、CPU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR2.CPUCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット

修正後

CPU クロック (CPUCLK) は、CPU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR2.CPUCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、および PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.2 システムクロック (ICLK)

[Page 256]

修正前

システムクロック (ICLK) は、DMAC、DTC、フラッシュ、SRAM、システムバス、I/O ポート、および ICU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.ICK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット

- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

システムクロック (ICLK) は、DMAC、DTC、フラッシュ、SRAM、システムバス、I/O ポート、および ICU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.ICK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.4 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)

[Page 257]

修正前

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, および PCLKE) は、周辺モジュールが使用する動作クロックです。各クロックの周波数は、それぞれ以下のビットで設定します。

- SCKDIVCR.PCKA[3:0], SCKDIVCR.PCKB[3:0], SCKDIVCR.PCKC[3:0], SCKDIVCR.PCKD[3:0], および SCKDIVCR.PCKE[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, および PCLKE) は、周辺モジュールが使用する動作クロックです。各クロックの周波数は、それぞれ以下のビットで設定します。

- SCKDIVCR.PCKA[3:0], SCKDIVCR.PCKB[3:0], SCKDIVCR.PCKC[3:0], SCKDIVCR.PCKD[3:0], および SCKDIVCR.PCKE[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.5 FlashIF クロック (FCLK)

[Page 258]

修正前

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム/イレーズに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR.FCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム/イレーズに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR.FCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.6 外部バスクロック (BCLK、EBCLK)

[Page 258]

修正前

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、外部接続バスの EBCLK 端子からも外部に出力されます。

EBCKOCR.EBCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 01011b にすることによって、EBCLK 端子から BCLK を出力できます。PmnPFS.PSEL[4:0]ビットの 01011b への変更は、EBCKOCR.EBCKOEN ビットが 0 の時だけに行ってください。

また、BCKCR.BCLKDIV ビットを 1 にすると、EBCLK 端子から BCLK の 2 分周クロックを出力できます。

周波数は下記のビットで指定します。

- SCKDIVCR.BCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、外部接続バスの EBCLK 端子からも外部に出力されます。

EBCKOCR.EBCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 01011b にすることによって、EBCLK 端子から BCLK を出力できます。PmnPFS.PSEL[4:0]ビットの 01011b への変更は、EBCKOCR.EBCKOEN ビットが 0 の時だけに行ってください。

また、BCKCR.BCLKDIV ビットを 1 にすると、EBCLK 端子から BCLK の 2 分周クロックを出力できます。

周波数は下記のビットで指定します。

- SCKDIVCR.BCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注 1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.7 SDRAM クロック (SDCLK)

[Page 258]

修正前

SDRAM クロック (SDCLK) は、外部バスコントローラの動作クロックです。SDCLK は、外部バスに接続された SDRAM の SDCLK 端子から外部に出力されます。SDCLK 端子に SDCLK を出力する場合、SDCKOCR.SDCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 01011b (SDCLK 出力有効) にしてください。PmnPFS.PSEL[4:0]の値を変更できるのは、SDCKOCR.SDCKOEN ビットが 0 の場合だけです。周波数は下記のビットで指定します。

- SCKDIVCR.BCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

SDRAM クロック (SDCLK) は、外部バスコントローラの動作クロックです。SDCLK は、外部バスに接続された SDRAM の SDCLK 端子から外部に出力されます。SDCLK 端子に SDCLK を出力する場合、SDCKOCR.SDCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 01011b (SDCLK 出力有効) にしてください。PmnPFS.PSEL[4:0]の値を変更できるのは、SDCKOCR.SDCKOEN ビットが 0 の場合だけです。周波数は下記のビットで指定します。

- SCKDIVCR.BCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR と PLLCCR2 の PLLMUL[7:0], PLLMULNF[1:0], PLIDIV[1:0], PLODIVP[3:0], PLODIVQ[3:0], PLODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注 1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.9 SCI クロック (SCICK)

[Page 258, 259]

修正前

SCI クロック (SCICK) は、SCI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SCICKDIVCR.SCICKDIV[2:0]ビット
- SCICKCR.SCICKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

SCI クロック (SCICK) は、SCI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SCICKDIVCR.SCICKDIV[2:0]ビット
- SCICKCR.SCICKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.10 SPI クロック (SPICK)

[Page 259]

修正前

SPI クロック (SPICK) は、SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SPICKDIVCR.SPICKDIV[2:0]ビット
- SPICKCR.SPICKSEL[3:0]ビット

- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

SPI クロック (SPICLK) は、SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SPICKDIVCR.SPICKDIV[2:0]ビット
- SPICKCR.SPICKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット ^(注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.11 Octal-SPI クロック (OCTACLK、OCTADIVCLK)

[Page 259]

修正前

Octal-SPI クロック (OCTACLK) は、Octal-SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- OCTACKDIVCR.OCTACKDIV[2:0]ビット
- OCTACKCR.OCTACKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

Octal-SPI クロック (OCTACLK) は、Octal-SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- OCTACKDIVCR.OCTACKDIV[2:0]ビット
- OCTACKCR.OCTACKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット ^(注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.12 CANFD コアクロック (CANFDCLK)

[Page 259, 260]

修正前

CANFD コアクロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

周波数は下記のビットで指定します。

- CANFDCKDIVCR.CANFDCKDIV[2:0]ビット
- CANFDCKCR.CANFDCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

CANFD コアクロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

周波数は下記のビットで指定します。

- CANFDCKDIVCR.CANFDCKDIV[2:0]ビット
- CANFDCKCR.CANFDCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット

- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット

- OSF1(_SEC).HOCOFRQ0[2:0]ビット ^(注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.13 USB クロック (USBCLK)

[Page 260]

修正前

USB クロック (USBCLK) は、USBFS モジュールおよび USBHS モジュールの動作クロックです。

USBFS モジュールを使用する場合、または CL-only モードで USBHS を使用する場合、48 MHz クロックを供給する必要があります。

CL-only モードで USBHS を使用する場合を除き、USBCLK は供給する必要がありません。

USBCLK の周波数は、以下のビットで設定します。

- USBCKDIVCR.USBCKDIV[2:0]ビット

- USBCKCR.USBCKSEL[3:0]ビット

- PLLCCR と PLLCCR2 の PLLMUL[7:0]、PLLMULNF[1:0]、PLIDIV[1:0]、PLODIVP[3:0]、PLODIVQ[3:0]、PLODIVR[3:0]ビット

- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット

- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

USB クロック (USBCLK) は、USBFS モジュールおよび USBHS モジュールの動作クロックです。

USBFS モジュールを使用する場合、または CL-only モードで USBHS を使用する場合、48 MHz クロックを供給する必要があります。

CL-only モードで USBHS を使用する場合を除き、USBCLK は供給する必要がありません。

USBCLK の周波数は、以下のビットで設定します。

- USBCKDIVCR.USBCKDIV[2:0]ビット

- USBCKCR.USBCKSEL[3:0]ビット

- PLLCCR と PLLCCR2 の PLLMUL[7:0]、PLLMULNF[1:0]、PLIDIV[1:0]、PLODIVP[3:0]、PLODIVQ[3:0]、PLODIVR[3:0]ビット

- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット

- OSF1(_SEC).HOCOFRQ0[2:0]ビット ^(注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタ

タの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.14 USB クロック (USB60CLK)

[Page 260]

修正前

USB クロック (USB60CLK) は、USBHS モジュールの動作クロックです。CL-only モードで USBHS モジュールを使用する場合、60 MHz クロックを供給する必要があります。CL-only モードで USBHS を使用する場合を除き、USB60CLK は供給する必要がありません。

周波数は下記のビットで指定します。

- USB60CKDIVCR.USB60CKDIV[2:0]ビット
- USB60CKCR.USB60CKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

USB クロック (USB60CLK) は、USBHS モジュールの動作クロックです。CL-only モードで USBHS モジュールを使用する場合、60 MHz クロックを供給する必要があります。CL-only モードで USBHS を使用する場合を除き、USB60CLK は供給する必要がありません。

周波数は下記のビットで指定します。

- USB60CKDIVCR.USB60CKDIV[2:0]ビット
- USB60CKCR.USB60CKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.16 LCD クロック (LCDCLK)

[Page 260, 261]

修正前

LCD クロック (LCDCLK) は、LCD モジュールの動作クロックです。

周波数は下記のビットで指定します。

- LCDCLDIVCR.LCDCKDIV[2:0]ビット
- LCDCKCR.LCDCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

LCD クロック (LCDCLK) は、LCD モジュールの動作クロックです。

周波数は下記のビットで指定します。

- LCDCLDIVCR.LCDCKDIV[2:0]ビット
- LCDCKCR.LCDCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOFRQ2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.17 I3C クロック (I3CCLK)

[Page 261]

修正前

I3C クロック (I3CCLK) は、I3C モジュールの動作クロックです。

周波数は下記のビットで指定します。

- I3CCKDIVCR.I3CCKDIV[2:0]ビット
- I3CCKCR.I3CCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、

PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット

- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

I3C クロック (I3CCLK) は、I3C モジュールの動作クロックです。

周波数は下記のビットで指定します。

- I3CCKDIVCR.I3CCKDIV[2:0]ビット
- I3CCKCR.I3CCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]、PLLCCR.PLODIVP[3:0]、PLLCCR.PLODIVQ[3:0]、PLLCCR.PLODIVR[3:0]、PLLCCR2.PLLMUL[7:0]、PLLCCR2.PLLMULNF[1:0]、PLLCCR2.PLIDIV[1:0]、PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]、PLL2CCR.PL2ODIVP[3:0]、PLL2CCR.PL2ODIVQ[3:0]、PLL2CCR.PL2ODIVR[3:0]、PLL2CCR2.PLL2MUL[7:0]、PLL2CCR2.PLL2MULNF[1:0]、PLL2CCR2.PL2IDIV[1:0]、PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCCR2.HCFRQ0[2:0]ビットに自動的に転送されるため、HOCOCCR2.HCFRQ0[2:0]ビットで設定することも可能です。

8.10.26 外部端子出力クロック (CLKOUT)

[Page 262]

修正前

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCCR.CKODIV[2:0]ビットまたは CKOCCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCCR.CKODIV[2:0]ビットまたは CKOCCR.CKOSEL[2:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット

修正後

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCCR.CKODIV[2:0]ビットまたは CKOCCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCCR.CKODIV[2:0]ビットまたは CKOCCR.CKOSEL[2:0]ビット
- OSF1(_SEC).HOCOFRQ0[2:0]ビット (注1)

注1. OFS1 レジスタは非セキュア開発者用で、OFS1_SEC レジスタは、セキュア開発者用です。適用される設定値は、OFS1_SEL レジスタの対応ビットの設定値により決まります。なお、OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCCR2.HCFRQ0[2:0]ビット

ットに自動的に転送されるため、HOCOOCR2.HCFRQ0[2:0]ビットで設定することも可能です。

表 8.14 HOCO 初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）
 (OFS1(_SEC).HOCOEN = 1、FLL なし)

[Page 271]

修正前

No.	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0 (LDO が有効)
4	ソフトウェアスタンバイモードの発振保持設定	HOCO がソフトウェアスタンバイモードで発振を保持する場合、以下を設定します。 ● HOCOSCR レジスタの HOCOSOKP ビット ● HOCOLDOCR レジスタの SKEEP ビット
5	HOCO 動作設定	HOCOOCR レジスタで、HOCO の発振開始を設定します。
6	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1 (発振が安定) になるまででポーリングを行います。
7	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
8	終了	HOCO クロックの設定は完了です。HOCO クロックは使用可能です。

修正後

No.	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0 (LDO が有効)
4	HOCO 周波数設定	HOCOOCR2レジスタでHOCO周波数を設定します。
5	ソフトウェアスタンバイモードの発振保持設定	HOCO がソフトウェアスタンバイモードで発振を保持する場合、以下を設定します。 ● HOCOSCR レジスタの HOCOSOKP ビット ● HOCOLDOCR レジスタの SKEEP ビット
6	HOCO 動作設定	HOCOOCR レジスタで、HOCO の発振開始を設定します。
7	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1 (発振が安定) になるまででポーリングを行います。
8	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
9	終了	HOCO クロックの設定は完了です。HOCO クロックは使用可能です。

表 8.15 FLL 機能を使用した HOCO 設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後）
 (OFS1(_SEC).HOCOEN = 1)

[Page 271、272]

修正前

No.	手順	説明
-----	----	----

1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。

No.	手順	説明
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0 (LDO が有効)
4	FLL 機能有効設定(注2)	FLLCR2 レジスタで、FLL 通倍制御を設定します。 FLLCR1 レジスタで、FLL 機能を有効に設定します。
5	HOCO 動作設定	HOCO CR レジスタで、HOCO の発振開始を設定します。
6	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1 (発振が安定) になるまででポーリングを行います。
7	FLL 安定待機	FLL 安定待機時間 (t _{FLLWT}) が経過するまで待機します。あるいは、HOCOクロックの測定により周波数精度が安定していることを確認できるまで待機します。
8	HOCO 安定確認	OSCSF レジスタの HOCOSF ビットが 1 になることを確認します。
9	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
10	終了	クロック設定は完了です。HOCO クロックは使用可能です。

修正後

No.	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。

No.	手順	説明
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0 (LDO が有効)
4	HOCO 周波数設定	HOCO CR2レジスタでHOCO周波数を設定します。
5	FLL 機能有効設定(注2)	FLLCR2 レジスタで、FLL 通倍制御を設定します。 FLLCR1 レジスタで、FLL 機能を有効に設定します。
6	HOCO 動作設定	HOCO CR レジスタで、HOCO の発振開始を設定します。
7	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1 (発振が安定) になるまででポーリングを行います。
8	FLL 安定待機	FLL 安定待機時間 (t _{FLLWT}) が経過するまで待機します。あるいは、HOCOクロックの測定により周波数精度が安定していることを確認できるまで待機します。
9	HOCO 安定確認	OSCSF レジスタの HOCOSF ビットが 1 になることを確認します。
10	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	終了	クロック設定は完了です。HOCO クロックは使用可能です。

10. 低消費電力モード

表 10.3 各低消費電力モードの動作状態

[Page 288]

修正前

注 9. アドレスバスおよびバス制御信号 (SRAM の場合 : [CS0~CS7, RD, WR0~WR1, WR, BC0~BC1, ALE], SDRAM の場

合：[SDCS, RAS, CAS, WE]) に対して、出力状態の維持やハイインピーダンス状態への変更は、SBYCR.OPE ビットで選択可能です。

修正後

注 9. アドレスバスおよびバス制御信号 (SRAM の場合：[A00~A23, CS0~CS7, RD, WR0~WR3, WR, BC0~BC3, ALE]、SDRAM の場合：[A00~A16, DQM0~DQM3, SDCS, RAS, CAS, WE, CKE])に対して、出力状態の維持やハイインピーダンス状態への変更は、SBYCR.OPE ビットで選択可能です。

10.2.10 SBYCR：スタンバイコントロールレジスタ

[Page 304]

修正前

OPE ビット (出力ポート許可)

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に、アドレスバスとバス制御信号 (SRAM の場合は CS0~CS7、RD、WR0~WR3、WR、BC0~BC3、ALE) がハイインピーダンス状態となるか、出力状態を維持するかを選択します。

修正後

OPE ビット (出力ポート許可)

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に、アドレスバスとバス制御信号 (SRAM の場合は A00~A23, CS0~CS7, RD, WR0~WR3, WR, BC0~BC3, ALE, SDRAM の場合は A00~A16, DQM0~DQM3, SDCS, RAS, CAS, WE, CKE) がハイインピーダンス状態となるか、出力状態を維持するかを選択します。

12. レジスタライトプロテクション

表 12.1 PRCR レジスタのビットと保護されるレジスタの対応関係

[Page 363]

修正前

PRCR レジスタ	保護されるレジスタ
PRC0	● クロック発生回路に関連するレジスタ：
PRC1	● 低消費電力モードに関連するレジスタ： SBYCR, OPCCR, PDCTRGD, PDRAMSCR0, PDRAMSCR1, SSCR1, LPSCR, DPSBYCR, DPSWCR, DPSIER0-3, DPSIFR0-3, DPSIEGR0-2, PLL1LDOCR, PLL2LDOCR, HOCOLDOCR, LVOCR ● バッテリバックアップ機能に関連するレジスタ： VBTBER, VBTICTLR, VBTBKR[n] (n = 0~127), VBTBPCR1, VBTBPCR2, VBTBPSR, VBTADSR, VBTADCR1, VBTADCR2, VBTICTLR2
PRC3	● PVD に関連するレジスタ： PVD1CR1, PVD1SR, PVD2CR1, PVD2SR, PVD1CMPCR, PVD2CMPCR, PVD1CR0, PVD2CR0, PVD1FCR, PVD2FCR, VBATTMNSCLR
PRC4	● セキュリティ/プリビレッジ設定レジスタに関連するレジスタ： ELCSARx (x = A, B) ^(注1) , ELCPARx (x = A, B), PSARx (x = A~E), MSSAR, PPARx (x = A~E), MSPAR, PmSAR (m = 0~9, A~G), CPUSAR, DEBUGSAR, ICUSARx (x = A, B, E~I), SRAMSAR, BUSSARx (x = A~C), BUSPARC, MMPUSARx (x = A, B), DTCSAR, DMACSAR, DMACCHSAR, DMACCHPAR, TEVTRCR, SRAMSABAR0-1, STBRAMSABAR, STBRAMPABAR_NS, STBRAMPABAR_S, FSAR, CGFSAR, RSTSAR, LPMSAR, PVDSAR, BBFSAR, DPFSAR, RSCSAR, PGCSAR, VBRASABAR, VBRPABARS, VBRPABARNS
PRC5 ^(注1)	● リセット制御に関連するレジスタ： SYRSTMSK0, SYRSTMSK2

注 1. PRCR_S のみサポートされています。

修正後

PRCR レジスタ	保護されるレジスタ
PRC0	<ul style="list-style-type: none"> クロック発生回路に関連するレジスタ： SCKDIVCR, SCKDIVCR2, SCKSCR, PLLCCR, PLLCR, BCKCR, MOSCCR, HOCOCCR, HOCOCCR2, MOCOCCR, FLLCR1, FLLCR2, CKOCCR, OSTDCR, OSTDSR, PLL2CCR, PLL2CR, PLLCCR2, PLL2CCR2, EBCKOCR, SDCKOCR, SCICKDIVCR, SCICKCR, SPICKDIVCR, SPICKCR, LCDCKDIVCR, LCDCKCR, MOCOUTCR, HOCOUTCR, USBCKDIVCR, OCTACKDIVCR, CANFDCKDIVCR, USB60CKDIVCR, I3CKDIVCR, USBCKCR, OCTACKCR, CANFDCKCR, USB60CKCR, I3CKCR, MOSCSCR, HOCOSCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR, SYRACCR
PRC1	<ul style="list-style-type: none"> 低消費電力モードに関連するレジスタ： SBYCR, OPCCR, PDCTRGD, PDRAMSCR0, PDRAMSCR1, SSCR1, LPSCR, DPSBYCR, DPSWCR, DPSIER0-3, DPSIFR0-3, DPSIEGR0-2, PLL1LDOCR, PLL2LDOCR, HOCOLDOCR, LVOCR バッテリバックアップ機能に関連するレジスタ： VBTBER, VBTICTLR, VBTBKR[n] (n = 0~127), VBTBPCR1, VBTBPCR2, VBTBPSR, VBTADSR, VBTADCR1, VBTADCR2, VBTICTLR2
PRC3	<ul style="list-style-type: none"> PVD に関連するレジスタ： PVD1CR1, PVD1SR, PVD2CR1, PVD2SR, PVD1CMPCR, PVD2CMPCR, PVD1CR0, PVD2CR0, PVD1FCR, PVD2FCR, VBATTMNSCLR
PRC4	<ul style="list-style-type: none"> セキュリティ/プリビレッジ設定レジスタに関連するレジスタ： ELCSARx (x = A, B)^(注1), ELCPARx (x = A, B), PSARx (x = B~E), MSSAR, PPARx (x = B~E), MSPAR, PmSAR (m = 0~9, A, B), CPUSAR, DEBUGSAR, ICUSARx (x = A, B, E~I), SRAMSAR, BUSSARx (x = A~C), BUSPARC, MMPUSARx (x = A, B), DTCSAR, DMACSAR, DMACCHSAR, DMACCHPAR, TEVTRCR, SRAMSABAR0-1, STBRAMSABAR, STBRAMPABAR_NS, STBRAMPABAR_S, FSAR, CGFSAR, RSTSAR, LPMSAR, PVDSAR, BBFSAR, DPFSAR, RSCSAR, PGCSAR, VBRABAR, VBRPABARS, VBRPABARNS
PRC5 ^(注1)	<ul style="list-style-type: none"> リセット制御に関連するレジスタ： SYRSTMSK0, SYRSTMSK2

注 1. PRCR_S のみサポートされています。

23. 超低消費電力タイマ (ULPT)

23.4.7 スタンバイモード

[Page 887]

修正前

各スタンバイモードの設定直前は、ULPT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタの書き換えは禁止です。

カウンタの実行中に ULPT レジスタ、ULPTCMA レジスタ、および ULPTCMB レジスタを書き換えた場合、カウントソースの 4 サイクル以上後に各スタンバイモードを設定してください。

修正後

各スタンバイモードの設定直前は、ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタの書き換えは禁止です。

カウンタの実行中に ULPTCNT レジスタ、ULPTCMA レジスタ、および ULPTCMB レジスタを書き換えた場合、カウントソースの 4 サイクル以上後に各スタンバイモードを設定してください。

23.5.9 ディープソフトウェアスタンバイモード 1 における ULPTEx-DS 端子と ULPTExI-DS 端子に関する制限事項

[Page 890]

修正前

ディープソフトウェアスタンバイモード 1 で ULPTEEx-DS 端子と ULPTEVIx-DS 端子を使用する場合、ディープソフトウェアスタンバイモード 1 遷移時に入力端子を 0 に設定してください。ディープソフトウェアスタンバイモード 1 遷移後、これらの入力端子はパルス入力に使用できます (0 入力と 1 入力の両方許可)。ディープソフトウェアスタンバイモード 1 への遷移を確認するために、ディープソフトウェアスタンバイが生じた際の変化を活用して、IO ポートを使用できます。

(フロー例)

1. WFI 命令を実行する前に、外部デバイスへ送信するために GPIO 出力を使用してください。
2. WFI 命令を実行し、ディープソフトウェアスタンバイモード 1 へ遷移してください。
3. 外部デバイスが GPIO 出力を検出します。1 ms が経過した後、ULPT への入力が始まります。

修正後

ディープソフトウェアスタンバイモード 1 中に外部イベントを継続してカウントする場合、ディープソフトウェアスタンバイモード 1 へ遷移する間に、ULPTEEx-DS 端子と ULPTEVIx-DS 端子を Low に保持する必要があります。

外部イベントを生成するデバイスに対して、汎用入出力ポートを使用してディープソフトウェアスタンバイモード 1 への遷移を通知する必要があります。

手順の例を以下に示します。(フローの例)

(a) MCU における手順

1. 初期設定において、外部デバイスへの通知用のポートを汎用出力ポートに設定し、Low を出力してください。
2. ディープソフトウェアスタンバイモード 1 に遷移する前に、上記ポートの PODR ビットを 1 に設定してください。
3. PODR ビットを読み出し、1 に設定されていることを確認してください。
4. 10 μ s 経過した後、WFI 命令を実行してください。

(b) 外部デバイスにおける手順

1. 上記ポートが High になったとき、ULPTEEx-DS 端子と ULPTEVIx-DS 端子を 10 μ s 以内に Low に保持してください。その時間が 10 μ s を超過した場合、上記 4 の時間に超過時間を加えてください。その時間が 10 μ s より短い場合、減った分の時間を差し引いてください。
2. 1 ms 以上経過した後、イベント出力を再開してください。

32. I²C バスインタフェース (IIC)**32.8 ウェイクアップ機能**

[Page 1471]

修正前**ウェイクアップ機能使用時の注意事項**

- ICWUR2 レジスタの WUASYF フラグが 1 (PCLKB 非同期動作時) の間は、ICWUR2 レジスタの WUSEN ビットを除き、IIC レジスタの内容を変更しないでください。
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE ビット、ICWUR.WUIE ビットを 1 に、ICCR2.MST ビット、ICCR2.TRS ビットを 0 (スレーブ受信モード) にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。ICSER レジスタの DIDE ビットおよび SARUy

($y = 0 \sim 2$) レジスタの FS ビットを 0 に設定してください。

- 非同期動作に切り替える前に、ICIER レジスタのビット (TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE) を 0 (割り込み禁止) にしてください。
- ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください (ICWUR.WUE = 1)。
- PCLKB 非同期動作時 (ICWUR2.WUASYF = 1 の場合) にウェイクアップ割り込みが発生した場合でも、スレーブアドレスが PCLKB 同期モード (ICWUR2.WUASYF = 0) であれば、ウェイクアップ割り込みは発生せず、WUF フラグは設定されません。
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングと開始条件を検出するタイミングが競合する場合、IIC は PCLKB 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に ICWUR2.WUASYF フラグは 1 になり (PCLKB 非同期モードへ切り替え) 停止条件が検出され、ウェイクアップイベントの検出を開始します。
- アドレス一致の検出なしに PCLKB 非同期動作から PCLKB 同期動作に切り替えたい場合は、ストップコンディションの検出で切り替わります。バスフリー状態で ICWUR2.WUSEN ビットを 1 にすると PCLKB 非同期動作 (受信動作：通信フレームの待機) を継続します。IIC が次の通信フレームのストップコンディションを検出したとき、ICWUR2.WUSYF フラグは 1 になります。そして IIC は、PCLKB 同期動作に切り替わります。
- ICWUR2.WUSEN ビットに 0 を書き込んだ後、モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで (ICWUR2.WUASYF フラグが 1 の間) IIC 動作モード設定に関連するレジスタ (ICMR3、ICSER、および SARLY レジスタ) を変更しないでください。割り込み処理または他の要因により、この周期の間にレジスタ値が変化する場合、非同期動作へ切り替える前に IIC が誤作動する可能性があります。
- PCLKB 非同期動作中に (ICWUR2.WUSYF = 0 (または WUASYF = 1))、ICSR1、ICSR2 レジスタの各フラグおよび ICCR2.BBSY フラグを参照しないでください。

修正後

ウェイクアップ機能使用時の注意事項

- ICWUR2 レジスタの WUASYF フラグが 1 (PCLKB 非同期動作時) の間は、**ICIER レジスタおよび ICWUR2 レジスタの WUSEN ビット**を除き、IIC レジスタの内容を変更しないでください。
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE ビット、ICWUR.WUIE ビットを 1 に、ICCR2.MST ビット、ICCR2.TRS ビットを 0 (スレーブ受信モード) にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。ICSER レジスタの DIDE ビットおよび SARUY ($y = 0 \sim 2$) レジスタの FS ビットを 0 に設定してください。
- **PCLKB 非同期動作 (ICWUR2.WUASYF = 1) へ切り替わり後**、ICIER レジスタのビット (TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE) を 0 (割り込み禁止) にしてください。
- ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください (ICWUR.WUE = 1)。
- PCLKB 非同期動作時 (ICWUR2.WUASYF = 1 の場合) にウェイクアップ割り込みが発生した場合でも、スレーブアドレスが PCLKB 同期モード (ICWUR2.WUASYF = 0) であれば、ウェイクアップ割り込みは発生せず、WUF フラグは設定されません。
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングと開始条件を検出するタイミングが競合する場合、IIC は PCLKB 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に ICWUR2.WUASYF フラグは 1 になり (PCLKB 非同期モードへ切り替え) 停止条件が検出され、ウェイクアップイベントの検出を開始します。
- アドレス一致の検出なしに PCLKB 非同期動作から PCLKB 同期動作に切り替えたい場合は、ストップコンディションの検出で切り替わります。バスフリー状態で ICWUR2.WUSEN ビットを 1 にすると PCLKB 非同期動作 (受信動作：通信フレームの待機) を継続します。IIC が次の通信フレームのストップコンディションを検出したとき、ICWUR2.WUSYF フラグは 1 になります。そして IIC は、PCLKB 同期動作に切り替

ります。

- ICWUR2.WUSEN ビットに 0 を書き込んだ後、モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで (ICWUR2.WUASYF フラグが 1 の間) IIC 動作モード設定に関連するレジスタ (ICMR3、ICSER、および SARLy レジスタ) を変更しないでください。割り込み処理または他の要因により、この周期の間にレジスタ値が変化する場合、非同期動作へ切り替える前に IIC が誤動作する可能性があります。
- PCLKB 非同期動作中に (ICWUR2.WUSYF = 0 (または WUASYF = 1))、ICSR1、ICSR2 レジスタの各フラグおよび ICCR2.BBSY フラグを参照しないでください。

34. CAN フレキシブルデータレート (CANFD)

34.2.56 CFDGLOCKK : グローバルロックキーレジスタ

[Page 1832]

修正前

LOCK[15:0]ビット (ロックキー)

キーロック解除シーケンスをLOCK[15:0]ビットに書き込み、CANFD モジュールを**FIFO OTB 禁止およびRAMテストモード**に設定する必要があります。

読み取り値は常に0x0000 です。

CANFD モジュールがGL_SLEEP モードまたはGL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールがGL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

修正後

LOCK[15:0]ビット (ロックキー)

キーロック解除シーケンスをLOCK[15:0]ビットに書き込み、CANFD モジュールをRAMテストモードに設定する必要があります。

読み取り値は常に0x0000 です。

CANFD モジュールがGL_SLEEP モードまたはGL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールがGL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

34.6.2.1 FIFO バッファの構成

[Page 1893, 1894]

修正前

(3) FIFO 容量の構成

(省略)

RX メッセージバッファおよびFIFO バッファに割り当てられるRAM は、64 データバイトの16 メッセージに制限されます。この上限を超えるRX メッセージバッファおよびFIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

(省略)

(4) FIFO ペイロードサイズの構成

(省略)

RX メッセージバッファおよびFIFO バッファに割り当てられるRAM は、64 データバイトの16 メッセージに制限されます。この上限を超えるRX メッセ

ージバッファおよびFIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

修正後

(3) FIFO 容量の構成

(省略)

RX メッセージバッファおよびFIFO バッファに割り当てられるRAM は、64 データバイト (ID とPTR を含む76バイト) の16 メッセージに制限されます。この上限を超えるRX メッセージバッファおよびFIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

(省略)

(4) FIFO ペイロードサイズの構成

(省略)

RX メッセージバッファおよびFIFO バッファに割り当てられるRAM は、64 データバイト (ID とPTR を含む76バイト) の16 メッセージに制限されます。この上限を超えるRX メッセージバッファおよびFIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

34.9.2.1 RAM テストモード

[Page 1928]

修正前

- MB RAM :

$pn = \text{ceil}(2072 / 256) = 9$ ページ

CFDGTSTCFG.RTMPS[3:0] = 0~8 (0 と8 を含む)

修正後

- MB RAM :

$pn = \text{ceil}(2072 / 256) = 9$ ページ

CFDGTSTCFG.RTMPS[3:0] = 0~8 (0 と8 を含む)

(最後のページの24バイト以上はアクセスしないでください。)

追加：34.10 RAM 領域構成

修正前

(記述無し)

修正後

CANFD で使用される RAM 領域(以後は MRAM)は、図 34.54 に示すように、以下のグループに分割出来ます。

- AFL ルールテーブル領域
- PFL ルールテーブル領域
- メッセージバッファ*1 領域 (RX MB +FIFO buffer)
- OTB 領域
- THL 領域
- TX MB 領域

物理的には、RAM は、メッセージバッファ RAM*2(RX MB、RX FIFO、Common FIFO*3、TX MB、THL、OTB、AFL ルールテーブル、PFL ルールテーブル)です。

- *1: 以後、MBとする
- *2: 以後、MRAMとする
- *3: 以後、共通FIFOまたはCFIFOとする



図 34.54 RAM 領域グループ化

MRAM 領域は 0x0000 番地の TX MB 領域から配置されます。TX MB 領域に続き、THL 領域が配置され、更に THL 領域に続き OTB 領域が配置されます。TX MB、THL、OTB 領域のサイズは固定値です。OTB 領域に続き、メッセージバッファ領域が配置されます。メッセージバッファ領域のサイズは、RXMB、RXFIFO、CFIFO の構成に依存します。全ての領域が構成されると、RXMB 領域に続いて RXFIFO 領域が配置され、その後に CFIFO 領域が配置されます。

MRAM の構成は、以下のように計算されます。

$$\text{MRAM_cfg} = \text{RXMB_MRAM_cfg} + \text{RXFIFO_MRAM_cfg} + \text{CFIFO_MRAM_cfg} + \text{TXMB_MRAM_cfg} + \text{THL_MRAM_cfg} + \text{OTB_MRAM_cfg} +$$

AFL_MRAM_cfg + PFL_MRAM_cfg

$RXMB_MRAM_cfg = (12 \text{ バイト} + CFDRMNB.RMPLS) * CFDRMNB.NRXMB$
 $RXFIFO_MRAM_cfg = \text{SUM}((12 \text{ バイト} + CFDRFCCa.RFPLS) * CFDRFCCa.RFDC)$
 $CFIFO_MRAM_cfg = (12 \text{ バイト} + CFDCFCC.CFPLS) * CFDCFCC.CFDC$
 $TXMB_MRAM_cfg = 304 \text{ バイト}$
 $THL_MRAM_cfg = 64 \text{ バイト}$
 $OTB_MRAM_cfg = 160 \text{ バイト}$
 $PFL_MRAM_cfg = 72 \text{ バイト}$
 $AFL_MRAM_cfg = 256 \text{ バイト}$

“a” は、RX FIFO のインデックス = [0…no_of_RFIFOs-1]
 no_of_RFIFOs：構成されたRX FIFOの数

注：CFDRFCCa.RFDC, CFDCFCC.CFDC, CFDRMNB.RMPLS, CFDRMNB.NRXMB, CFDRFCCa.RFPLS and CFDCFCC.CFPLS に関して、指定された数を使用しなければなりません。

表 34.29 は、AFL エントリ、OTB バッファ、TX/RX メッセージバッファ、RX/共通 FIFO、PFL エントリに使用される各種 RAM 領域の計算を示します。

表 34.29 MRAM 領域計算

RAM 名称	RAM 属性	RAM 領域計算方法	RAM 値
AFL	平均 ルールエントリ		16
	ルールエントリのバイト数	固定値	16
	AFL 領域のバイト数	平均ルールエントリ * ルールエントリのバイト数	256
PFL	平均 ルールエントリ		2
	ルールエントリのバイト数	固定値	36
	PFL 領域のバイト数	平均ルールエントリ * ルールエントリのバイト数	72
TX MB	TXMB 数	固定値	4
	各 TXMB での必要バイト数	固定値	76
	TXMB 領域のバイト数	TXMB 数 * 各 TXMB での必要バイト数	304
THL	1 THL バッファ内のエントリ数	固定値	8
	各 THL エントリの必要バイト数	固定値	8
	THL 領域のバイト数	1 THL バッファ内のエントリ数 * 各 THL エントリの必要バイト数	64
OTB	平均バッファ数		2
	OTB エントリのバイト数	固定値	80
	OTB 領域のバイト数	平均バッファ数 * OTB エントリのバイト数	160
メッセージ バッファ	RXMB 数	固定値	16
	RXFIFO 数	固定値	2
	CFIFO 数	固定値	1
	平均 RXMB メッセージ数および FIFO バッファ数		16
	各保持メッセージのバイト数	固定値	-
	平均メッセージバッファのバイト数		76
	メッセージ一時保存領域のバイト数	平均 RXMB メッセージ数および FIFO バッファ数 * 平均メッセージバッファのバイト数	1216
	メッセージ RAM のバイト数	メッセージ一時保存領域のバイト数 + OTB 領域のバイト数 + THL 領域のバイト数 + TX MB 領域のバイト数 + PFL 領域のバイト数 + AFL 領域のバイト数	2072

追加：34.10.1 例

修正前

(記述無し)

修正後

図 34.55 に一つの構成例を示します。

		0x818
	AFL 領域	
		0x718
	PFL 領域	
		0x6D0
	不使用領域	
		0x640
CFDFCC.CFDC=1 (4 メッセージ) CFDFCC.CFPLS=0 (8 バイト) → 20 バイト / メッセージ	共通 FIFO 0	0x5F0
CFDRFCC1.RFDC=2 (8 メッセージ) CFDRFCC1.RFPLS=0 (8 バイト) → 20 バイト / メッセージ	RX FIFO 1	0x550
CFDRFCC0.RFDC=3 (16 メッセージ) CFDRFCC0.RFPLS=5 (32 バイト) → 44 バイト / メッセージ	RX FIFO 0	0x290
RXMB: CFDRMNB.NRXMB=4 (4 メッセージ) CFDRMNB.RMPLS=3 (20 バイト) → 32 バイト / RXMB	RX MB	0x210
	OTB	0x170
	THL	0x130
	TXMB[3]	
	:	
	TXMB[0]	0x000
		(単位：バイト)

図 34.55 RX MB + FIFO バッファ RAM 領域構成例

追加：34.10.2 OTB 領域

修正前

(記述無し)

修正後

OTB 領域は、THL バッファ領域の次に配置されています。OTB は CANFD において特殊な用途に使用されます。RAM 領域のこのセクションは、RAM テストモードにおいて CPU のみがアクセス出来ます。バッファとしては 80 バイトが必要で、平均バッファ数は 2 です。そのため OTB のために必要な全バイト数は、2 * 80 バイトになります。

追加：34.10.3 RAM 初期化サイクル

修正前

(記述無し)

修正後

RAM 初期化のサイクル数および RAM のページ数は、以下に示す通りです。

MRAM 領域サイズ	RAM 初期化 サイクル	RAM テスト RTMPS 範囲
2072	520	0x0 .. 0x8

(PCLKA サイクル)

34.10 使用上の注意事項

[Page 1930]

修正前

34.10 使用上の注意事項

34.10.1 モジュールストップ機能

モジュールストップコントロールレジスタC (MSTPCRC) により、CANFD の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

修正後

34.11 使用上の注意事項

34.11.1 モジュールストップ機能

モジュールストップコントロールレジスタC (MSTPCRC) により、CANFD の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

37. オクタシリアルペリフェラルインタフェース (OSPI)

37.1 概要

[Page 2106]

修正前

xSPI (eXpanded Serial Peripheral Interface) プロトコルは、不揮発性メモリデバイスのインタフェースを指定します。このインタフェースは、高いデータスループット、少ない信号数を提供し、レガシーSPI デバイスとの下位互換が制限されています。電気的なインタフェースとしては、毎秒 200 MB の raw データスループットを提供できます。OSPI は、JEDEC 規格の JESD251 (Profile 1.0, 2.0)、JESD251-1、および JESD252 に準拠します。

JESD251 は 2 つのインタフェースプロファイルを指定します (プロファイル 1.0 はオクタ SPI、プロファイル 2.0 は HyperBus™)。

修正後

xSPI (eXpanded Serial Peripheral Interface) プロトコルは、不揮発性メモリデバイスのインタフェースを指定します。このインタフェースは、高いデータスループット、少ない信号数を提供し、レガシーSPI デバイスとの下位互換が制限されています。電気的なインタフェースとしては、毎秒

200 MB の raw データスループットを提供できます。OSPI は、JEDEC 規格の JESD251 (Profile 1.0, 2.0)、JESD251-1、および JESD252 に準拠します。

JESD251 は 2 つのインタフェースプロファイルを規定しており、profile 1.0 はオクタル SPI、profile 2.0 は HyperBus™(HyperRAM™と HyperFlash™) です。

OSPI は QSPI プロトコルをサポートします。

表 37.11 各バスマスタに対するデータ書き込みの可否

[Page 2105]

修正前

バスマスタ	結合有効	結合無効
CPU (32 ビットより小さいアクセス)	不可	可能
CPU (64 ビットアクセス)	可能	可能
DMAC/DTC	可能	可能
EDMAC	可能	可能
CEU	可能	可能
DRW	可能	可能

修正後

バスマスタ	結合有効	結合無効
CPU (64 ビットより小さいアクセス)	不可	可能
CPU (64 ビットアクセス)	可能	可能
DMAC/DTC	可能	可能
EDMAC	可能	可能
CEU	可能	可能
DRW	可能	可能

38. オンザフライ復号 (DOTF)

表 38.1 DOTF の仕様

修正前

項目	内容
クロックソース	レジスタクロック：PCLKB AES コアクロック：PCLKA
AES コア機能	<ul style="list-style-type: none"> ● 外部メモリに格納された暗号化ソフトウェアのオンザフライ復号を使用 ● ブロックサイズ：128 ビット ● キーサイズ：128 ビット、192 ビット、256 ビット ● 以下のブロック暗号モードに対応 <ul style="list-style-type: none"> – NIST SP800-38A に準拠したカウンタ (CTR) モード ● サイドチャネルカウンタ測定機能に対応 ● セルフテスト機能に対応
改ざん防止	SPA/DPA とタイミング攻撃を含む、サイドチャネル攻撃に対して対策が利用可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能。OSPI のモジュールストップと同様。
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能。OSPI のTrustZone フィルタと同様。

修正後

項目	内容
クロックソース	レジスタクロック：PCLKB AES コアクロック：PCLKA
AES コア機能	<ul style="list-style-type: none"> 外部メモリに格納された暗号化ソフトウェアのオンザフライ復号を使用 ブロックサイズ：128 ビット キーサイズ：128 ビット、192 ビット、256 ビット 以下のブロック暗号モードに対応 <ul style="list-style-type: none"> NIST SP800-38A に準拠したカウンタ (CTR) モード サイドチャネルカウンタ測定機能に対応 セルフテスト機能に対応 Counter[127:0] = {IV[127:28], Address[31:4]}、ここでAddressは128ビット (16バイト) のAESブロックサイズに合わせて暗号化されたデータがメモリにマップされたアドレスです。IVはSP800-38Aのappendix Bに記載されている推奨条件により選択されます。詳細は、「37. オクタシリアルペリフェラルインタフェース (OSPI)」および「4.1 アドレス空間」を参照してください。AESカウンタモードの詳細はNIST SP800-38Aを参照してください。
改ざん防止	SPA/DPA とタイミング攻撃を含む、サイドチャネル攻撃に対して対策が利用可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能。OSPI のモジュールストップと同様。
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能。OSPI のTrustZone フィルタと同様。

39. 拡張シリアルサウンドインタフェース (SSIE)

39.2.1 SSICR : コントロールレジスタ

[Page 2115]

修正前

23:22	FRM[1:0]	フレームワード数の選択(注1)				R/W
		通信フォーマット (SSIOFR.OMOD[1:0])				
	FRM[1:0]	I ² S (00b)	モ/ラル (10b)	TDM (01b)		
	00b	2	1	設定禁止		
	01b	設定禁止	設定禁止	4		
	10b			5		
	11b			6		

修正後

23:22	FRM[1:0]	フレームワード数の選択(注1)				R/W
		通信フォーマット (SSIOFR.OMOD[1:0])				
	FRM[1:0]	I ² S (00b)	モ/ラル (10b)	TDM (01b)		
	00b	2	1	設定禁止		
	01b	設定禁止	設定禁止	4		
	10b			6		
	11b			8		

表 39.7 RFRST ビットによるソフトウェアリセットの対象となるビット

[Page 2136]

修正前

シンボル	アドレス (BASE+)	+0								+1							
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

SSICR	0x00	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IIEN	—	FRM[1:0]	DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	REN
SSISR	0x04	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	FTDR[31:16]														
		+2	FTDR[15:0]														
SSIFRDR	0x1C	+0	FRDR[31:16]														
		+2	FRDR[15:0]														
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	—
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]			

修正後

シンボル	アドレス (BASE+)	+0									+1							
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSICR	0x00	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IIEN	—	FRM[1:0]	DWL[2:0]			SWL[2:0]			
		+2	—	MST	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	REN	
SSISR	0x04	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST	
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	TDE	
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	RDF	
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	—	OMOD[1:0]
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

表 39.8 TFRST ビットによるソフトウェアリセットの対象となるビット (2/2)

[Page 2137]

修正前

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST	
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	TDE	
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	RDF	
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1 C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

修正後

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST	
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	TDE	
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	RDF	
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1 C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

表 39.9 SSIRST ビットによるソフトウェアリセットの対象となるビット

[Page 2139]

修正前

シンボル		+0	+1
------	--	----	----

	アドレス (BASE+)		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	I IEN	—	FRM[1:0]	DWL[2:0]			SWL[2:0]			
		+2	—	MST	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	REN	
SSISR	0x04	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST
		+2	—	—	—	—	BS W	—	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	—	—
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

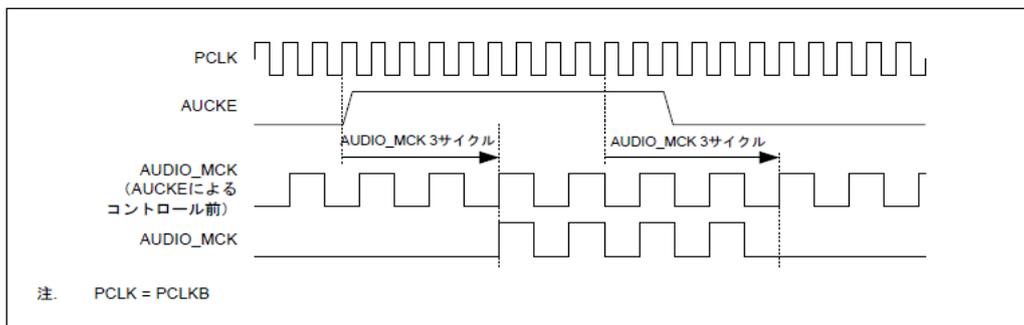
修正後

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	I IEN	—	FRM[1:0]	DWL[2:0]			SWL[2:0]			
		+2	—	MST	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	REN	
SSISR	0x04	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST
		+2	—	—	—	—	BS W	—	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	—	—
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

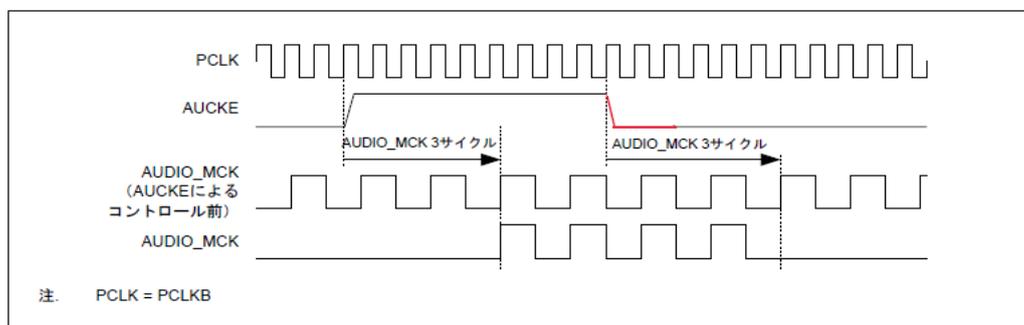
図 39.25 AUDIO_MCK の停止／再開

[Page 2140]

修正前



修正後



39.2.4 SSIFSR : FIFO ステータスレジスタ

[Page 2141 ~ 2144]

修正前

ビット	シンボル	機能	R/W
0	RDF	受信データフルフラグ 0: SSIFRDR の受信データのサイズが SSISCR.RDFS の値以下 1: SSIFRDR の受信データのサイズが SSISCR.RDFS+1 の値以上	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RDC[5:0]	受信 FIFO データ数指示フラグ受信 FIFO データ数指示フラグ	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TDE	送信データエンティフラグ 0: SSIFTDR の空きスペースが SSISCR.TDES の値以下 1: SSIFTDR の空きスペースが SSISCR.TDES+1 の値以上	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
29:24	TDC[5:0]	送信 FIFO データ数指示フラグ送信 FIFO データ数指示フラグ	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RDF フラグ (受信データフルフラグ)

RDF フラグは、受信 FIFO データレジスタ (SSIFRDR) に、SSISCR.RDFS ビット+1 の値以上の未読の受信データがあることを意味します。

このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

(省略)

[1 になる条件]

SSIFTDR の空きスペースが、SSIFCR.TTRG ビット+1 の値以上である。

[1 になるタイミング]

シフトレジスタからの送信が完了した結果、SSIFRDR が持つデータが SSISCR.RDFS ビット+1 の値以上となったとき。

RDC[5:0]フラグ (受信FIFO データ数指示フラグ)

RDC[5:0]フラグは、受信FIFO データレジスタ (SSIFRDR) に保存されている有効データ数を示します。このフラグが0x00 のとき、受信データはありません。0x20 のとき、レジスタは受信データでいっぱいであり、空きスペースがありません。

TDE フラグ (送信データエンティフラグ)

TDE フラグは、送信FIFO データレジスタ (SSIFTDR) の空きスペースが、SSIFCR.TTRG ビット+1 の値以上であることを意味します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

(省略)

[1 になる条件]

SSIFTDR の空きスペースが、SSIFCR.TTRG ビット+1 の値以上である。

[1 になるタイミング]

PCLKB での動作中、SSIFTDR の空きスペースが「SSISCR.TDES ビットに1 を足した値で設定されるサイズ」以上であることが判明した。

TDC[5:0]フラグ (送信FIFO データ数指示フラグ)

TDC[5:0]フラグは、送信FIFO データレジスタ (SSIFTDR) に保存された有効データ数を示します。このフラグが0x00 のときは、データは送信されません。0x20 のときは、データを書き込むスペースがありません。

修正後

ビット	シンボル	機能	R/W
0	RDF	受信データフルフラグ 0: SSIFRDR の受信データのサイズが SSISCR.RDFS の値以下 1: SSIFRDR の受信データのサイズが SSISCR.RDFS+1 の値以上	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RDC[5:0]	受信 FIFO 有効データ数 受信 FIFO データレジスタに格納された有効データ数	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TDE	送信データエンティフラグ 0: SSIFTDR の空きスペースが SSISCR.TDES の値以下 1: SSIFTDR の空きスペースが SSISCR.TDES+1 の値以上	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
29:24	TDC[5:0]	送信 FIFO 有効データ数 送信 FIFO データレジスタに格納された有効データ数	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RDF フラグ (受信データフルフラグ)

RDF フラグは、受信 FIFO データレジスタ (SSIFRDR) に、SSISCR.RDFS ビット+1 の値以上の未読の受信データがあることを意味します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

(省略)

[1 になる条件]

SSIFRDR の空きスペースが、SSISCR.RDFS ビット+1 の値以上である。

[1 になるタイミング]

シフトレジスタからの送信が完了した結果、SSIFRDR が持つデータが SSISCR.RDFS ビット+1 の値以上となったとき。

RDC[5:0]ビット (受信FIFO 有効データ数)

RDC[5:0] ビットは、受信FIFO データレジスタ (SSIFRDR) に保存されている有効データ数を示します。このビットが0x00 のとき、受信データはありません。0x20 のとき、レジスタは受信データでいっぱいであり、空きスペースがありません。

TDE フラグ (送信データエンティフラグ)

TDE フラグは、送信FIFO データレジスタ (SSIFTDR) の空きスペースが、SSISCR.TDES ビット+1 の値以上であることを意味します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

(省略)

[1 になる条件]

SSIFTDR の空きスペースが、SSISCR.TDES ビット+1 の値以上である。

[1 になるタイミング]

PCLKB での動作中、SSIFTDR の空きスペースが「SSISCR.TDES ビットに1 を足した値で設定されるサイズ」以上であることが判明した。

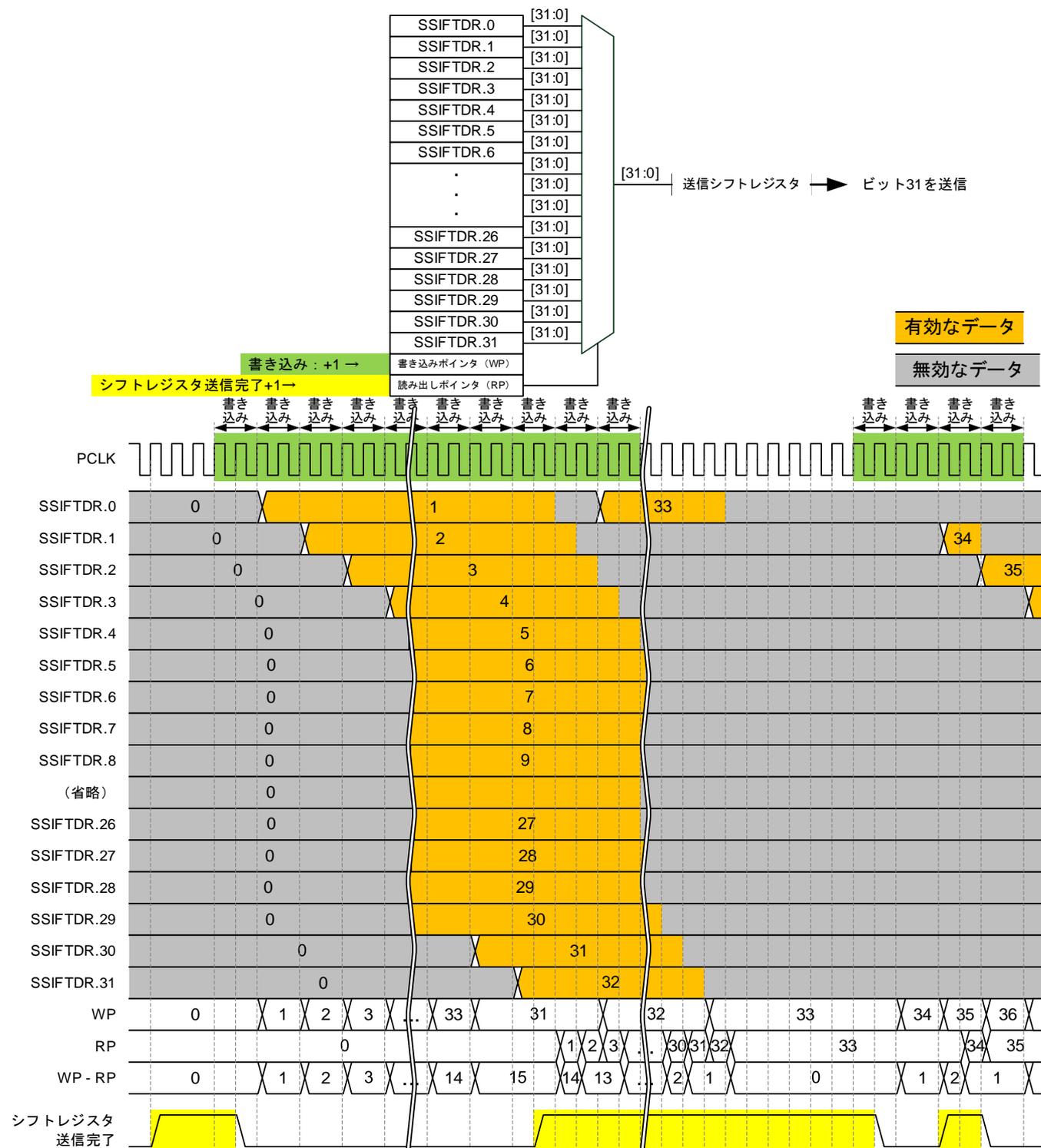
TDC[5:0] ビット (送信FIFO 有効データ数)

TDC[5:0] ビットは、送信FIFO データレジスタ (SSIFTDR) に保存された有効データ数を示します。このビットが0x00 のときは、データは送信されません。0x20 のときは、データを書き込むスペースがありません。

図 39.31 送信 FIFO データレジスタと送信シフトレジスタの構成、および FIFO の動作例

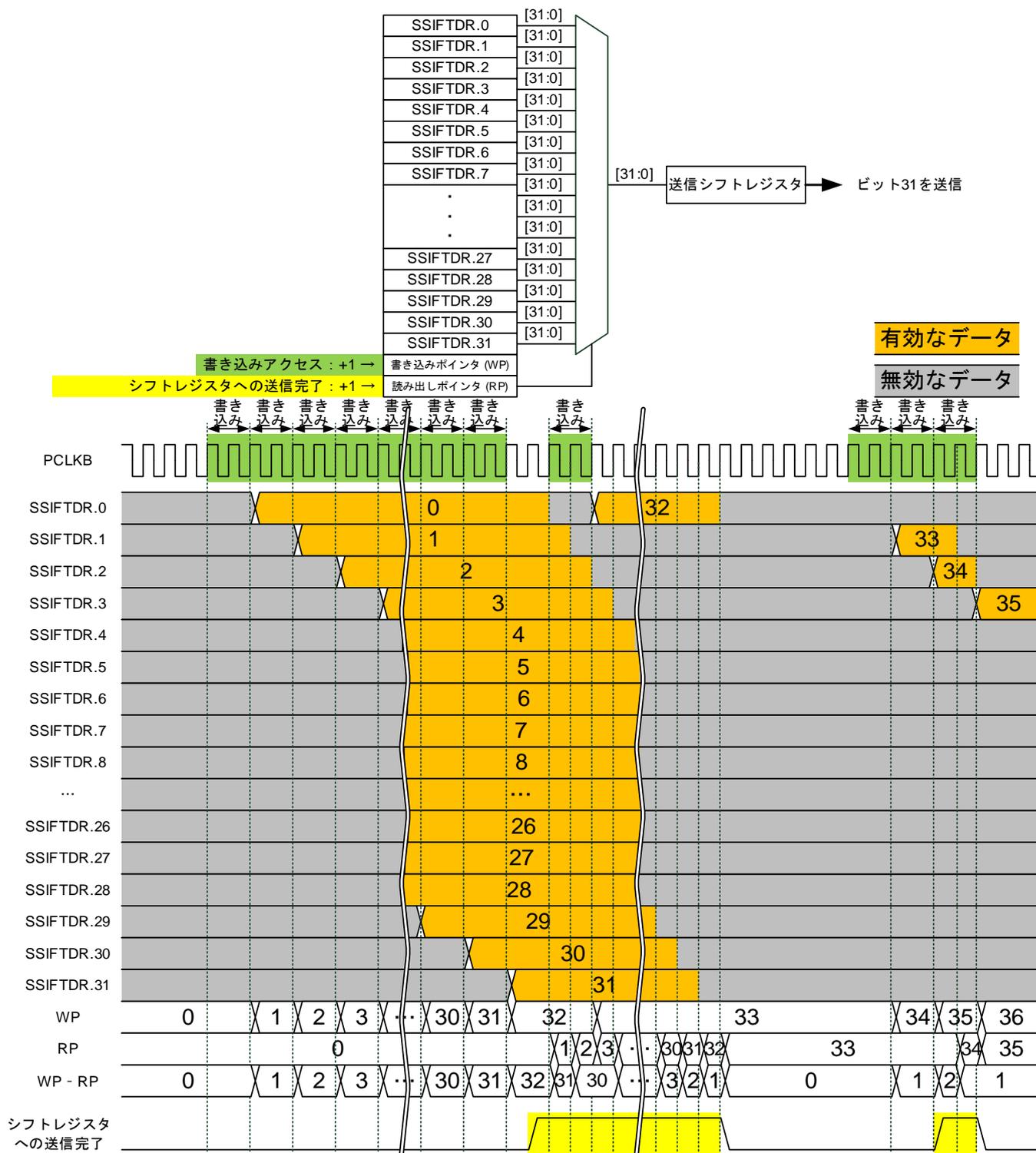
[Page 2146]

修正前



注. PCLK = PCLKB

修正後



注. PCLK = PCLKB

39.2.6 SSIFRDR：受信 FIFO データレジスタ

[Page 2147]

修正前

図 39.31 受信 FIFO データレジスタおよび受信シフトレジスタの構成および動作例を示します。

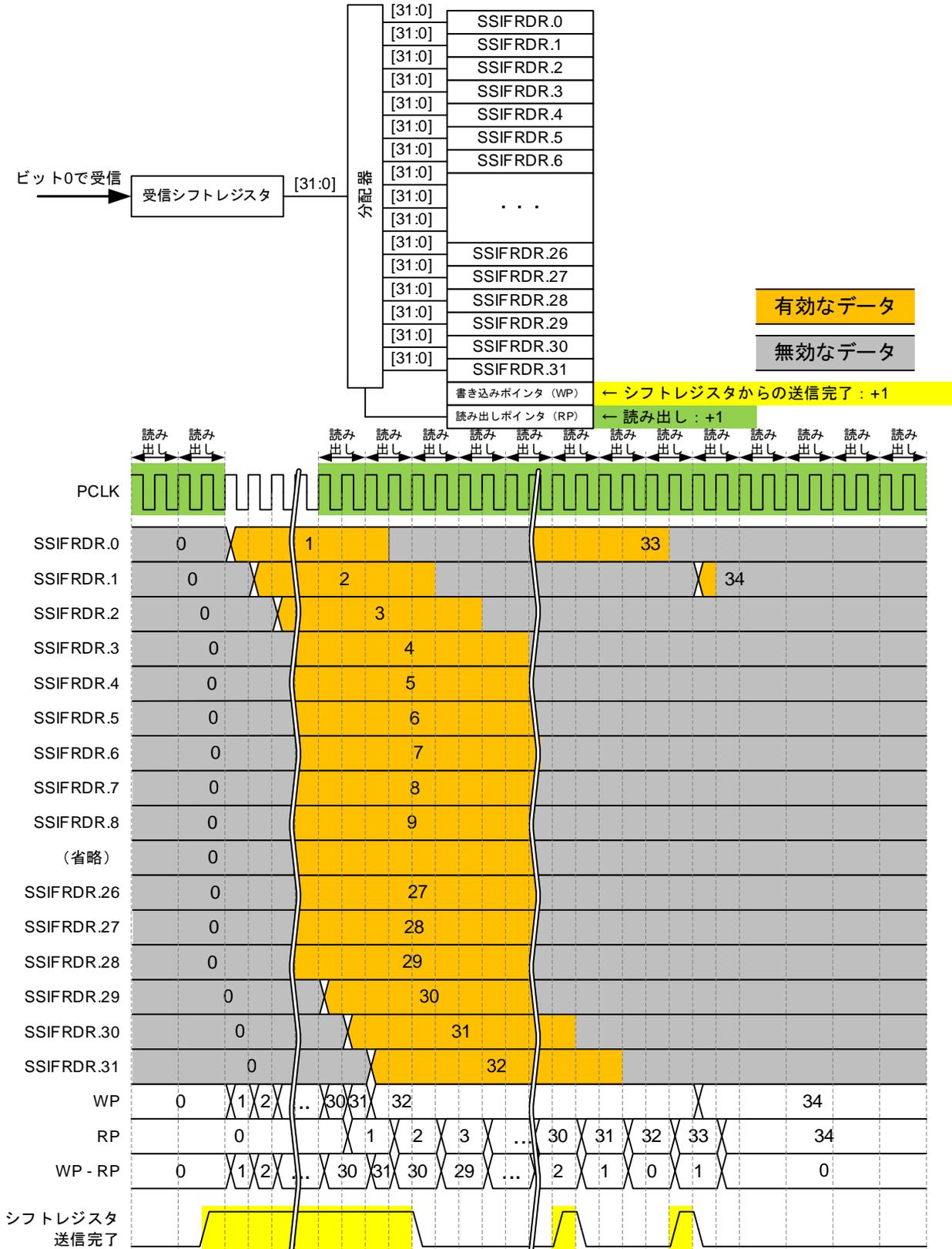
修正後

図 39.32 受信 FIFO データレジスタおよび受信シフトレジスタの構成および動作例を示します。

図 39.32 送信 FIFO データレジスタと送信シフトレジスタの構成、および FIFO の動作例

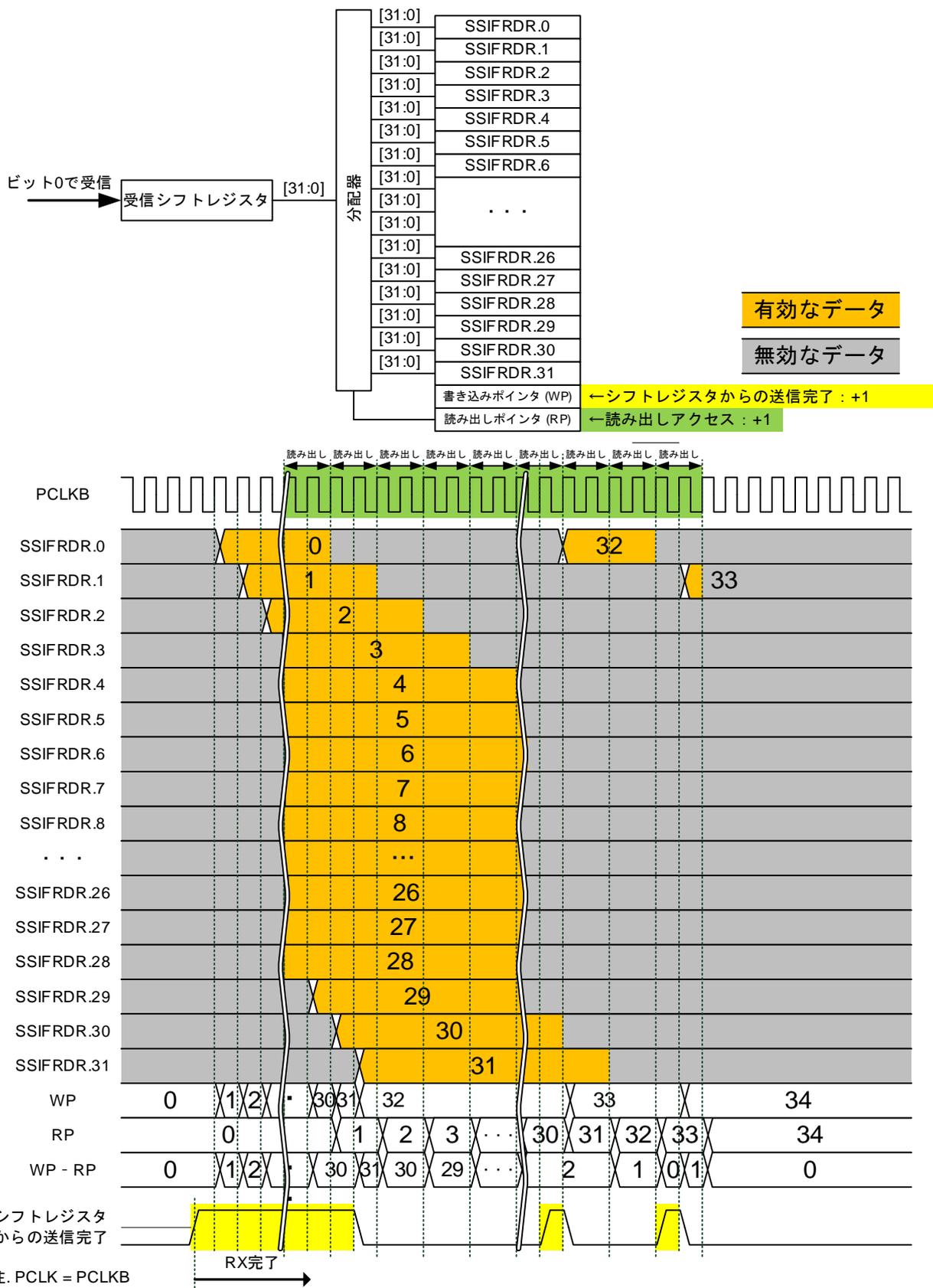
[Page 2148]

修正前



注. PCLK = PCLKB

修正後



タイトル：受信 FIFO データレジスタと受信シフトレジスタの構成、および FIFO の動作例

39.5.2.1 データ通信状態

[Page 2162]

修正前

- パディングビットあり設定時の状態遷移

図 39.49 に示すとおり、通信中 (SSISR.IIRQ = 0) にデータワードの最終ビットの送信が完了すると、SSIE はデータ通信状態からパディング通信状態に遷移します。SSICR.SDTA=1 かつ送受信が禁止 (SSISR.TEN = 0 かつSSICR.REN = 0) の状態を除き、図 39.51 に示すとおり、SSIE は通信を停止するとデータ通信状態からアイドル状態に遷移します。

修正後

- パディングビットあり設定時の状態遷移

図 39.49 に示すとおり、通信中 (SSISR.IIRQ = 0) にデータワードの最終ビットの送信が完了すると、SSIE はデータ通信状態からパディング通信状態に遷移します。SSICR.SDTA=1 かつ送受信が禁止 (SSISR.TEN = 0 かつSSICR.REN = 0) の状態を除き、図 39.50 に示すとおり、SSIE は通信を停止するとデータ通信状態からアイドル状態に遷移します。

39.7.1 SSIE_n_SSIF 割り込み (n = 0, 1)

[Page 2171、2172]

修正前

- 送信アンダーフロー割り込み

SSICR.TUIEN = 1 の間、送信アンダーフロー割り込みとしてSSISR.TUIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TUIRQ = 1) にします。この割り込みが発生したら、図 39.56 の通信停止手順および図 39.57 のエラー処理手順の指示に従ってください。

- 送信オーバーフロー割り込み

SSICR.TOIRQ = 1 の間、送信オーバーフロー割り込みとしてSSISR.TOIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TOIRQ = 1) にします。この割り込みが発生したら、図 39.56 の通信停止手順および図 39.57 のエラー処理手順の指示に従ってください。

- 受信アンダーフロー割り込み

SSICR.RUIRQ = 1 の間、受信アンダーフロー割り込みとしてSSISR.RUIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.RUIRQ = 1) にします。この割り込みが発生したら、図 39.56 の通信停止手順および図 39.57 のエラー処理手順の指示に従ってください。

- 受信オーバーフロー割り込み

SSICR.ROIQR = 1 の間、受信オーバーフロー割り込みとしてSSISR.ROIQR が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.ROIQR = 1) にします。この割り込みが発生したら、図 39.56 の通信停止手順および図 39.57 のエラー処理手順の指示に従ってください。

修正後

- 送信アンダーフロー割り込み

SSICR.TUIEN = 1 の間、送信アンダーフロー割り込みとしてSSISR.TUIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TUIEN = 1) にします。この割り込みが発生したら、図 39.56 の通信停止手順および図 39.57 のエラー処理手順の指示に従ってください。

- 送信オーバーフロー割り込み

SSICR.TOIEN = 1 の間、送信オーバーフロー割り込みとしてSSISR.TOIRQ が出力されます。SSIE を送信に使用する場合、この割り込み

出力を許可 (SSICR.TOIEN = 1) にします。この割り込みが発生したら、[図 39.56](#) の通信停止手順および[図 39.57](#) のエラー処理手順の指示に従ってください。

● 受信アンダーフロー割り込み

SSICR.RUIEN = 1 の間、受信アンダーフロー割り込みとしてSSISR.RUIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.RUIEN = 1) にします。この割り込みが発生したら、[図 39.56](#) の通信停止手順および[図 39.57](#) のエラー処理手順の指示に従ってください。

● 受信オーバーフロー割り込み

SSICR.ROIEN = 1 の間、受信オーバーフロー割り込みとしてSSISR.ROI RQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.ROIEN = 1) にします。この割り込みが発生したら、[図 39.56](#) の通信停止手順および[図 39.57](#) のエラー処理手順の指示に従ってください。

表 39.19 通信中書き込みから保護されるビット

[Page 2177]

修正前

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IIEN	—	FRM[1:0]			DWL[2:0]		SWL[2:0]		
		+2	—	MST	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]			MU EN	—	TEN	REN	
SSISR	0x04	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST	
		+2	—	—	—	—	BS W	—	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	TDE	
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	RDF	
SSIFTDR	0x18	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	0x1C	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	—	OMOD[1:0]
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
		+2	—	—	—	TDES[4:0]				—	—	—	RDFS[4:0]					

修正後

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUI EN	TOI EN	RUI EN	ROI EN	IIEN	—	FRM[1:0]			DWL[2:0]		SWL[2:0]		

		+2	—	MST	BCK P	LRC KP	SPD P	SDT A	PDT A	DEL	CKDV[3:0]				MU EN	—	TEN	REN
SSISR	0x04	+0	—	—	TUI RQ	TOI RQ	RUI RQ	ROI RQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUC KE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI RST
		+2	—	—	—	—	BS W	—	—	—	—	—	—	—	TIE	RIE	TFR ST	RFR ST
SSIFSR	0x14	+0	—	—	TDC[5:0]					—	—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]					—	—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1 C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	BCK AST P	LRC ONT	—	—	—	—	—	—	—
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

43. セキュリティ機能

43.3.3.5 TrustZone フィルタのメモリセキュリティ属性

[Page 2260]

修正前

デュアルモードでは、セキュア領域またはNSC 領域の内容はバンク0 とバンク1 で同じでなければなりません。同じにしないと、現地での更新後にセキュア領域または非セキュア領域の内容が一致しない可能性があります。

修正後

非セキュアユーザーによるバンクスワップはセキュアまたは非セキュアコーラブル（NSC）領域のコードを変える可能性があります。これを防ぐため以下の方法が推奨されます。

- ・非セキュアユーザー向けのバンクスワップを無効にするために、BANKSEL_SEL.BANKSWP[2:0]を 000b に設定する。
- ・非セキュアユーザーにバンクのスワップを許可する場合に、両方のバンクのセキュアまたは非セキュアコーラブル（NSC）領域のコードを同じにする。

45. 12 ビット A/D コンバータ (ADC12)

45.6.13 ADC12 入力使用時のポート設定

[Page 2393]

修正前

高精度チャネルを使用する場合は、PORT0 を汎用入出力端子として使用しないでください。

修正後

高精度チャネルを使用する場合は、PORT0 を**デジタル出力ポート**として使用しないでください。

52. フラッシュメモリ

52.4.6 PNRn:型名レジスタ n (n = 0~3)

[Page 2464]

修正前

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。に示すように、各バイトは製品の型名の ASCII コードに対応しています。型名の最初の文字 ("R", ASCII コードの 0x52) は最小のアドレス (0x0300_80F0) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x0300_80F0 のデータが最初に読み出され、0x0300_80FF のデータが最後に読み出されます。

修正後

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。**表 1.13 製品一覧**に示すように、各バイトは製品の型名の ASCII コードに対応しています。型名の最初の文字 ("R", ASCII コードの 0x52) は最小のアドレス (0x0300_80F0) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x0300_80F0 のデータが最初に読み出され、0x0300_80FF のデータが最後に読み出されます。

60. 電気的特性

表 60.8 High-speed モード、最大条件 (DCDC モード) における電流

[Page 2876]

修正前

項目	シンボル	Typ	Max		単位	測定条件
			105°C	125°C		
消費電流(注1)(注2)	I _{CC}	—	5.97	6.11	mA	

修正後

項目	シンボル	Typ	Max		単位	測定条件
			105°C	125°C		
消費電流(注1)(注2)	I _{CC}	—	7.05	7.19	mA	

表 60.9 High-speed モード、最大条件 (外部 VDD モード) における電流

[Page 2877]

修正前

			Max		

項目	CPUCLK 周波数	シンボル	Typ	105℃	125℃	単位	測定条件
消費電流(注1)(注2)	—	I _{CC}	—	5.97	6.11	mA	

修正後

項目	CPUCLK 周波数	シンボル	Typ	Max		単位	測定条件
				105℃	125℃		
消費電流(注1)(注2)	—	I _{CC}	—	7.05	7.19	mA	