

マイクロコンピュータ技術情報

技術通知 UPD789074 (サブ・シリーズ) 使用制限事項の件		発行番号	SBG-DT-03-0189号	1/2
		発行日	2003年 7月 18日	
		発行元	NEC エレクトロニクス株式会社 ソリューション事業本部 第二ソリューション事業部 マイクロコンピュータグループ	
文書分類	使用制限事項	バージョン・アップ	ドキュメント修正	その他
関連資料	UPD789074 サブシリーズ ユーザーズ・マニュアル		資料番号: U14801JJ3V0UD00 (第3版)	

CP(K),0

1. 対象製品

μPD789071, μPD789072, μPD789074
μPD78F9076

2. 制限事項内容

8ビット・タイマ・スタート時の誤差

ユーザーズ・マニュアル(U14801JJ3V0UD00)の“7.5 8ビット・タイマ/イベント・カウンタ80の注意事項”の“(1)タイマ・スタート時の誤差”において、において、以下の通り訂正がございます。

(訂正前)

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。

(訂正後)

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。

8ビット・タイマのカウント・クロックに外部イベントを選択した場合の不具合

8ビット・タイマ/イベント・カウンタ80において、タイマのカウント・クロックに外部イベント(TI 端子入力)を選択時、有効エッジとTI 端子レベルの状態により、カウント動作フラグ(TCE80)セット後、カウントがインクリメントされる場合があります。

3. 制限事項詳細

上記制限事項の詳細は別紙3に示します。

4. 制限事項改善計画

今回追加いたしました項目につきましては制限事項とさせていただきます。

5. 制限事項一覧

制限事項の履歴とその詳細情報について別紙1に記載いたします。

6. 発行文書履歴

UPD789074 サ`シ-ズ` 使用制限事項一覧 発行文書履歴

文書番号	発行日	記事
SBG-DT-0016	2001年10月5日	初版発行
SBG-DT-03-0189	2003年7月18日	第二版発行

- 以上 -

UPD789074 サブ・シリーズ使用制限事項一覧**1) 製品履歴**

< マスク品 >

	内容		μ PD789071, 789072, 789074
		製法規格	全ての規格
項目 1	UART 制限事項		
項目 2	8 ビット・タイマ制限事項		

< FLASH 品 >

	内容		μ PD78F9076
		製法規格	全ての規格
項目 1	UART 制限事項		
項目 2	8 ビット・タイマ制限事項		

注 1) 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

注 2) 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外
- : 制限事項修正済み
- × : 制限事項対象 (修正予定)
- : 制限事項対象 (修正予定なし)

2) 使用制限事項の詳細

項目 1 : 詳細は別紙 2 をご参照ください。

項目 2 : 今回の制限事項です。(別紙 3 をご参照ください。)

項目 1 : UART 制限事項

UART 受信時は LSB ファーストリードのところ、ある条件下では、受信データが MSB ファーストリードされます。

<制限事項>

- (1) 受信データリードは、RXE = 1 の状態で行ってください。
- (2) RXE = 1 0 にする場合、なおかつその前の受信データを使用する場合は受信割り込み発生後、受信データをリードしてから RXE = 1 0 に設定してください。
- (3) 受信データをリードする前に RXE = 1 0 に設定する場合は受信割り込み発生後、BRGC にて選択したソース・クロックの 1 周期分以上ウエイトの後ろに RXE = 1 0 に設定し、受信データをリードしてください。

```
MOV BRGC,#00H ; BRGC00 にて選択したソース・クロックの 1 周期分のウエイトが必要
                ; (例 : fx = 5 MHz の場合、0.4 μs 必要)
```

選択したソース・クロックに合わせて下記例を参考にウエイトしてください。

```
CLR1 RXE      ;
MOV  A,RXB    ; 受信データをリード
```

選択したソース・クロックが 1 周期 3.2 μs の場合

```
MOV  A,#01H    ; 6 クロック (fx = 5 MHz の場合、1.2 μs)
LABEL : DEC    A      ; 4 クロック (fx = 5 MHz の場合、0.8 μs)
      BNZ     BNZ     LABEL ; 6 クロック (fx = 5 MHz の場合、1.2 μs)
```

選択したソース・クロックが 1 周期 3.2 μs の場合

```
NOP          ; 2 クロック (fx = 5 MHz の場合、0.4 μs)
```

- (4) BRGC にて選択したソース・クロックの 1 周期分以上ウエイトせず RXE = 1 0 に設定する場合は、RXE=0 かつ DIR = 1 の状態で、受信データをリードしてください。

```
SET1  DIR     ; DIR フラグを LSB ファーストに設定
CLR1  RXE     ;
MOV   A,RXB   ; 受信データをリード
```

制限事項 項目 2 : 8 ビット・タイマ制限事項

タイマ・スタート時の誤差

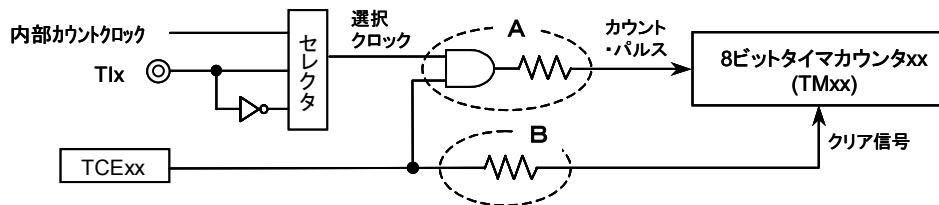
8 ビット・タイマ/イベント・カウンタにおいて、タイマ・スタート後、一致信号が発生するまでの時間は、最大で 1.5 クロック分の誤差が生じます。これは、選択クロックがハイ・レベルの時にタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウントがインクリメントされてしまうことがあるためです。

<制限事項の詳細>

本制限事項に関する、タイマ基本構成は以下図の通りです。

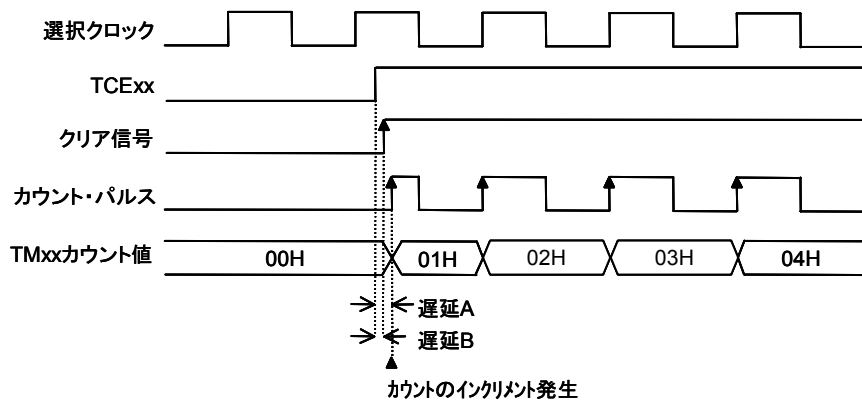
- ・ 選択クロックとカウント動作フラグ (TCExx) を AND で受け、カウントに供給
- ・ カウント動作フラグ (TCExx) セット時、TMxx カウンタ値をクリア

タイマ基本構成



選択クロックがハイ・レベルの時にカウント動作フラグ (TCExx) をセットした結果、カウント・パルスがクリア信号に対して遅れた場合 (“遅延 A > 遅延 B”) TMxx カウンタ値はインクリメントされます。最大で 1.5 クロック分の誤差が生じます。

1.5 クロック (最大) の誤差が出るケース



備考 選択クロック、TCE、クリア信号、カウント・パルスは”タイマ基本構成”をご参照下さい。

タイマのカウンタ・クロックに外部イベントを選択した場合の制限

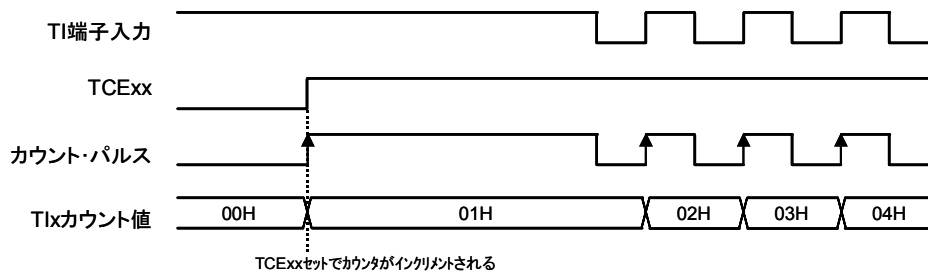
8ビット・タイマ/イベント・カウンタにおいて、タイマのカウンタ・クロックに外部イベント(TI 端子入力)を選択時、有効エッジと TI 端子レベルの状態により、カウンタ動作フラグ(TCExx)をセット後、カウンタがインクリメントされる場合があります。

<制限事項の詳細>

前記制限事項 記載の "遅延 A > 遅延 B" の場合、以下に合致する時 TMxx カウンタ値はインクリメントされません。

- ・ 立ち上がりエッジ選択時、TI 端子がハイ・レベルの状態にカウンタ動作フラグ(TCExx)をセットした時
- ・ 立ち下がりエッジ選択時、TI 端子がロウ・レベルの状態にカウンタ動作フラグ(TCExx)をセットした時

TI 端子がハイ・レベル時にタイマ・スタートした場合のカウンタ動作 (立ち上がりエッジ選択時)



<回避策>

カウンタに 1 カウンタの誤差があることを認識して使用するか、以下、のいずれかの回避策を実施してください。

回避策

- ・ 立ち上がりエッジ選択時は、必ず TI 端子がロウ・レベルの時にタイマ・スタートする。
- ・ 立ち下がりエッジ選択時は、必ず TI 端子がハイ・レベルの時にタイマ・スタートする。

回避策

- ・ タイマ・スタート時のカウンタ値を制御レジスタに退避させておき、カウンタ値を読み出すときは制御レジスタに退避したカウンタ値との SUB を取り、真のカウンタ値とする。