

技術通知  μPD780862 マイクロコントローラ		発行番号	ZBG-CC-06-0055	1/1
		発行日	2006年 12月 5日	
		発行元	NECエレクトロニクス株式会社 第四システム事業本部 汎用マイコンシステム事業部 第一ソリューショングループ	
文書分類	<input type="radio"/> 使用制限事項	バージョン・アップ	ドキュメント修正	その他
関連資料	μPD780862 ユーザーズ・マニュアル		資料番号：U16418JJ3V0UD00 (第3版)	

CP(K),0

1. 対象製品

μPD780861、μPD780862  
μPD78F0862、μPD78F0862A

2. 新たな制限事項

今回新たに下記の制限事項を追加させて頂きました。詳細は別紙5を参照してください。

低電圧検出回路(LVI)によるリセットと、低電圧検出レジスタ(LVIM)または、低電圧検出レベル選択レジスタ(LVIS)への書き込みが同時に発生した場合、レジスタの書き込み可能な bit に誤って“1”が書き込まれる場合がございます。

3. 回避策

LVI をリセットに設定した場合は、以降 LVIS、LVIM レジスタに書き込みを行なわないで下さい。また、LVIS、LVIM へ書き込みを行なう際は LVIM のビット 7 (LVION)が“0”であることを確認してから、LVIS、LVIM の順番で設定してください。LVION が“1”の場合には書き込みを行なわないで下さい。

4. 改善計画

大変申し訳ございませんが、デバイス修正は行わず、使用上の注意事項を追加させていただき形で対応させていただきます。

5. 制限事項一覧

添付別紙1をご参照ください。

6. 発行文書履歴

μPD780862 技術通知一覧 発行文書履歴

μPD780862 使用制限事項一覧 発行文書履歴

文書番号	発行日	記事
SBG-DT-03-0007	2003年1月14日	初版発行 (項目1)
SBG-DT-03-0157	2003年5月28日	新規制限事項追加 (項目2)
ZBG-CC-04-0019	2004年10月4日	新規制限事項追加 (項目3)
ZBG-CC-04-0026	2004年10月26日	ZBG-CC-04-0019 の誤記訂正 (項目3 回避策の記述を変更)
ZBG-CC-06-0055	2006年12月5日	新規制限事項追加 (項目4)

## μPD780862マイクロコントローラ使用制限事項一覧

### 1. 使用制限事項履歴

#### <マスク品>

	内容	μPD780861、μPD780862
項目 1	UART6 SBF 送信制限事項	
項目 2	16 ビット・タイマ出力制限事項	
項目 3	発振安定時間の制限事項について	
項目 4	低電圧検出機能(LVI)制限事項	

#### <フラッシュ品(サンプル)>

	内容	μPD78F0862	μPD78F0862
項目 1	UART6 SBF 送信制限事項		
項目 2	16 ビット・タイマ出力制限事項		
項目 3	発振安定時間の制限事項について		
項目 4	低電圧検出機能(LVI)制限事項		

注) 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外
- : 制限事項修正済み
- × : 制限事項対象 (修正予定)
- : 制限事項対象 (修正予定なし)

### 2. 使用制限事項の詳細

- 項目 1 : 詳細は別紙 2 をご参照ください。
- 項目 2 : 詳細は別紙 3 をご参照ください。
- 項目 3 : 詳細は別紙 4 をご参照ください。
- 項目 4 : 今回の修正事項です。(別紙 5 をご参照ください。)

**制限事項 項目 1 : LIN-bus 対応 UART6 SyncBreakField 送信制限事項****制限事項**

LIN-bus 対応 UART6 において、LIN のマスタ使用時に SyncBreakField 送信を行うと、以下の不正動作を行う場合がございます。

SyncBreakField のフィールド長が設定値より短く出力される場合があります。

SyncBreakField 送信を行う前に不正な UART 送信を行う場合があります。

尚、SyncBreakField の送信を行わない LIN のスレーブ使用および UART 機能として使用する際は問題ございません。

**回避策**

ソフトウェアによって以下の対策を施してください。

SyncBreakField の送信は、通常の UART 送信機能のボーレート値を調整することで 13~20 ビットのロウレベル送信を行ってください。

SyncBreakField 送信機能は使用しないでください。具体的にはアシンクロナス・シリアル・インターフェース・コントロール・レジスタ 6(ASICL6)のビット 5(SBTT6)を 1 にセットしないでください。

**<設定方法>**

UART のデータ長を 8 ビット、パリティを 0 パリティか偶数パリティに設定し、00H を送信します。

結果、スタートビット(1 ビット)+データ(8 ビット)+パリティ(1 ビット)で計 10 ビットのロウレベル送信ができます。この 10 ビットのロウレベルを目標とする SyncBreakField 長に合わせるためにボーレート値の調整を行います。

(例) 送信する LIN の条件が下記の場合

UART6 基本クロック = 5MHz

クロック選択レジスタ 6(CKSR6)にて設定する値

目標ボーレート値 = 19200[bps]

上記ボーレート値を実現する為のボーレート・ジェネレータ・コントロール・レジスタ(BRGC6)の設定値は BRGC6 = 130 になります。よって 13 ビットの SyncBreakField 長は下記となります。

$$13 \text{ ビットの SyncBreakField 長} = 0.2 \mu\text{s} \times 130 \times 2 \times 13 = \mathbf{676 \mu\text{s}}$$

このフィールド長を 10 ビットで実現する為、BRGC6 に目標とするボーレートの 1.3 倍の値を設定します。今回の例の場合は BRGC6 を 169 に設定します。この場合の 10 ビットのロウレベル送信長は

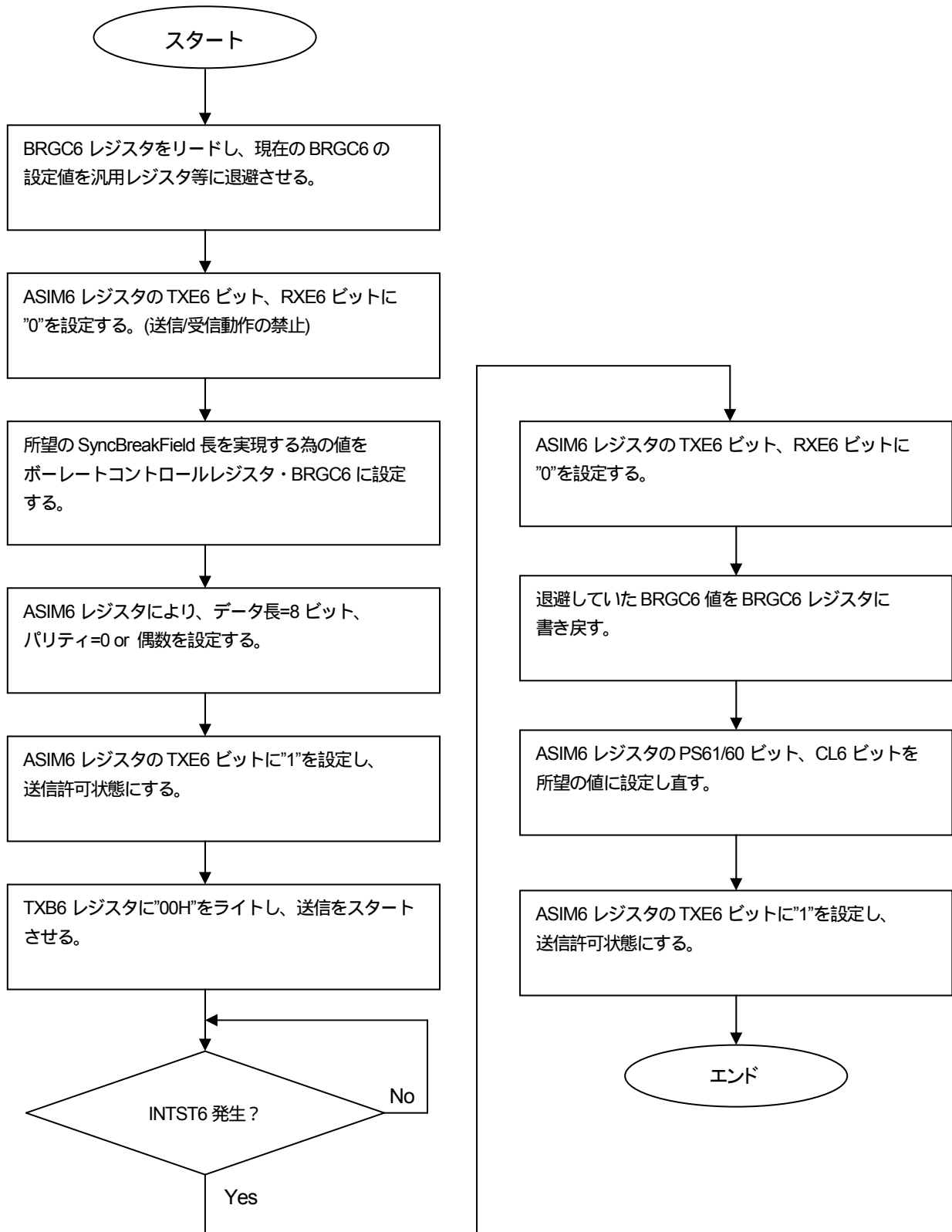
$$10 \text{ ビットのロウレベル送信長} = 0.2 \mu\text{s} \times 169 \times 2 \times 10 = \mathbf{676 \mu\text{s}}$$

となり、13 ビットの SyncBreakField 長と一致させることができます。

また、BRGC6 レジスタによる設定だけではビットが足りない場合は、UART6 の基本クロックの選択によって対応してください。

次ページにソフトウェアの設定手順をフローチャートにて示します。

## &lt;ソフトウェアの設定手順フローチャート&gt;



## 改善内容

本項目につきましては制限事項とし、ユーザーズ・マニュアルおよびデバイスファイルを修正します。

<ユーザーズ・マニュアル、デバイスファイル修正内容>

ユーザーズ・マニュアルは P232 のアシンクロナス・シリアル・インターフェース・コントロール・レジスタ 6(ASICL6)における SyncBreakField 送信機能に関するビット 2-5 の説明を削除します。またそのビットは初期値固定とし書き込み禁止とします。

デバイスファイルはその内容を反映させます。

### 【修正前】

アドレス：FF58H リセット値：16H RW

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

注 ビット 7 は Read Only です。

### 【修正後】

アドレス：FF58H リセット値：16H RW<sup>注</sup>

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	0	1	0	1	DIR6	TXDLV6

注 ビット 2-5、7 は Read Only です。

尚、今回の修正にあわせまして SBRT6 をアセンブラ予約語に、C コンパイラではヘッダファイル(sfrbit.h)に追加します。

- 以上 -

**制限事項 項目 2 : 16ビット・タイマ出力制限事項****制限事項内容**

16ビット・タイマ/イベント・カウンタ 00 においてタイマ出力 F/F の状態を設定する場合、TOC00(タイマ出力コントロールレジスタ)の設定方法によっては正しく設定できない場合がございます。

TOE00 より先に LVS00 に"1"をセットした場合は、LVS00 の設定は無効となりロウ・レベルを出力します。また、LVS00 と TOE00 を同時に"1"をセットした場合タイマ出力は不定となります。

< 16ビット・タイマ出力コントロール・レジスタのフォーマット >

略号	7		4			1		
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

LVS00	LVR00	タイマ出力 F/F の設定
0	0	変化しない
0	1	タイマ出力 F/F をリセット(0)
1	0	タイマ出力 F/F セット(1)
1	1	設定禁止

TOE00	タイマ出力の制御
0	出力禁止
1	出力許可

**回避策**

LVS00 に"1"をセットして、タイマ出力からハイレベルを出力する場合は、必ず事前に TOE00 に"1"をセットし、タイマ出力許可状態にしてから LVS00 に"1"を設定してください。以下にプログラム例を示します。

< プログラム例 >

```

MOV   TOC00,#00000001B      ; 16ビットタイマ出力を許可
MOV   TOC00,#00011011B      ; その他の設定とタイマ出力 F/F をハイレベルに設定
                                (タイマ出力はハイレベルになります。)
MOV   TMC00,#00001100B      ; タイマ動作開始

```

- 以上 -

### 制限事項 項目 3：発振安定時間の制限事項について

#### 制限事項内容

下記条件でOSTSレジスタ(発振安定時間選択レジスタ)を設定した場合、発振安定時間カウンタのカウンタ動作が意図しない値で停止する場合があります。これによってOSTCレジスタ(発振安定時間カウンタ状態レジスタ)によるメイン・クロック発振安定時間の確認ができなくなります。

#### <条件>

OSTCの動作状態	OSTS値を設定しているか	OSTSの変更パターン (OSTSの初期値=05H)	該当/ 非該当
リセットまたはスタンバイ解除後のカウンタ状態	設定していない (初期値を使用)	—	非該当
	設定している	05H(101)→05H(101)	非該当
		05H(101)→04H(100)	非該当
		05H(101)→03H(011)	該当
		05H(101)→02H(010)	該当
		05H(101)→01H(001)	非該当
	上記以外については 弊社にお問い合わせください。	—	
上記以外	—	—	非該当

#### 回避策

OSTSレジスタは本制限に該当しない設定でご使用ください。

また該当設定でOSTSレジスタをご使用される場合は、OSTCレジスタによる発振安定時間の確認等をOSTSレジスタの設定前に行ってください。

- 以上 -

## 項目 4 LVIリセット使用時の制限事項について

### 対象製品

μPD780861、μPD780862、μPD78F0862、μPD78F0862A

### 制限事項の対象となる使用方法

低電圧検出回路(LVI)をリセットとして使用している場合対象となります。

LVIを使用していない、または割り込みとして使用している場合は対象外です。

### 制限事項内容

低電圧検出回路(LVI)によるリセットと、LVI の動作を設定するレジスタ(LVIM、LVIS)への書き込みが競合した場合、競合したレジスタの書き込み可能なビットが“1”になる場合があります。その結果、以下の2つの現象が発生します。

- ・ LVI によるリセット機能が停止しない可能性がある。
- ・ LVI の検出電圧が設定値よりも小さい値もしくはデフォルトの値となる可能性がある。

尚、LVI 以外のリセット発生時には、本現象は発生しません。

- ・ 図 1 に LVION フラグを操作した場合に発生する例を示します。

図 1 LVION フラグを 1 から 0 にした時に発生する例



- ・ LVIS の場合、現象が発生した際 bit3 に 1 が書き込まれると、デフォルト値 (4.3 V $\pm$ 0.2 V) が選択されます。 bit4-7 に書き込みを行っても 1 はセットされません。

### 原因

LVIM と LVIS に接続されているバスはリセットされると High (“1”) になります。また、これらの2つのレジスタは LVI リセットによってレジスタ値はクリアされない仕様となっております。

レジスタに値を書き込む場合、CPU はバスに書き込む値をセットし書き込み信号が発生すると所定のレジスタに値が書き込まれます。しかし LVI リセットによって内部バスがリセットされたタイミングでレジスタに書き込みを行うと、バスのリセット値である “1” が誤って書き込まれる場合があります。これは 1 ビット操作命令も同様です。

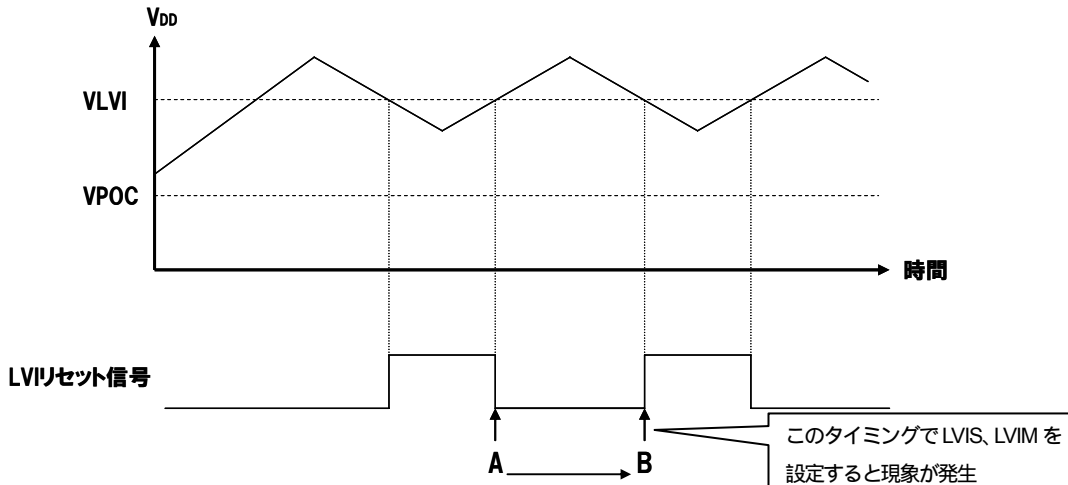
尚、LVIM、LVIS 以外のレジスタは本制限事項の対象外です。



**現象の発生例**

LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが何度も発生します。リセット解除後、必ず LVIM と LVIS を初期設定するプログラムの場合、LVI リセット解除のタイミング(図 2 の A)から LVI リセット発生のタイミング(図 2 の B)と、リセット解除から LVIM、LVIS を初期設定するまでの時間が一致した場合、本現象が発生します。

図 2 LVI リセットと LVIM レジスタへの書き込みの競合例



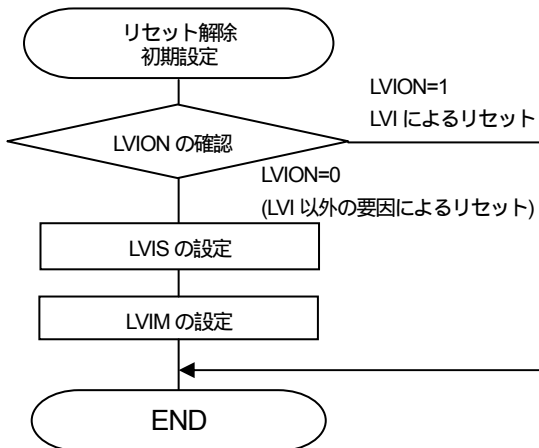
**回避策**

以下の2つのソフトウェアの対策を実施してください。

LVI をリセットに設定した場合、以後 LVIM レジスタ、LVIS レジスタに書き込みを行わないでください。

LVIM、LVIS レジスタへの設定を行う前に LVIM のビット 7 (LVION) が“0”であることを確認してください。LVION が“1”だった場合は LVIM、LVIS への設定は行わないようにしてください。この対策により外部リセット入力、POC リセット、ウォッチドッグタイマ(WDT)リセット、クロック・モニタ(CLM)リセットの場合は LVIM、LVIS の設定を行い、LVI リセットの場合は LVIM、LVIS の設定を行いません。

尚、リセット・コントロール・フラグ・レジスタ(RESF)は、LVI、WDT、CLM のリセットでは RESF はクリアされない仕様の為、LVIRF、WDTRF、CLMRF のそれぞれが“1”になる場合がございます。LVIRF をビット判定した場合、LVI リセットの有無は判定できますが、WDT、CLM リセットによって LVIM、LVIS がクリアされた事を判定するには命令の追加が必要となります。この為 本制限の対策には LVION を使用してください。



LVIONの代わりにLVIMDを確認しても構いません。LVIMDはLVIMレジスタのbit1です。

- 以上 -