


「本内容に関しましては、貴部門における設計の目的以外には使用しないで下さい。また、当社に断り無く第三者へ開示することを禁じます。」

お客様各位	uPD780852シリーズの 制限事項について	SBG - F - 第0067号
		平成 13年 5月 11日
		日本電気株式会社 NECエレクトロニクス ソリューション技術本部 第三システムLSI技術部 プロジェクト・マネージャー 鈴木 充 

c.f p.f

(担当: 安武 宏) CP(K) 0

TEL 044-435-9445

FAX 044-435-9613

拝啓

貴社ますますご発展のこととお慶び申し上げます。平素は弊社製品に格別のお引き立てを賜り厚くお礼申し上げます。さて、掲題の件につきまして下記の通りご報告いたします。今後とも倍旧のお引き立てをお願い申し上げます。

敬具

記

1. 対象製品

uPD780851/uPD780852/uPD78F0852

2. 制限事項内容

本製品はメータ駆動専用の出力ドライバが搭載されています。

そのドライバには、出力に対するノイズ低減対策として、出力波形の立ち上がり時間と立ち下がり時間を意図的に加工するための設計が施されており、製品上の規格としては t_r 、 t_f （（注1）参照）を設けています。

しかしながら、そのメータ駆動専用の出力ドライバの加工された出力波形特性により、以下にご説明させて頂くコンペア・レジスタへの設定値では、期待されるPWM出力波形（（注2）参照）が形成されないことが判明いたしました。

つきましては、ノイズ低減対策対応の規格である t_r 、 t_f を満足させるため、現在搭載されているメータ駆動専用の出力ドライバの回路修正は行わず、下記内容を制限事項とさせていただきます。

[制限事項が発生するコンペア・レジスタ値]

f_{MC}(メータ・コントローラ入力周波数)=4MHz、4.19MHz時

レジスタ名	略号	コンペア・レジスタ設定値
コンペア・レジスタn0	MCMPn0(n=1~4)	01H、02H、FDH、FEH
コンペア・レジスタn1	MCMPn1(n=1~4)	01H、02H、FDH、FEH

「本内容に関しましては、貴部門における設計の目的以外には使用しないで下さい。また、当社に断り無く第三者へ開示することを禁じます。」

(注1)

現在規格化されているメータ・コントローラ/ドライバ特性の t_r 、 t_f

メータ・コントローラ/ドライバ特性 ($T_a = -40 \sim +85$ 、 $V_{DD} = S_{MVDD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PWM出力立ち上がり時間	t_r	$C=100pF$ (CはPWM出力ラインへの負荷容量)	80		200	ns
PWM出力立ち上がり時間	t_f	$C=100pF$ (CはPWM出力ラインへの負荷容量)	80		200	ns

(注2)

期待されるPWM出力波形とは端子負荷容量100pF時に、0.9V_{DD}レベル以上まで立ち上がり、かつ0.1V_{DD}レベル以下まで立ち下がる波形のことを指します。

3. 参考データ

測定条件

使用製品：uPD78F0852

$V_{DD} = S_{MVDD} = 4.5 V$

$f_{MC} = 4.19 MHz$

$T_a = 85$

負荷：図1の様にSM24端子とSMVSS間に100pFのセラミック・コンデンサを接続します。

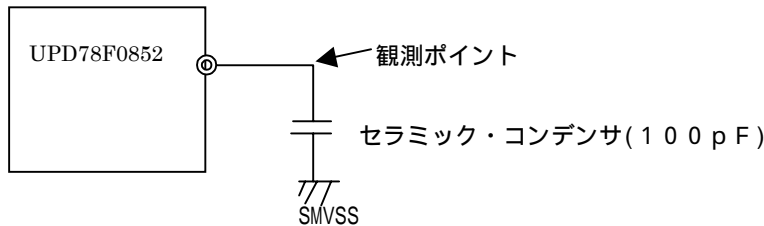


図1 セラミック・コンデンサ接続図

測定データ

PWM出力波形

コンペア・レジスタ設定値	$T_a = 85$
01 H	データNo.1
02 H	データNo.2
FD H	データNo.3
FE H	データNo.4

01H分増減毎のPWM出力波形幅

PWM High幅実測値	グラフNo.1
PWM Low幅実測値	グラフNo.2

グラフNo.1は、コンペア・レジスタ設定値が増加する毎にPWM出力波形のHigh幅が増加していることを示します。グラフNo.2は、コンペア・レジスタ設定値が減少する毎にPWM出力波形のLow幅が増加していることを示しています。実線は実測値です。

破線は、本製品の出力ドライバにおける、期待される出力値(注3)参照)をプロットしたものです。

「本内容に関しましては、貴部門における設計の目的以外には使用しないで下さい。また、当社に断り無く第三者へ開示することを禁じます。」

(注3)

理論的には、PWMの出力値は、コンペア・レジスタの設定値に比例し、コンペア・レジスタの設定が0Hならば0 μ sec、0.2Hならば0.48 μ sec ($f_{MC} = 4.19$ MHz時)となります。

しかし、本製品のドライバは立ち上がり/立ち下がり時間を制御している為、実際の出力値は理論値よりも小さな値になりますが、コンペア・レジスタの設定値を変えた時のPWM出力変化量の割合は、一定(1ビットあたり0.24 μ sec)になります。

[High幅、Low幅の定義について]

グラフ1, グラフ2において、PWM出力のHigh幅及びLow幅は以下の様に定義させて頂いております。

High幅について:

PWM出力のHigh幅は、立ち上がりが0.9VDDを越えた時点より立ち下がりが0.9VDD以下になった時間と定義いたします。

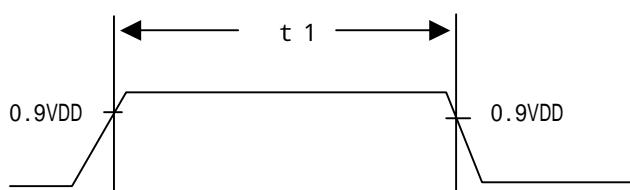


図2 PWM出力波形High幅の定義

Low幅について:

PWM出力のLow幅は、立ち下がりが0.1VDD以下になった時点より立ち上がりが0.1VDDを越えた時間と定義いたします。

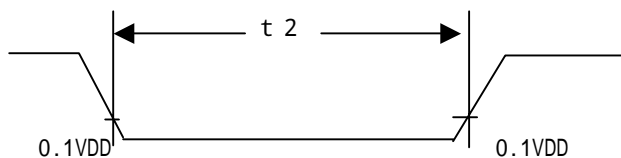


図3 PWM出力波形Low幅の定義

[各データのご説明]

コンペア・レジスタ設定値0.1Hの場合:

データNo.1の通り0.9VDDに達していませんので、(注2)記載の期待されるPWM出力波形ではありません。

コンペア・レジスタ設定値0.2Hの場合:

本来、 f_{MC} (メータ・コントローラ入力周波数) が4.19 MHzの場合、 t_1 (図2参照) は、コンペア・レジスタ設定値が0.1H分(1ビット分)増加する毎に1クロック分の0.24 μ secが増加します。しかし、0.2Hから0.3H間では、0.32 μ sec分も増加しており期待されるPWM出力波形とは判断いたしません。0.3H以降は0.1H増加毎に t_1 も0.24 μ secづつ増加しているため、0.3H以降が本来のPWM出力波形であると判断いたします(グラフ1参照)。

「本内容に関しましては、貴部門における設計の目的以外には使用しないで下さい。また、当社に断り無く第三者へ開示することを禁じます。」

コンペア・レジスタ設定値 F E H の場合 :

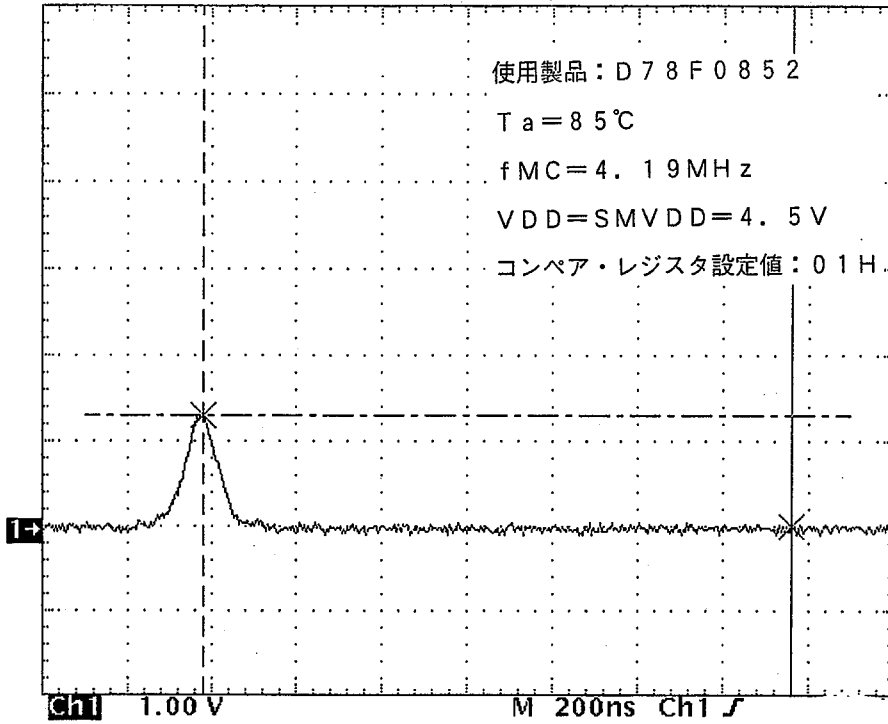
データ No. 4 の通り $0.1 V_{DD}$ に達しておりませんので、(注 2) 記載の期待される PWM 出力波形ではありません。

コンペア・レジスタ設定値 F D H の場合 :

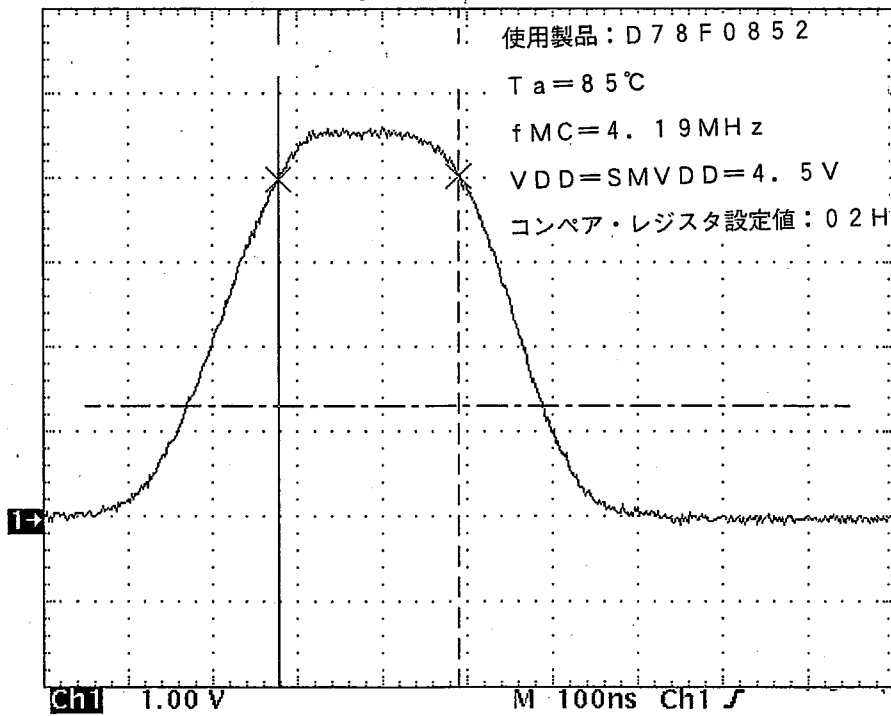
本来、 f_{MC} (メータ・コントローラ入力周波数) が 4.19 MHz の場合、 t_2 (図 3 参照) は、コンペア・レジスタ設定値が 0.1 H 分 (1 ビット分) 減少する毎に 1 クロック分の $0.24 \mu\text{sec}$ が増加します。しかし、F D H から F C H 間では、 $0.28 \mu\text{sec}$ 分も増加しており期待される PWM 出力波形とは判断いたしません。F C H 以下は 0.1 H 減少毎に t_2 も $0.24 \mu\text{sec}$ づつ増加しているため、F C H 以下が本来の PWM 出力波形であると判断いたします (グラフ 2 参照)。

- 以上 -

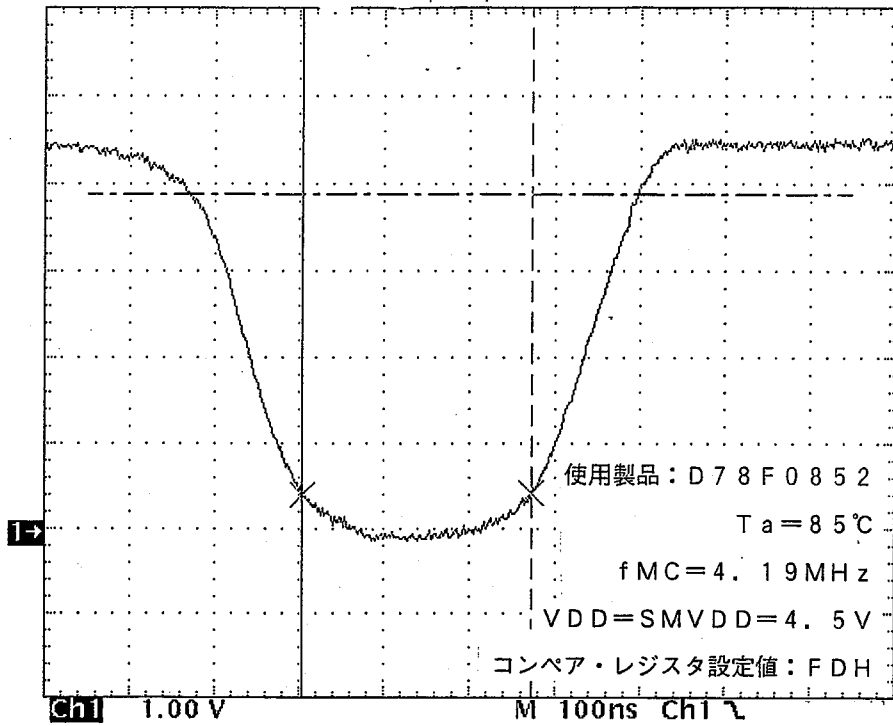
データ No.1



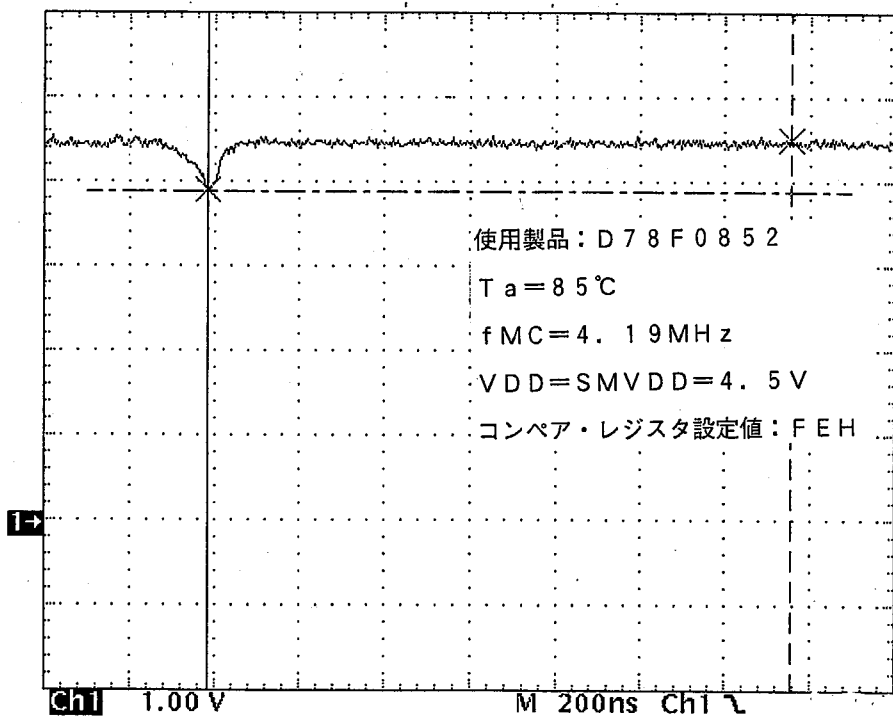
データ No.2



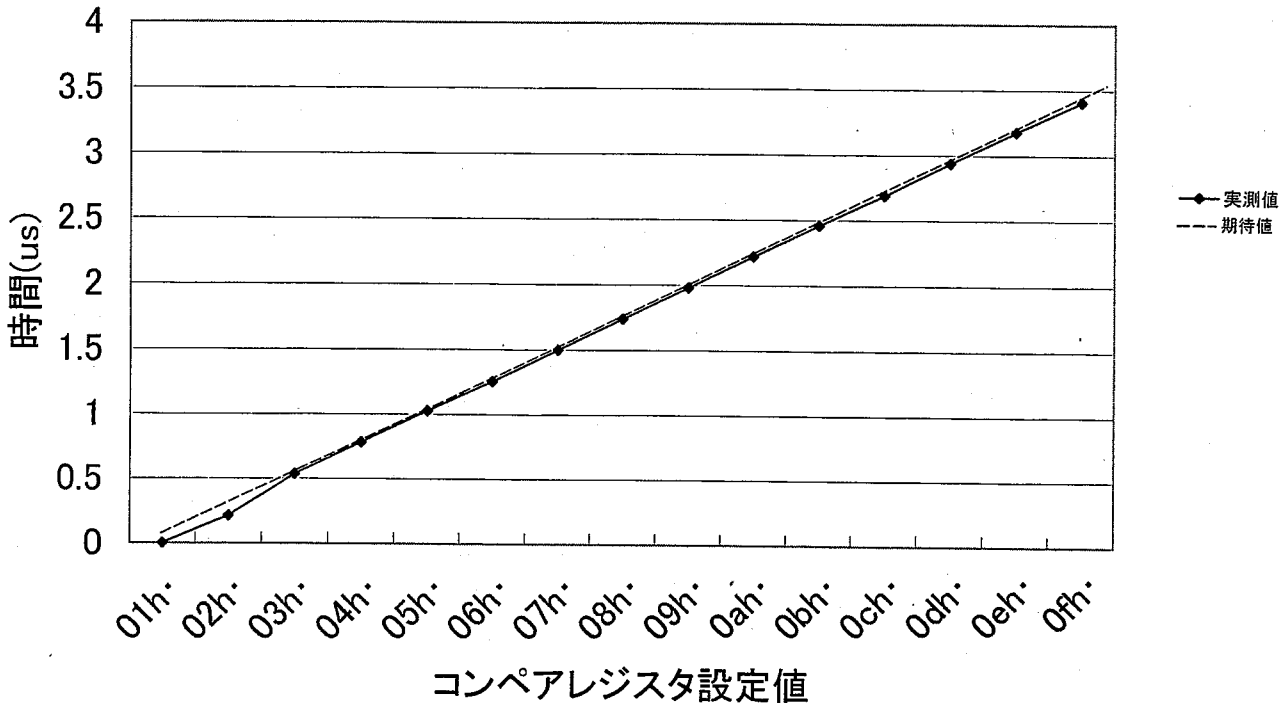
データ No.3



データ No.4



グラフNo.1
PWM High幅 実測値(Ta=85°C)



グラフNo.2
PWM Low幅 実測値(Ta=85°C)

