

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A830A/J	Rev.	第1版
題名	SH7786 低消費電力モード ユーザーズマニュアルの訂正		情報分類	技術情報	
適用製品	SH7786 グループ	対象ロット等	関連資料	SH7786 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 2010年11月30日発行 (RJJ09B0533-0100)	
		全ロット			

SH7786 の低消費電力モードの説明に関して、ユーザーズマニュアルの訂正があります。

取り消し線部分が削除、網掛け部分が追加になります。

## 【訂正内容】

### 1. 20.1 特長

関連資料 p20-1 項目 2 番目：電圧値

- ~~1.8~~1.5V 系のみを保持し、他の電源をオフする DDR3-SDRAM 電源バックアップモードのサポート。

### 2. 20.1.1 低消費電力モードの種類 表 20.1 低消費電力モードの状態

関連資料 p20-2 DDR3-SDRAM 電源バックアップ：端子欄

低消費電力モード	遷移状態	状 態					端子	DDR3-SDRAM	解除方法
		CPG	CPU	内蔵メモリ	内蔵モジュール				
					DMAC	その他			
DDR3-SDRAM 電源バックアップ	12.5.8 参照	停止	停止	不定	停止	停止	4.81.5V 系端子である MBKPRST# にローレベルを入力すると、MCKE 端子にローレベルが出力されます。その他の端子は、電源オフ時と同じ。	セルフリフレッシュ	パワーオンリセット

### 3. 20.3 レジスタの説明 表 20.3 レジスタ構成

関連資料 p20-3 CPU0 Ick 周波数コントロールレジスタ～CPU1 スタンバイコントロールレジスタ：同期クロック

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセスサイズ	同期クロック
CPU0 Ick 周波数コントロールレジスタ	C0IFC	R/W	H'FE40 0000	H'1E40 0000	32	<del>Sek2</del> 専用クロック
CPU1 Ick 周波数コントロールレジスタ	C1IFC	R/W	H'FE40 1000	H'1E40 1000	32	<del>Sek2</del> 専用クロック
CPU0 スタンバイコントロールレジスタ	C0STBCR	R/W	H'FE40 0004	H'1E40 0004	32	<del>Sek2</del> 専用クロック
CPU1 スタンバイコントロールレジスタ	C1STBCR	R/W	H'FE40 1004	H'1E40 1004	32	<del>Sek2</del> 専用クロック

4. 20.3 レジスタの説明 表 20.4 各処理モードにおけるレジスタの状態

関連資料 p20-3 CPU1 スタンバイコントロールレジスタ：パワーオンリセット

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ライトスリープ
		PRESET#端子 /WDT/H-UDI による	CnWDTCNT(n=0,1) のオーバーフロー/ 多重例外による	SLEEP 命令による
CPU1 スタンバイコントロールレジスタ	C1STBCR	<del>H'0000 0004</del> H'0000 0003	保持	保持

5. 20.3.6 CPU0 スタンバイコントロールレジスタ (C0STBCR) 表

関連資料 p20-11 ビット 1：説明

ビット	ビット名	初期値	R/W	説 明
1	RESET0	0	R/W	リセットビット 詳細は「20.5.3 CPU コアのモジュールストップ制御について」を参照ください。 0:MSTP0 クリア時にパワーオンリセットを実行しない 1:MSTP0 クリア時にパワーオンリセットを実行する 【注】本ビットは MSTP0 ビットが 1 であるときのみ設定可能です。 また、MSTP0 ビットが 0 に設定されたとき、本ビットもクリア(0 設定)されます。 MSTP0 ビットが 0 であるときに、本ビットに 1 を設定しないでください。

6. 20.3.7 CPU1 スタンバイコントロールレジスタ (C1STBCR) 表

関連資料 p20-12 ビット 1：初期値および説明

ビット	ビット名	初期値	R/W	説 明
1	RESET1	<del>0</del> 1	R/W	リセットビット 詳細は「20.5.3 CPU コアのモジュールストップ制御について」を参照ください。 0:MSTP1 クリア時にパワーオンリセットを実行しない 1:MSTP1 クリア時にパワーオンリセットを実行する 【注】本ビットは MSTP1 ビットが 1 であるときのみ設定可能です。 また、MSTP1 ビットが 0 に設定されたとき、本ビットもクリア(0 設定)されます。 MSTP1 ビットが 0 であるときに、本ビットに 1 を設定しないでください。

7. CPU<sub>n</sub> スタンバイコントロールレジスタ (CnSTBCR ; n=0, 1) に対する説明追加

(補 足)

CPU<sub>n</sub> (n=0, 1)スタンバイコントロールレジスタ CnSTBCR のビット 1、0 [RESET<sub>n</sub>, MSTP<sub>n</sub>]の組み合わせは、

00： CPU<sub>n</sub> は動作中 (この状態から 10 へは設定禁止、C0STBCR の初期値)。

01： CPU<sub>n</sub> はモジュールストップ中で、解除後 CPU コア n に対するパワーオンリセット<sup>注)</sup>を実行しない。

10： 設定禁止 (00 にクリアされます)。

11： CPU<sub>n</sub> はモジュールストップ中で、解除後 CPU コア n に対するパワーオンリセット<sup>注)</sup>を実行する (C1STBCR の初期値)。

注) CPU コア n に対するパワーオンリセットとは、WDT(CPU<sub>n</sub>)によるマニュアルリセットによるリセットと同じ動作になります。

となります。

8. 20.3.4 CPU0 Ick 周波数コントロールレジスタ (C0IFC) 表および注

関連資料 p20-9 ビット2～0：説明および欄外注

ビット	ビット名	初期値	R/W	説明
2～0	IIFC0[2:0]	000	R/W	CPU0 クロック分周比設定 FRQCR1 によって設定される CPU クロックと、実際に CPU に供給される クロックの比を設定します。 000: x1 001: x1/2 010: x1/4( <del>x1/3</del> )* 上記以外：設定禁止 ただし、FRQCR1 によって設定される CPU クロック Ick と SuperHyway クロック SHck の周波数が等しい場合、010 は設定禁止です。

~~【注】 \* CPU クロックとSuperHyway クロックの比が1:3 もしくは1:6 の場合は、周波数比は1/3 もしくは1/6 となりま~~  
~~す。~~

9. 20.3.5 CPU1 Ick 周波数コントロールレジスタ (C1IFC) 表および注

関連資料 p20-10 ビット2～0：説明および欄外注

ビット	ビット名	初期値	R/W	説明
2～0	IIFC1[2:0]	000	R/W	CPU1 クロック分周比設定 FRQCR1 によって設定される CPU クロックと、実際に CPU に供給される クロックの比を設定します。 000: x1 001: x1/2 010: x1/4( <del>x1/3</del> )* 上記以外：設定禁止 ただし、FRQCR1 によって設定される CPU クロック Ick と SuperHyway クロック SHck の周波数が等しい場合、010 は設定禁止です。

~~【注】 \* CPU クロックとSuperHyway クロックの比が1:3 もしくは1:6 の場合は、周波数比は1/3 もしくは1/6 となりま~~  
~~す。~~

以上