

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A879A/J	Rev.	第1版
題名	SH7753 グループ PCIEC 割り込み仕様	情報分類	技術情報		
適用製品	SH7753 グループ	対象ロット等	関連資料	SH7753 グループ ユーザーズマニュアル ハードウェア編 (Rev.1.00 第35章)	
		全ロット			

上記関連資料 (SH7753 Rev.1.00 第35章) について、上記適用製品に内蔵されている PCIEC の割り込み要因ビット、及び割り込みクリア処理に関する記述訂正と追加がありますのでご連絡いたします。

下記において、赤字部分が訂正/追記事項となります。

35章 PCI Express コントローラ (PCIEC)

35.5.2.1 RC レジスタ

(12) リンク割り込み許可レジスタ (INTLINKENR)

本レジスタは、リンク割り込みの許可/不許可を設定するために使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CTOE	DLDNE	TXEE	ERPE	RXVDE			TXVDE		PME	MACE	DLE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	0	—	リザーブビット
12	CTOE	0	R/W	Completionタイムアウト割り込み許可 0: 不許可 1: 許可
11	DLDNE	0	R/W	DL_Down 割り込み許可 0: 不許可 1: 許可
10	TXEE	0	R/W	リザーブビット
9	ERPE	0	R/W	エラーパケット受信割り込み許可 0: 不許可 1: 許可

(13) リンク割り込み要因レジスタ (INTLINKR)

本レジスタは、リンク割り込みの要因を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CTO	DLDN	TXE	ERP	RXVD			TXVD		PM	MAC	DL	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～13	—	0	—	リザーブビット
12	CTO	0	R/W	Completionタイムアウト割り込み リンク層が発行したNon-Postedリクエストに対するCompletionタイムアウトを検出したことを通知します。 本ビットは1をライトすることで0にクリアされます。
11	DLDN	0	R/W	DL_Down割り込み リンク層がダウンしたことを通知します。 本ビットは1をライトすることで0にクリアされます。
10	TXE	0	R/W	リザーブビット
9	ERP	0	R/W	エラーパケット受信割り込み リンク層がエラーパケットを受信したことを通知します。 本ビットは1をライトすることで0にクリアされます。

35.5.3.3 割り込み動作

図 35.10 に RC 割り込みの関係図を示します。

RC 割り込みを使用してルートコンプレックスの制御を行うことができます。RC 割り込みには、RCDMA 割り込みと LINK 割り込みに大別されます。DMA を使ったメモリ転送は、RC-DMA 割り込みだけを使用して実現できます。CPU による各トランザクション処理は、LINK 割り込みを使用して直接データリンク層のイベントを監視して実現してください。

各割り込みは割り込み許可信号でマスクできるようになっています。RC-DMA 割り込みまたは LINK 割り込みのビットをクリアする場合、その要因となり得る割り込みの許可信号を一度全て不許可にした後、許可に書き戻してください。また、LINK レジスタに要因ビットが存在する割り込みをクリアする場合は、表 35.6 に従って関連する LINK レジスタの割り込み許可信号も一度全て不許可にした後、許可に書き戻してください。これにより割り込みをクリアする際に、既に別要因の割り込みが成立していた場合でも、その別要因で RC 割り込みを発生させることができます。

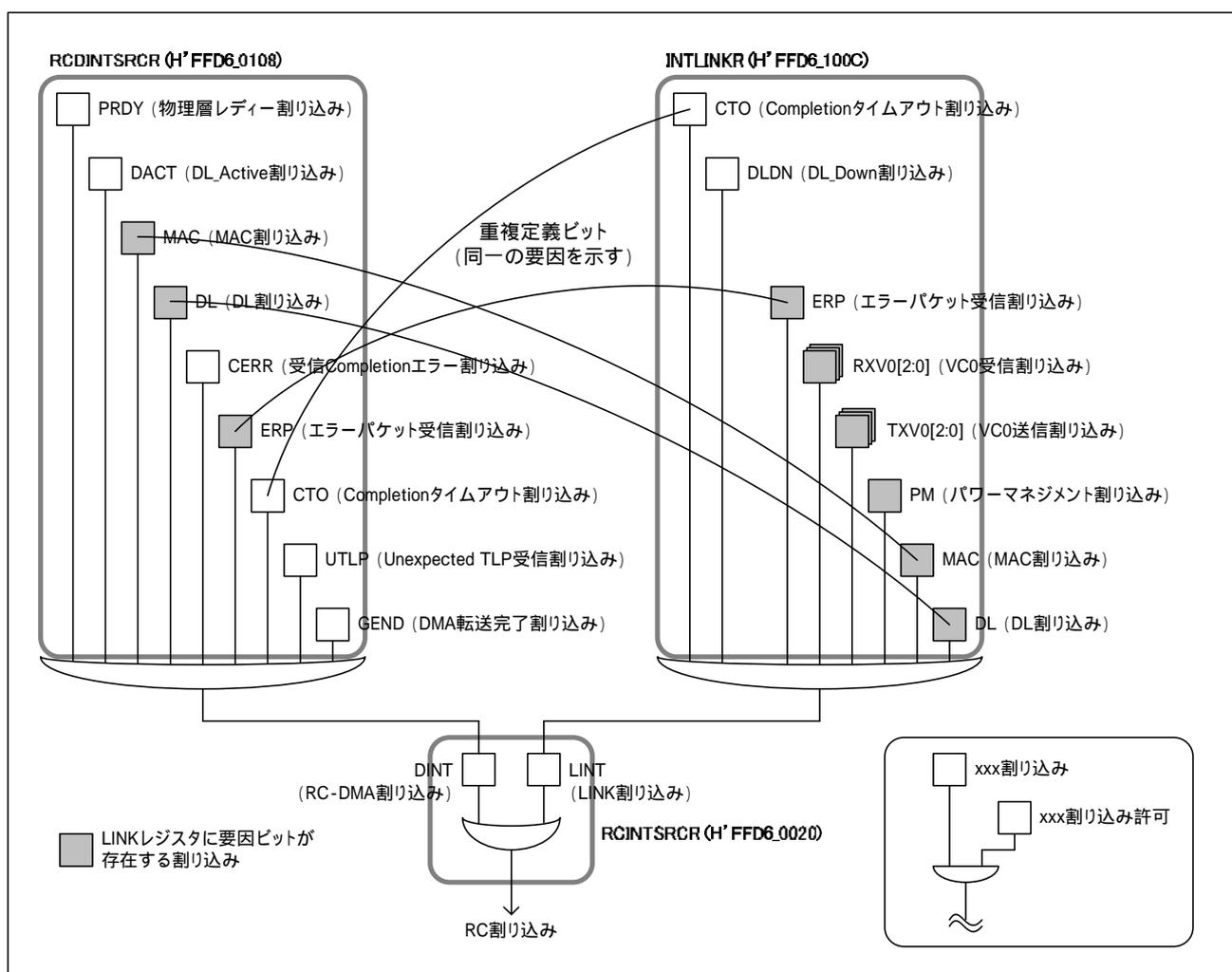


図 35.10 RC 割り込み関係図

各割り込みの許可ビット、要因ビット、クリアビット、及びクリアする際に不許可、許可の操作が必要となるレジスタの関係を表 35.6 に示します。例えば、RC-DMA 割り込みの許可ビットは RCINTENR.DINTE であり、この DINTE が 1 の場合に RC-DMA 割り込みが CPU 側に通知されます。この場合、CPU から要因ビットである RCINTSRCR.DINT が 1 になっていることを確認した後、RCINTSRCR.DINT に 1 をライトして割り込み要因をクリアしてください。それに続けて RCDINTENR レジスタの全割り込み要因を不許可に設定してください。以下同様に表 35.6 に従って割り込みの根元を辿っていき、その根元の割り込み要因をクリアした後に不許可にしていた割り込みを許可に戻してください。

表 35.6 RC 割り込み関連ビットとレジスタの関係

割り込み	許可ビット	要因ビット	クリアビット	不許可/許可レジスタ
RC-DMA 割り込み	RCINTENR.DINTE	RCINTSRCR.DINT	←要因ビット	RCDINTENR
リンク割り込み	RCINTENR.LINTE	RCINTSRCR.LINT	←要因ビット	INTLINKENR
物理層レディー割り込み	RCDINTENR.PRDYE	RCDINTSRCR.PRDY	←要因ビット	なし
DL_Active 割り込み	RCDINTENR.DACTE	RCDINTSRCR.DACT	←要因ビット	なし
MAC 割り込み (*1)	RCDINTENR.MACE	RCDINTSRCR.MAC	←要因ビット	MACINTENR
	INTLINKENR.MACE	INTLINKR.MAC	←要因ビット	MACINTENR
DL 割り込み (*1)	RCDINTENR.DLE	RCDINTSRCR.DL	←要因ビット	DLINTENR
	INTLINKENR.DLE	INTLINKR.DL	←要因ビット	DLINTENR
受信 Completion エラー割り込み	RCDINTENR.CERRE	RCDINTSRCR.CERR	←要因ビット	なし
エラーパケット受信割り込み (*1)	RCDINTENR.ERPE	RCDINTSRCR.ERP	←要因ビット	RXDCTLR
	INTLINKENR.ERPE	INTLINKR.ERP	←要因ビット	RXDCTLR
Completion タイムアウト割り込み	RCDINTENR.CTOE	RCDINTSRCR.CTO	←要因ビット	なし
	INTLINKENR.CTOE	INTLINKR.CTO	←要因ビット	なし
Unexpected TLP 割り込み	RCDINTENR.UTLPE	RCDINTSRCR.UTLP	←要因ビット	なし
DMA 転送の正常終了割り込み	RCDINTENR.GENDE	RCDINTSRCR.GEND	←要因ビット	なし
DL_Down 割り込み	INTLINKENR.DLDNE	INTLINKR.DLDN	←要因ビット	なし
VC0 受信割り込み (Posted 受信)	INTLINKENR.RXV0E[2]	INTLINKR.RXV0[2]	←要因ビット	RXVC0DCTLR
VC0 受信割り込み (Non-Posted 受信)	INTLINKENR.RXV0E[1]	INTLINKR.RXV0[1]	←要因ビット	RXVC0DCTLR
VC0 受信割り込み (Completion 受信)	INTLINKENR.RXV0E[0]	INTLINKR.RXV0[0]	←要因ビット	RXVC0DCTLR
VC0 送信割り込み (Posted 送信)	INTLINKENR.TXV0E[2]	INTLINKR.TXV0[2]	←要因ビット	TXVC0DCTLR
VC0 送信割り込み (Non-Posted 送信)	INTLINKENR.TXV0E[1]	INTLINKR.TXV0[1]	←要因ビット	TXVC0DCTLR
VC0 送信割り込み (Completion 送信)	INTLINKENR.TXV0E[0]	INTLINKR.TXV0[0]	←要因ビット	TXVC0DCTLR
パワーマネジメント割り込み	INTLINKENR.PME	INTLINKR.PM	←要因ビット	PMINTENR
(DL) DL_Active	DLINTENR.DLLACTE	DLSR.DLLACT	なし (*2)	なし
(DL) DL_Down	DLINTENR.DLDNE	DLSR.DLDN	なし (*2)	なし
(DL) Data Link Layer Protocol Error	DLINTENR.DLLPEE	DLSR.DLLPE	←要因ビット	なし
(DL) Replay Timeout	DLINTENR.RPTOE	DLSR.RPTO	←要因ビット	なし
(DL) Replay Number Roll Over	DLINTENR.RPNROE	DLSR.RPNRO	←要因ビット	なし
(DL) BAD TLP	DLINTENR.BADTLPPE	DLSR.BADTLP	←要因ビット	なし
(DL) BAD DLLP	DLINTENR.BADDLLPE	DLSR.BADDLLP	←要因ビット	なし
(MAC) Receiver Error	MACINTENR.RVERRE	MACSR.RVERR	←要因ビット	なし
(MAC) Link Training	MACINTENR.LKTRE	MACSR.LKTR	なし (*2)	なし
(PM) L1 Fall Edge	PMINTENR.L1FAEGE	PMSR.L1FAEG	←要因ビット	なし
(PM) PM_ENTER_L1 DLLP 受信	PMINTENR.PMEL1RXE	PMSR.PMEL1RX	←要因ビット	なし
(TX) Posted 送信エンブティ	TXVC0DCTLR.PTEIE	なし (*3)	LINKTXHDSSELR.PHW	なし
(TX) Non-Posted 送信エンブティ	TXVC0DCTLR.NPTEIE	なし (*3)	LINKTXHDSSELR.NPHW	なし
(TX) Completion 送信エンブティ	TXVC0DCTLR.CTEIE	なし (*3)	LINKTXHDSSELR.CPLHW	なし
(RX) Posted 受信フル	RXVC0DCTLR.PRFIE	なし (*3)	LINKRXSTSR0.PFLC	なし
(RX) Non-Posted 受信フル	RXVC0DCTLR.NPRFIE	なし (*3)	LINKRXSTSR0.NPFLC	なし
(RX) Completion 受信フル	RXVC0DCTLR.CRFIE	なし (*3)	LINKRXSTSR0.CPLFLC	なし
(ERR) エラーパケット受信フル	RXDCTLR.EPFIE	ERPCTLR.EPBF	ERPCTLR.EPBFCLR	なし

(*1) 同一の割り込み要因が 2 つのレジスタに重複して定義されていますので、いずれか一方を使用してください。

(*2) 要因となっているリンク層の状態を抜ければ自動的にクリアされます。

(*3) VC0 受信割り込み、または VC0 送信割り込みの要因ビットを確認し、データ受信、または送信が完了した時点でクリアビットをセットしてください。

リンク割り込みの一つである MAC の Receiver Error をクリアする際の処理順序を図 35.11 に示します。

- ① CPU が RC 割り込みを検出します。
- ② RCINTSRCR レジスタからリンク割り込み (LINT) を確認し、それをクリアしてください。
- ③ 表 35.6 に従い、LINT クリア後に INTLINKENR レジスタで全ての割り込みを不許可にしてください。
- ④ INTLINKR レジスタから MAC 割り込み (MAC) を確認し、それをクリアしてください。
- ⑤ 表 35.6 に従い、MAC クリア後に MACINTENR レジスタの全ての割り込みを不許可にしてください。
- ⑥ Receiver Error 割り込みをクリアしてください。
- ⑦ MACINTENR レジスタの中で必要な割り込みを許可に戻してください。
- ⑧ INTLINKR レジスタの中で必要な割り込みを許可に戻してください。

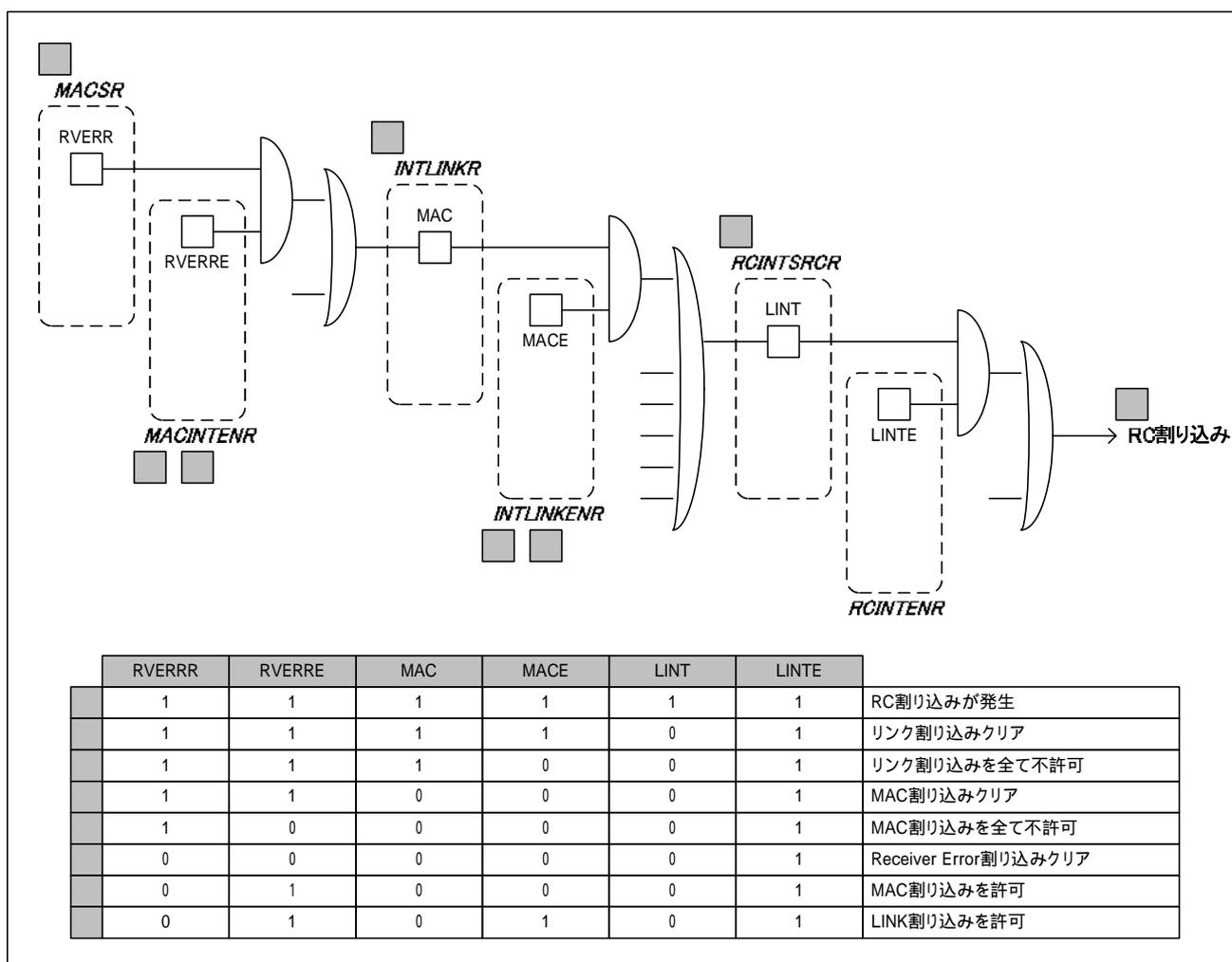


図 35.11 MAC/Receiver Error 割り込みのクリア手順