

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ  
問合せ窓口 E-mail: csc@renesas.com

|      |                            |        |                |                                   |     |
|------|----------------------------|--------|----------------|-----------------------------------|-----|
| 製品分類 | MPU&MCU                    | 発行番号   | TN-SH7-529A/JA | Rev.                              | 第1版 |
| 題名   | SH7751 シリーズ電源投入遮断手順についての改訂 |        | 情報分類           | ドキュメント訂正追加等                       |     |
| 適用製品 | SH7751/ SH7751R            | 対象ロット等 | 関連資料           | SH7751 ハードウェアマニュアル<br>ADJ-602-215 |     |
|      |                            | 全ロット   |                |                                   |     |

SH7751 ハードウェアマニュアルの付録 G.電源投入遮断手順についての改訂をご連絡申し上げます。

## G . HD6417751/HD6417751R シリーズ電源投入遮断手順について

### 1 電源投入時の規定

- (1) I/O、RTC、CPG の電源は、電源 VDDQ と同じタイミングで投入してください。
- (2) 電源 VDDQ を投入後または同時に、信号線 (RESET、MRESET、MD0~MD10、外部クロックなど) の入力を行ってください。電源 VDDQ を投入する前に信号線に入力を与えると、製品が破壊する可能性があります。
  - ・ 電源 VDDQ の投入時には、RESET 信号を Low レベルにしてください。
- (3) PLL1/2 回路の異常発振を回避するため、電源 VDDQ の電圧が 2V に達するまでは電源 VDD の電圧が  $VDD < 1.2V$  となるように電源を投入してください。
- (4) 電源の投入は、電源 VDDQ を先、電源 VDD を後に行うことを推奨します。
- (5) 上記(1)(2)(3)(4)に加えて3項の規定に従ってください。さらに
  - ・ 本 LSI 単体の場合、電源 VDDQ 及び電源 VDD の電源投入シーケンスに時間的制約はありません。図 G{図 G1} を参照ください。なお、電源投入はできるだけ短い時間に行うことを推奨します。
  - ・ 本 LSI が実装ボード等で他の素子と結線されている場合、 $-0.3V < V_{in} < VDDQ+0.3V$  に従ってください。また図 G{図 G2}に示すように、電源 VDDQ 及び電源 VDD が GND[0V]から本 LSI の動作保証電圧範囲の最小電圧値{VDDQ(min),VDD(min)}以上に上昇するまでの制約時間は 100ms(max)です。これを超えた場合は製品が破壊される可能性があります。なお、電源投入はできるだけ短い時間に行うことを推奨します。

### 2 電源遮断時の規定

- (1) I/O、RTC、CPG の電源は、電源 VDDQ と同じタイミングで遮断してください。
  - (2) 信号線 (RESET、MRESET) 電源遮断時のタイミング規定はありません。
  - (3) 信号線 (RESET、MRESET) 以外の入力信号線のレベルは電源 VDDQ と同じシーケンスで遮断してください。
  - (4) 電源の遮断は、電源 VDD を先、電源 VDDQ を後に行うことを推奨します。
- 上記(1)(2)(3)(4)に加えて3項の規定に従ってください。さらに
- ・ 本 LSI 単体の場合、電源 VDDQ 及び電源 VDD の電源遮断シーケンスに時間的制約はありません。図 G{図 G1} を参照ください。なお、電源遮断はできるだけ短い時間に行うことを推奨します。
  - ・ 本 L S I が実装ボード等で他の素子と結線されている場合、 $-0.3V < V_{in} < VDDQ+0.3V$  に従ってください。また図 G{図 G2}に示すように、電源 VDDQ 及び電源 VDD が本 LSI の動作保証電圧範囲の最小電圧値 {VDDQ(min),VDD(min)}から GND[0V]に下降するまでの制約時間は 150ms(max)です。これを超えた場合は製品が破壊される可能性があります。なお、電源投入はできるだけ短い時間に行うことを推奨します。

3 電源投入時、遮断時共通の規定

(1) 常時  $VDDQ = VDD-CPG = VDD-RTC$  としてください。

SH7751 の場合、ハードウェアスタンバイモード時の  $VDD-RTC$  は、SH-4 SH7751 ハードウェアマニュアルの項目 9.9.5 に従ってください。

(2) 常時  $VDD = VDD-PLL1/2$  としてください。

(3)  $-0.3V < VDD < VDDQ+0.3V$  としてください。

(4)  $VSS = VSSQ = VSS-PLL1/2 = VSS-CPG = VSS-RTC = GND[0V]$  としてください。

以上(1)(2)(3)(4)の条件を満足しない場合、製品が破壊される可能性があります。

なお、技術情報 (TN-SH7-341B)も併せてご参照ください。

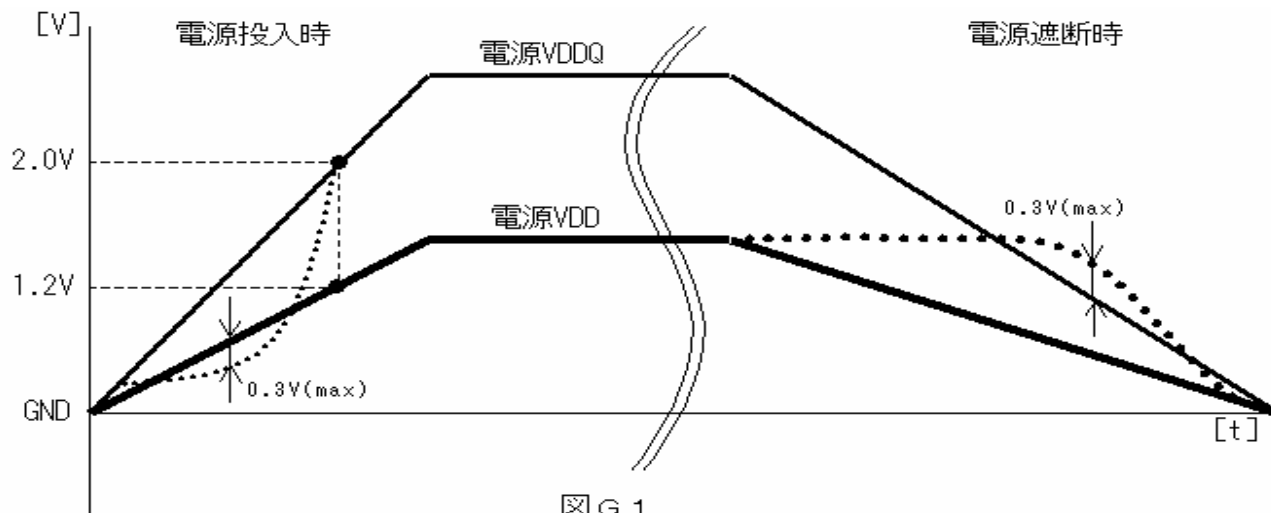


図 G 1

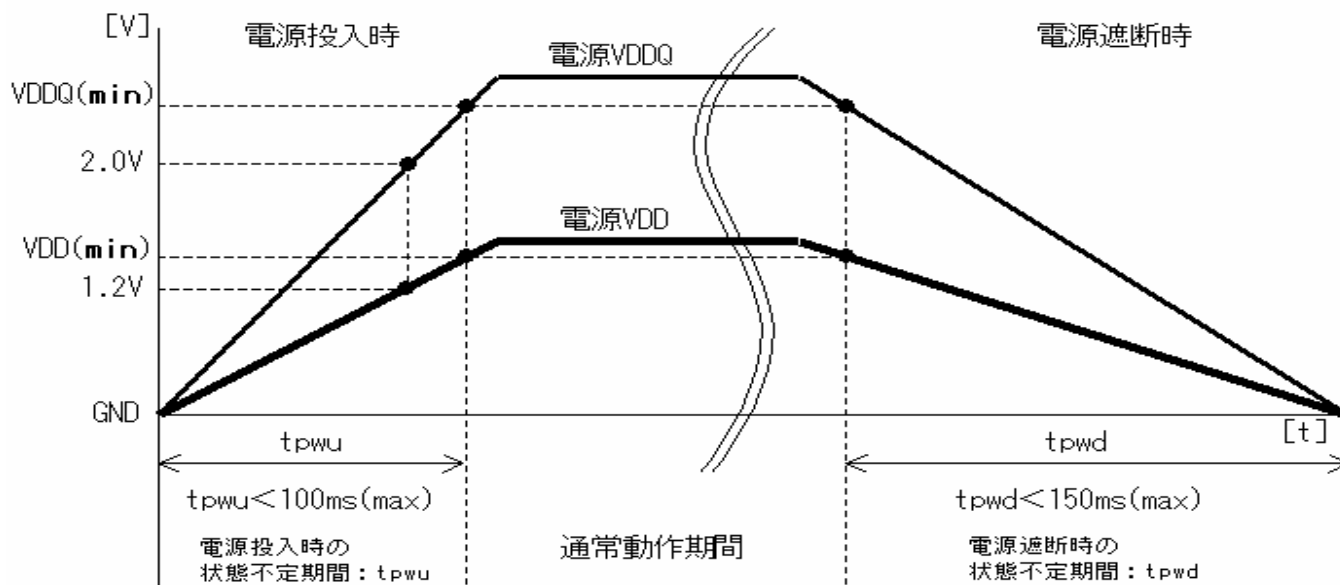


図 G 2

図 G. 電源シーケンス