

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-832A/J	Rev.	第1版
題名	SH7734 ユーザーズマニュアル ハードウェア編の訂正 (GETHER)		情報分類	技術情報	
適用製品	SH7734	対象ロット等	関連資料	SH7734 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0233JJ0100)	
		全ロット			

SH7734 のギガビットイーサネットコントローラ (GETHER) のユーザーズマニュアルに関して、記述訂正および記述追加があります。

下記において、訂正後、追加の網掛け部分が訂正箇所となります。

## 【訂正内容】

### 1-1. p24-62 「24.3.48 送受信ステータスコピー指示レジスタ (TRSCER)」に関する記述訂正

#### <訂正前>

TRSCER は、E-MAC/E-DMAC ステータスレジスタ (EESR) のビット 17、16、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するか否かを指示します。本レジスタの各ビットは、EESR のビット 17、16、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス (EESR のビット 17 およびビット 10 からビット 8) は送信ディスクリプタの TFE ビットに、また受信ステータス (EESR のビット 16 およびビット 7 からビット 0) は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。

#### <訂正後>

TRSCER は、E-MAC/E-DMAC ステータスレジスタ (EESR) のビット 26、25、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するか否かを指示します。本レジスタの各ビットは、EESR のビット 26、25、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス (EESR のビット 26 およびビット 10 からビット 8) は送信ディスクリプタの TFE ビットに、また受信ステータス (EESR のビット 25 およびビット 7 からビット 0) は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。

### 1-2. p24-83 「24.4.1 ディスクリプタとディスクリプタリスト (1) 送信ディスクリプタ (a) 送信ディスクリプタ 0 (TD0)」に関する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
11~0	TFS[11:0]	すべて0	R/W	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMACによりライトバックされ、1で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> <li>• TFS[11:10]：リザーブ（書き込み値は0としてください）</li> <li>• TFS[9]：送信 FIFO アンダフロー（EESR の TUC ビットに相当）</li> <li>• TFS[8]：送信中断検出（EESR の TABT ビットに相当）</li> <li>• TFS[7:0]：リザーブ（書き込み値は0としてください）</li> </ul>

<訂正後>

ビット	ビット名	初期値	R/W	説明
11~0	TFS[11:0]	すべて0	R/W	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMACによりライトバックされ、1で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> <li>• TFS[11:10]：リザーブ（書き込み値は0としてください）</li> <li>• TFS[9]：送信 FIFO アンダフロー（EESR の TUC ビットに相当）</li> <li>• TFS[8]：送信中断検出（EESR の TABT ビットに相当）</li> <li>• TFS[7:3]：リザーブ（書き込み値は0としてください）</li> <li>• TFS[2]：キャリア損失検出（EESR の DLC ビットに相当）</li> <li>• TFS[1]：遅延衝突検出（EESR の CD ビットに相当）</li> <li>• TFS[0]：送信タイムアウト EESR の TRO ビットに相当）</li> </ul>

2-1. p24-1「24.1 特長 E-DMAC（イーサネットコントローラダイレクトメモリアクセスコントローラ）機能」に関する記述追加

<追加>

インテリジェントチェックサム値計算機能

2-2. p24-8「24.3 レジスタの説明」に関する記述訂正

<訂正前>

チェックサムモードレジスタ	CSMR	R/W	H'FEE0 04E4	H'1EE0 04E4	32
チェックサムスキップ済みバイト数モニタレジスタ	CSSBM	R	H'FEE0 04E8	H'1EE0 04E8	32
チェックサムモニタレジスタ	CSSMR	R	H'FEE0 04EC	H'1EE0 04EC	32

<訂正後>

インテリジェントチェックサムモードレジスタ	CSMR	R/W	H'FEE0 04E4	H'1EE0 04E4	32
インテリジェントチェックサムスキップ済みバイト数モニタレジスタ	CSSBM	R	H'FEE0 04E8	H'1EE0 04E8	32
インテリジェントチェックサム機能モニタレジスタ	CSSMR	R	H'FEE0 04EC	H'1EE0 04EC	32

2-3. p24-74「24.3.61 チェックサムモードレジスタ（CSMR）」に関する記述訂正

<訂正前>

24.3.61 チェックサムモードレジスタ（CSMR）

CSMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、チェックサムの動作モードを指定します

ビット	ビット名	初期値	R/W	説明
31	CSEBL	1	R/W	チェックサム計算機能の動作設定 --- (省略) ---

ビット	ビット名	初期値	R/W	説明
30	CSMD	1	R/W	チェックサム計算モードの設定 --- (省略) ---
5~0	SB[5:0]*	011010	R/W	チェックサム計算スキップバイト --- (省略) ---

<訂正後>

24.3.61 インテリジェントチェックサムモードレジスタ (CSMR)

CSMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、インテリジェントチェックサムの動作モードを指定します。

ビット	ビット名	初期値	R/W	説明
31	CSEBL	1	R/W	インテリジェントチェックサム計算機能の動作設定 --- (省略) ---
30	CSMD	1	R/W	インテリジェントチェックサム計算モードの設定 --- (省略) ---
5~0	SB[5:0]*	011010	R/W	インテリジェントチェックサム機能チェックサム計算スキップバイト --- (省略) ---

2-4. p24-75 「24.3.62 チェックサムスキップ済みバイト数モニタレジスタ (CSSBM)」に関する記述訂正

<訂正前>

24.3.62 チェックサムスキップ済みバイト数モニタレジスタ (CSSBM)

<訂正後>

24.3.62 インテリジェントチェックサム機能スキップ済みバイト数モニタレジスタ (CSSBM)

2-5. p24-75 「24.3.63 チェックサムモニタレジスタ (CSSMR)」に関する記述訂正

<訂正前>

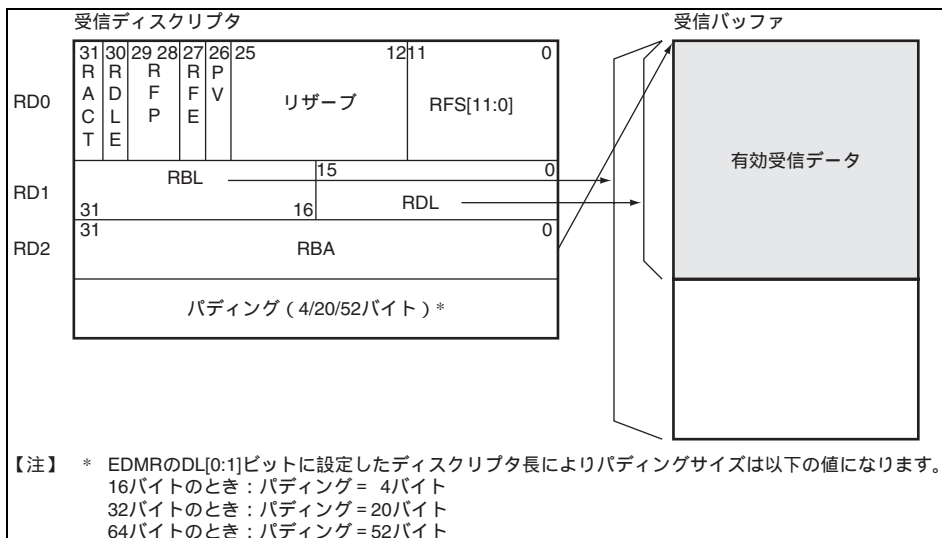
24.3.63 チェックサムモニタレジスタ (CSSMR)

<訂正後>

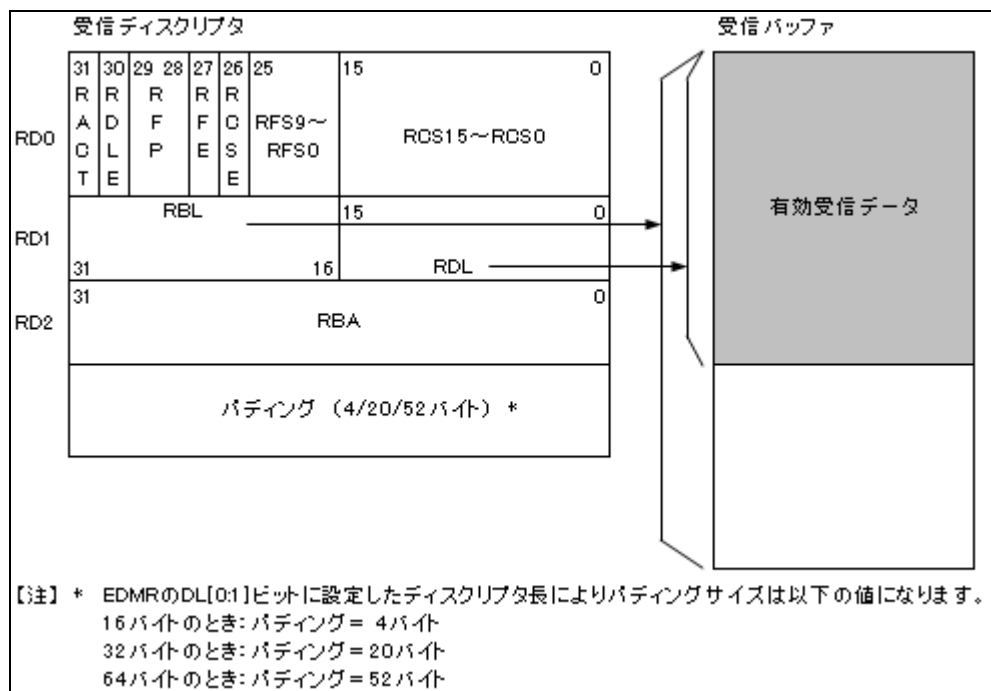
24.3.63 インテリジェントチェックサム機能モニタレジスタ (CSSMR)

2-6. p24-85 「図 24.4 受信ディスクリプタと受信バッファの関係」に関する図の訂正

<訂正前>



<訂正後>



2-7. p24-87 ~ 88 「24.4.1 ディスクリプタとディスクリプタリスト (2) 受信ディスクリプタ (a) 受信ディスクリプタ 0 (RD0)」に関する記述訂正および記述追加

<訂正前>

26	PV	0	R/W	パディング挿入 本ディスクリプタで処理した受信フレームが、RPADIR レジスタで指定されたパディングが挿入されている受信フレームかどうかを示します。 0: パディングの挿入なし 1: パディングの挿入あり 本ビットは、ライトバック処理で書き換えられます。
25 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11 ~ 0	RFS [11:0]	すべて 0	R/W	受信フレームステータス 当該フレームのステータスを示します。以下のビットは 1 で当該の事象が発生したことを示します。また、RFS[9] ~ RFS[0]の事象が発生した場合にはフレームの受信は不完全です。 <ul style="list-style-type: none"> <li>• RFS[11:10]: リザーブ</li> <li>• RFS[9]: 受信 FIFO オーバフロー (EESR の RFOF ビットに相当)</li> <li>• RFS[8]: 受信中断検出 (EESR の RABT ビットに相当)</li> <li>• RFS[7]: マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当)</li> <li>• RFS[6]: キャリア拡張エラー (EESR の CEEF ビットに相当)</li> <li>• RFS[5]: キャリア拡張消失 (EESR の CELF ビットに相当)</li> <li>• RFS[4]: 端数ビットフレーム受信 (EESR の RRF ビットに相当)</li> <li>• RFS[3]: ロングフレーム受信エラー (EESR の RTLF ビットに相当)</li> <li>• RFS[2]: ショートフレーム受信エラー (EESR の RTSF ビットに相当)</li> <li>• RFS[1]: PHY-LSI 受信エラー (EESR の PRE ビットに相当)</li> <li>• RFS[0]: 受信フレーム CRC エラー (EESR の CERF ビットに相当)</li> </ul>

<訂正後>

26	RCSE	0	R/W	インテリジェントチェックサム機能 受信パケットチェックサム値判定 CSEBL=1、CSMD=1のとき、受信パケットや受信データにより、表 24.1 のように設定されます。 上記以外の設定での動作時、本ビットの情報は無効になります。
25 ~ 16	RFS[9:0]	すべて 0	R/W	受信フレームステータス フレーム受信中のエラーステータスを表示します。 PFS9：受信 FIFO オーバフロー（EESR の RFOF ビットに相当） RFS8：予約（書き込み時は 0 としてください） RFS7：マルチキャストアドレスフレームを受信 （EESR の RMAF ビットに相当） RFS6：CAM エントリ未登録フレームを受信（EESR の RUAF ビットに相当） RFS5：予約（書き込み時は 0 としてください） RFS4：端数ビットフレーム受信エラー（EESR の RRF ビットに相当） RFS3：ロングフレーム受信エラー（EESR の RTLF ビットに相当） RFS2：ショートフレーム受信エラー（EESR の RTSF ビットに相当） RFS1：PHY-LSI 受信エラー（EESR の PRE ビットに相当） RFS0：受信フレーム CRC エラー検出（EESR の CERF ビットに相当）
15 ~ 0	RCS [15:0]	すべて 0	R/W	インテリジェントチェックサム機能 受信パケットチェックサム値

<追加>

表 24.1 受信パケット種と受信データにおける RCSE の状態

フレーム種		データ正常時		データ異常時	
IP version	オプション、拡張ヘッダ	RCS[15:0]	RCSE	RCS[15:0]	RCSE
IPv4	なし	16'hFFFF 16'h0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	オプション	16'hFFFF 16'h0000	0	不定	1
IPv6	なし	16'hFFFF 16'h0000	0	不定	1
	ホップバイホップ	16'hFFFF 16'h0000	0	不定	1
	ルーティング	16'hFFFF 16'h0000	0	不定	1
	終点オプション	16'hFFFF 16'h0000	0	不定	1
	AH	16'hFFFF 16'h0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	ESP	16'h0000	1	16'h0000	1
	MobileIPv6	16'h0000	1	16'h0000	1
	その他	16'h0000	1	16'h0000	1
IPv4、IPv6 以外		16'h0000	0	16'h0000	0

2-8. p24-117～118「24.4.12 チェックサム計算機能」に関する記述訂正

<訂正前>

24.4.12 チェックサム計算機能

- ・MAC/IP パケット解析型チェックサム計算モード
- ・スキップバイト数指定型全データチェックサム計算モード

(1) MAC/IP パケット解析型チェックサム計算モード (CSEBL = 1、CSMD = 1)

受信パケットが下表に含まれるものであれば、計算の対象となります。ただし、下表に含まれるものであっても、IP パケットが比較的小さいなどの理由で、MAC パケットのペイロードに IP パケット以外のパディングデータが含まれている場合は計算の対象外です。

(2) スキップバイト数指定型全データチェックサム計算モード (CSEBL = 1、CSMD = 0)

<訂正後>

24.4.12 インテリジェントチェックサム計算機能

- ・MAC/IP パケット解析型インテリジェントチェックサム計算モード
- ・スキップバイト数指定型全データインテリジェントチェックサム計算モード

(1) MAC/IP パケット解析型インテリジェントチェックサム計算モード (CSEBL = 1、CSMD = 1)

受信パケットが下表に含まれるものであれば、計算の対象となります。

(2) スキップバイト数指定型全データインテリジェントチェックサム計算モード (CSEBL = 1、CSMD = 0)

2-9. p24-129「24.6.3 インテリジェントチェックサム機能の使用時の注意」に関する記述追加

<追加>

24.6.3 インテリジェントチェックサム機能の使用時の注意

インテリジェントチェックサム機能のチェックサム計算は、受信データパディング挿入設定レジスタ (RPADIR) によるパディング挿入の影響を受けません。それは、チェックサム計算が、受信データを E-MAC から E-DMAC に転送する際に行われるのに対し、受信データパディングが、受信データを E-DMAC からメモリ上の受信バッファに転送する際に行われるためです。

3-1. p24-116「24.4.11 Magic Packet の検出」に関する記述訂正

<訂正前>

4. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
5. Magic Packet を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、ET\_WOL 端子により Magic Packet を検出したことを通知します。

<訂正後>

4. E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の E-MAC ステータスレジスタ要因割り込み許可ビット (ECIIP) を設定します。

5. 必要なら CPU の動作モードをスリープモードに設定します。

6. Magic Packet を検出すると、CPU には割り込みが通知されます。

また、周辺 LSI に対しては、ET0\_WOL 端子により Magic Packet を検出したことを通知します。

\* ディープスタンバイ時の MagicPacket の検出に関しては、MODE の章を参照してください。

4-1. p24-12「表 24.3 各処理状態におけるレジスタの状態」に関する記述訂正

<訂正前>

FCFTR0	H'001F00FF	H'001F00FF	保持	保持	保持	初期化
--------	------------	------------	----	----	----	-----

<訂正後>

FCFTR0	H'001700FF	H'001700FF	保持	保持	保持	初期化
--------	------------	------------	----	----	----	-----

5-1. p24-66「24.3.55 FIFO 容量指定レジスタ (FDR)」に関する記述訂正

<訂正前>

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R R R R R R R R R R R R R R R R

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	-	-	-	TFD[2:0]			-	-	-	RFD[4:0]				
---	---	---	---	---	----------	--	--	---	---	---	----------	--	--	--	--

初期値： 0 0 0 0 0 0 1 1 1 0 0 0 1 1 1 1

R/W： R R R R R R/W R/W R/W R R R R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10~8	TFD[2:0]	すべて1	R/W	送信 FIFO 容量 最大 2K バイトある送信 FIFO の容量を 256 バイトから 2K バイトまで、256 バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト H'01 : 512 バイト : : H'07 : 2048 バイト
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4~0	RFD[4:0]	すべて1	R/W	受信 FIFO 容量 最大 8K バイトある受信 FIFO の容量を 256 バイトから 8K バイトまで、256 バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト H'01 : 512 バイト : : H'1F : 8192 バイト

<訂正後>

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R R R R R R R R R R R R R R R R

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	-	-	-	TFD[2:0]			-	-	-	RFD[4:0]				
---	---	---	---	---	----------	--	--	---	---	---	----------	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R R R R R R/W R/W R/W R R R R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TFD[2:0]	すべて0	R/W	送信 FIFO 容量 最大 2K バイトある送信 FIFO の容量を 256 バイトから 2K バイトまで、256 バイト単位で指定します。256 ~ 2048 バイト設定として下さい。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト (初期値) H'01 : 512 バイト : : H'07 : 2048 バイト
7~5	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4~0	RFD[4:0]	すべて0	R/W	受信 FIFO 容量 最大 4K バイトある受信 FIFO の容量を 256 バイトから 4K バイトまで、256 バイト単位で指定します。256 ~ 4096 バイト設定として下さい。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト (初期値) H'01 : 512 バイト : : H'0F : 4096 バイト

6-1. p24-18 「24.3.3 E-MAC ステータスレジスタ (ECSR)」に関する記述訂正

<訂正前>

2	LCHNG	0	R/W	リンク信号変化 PHY-LSI から入力される ET0_LINKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。ただし、GPIO の PACR で ET0_LINKSTA の機能を選択されたタイミングで、信号の変化を検出する場合があります。 現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。 0 : ET0_LINKSTA 信号の変化を検出していない 1 : ET0_LINKSTA 信号の変化 (ハイレベル ローレベルあるいはローレベルハイレベル) を検出した
---	-------	---	-----	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

<訂正後>

2	LCHNG	0	R/W	リンク信号変化 PHY-LSI から入力される ET0_LINKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。ただし、ET0_LINKSTA 機能の端子を選択したタイミングで、信号の変化を検出する場合があります。 現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。 0 : ET0_LINKSTA 信号の変化を検出していない 1 : ET0_LINKSTA 信号の変化 (ハイレベル ローレベルあるいはローレベルハイレベル) を検出した
---	-------	---	-----	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

以上