

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A838A/J	Rev.	第1版
題名	SH7734 ユーザーズマニュアル ハードウェア編の訂正(DBSC3)		情報分類	技術情報	
適用製品	SH7734	対象ロット等 全ロット	関連資料	SH7734 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0233JJ0100)	

SH7734 のメモリコントローラ (DBSC3) のユーザーズマニュアルに関して、記述訂正があります。
下記において、訂正後の網掛け部分が訂正箇所となります。

【訂正内容】

1. p4-6 「表 4.3(2) 各処理状態におけるレジスタの状態」の記述訂正

<訂正前>

表 4.3 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBSVCR0	初期化	初期化	保持	保持	初期化
DBSVCR1	初期化	初期化	保持	保持	初期化
DBSTATE	初期化	初期化	保持	保持	初期化
DBACEN	初期化	初期化	保持	保持	初期化
DBRFEN	初期化	初期化	保持	保持	初期化
DBCMD	初期化	初期化	保持	保持	初期化
DBWAIT	初期化	初期化	保持	保持	初期化
DBKIND	初期化	初期化	保持	保持	初期化
DBCONF	初期化	初期化	保持	保持	初期化
DBTR0	初期化	初期化	保持	保持	初期化
DBTR1	初期化	初期化	保持	保持	初期化
DBTR2	初期化	初期化	保持	保持	初期化
DBTR3	初期化	初期化	保持	保持	初期化
DBTR4	初期化	初期化	保持	保持	初期化
DBTR5	初期化	初期化	保持	保持	初期化
DBTR6	初期化	初期化	保持	保持	初期化
DBTR7	初期化	初期化	保持	保持	初期化
DBTR8	初期化	初期化	保持	保持	初期化
DBTR9	初期化	初期化	保持	保持	初期化
DBTR10	初期化	初期化	保持	保持	初期化
DBTR11	初期化	初期化	保持	保持	初期化
DBTR12	初期化	初期化	保持	保持	初期化
DBTR13	初期化	初期化	保持	保持	初期化
DBTR14	初期化	初期化	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBTR15	初期化	初期化	保持	保持	初期化
DBTR16	初期化	初期化	保持	保持	初期化
DBTR17	初期化	初期化	保持	保持	初期化
DBTR18	初期化	初期化	保持	保持	初期化
DBTR19	初期化	初期化	保持	保持	初期化
DBBL	初期化	初期化	保持	保持	初期化
DBADJ0	初期化	初期化	保持	保持	初期化
DBADJ1	初期化	初期化	保持	保持	初期化
DBADJ2	初期化	初期化	保持	保持	初期化
DBRFCNF0	初期化	初期化	保持	保持	初期化
DBRFCNF1	初期化	初期化	保持	保持	初期化
DBRFCNF2	初期化	初期化	保持	保持	初期化
DBCALCNF	初期化	初期化	保持	保持	初期化
DBCALTR	初期化	初期化	保持	保持	初期化
DBRNK0	初期化	初期化	保持	保持	初期化
DBPDNCNF	初期化	初期化	保持	保持	初期化
DBPDCNT0	初期化	初期化	保持	保持	初期化
DBPDCNT1	初期化	初期化	保持	保持	初期化
DBPDCNT2	初期化	初期化	保持	保持	初期化
DBPDCNT3	初期化	初期化	保持	保持	初期化
DBPDLCK	初期化	初期化	保持	保持	初期化
DBPDRGA	初期化	初期化	保持	保持	初期化
DBPDRGD	不定	不定	保持	保持	不定
DBBS0CNT0	初期化	初期化	保持	保持	初期化
DBBS0CNT1	初期化	初期化	保持	保持	初期化

<訂正後>

表 4.3 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBSVCR0	初期化	保持	保持	保持	初期化
DBSVCR1	初期化	保持	保持	保持	初期化
DBSTATE	初期化	保持	保持	保持	初期化
DBACEN	初期化	保持	保持	保持	初期化
DBRFEN	初期化	保持	保持	保持	初期化
DBCMD	初期化	保持	保持	保持	初期化
DBWAIT	初期化	保持	保持	保持	初期化
DBKIND	初期化	保持	保持	保持	初期化
DBCINF	初期化	保持	保持	保持	初期化
DBTR0	初期化	保持	保持	保持	初期化
DBTR1	初期化	保持	保持	保持	初期化
DBTR2	初期化	保持	保持	保持	初期化
DBTR3	初期化	保持	保持	保持	初期化
DBTR4	初期化	保持	保持	保持	初期化
DBTR5	初期化	保持	保持	保持	初期化
DBTR6	初期化	保持	保持	保持	初期化
DBTR7	初期化	保持	保持	保持	初期化
DBTR8	初期化	保持	保持	保持	初期化
DBTR9	初期化	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBTR10	初期化	保持	保持	保持	初期化
DBTR11	初期化	保持	保持	保持	初期化
DBTR12	初期化	保持	保持	保持	初期化
DBTR13	初期化	保持	保持	保持	初期化
DBTR14	初期化	保持	保持	保持	初期化
DBTR15	初期化	保持	保持	保持	初期化
DBTR16	初期化	保持	保持	保持	初期化
DBTR17	初期化	保持	保持	保持	初期化
DBTR18	初期化	保持	保持	保持	初期化
DBTR19	初期化	保持	保持	保持	初期化
DBBL	初期化	保持	保持	保持	初期化
DBADJ0	初期化	保持	保持	保持	初期化
DBADJ1	初期化	保持	保持	保持	初期化
DBADJ2	初期化	保持	保持	保持	初期化
DBRFCNF0	初期化	保持	保持	保持	初期化
DBRFCNF1	初期化	保持	保持	保持	初期化
DBRFCNF2	初期化	保持	保持	保持	初期化
DBCALCNF	初期化	保持	保持	保持	初期化
DBCALTR	初期化	保持	保持	保持	初期化
DBRNK0	初期化	保持	保持	保持	初期化
DBPDNCNF	初期化	保持	保持	保持	初期化
DBPDCNT0	初期化	保持	保持	保持	初期化
DBPDCNT1	初期化	保持	保持	保持	初期化
DBPDCNT2	初期化	保持	保持	保持	初期化
DBPDCNT3	初期化	保持	保持	保持	初期化
DBPDLCK	初期化	保持	保持	保持	初期化
DBPDRGA	初期化	保持	保持	保持	初期化
DBPDRGD	不定	保持	保持	保持	不定
DBBS0CNT0	初期化	保持	保持	保持	初期化
DBBS0CNT1	初期化	保持	保持	保持	初期化

2. p4-31「4.2.21 SDRAM タイミングレジスタ 11(DBTR11)」に関する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	TRDWR	000000	R/W	READ-WRITE 期間設定ビット 本ビットで、リードコマンドからライトコマンドまでの最小間隔を設定します。 ^{*2} 000000：初期値（DBSC3 使用の場合、下記（4～9サイクル）に設定してください） 000100：4サイクル 000101：5サイクル ： 001001：9サイクル 上記以外：設定禁止

- 【注】
1. サイクル数は、SDRAMの動作クロックにて設定します。
 2. ODTを使用する場合には、DDR-PHY部制御レジスタ0（DBPDCNT0）のdb_odten_selビットの設定値との関係があります。以下の条件を満たすように設定してください。

ODT有無	db_odten_sel	DDR2-SDRAM	DDR3-SDRAM
ODT使用	2'b00	TRDWR BL/2 + 4	TRDWR CYC + 4
	2'b01, 2'b10	TRDWR BL/2 + 5	TRDWR CYC + 5
	2'b11	TRDWR BL/2 + 6	TRDWR CYC + 6
ODT未使用	—	TRDWR BL/2 + 2	TRDWR CYC + 2

CYC は、BL8 のとき $CYC = CL + tCCD - CWL$ 、BC4 のとき $CYC = CL + tCCD/2 - CWL$ です (tCCD は DDR3-SDRAM の場合、4 サイクルです)。

- 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

<訂正後>

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	TRDWR	000000	R/W	READ-WRITE 期間設定ビット 本ビットで、リードコマンドからライトコマンドまでの最小間隔を設定します。*2 000000 : 初期値 (下記 (4 ~ 15 サイクル) に設定してください) 000100 : 4 サイクル 000101 : 5 サイクル : 001111 : 15 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 以下の条件を満たすように設定してください。

MODT端子使用有無	DDR2-SDRAM	DDR3-SDRAM
MODT端子使用	TRDWR BL/2 + 4	TRDWR CL - CWL + BL/2 + 4
MODT端子未使用	TRDWR BL/2 + 2	TRDWR CL - CWL + BL/2 + 2

3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

3. p4-34 「4.2.24 SDRAM タイミングレジスタ 14(DBTR14)」に関する記述訂正

<訂正前>

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. パワーダウンモードを使用する場合は、本レジスタに適切な値を設定してください。JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。

- (1) DDR3-SDRAM の場合
- $$TCKEHDLL = \text{ceil}(tXPDLL/tCK)$$
- $$TCKEH = \text{ceil}(tXP/tCK)$$
- (2) DDR2-SDRAM の場合
- $$TCKEHDLL = \text{ceil}(tXARD/tCK)$$
- $$TCKEH = \text{ceil}(tXP/tCK)$$

--- (以下省略) ---

<訂正後>

- 【注】 1. サイクル数は、SDRAMの動作クロックにて設定します。
 2. パワーダウンモードを使用する場合は、本レジスタに適切な値を設定してください。
 JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。

(1) DDR3-SDRAM の場合

$$TCKEHDLL = \text{ceil}(tXPDLL/tCK)$$

$$TCKEH = \text{ceil}(tXP/tCK)$$

(tXPDLL、tXP が tCK サイクル単位の場合、tCK で割る必要はありません)

(2) DDR2-SDRAM の場合

$$TCKEHDLL = tXARDS$$

$$TCKEH = \text{ceil}(tXP/tCK)$$

(tXP が tCK サイクル単位の場合、tCK で割る必要はありません)

--- (以下省略) ---

4. p4-40 「4.2.28 SDRAM タイミングレジスタ 18(DBTR18)」に関する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~24	RODTL	000	R/W	リード時 ODT アサート期間設定ビット 本ビットで、リードコマンド出力時に DDR-PHY に出力する ODT 信号のアサート期間を設定します。対応するリードコマンドのバースト長 / 2 の値を基本として、+0~+7 の範囲で設定できます。 000 : BL/2 サイクル 001 : BL/2 + 1 サイクル : 111 : BL/2 + 7 サイクル
23~19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	RODTA	000	R/W	リード時 ODT アサート開始タイミング設定ビット 本ビットで、リードコマンド出力時に DDR-PHY に出力する ODT 信号のアサート開始タイミングを設定します。対応するリードコマンド出力のタイミングを基準として、-1~+3 の範囲で設定できます。 000 : リードコマンドと同時 001 : リードコマンドの 1 サイクル後 010 : リードコマンドの 2 サイクル後 011 : リードコマンドの 3 サイクル後 111 : リードコマンドの 1 サイクル前 上記以外 : 設定禁止
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	WODTL	000	R/W	ライト時 ODT アサート期間設定ビット 本ビットで、ライトコマンド出力時に DDR-PHY に出力する ODT 信号のアサート期間を設定します。対応するライトコマンドのバースト長 / 2 の値を基本として、+0~+7 の範囲で設定できます。 000 : BL/2 サイクル 001 : BL/2 + 1 サイクル : 111 : BL/2 + 7 サイクル
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	WODTA	000	R/W	<p>ライト時 ODT アサート開始タイミング設定ビット</p> <p>本ビットで、ライトコマンド出力時に DDR-PHY に出力する ODT 信号のアサート開始タイミングを設定します。対応するライトコマンド出力のタイミングを基準として、-1~+3の範囲で設定できます。</p> <p>000：ライトコマンドと同時</p> <p>001：ライトコマンドの1サイクル後</p> <p>010：ライトコマンドの2サイクル後</p> <p>011：ライトコマンドの3サイクル後</p> <p>111：ライトコマンドの1サイクル前</p> <p>上記以外：設定禁止</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
26~24	RODTL	000	R/W	<p>リード時 MODT 端子アサート期間設定ビット</p> <p>本ビットで、リードコマンド出力時に出力する MODT 端子のアサート期間を設定します。対応するリードコマンドのバースト長/2+サイクルオフセットの値を基本として、+0~+7の範囲で設定できます。DDR2の場合、サイクルオフセットは1固定、DDR3の場合、サイクルオフセットは0固定です。</p> <p>000：BL/2+サイクルオフセット</p> <p>001：BL/2+サイクルオフセット+1サイクル</p> <p>：</p> <p>111：BL/2+サイクルオフセット+7サイクル</p>
23~19	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
18~16	RODTA	000	R/W	<p>リード時 MODT 端子アサート開始タイミング設定ビット</p> <p>本ビットで、リードコマンド出力時に出力する MODT 端子のアサート開始タイミングを設定します。対応するリードコマンド出力+遅延オフセットのタイミングを基準として、-1~+3の範囲で設定できます。遅延オフセットは以下となります。</p> <ul style="list-style-type: none"> ・DDR2：リード時には CL - 3 となります。 ・DDR3：DBPDCNT0 レジスタの db_odt_mode ビットで、0 サイクルまたは 1 サイクルを指定します。 <p>000：リードコマンド+遅延オフセットと同時</p> <p>001：リードコマンド+遅延オフセットの1サイクル後</p> <p>010：リードコマンド+遅延オフセットの2サイクル後</p> <p>011：リードコマンド+遅延オフセットの3サイクル後</p> <p>111：リードコマンド+遅延オフセットの1サイクル前</p> <p>上記以外：設定禁止</p>
15~11	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~8	WODTL	000	R/W	<p>ライト時 MODT 端子アサート期間設定ビット</p> <p>本ビットで、ライトコマンド出力時に出力する MODT 端子のアサート期間を設定します。対応するライトコマンドのバースト長 / 2 + サイクルオフセットの値を基本として、+0 ~ +7 の範囲で設定できます。DDR2 の場合、サイクルオフセットは 1 固定、DDR3 の場合、サイクルオフセットは 0 固定です。</p> <p>000 : BL/2 + サイクルオフセット 001 : BL/2 + サイクルオフセット + 1 サイクル : 111 : BL/2 + サイクルオフセット + 7 サイクル</p>
7~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	WODTA	000	R/W	<p>ライト時 MODT 端子アサート開始タイミング設定ビット</p> <p>本ビットで、ライトコマンド出力時に出力する MODT 端子のアサート開始タイミングを設定します。対応するライトコマンド出力 + 遅延オフセットのタイミングを基準として、-1 ~ +3 の範囲で設定できます。遅延オフセットは以下となります。</p> <ul style="list-style-type: none"> ・DDR2 : ライト時は CWL - 2 となります。 ・DDR3 : DBPDCNT0 レジスタの db_odt_mode ビットで、0 サイクルまたは 1 サイクルを指定します。 <p>000 : ライトコマンド + 遅延オフセットと同時 001 : ライトコマンド + 遅延オフセットの 1 サイクル後 010 : ライトコマンド + 遅延オフセットの 2 サイクル後 011 : ライトコマンド + 遅延オフセットの 3 サイクル後 111 : ライトコマンド + 遅延オフセットの 1 サイクル前 上記以外 : 設定禁止</p>

5. p4-46 「4.2.33 DBSC3 動作調整レジスタ(DBADJ2)」に関する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
15~8	ACAPC	H'00	R/W	<p>デバイス制御部受付可能データセル数設定ビット</p> <p>DBSC3 のデバイス制御部内に受付可能なリクエストをデータセル単位で設定します。</p> <p>DBSC3 は、ページミス時に発生する Precharge-Activate の処理のペナルティを、現在実行中のリード/ライトにオーバーラップさせて実行することで隠蔽できるように先行 PRE-ACT 処理を行っています。このためにある程度リクエストをため込む必要があります。</p> <p>ただしリクエストをためすぎると、ワーストのレイテンシが悪化します。よって先行処理が可能な程度にため込むリクエスト数を制限することで、スループットとレイテンシをバランスさせる必要があります。</p> <p>H'00 : 初期値 (DBSC3 使用の場合、下記 (1~32 セル) に設定してください) H'01 : 1 セル : H'20 : 32 セル 上記以外 : 設定禁止</p>
7~4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3-0	ACAPX	H'0	R/W	<p>デバイス制御部受付可能トランザクション数設定ビット</p> <p>DBSC3のデバイス制御部に受付可能なリクエストをトランザクション単位で設定します。1トランザクションに含まれるリクエスト数は、アクセスサイズにより1~16の幅がありますので、トランザクション数のみの制御ではリクエスト数を制御できません。よって、本ビットでは多めのトランザクション数を設定し、上記のACAPCビットでリクエスト数の上限を制御してください。</p> <p>H'0：初期値（DBSC3使用の場合、下記（1~8トランザクション）に設定してください） H'1：1トランザクション : H'8：8トランザクション 上記以外：設定禁止</p>

<訂正後>

ビット	ビット名	初期値	R/W	説明
31-16	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
15-8	ACAPC	H'00	R/W	<p>デバイス制御部受付可能リクエスト数設定ビット</p> <p>DBSC3のデバイス制御部に受付可能なリクエストを64ビットデータのアクセス単位で設定します。64ビット未満のデータの場合は1リクエストとなります。</p> <p>DBSC3は、ページミス時に発生するPrecharge-Activateの処理のペナルティを、現在実行中のリード/ライトにオーバーラップさせて実行することで隠蔽できるような先行PRE-ACT処理を行っています。このためにある程度リクエストをため込む必要があります。設定値が初期値(H'00)の場合、最大値(H'20)設定と同じ動作になり、最大の先行PRE-ACT処理を行うことができ、DDRのデータ転送効率(スループット)を最大とすることができます。</p> <p>ただし、本設定により受付可能なリクエストを増やした場合、後から発生した優先順位の高いリクエストの実行は、受付済みのリクエストの処理の後に実行されるために、優先度の高いリクエストに対するレイテンシが悪化する可能性があります。この場合、ACAPC設定を下記に示す値以上で調整し、スループットとレイテンシのバランスを調整してください。下記未満では、スループットが悪化することがあります。</p> <p>ACAPC設定の最小値：$ACAPC = (TRP + TRCD) / 2$</p> <p>H'00：初期値（特に設定する必要が無い場合、初期値としてください） H'01：1リクエスト : H'20：32リクエスト 上記以外：設定禁止</p>
7-4	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
3-0	ACAPX	H'0	R/W	<p>デバイス制御部受付可能トランザクション数設定ビット</p> <p>DBSC3のデバイス制御部に受付可能なリクエストをトランザクション単位で設定します。</p> <p>トランザクションとはCPU、DMAC他からの一連のアクセス要求を示し、1トランザクションに含まれるリクエスト数は、アクセスサイズにより1~16の幅がありますので、トランザクション数のみの制御ではリクエスト数を制御できません。よって、本ビットでは多めのトランザクション数を設定し、上記のACAPCビットでリクエスト数の上限を制御してください。設定値が初期値(H'0)の場合、最大値(H'8)設定と同じ動作になります。ACAPX設定値が小さい場合、ACAPCの設定を行ってもスループットが悪化することがあります。</p> <p>H'0：初期値（特に設定する必要が無い場合、初期値としてください） H'1：1トランザクション : H'8：8トランザクション 上記以外：設定禁止</p>

6. p4-54 「4.2.39 ODT 動作設定レジスタ(DBRNK0)」に関する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	RODTOUT0	0	R/W	リード時 ODT 出力レベル設定ビット 本ビットで、リード時の ODT 出力レベルを設定します。 0：リード時の ODT 出力レベルを'0'とする 1：リード時の ODT 出力レベルを'1'とする
15~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	WODTOUT0	0	R/W	ライト時 ODT 出力レベル設定ビット 本ビットで、ライト時の ODT 出力レベルを設定します。 0：ライト時の ODT 出力レベルを'0'とする 1：ライト時の ODT 出力レベルを'1'とする

<訂正後>

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	RODTOUT0	0	R/W	リード時 MODT 端子出力許可 本ビットで、リード時の MODT 端子出力を禁止または許可します。許可する場合、DBPDCNT0 レジスタの db_odt_dis ビットも0(許可)に設定する必要があります。 リードデータの電圧振幅確保のため、リード時は MODT 端子出力を禁止する(RODTOUT0=0)設定を推奨します。 0：リード時の MODT 端子出力を禁止する 1：リード時の MODT 端子出力を許可する (DBPDCNT0 レジスタの db_odt_dis の設定も許可としてください)
15~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	WODTOUT0	0	R/W	ライト時 MODT 端子出力許可 本ビットで、ライト時の MODT 端子出力を禁止または許可します。許可する場合、DBPDCNT0 レジスタの db_odt_dis ビットも0(許可)に設定する必要があります。 DDR メモリ側での反射の影響を防ぐため、ライト時は MODT 端子出力を許可する(WODTOUT0=1)設定を推奨します。 0：ライト時の MODT 端子出力を禁止する 1：ライト時の MODT 端子出力を許可する (DBPDCNT0 レジスタの db_odt_dis の設定も許可としてください)

7. p4-56 「4.2.41 DDR-PHY 部制御レジスタ 0(DBPDCNT0)」に関する記述訂正

<訂正前>

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	db_odt_mode	0	R/W	ODTのタイミング制御 DDR2-SDRAM：0を設定してください。 DDR3-SDRAM： 0：ODT信号を1サイクル遅れで出力します。 1：ODT信号を2サイクル遅れで出力します。
20	db_odt_dis	0	R/W	ODTのdisable制御 0：ODT信号の使用を許可します。 1：ODT信号を使用しません。
19、18	db_odten_sel	00	R/W	リード時のODTアサート間隔指定 00：最短～11：最長となります。 本設定値によっては、リードコマンドからライトコマンド発行間に必要なウェイトサイクルの制限があります。「4.2.21 SDRAM タイミングレジスタ 11 (DBTR11)」のTRDWR ビット説明を参照してください。
17、16	db_odt_tsel	00	R/W	ODTの抵抗値制御 00：150 (DDR2)、120 (DDR3) 01：75 (DDR2)、60 (DDR3) 10：設定禁止 11：設定禁止
15~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	db_offset	00	R/W	00：初期値 (DBSC3 使用の場合、下記に設定してください) 10：DDR2/DDR3 共通設定 上記以外：設定禁止
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

<訂正後>

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	db_odt_mode	0	R/W	MODT端子のタイミング制御 DDR2-SDRAM：0を設定してください。 DDR3-SDRAM： 0：MODT端子出力遅延オフセットを0サイクルとします。 1：MODT端子出力遅延オフセットを1サイクルとします。
20	db_odt_dis	0	R/W	DDR-PHY側ODT機能、およびMODT端子のdisable制御 DDR-PHY側のリード時のODT機能、およびMODT端子機能の許可/禁止の設定 0：ODT機能の使用を許可します。 1：ODT機能を使用しません。
19、18	db_odten_sel	00	R/W	リード時のMODT端子アサート間隔指定 00：初期値 上記以外：設定禁止

ビット	ビット名	初期値	R/W	説明
17, 16	db_odt_tsel	00	R/W	DDR-PHY 側 ODT の抵抗値制御 DDR-PHY 側 ODT の終端抵抗値を選択します。 00：150（DDR2）、120（DDR3） 01：75（DDR2）、60（DDR3） 上記以外：設定禁止
15～10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	db_offset	00	R/W	00：初期値（下記に設定してください） 10：DDR2/DDR3 共通設定 上記以外：設定禁止
7～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8. p4-64 「4.3.1 初期化シーケンス」に関する記述訂正

<訂正前>

(1) DDR2-SDRAM

1. DDR-PHY部制御レジスタ0、1、3（DBPDCNT0、1、3）の初期化設定を行います。なお、以下の～の設定順序に規定はありません。

--- (途中省略) ---

17. 手動コマンド発行レジスタ（DBCMD）により MRS（MR0）コマンドを発行します。

このとき、動作モードは Normal、DLL リセットはリセット、パースト長は 4、パーストタイプはシーケンシャルに設定します。

--- (省略) ---

<訂正後>

(1) DDR2-SDRAM

1. DDR-PHY部制御レジスタ0、1、3（DBPDCNT0、1、3）の初期化設定を行います。なお、以下の～の設定順序に規定はありません。

--- (途中省略) ---

17. 手動コマンド発行レジスタ（DBCMD）により MRS（MR0）コマンドを発行します。

このとき、動作モードは Normal、DLL リセットはリセット、パースト長は SDRAM 動作設定レジスタ(DBBL)で設定した長さ、パーストタイプはシーケンシャルに設定します。

--- (省略) ---

以上