

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A803A/J	Rev.	第1版
題名	SH7214 グループ、SH7216 グループユーザーズマニュアル ハードウェア編 誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> <li>・ SH7216 グループ</li> <li>・ SH7214 グループ</li> </ul>	対象ロット等	関連資料	SH7214 グループ、SH7216 グループユーザーズマニュアル ハードウェア編 (RJJ09B0575-0200)	
		全ロット			

上記適用製品のハードウェアマニュアルにおいて、誤記の訂正と追記のご連絡を致します。

詳細は、以下をご参照ください。

「10章 ディレクトメモリアクセスコントローラ(DMAC)」 P10-42 「10.6 使用上の注意事項」を追加します。

## 【修正後】

### 10.6.3 CHCR の設定

CHCR の設定を変更する場合には、必ず当該チャンネルの DE ビットをクリアした後に変更してください。

### 10.6.4 複数チャンネルの起動時の注意事項

複数チャンネルに同じ内部リクエストを設定しないでください。

### 10.6.5 転送要求入力時の注意事項

転送要求は、DMAC の設定終了後に入力してください。

### 10.6.6 NMI 割り込みと DMAC 記号の競合

NMI 割り込みと DMAC 起動が競合した場合には、NMI 割り込みが優先されますので、NMIF ビットは 1 にセットされて DMAC は起動されません。

なお、NMI による DMAC 起動判定には、 $1 \times Bcyc + 1 \times Pcyc$  を要します (Bcyc は外部バスクロックの周期、Pcyc は周辺クロックの周期を示します)。

### 10.6.7 DMAC からの内蔵 RAM アクセスサイクル数

DMAC からの内蔵 RAM アクセスサイクル数は、リード/ライト、I (内部クロック) と B (外部バスクロック) のクロック比により、表 10.9 に示すサイクル数となります。

表 10.12 DMAC からの内蔵 RAM アクセスサイクル数

I : B の設定	リード時	ライト時
1:1	$3 \times Bcyc$	$2 \times Bcyc$
1:1/2	$2 \times Bcyc$	$2 \times Bcyc$
1:1/4	$2 \times Bcyc$	$2 \times Bcyc$
1:1/4 以下	$1 \times Bcyc$	$1 \times Bcyc$

「3.3章 電気的特性」 P33-42 「33.3.6 MTU2、MTU2S モジュールタイミング」を「33.3.6(1) MTU2 モジュールタイミング」と「33.3.6(2) MTU2S モジュールタイミング」に分割し修正します。詳細は以下をご参照ください。

【修正前】

33.3.6 MTU2、MTU2S モジュールタイミング

表 33.10 MTU2、MTU2S モジュールタイミング

条件：VccQ=PLLVcc=DrVcc = 3.0 ~ 3.6V、AVcc = AVREF = 4.5 ~ 5.5V、Vss = PLLVss = DrVss=AVREFVSS = AVSS = 0V、

Ta = - 40 ~ + 85 (産業用途品)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	$t_{TOCD}$	-	50	ns	33.40
インプットキャプチャ入力セットアップ時間	$t_{TICS}$	$t_{cyc}/2+20$	-	ns	
タイマ入力セットアップ時間	$t_{TCKS}$	$t_{cyc}+20$	-	ns	33.41
タイマクロックパルス幅(単エッジ指定)	$t_{TCKWH/L}$	1.5	-	$t_{Pcyc}$	
タイマクロックパルス幅(両エッジ指定)	$t_{TCKWH/L}$	2.5	-	$t_{Pcyc}$	
タイマクロックパルス幅(位相計数モード)	$t_{TCKWH/L}$	2.5	-	$t_{Pcyc}$	

【注】 tpcyc は周辺クロック(P )の周期を示します。

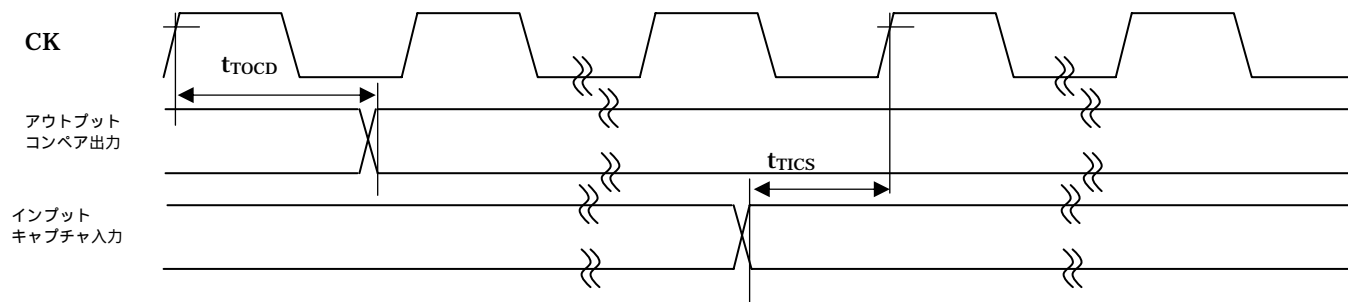


図 33.40 MTU2、MTU2S 入出力タイミング

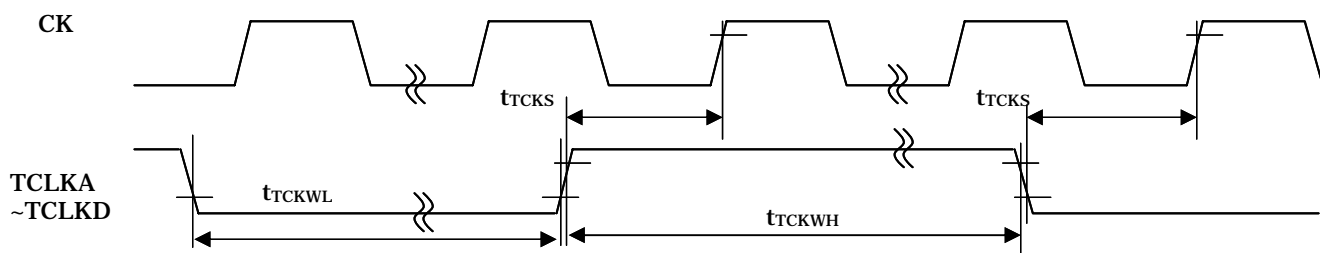


図 33.41 MTU2、MTU2S クロック入力タイミング

【修正後】

33.3.6(1) MTU2 モジュールタイミング

表 33.10 (1) MTU2、MTU2S モジュールタイミング

条件：VccQ=PLLVcc=DrVcc = 3.0 ~ 3.6V、AVcc = AVREF = 4.5 ~ 5.5V、Vss = PLLVss = DrVss=AVREFVSS = AVSS = 0V、  
Ta = - 40 ~ + 85 (産業用途品)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	$t_{TOCD}$	-	50	ns	33.40(1)
インプットキャプチャ入力セットアップ時間	$t_{TICS}$	20	-	ns	
インプットキャプチャ入力パルス幅(単エッジ指定)	$t_{TICW}$	1.5	-	$t_{Pcyc}$	
インプットキャプチャ入力パルス幅(両エッジ指定)	$t_{TICW}$	2.5	-	$t_{Pcyc}$	33.41(1)
タイマ入力セットアップ時間	$t_{TCKS}$	20	-	ns	
タイマクロックパルス幅(単エッジ指定)	$t_{TCKWH/L}$	1.5	-	$t_{Pcyc}$	
タイマクロックパルス幅(両エッジ指定)	$t_{TCKWH/L}$	2.5	-	$t_{Pcyc}$	
タイマクロックパルス幅(位相計数モード)	$t_{TCKWH/L}$	2.5	-	$t_{Pcyc}$	

【注】 tpcyc は周辺クロック(P)の周期を示します。

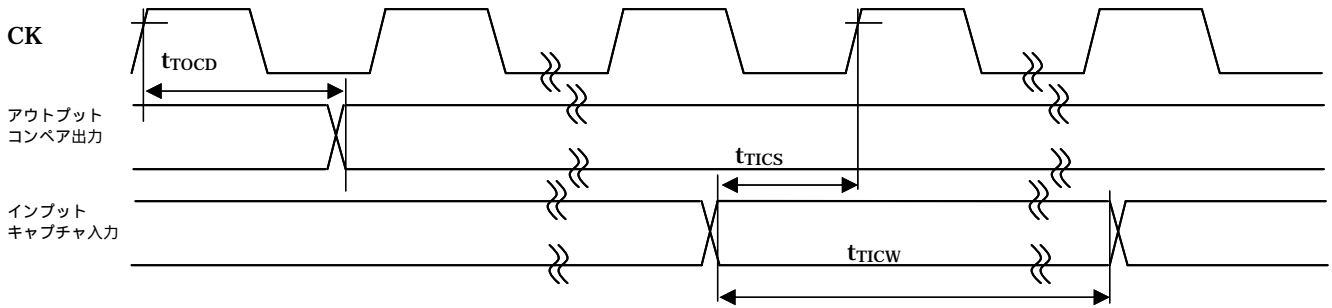


図 33.40(1) MTU2 入出力タイミング

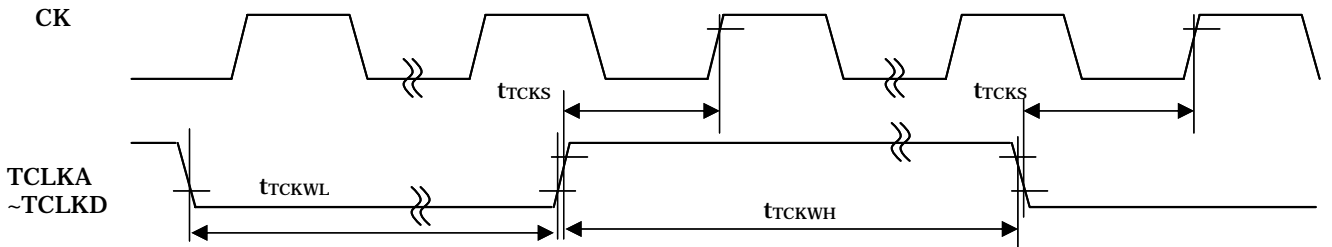


図 33.41(1) MTU2 入出力タイミング

33.3.6(2) MTU2S モジュールタイミング

表 33.10 (2) MTU2S モジュールタイミング

条件 :  $V_{ccQ}=PLL_{Vcc}=Dr_{Vcc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = AV_{REF} = 4.5 \sim 5.5V$ 、 $V_{ss} = PLL_{Vss} = Dr_{Vss}=AV_{REFVSS} = AV_{SS} = 0V$ 、

$T_a = -40 \sim +85$  (産業用途品)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	$t_{TOCD}$	-	50	ns	33.40(2)
インプットキャプチャ入力セットアップ時間	$t_{TICS}$	20	-	ns	
インプットキャプチャ入力パルス幅(単エッジ指定)	$t_{TICW}$	1.5	-	$t_{McyC}$	
インプットキャプチャ入力パルス幅(両エッジ指定)	$t_{TICW}$	2.5	-	$t_{McyC}$	

[注]  $t_{mcyC}$  は MTU2S クロック(M )の周期を示します。

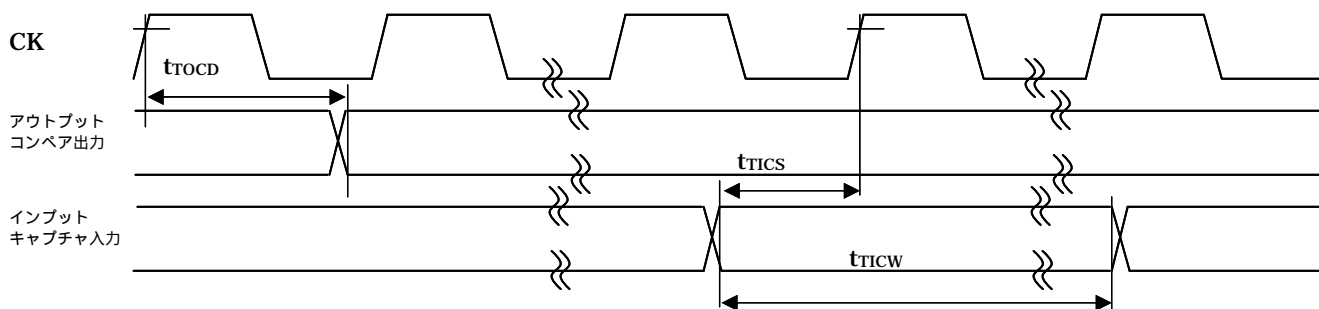


図 33.40(2) MTU2S 入出力タイミング

以上