

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A601A/J	Rev.	第1版
題名	SH7125 グループ、SH7124 グループのハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> SH7125 グループ SH7124 グループ 	対象ロット等	関連資料	<ul style="list-style-type: none"> SH7125 グループ、SH7124 グループ ハードウェアマニュアル (RJJ09B0249-0200H Rev.2.00) 	
	全ロット				

SH7125 グループ、SH7124 グループのハードウェアマニュアルについて誤記がございましたので、訂正のご連絡を致します。詳細は、以下をご参照ください。

<誤記訂正内容>

「第2章 CPU」表 2.12 算術演算命令の SUV Rm,Rn 命令の T ビットの説明を以下のように修正します。

【変更前】

命令	命令コード	動作	実行ステート	T ビット
SUBV Rm,Rn	0011nnnnmmmm1011	Rn - Rm → Rn, アンダフロー→T	1	オーバフロー

【変更後】

命令	命令コード	動作	実行ステート	T ビット
SUBV Rm,Rn	0011nnnnmmmm1011	Rn - Rm → Rn, アンダフロー→T	1	アンダフロー

「第4章 クロック発信器(CPG)」4. 1 特長の2行目について以下のように修正します。

【変更前】

CPU、キャッシュで使用する内部クロック(IΦ)と、周辺モジュールで使用する周辺クロック(PΦ)、内部バスクロック(BΦ=CK)を独立に生成できます。

【変更後】

CPU で使用する内部クロック(IΦ)と、周辺モジュールで使用する周辺クロック(PΦ)、内部バスクロック(BΦ=CK)を独立に生成できます。

「第4章 クロック発信器(CPG)」 P4-6 表 4.4 の注記 2 を以下のように修正します。

【変更前】

PLL 回路の 8 倍の通倍率を掛けた周波数になります。この周波数は 50MHz 以下で使用してください。

【変更後】

PLL 回路の 8 倍の通倍率を掛けた周波数になります。

「第4章 クロック発信器(CPG)」 の 4.4.1 周波数制御レジスタ(FRQCR)の 6、7 行目について以下のように修正します。

【変更前】

「なお、FRQCR を変更するときは、スタンバイコントロールレジスタ 2、3、4、5、6 のモジュールストップビットを 1 にして、各モジュールへのクロック供給を停止した状態で行ってください。」

【変更後】

「なお、FRQCR を変更するときは、CPU、内蔵 ROM、内蔵 RAM 以外の各モジュールへのクロック供給を停止した状態で行ってください。」

「第4章 クロック発信器(CPG)」 の 4.4.1 周波数制御レジスタ(FRQCR)のビット説明に以下の説明を追加します。

【変更前】

ビット	ビット名	初期値	R/W	説明
14~12	IFC[2:0]	011	R/W	内部クロック(IΦ)周波数の分周率 PLL 回路の出力周波数に対しての内部クロック(IΦ)の分周率を指定します。
11~9	BFC[2:0]	011	R/W	バスクロック(BΦ)周波数の分周率 PLL 回路の出力周波数に対してのバスクロック(BΦ)の分周率を指定します。ただし、周辺クロック(PΦ)と同じ設定をしてください。
8~6	PFC[2:0]	011	R/W	周辺クロック(PΦ)周波数の分周率 PLL 回路の出力周波数に対しての周辺クロック(PΦ)の分周率を指定します。
2~0	MFC[2:0]	011	R/W	MTU2 クロック(MPΦ)周波数の分周率 PLL 回路の出力周波数に対しての MTU2 クロック(MPΦ)の分周率を指定します。

【変更後】

ビット	ビット名	初期値	R/W	説明
14~12	IFC[2:0]	011	R/W	内部クロック(IΦ)周波数の分周率 PLL 回路の出力周波数に対しての内部クロック(IΦ)の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保障しません。
11~9	BFC[2:0]	011	R/W	バスクロック(BΦ)周波数の分周率 PLL 回路の出力周波数に対してのバスクロック(BΦ)の分周率を指定します。ただし、周辺クロック(PΦ)と同じ設定をしてください。設定禁止の値を設定した場合、以後の動作は保障しません。
8~6	PFC[2:0]	011	R/W	周辺クロック(PΦ)周波数の分周率 PLL 回路の出力周波数に対しての周辺クロック(PΦ)の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保障しません。
2~0	MFC[2:0]	011	R/W	MTU2 クロック(MPΦ)周波数の分周率 PLL 回路の出力周波数に対しての MTU2 クロック(MPΦ)の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保障しません。

「第4章 クロック発信器(CPG)」のP4-10 4.5 周波数変更方法の12行目について以下のように修正します。

【変更前】

4. FRQCR 設定後、ただちに設定されたクロックに切り替わります。

【変更後】

4. FRQCR 書き換え命令発行後、(1~24n)cyc + 11 BΦ + 7PΦ後に切り替わります。

n : FRQCR の BFC ビットで設定した分周率(1、1/2、1/4、1/8)

cyc : EXTAL を PLL で 8 通倍したクロック

【注】(1~24n)は内部状態により変わります。

「第5章 例外処理」の表 5.5 リセット状態について以下のように修正します。

【変更前】

種類	リセット状態への遷移条件			内部状態		
	RES	WDTオーバーフロー	MRES	CPU/INTC	内蔵周辺モジュール	POE、PFC、IOポート
パワーオンリセット	ロー	—	—	初期化	初期化	初期化
	ハイ	オーバーフロー	ハイ	初期化	初期化	初期化しない
マニュアルリセット	ハイ	オーバーフローしていない	ロー	初期化	初期化しない	初期化しない

【変更後】

種類	リセット状態への遷移条件			内部状態		
	RES	WDTオーバーフロー	MRES	CPU/INTC	内蔵周辺モジュール	POE、PFC、IOポート
パワーオンリセット	ロー	—	—	初期化	初期化	初期化
	ハイ	オーバーフロー	ハイ	初期化	初期化	初期化
マニュアルリセット	ハイ	オーバーフローしていない	ロー	初期化	初期化しない	初期化しない
	ハイ	オーバーフロー	ハイ	初期化	初期化しない	初期化しない

「第7章 ユーザブ레이크コントローラ(UBC)」P7-16 3行目を以下のように修正します。

【変更前】

このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで0にクリアされます。

【変更後】

このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、パワーオンリセット、またはマニュアルリセットで0にクリアされます。

「第7章 ユーザブレイクコントローラ(UBC)」 P7-17 3行目を以下のように修正します。

【変更前】

このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで0にクリアされます。

【変更後】

このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、パワーオンリセット、またはマニュアルリセットで0にクリアされます。

「第8章 バスステートコントローラ(BSC)」の表 8.2 内蔵周辺モジュールの接続バス幅とアクセスサイクルを以下のように修正します。

【変更前】

内蔵周辺モジュール	INTC	UBC	MTU2	POE2	WDT	SCI	ADC	CMT	PFC、 ポート
接続バス幅	16	16	16	16	16	8	16	16	16
アクセスサイクル数	$(1+n) \times Iclk + (1+m) \times Bclk + 2 \times Pclk$								

【変更後】

内蔵周辺モジュール	INTC	UBC	MTU2	POE2	WDT	SCI	ADC	CMT	PFC、 ポート	
接続バス幅	16	16	16	16	16	8	16	16	16	
アクセスサイクル数	ライト	$(3+n) \times Iclk + (1+m) \times Bclk + 2 \times Pclk$								
	リード	$(3+n) \times Iclk + (1+m) \times Bclk + 2 \times Pclk + 2 \times Iclk$								

「第8章 バスステートコントローラ(BSC)」の P8-2 4行目から11行目を下記のように追記修正します。

【変更前】

Lバスのアクセスは Iclk×1 サイクル、Iバスのアクセスは Bclk×1 サイクル、周辺バスのアクセスは Pclk×2 サイクルです。
 図 8.1 に Iclk:Bclk:Pclk=4:1:1そのため、Iclk:Bclk=4:1 のときは、(1+n)×Iclk, n=0 ~ 3 の期間で.....CPU からのアクセス時間は(1+n) × Iclk + 1 × Bclk + 2 × Pclk となります。

【変更後】

Lバスのアクセスは Iclk×1 サイクル、Iバスのアクセスは Bclk×1 サイクル、周辺バスのアクセスは Pclk×2 サイクルです。
 CPU が内蔵 I/O レジスタアクセスの場合、Lバスにデータ出力後、Iバスへのデータ転送準備に Iclk で 3 サイクル期間を必要とします。図 8.1 に Iclk:Bclk:Pclk=4:1:1そのため、Iclk:Bclk=4:1 のときは、(3+n) ×Iclk, n=0 ~ 3 の期間で.....CPU からのアクセス期間は(3+n) × Iclk + 1 × Bclk + 2 × Pclk となります。

「第8章 バスステートコントローラ(BSC)」の P8-3 3行目から9行目を下記のように追記修正します。

【変更前】

Iclk:Bclk=1:1 のときは Lバスから Iバスへのデータ転送は Iclk + Bclk 期間必要になります。.....そのため、
 Bclk:Pclk=4:1 のときは、 $(1+m) \times Iclk$ 図 8.2 では、Iclk:Bclk=1:1 であるため、CPU からのアクセス時間は $1 \times Iclk + (1+m) \times Bclk + 2 \times Pclk$ となります。

【変更後】

Iclk:Bclk=1:1 のときは Lバスから Iバスへのデータ転送は $3 \times Iclk + Bclk$ 期間必要になります。.....そのため、
 Bclk:Pclk=4:1 のときは、 $(1+m) \times Bclk$ 図 8.2 では、Iclk:Bclk=1:1 であるため、CPU からのアクセス期間は $3 \times Iclk + (1+m) \times Bclk + 2 \times Pclk$ となります。

「第8章 バスステートコントローラ(BSC)」の図 8.2 を下記のように追記修正します。

【変更前】

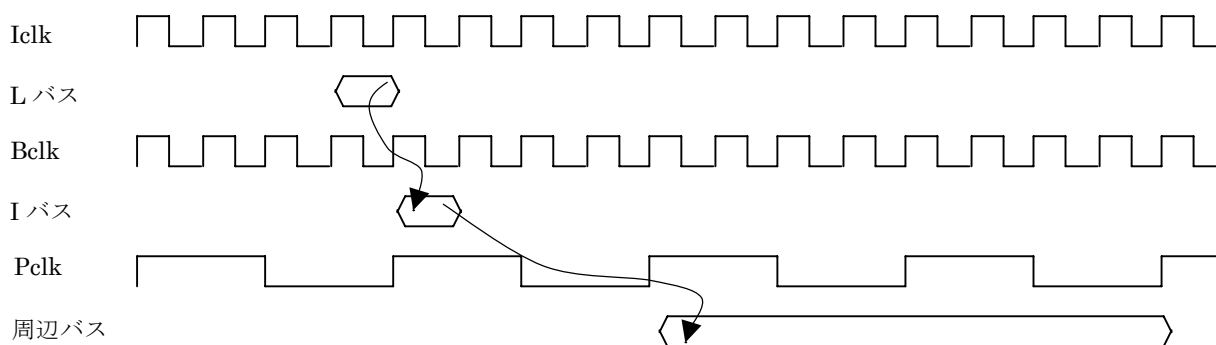


図 8.2 Iclk:Bclk:Pclk=4:4:1 の場合の周辺バスへのライトアクセスタイミング

【変更後】

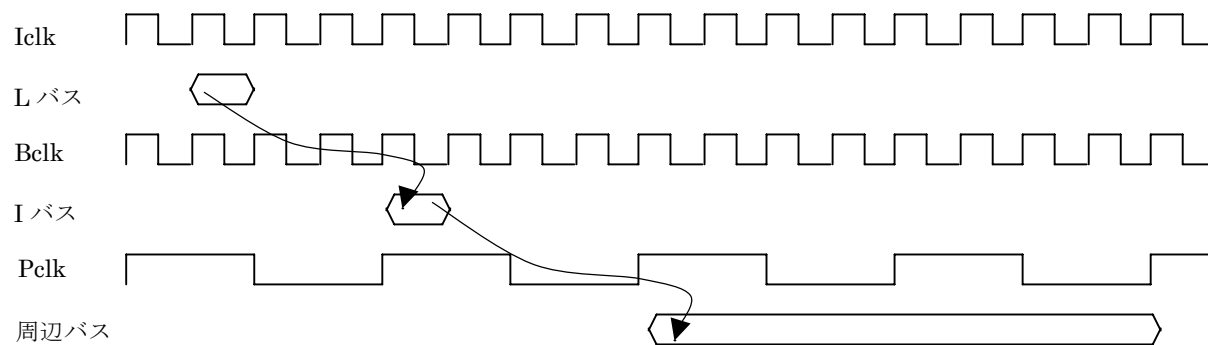


図 8.2 Iclk:Bclk:Pclk=4:4:1 の場合の周辺バスへのライトアクセスタイミング

「第8章 バスステートコントローラ(BSC)」 P8-3に追記します。

【変更後】

図 8.3 に $Iclk:Belk:Pclk=4:2:1$ の場合の周辺バスへのリードアクセスタイミングの一例を示します。Lバスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合には周辺バスに読み出した値を CPU まで転送する必要があります。周辺バスから Iバス、Iバスから Lバスへの転送も各バスクロックの立ち上がりに同期して行われますが、 $Iclk \geq Belk \geq Pclk$ のため、実際には $2 \times Iclk$ 期間を必要とします。図の例では $n=0, m=1$ であるため、アクセス期間は、 $3 \times Iclk + 2 \times Belk + 2 \times Pclk + 2 \times Iclk$ となります。

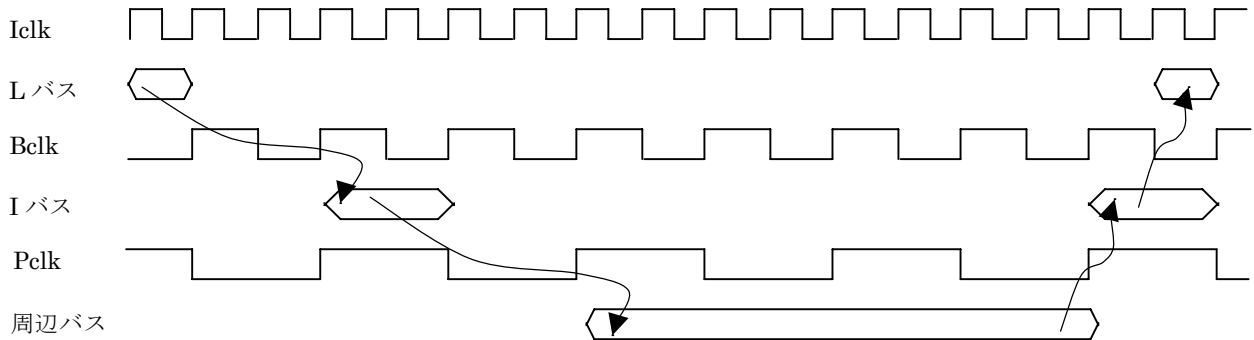


図 8.3 $Iclk:Belk:Pclk=4:2:1$ の場合の周辺バスへのリードアクセスタイミング

「第9章 マルチファンクションタイマパルスユニット2(MTU2)」 P9-35 表 9.28 に追記します。

【変更前】

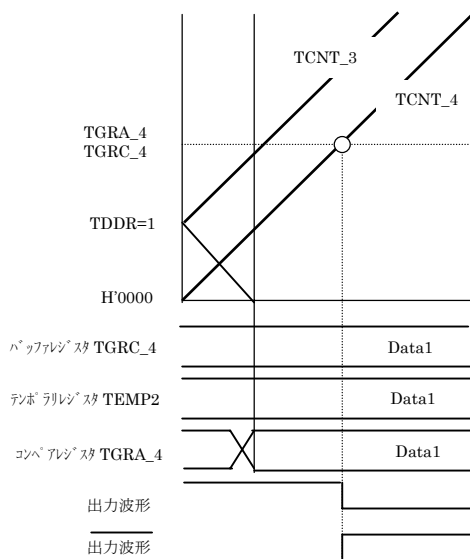
ビット4	ビット3	ビット2	ビット1	ビット0	説明	
1	1	0	0	1	インプットキャプチャレジスタ	外部入力信号 Low パルス幅測定用谷でキャプチャ
1	1	0	1	0		外部入力信号 Low パルス幅測定用山でキャプチャ
1	1	0	1	1		外部入力信号 Low パルス幅測定用山と谷でキャプチャ
1	1	1	0	1		外部入力信号 High パルス幅測定用谷でキャプチャ
1	1	1	1	0		外部入力信号 High パルス幅測定用山でキャプチャ
1	1	1	1	1		外部入力信号 High パルス幅測定用山と谷でキャプチャ

【変更後】

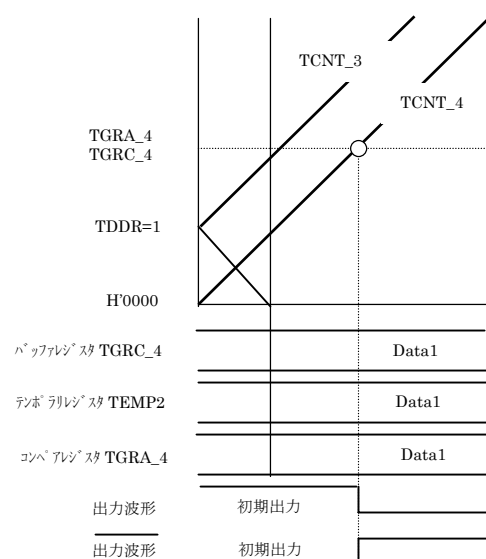
ビット4	ビット3	ビット2	ビット1	ビット0	説明	
1	1	0	0	1	インプットキャプチャレジスタ	外部入力信号 Low パルス幅測定用相補 PWM モードの谷でキャプチャ
1	1	0	1	0		外部入力信号 Low パルス幅測定用相補 PWM モードの山でキャプチャ
1	1	0	1	1		外部入力信号 Low パルス幅測定用相補 PWM モードの山と谷でキャプチャ
1	1	1	0	1		外部入力信号 High パルス幅測定用相補 PWM モードの谷でキャプチャ
1	1	1	1	0		外部入力信号 High パルス幅測定用相補 PWM モードの山でキャプチャ
1	1	1	1	1		外部入力信号 High パルス幅測定用相補 PWM モードの山と谷でキャプチャ

「第9章 マルチファンクションタイマパルスユニット2(MTU2)」 P9-112 図 9.41 を以下に修正します。

【変更前】

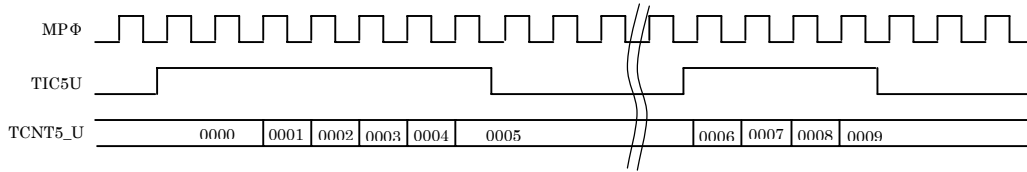


【変更後】

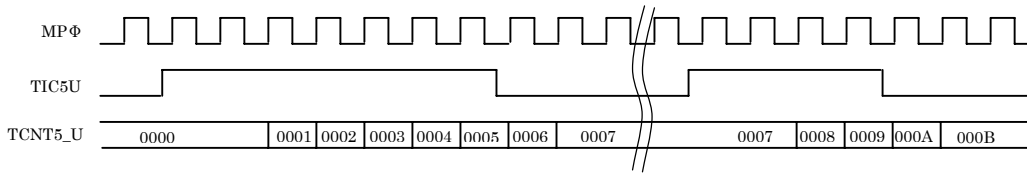


「第9章 マルチファンクションタイマパルスユニット 2(MTU2)」 P9-138 図 9.78 を以下に修正します。

【変更前】



【変更後】



「第9章 マルチファンクションタイマパルスユニット 2(MTU2)」 P9-171 9.7.22 カスケード接続における TCNT_1, TCNT_2 同時入力キャプチャの説明、 23 行目以降に下記説明を追記します。

【変更前】

.....もしくは TGRB_1 と TGRB_2 に転送すべきところを誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

【変更後】

.....もしくは TGRB_1 と TGRB_2 に転送すべきところを誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

MTU2 では、1 本の入力キャプチャ入力で TCNT_1 と TCNT_2 を同時にキャプチャできる機能を追加しており、本機能を使用すれば、TCNT_1 と TCNT_2 のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みをおこなうことができます。

「第10章 ポートアウトプットイネーブル(POE)」 P10-16 に使用上の注意事項を追記します。

【変更後】

10.6 使用上の注意事項

10.6.1 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

ウォッチドッグタイマ(WDT)からパワーオンリセットが発行されると、I/O ポートはピンファンクションコントローラ(PFC)が初期化され初期値である汎用入力になりますが、ポートアウトプットイネーブル(POE)による端子のハイインピーダンス処理中に WDT からパワーオンリセットが発行されると、汎用入力に切り替わるまでの周辺クロック(PΦ)1 サイクル期間、端子状態は出力となります。

MTU2 の短絡検出によるハイインピーダンス処理中に WDT からパワーオンリセットが発行された場合も、同じ状態になります。

図 10.5 にタイマ出力選択時の POE 入力によるハイインピーダンス処理中に WDT からパワーオンリセットが発行されたときの状態を示します。

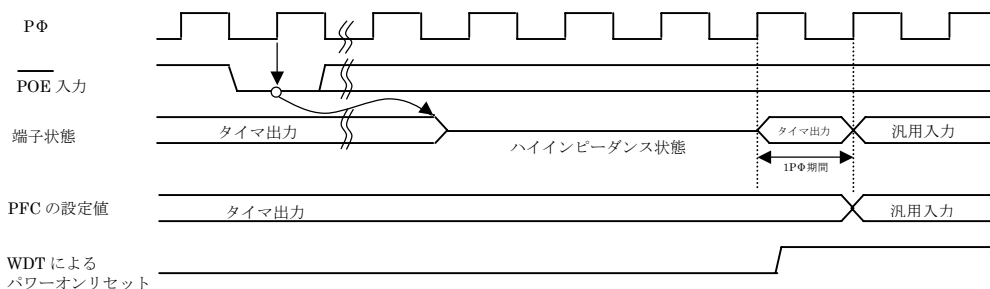
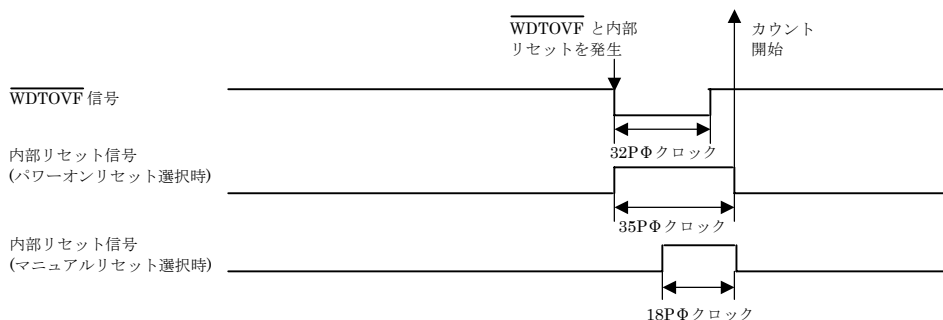


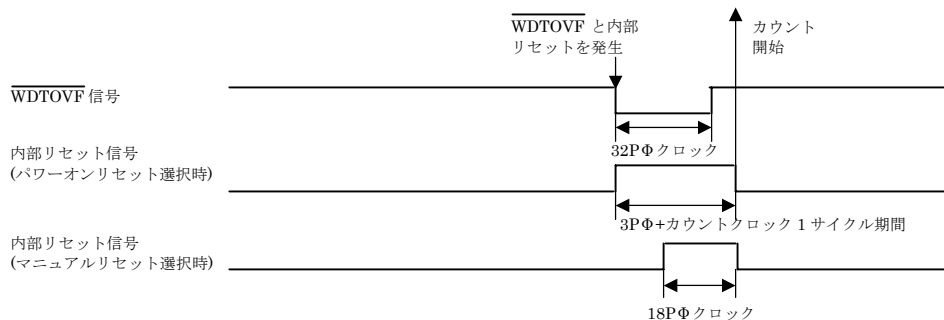
図 10.5 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

「第 11 章 ウォッチドッグタイマ(WDT)」の P11-9 .図 11.3 を以下のように修正します。

【変更前】



【変更後】



「第12章 シリアルコミュニケーションインターフェース(SCI)」の12.3.2 レシーブデータレジスタの記述を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-

【変更後】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R

「第12章 シリアルコミュニケーションインターフェース(SCI)」の12.3.4 トランスミットデータレジスタの記述を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-

【変更後】

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

「第12章 シリアルコミュニケーションインターフェイス(SCI)」の12.3.8 シリアルポートレジスタ(SCSPTR)における各ビットの説明表のビット2、ビット1、ビット0について以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
	EIO	—	—	—	SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値：	0	0	0	0	0	不定	0	不定
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																				
2	SPB1DT	不定	R/W	シリアルポートクロックポートデータ シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します(詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。 0：出力データがローレベル 1：出力データがハイレベル																				
1	SPB0IO	0	R/W	シリアルポートブレイク出力 SPB0DT ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。																				
0	SPB0DT	不定	R/W	シリアルポートブレイクデータ SPB0IO ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。ただし、PFC(ピンファンクションコントローラ)で TXD 端子機能を選択しておく必要があります。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPB0IO ビット 設定値</th> <th>SPB0DT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>設定禁止(初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table>	SCSCR の TE ビット 設定値	SPB0IO ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	*	設定禁止(初期状態)	0	1	0	ローレベル出力	0	1	1	ハイレベル出力	1	*	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット 設定値	SPB0IO ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態																					
0	0	*	設定禁止(初期状態)																					
0	1	0	ローレベル出力																					
0	1	1	ハイレベル出力																					
1	*	*	シリアルコア論理に従って送信データ出力																					

【注】 * Don't care

【変更後】

ビット：	7	6	5	4	3	2	1	0
	EIO	—	—	—	SPB1IO	SPB1DT	—	SPB0DT
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	—	—	—	R/W	R/W	—	R/W

ビット	ビット名	初期値	R/W	説明												
2	SPB1DT	0	R/W	シリアルポートクロックポートデータ シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します(詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。 0：出力データがローレベル 1：出力データがハイレベル												
1	—	0	—	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。												
0	SPB0DT	0	R/W	シリアルポートブレイクデータ SCSCR の TE ビットとあわせて、TXD 端子を制御します。ただし、PFC(ピンファンクションコントローラ)で TXD 端子機能を選択しておく必要があります。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPB0DT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ローレベル出力(初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table>	SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	ローレベル出力(初期状態)	0	1	ハイレベル出力	1	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態														
0	0	ローレベル出力(初期状態)														
0	1	ハイレベル出力														
1	*	シリアルコア論理に従って送信データ出力														

【注】 * Don't care

「第12章 シリアルコミュニケーションインターフェース(SCI)」P12-36の(2) クロックに追記します。

【変更前】

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。

【変更後】

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。ただし、受信動作のみの場合は、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。nキャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用するときは、RE=1かつTE=1としてから、nキャラクタ数のダミーデータ送信と同時にnキャラクタ数の受信を行うという手順でください。

「第13章 A/D変換器(ADC)」のP13-12 22行目から26行目と、P13-13 1行目から5行目、および16行目から26行目を削除します。また、P13-17に13.4.7 2チャンネルスキャンの項目を追記します。

【変更後】

13.4.7 2チャンネルスキャン

2チャンネルスキャンモードは、4チャンネルのアナログ入力をグループ0とグループ1に分けており、グループ0とグループ1に個別のトリガによる起動要因を選択できます。2チャンネルスキャンモードの変換終了割り込みは、グループ0もしくはグループ1の終了とグループ0とグループ1の終了後を選択できます。トリガによる変換開始を行う場合、ADSTRのグループ0とグループ1に別々の要因を設定してください。なお、グループ0の変換中にグループ1の変換要求が発生した場合、グループ1の変換要求は無視されます。グループ0のA/D変換開始要求にMTU2のTRG4AN、グループ1のA/D変換開始要求にMTU2のTRG4BNを設定した場合の動作例を図13.4に示します。

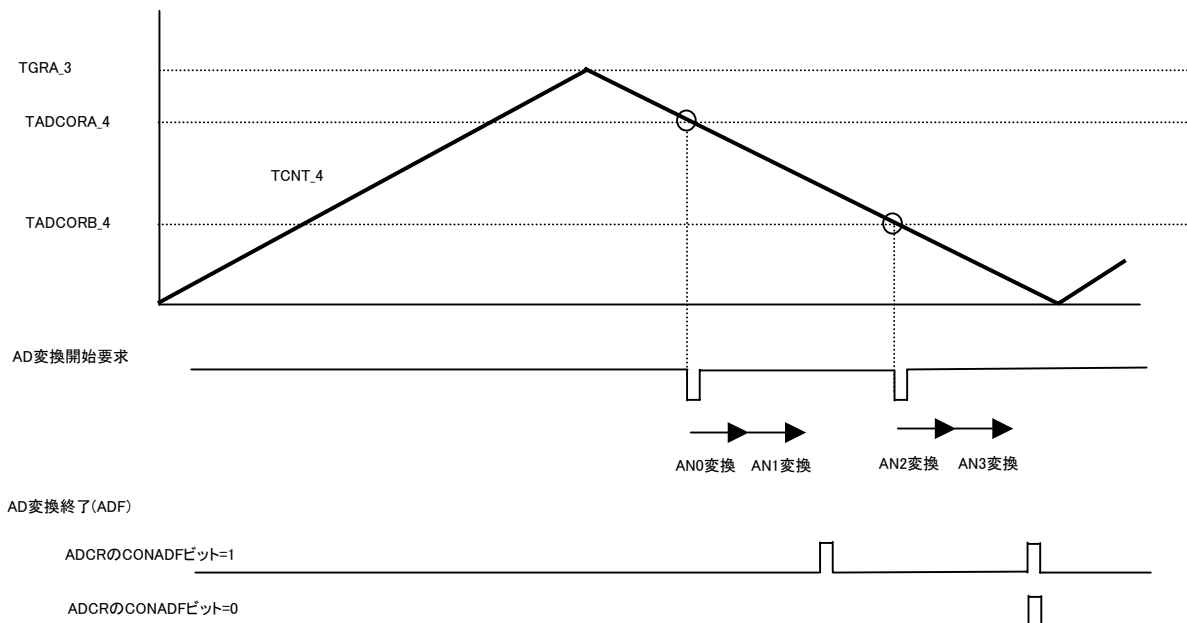


図 13.4 2チャンネルスキャンの動作例

「第13章 A/D変換器(ADC)」のP13-21 3行目を下記のように変更します。

【変更前】

A/D変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq VAN \leq AV_{CC}$ の範囲としてください。

【変更後】

A/D変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq VAN \leq AV_{ref}$ の範囲としてください

「第17章 フラッシュメモリ」 17.1 特長の P17-1 12,13 行目について以下のように修正します。

【変更前】

オフボードプログラミングモード

ライターモード

PROMライターを用いたライターモードで、ユーザマットの書き換えが可能です。

【変更後】

オフボードプログラミングモード

専用のソケットアダプタと PROMライターを用いて、ユーザマットの書き換えが可能です。

「第17章 フラッシュメモリ」 17.1 特長の P17-2 12 行目について以下のように修正します。

【変更前】

書き込み/消去時の動作周波数

書き込み/消去時の動作周波数は最大 40MHz です。

【変更後】

書き込み/消去時の動作周波数

書き込み/消去時の動作周波数は最大 40MHz(PΦ)です。

「第17章 フラッシュメモリ」 P17-4 17.2.2 動作モードの5行目を削除、および、図17.2、表17.1について以下のよう
に修正します。

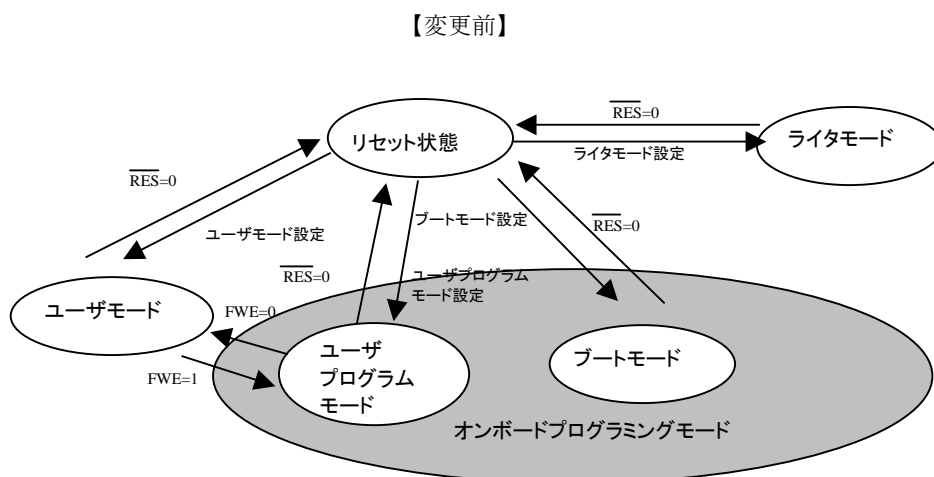


図 17.2 フラッシュメモリに関するモード遷移図

表 17.1 FWE 端子、MD 端子設定と動作モード

端子	リセット状態	ユーザモード	ユーザプログラムモード	ブートモード	ライターモード
RES	0	1	1	1	専用の PROM ライタの条件 によります
FWE	0/1	0	1	1	
MD1	0/1	1	1	0	

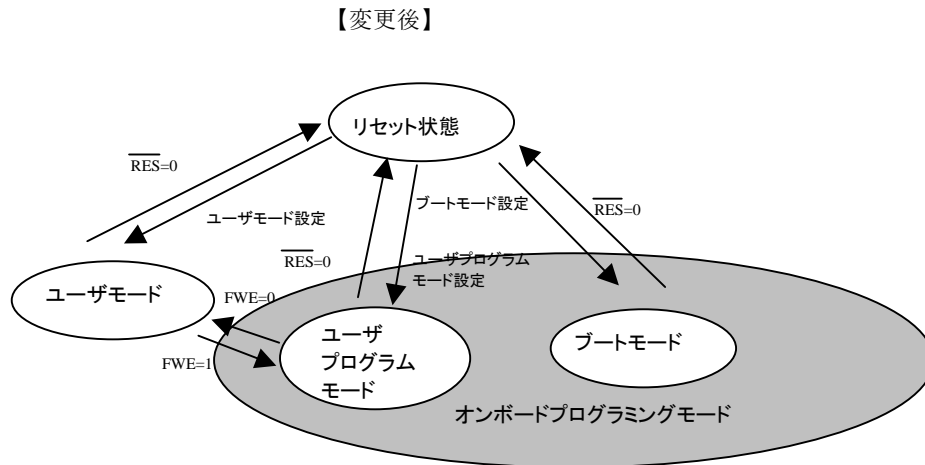


図 17.2 フラッシュメモリに関するモード遷移図

表 17.1 FWE 端子、MD 端子設定と動作モード

端子	リセット状態	ユーザモード	ユーザプログラムモード	ブートモード
RES	0	1	1	1
FWE	0/1	0	1	1
MD1	0/1	1	1	0

「第17章 フラッシュメモリ」 17. 2.3 モード比較 表 17.2 について以下のように修正します。

【変更前】

	ブートモード	ユーザプログラム モード	ライターモード
書き込み/消去環境	オンボードプログラミング		オフボードプログラミング

【変更後】

書き込み/消去環境	オンボードプログラミング		オフボードプログラミング
	ブートモード	ユーザプログラム モード	

「第17章 フラッシュメモリ」 P17-21 6 行目を以下のように修正します。

【変更前】

下位8ビット(A7 ~ A0) が、H'00 または H'80 のいずれかとしてください。

【変更後】

下位8ビット(MOA7 ~ MOA0) が、H'00 または H'80 のいずれかとしてください。

「第17章 フラッシュメモリ」 P17-34 5 行目および P17-38 5 行目に以下の説明を追記します。

【変更前】

.....また、周波数制御レジスタ(FRQCR)による内部クロック(IΦ)、バスクロック(BΦ)、周辺クロック(PΦ)の分周率の設定は、全て×1/4 (初期値) としてください。

【変更後】

.....また、周波数制御レジスタ(FRQCR)による内部クロック(IΦ)、バスクロック(BΦ)、周辺クロック(PΦ)の分周率の設定は、全て×1/4 (初期値) としてください。プログラムのダウンロードを終了し、SCO ビットが0にクリアされた後は、周波数制御レジスタ(FRQCR)の設定は任意の値に変更可能です。

「第17章 フラッシュメモリ」 P17-44 2 行目を以下のように修正します。

【変更前】

.....それぞれ最大で約 8ms のダウンロード時間となります。

【変更後】

.....それぞれ最大で約 10ms のダウンロード時間となります。

「第 17 章 フラッシュメモリ」 P17-44 13 行目を以下のように修正します。

【変更前】

以下のモード、または期間では、割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ・ ブートモード動作中
- ・ ライタモード動作中

【変更後】

以下のモード、または期間では、割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ・ ブートモード動作中

「第 17 章 フラッシュメモリ」 P17-52 13 行目を以下のように修正します。

【変更前】

- ・ SUM(1 バイト)：サムチェック

【変更後】

- ・ SUM(1 バイト)：チェックサム

「第 17 章 フラッシュメモリ」 P17-59 6 行目を以下のように修正します。

【変更前】

- ・ エラーレスポンス「H'C3」(1 バイト)：ユーザプログラム書き込み選択に対するエラー応答

【変更後】

- ・ エラーレスポンス「H'C3」(1 バイト)：ユーザマツ書き込み選択に対するエラー応答

「第 17 章 フラッシュメモリ」 P17-69 を以下に変更します。

【変更前】

17.9 ライタモード

ライタモードではソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み/消去を行うことができます。PROM ライタはルネサス 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプ(F-ZTATxxxx)をサポートしているライタを使用してください。

【変更後】

17.9 オフボードプログラミング

ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み/消去を行うことができます。PROM ライタはルネサス 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプ(FZTAT128DV5)をサポートしているライタを使用してください。

「第 18 章 RAM」 P18-2 に以下を追記します。

【変更後】

18.1.3 RAM の初期値

電源投入後、RAM への書き込みを行うまでは RAM の初期値は不定となります。

「第 19 章 低消費電力モード」 P19-7 スタンバイコントロールレジスタ 4 (STBCR4) のビット 4, 3 の説明を追記します。

【変更前】

ビット	ビット名	初期値	R/W	説明
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

【変更後】

ビット	ビット名	初期値	R/W	説明
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

「第 19 章 低消費電力モード」 P19-8 スタンバイコントロールレジスタ 5 (STBCR5) のビット 1, 0 の説明を以下に変更します。

【変更前】

ビット	ビット名	初期値	R/W	説明
1, 0	MSTP[25:24]	11	R/W	モジュールストップビット 25, 24 本ビットを 1 にセットすると UBS のクロックの供給を停止します。 00: UBC は動作 01: UBC へのクロック供給停止 10: UBC へのクロック供給停止 11: UBC へのクロック供給停止

【変更後】

ビット	ビット名	初期値	R/W	説明
1, 0	MSTP[25:24]	11	R/W	モジュールストップビット 25, 24 本ビットを 1 にセットすると UBS のクロックの供給を停止します。 00: UBC は動作 01: 設定禁止 10: 設定禁止 11: UBC へのクロック供給停止

「第19章 低消費電力モード」 P19-8 スタンバイコントロールレジスタ 6(STBCR6)のビット7の説明を追記します。

【変更前】

ビット	ビット名	初期値	R/W	説明
7	UBCRST	0	R/W	UBC ソフトウェアリセット UBC のリセットをソフトウェアで制御します。本ビットに 0 をライトすると UBC モジュールはパワーオンリセット状態になります。 0: UBC リセット状態にする 1: UBC のリセットを解除する

【変更後】

ビット	ビット名	初期値	R/W	説明
7	UBCRST	0	R/W	UBC ソフトウェアリセット UBC の PC トレース部のリセットをソフトウェアで制御します。本ビットに 0 をライトすると、UBC モジュールの PC トレース部は、パワーオンリセット状態になります。 0: UBC の PC トレース部をリセット状態にする 1: UBC の PC トレース部のリセットを解除する

「第19章 低消費電力モード」 P19-11 19.4.2 スリープモードの解除 (1)リセットによる解除に以下を追記します。

【変更後】

割り込みによるスリープモードの解除は行わないでください。

「第19章 低消費電力モード」 P19-15 2 行目に以下を追記します。

【変更後】

19.7.2 SLEEP 命令実行時

SLEEP 命令実行によるスリープモードもしくはソフトウェアスタンバイモードに遷移を行う場合は下記対策のどちらかを実施してください。

対策 A: SLEEP 命令実行前に内蔵周辺モジュールからの割り込み、IRQ 割り込み、NMI 割り込みを発生させたいようにしてから、SLEEP 命令を実行してください。

対策 B: SLEEP 命令実行前に FRQCR の値を初期値である H'36DB に書き換え、FRQCR を 2 回ダミーリードしてから、SLEEP 命令を実行してください。

「第21章 電気的特性」 P21-6 表 21.6 制御信号タイミングを以下に変更します。

【変更前】

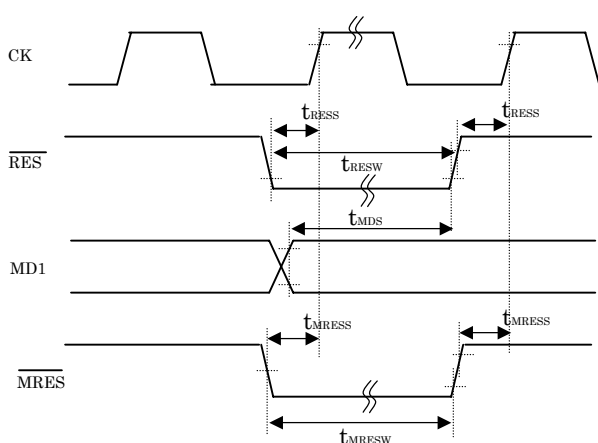
項目	記号	Min	Max	単位	参照図
MD1 セットアップ時間	t_{MDS}	20	-	ns	図 21.5

【変更後】

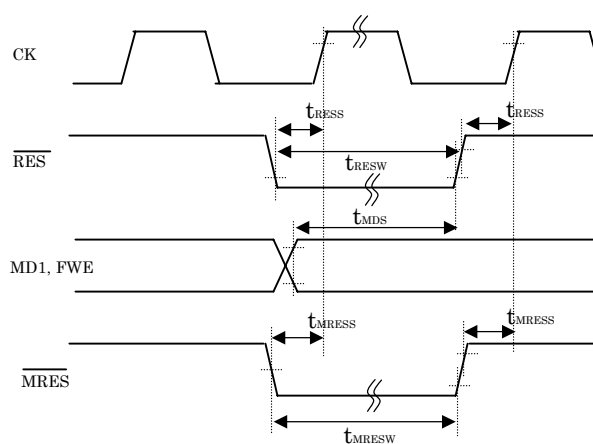
項目	記号	Min	Max	単位	参照図
MD1, FWE セットアップ時間	t_{MDS}	20	-	ns	図 21.5

「第21章 電気的特性」 P21-7 図 21.5 制御信号タイミングを以下に変更します。

【変更前】



【変更後】



「第21章 電気的特性」 P21-10 表 21.8 I/O ポートタイミングを以下に変更します。

【変更前】

項目	記号	Min	Max	単位	参照図
ポート入力 Low レベルパルス幅	t_{PRL}	2	-	t_{Pcyc}	図 21.10
ポート入力 High レベルパルス幅	t_{PRH}	2	-	t_{Pcyc}	

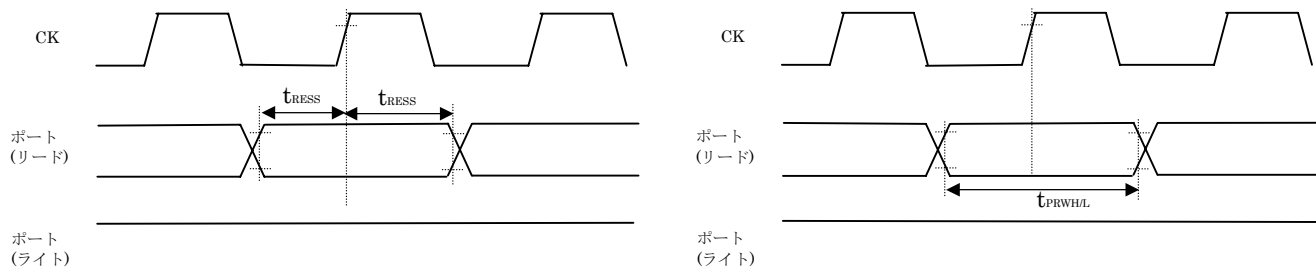
【変更後】

項目	記号	Min	Max	単位	参照図
ポート入力 Low レベルパルス幅	t_{PRWL}	2	-	t_{Pcyc}	図 21.10
ポート入力 High レベルパルス幅	t_{PRWH}	2	-	t_{Pcyc}	

「第21章 電気的特性」 P21-10 図 21.10 I/O ポート入出力タイミングを以下に変更します。

【変更前】

【変更後】



「第21章 電気的特性」 P21-12 表 21.10 シリアルコミュニケーションインターフェースタイミングを以下に変更します。

【変更前】

項目		記号	Min	Max	単位	参照図
送信データ遅延時間	クロック同期	t_{TXD}	-	$3t_{pcyc}+10$	ns	図 21.13
受信データセットアップ時間		t_{RXS}	$3t_{pcyc}+50$	-	ns	
受信データホールド時間		t_{RXH}	$3t_{pcyc}+50$	-	ns	

【変更後】

項目		記号	Min	Max	単位	参照図
送信データ遅延時間	クロック同期	t_{TXD}	-	$3t_{pcyc}+10$	ns	図 21.13
受信データセットアップ時間		t_{RXS}	$2t_{pcyc}+50$	-	ns	
受信データホールド時間		t_{RXH}	$2t_{pcyc}$	-	ns	

付録-5の表 B.1 の型名一覧について以下のように修正します。

【変更前】

表 B.1 型名一覧

製品分類		製品型名		パッケージ(パッケージコード)
SH7125	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71253N64FP	LQFP-64 (FP-64K)
		産業用途	R5F71253D64FP	
		民生用途	R5F71253N64FA	QFP-64 (FP-64A)
		産業用途	R5F71253D64FA	
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71252N64FP	LQFP-64 (FP-64K)
		産業用途	R5F71252D64FP	
		民生用途	R5F71252N64FA	QFP-64 (FP-64A)
		産業用途	R5F71252D64FA	
SH7124	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71243N48FP	LQFP-48 (FP-48F)
		産業用途	R5F71243D48FP	
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71242N48FP	
		産業用途	R5F71242D48FP	

【変更後】

表 B.1 型名一覧

製品分類		製品型名		パッケージ(パッケージコード)
SH7125	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71253N50FP	LQFP-64 (FP-64K)
		産業用途	R5F71253D50FP	
		民生用途	R5F71253N50FA	QFP-64 (FP-64H)
		産業用途	R5F71253D50FA	
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71252N50FP	LQFP-64 (FP-64K)
		産業用途	R5F71252D50FP	
		民生用途	R5F71252N50FA	QFP-64 (FP-64H)
		産業用途	R5F71252D50FA	
SH7124	フラッシュメモリ版 (128KB 内蔵品)	民生用途	R5F71243N50FP	LQFP-48 (FP-48F)
		産業用途	R5F71243D50FP	
	フラッシュメモリ版 (64KB 内蔵品)	民生用途	R5F71242N50FP	
		産業用途	R5F71242D50FP	

付録-5の図 C-2 の外形寸法図について以下のように修正します。

【変更前】

FP-64A / FP-64AV

【変更後】

FP-64H / FP-64HV