

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

平成 11年 11月26日

# — 日立マイクロコンピュータ技術情報 —

〒 100-0004

東京都千代田区大手町 2 丁目 6 番 2 号

(日本ビル)

TEL (03) 5201-5197 (ダイヤルイン)

株式会社 日立製作所 半導体グループ

題 目	SH7065 マニュアル訂正、追加について		発行番号	TN-SH7-198A	
			分 類	① 仕様変更 ② ドキュメント訂正追加等 ③ 使用上の注意事項	
適用 製品	HD64F7065S	対象ロット等	関連 資料	SH7065	有効期限
	HD6437065S	全ロット		ハードウエアマニュアル (ADJ-602-182(O))	永年
<p>拝啓、貴社益々ご清栄のこととお慶び申し上げます。また、日頃より格段のご愛顧を賜り深謝申し上げます。さて SH7065 に関して以下のマニュアル訂正、追加をいたしたく、よろしくご検討のほどお願いいたします。</p> <p><b>1. ソフトウェアスタンバイに関するマニュアル追加</b></p> <p>4.11.1 ソフトウェアスタンバイモードへの遷移</p> <p>バス権解放状態であるときにソフトウェアスタンバイモードへ遷移した場合、/BACK の端子状態は L 出力から H 出力になります。ただし、/BACK 以外の端子状態はバス権解放状態のままです。</p> <p>また、ソフトウェアスタンバイモード状態で、バス権開放要求信号(/BREQ)をローにアサートしても/BACK 端子は Z(ハイインピーダンス)のままです。/BACK 以外の端子状態は、バス権解放状態になります。また、上記のようにソフトウェアスタンバイにした後、/BREQ をローにアサートした状態でソフトウェアスタンバイを解除すると、/BACK は外部クロック(CKE)で 1.5 サイクル分 H 出力した後、L 出力になります。</p> <p><b>2. クロック発振器(CPG)と低消費電力モードに関するマニュアル訂正</b></p> <p>4.7 発振停止検出機能</p> <p>(訂正前)</p> <p>本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出してタイマ端子を自動的にハイインピーダンス状態にする機能が備わっています。すなわち、発振器の故障、外部クロックの停止、またはスタンバイ状態への遷移により EXTAL、CKIO が変化なかったことを検出した場合、MMT(モータマネジメントタイマ)の PD26/D26/PWOB/RxD3、PD25/D25/PVOB/TxD3、PD24/D24/PUOB/SCK3、PD22/D22/PWOA/SCK0、PD21/D21/PVOA/IRQ7、PD20/D20/PUOA/IRQ6、PE23/IRQ7/PWOB、PE22/IRQ6/PVOB、PE21/IRQ5/PUOB、PE19/IRQ3/PWOA、PE18/IRQ2/PVOA、PE17/IRQ1/PUOA/SCK0 の 12 端子をハイインピーダンスにします。ただし、PD26/D26/PWOB/RxD3、PD25/D25/PVOB/TxD3、PD24/D24/PUOB/SCK3、PD22/D22/PWOA/SCK0、PD21/D21/PVOA/IRQ7、PD20/D20/PUOA/IRQ6 は PFC の設定が MMT6 相出力端子に設定されているときのみハイインピーダンスになります。</p> <p>ただし、スタンバイ時以外の発振停止中はその他の LSI 動作は不定となります。また、スタンバイ以外で発振停止後、再度発振を開始すると、上記 12 端子を含めて LSI 動作は不定となります。再度動作させる場合は、必ずパワーオンリセットしてください。</p> <p>(訂正後)</p> <p>本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出してタイマ端子を自動的にハイインピーダンス状態にする機能が備わっています。すなわち、発振器の故障、外部クロックの停止により EXTAL、CKIO が変化なかったことを検出した場合、ポート E にマルチプレクスされている MMT6(モータマネジメントタイマ)6 相出力端子 *1 及び、ポート D にマルチプレクスされている MMT6 相出力端子 *2 をハイインピーダンスにします。</p> <p>ただし、ポート E にマルチプレクスされている MMT6 相出力端子とポート D にマルチプレクスされている MMT6 相出力端子では、ソフトウェアスタンバイ状態遷移時に、SBYCR(スタンバイコントロールレジスタ)のビット 6(HIZ ビット)の設定により、以下のように端子状態が異なりますのでご注意ください。</p> <p>(1) ポート E にマルチプレクスされている MMT6 相出力端子 SBYCR のビット 6 の設定、及び PFC 設定とは無関係にハイインピーダンス状態になります。</p> <p>(2) ポート D にマルチプレクスされている MMT6 相出力端子 PFC 設定でデータバス機能以外を選択の場合、SBYCR のビット 6 の設定が "1"(HIZ にする)の場合はハイインピーダンス状態になります。SBYCR のビット 6 の設定が "0" の場合、直前の端子状態を保持します。データバス機能を選択の場合は常にハイインピーダンス状態になります。</p> <p>ただし、スタンバイ時以外の発振停止中はその他の本 LSI の動作は不定となります。また、スタンバイ以外で発振停止後、再度発振を開始すると、上記 12 端子を含めて本 LSI の動作は不定となります。再度動作させる場合は、必ずパワーオンリセットしてください。</p> <p>[注] *1 PE23/IRQ7/PWOB、PE22/IRQ6/PVOB、PE21/IRQ5/PUOB、PE19/IRQ3/PWOA、PE18/IRQ2/PVOA、PE17/IRQ1/PUOA/SCK0 *2 PD26/D26/PWOB、PD25/D25/PVOB、PD24/D24/PUOB、PD22/D22/PWOA/SCK0、PD21/D21/PVOA/IRQ7、PD20/D20/PUOA/IRQ6</p>					

### 3. バスステートコントローラに関するマニュアル追加

#### 8.3.7 バスアービトレーション

バス権解放状態であるときにソフトウェアスタンバイモードへ遷移した場合、/BACK の端子状態は L 出力から H 出力になります。ただし、/BACK 以外の端子状態はバス権解放状態のままです。

また、ソフトウェアスタンバイモード状態で、バス権開放要求信号(/BREQ)をローにアサートしても/BACK 端子は Z(ハイインピーダンス)のままです。/BACK 以外の端子状態は、バス権解放状態になります。また、上記のようにソフトウェアスタンバイにした後、/BREQ をローにアサートした状態でソフトウェアスタンバイを解除すると、/BACK は外部クロック(CKE)で 1.5 サイクル分 H 出力した後、L 出力になります。

#### 8.5 使用上の注意

- (1) DRAM コントロールレジスタ 2(DCR2)の TCAS ビットにより、CAS アサート幅を 2 サイクルに設定した場合でも、アクセスサイズがバス幅を超える場合の 2 回目以降のアクセス(例えば 8 ビットバス幅の DRAM に対するロングワードアクセス時の、 $4n+1/4n+2/4n+3$  番地のアクセス)は、CAS アサート幅が 1 サイクルになります。
- (2) DRAM/EDO DRAM を RAS ダウンモードで使用する場合、以下の制限があります。
  - ・MΦ(マスタクロック(CKM))で分周した後のクロックが CKE(外部バスクロック)より遅い場合、RAS ダウンモードはサポートさせません。
  - ・ロウアドレスミス時、外部バスサイクル発生前に次にアクセスする空間の CS が 1 サイクルアサートされます。
  - ・CS4 空間アクセス時のロウアドレス値が、前回アクセスした CS5 空間のロウアドレス値と異なった場合、RAS1 はネゲートされます。
  - ・DMAC デュアルアドレスモードで、転送元が CS4/5 空間、転送先が他の CS 空間もしくは内蔵レジスタ空間時、転送先のロウアドレスに相当するビット値が、転送元のロウアドレス値と異なった場合、RAS1 はネゲートされます。
  - ・CPU から CS4/5 空間アクセス直後に DMAC がデュアルアドレスモードで起動し、転送元が他の CS 空間もしくは内蔵レジスタ空間時、転送元のロウアドレスに相当するビット値が、直前の CPU からの CS4/5 空間アクセスのロウアドレス値と異なった場合、RAS1 はネゲートされます。なお本現象は DMAC 起動直後の転送時のみに発生します。DMAC がバーストモード時の 2 回目以降の転送時は発生しません。
  - ・CPU から CS4/5 空間アクセス直後に DMAC がシングルアドレスモードで他の CS 空間アクセスで起動時、他の CS 空間のロウアドレスに相当するビット値が、直前の CPU からの CS4/5 空間アクセスのロウアドレス値と異なった場合、RAS1 はネゲートされます。なお本現象は DMAC 起動直後の転送時のみに発生します。DMAC がバーストモード時の 2 回目以降の転送時は発生しません。
- (3) バス権解放中に内蔵 RAM 空間への TAS 命令を実行した場合は/BACK が一旦ネゲートされ、実行終了後再びアサートされます。

## 5. DC特性(1)に関するマニュアル訂正

### 22.2 電気的特性

項目	記号	min	typ	max	単位	測定条件
消費電流	Icc	-	230	260	mA	
		-	160	240	mA	
		-	5	100	$\mu$ A	$T_a \leq 50^\circ\text{C}$
		-	-	800	$\mu$ A	$50^\circ\text{C} < T_a$
アナログ電源電流	Alcc	-	0.2	0.25	mA	A/D変換中
		-	0.1	0.1	$\mu$ A	A/D停止中

## 6. 電気的特性に関するマニュアル訂正

### 22.3.1 クロックタイミング

#### (変更前)

項目	記号	min	max	単位	参照図
動作周波数(マスタクロック)	fop	2	60	MHz	図22.2
クロックサイクル時間	t <sub>cy</sub>	16.7	500	ns	
クロックローレベルパルス幅	t <sub>CL</sub>	4.4	-	ns	
クロックハイレベルパルス幅	t <sub>CH</sub>	4.4	-	ns	
クロック立ち上がり時間	t <sub>or</sub>	-	4	ns	
クロック立ち下がり時間	t <sub>of</sub>	-	4	ns	
EXTAL/CKIO クロック入力周波数	fEX	2	30	MHz	図22.3
EXTAL/CKIO クロック入力サイクル時間	tEX <sub>cy</sub>	33.3	500	ns	
EXTAL/CKIO クロック入力ローレベルパルス幅	tEX <sub>L</sub>	11.6	-	ns	
EXTAL/CKIO クロック入力ハイレベルパルス幅	tEX <sub>H</sub>	11.6	-	ns	
EXTAL/CKIO クロック入力立ち上がり時間	tEX <sub>r</sub>	-	5	ns	
EXTAL/CKIO クロック入力立ち下がり時間	tEX <sub>f</sub>	-	5	ns	
リセット発振安定時間	tOSC1	10	-	ms	図22.4
スタンバイ復帰発振安定時間	tOSC2	10	-	ms	

#### (変更後)

項目	記号	min	max	単位	参照図
動作周波数(マスタクロック)	fop	20	60	MHz	図22.2
クロックサイクル時間	t <sub>cy</sub>	16.7	50	ns	
クロックローレベルパルス幅	t <sub>CL</sub>	4.4	-	ns	
クロックハイレベルパルス幅	t <sub>CH</sub>	4.4	-	ns	
クロック立ち上がり時間	t <sub>or</sub>	-	4	ns	
クロック立ち下がり時間	t <sub>of</sub>	-	4	ns	
EXTAL/CKIO クロック入力周波数	fEX	5	30	MHz	図22.3
EXTAL/CKIO クロック入力サイクル時間	tEX <sub>cy</sub>	33.3	200	ns	
EXTAL/CKIO クロック入力ローレベルパルス幅	tEX <sub>L</sub>	11.6	-	ns	
EXTAL/CKIO クロック入力ハイレベルパルス幅	tEX <sub>H</sub>	11.6	-	ns	
EXTAL/CKIO クロック入力立ち上がり時間	tEX <sub>r</sub>	-	5	ns	
EXTAL/CKIO クロック入力立ち下がり時間	tEX <sub>f</sub>	-	5	ns	
リセット発振安定時間	tOSC1	10	-	ms	図22.4
スタンバイ復帰発振安定時間	tOSC2	10	-	ms	

7. 端子状態に関するマニュアル訂正

B. 端子状態

(変更前)

端子機能		端子状態							
分類	端子名	リセット 状態	低消費電力状態			バス権 解放状態	バス権解 放状態で のソフト ウェアス タンバイ	バス権解 放状態で のハード ウェアス タンバイ	
			ソフト ウェア スタンバイ	ハード ウェア スタンバイ	スリープ				
クロック	CKIO	I/O/Z*1*2	I/L/Z*1*2	I/L/Z*1*2	I/O/Z*1*2	I/O/Z*1*2	I/L/Z*1*2	I/L/Z*1*2	
	EXTAL	I*1	I*1	I*1	I*1	I*1	I*1	I*1	
	XTAL	O*1	O*1	O*1	O*1	O*1	O*1	O*1	
	CK	O/Z*1*2	L/Z*1*2	L/Z*1*2	O/Z*1*2	O/Z*1*2	L/Z*1*2	L/Z*1*2	
	PLLCAP1,2	I/O	I/O	I/O	I/O	I/O	I/O	I/O	
システム制御	/RES	I	I	I	I	I	I	I	
	/WDTOVF	H	H	Z	O	O	H	Z	
	/BREQ	Z	Z	Z	I	I	Z	Z	
	/BACK	Z	Z	Z	O	L	Z	Z	
	/HSTBY	I	I	I	I	I	I	I	
動作モード 制御	MD0~5	I	I	I	I	I	I	I	
	FWE	I	I	I	I	I	I	I	
割り込み	NMI	I	I	Z	I	I	I	Z	
	/IRQ0~7	Z	I	Z	I	I	I	Z	
	/IRQOUT	Z	H*4	Z	O	O	H*4	Z	
アドレスバス	A0~25	O	Z	Z	O	Z	Z	Z	
データバス	D0~31	Z	Z	Z	I/O	Z	Z	Z	
バス制御	/BS	H*5	Z	Z	O	Z	Z	Z	
	/CS0	H*5	Z	Z	O	Z	Z	Z	
	/CS1~/OS5	Z	Z	Z	O	Z	Z	Z	
	/RD	H*5	Z	Z	O	Z	Z	Z	
	RDWR	Z	Z	Z	O	Z	Z	Z	
	/WRLL~ /WRHH /WRLL~ /WRHH	H*5	Z	Z	O	Z	Z	Z	
	/WAIT	Z	Z	Z	I	Z	Z	Z	
	/WR	Z	Z	Z	O	Z	Z	Z	
	/RAS0~ /RAS1	Z	Z/O*3	Z	O	Z/O*3	Z/O*3	Z	
	/CASHH0~ /CASLL0 /CASHH1~ /CASLL1	Z	Z/O*3	Z	O	Z/O*3	Z/O*3	Z	
	/OE0,1	Z	Z/O*3	Z	O	Z/O*3	Z/O*3	Z	
	/AH	Z	Z	Z	O	Z	Z	Z	
	DMAC	/DREQ0,1	Z	Z	Z	I	I	Z	Z
		/DRAK0,1	Z	O*4	Z	O	O	O*4	Z
		/DACK0,1	Z	O*4	Z	O	O	O*4	Z
		/TEND0,1	Z	O*4	Z	O	O	O*4	Z
	TPU	TCLKA~ TCLKD	Z	Z	Z	I	I	Z	Z
TIOC0A~ TIOC0D		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC1A~ TIOC1B		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC2A~ TIOC2B		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC3A~ TIOC3D		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC4A~ TIOC4B		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC5A~ TIOC5B		Z	K*4	Z	I/O	I/O	K*4	Z	

端子機能		端子状態						
分類	端子名	リセット 状態	低消費電力状態			バス権 解放状態	バス権解 放状態でのソフト ウェアスタンバイ	バス権解 放状態でのハード ウェアスタンバイ
			ソフト ウェア スタンバイ	ハード ウェア スタンバイ	スリープ			
MMT	PCIO	Z	K*4	Z	I/O	I/O	K*4	Z
	PUOA~ PUOB	Z	Z*6	Z*6	O	O	Z*6	Z*6
	PVOA~ PVOB	Z	Z*6	Z*6	O	O	Z*6	Z*6
	PWOA~ PWOB	Z	Z*6	Z*6	O	O	Z*6	Z*6
	/POE0~ /POE3	Z	Z	Z	I	I	Z	Z
SCI	TxD0~ TxD2	Z	O*4	Z	O	O	O*4	Z
	RxD0~ RxD2	Z	Z	Z	I	I	Z	Z
	SCK0~ SCK2	Z	Z	Z	I/O	I/O	Z	Z
A/D変換器	AN0~AN7	Z	Z	Z	I	I	Z	Z
	/ADTRG	Z	Z	Z	I	I	Z	Z
D/A変換器	DA0,1	Z	O*4	Z	O	O	O*4	Z
I/Oポート	PAn	Z	K*4	Z	K	I/O	K*4	Z
	PBn	Z	K*4	Z	K	I/O	K*4	Z
	PCn	Z	K*4	Z	K	I/O	K*4	Z
	PDn	Z	K*4	Z	K	I/O	K*4	Z
	PEn	Z	K*4	Z	K	I/O	K*4	Z
	PFn	Z	K*4	Z	K	I/O	K*4	Z
	PGn	Z	K*4	Z	K	I/O	K*4	Z
	PHn	Z	K*4	Z	K	I/O	K*4	Z
	Pin	Z	Z	Z	I	I	Z	Z

I:入力

O:出力

H:ハイレベル出力

L:ローレベル出力

Z:ハイインピーダンス

K:入力端子はハイインピーダンス、出力端子は状態保持

【注】\*1 クロックモードに依存します。

\*2 レジスタ設定にしたがってZまたはOになります。

\*3 バスコントロールレジスタの設定にしたがってZまたはOになります。

\*4 スタンバイコントロールレジスタの設定にしたがってZまたはOになります。

\*5 内蔵ROM有効モード、及びシングルチップモード時はZになります。

\*6 PUOA,PVOA,PWOA,PUOB,PVOB,PWOBがマルチプレクスされている端子全てがZになります。

## (変更後)

端子機能		端子状態							
分類	端子名	リセット 状態	低消費電力状態			バス権 解放状態	バス権解 放状態で のソフト ウェアス タンバイ	バス権解 放状態で のハード ウェアス タンバイ	
			ソフト ウェア スタンバイ	ハード ウェア スタンバイ	スリープ				
クロック	CKIO	I/O/Z*1*2	I/L/Z*1*2	I/L/Z*1*2	I/O/Z*1*2	I/O/Z*1*2	I/L/Z*1*2	I/L/Z*1*2	
	EXTAL	I*1	I*1	I*1	I*1	I*1	I*1	I*1	
	XTAL	O*1	O*1	O*1	O*1	O*1	O*1	O*1	
	CK	O/Z*1*2	L/Z*1*2	L/Z*1*2	O/Z*1*2	O/Z*1*2	L/Z*1*2	L/Z*1*2	
	PLLCAP1,2	I/O	I/O	I/O	I/O	I/O	I/O	I/O	
システム制御	/RES	I	I	I	I	I	I	I	
	/WDTOVF	H	H	Z	O	O	H	Z	
	/BREQ	Z	Z	Z	I	I	Z	Z	
	/BACK	Z	Z	Z	H	L	Z/H*7	Z	
	/HSTBY	I	I	I	I	I	I	I	
動作モード 制御	MD0~5	I	I	I	I	I	I	I	
	FWE	I	I	I	I	I	I	I	
割り込み	NMI	I	I	I	I	I	I	I	
	PE23~21,19~ 17の/IRQn	Z	Z	Z	I	I	Z	Z	
	その他の /IRQ0~7	Z	I	Z	I	I	I	Z	
	/IRQOUT	Z	H*4	Z	O	O	H*4	Z	
アドレスバス	A0~25	O	Z	Z	O	Z	Z	Z	
データバス	D0~31	Z	Z	Z	I/O	Z	Z	Z	
バス制御	/BS	H*5	Z	Z	O	Z	Z	Z	
	/CS0	H*5	Z	Z	O	Z	Z	Z	
	/CS1~CS5	Z	Z	Z	O	Z	Z	Z	
	/RD	H*5	Z	Z	O	Z	Z	Z	
	RDWR	Z	Z	Z	O	Z	Z	Z	
	/WRLL~ /WRHH /WRLL~ /WRHH	H*5	Z	Z	O	Z	Z	Z	
	/WAIT	Z	Z	Z	I	Z	Z	Z	
	/WR	Z	Z	Z	O	Z	Z	Z	
	/RAS0~ /RAS1	Z	Z/O*3	Z	O	Z/O*3	Z/O*3	Z	
	/CASH0~ /CASLL0 /CASH1~ /CASLL1	Z	Z/O*3	Z	O	Z/O*3	Z/O*3	Z	
	/OE0,1	Z	Z/O*3	Z	O	Z/O*3	Z/O*3	Z	
	/AH	Z	Z	Z	O	Z	Z	Z	
	DMAC	/DREQ0,1	Z	Z	Z	I	I	Z	Z
		/DRAK0,1	Z	Z	Z	O	O	Z	Z
		/DACK0,1	Z	O*4	Z	O	O	O*4	Z
		/TEND0,1	Z	O*4	Z	O	O	O*4	Z
	TPU	TCLKA~ TCLKD	Z	Z	Z	I	I	Z	Z
TIOC0A~ TIOC0D		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC1A~ TIOC1B		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC2A~ TIOC2B		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC3A~ TIOC3D		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC4A~ TIOC4B		Z	K*4	Z	I/O	I/O	K*4	Z	
TIOC5A~ TIOC5B		Z	K*4	Z	I/O	I/O	K*4	Z	



端子機能 分類	端子名	リセット 状態	端子状態						
			低消費電力状態			バス権 解放状態	バス権解 放状態で のソフト ウェアス タンバイ	バス権解 放状態で のハード ウェアス タンバイ	
			ソフト ウェア スタンバイ	ハード ウェア スタンバイ	スリープ				
MMT	PCIO	Z	K*4	Z	I/O	I/O	K*4	Z	
	PUOA(PD20), PUOB(PD24)	Z	O*4	Z	O	O	O*4	Z	
	PVOA(PD21), PVOB(PD25)	Z	O*4	Z	O	O	O*4	Z	
	PWOA(PD22), PWOB(PD26)	Z	O*4	Z	O	O	O*4	Z	
	PUOA(PE17), PUOB(PE21)	Z	Z*6	Z	O	O	Z*6	Z	
	PVOA(PE18), PVOB(PE22)	Z	Z*6	Z	O	O	Z*6	Z	
	PWOA(PE19), PWOB(PE23)	Z	Z*6	Z	O	O	Z*6	Z	
	/POE0~ /POE3	Z	Z	Z	I	I	Z	Z	
	SCI	TxD0~ TxD2	Z	O*4	Z	O	O	O*4	Z
		RxD0~ RxD2	Z	Z	Z	I	I	Z	Z
SCK0~ SCK2		Z	Z	Z	I/O	I/O	Z	Z	
A/D変換器	AN0~AN7	Z	Z	Z	I	I	Z	Z	
	/ADTRG	Z	Z	Z	I	I	Z	Z	
D/A変換器	DA0,1	Z	Z	Z	O	O	Z	Z	
I/Oポート	PAn	Z	K*4	Z	K	I/O	K*4	Z	
	PBn	Z	K*4	Z	K	I/O	K*4	Z	
	PCn	Z	K*4	Z	K	I/O	K*4	Z	
	PDn	Z	K*4	Z	K	I/O	K*4	Z	
	PE23-21,19-17	Z	Z	Z	K	I/O	Z	Z	
	その他のPEn	Z	K*4	Z	K	I/O	K*4	Z	
	PFn	Z	K*4	Z	K	I/O	K*4	Z	
	PGn	Z	K*4	Z	K	I/O	K*4	Z	
	PHn	Z	K*4	Z	K	I/O	K*4	Z	
	Pln	Z	Z	Z	I	I	Z	Z	

I:入力

O:出力

H:ハイレベル出力

L:ローレベル出力

Z:ハイインピーダンス

K:入力端子はハイインピーダンス、出力端子は状態保持

【注】\*1 クロックモードに依存します。

\*2 レジスタ設定にしたがってZまたはOになります。

\*3 バスコントロールレジスタの設定にしたがってZまたはOになります。

\*4 スタンバイコントロールレジスタの設定にしたがってZまたはOになります。

\*5 内蔵ROM有効モード、及びシングルチップモード時はZになります。

\*6 PUOA,PVOA,PWOA,PUOB,PVOB,PWOBがマルチプレクスされている端子全てがZになります。

\*7 バス権開放状態からソフトウェアスタンバイモードへ遷移した場合はHになります。

ソフトウェアスタンバイモード状態からバス権開放要求信号(/BREQ)をローにアサートした場合はZになります。

-以上-