

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 <http://japan.renesas.com/inquiry>
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A709A/J	Rev.	第1版
題名	SH705x SCI モジュールの SSR フラグビットクリア方法 制限事項追記		情報分類	技術情報	
適用製品	SH7055、SH7058、SH7058S、SH7059 グループ	対象ロット等 全ロット	関連資料	SH7055 グループ(RJJ09B0032-0200)、 SH7058 グループ(RJJ09B0019-0300)、 SH7058S、SH7059 グループ (RJJ09B0181-0300) ハードウェアマニュアル	

SCI モジュールのレジスタであるシリアルステータスレジスタ(以下略 SSR)に関して、フラグビットの TDRE/RDRF/ORER/FER/PER が、本来 CPU で "0" のみ書き込み可能な所、"1" が書き込める場合があります。これらフラグビットに対し、意図しない "1" の書き込みの防止方法に関し、ハードウェアマニュアルへ制限事項の追加変更を致しますので、ご案内申し上げます。

ハードウェアマニュアル変更内容

15.シリアルコミュニケーションインターフェース (SCI)

15.2.7 シリアルステータスレジスタ (SSR) のフラグビットクリア内容について下記の通り追記及び変更いたします。

【変更前】

- ・【注】* フラグをクリアするためには0のみ書き込むことができます。
- ・レジスタ説明文
~省略~ ただし、TDRE、RDRF、ORER、PER、FERの各ビットへ1を書き込む事はできません。また、これらを0にクリアする為には、あらかじめ1を読み出しておく必要があります。

【変更後】

- ・【注】* **1を読み出すと書き込み可能状態となり、0を読み出すと書き込み不可能状態となります。**
- ・レジスタ説明文
~省略~ ただし、TDRE、RDRF、ORER、PER、FERの各ビットは、**1を読み出すと書き込み可能状態となり、0を読み出すと書き込み不可能状態となります。書き込みによる意図しないフラグセットを抑制したい場合の例として、1を読み出してから次に0を読み出すまでの間、1書き込みを禁止するか、または、0クリア後に直ぐ0を読み出し、フラグクリア処理の時以外は常に書き込み不可能状態にしておく事で、抑制できます。**
- ・TDRE ビットのセット条件
(4) クリア条件の(1)の後、1を書き込んだとき
- ・RDRF、ORER、FER、PER ビットのセット条件
(2) クリア条件の(2)の後、1を書き込んだとき