

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

平成 12 年 4 月 7 日

# 日立マイクロコンピュータ技術情報

〒100-0004  
 東京都千代田区大手町2丁目6番2号  
 (日本ビル)  
 TEL (03)5201-5191 (ダイヤルイン)  
 株式会社 日立製作所 半導体グループ

題 目	SH7055F ハードウェアマニュアル 修正履歴について		発行番号	TN-SH7-223A		
			分 類	1. 仕様変更 ②. ドキュメント訂正追加等 3. 使用上の注意事項		
適 用 製 品	HD64F7055 HD64F7055R	対象ロット等	関連 資料	SH7055F-ZTAT ハードウェア マニュアル	Rev.	有効期限
		全ロット			第3版	永年

SH7055F ハードウェアマニュアルの第2版から第3版への修正内容についてまとめましたのでご報告いたします。あまりにもあきらかな誤字、脱字については本修正内容には記載しておりませんので、ご了承ください。

記号	説明	内容
A	記述削除	説明が重複している等で不要な記述を削除
B	記述追加	説明が不足している内容について記述の追加
C	TBD の値の記載	T.B.D.となっていた項目の記載
D	説明正確な表現に訂正	あいまい、またはわかりにくい表現で、異なる動作を推定させる記述を訂正
E	誤記訂正	誤記の訂正
F	仕様、スペック変更	仕様、スペックの変更

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
目次	目次	19.3 リアルタイムトレースモード.....	目次	目次	19.3 ブランチトレースモード.....	E
目次	目次	19.5.3 端子状態.....	目次	目次	(削除する)	A
6	1.1	表1.1 特長 BSC 3.3V/5V バスインターフェース	6	1.1	表1.1 特長 BSC 3.3V バスインターフェース	F
9	1.2	図1.1 SH7055ブロック図 PL10/HTxD0/HTxD1 PL11/HRxD0/HRxD1	9	1.2	図1.1 SH7055ブロック図 PL10/HTxD0/HTxD1/HTxD0 & HTxD1 PL11/HRxD0/HRxD1/HRxD0 & HRxD1	D
10	1.3.1	図1.2 ピン配置 PL10/HTxD0/HTxD1 PL11/HRxD0/HRxD1	10	1.3.1	図1.2 ピン配置 PL10/HTxD0/HTxD1/HTxD0 & HTxD1 PL11/HRxD0/HRxD1/HRxD0 & HRxD1	D
15	1.3.2	表1.2 端子の機能 名称:ATU-II アウトプットコンペア(チャンネル9)	15	1.3.2	表1.2 端子の機能 名称:ATU-II イベント入力(チャンネル9)	E
18	1.3.2	表1.2 端子の機能 記号:POD	18	1.3.2	表1.2 端子の機能 記号:/POD	E
26,27	1.3.3	表1.3 端子一覧 PL10/HTxD0/HTxD1 PL11/HRxD0/HRxD1	25	1.3.3	表1.3 端子一覧 PL10/HTxD0/HTxD1/HTxD0 & HTxD1 PL11/HRxD0/HRxD1/HRxD0 & HRxD1	D
71	4.1	【ご注意】本LSIのMCU拡張モード~必ずPVcc1=3.3V±0.3V で使用してください。	71	4.1	(削除)	A
71	4.1	(文章と表4.1に項目を追加)	71	4.1	文章「PVcc1の電源電圧は表4.1に示す範囲で使用して ください。」を追加、「表4.1 動作モードの選択」に PVcc1の電圧設定を追加	B
78,79,81	5.2.1	暫定推奨値	78,79,81	5.2.1	推奨値	F
78,79,81	5.3.1	T.B.D	78,79,81	5.3.1	(値を記述)	C
79	5.3.2	図5.5の場合、スタンバイモード時に外部クロックを止め る場合、ハイレベルになるようにしてください。	79	5.3.2	(削除)	F
81	5.4	発信安定用の容量C1および抵抗R1は、PLLおよびCAP端子の	81	5.4	発信安定用の容量C1および抵抗R1は、PLL&CAP端子の	E
85	6.1	割り込み 内蔵周辺モジュール コンペアマッチタイマ(CMT) A/D変換器(A/D) シリアルコミュニケーションインタフェース(SCI) 日立コントロールエリアネットワーク(HCAN) ウォッチドッグタイマ(WDT)	85	6.1	割り込み 内蔵周辺モジュール コンペアマッチタイマ(CMT0) A/D変換器(A/D0) コンペアマッチタイマ(CMT1) A/D変換器(A/D1) A/D変換器(A/D2) シリアルコミュニケーションインタフェース(SCI) 日立コントロールエリアネットワーク(HCAN0) ウォッチドッグタイマ(WDT) 日立コントロールエリアネットワーク(HCAN1)	D
100	6.7	表6.11 例外処理終了後のスタックの状態 一般不当命令 実行済み命令の次命令アドレス FPU例外 実行済み命令の次命令アドレス	100	6.7	表6.11 例外処理終了後のスタックの状態 一般不当命令 一般不当命令の次命令アドレス FPU例外 FPU例外命令の次命令アドレス	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
111	7.2.6	表7.3 割り込み例外ベクタと優先順位 ATU0/ATU01/ITV0, ITV1, ITV2	111	7.2.6	表7.3 割り込み例外ベクタと優先順位 ATU0/ATU01/ITV1, ITV2A, ITV2B	E
113	7.2.6	表7.3 割り込み例外ベクタと優先順位 ATU11/OVI1	113	7.2.6	表7.3 割り込み例外ベクタと優先順位 ATU11/OVI11	E
189	10.3.4	図10.5 デュアルアドレスモード、間接アドレスの動作説明 なお、外部と接続データバスが16ビットの場合、2回のバスサイクルを必要となります。	191	10.3.4	図10.5 デュアルアドレスモード、間接アドレスの動作説明 なお、外部メモリ空間にアクセスするときにデータバスが16ビット幅の場合、2回のバスサイクルが必要となります。	D
193	10.3.5	【注】 *2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元もATU、SCI、HCANOまたはA/D変換器の場合には、転送元または転送先がそれぞれATU、SCI、HCANOかA/D変換器である必要があります。	195	10.3.5	【注】 *2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元がSCI、HCANOまたはA/D変換器の場合には、転送元または転送先が転送要求元と同じである必要があります。	D
201	10.5	(11)アドレスリロードオンでDMAC実行中にNMI、AEのセットまたはDME、DE2のクリアによりDMAC転送が中断された場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。そうでないと正常に動作しない場合があります。	203	10.5	(11)アドレスリロードオンでDMAC実行中にNMI、AEのセットまたはDME、DEのクリアによりDMAC転送が中断された場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。そうでないと正常に動作しない場合があります。	E
201	10.5	(文章を追加)	203	10.5	(12)CHCR0～CHCR3のRS0～RS4ビットを要求なしに設定したまま、DEビットを1に設定しないでください。	B
214	11.1.3	表11.3 レジスタ構成 PSCR1 R/W、PSCR2 R/W、PSCR3 R/W、PSCR4 R/W	216	11.1.3	表11.3 レジスタ構成 PSCR1 W、PSCR2 W、PSCR3 W、PSCR4 W	F
221	11.1.4(1)	図11.1 ATU-11のブロック図(全体図) TSTR1,2,3: タイマスタートレジスタ(16ビット)	222	11.1.4(1)	図11.1 ATU-11のブロック図(全体図) TSTR1,2,3: タイマスタートレジスタ(8ビット)	E
221	11.1.4(1)	割り込み ITV0～ITV2、OVI0～OVI5(OVI1A,B,OVI2A,B)、IC10A～IC10D、IMI1A～IMI1H、CMI1、IMI2A～IMI2H、IMI3A～IMI3D、IMI4A～IMI4D、IMI5A、CMI16A～CMI16D、CMI17A～CMI17D、OS18A～OS18P、CMI9A～CMI9F、CMI10A、CMI10B、IMI10AG、IMI11A、IMI11B	222	11.1.4(1)	割り込み ITV0～ITV2、OVI0、OVI1A,B、OVI2A,B、OVI3～OVI5、IC10A～IC10D、IMI1A～IMI1H、CMI1、IMI2A～IMI2H、CMI2A～CMI2H、IMI3A～IMI3D、IMI4A～IMI4D、IMI5A～IMI5D、CMI16A～CMI16D、CMI17A～CMI17D、OS18A～OS18P、CMI9A～CMI9F、CMI10A、CMI10B、CMI10G、IMI11A、IMI11B	E
238	11.2.3	TCR11 内部クロック/外部クロック/TI10の入力クロックの選択。ただしPSCR1 PSCR4、TI10の入力クロックは削除	239	11.2.3	TCR11 内部クロック/外部クロックの選択	E
238	11.2.3	…、チャンネル1～5、11では内部クロックを使用するか、外部クロックを使用するかを選択を行います。	239	11.2.3	…、チャンネル1～5、11では内部クロックを使用するか、外部クロックを使用するかを選択を行います。チャンネル6～8では内部のクロックの選択を行います。チャンネル9では外部クロックの選択を行います。	B
246	11.2.3	x=A、C、またはD	247	11.2.3	x=A、C、またはE	E
255	11.2.4(4)	インプットキャプチャ禁止(チャンネル3はチャンネル9のコンペアマッチによるインプットキャプチャ許可)	258	11.2.4(4)	インプットキャプチャ禁止(チャンネル3はチャンネル9のコンペアマッチによるインプットキャプチャ許可)(GRヘライトch3のみ不可)	B

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
279	11.2.5(4)	(ビット13 IMF5Dの"1"セット条件に追加)	281	11.2.5(4)	(3) GR5DがPWMモードで周期レジスタとして機能している場合、TCNT5=GR5Dになったとき	B
281	11.2.5(4)	(ビット8 IMF4Dの"1"セット条件に追加)	283	11.2.5(4)	(3) GR4DがPWMモードで周期レジスタとして機能している場合、TCNT4=GR4Dになったとき	B
283	11.2.5(4)	(ビット3 IMF3Dの"1"セット条件に追加)	286	11.2.5(4)	(3) GR3DがPWMモードで周期レジスタとして機能している場合、TCNT3=GR3Dになったとき	B
279-284	11.2.5(4)	ビット12-10、7-5、2-0に説明追加 ...コンペアマッチの発生を示すステータスフラグです。	281,282,284~287	11.2.5(4)	ビット12-10、7-5、2-0に説明追加 ...コンペアマッチの発生を示すステータスフラグです。 PWMモードではフラグはセットされません。	B
304	11.2.6(3)	TIER2Aのビット8 OVE1A	307	11.2.6(3)	TIER2Aのビット8 OVE2A	E
313	11.2.6(4)	TIER3のビット4、OVE3の説明 0:OVE3による割り込み要求(OVI3)を禁止 (初期値) 1:OVE3による割り込み要求(OVI3)を許可	317	11.2.6(4)	TIER3のビット4、OVE3の説明 0:OVF3による割り込み要求(OVI3)を禁止 (初期値) 1:OVF3による割り込み要求(OVI3)を許可	E
327	11.2.7(2)	ITVRR1のビット0、ITVE6の説明 0:TCNT0のビット6の立ち上がりで割り込み要求(ITV0)を禁止 1:TCNT0のビット6の立ち上がりで割り込み要求(ITV0)を許可	331	11.2.7(2)	ITVRR1のビット0、ITVE6の説明 0:TCNT0のビット6の立ち上がりで割り込み要求(ITV1)を禁止 1:TCNT0のビット6の立ち上がりで割り込み要求(ITV1)を許可	E
331	11.2.9	TMDRのビット7~3:予約ビット ビット7~3を読み出すと常に0が読み出されます。	336	11.2.9	TMDRのビット7~3:予約ビット ビット7~3を読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	B
336	11.2.11	また、クリアの場合はDCNTの値がアンダフローするタイミングで自動的に0にクリアされるか、トリガモードレジスタ(TRGMDR)で設定したチャンネル1、2のワンショットターミネートトリガ信号のいずれか先に発生した方でクリアされます。	341	11.2.11	また、DCNT8xのクリアの場合はDCNT8xの値がアンダフローするタイミングで自動的に0にクリアされるか、対応するワンショットパルスターミネートレジスタ(OTR)のビットが1の状態トリガモードレジスタ(TRGMDR)で設定したチャンネル1、2のワンショットターミネートトリガ信号が入力されるかいずれか先に発生した方でクリアされます。	D
355	11.2.14	(RLDENRに追加)	359	11.2.14	RLDENRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。	B
356	11.2.15	(TCNT0H、TCNTOLに追加)	360	11.2.15	タイムスタートレジスタ(TSTR1)の対応するビットを1にセットするとカウントを開始します。	B
357	11.2.15	(TCNT1A、1B、2A、2B、3~5、11に追加)	361	11.2.15	タイムスタートレジスタ(TSTR1、3)の対応するビットを1にセットするとカウントを開始します。	B
359	11.2.16(1)	また同時に、対応するチャンネル8のTSR8のステータスフラグが1にセットされます。	363	11.2.16(1)	また出力が反転すると同時に、対応するチャンネル8のTSR8のステータスフラグが1にセットされます。	D
364	11.2.21(1)	OSBR1、2はチャンネル0のインプットキャプチャレジスタ(ICROA)の入力をトリガ信号とし、エッジを検出するとTCNT1B、2Bの値を格納します。	370	11.2.21(1)	OSBR1、2はチャンネル0のインプットキャプチャレジスタ(ICROA)の入力をトリガ信号とし、エッジを検出するとTCNT1A、2Aの値を格納します。	E
370	11.2.26(1)(d)	また、TSTR1のSTR10ビットがカウンタ動作に設定されていない場合はTSTR10入力があってもカウントされません。	375	11.2.26(1)(d)	また、TSTR1のSTR10ビットがカウンタ動作に設定されていない場合はTSTR10入力があっても転送およびカウントされません。	B

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
374	11.2.26(2)(d)	インプットキャプチャレジスタ10A(ICR10A)にキャプチャ時に、キャプチャ値をT10R10のPIM1、0ビットで設定した通倍率で割った値が転送されます。	379	11.2.26(2)(d)	インプットキャプチャレジスタ10A(ICR10A)にTCNT10Aの値をキャプチャ時に、RLD10CにICR10Aのキャプチャ値をT10R10のPIM1、0ビットで設定した通倍率で割った値が転送されます。	B
374	11.2.26(2)(e)	GR10Gの各ビットの初期値の表示が"0"	379	11.2.26(2)(e)	GR10Gの各ビットの初期値の表示を"1"に変更	E
387	11.3.1(3)	ダウンカウンタ(DCNT8A~H)と組み合わせることにより、	393	11.3.1(3)	ダウンカウンタ(DCNT8I~P)と組み合わせることにより、	E
387	11.3.1(3)	その他チャンネル1には16ビットインプットキャプチャ専用レジスタ(OSBR2)を内蔵しています。	393	11.3.1(3)	その他チャンネル2には16ビットインプットキャプチャ専用レジスタ(OSBR2)を内蔵しています。	E
387	11.3.1(3)	チャンネル0の入力端子(T10A)が、同時にOSBR1のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。	393	11.3.1(3)	チャンネル0の入力端子(T10A)が、同時にOSBR2のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。	E
389	11.3.1(7)	イベントカウンタは対応するジェネラルレジスタと一致するとクリアされます。	395	11.3.1(7)	イベントカウンタは対応するジェネラルレジスタと一致した後にエッジが入力されるとクリアされます。	D
389	11.3(8)(a)	16ビットノイズキャンセラ用カウンタ(TCNT10H)および16ビットノイズキャンセラ用コンペアマッチレジスタ(NCR10)を内蔵しています。	395	11.3(8)(a)	8ビットノイズキャンセラ用カウンタ(TCNT10H)および8ビットノイズキャンセラ用コンペアマッチレジスタ(NCR10)を内蔵しています。	E
390	11.3(8)(a)	ただし、TSTR1のSTR10ビットがカウント動作にセットされていないければ、T110入力は無効となります。	396	11.3(8)(a)	(削除)	E
390	11.3(8)(a)	16ビットノイズキャンセラ用カウンタ(TCNT10H)と16ビットノイズキャンセラ用コンペアマッチレジスタ(NCR10)はノイズキャンセラが機能する時間を設定します。	396	11.3(8)(a)	8ビットノイズキャンセラ用カウンタ(TCNT10H)と8ビットノイズキャンセラ用コンペアマッチレジスタ(NCR10)はノイズキャンセラが機能する時間を設定します。	E
397	11.3.6	このときDCNT値は、そのときの値を保持します。	403	11.3.6	このときDCNT値は、H'0000にクリアされます。	E
397	11.3.6	DCNT8I~DCNT8Pには、リロードレジスタ(RLDR8)が接続されており、DCNT8I~DCNT8Pに対応するDSTRがセットされるとDCNT8I~DCNT8PはRLDR8をロードしてからダウンカウントを開始します。	403	11.3.6	DCNT8I~DCNT8Pには、リロードレジスタ(RLDR8)が接続されており、ワンショットパルススタートトリガによりDCNT8I~DCNT8Pに対応するDSTRがセットされるとDCNT8I~DCNT8PはRLDR8をロードしてからダウンカウントを開始します。	E
398	11.3.6	図11.17 オフセット付きワンショットパルス出力機能と出力遮断機能動作	404	11.3.6	(図の差し替え)	E
401	11.3.9	このときカウンタのステータスをTSR6にて示しますが、TCNT6がCYLR6に一致したとき、TIERの対応するビットを設定することによりCPUに割り込み要求することができます。	407	11.3.9	このときカウンタのステータスをTSR6にて示しますが、TCNT6がアンダフローしたとき、TIERの対応するビットを設定することによりCPUに割り込み要求することができます。	E
402	11.3.10	TCNTがデューティレジスタ(GR3A~GR3C、GR4A~GR4C、GR5A~GR5C)に達すると、コンペアマッチを発生し、タイムステータスレジスタ(TSR)の該当するビットをセットすると共に、外部端子に0を出力します。	408	11.3.10	TCNTがデューティレジスタ(GR3A~GR3C、GR4A~GR4C、GR5A~GR5C)に達すると、外部端子に0を出力します。対応するステータスフラグはセットされません。	E
402	11.3.10	タイムインタラプトイネーブルレジスタ(TIER)の対応するビットに1を設定しておく、と、周期、デューティいずれでもCPUに割り込み要求が可能です。	408	11.3.10	(削除)	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
402	11.3.10	(追加)	408	11.3.10	フリーランニングカウンタ初期値(H'0000)からカウンタを起動してPWM動作を行うと、1周期間PWM出力は行いません。すぐにPWM出力を行うには、フリーランニングカウンタに周期レジスタと同じ値をセットしてカウンタを起動してください。 また、周期レジスタにH'FFFFを設定してPWM動作を行うと、周期レジスタのコンペアマッチフラグとオーバーフローのフラグが同時にセットされます。	A
403	11.3.11	ECNT9はGR9に設定された値に一致するとクリアされ、再び外部端子にエッジが入力されるとカウントアップします。	409	11.3.11	ECNT9はGR9に設定された値に一致した後にエッジが入力されるとクリアされ、再び外部端子にエッジが入力されるとカウントアップします。	D
409	11.3.12(iii)	TCNT10Dは、AGCKでカウントアップされ、カウントアップ値はT10R10で設定された値により32、64、128、256となります。	415	11.3.12(3)	AGCKが入力されると、T10R10で設定された逡倍率でTCNT10Dを逡倍した値がTCNT10Eに転送されます。それと同時に、TCNT10Dはカウントアップを行います。	D
426	11.6(3)	TCNT10BとOCR10Bがコンペアマッチしたとき、コンペアマッチ信号が、チャンネル0のT10Dのインプットキャプチャ信号として、チャンネル0に送信されます。	432	11.6(3)	TCNT10BとOCR10Bがコンペアマッチしたとき、コンペアマッチ信号が、チャンネル0のICRODのインプットキャプチャ信号として、チャンネル0に送信されます。	E
430	11.6(7)	また、ポートのI0レジスタ(PxI0R)のビットを1に設定して出力属性にしてください。ただし、T103D、T104D、T105Dはタイマ出力として使用しないでください。	436	11.6(7)	また、ポートのI0レジスタ(PxI0R)のビットを1に設定して出力属性にしてください。	E
432	11.6(9)	チャンネル9のタイマコントロールレジスタ(TCR9A、B)のEGSELビットでイベントカウンタのカウントエッジを選択してください。	438	11.6(9)	チャンネル9のタイマコントロールレジスタ(TCR9A、B、C)のEGSELビットでイベントカウンタのカウントエッジを選択してください。	E
432	11.6(9)	(1)カウンタクロックの選択 (2)イベント回数の設定 (3)ポートとATU-IIの接続設定 (4)イベント入力開始	438	11.6(9)	(1)イベント回数の設定 (2)ポートとATU-IIの接続設定 (3)カウンタクロックの選択 (4)イベント入力開始	E
433	11.6(10)	チャンネル3のタイマI/Oコントロールレジスタ(TI0R3A、B)を設定し、ジェネラルレジスタ(GR3A~D)をインプットキャプチャレジスタに設定してください。	439	11.6(10)	チャンネル3のタイマI/Oコントロールレジスタ(TI0R3A、B)を設定し、ジェネラルレジスタ(GR3A~D)をインプットキャプチャ禁止に設定してください。TI03A~D端子からの入力をマスクします。	E
433	11.6(10)	(1)コンペアマッチの設定 (2)インプットキャプチャの設定 (3)ポートとATU-IIの接続設定 (4)カウント動作開始 (5)イベント入力開始	439	11.6(10)	(1)ポートとATU-IIの接続設定 (2)インプットキャプチャの設定 (3)コンペアマッチの設定 (4)カウント動作開始 (5)イベント入力開始	E
434	11.6(11)	(1)カウンタクロックの選択 (2)ポートとATU-IIの接続設定 (3)コンペアマッチの設定 (4)欠け歯タイミングの設定 (5)カウント動作開始	440	11.6(11)	(1)ポートとATU-IIの接続設定 (2)カウンタクロックの選択 (3)コンペアマッチの設定 (4)欠け歯タイミングの設定 (5)カウント動作開始	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
446	11.7(18)	図11.61 ソフトウェアスタンバイモード時の外部出力値の変化点 T10A~F1、T10A、B2	452	11.7(18)	図11.61 ソフトウェアスタンバイモード時の外部出力値の変化点 T101A~H、T102A~H、T1011A、B	E
447	11.7	(「(22)ATU端子の設定」を追加)	453	11.7(22)	(22)ATU端子の設定 ポートをATU端子機能に設定するとき、以下のことに注意して設定してください。インプットキャプチャ入力として使用するときは、対応するT10Rレジスタをインプットキャプチャ禁止の状態、ポートチャンネル10のT110入力については、TCR10がT110入力禁止の状態ポートを設定してください。外部クロック入力として使用するときは、対応するチャンネルのSTRビットがカウント動作停止の状態ポートを設定してください。イベント入力として使用する場合、対応するTCRレジスタがカウント動作禁止の状態ポートを設定してください。また、TCLKB、T110入力については複数端子に割り当てがありますが、TCLKB、T110入力を使用する場合は、一つの端子のみ有効にして使用してください。	B
448	11.8	表11.4 レジスタおよび端子の一覧表 TCNT(27)、ICR(10)、OCR(12)	454	11.8	表11.4 レジスタおよび端子の一覧表 TCNT(25)、ICR(5)、OCR(11)	E
448	11.8	表11.4 レジスタおよび端子の一覧表 (チャンネル10に追加)	454	11.8	表11.4 レジスタおよび端子の一覧表 チャンネル10 RLD10C、NCR10、TCCLR10	E
484	14.3.2	図14.3 カウントタイミング (「CMCNT入力クロック」の波形を修正)	491	14.3.2	図14.3 カウントタイミング 「CMCNT入力クロック」の一つ目の入力クロックの立ち上がりを半クロック遅らせる	E
485	14.4.2	図14.4 CMFのセットタイミング (「CMCNT」のクリアタイミングを修正)	492	14.4.2	図14.4 CMFのセットタイミング 「CMCNT」のクリアタイミングを「CMCNT入力クロック」の立ち下がりのタイミングにする	E
486	14.4.3	CMCSRレジスタのCMFビットは、1の状態を読み出したあとに0を書き込むか、DTC転送後のクリア信号によりクリアされます。	493	14.4.3	CMCSRレジスタのCMFビットは、1の状態を読み出したあとに0を書き込むことによりクリアされます。	E
499	15.2.5	パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードでH'00に初期化されます。マニュアルリセットでは初期化されません。	507	15.2.5	パワーオンリセット、およびハードウェアスタンバイモードでH'00に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。	F
502	15.2.6	パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードでH'00に初期化されます。マニュアルリセットでは初期化されません。	510	15.2.6	パワーオンリセット、およびハードウェアスタンバイモードでH'00に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。	F
510	15.2.8	パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時にH'00に初期化されます。マニュアルリセットでは初期化されません。	520	15.2.8	パワーオンリセット、およびハードウェアスタンバイモードでH'00に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。	F



第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
516	15.2.9	パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードでH'00に初期化されます。マニュアルリセットでは初期化されません。	526	15.2.9	パワーオンリセット、およびハードウェアスタンバイモードでH'00に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。	F
516	15.2.9	ビット2~0: 予約ビット 書き込む値は常に0にしてください。1を書き込んだ場合、動作の保証はできません。	526	15.2.9	ビット2: 予約ビット 書き込む値は常に0にしてください。1を書き込んだ場合、動作の保証はできません。 ビット1: 予約ビット 読み出すと常に1が読み出されます。書き込みは無効です。 ビット0: 予約ビット 書き込む値は常に0にしてください。1を書き込んだ場合、動作の保証はできません。	F
529	15.3.2(3)	図15.8 SCIの受信時の動作例(8ビットデータ/パリティあり/1ストップビットの例) (シリアルデータの2回目のストップビットを訂正)	539	15.3.2(3)	図15.8 SCIの受信時の動作例(8ビットデータ/パリティあり/1ストップビットの例) シリアルデータの2回目のストップビット"0"を"1"に訂正	E
548	15.5.3	15.5.3 ブレークの検出と処理について	559	15.5.3	15.5.3 ブレークの検出と処理について(調歩同期モードのみ)	B
548	15.5.4	15.5.4 ブレークの送り出し	559	15.5.4	15.5.4 ブレークの送り出し(調歩同期モードのみ)	B
555	16.1.3	端子とCANバスの間にはバスドライバが必要になります。Philips PCA82C50とコンパチブル名ものを推奨します。	567	16.1.3	端子とCANバスの間にはバスドライバが必要になります。Philips PCA82C250とコンパチブル名ものを推奨します。	E
557	16.1.4	表16.3 HCANレジスタ一覧 チャンネル0 ジェネラルステータスレジスタ GSR R/W	569	16.1.4	表16.3 HCANレジスタ一覧 チャンネル0 ジェネラルステータスレジスタ GSR R	E
559	16.1.4	表16.3 HCANレジスタ一覧 チャンネル1 ジェネラルステータスレジスタ GSR R/W	571	16.1.4	表16.3 HCANレジスタ一覧 チャンネル1 ジェネラルステータスレジスタ GSR R	E
562	16.2.2	ジェネラルステータスレジスタ(GSR)は8ビットの読み出し/書き込み可能なレジスタで、CANバスのステータスを示すものです。	575	16.2.2	ジェネラルステータスレジスタ(GSR)は8ビットの読み出し可能なレジスタで、CANバスのステータスを示すものです。	E
563	16.2.2	メッセージ送信をエラーなしに完了したことを示すフラグです。送信完了とはEOF(End Of Frame)後のIntermission3 bitの期間後のことです。	575	16.2.2	メッセージ送信期間中か否かを示すフラグです。「メッセージ送信期間中」とはメッセージ送信開始(SOF)からEOF(End Of Frame)後のIntermission 3ビットまでを表します。	D
563	16.2.2	(追加)	575,576	16.2.2	ビット3~0に「書き込みは無効です。」の記述を追加	B
565	16.2.3	ビットレート = fCLK / 2 × (BRP+1) × (1+TSEG1+TSEG2)	578	16.2.3	ビットレート [b/s] = fCLK / 2 × (BRP+1) × (3+TSEG1+TSEG2)	D
565	16.2.3	fCLK=P (周辺クロック( /2))	578	16.2.3	【注】 fCLK=P (周辺クロック( /2)) BRP、TSEG1、TSEG2はBCR値を使用。	D
565	16.2.3	1+TSEG1+TSEG2 = 8~25Time Quanta	578	16.2.3	3+TSEG1+TSEG2 = 8~25Time Quanta	D

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
565	16.2.3	表16.4 BCRのTSEG1、TSEG2の設定可能な範囲 (TSEG1の4～16、TSEG2の2～8の値の項目を表から削除) (注を追加)	578	16.2.3	表16.4 BCRのTSEG1、TSEG2の設定可能な範囲 (TSEG1の4～16、TSEG2の2～8の値の項目を表から削除) 【注】TSEG1、TSEG2のTime Quanta値はTSEG値+1となります。	D
570	16.2.7	送信アクノレッジレジスタ(TXCR)は16ビットの読み出し /書き込み可能なレジスタで、メールボックス(バッ ファ)内送信待ちメッセージの取り消しを制御するための	582	16.2.7	送信アクノレッジレジスタ(TXACK)は16ビットの読み出し/書き込み可能 なレジスタで、メールボックス(バッファ)のメッセージが正常に送信完 了したことを示すステータスフラグです。	E
570	16.2.7	HCANの対応するメールボックス(バッファ)内送信待ち メッセージの取り消しを制御します。	582	16.2.7	HCANの対応するメールボックスのメッセージが正常に送信完了したことを 示します。	E
572	16.2.9	受信完了レジスタ(RXPR)は16ビットの読み出し/書き込 み可能なレジスタで、メールボックス(バッファ)にメッ セージが正常に受信されたことを示すステータスフラグ	584	16.2.9	受信完了レジスタ(RXPR)は16ビットの読み出し/書き込み可能なレジス タで、メールボックス(バッファ)にメッセージ(データフレームまたはリ モートフレーム)が正常に受信されたことを示すステータスフラグです。	D
572	16.2.9	(レジスタの説明に追加)	584	16.2.9	なお、リモートフレーム受信の場合は対応するリモートリクエストレジ スタ(RFPR)も同時にセットされます。	B
573	16.2.10	(レジスタの説明に追加)	585	16.2.10	なお、本ビットがセットされると、対応する受信完了ビットが同時に セットされます。	B
576	16.2.11	(ビット8の説明に追加)	589	16.2.11	本ビットはインタラプトマスクレジスタ(IMR)ではマスク不可となってい ます。パワーオンリセット投入後、およびソフトウェアスタンバイ復帰 後、本ビットをクリアしない場合は、割り込みコントローラにて割り込 み許可するとたちに割り込み処理を行います。	B
576	16.2.11	(ビット8のビット状態が"1"の時の説明を変更) 1:パワーオンリセットおよびソフトウェアスタンバイ 投入(初期値)	589	16.2.11	(ビット8のビット状態が"1"の時の説明を変更) 1:パワーオンリセットおよびソフトウェアスタンバイ投入による割り 込み要求(OVR)(初期値)	B
579	16.2.13	ビット15:(IMR7) 0:CPUへのオーバロードフレーム/バスオフ復帰割り込み 要求を許可 1:CPUへのオーバロードフレーム/バスオフ復帰割り込み 要求を禁止	591	16.2.13	ビット15:(IMR7) 0:IRR7によるCPUへのオーバロードフレーム/バスオフ復帰割り込み要求 (OVR)を許可 1:IRR7によるCPUへのオーバロードフレーム/バスオフ復帰割り込み要求 (OVR)を禁止	B
579	16.2.13	ビット14:(IMR6) 0:CPUへのバスオフ割り込み要求を許可 1:CPUへのバスオフ割り込み要求を禁止	592	16.2.13	ビット14:(IMR6) 0:IRR6によるCPUへのバスオフ割り込み要求(ERS)を許可 1:IRR6によるCPUへのバスオフ割り込み要求(ERS)を禁止	B
579	16.2.13	ビット13:(IMR5) 0:CPUへのエラーパッシブ割り込み要求を許可 1:CPUへのエラーパッシブ割り込み要求を禁止	592	16.2.13	ビット13:(IMR5) 0:IRR5によるCPUへのエラーパッシブ割り込み要求(ERS)を許可 1:IRR5によるCPUへのエラーパッシブ割り込み要求(ERS)を禁止	B

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
580	16.2.13	ビット12 : (IMR4) 0:CPUへのRECエラーワーニング割り込み要求を許可 1:CPUへのRECエラーワーニング割り込み要求を許可	592	16.2.13	ビット12 : (IMR4) 0:IRR4によるCPUへのRECエラーワーニング割り込み要求(OVR)を許可 1:IRR4によるCPUへのRECエラーワーニング割り込み要求(OVR)を許可	B
580	16.2.13	ビット11 : (IMR3) 0:CPUへのTECエラーワーニング割り込み要求を許可 1:CPUへのTECエラーワーニング割り込み要求を許可	592	16.2.13	ビット11 : (IMR3) 0:IRR3によるCPUへのTECエラーワーニング割り込み要求(OVR)を許可 1:IRR3によるCPUへのTECエラーワーニング割り込み要求(OVR)を許可	B
580	16.2.13	ビット10 : (IMR2) 0:CPUへのリモートフレーム受信割り込み要求を許可 1:CPUへのリモートフレーム受信割り込み要求を許可	593	16.2.13	ビット10 : (IMR2) 0:IRR2によるCPUへのリモートフレーム受信割り込み要求(OVR)を許可 1:IRR2によるCPUへのリモートフレーム受信割り込み要求(OVR)を許可	B
580	16.2.13	ビット9 : (IMR1) 0:CPUへのメッセージ受信割り込み要求を許可 1:CPUへのメッセージ受信割り込み要求を許可	593	16.2.13	ビット9 : (IMR1) 0:IRR1によるCPUへのメッセージ受信割り込み要求(RM)を許可	B
581	16.2.13	ビット4 : (IMR12) 0:CPUへのバス動作割り込み要求を許可 1:CPUへのバス動作割り込み要求を許可	593	16.2.13	ビット4 : (IMR12) 0:IRR12によるCPUへのバス動作割り込み要求(OVR)を許可 1:IRR12によるCPUへのバス動作割り込み要求(OVR)を許可	B
581	16.2.13	ビット1 : (IMR9) 0:CPUへの未読メッセージオーバーライト割り込み要求を許可 1:CPUへの未読メッセージオーバーライト割り込み要求を許可	594	16.2.13	ビット1 : (IMR9) 0:IRR9によるCPUへの未読メッセージオーバーライト割り込み要求(OVR)を許可 1:IRR9によるCPUへの未読メッセージオーバーライト割り込み要求(OVR)を許可	B
581	16.2.13	ビット0 : (IMR8) 0:CPUへのメールボックス空き割り込みを許可 1:CPUへのメールボックス空き割り込みを許可	594	16.2.13	ビット0 : (IMR8) 0:IRR8によるCPUへのメールボックス空き割り込み要求(SLE)を許可 1:IRR8によるCPUへのメールボックス空き割り込み要求(SLE)を許可	B
582	16.2.16	(UMSRのレジスタの説明に追加)	595	16.2.16	なお、新規受信メッセージにより上書きされた場合は、古いデータは失われます。	B
583	16.2.17	ローカルアクセプタンスフィルタ(LAFML、LAFMH)は16ビットの読み出し/書き込み可能なレジスタで、受信専用メールボックス(RX0)に格納される受信メッセージをIdentifierによってフィルタリングするものです。	596	16.2.17	ローカルアクセプタンスフィルタ(LAFML、LAFMH)は16ビットの読み出し/書き込み可能なレジスタで、受信専用メールボックス(MC0、MDO)に格納される受信メッセージをIdentifierによってフィルタリングするものです。	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
583	16.2.17	LAFMH15(MSB) ~ LAFMH5(LSB) (スタンダード/エクステンデッドIdentifier用11ビット)となります。また、LAFMH1(MSB) ~ LAFML0(LSB) (エクステンデッドIdentifier用18ビット)となります。	596	16.2.17	LAFMH15(MSB) ~ LAFMH5(LSB)はスタンダード/エクステンデッドIdentifier用11ビットに対応しています。また、LAFMH1(MSB) ~ LAFML0(LSB)はエクステンデッドIdentifier用18ビットに対応しています。	D
584	16.2.17	LAFMHx、LAFMLx 0:RX0のメッセージIdentifierと受信メッセージIdentifierのビット一致によりRX0(受信専用メールボックス)に格納 1:RX0のメッセージIdentifierと受信メッセージIdentifierのビット一致に関わらずRX0(受信専用メールボックス)に格納	597	16.2.17	LAFMHx、LAFMLx 0:MCOのメッセージIdentifierと受信メッセージIdentifierのビット一致によりMCO、MDO(受信専用メールボックス)に格納 1:MCOのメッセージIdentifierと受信メッセージIdentifierのビット一致に関わらずMCO、MDO(受信専用メールボックス)に格納	E
585	16.2.18	(レジスタ一覧の図の、MCx[1]のビット7~4、MCx[2] ~ MCx[4]のビット7~0、MCx[5]のビット2の、ビット名が表記されているところの "-" を取る)	598	16.2.18	(削除)	D
585	16.2.18	MCx[1] R/W: - - - - -	598	16.2.18	MCx[1] R/W: R/W R/W R/W R/W R/W R/W R/W R/W	E
585	16.2.18	MCx[1] ~ [8] 初期値: 不定	598	16.2.18	MCx[1] ~ [8] 初期値: -	E
588	16.2.19	(MDO ~ 15のレジスタ一覧表の修正)	602	16.2.19	MDO ~ 15のレジスタ一覧表を、他のレジスタ一覧表と同様の表記に変更	D
589	16.3.1	ただし、メールボックスは保持されます。	603	16.3.1	ただし、メールボックスは初期化されません。	D
589	16.3.2	ハードウェアリセット後は、初期設定として下記の処理を行ってください。 (1)HCAN端子のポート設定 (2)ビットレートの設定 .....	606	16.3.2	ハードウェアリセット後は、初期設定として下記の処理を行ってください。 (1)インタラプトレジスタ(IRR)のIRROビットのクリア (2)HCAN端子のポート設定 (3)ビットレートの設定 .....	B
591	16.3.1(2)	図16.3 ソフトウェアリセット時のフローチャート (フローチャートの訂正)	605	16.3.1(2)	図16.6 ソフトウェアリセット時のフローチャート (GSR3=0?の枠を太線(ユーザによる設定)に訂正)	E
591	16.3.2	図16.3 ソフトウェアリセット時のフローチャート HCANポート設定 BCRの設定 MBCRの設定 メールボックスの初期設定 メッセージ送信方式の設定 O.K. ?	605	16.3.2	図16.6 ソフトウェアリセット時のフローチャート IRROをクリア HCANポート設定 BCRの設定 MBCRの設定 メールボックスの初期設定 メッセージ送信方式の設定 O.K. ?	B
593	16.3(2)(b)	$TQ=(2*(BRP+1))/(fCLK/2)$	608	16.3(2)(b)	$TQ=(2 \times (BRP+1))/fCLK$ fCLK=P	D
594	16.3.3	ビットレート = $fCLK / 2 \times (BRP+1) \times (1+TSEG1+TSEG2)$	608	16.3.3	ビットレート [b/s] = $fCLK / 2 \times (BRP+1) \times (3+TSEG1+TSEG2)$	D
594	16.3.3	fCLK = P (周辺クロック : /2)	608	16.3.3	【注】fCLK=P (周辺クロック : /2) BRP、TSEG1、TSEG2はBCR値を使用。	D

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
597	16.3.3	(1)初期設定(ハードウェアリセット後のみ) -HCAN端子のポート設定 -ビットレートの設定	610	16.3.3	(1)初期設定(ハードウェアリセット後のみ) ・インタラプトレジスタ(IRR)のIRROビットのクリア ・HCAN端子のポート設定 ・ビットレートの設定	B
598	16.3.3(1)	(1)初期設定(ハードウェアリセット後のみ) 本設定は必ずHCANがビットコンフィギュレーションモード時に行ってください。  HCAN端子のポート設定	611	16.3.3(1)	(1)初期設定(ハードウェアリセット後のみ) 本設定は必ずHCANがビットコンフィギュレーションモードのときに行ってください。 (a)IRROビットをクリア パワーオンリセット投入後及びソフトウェアスタンバイ復帰後必ずリセット割り込みフラグ(IRRO)がセットされます。割り込み許可することで、ただちにHCANの割り込みが入るため、IRROをクリアしてください。 (b)HCAN端子のポート設定	B
599	16.3.3(1)	図16.6 送信時のフローチャート 初期設定(ハードウェアリセット後のみ) ・HCANポート設定 ・BCRの設定 ・MBCRの設定 ・メールボックスの初期設定 ・メッセージ送信方式の設定	612	16.3.3(1)	図16.6 送信時のフローチャート 初期設定(ハードウェアリセット後のみ) ・IRRをクリア ・HCANポート設定 ・BCRの設定 ・MBCRの設定 ・メールボックスの初期設定 ・メッセージ送信方式の設定	B
604	16.3.8	(1)初期設定(ハードウェアリセット後のみ) -HCAN端子のポート設定 -ビットレートの設定	617	16.3.4	(1)初期設定(ハードウェアリセット後のみ) ・インタラプトレジスタ(IRR)のIRROビットのクリア ・HCAN端子のポート設定 ・ビットレートの設定	B
605	16.3.4(1)	(1)初期設定(ハードウェアリセット後のみ) 本設定は必ずHCANがビットコンフィギュレーションモード時に行ってください。  HCAN端子のポート設定	618	16.3.4(1)	(1)初期設定(ハードウェアリセット後のみ) 本設定は必ずHCANがビットコンフィギュレーションモードのときに行ってください。 (a)IRROビットをクリア パワーオンリセット投入後及びソフトウェアスタンバイ復帰後必ずリセット割り込みフラグ(IRRO)がセットされます。割り込み許可することで、ただちにHCANの割り込みが入るため、IRROをクリアしてください。 (b)HCAN端子のポート設定	B
606	16.3.4(1)	図16.8 受信時のフローチャート 初期設定(ハードウェアリセット後のみ) ・HCANポート設定 ・BCRの設定 ・MBCRの設定 ・メールボックス(RAM)の初期設定	619	16.3.4(1)	図16.11 受信時のフローチャート 初期設定(ハードウェアリセット後のみ) ・IRROをクリア ・HCANポート設定 ・BCRの設定 ・MBCRの設定 ・メールボックス(RAM)の初期設定	B

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
607	16.3.4(2)	ただし、メールボックス0(MB0)はDon't Careを設定できるローカルアクセプタンスフィルタマスク(LAFM)が設けてあります。	620	16.3.4(2)	ただし、メールボックス0(MCO[x]、MDO[x])はDon't Careを設定できるローカルアクセプタンスフィルタマスク(LAFM)が設けてあります。	E
607	16.3.4(2)	ローカルアクセプタンスフィルタマスクはメールボックス0(MB0)のみ対応しており、	620	16.3.4(2)	ローカルアクセプタンスフィルタマスクはメールボックス0(MCO[x]、MDO[x])のみ対応しており、	E
616	16.4	図16.13 PCA82C250を用いたハイスピードインタフェース例	629	16.4	図16.16 PCA82C250を用いたハイスピードインタフェース例	E
617	16.5(1)	(「(1)リセット」に追加)	630	16.5(1)	また、パワーオンリセット投入後、及びソフトウェアスタンバイ復帰後必ずリセット割り込みフラグ(IRRO)がセットされます。本ビットはインタラプトマスクレジスタ(IMR)ではマスク負荷のため、フラグをクリアせずに割り込みコントローラでHCANの割り込み許可に設定すると、ただちにHCANの割り込みが入ります。したがって、初期化時にIRROをクリアしてください。	B
623	17.1.2	図17.1 A/D変換器のブロック図 端子：ADTRG0、ADTRG1	637	17.1.2	図17.1 A/D変換器のブロック図 端子：/ADTRG0、/ADTRG1	E
624	17.1.3	/ADTRG0、1	638	17.1.3	/ADTRG0、/ADTRG1	E
639	17.2.5	およびハードウェアスタンバイモード時にH'FFに初期化されます。	652	17.2.5	およびハードウェアスタンバイモード時にH'FFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。	B
647	17.4.3	表17.4 A/D変換時間(単一モード) CKS=0、CKS=1	661	17.4.3	表17.4 A/D変換時間(単一モード) CKS=0：=20~40MHz、CKS=1：=20MHz	B
648	17.4.4	この状態でADTRG端子にLowレベルを入力すると、.....	662	17.4.4	この状態で/ADTRG端子にLowレベルを入力すると、.....	E
671	19.	19.3 リアルタイムトレースモード	685	19.	19.3 ブランチトレースモード	E
671	19.	目次 19.5.3 端子状態	685	19.	(目次の19.5.3章を削除)	A
673	19.1	AUDを用いてリアルタイムトレースデータ取得や内蔵RAMデータのモニタリング/チューニング等簡易エミュレータを構築することが可能です。	687	19.1	AUDを用いてブランチトレースデータ取得や内蔵RAMデータのモニタリング/チューニング等簡易エミュレータを構築することが可能です。	E
673	19.1.1	AUDMDを切り替えることで次の2つのモードが使用できます。 リアルタイムトレースモード RAMモニタモード ・リアルタイムトレースモード	687	19.1.1	AUDMDを切り替えることで次の2つのモードが使用できます。 ・ブランチトレースモード ・RAMモニタモード (1)ブランチトレースモード	E
675	19.2	表19.1 端子構成 リアルタイムトレースモード	689	19.2	表19.1 端子構成 ブランチトレースモード	E
675	19.2.1(1)	L：リアルタイムトレースモード	689	19.2.1(1)	L：ブランチトレースモード	E
675	19.2.1	本端子の入力切り替えはAUDRSTがLの状態での端子説明	689	19.2.1	本端子の入力切り替えは/AUDRSTがLの状態での端子説明	E
676	19.2.1(2)	リアルタイムトレースモードでの端子説明	690	19.2.1(2)	ブランチトレースモードでの端子説明	E
676	19.2.1(2)	AUDATA[3:0]	690	19.2.1(2)	AUDATA3 ~ AUDATA0	E
676	19.2.1(3)	AUDATA[3:0]	691	19.2.1(3)	AUDATA3 ~ AUDATA0	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
677	19.3	19.3 リアルタイムトレースモード	692	19.3	19.3 ブランチトレースモード	E
677	19.3.2	/AUDRSTをネゲートするとリアルタイムトレースモードで動作を開始します。	692	19.3.2	/AUDRSTをネゲートするとブランチトレースモードで動作を開始します。	E
681	19.5.1	(3)/AUDRSTにLレベル印加 (4)SYSCRレジスタの/AUDRSTを1にセットした時(24.2.2参照) (5)MSTCRレジスタのMSTOP3を1にセットした時(24.2.3参照)	696	19.5.1	(3)/AUDRST端子にLレベル印加 (4)SYSCRレジスタのAUDRSTビットに1をセットした時(24.2.2参照)	D
681, 682	19.5.3	19.5.3 端子状態	696	-	19.5.3 端子状態の章を削除	A
688	20.1	HTxD0/HTxD1出力(HCAN) HRxD0/HRxD1入力(HCAN)	702	20.1	HTxD0&HTxD1(HCAN) HRxD0&HRxD1(HCAN)	D
747	20.3.24	IRQOUTは常にハイレベル(/IRQOUT) IRQOUTはINTCの割り込み要求で出力(/IRQOUT)	761	20.3.24	/IRQOUTは常にハイレベル(/IRQOUT) /IRQOUTはINTCの割り込み要求で出力(/IRQOUT)	E
758	21.3	PB9(入出力)/RxD3(出力)/T08F(出力)	772	21.3	PB9(入出力)/RxD3(入力)/T08F(出力)	E
783	22.1	消去時間は、100ms(typ.)です。	797	22.1	消去時間はブロックあたり、100ms(typ.)です。	D
799	22.5.5	ビット15~4:予約ビット 読み出すと常に0が読み出されます。	814	22.5.5	ビット15~4:予約ビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	B
808	22.7.1	記述を追加	823	22.7.1	一定の書き込み時間経過後、書き込みモードを解除します。書き込みモードの解除はFLMCRnのPnビットをクリアし、tCPI以上経過後PSUnビットをクリアし、tCPSU以上経過後にウォッチドッグタイマを停止させます。	B
809	22.7.2	図22.7 プログラム/プログラムベリファイフロー 書き込みパルス幅 書き込み回数n 書き込み時間 5 30 6 200 7 200	825	22.7.2	図22.14 プログラム/プログラムベリファイフロー(2) 書き込みパルス幅 書き込み回数n 書き込み時間 5 tSP30 6 tSP30 7 tSP200	F
809	22.13	図22.7 プログラム/プログラムベリファイフロー	824, 826	22.13	図22.13、図22.14に構成を変更 (内容の修正はなし)	D
809	22.7.2	プログラム/プログラムベリファイのパラメータを記号化	826	22.7.2	表22.8 プログラム/プログラムベリファイパラメータ 追加	D
810	22.7.3	記述を追加	827	22.7.3	消去時間経過後、イレースモードを解除します。イレースモードの解除はFLMCRnのEnビットをクリアし、tCE以上経過後ESUnビットをクリアし、tCESU以上経過後にウォッチドッグタイマを停止させます。	B
812	22.7.4	イレース/イレースベリファイのパラメータを記号化	829	22.7.4	表22.9 イレース/イレースベリファイパラメータ 追加	D
823	22.11.3	図22.14 コマンド書き込み後メモリ読み出しタイミング波形 tf	840	22.11.3	図22.21 コマンド書き込み後メモリ読み出しタイミング波形 tr	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
843	24.2.3	ビット3：モジュールストップ3 (MSTOP3) 説明追加	861	24.2.3	ビット3：モジュールストップ3 (MSTOP3) AUDへのクロック供給の停止を解除する場合は、システムコントロールレジスタ(SYSCR)のAUDソフトウェアリセット(AUDRST)を解除することにより、AUDの使用が可能になりま	B
847	24.4.1	表24.4 ソフトウェアスタンバイモードでのレジスタの状態	869	24.4.1	表24.4の削除 (「付録A.2 リセット、低消費電力状態でのレジスタ状態」を参照してください。)	A
853	25.1	表25.1 絶対最大定格 項目 動作温度(フラッシュEEPROMのW/E) 記号 TWEopr 定格値 -20~+75 単位 備考 フラッシュEEPROMのライト/イレース実行時のみ	869	25.1	表25.1 絶対最大定格 項目 動作温度(フラッシュEEPROMのW/E) 記号 TWEopr 定格値 -40~+85 単位 備考	F
857	25.2	【使用上の注意】を追加	874	25.2	【使用上の注意】 L S I動作時の電源電圧は下記に従い設定してください。 (以下略)	B
858	25.2	フラッシュEEPROMのW/E時はTa=-20~75	875	25.2	フラッシュEEPROMのW/E時はTa=-40~85	F
858	25.2	項目 入力ハイレベル電圧 /AUDRST、AUDMD 記号 VIH min Vcc-0.5	875	25.2	項目 入力ハイレベル電圧 /AUDRST、AUDMD 記号 VIH min PVcc2-0.5	F
858	25.2	項目 シュミットトリガ入力電圧 記号 (VIL) VT+ max (PVcc+0.3)	875	25.2	項目 シュミットトリガ入力電圧 記号 (VIH) VT+ max (PVcc2+0.3)	D
858,859	25.2	T.B.D	875,876	25.2	T.B.D. 値の決定(詳細はマニュアル参照)	C
858	25.2	項目 入力リーク電流 TMS、/TRST、TDI、TCK(プルアップ特性) 入力リーク電流 AUDMD(プルアップ特性) 入力リーク電流 /AUDRST(プルアップ特性)	875	25.2	項目 入力リーク電流 TMS、/TRST、TDI、TCK(スタンバイ時) 入力リーク電流 AUDMD(スタンバイ時) 入力リーク電流 /AUDRST(スタンバイ時)	B
859	25.2	項目追加	876	25.2	項目 入力プルアップMOS電流 入力プルダウンMOS電流 (詳細はマニュアル参照)	B
859	25.2	項目 消費電力 スタンバイ時 記号 Icc min - typ 1 max 20 単位 $\mu$ A 測定条件 Ta 50	876	25.2	項目 消費電力 スタンバイ時 記号 Icc min - typ 1 max 100 単位 $\mu$ A 測定条件 Ta 50	F



第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
859	25.2	項目 基準電源電流 A/D変換待機時 記号 Alref min - typ T.B.D max 5 単位 $\mu$ A 測定条件	876	25.2	項目 基準電源電流 A/D変換待機時 記号 Alref min - typ 1.1 max 5 単位 mA 測定条件	F
859	25.2	アナログ電源電流 A/D変換中 5mA(max) A/D変換待機時 5 $\mu$ A(max)	876	25.2	アナログ電源電流 A/D変換中、A/D変換待機時 5mA(max) スタンバイ時 5 $\mu$ A(max)	B
859	25.2	基準電源電流 A/D変換中 5mA(max) A/D変換待機時 5mA(max)	876	25.2	基準電源電流 A/D変換中、A/D変換待機時 5mA(max) スタンバイ時 5 $\mu$ A(max)	B
859	25.2	【使用上の注意】に「4.」の項目を追加	877	25.2	4. MCUシングルチップモードの時の電源PVcc1の動作保証電圧はPVcc1=5.0V $\pm$ 0.5Vのみです。これ以外の電圧で使用しないでください。	B
859,860	25.2	フラッシュEEPROMのW/E時はTa=-20~75	877	25.2	フラッシュEEPROMのW/E時はTa=-40~85	F
861	25.3.1	フラッシュEEPROMのW/E時はTa=-20~75	878	25.3.1	フラッシュEEPROMのW/E時はTa=-40~85	F
861	25.3.1	表25.5 クロックタイミング 項目 スタンバイ復帰発振安定時間 記号 tOCS2	878	25.3.1	表25.5 クロックタイミング 項目 スタンバイ復帰発振安定時間 記号 tOSC2	E
863	25.3.2	フラッシュEEPROMのW/E時はTa=-20~75	880	25.3.2	フラッシュEEPROMのW/E時はTa=-40~85	F
863	25.3.2	表25.6 クロックタイミング バスアクノリッジ遅延時間1 tBACKD1 24(max) ns バスアクノリッジ遅延時間2 tBACKD2 24(max) ns バススリーステート遅延時間 tBZD 24(max) ns	880	25.3.2	表25.6 制御信号タイミング バスアクノリッジ遅延時間1 tBACKD1 30(max) ns バスアクノリッジ遅延時間2 tBACKD2 30(max) ns バススリーステート遅延時間 tBZD 30(max) ns	F
866	25.3.3	フラッシュEEPROMのW/E時はTa=-20~75	883	25.3.3	フラッシュEEPROMのW/E時はTa=-40~85	F
866	25.3.3	表25.7 バスタイミング アドレス遅延時間 tAD 24(max) ns CS遅延時間1 tCSD1 24(max) ns CS遅延時間2 tCSD2 24(max) ns リードストローブ遅延時間1 tRSD1 24(max) ns リードストローブ遅延時間2 tRSD2 24(max) ns ライトストローブ遅延時間1 tWSD1 24(max) ns ライトストローブ遅延時間2 tWSD2 24(max) ns ライトデータ遅延時間 tWDD 24(max) ns	883	25.3.3	表25.7 バスタイミング アドレス遅延時間 tAD 35(max) ns CS遅延時間1 tCSD1 30(max) ns CS遅延時間2 tCSD2 30(max) ns リードストローブ遅延時間1 tRSD1 30(max) ns リードストローブ遅延時間2 tRSD2 30(max) ns ライトストローブ遅延時間1 tWSD1 30(max) ns ライトストローブ遅延時間2 tWSD2 30(max) ns ライトデータ遅延時間 tWDD 30(max) ns	F
870	25.3.4	フラッシュEEPROMのW/E時はTa=-20~75	887	25.3.4	フラッシュEEPROMのW/E時はTa=-40~85	F
872	25.3.5	フラッシュEEPROMのW/E時はTa=-20~75	889	25.3.5	フラッシュEEPROMのW/E時はTa=-40~85	F

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
872	25.3.5	【使用上の注意】に追加	889	25.3.5	【使用上の注意】 * 1 MCUシングルチップモード時の電源PVcc1の動作保証電圧は、PVcc1=5.0V±0.5Vのみです。これ以外の電圧で使用しないでください。	B
872	25.3.5	図25.13 I/Oポート入出力タイミング 図面訂正	889	25.3.5	図25.13 I/Oポート入出力タイミング ポート(ライト)の図の位置を1クロックサイクル分ずらす。 (内容には変更なし)	D
873	25.3.6	フラッシュEEPROMのW/E時はTa=-20~75	890	25.3.6	フラッシュEEPROMのW/E時はTa=-40~85	F
874	25.3.7	フラッシュEEPROMのW/E時はTa=-20~75	891	25.3.7	フラッシュEEPROMのW/E時はTa=-40~85	F
874	25.3.7	送信データセットアップ時間 送信データホールド時間	891	25.3.7	受信データセットアップ時間 受信データホールド時間	E
876	25.3.8	フラッシュEEPROMのW/E時はTa=-20~75	893	25.3.8	フラッシュEEPROMのW/E時はTa=-40~85	F
876	25.3.8	送信データセットアップ時間 送信データホールド時間	893	25.3.8	受信データセットアップ時間 受信データホールド時間	E
877	25.3.9	フラッシュEEPROMのW/E時はTa=-20~75	894	25.3.9	フラッシュEEPROMのW/E時はTa=-40~85	F
878	25.3.9	図25.19 アナログ変換タイミング tADENDO	895	25.3.9	図25.19 アナログ変換タイミング tADENDD	E
879	25.3.10	フラッシュEEPROMのW/E時はTa=-20~75	896	25.3.10	フラッシュEEPROMのW/E時はTa=-40~85	F
881	25.3.11	フラッシュEEPROMのW/E時はTa=-20~75	898	25.3.11	フラッシュEEPROMのW/E時はTa=-40~85	F
881	25.3.11	表25.15 AUDタイミング ブランチトレースデータ遅延時間 tBTDD 20(max) ns ブランチトレースデータホールド時間 tBTDH 5(min) ns ブランチトレースSYNC遅延時間 tBTSD 20(max) ns ブランチトレースSYNCホールド時間 tBTSH 5(min) ns	898	25.3.11	表25.15 AUDタイミング ブランチトレースデータ遅延時間 tBTDD 40(max) ns ブランチトレースデータホールド時間 tBTDH 0(min) ns ブランチトレースSYNC遅延時間 tBTSD 40(max) ns ブランチトレースSYNCホールド時間 tBTSH 0(min) ns	F
881,882	25.3.11	BRANCH PC トレース時	898,899	25.3.11	ブランチトレース時	E
881	25.3.11	負荷条件：CL=100pF	898	25.3.11	負荷条件：AUDCK(ブランチトレース時)：CL=30pF、それ以外CL=100pF AUDSYUNC : CL=100pF AUDATA3~0 : CL=100pF	D
881	25.3.11	図25.23 AUDリセットタイミング tBTCYC	899	25.3.11	図25.23 AUDリセットタイミング tRMCYC	E
883	25.3.12	フラッシュEEPROMのW/E時はTa=-20~75	900	25.3.12	フラッシュEEPROMのW/E時はTa=-40~85	F
883	25.3.12	表25.16 UBCトリガタイミング /UBCTRG遅延時間 tUBCTGD 24(max) ns	900	25.3.12	表25.16 UBCトリガタイミング /UBCTRG遅延時間 tUBCTGD 35(max) ns	F
884	25.3.13	図25.27 出力負荷回路 30pF：CK、/CS3~/CS0、/BREQ、/BACK、/IRQOUT 100pF：AUDATA3~0、AUDCK、AUDSYNC	901	25.3.13	図25.27 出力負荷回路 30pF：CK、/CS3~/CS0、/BREQ、/BACK、/IRQOUT、AUDCK 100pF：AUDATA3~0、AUDSYNC	F
885	25.4	フラッシュEEPROMのW/E時はTa=-20~75	902	25.4	フラッシュEEPROMのW/E時はTa=-40~85	F

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
885	25.4	表25.17 A/D変換機特性 項目 アナログ入力容量 CKS=0:fop=20~40MHz T.B.D(max) pF CKS=1:fop=20 T.B.D(max) pF	902	25.4	表25.17 A/D変換機特性 項目 アナログ入力容量 CKS=0:fop=20~40MHz 20(max) pF CKS=1:fop=20 20(max) pF	C
885	25.4	表25.17 A/D変換機特性 項目 量子化誤差 CKS=0:fop=20~40MHz ±1.5(max) LSB CKS=1:fop=20 ±1.5(max) LSB	902	25.4	表25.17 A/D変換機特性 項目 量子化誤差 CKS=0:fop=20~40MHz ±0.5(max) LSB CKS=1:fop=20 ±0.5(max) LSB	F
887	付録	付録 目次 A. 内蔵周辺モジュールレジスタ A.1 アドレス一覧 A.2 リセット、低消費電力状態でのレジスタ状態 B. 端子状態 C. 外形寸法図	903	付録	付録 目次 A. 内蔵周辺モジュールレジスタ A.1 アドレス一覧 A.2 リセット、低消費電力状態でのレジスタ状態 B. 端子状態 C. 型名一覧 D. 外形寸法図	B
889-892	付録 A.1		905~908	付録 A.1	HCANのMCx[x]のレジスタの「-」を取り、空欄にする	E
895-898	付録 A.1		911~914	付録 A.1	HCANのMCx[x]のレジスタの「-」を取り、空欄にする	E
903	付録A1	アドレス H'FFFFECFC レジスタ略称 CHCR3 ビット名 ビット0 RO	919	付録A1	アドレス H'FFFFECFC レジスタ略称 CHCR3 ビット名 ビット0 -	E
906	付録A.1	アドレス H'FFFF466 レジスタ略称 TRGMDR1	922	付録A.1	アドレス H'FFFF466 レジスタ略称 TRGMDR	E
908	付録A.1	アドレス H'FFFF526 レジスタ略称 PMDR6	924	付録A.1	アドレス H'FFFF526 レジスタ略称 PMDR	E
909	付録A1	アドレス H'FFFF5A3 レジスタ略称 TSR7 ビット名 ビット7 UD7D ビット名 ビット6 UD7C ビット名 ビット5 UD7B ビット名 ビット4 UD7A	925	付録A1	アドレス H'FFFF5A3 レジスタ略称 TSR7 ビット名 ビット7 - ビット名 ビット6 - ビット名 ビット5 - ビット名 ビット4 -	E
918	付録A2	分類 ダイレクトメモリアクセスコントローラ(DMAC) SARO~3、DARO~3、DMATCRO~3 パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 初期化 スリープ 保持	934	付録A2	分類 ダイレクトメモリアクセスコントローラ(DMAC) SARO~3、DARO~3、DMATCRO~3 パワーオン 不定 ハードウェアスタンバイ 不定 ソフトウェアスタンバイ 不定 スリープ 保持	E
920	付録A2	分類 アドバンスドタイムユニット(ATU) パワーオン ハードウェアスタンバイ ソフトウェアスタンバイ スリープ	936	付録A2	分類 アドバンスドタイムユニット(ATU-11) パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 初期化 スリープ 保持	E

第2版			第3版			記号
ページ	章	訂正前	ページ	章	訂正後	
921	付録A2	分類 シリアルコミュニケーションインタフェース(SCI) SMRO~4、BRRO~4、SCRO~4、SDCRO~4 パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 初期化 スリープ 保持	937	付録A2	分類 シリアルコミュニケーションインタフェース(SCI) SMRO~4、BRRO~4、SCRO~4、SDCRO~4 パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 保持 スリープ 保持	E
921	付録A2	分類 A/D変換器 ADTRGRO~2 パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 初期化 スリープ 保持	937	付録A2	分類 A/D変換器 ADTRGRO~2 パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 保持 スリープ 保持	E
922	付録A2	分類 I/Oポート ソフトウェアスタンバイ 初期化	938	付録A2	分類 I/Oポート ソフトウェアスタンバイ 保持	E
923	付録A2	分類 日立コントローラエリアネットワーク(HCAN) MCO[1:8]~MC15[1:8]、MDO[1:8]~MD15[1:8] パワーオン 初期化 ハードウェアスタンバイ 初期化 ソフトウェアスタンバイ 初期化 スリープ 保持	938	付録A2	分類 日立コントローラエリアネットワーク(HCAN) MCO[1:8]~MC15[1:8]、MDO[1:8]~MD15[1:8] パワーオン 不定 ハードウェアスタンバイ 不定 ソフトウェアスタンバイ 不定 スリープ 保持	E
922	付録A2	【注】 *1 ビット7~5(OVF、WT/IT、TME)は初期化	939	付録A2	【注】 *1 ビット7~5(OVF、WT/IT、TME)は初期化	E
922	付録A2	「【注】 *2」の追加	939	付録A2	*2 ビット7(FLER)は保持、ビット6~0(SWE2、ESU2、PSU2、EV2、PV2、E2、P2)は初期化されます。	E
924	付録B	B. 端子状態 分類 クロック 端子名 XTAL ハードウェアスタンバイ Z ソフトウェアスタンバイ O	940	付録B	B. 端子状態 分類 クロック 端子名 XTAL ハードウェアスタンバイ L ソフトウェアスタンバイ L	E
926	-		943	付録C	「C. 型名一覧」を追加	B
927	付録C	図C.1 SH7055Fの外形寸法図(FP-256H) 平坦度 0.80	944	付録D	図D.1 SH7055Fの外形寸法図(FP-256H) 平坦度 0.08	E
927	付録C	図C.1 SH7055Fの外形寸法図(FP-256H)	944	付録D	図D.1 SH7055Fの外形寸法図(FP-256H) Unit:mm を追加	B