

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A195A/J	Rev.	第1版
題名	RX64Mグループ、RX71Mグループ SDホストインタフェース (SDHI) に関する電気的特性の公開		情報分類	技術情報	
適用製品	RX64Mグループ RX71Mグループ	対象ロット等 全ロット	関連資料	RX64Mグループ ユーザーズ マニュアル ハードウェア編 Rev.1.10 (R01UH0377JJ0110) RX71Mグループ ユーザーズ マニュアル ハードウェア編 Rev.1.10 (R01UH0493JJ0110)	

上記適用製品に関し、SD ホストインタフェース (SDHI) の AC 特性を以下のとおり公開しますので、連絡いたします。

表 1. SDHI タイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VCC_USBA = AVCC_USBA = 3.0~3.6V,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件 ^(注1)
SDHI	SDHI_CLK 端子出力サイクル時間	t _{PP(SD)}	2 × t _{PBcyc} ^(注2)	—	ns	図 1
	SDHI_CLK 端子出力 High レベルパルス幅	t _{WH(SD)}	0.4 × t _{PP(SD)}	—	ns	
	SDHI_CLK 端子出力 Low レベルパルス幅	t _{WL(SD)}	0.4 × t _{PP(SD)}	—	ns	
	SDHI_CLK 端子出力立ち上がり時間	t _{TLH(SD)}	—	5	ns	
	SDHI_CLK 端子出力立ち下がり時間	t _{THL(SD)}	—	5	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0 端子出力データ遅延時間 (データ転送モード)	t _{ODLY(SD)}	-6.5	4	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0 端子入力データセットアップ時間	t _{SU(SD)}	7	—	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0 端子入力データホールド時間	t _{H(SD)}	2	—	ns	

注 1. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。SDHIについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. t_{PBcyc} : PCLKB の周期

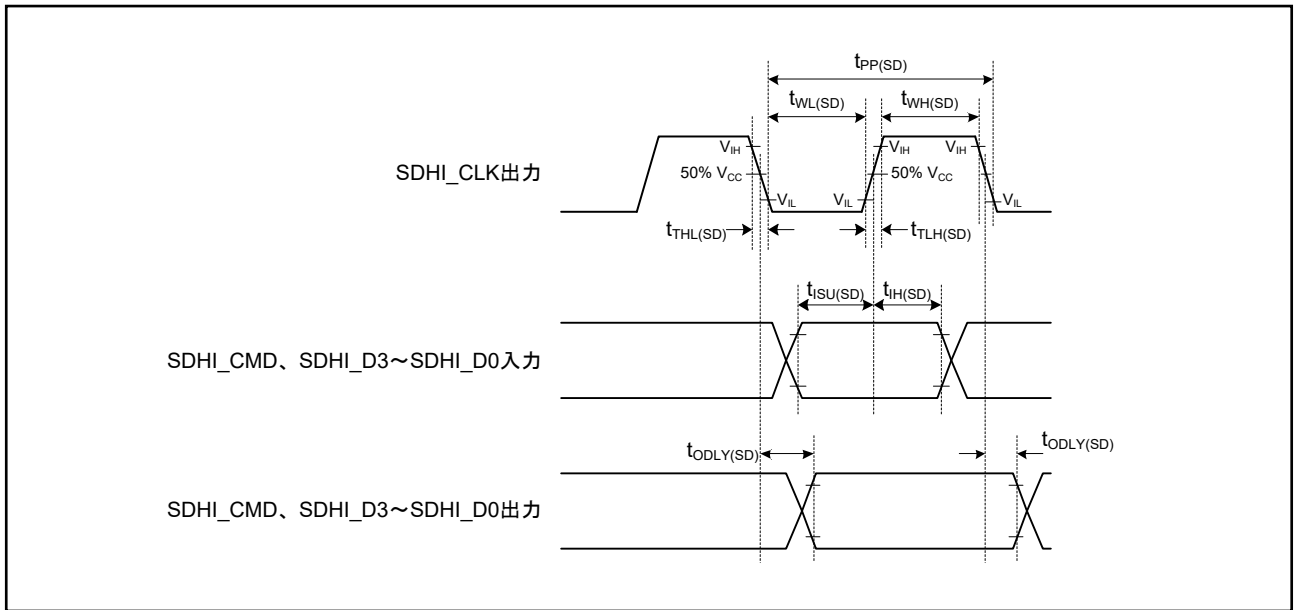


図 1. SD ホストインタフェース入出力信号タイミング