

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RX*-A112A/J	Rev.	第1版
題名	RX110グループ 製品仕様の変更について		情報分類	技術情報	
適用製品	RX110グループ	対象ロット等	関連資料	RX110グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0421JJ0100) RX110グループ フラッシュメモリに関するユーザーズマニュアルの誤記訂正 (TN-RX*-A113A/J)	
		全ロット			

RX110グループの製品仕様を下記のとおり変更いたしますので連絡いたします。

- サブクロック発振器ドライブ能力の選択肢追加
- AVCC0に関する制限事項の緩和
- 温度センサ校正データレジスタの追加
- ユニークIDの追加

## 1. サブクロック発振回路ドライブ能力の選択肢追加

### • Page 461 of 965

「21.2.19 RTCコントロールレジスタ3 (RCR3)」のRTCDV[2:0]ビットの機能欄に、以下のとおり「標準CL用ドライブ能力」を追加いたします。また、既存の設定値に対する表記を変更いたします。

#### 【変更前】

ビット	シンボル	ビット名	機能	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 000: ドライブ能力中 (4.4pFタイプ) 001: ドライブ能力高 (6.0pFタイプ) 010: ドライブ能力低 (3.7pFタイプ) 上記以外は設定しないでください	R/W

#### 【変更後】

ビット	シンボル	ビット名	機能	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 000: 低CL用ドライブ能力中 001: 低CL用ドライブ能力高 010: 低CL用ドライブ能力低 100: 標準CL用ドライブ能力 上記以外は設定しないでください	R/W

2. AVCC0に関する制限事項の緩和

•Page 308 of 965

「17.5 未使用端子の処理」の表17.7を以下のとおり変更いたします。

【変更前】

表 17.7 未使用端子の処理内容

端子名	処理内容
(省略)	
ポート0~5、A~C、E、H、J (64ピン未満で存在する端子に対して)	<ul style="list-style-type: none"> <li>• 入力に設定 (PORTn.PDRビット="0") し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1)</li> <li>• 出力に設定 (PORTn.PDRビット="1") し、出力データを"0"に設定 (PORTn.PODRビット="0") とし、端子を開放 (注1、注2)</li> </ul>
(省略)	

【変更後】

表 17.7 未使用端子の処理内容

端子名	処理内容
(省略)	
ポート0~3、5、A~C、E、H (64ピン未満で存在する端子に対して)	<ul style="list-style-type: none"> <li>• 入力に設定 (PORTn.PDRビット="0") し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1)</li> <li>• 出力に設定 (PORTn.PDRビット="1") し、出力データを"0"に設定 (PORTn.PODRビット="0") とし、端子を開放 (注1、注2)</li> </ul>
ポート4、J (64ピン未満で存在する端子に対して)	<ul style="list-style-type: none"> <li>• 入力に設定 (PORTn.PDRビット="0") し、1端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または1端子ごとに抵抗を介してAVSS0に接続 (プルダウン) (注1)</li> <li>• 出力に設定 (PORTn.PDRビット="1") し、出力データを"0"に設定 (PORTn.PODRビット="0") とし、端子を開放 (注1、注2)</li> </ul>
(省略)	

•Page 826 of 965

「27.6.10 アナログ電源端子他の設定範囲」の2項目目、「各電源端子 (AVCC0 – AVSS0、VREFH0 – VREFL0、VCC – VSS) の関係」の本文を以下のとおり変更いたします。

【変更前】

AVSS0とVSSとの関係はAVSS0 = VSSとしてください。AVCC0、AVSS0とVCC、VSSとの関係はAVCC0 = VCCかつAVSS0 = VSSとしてください。また、図27.16に示すように各々の電源間に最短で閉ループが形成できるように0.1μFのコンデンサを接続し、供給元でVREFL0 = AVSS0 = VSSになるように接続してください。12ビットA/Dコンバータを使用しない場合は、VREFH0 = AVCC0 = VCC、VREFL0 = AVSS0 = VSSとしてください。

【変更後】

AVSS0とVSSとの関係はAVSS0 = VSSとしてください。また、図27.16に示すように各々の電源間に最短で閉ループが形成できるように0.1μFのコンデンサを接続し、供給元でVREFL0 = AVSS0 = VSSになるように接続してください。12ビットA/Dコンバータを使用しない場合は、VREFH0 = AVCC0 = VCC、VREFL0 = AVSS0 = VSSとしてください。

• Page 907 of 965

「表32.2 推奨動作条件」のAVCC0に関する規格を以下のとおり変更いたします。

【変更前】

表32.2 推奨動作条件

項目	記号	min	typ	max	単位
電源電圧	VCC	1.8	—	3.6	V
	VSS	—	0	—	V
アナログ電源電圧	AVCC0 (注1)	—	VCC	—	V
	AVSS0	—	0	—	V

注1. 詳細は、「27.6.10アナログ電源端子他の設定範囲」を参照してください。

【変更後】

表32.2 推奨動作条件

項目	記号	min	typ	max	単位
電源電圧	VCC	1.8	—	3.6	V
	VSS	—	0	—	V
アナログ電源電圧	AVCC0 (注1)	1.8	—	3.6	V
	AVSS0	—	0	—	V

注1. AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

注2. AVCC0の電圧は「27.6.10アナログ電源端子他の設定範囲」を参考に決定してください。

• Page 908 of 965

「表32.3 DC特性(1)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。

【変更前】

表32.3 DC特性(1)

条件: VCC = AVCC0 = 2.7 ~ 3.6V, VSS = AVSS0 = VREFL0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	(省略)					
入力レベル電圧 (シュミットトリガ入力端子を除く)	MD	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3	
	ポート40 ~ 44, 46、ポートJ6, J7		VCC × 0.7	—	VCC + 0.3	
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3	
	MD	V <sub>IL</sub>	-0.3	—	VCC × 0.1	
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2	
	ポート40 ~ 44, 46、ポートJ6, J7		-0.3	—	VCC × 0.3	
	RIIC入力端子 (SMBus)		-0.3	—	0.8	

【変更後】

表32.3 DC特性(1)

条件: VCC = 2.7 ~ 3.6V, AVCC0 = 2.7 ~ 3.6V, VSS = AVSS0 = VREFL0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	(省略)					
入力電圧 (シュミットトリガ入力端子を除く)	MD	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3	
	ポート40 ~ 44, 46、ポートJ6, J7		AVCC0 × 0.7	—	AVCC0 + 0.3	
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3	
	MD	V <sub>IL</sub>	-0.3	—	VCC × 0.1	
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2	
	ポート40 ~ 44, 46、ポートJ6, J7		-0.3	—	AVCC0 × 0.3	
	RIIC入力端子 (SMBus)		-0.3	—	0.8	

• Page 908 of 965

「表32.4 DC特性(2)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。また、存在しない信号線名VREFLを削除いたします。

【変更前】

表32.4 DC特性(2)

条件: VCC = AVCC0 = 1.8~2.7V、VSS = AVSS0 = VREFL = VREFL0 = 0V、Ta = -40~+105°C

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	(省略)						
入力レベル電圧 (シュミットトリガ入力端子を除く)	MD	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V	
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3		
	ポート40~44, 46、ポートJ6, J7		VCC × 0.7	—	VCC + 0.3		
	MD	V <sub>IL</sub>	-0.3	—	VCC × 0.1		
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2		
	ポート40~44, 46、ポートJ6, J7		-0.3	—	VCC × 0.3		

【変更後】

表32.4 DC特性(2)

条件: VCC = 1.8~2.7V、AVCC0 = 1.8~2.7V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	(省略)						
入力電圧 (シュミットトリガ入力端子を除く)	MD	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V	
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3		
	ポート40~44, 46、ポートJ6, J7		AVCC0 × 0.7	—	AVCC0 + 0.3		
	MD	V <sub>IL</sub>	-0.3	—	VCC × 0.1		
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2		
	ポート40~44, 46、ポートJ6, J7		-0.3	—	AVCC0 × 0.3		

• Page 917 of 965

「表32.17 出力電圧値(1)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。

【変更前】

表32.17 出力電圧値(1)

条件: VCC = AVCC0 = 2.7~3.6V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目	記号	min	max	単位	測定条件	
出力Lowレベル	(省略)					
出力Highレベル	全出力端子 (ポート4、ポートJ以外)	V <sub>OH</sub>	VCC - 0.5	—	V	I <sub>OH</sub> = -2.0mA
	ポート40~44, 46、ポートJ6, J7		VCC - 0.5	—		I <sub>OH</sub> = -0.1mA

【変更後】

表32.17 出力電圧値(1)

条件: VCC = 2.7~3.6V、AVCC0 = 2.7~3.6V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目	記号	min	max	単位	測定条件	
Lowレベル出力電圧	(省略)					
Highレベル出力電圧	全出力端子 (ポート4、ポートJ以外)	V <sub>OH</sub>	VCC - 0.5	—	V	I <sub>OH</sub> = -2.0mA
	ポート40~44, 46、ポートJ6, J7		AVCC0 - 0.5	—		I <sub>OH</sub> = -0.1mA

• Page 917 of 965

「表32.18 出力電圧値(2)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。

【変更前】

表32.18 出力電圧値(2)

条件: VCC = AVCC0 = 1.8~2.7V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目	記号	min	max	単位	測定条件	
出力Lowレベル	(省略)					
出力Highレベル	全出力端子 (ポート4、ポートJ以外)	V <sub>OH</sub>	VCC - 0.5	—	V	I <sub>OH</sub> = -1.0mA
	ポート40~44, 46、ポートJ6, J7		VCC - 0.5	—		I <sub>OH</sub> = -0.1mA

【変更後】

表32.18 出力電圧値(2)

条件: VCC = 1.8~2.7V、AVCC0 = 1.8~2.7V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目	記号	min	max	単位	測定条件	
Lowレベル出力電圧	(省略)					
Highレベル出力電圧	全出力端子 (ポート4、ポートJ以外)	V <sub>OH</sub>	VCC - 0.5	—	V	I <sub>OH</sub> = -1.0mA
	ポート40~44, 46、ポートJ6, J7		AVCC0 - 0.5	—		I <sub>OH</sub> = -0.1mA

3. 温度センサ校正データレジスタの追加

• Page 103 of 965

「5. I/O レジスタ」章の「表 5.1 I/O レジスタアドレス一覧(12/12)」を以下のとおり変更いたします。

【変更前】

表 5.1 I/O レジスタアドレス一覧(12/12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参考章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	21章
(省略)							
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	21章
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	31章
(省略)							

【変更後】

表 5.1 I/O レジスタアドレス一覧(12/12)

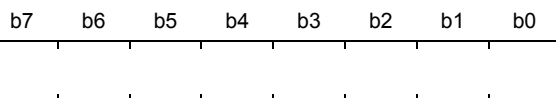
アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参考章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	21章
(省略)							
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	21章
007F C0ACh	TEMPS	温度センサ校正データレジスタ	TSCDRL	8	8	1~2PCLKB	28章
007F C0ADh	TEMPS	温度センサ校正データレジスタ	TSCDRH	8	8	1~2PCLKB	28章
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	31章
(省略)							

• Page 828 of 965

「28. 温度センサ」章に「28.2 レジスタの説明」節、および以下のレジスタを追加いたします。

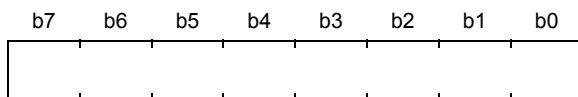
28.2.1 温度センサ校正データレジスタ (TSCDRH, TSCDRL)

アドレス TSCDRL 007F C0ACh



リセット後の値 チップごとの固有値

アドレス TSCDRH 007F C0ADh



リセット後の値 チップごとの固有値

TSCDRH、TSCDRL レジスタには、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_a = T_j = 88^\circ\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{ V}$ の条件における温度センサの出力電圧を、12ビット A/D コンバータでデジタル変換した値です。TSCDRH レジスタには変換値の上位4ビット、TSCDRL レジスタには下位8ビットが格納されています。

#### 4. ユニークIDの追加

MCUの個体識別用に、各製品に「ユニークID」を付与いたします。これに伴い、「ユニークIDレジスタ」の追加、「連続リードコマンド」から「ユニークIDリードコマンド」への変更を行います。

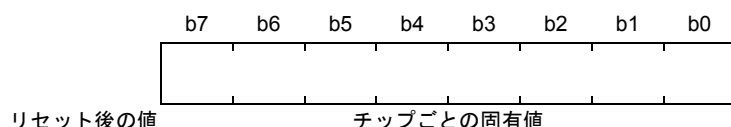
##### 4.1 ユニークIDレジスタの追加

•Page 857 of 965

「31. フラッシュメモリ」章に以下のレジスタを追加いたします。

##### 31.3.25 ユニークIDレジスタ n (UIDRn) (n = 0~31)

アドレス 0850h~086Fh (エクストラ領域)



UIDRnレジスタは、MCUの個体を識別するために用意された32バイト長のIDコード(ユニークID)を格納しているレジスタです。

ユニークIDはフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。値を読み出す場合は、フラッシュメモリのユニークIDリードコマンドを使用してください。

##### 4.2 「連続リードコマンド」から「ユニークIDリードコマンド」への変更

•Page 838 of 965

「表31.1 フラッシュメモリの仕様」のソフトウェアコマンド欄を以下のとおり変更いたします。

##### 【変更前】

表31.1 フラッシュメモリの仕様

項目	内容
メモリ空間	(省略)
ソフトウェアコマンド	<ul style="list-style-type: none"> <li>•ブートモードおよびセルフプログラミング時に以下を実行可能 ブランクチェック、ブロックイレーズ、プログラム、<b>リード</b>、アクセスウィンドウの設定 (省略)</li> </ul>
(省略)	

##### 【変更後】

表31.1 フラッシュメモリの仕様

項目	内容
メモリ空間	(省略)
ソフトウェアコマンド	<ul style="list-style-type: none"> <li>•ブートモードおよびセルフプログラミング時に以下を実行可能 ブランクチェック、ブロックイレーズ、プログラム、<b>ユニークIDリード</b>、アクセスウィンドウの設定 (省略)</li> </ul>
(省略)	



• Page 846 of 965

「31.3.8 フラッシュ制御レジスタ (FCR)」の機能および説明を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0001: プログラム 0100: ブロックイレーズ 0101: <b>連続リード</b> 1011: ブランクチェック 上記以外は設定しないでください(注1)	R/W
b4	DRC	データリード完了ビット	0: <b>データ未リード/次データ要求</b> 1: データリード完了	R/W
(省略)				

注1. FSTATR1.FRDYビットが“1”のとき、FCRレジスタに“00h”を書き込むことは除きます。

【変更後】

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0001: プログラム <b>0011: ブランクチェック</b> 0100: ブロックイレーズ 0101: <b>ユニークIDリード</b> 上記以外は設定しないでください(注1)	R/W
b4	DRC	データリード完了ビット	0: <b>データリード開始</b> 1: データリード完了	R/W
(省略)				

注1. FSTATR1.FRDYビットが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

• Page 846, 847 of 965

「31.3.8 フラッシュ制御レジスタ (FCR)」のCMD[3:0]ビット、DRCビットの説明を以下のとおり変更いたします。

【変更前】

CMD[3:0]ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (プログラム、ブロックイレーズ、**連続リード**、**ブランクチェック**) を設定します。それぞれのコマンドの機能を以下に示します。

(省略)

[連続リード]

ROM P/Eモード、E2データフラッシュ P/Eモード中にFSARH/FSARLレジスタに設定したアドレスから、FEARH/FEARLレジスタに設定したアドレスまでのリードを行います。リードしたデータはFRBH/FRBLレジスタに格納されます。

DRCビット (データリード完了ビット)

連続リードコマンドを実行し、FRBH, FRBLレジスタの読み出しが終わった後、DRCビットに“1”を書き込み、データリードの完了処理を行います。次のデータのリード要求を出す場合、DRCビットに“0”を書き込みます。

## 【変更後】

## CMD[3:0]ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (プログラム、ブロックイレーズ、ユニーク ID リード、ブランクチェック) を設定します。それぞれのコマンドの機能を以下に示します。

(省略)

## [ユニーク ID リード]

FSARH レジスタに“00h”、FSARL レジスタに“0850h”、FEARH レジスタに“00h”、FEARL レジスタに“086Fh”を設定しユニーク ID リードを実行すると、FRBH/FRBL レジスタにユニーク ID が順次格納されます。

## DRCビット (データリード完了ビット)

ユニーク ID リードコマンドとともに用いて、シーケンサの状態を制御します。

このビットを“0”にしてユニーク ID リードコマンドを発行すると、FSARH/FSARL レジスタに設定したアドレスからデータが読み出され、FRBH/FRBL レジスタに格納されます。

FRBH/FRBL レジスタからデータを読み出した後、このビットを“1”にしてユニーク ID リードコマンドを発行すると、シーケンサのリードサイクルが終了し、待機状態になります。

再び、このビットを“0”にしてユニーク ID リードコマンドを発行すると、シーケンサの内部アドレスがインクリメント(+4)され、次のデータが読み出されます。

## • Page 850 of 965

「31.3.14 フラッシュリードバッファレジスタ H (FRBH)」の説明を以下のとおり変更いたします。

## 【変更前】

連続リードを実行したときに、ROM から読み出したデータの上位 16 ビットが格納されるレジスタです。

## 【変更後】

ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の上位 2 バイトが格納されるレジスタです。

## • Page 850 of 965

「31.3.15 フラッシュリードバッファレジスタ L (FRBL)」の説明を以下のとおり変更いたします。

## 【変更前】

連続リードを実行したときに、ROM から読み出したデータの下位 16 ビットから読み出したデータが格納されるレジスタです。

## 【変更後】

ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の下位 2 バイトが格納されるレジスタです。

• Page 854 of 965

「31.3.19 フラッシュステータスレジスタ 1 (FSTATR1)」に以下のとおり DRRDY フラグの説明文を追加いたします。

**DRRDY フラグ (データリードレディフラグ)**

FRBH、FRBL レジスタへのリードデータの格納状態を確認するためのフラグです。

シーケンサがフラッシュメモリから読み出したデータを FRBH、FRBL レジスタに格納すると、DRRDY フラグが“1”になります。FCR.DRC ビットを“1”にしてユニーク ID コマンドを発行すると、シーケンサのリードサイクルが終了し、DRRDY フラグが“0”になります。

なお、FEARH/FEARL レジスタに設定したアドレスのデータを読み出した後は、FCR.DRC ビットを“0”にしてユニーク ID コマンドを発行しても DRRDY フラグは“1”にならず、FRDY フラグが“1”になります。

• Page 861 of 965

「表31.4 ソフトウェアコマンド一覧」を以下のとおり変更いたします。

**【変更前】**

表31.4 ソフトウェアコマンド一覧

コマンド	機能
	(省略)
連続リード	ROM P/E モード中に指定した領域内のリードを行います
	(省略)

**【変更後】**

表31.4 ソフトウェアコマンド一覧

コマンド	機能
	(省略)
ユニーク ID リード	エクストラ領域にあるユニーク ID のリードを行います
	(省略)

• Page 868 of 965

「31.6.3 ソフトウェアコマンド使用方法」の「(5) 連続リード」を以下のとおり「(5) ユニーク ID リード」に変更いたします。

【変更前】

(5) 連続リード

図31.11に連続リードの概略フローを示します。

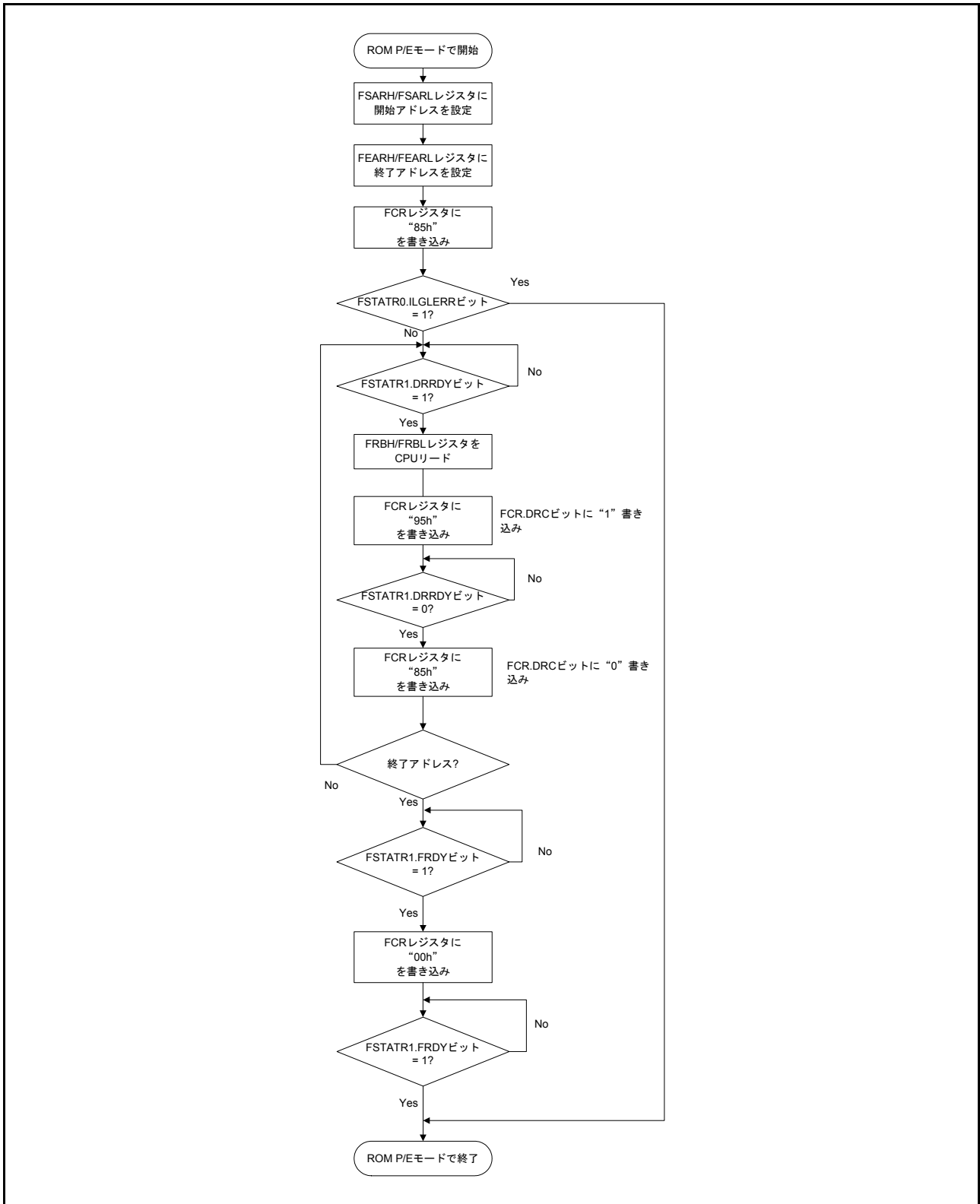


図31.11 連続リードの概略フロー

【変更後】

(5) ユニークIDリード

図31.11にユニークIDリードコマンドの発行フローを示します。

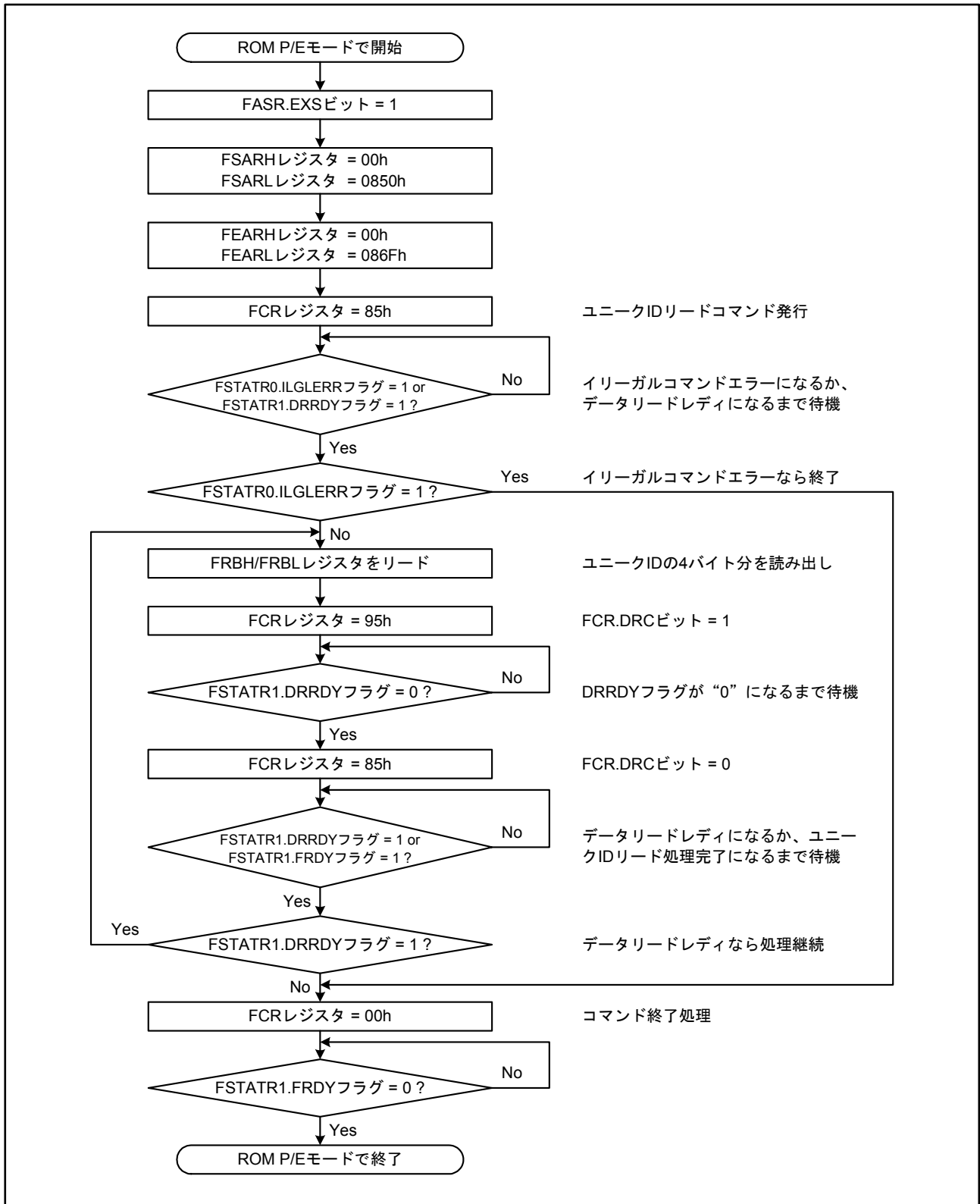


図31.11 ユニークIDリードコマンドの発行フロー

以上