発行日：2016 年 4 月 26 日

RENESAS TECHNICAL UPDATE

〒135-0061　東京都江東区豊洲 3-2-24
豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口　http://japan.renesas.com/contact/
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A061B/J	Rev.	第 2 版
題名	誤記訂正通知 RL78/G1F　ユーザーズマニュアル Rev.1.00 の記載変更	情報分類	技術情報		
適用製品	RL78/G1F グループ	対象ロット等 全ロット	関連資料	RL78/G1F　ユーザーズマニュアル　ハードウェア編　Rev.1.00 R01UH0516JJ0100 (Apr.2015)	

RL78/G1F ユーザーズマニュアル ハードウェア編 Rev.1.00（R01UH0516JJ0100）において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
1.3.2 32ピン製品 •32ピン・プラスチックLQFP (7x7 mm, 0.8 mmピッチ)	p.7	誤記訂正
2.1.2 32ピン製品	p.19	誤記訂正
2.1.3 36ピン製品	p.21	誤記訂正
2.1.4 48ピン製品	p.23	誤記訂正
2.1.5 64ピン製品	p.25	誤記訂正
2.4 端子ブロック図 図2 - 10 端子タイプ7-1-4の端子ブロック図	p.41	注意追加
2.4 端子ブロック図 図2 - 12 端子タイプ7-1-8の端子ブロック図	p.43	注意追加
2.4 端子ブロック図 図2 - 17 端子タイプ7-9-2の端子ブロック図	p.48	注意追加
2.4 端子ブロック図 図2 - 18 端子タイプ8-1-3の端子ブロック図	p.49	注意追加
2.4 端子ブロック図 図2 - 19 端子タイプ8-1-4の端子ブロック図	p.50	注意追加
2.4 端子ブロック図 図2 - 20 端子タイプ8-1-7の端子ブロック図	p.51	注意追加
2.4 端子ブロック図 図2 - 21 端子タイプ8-1-8の端子ブロック図	p.52	注意追加
2.4 端子ブロック図 図2 - 22 端子タイプ8-3-8の端子ブロック図	p.53	注意追加
2.4 端子ブロック図 図2 - 23 端子タイプ8-9-1の端子ブロック図	p.54	注意追加
2.4 端子ブロック図 図2 - 24 端子タイプ8-9-2の端子ブロック図	p.55	注意追加
8.2 タイマRDの構成 図8 - 1 タイマRDのブロック図	p.333	誤記訂正
8.3.9 タイマRD出力制御レジスタ(TRDOCR) 図8-12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット [リセット同期PWMモード,相補PWMモード]	―	仕様追加
8.3.11 タイマRD制御レジスタi (TRDCRi)(i = 0, 1) 図8-18タイマRD制御レジスタ0 (TRDCR0)のフォーマット [相補PWMモード]	p.353	誤記訂正
8.3.18 タイマRDカウンタi (TRDi)(i = 0, 1) 図8-31 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット [リセット同期 PWM モード , PWM3 モード]	p.369	誤記訂正
8.3.18 タイマRDカウンタi (TRDi)(i = 0, 1) 図8-32 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD0)](p.370)	p.370	誤記訂正
8.3.18 タイマRDカウンタi (TRDi)(i = 0, 1) 図8-33 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD1)](p.370)	p.370	誤記訂正

(c) 2016. Renesas Electronics Corporation. All rights reserved.

8.5.4 リセット同期 PWM モード 図 8 - 56 リセット同期 PWM モードのブロック図（タイマ RD0 の場合）	p.408	誤記訂正
8.5.5 相補 PWM モード 図 8 - 58 相補 PWM モードのブロック図（タイマ RD0 の場合）	p.412	誤記訂正
8.8.3.2 ハードウエア解除（HS_SEL = 0の場合） (2) タイマRD相補PWM機能の出力の場合 図8 - 78 ハードウエアで遮断解除機能動作例（TRDIOB0, TRDIOD0の例）	p.442	誤記訂正
8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1 時）	p.447	誤記訂正
8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1 時） 図 8 - 87 ソフトウエアにより出力遮断解除する場合の動作例	p.451	誤記訂正
17.1 CMP の機能 表 17 - 1 CMP の機能概要	p.630	誤記訂正
17.3.8 コンパレータ 1 入力信号選択制御レジスタ（CMPSEL1） 図 17 - 10 コンパレータ 1 入力信号選択制御レジスタ（CMPSEL1）	p.643	誤記訂正
37.3.2 電源電流特性 (TA= -40～+85 ℃, 1.6V≦EVDD0≦VDD≦5.5V, VSS=EVSS0=0V)(2/2)	p.1155	誤記訂正
38.3.2 電源電流特性 (TA= -40～+105 ℃, 2.4V ≦EVDD0≦VDD≦5.5V, VSS=EVSS0=0V)(2/2)	p.1221	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での該当ページ
		ドキュメントNo.	和文 R01UH0516JJ0100	
1	1.3.2 32ピン製品　•32ピン・プラスチックLQFP (7x7 mm, 0.8 mmピッチ)		p.7	p.4
2	2.1.2 32ピン製品		p.19	p.5
3	2.1.3 36ピン製品		p.21	p.6
4	2.1.4 48ピン製品		p.23	p.7
5	2.1.5 64ピン製品		p.25	p.8
6	2.4 端子ブロック図 図2 - 10 端子タイプ7-1-4の端子ブロック図		p.41	p.9
7	2.4 端子ブロック図 図2 - 12 端子タイプ7-1-8の端子ブロック図		p.43	p.10
8	2.4 端子ブロック図 図2 - 17 端子タイプ7-9-2の端子ブロック図		p.48	p.11
9	2.4 端子ブロック図 図2 - 18 端子タイプ8-1-3の端子ブロック図		p.49	p.12
10	2.4 端子ブロック図 図2 - 19 端子タイプ8-1-4の端子ブロック図		p.50	p.13
11	2.4 端子ブロック図 図2 - 20 端子タイプ8-1-7の端子ブロック図		p.51	p.14
12	2.4 端子ブロック図 図2 - 21 端子タイプ8-1-8の端子ブロック図		p.52	p.15
13	2.4 端子ブロック図 図2 - 22 端子タイプ8-3-8の端子ブロック図		p.53	p.16
14	2.4 端子ブロック図 図2 - 23 端子タイプ8-9-1の端子ブロック図		p.54	p.17
15	2.4 端子ブロック図 図2 - 24 端子タイプ8-9-2の端子ブロック図		p.55	p.18
16	8.2 タイマRDの構成 図8 - 1 タイマRDのブロック図		p.333	p.19
17	8.3.9 タイマRD出力制御レジスタ(TRDOCR) 図8-12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット [リセット同期PWMモード,相補PWMモード]		―	p.20
18	8.3.11 タイマRD制御レジスタi (TRDCRi)(i = 0, 1) 図8-18タイマRD制御レジスタ0 (TRDCR0)のフォーマット [相補PWMモード]		p.353	p.21
19	8.3.18 タイマRDカウンタi (TRDi)(i = 0, 1) 図8-31 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット [リセット同期 PWM モード , PWM3 モード]		p.369	p.21

(c) 2016. Renesas Electronics Corporation. All rights reserved.

20	8.3.18 タイマRDカウンタi (TRDi)(i = 0, 1) 図8-32 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD0)](p.370)	p.370	p.22
21	8.3.18 タイマRDカウンタi (TRDi)(i = 0, 1) 図8-33 タイマRDカウンタi(TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD1)](p.370)	p.370	p.22
22	8.5.4 リセット同期 PWM モード 図 8 - 56 リセット同期 PWM モードのブロック図（タイマ RD0 の場合）	p.408	p.23
23	8.5.5 相補 PWM モード 図 8 - 58 相補 PWM モードのブロック図（タイマ RD0 の場合）	p.412	p.24
24	8.8.3.2 ハードウエア解除（HS_SEL = 0の場合） (2) タイマRD相補PWM機能の出力の場合 図8 - 78 ハードウエアで遮断解除機能動作例（TRDIOB0, TRDIOD0の例）	p.442	p.25
25	8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1 時）	p.447	p.26
26	8.3.3 ソフトウエア遮断解除（HS_SEL = 1 時） 図 8 - 87 ソフトウエアにより出力遮断解除する場合の動作例	p.451	p.27
27	17.1 CMPの機能 表17-1 CMPの機能概要	p.630	p.28
28	17.3.8 コンパレータ1入力信号選択制御レジスタ（CMPSEL1） 図17-10 コンパレータ1入力信号選択制御レジスタ（CMPSEL1）	p.643	p.28
29	37.3.2 電源電流特性 (TA= -40～+85 ℃, 1.6V≦EVDD0≦VDD≦5.5V, VSS=EVSS0=0V)(2/2)	p.1155	p.29
30	38.3.2 電源電流特性 (TA= -40～+105 ℃, 2.4V ≦EVDD0≦VDD≦5.5V, VSS=EVSS0=0V)(2/2)	p.1221	p.30

誤記訂正の該当箇所は、**誤）太字下線**、正）グレー・ハッチングで記載します。

記載変更・注意追加の該当箇所は、**旧）太字下線**、新）グレー・ハッチングで記載します。

発行文書履歴

RL78/G1F ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

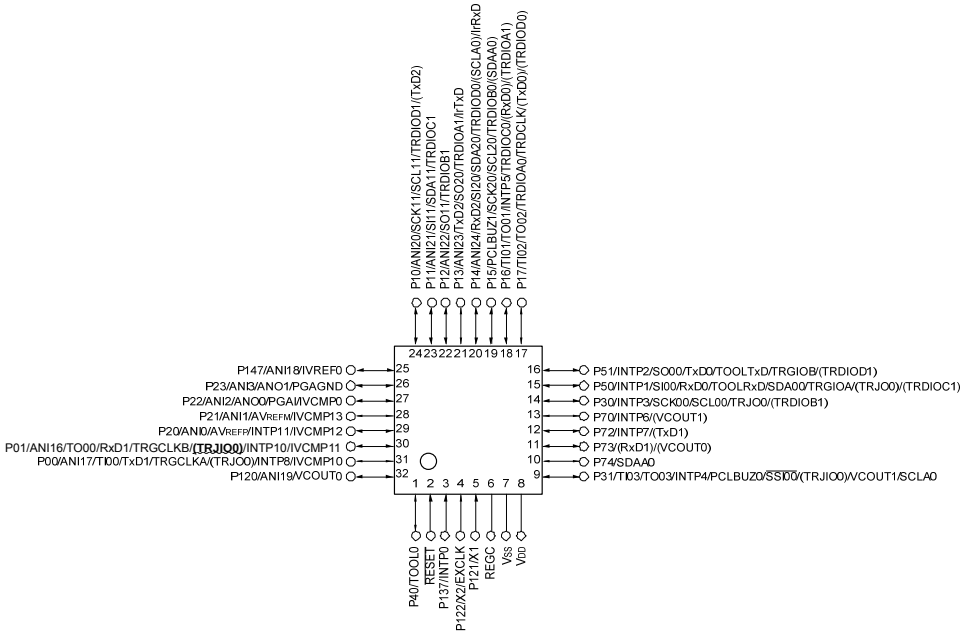
文書番号	発行日	記事
TN-RL*-A061A/J	2016 年 4 月 21 日	1 版発行 訂正一覧の No.1～No.30 の誤記訂正
TN-RL*-A061B/J	2016 年 4 月 26 日	2 版発行 訂正一覧の No.1～No.30 の誤記訂正　再発行(本通知)

(c) 2016. Renesas Electronics Corporation. All rights reserved.

1. **1.3.2 32ピン製品**

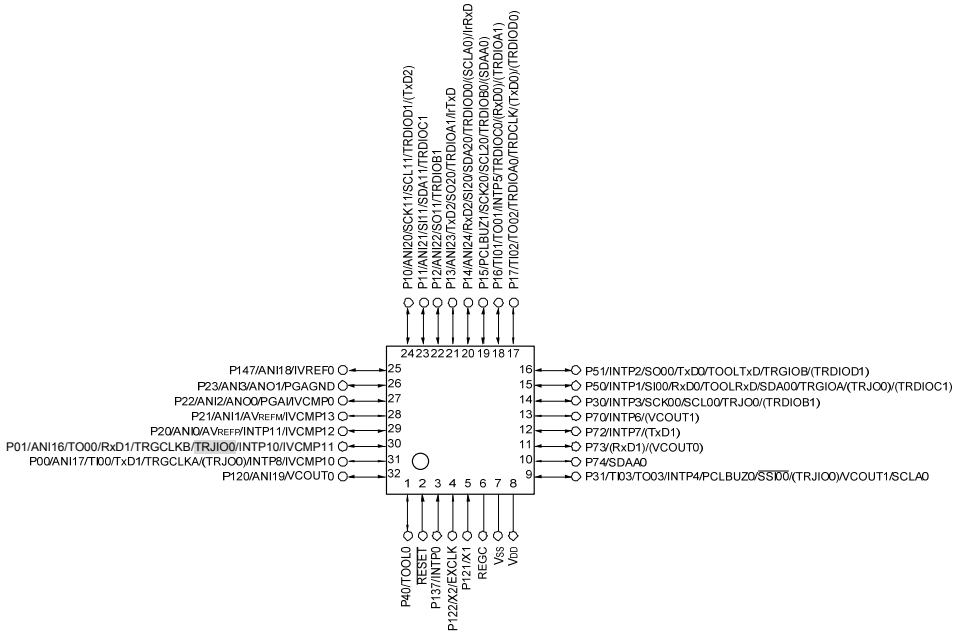
32 ピン・プラスチック LQFP (7 x 7 mm, 0.8 mm ピッチ) (p.7)

誤）



（省略）

正）



（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

2.　2.1.2 32 ピン製品（p.19）

誤）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(VDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8			PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)/(TRDIOD0)	
（省　略）					

正）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(VDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8	入出力	入力ポート	PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)/(TRDIOD0)	
（省　略）					

(c) 2016. Renesas Electronics Corporation. All rights reserved.

3. 2.1.3 36ピン製品（p.21）

誤）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(EVDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8			PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)/(TRDIOD0)	
（省　略）					

正）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(EVDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8	入出力	入力ポート	PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)/(TRDIOD0)	
（省　略）					

(c) 2016. Renesas Electronics Corporation. All rights reserved.

4. 2.1.4 48ピン製品（p.23）

誤）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(VDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8			PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)/(TRDIOD0)	
（省　略）					

正）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1/(TxD2)	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(VDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1/IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20/TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8	入出力	入力ポート	PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)/(TRDIOD0)	
（省　略）					

(c) 2016. Renesas Electronics Corporation. All rights reserved.

5. 2.1.5 64ピン製品（p.25）

誤）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(EVDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1 /(INTP5)	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1 /IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20 /TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8			SCK20/SCL20/TRDIOB0 /(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0 /(SI00/RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK /(SO00/TxD0)/(TRDIOD0)	
（省　略）					

正）

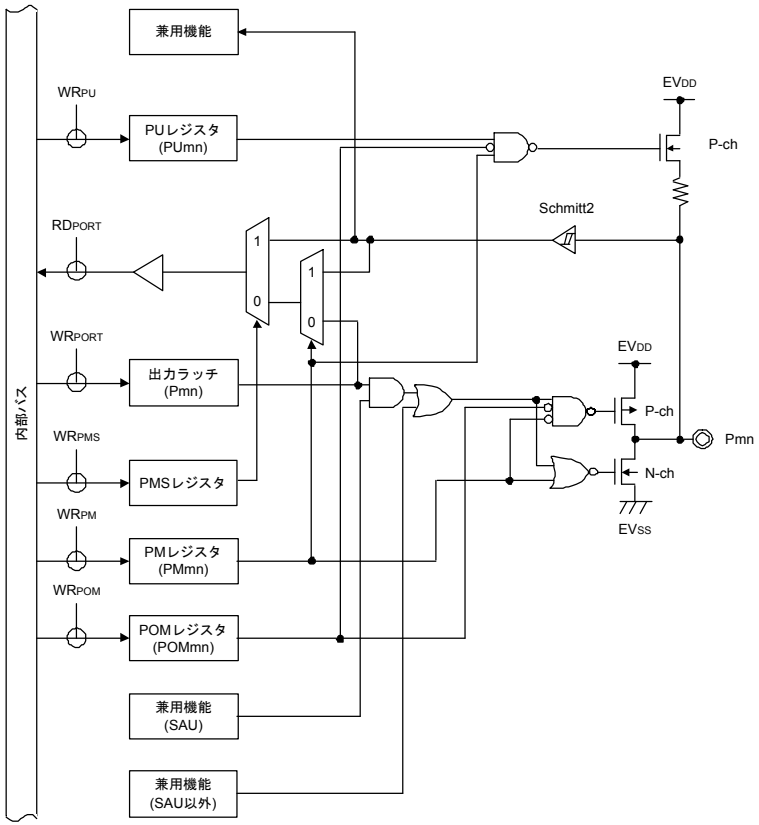
機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　能
（省　略）					
P10	8-3-8	入出力	アナログ機能	ANI20/SCK11/SCL11/TRDIOD1	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P10, P14-P17 の入力は TTL 入力バッファに設定可能。 P10, P11, P13-P15, P17 の出力は N-ch オープン・ドレイン出力(EVDD 耐圧)に設定可能。 P10-P14 はアナログ入力に設定可能注。
P11	7-3-8			ANI21/SI11/SDA11/TRDIOC1	
P12	7-3-7			ANI22/SO11/TRDIOB1 /(INTP5)	
P13	7-3-8			ANI23/TxD2/SO20/TRDIOA1 /IrTxD	
P14	8-3-8			ANI24/RxD2/SI20/SDA20 /TRDIOD0/(SCLA0)/IrRxD	
P15	8-1-8	入出力	入力ポート	SCK20/SCL20/TRDIOB0 /(SDAA0)	
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0 /(SI00/RxD0)/(TRDIOA1)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK /(SO00/TxD0)/(TRDIOD0)	
（省　略）					

(c) 2016. Renesas Electronics Corporation. All rights reserved.

6.　2.4 端子ブロック図

図 2 – 10 端子タイプ 7-1-4 の端子ブロック図（p.41）

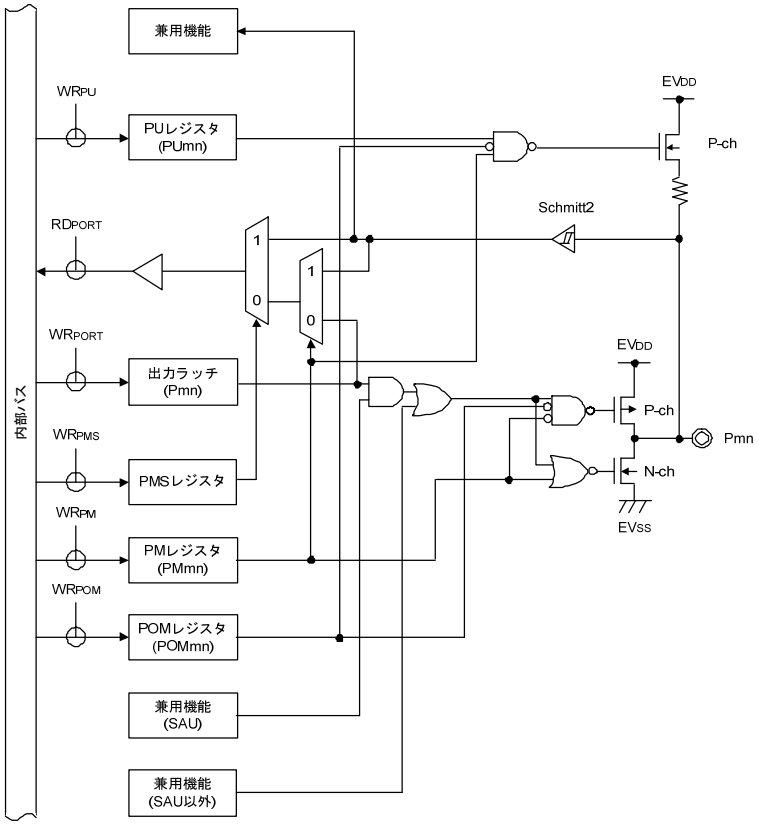
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意．ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

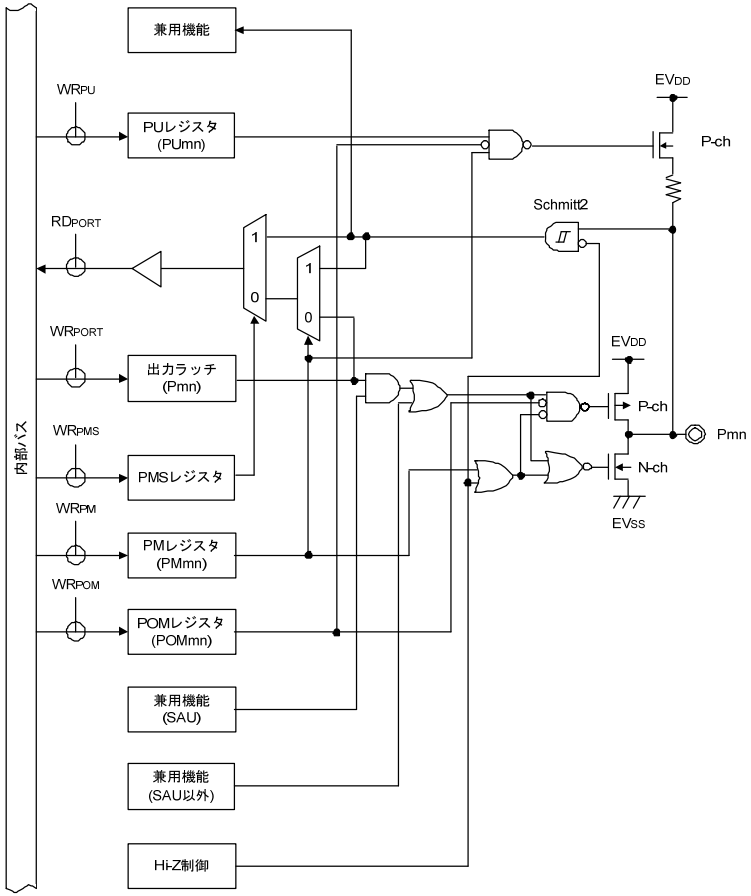
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

7.　2.4 端子ブロック図

図 2 – 12 端子タイプ 7-1-8 の端子ブロック図（p.43）

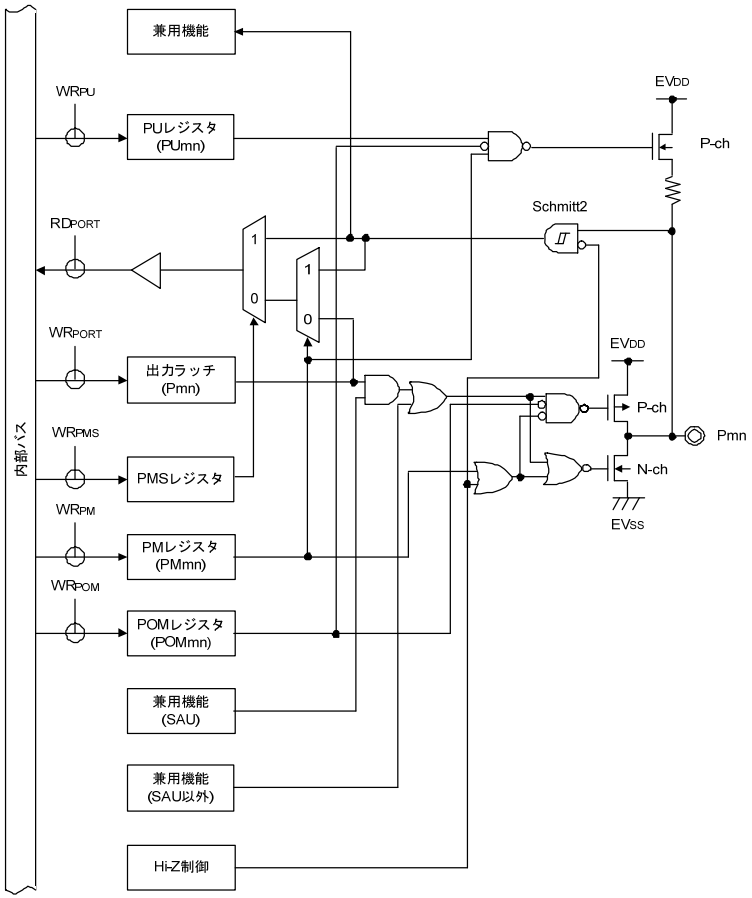
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意．ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

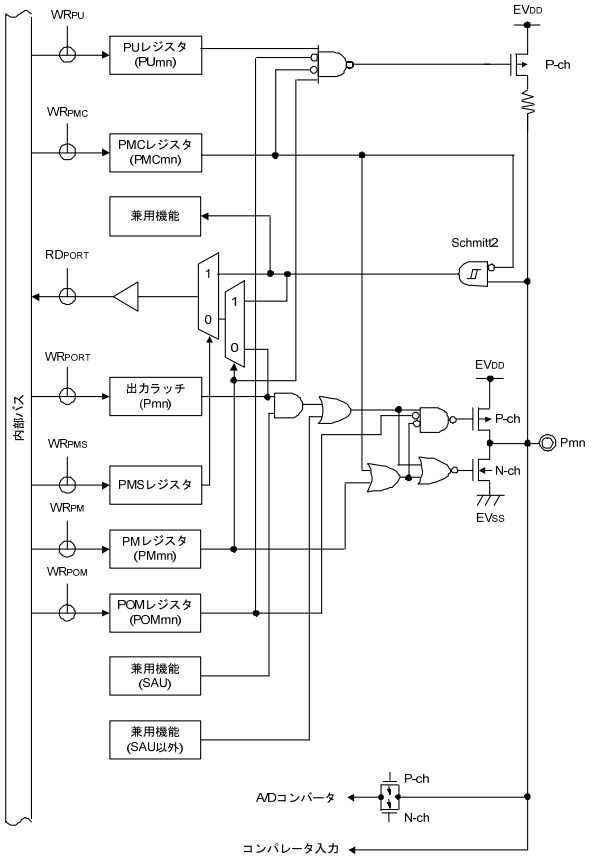
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

8. **2.4 端子ブロック図**

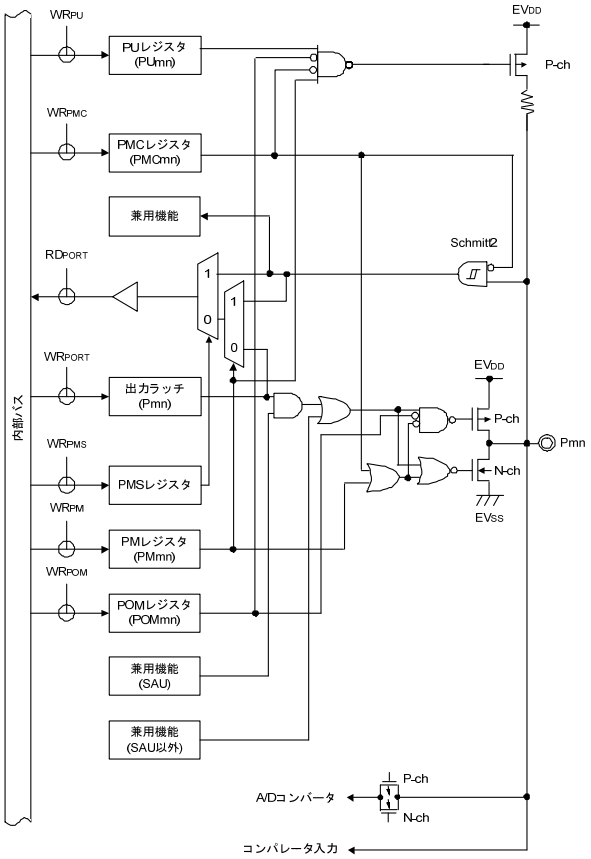
図 2－17 端子タイプ 7-9-2 の端子ブロック図（p.48）

誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。
備考 2. SAU：シリアル・アレイ・ユニット

正）



注意．ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

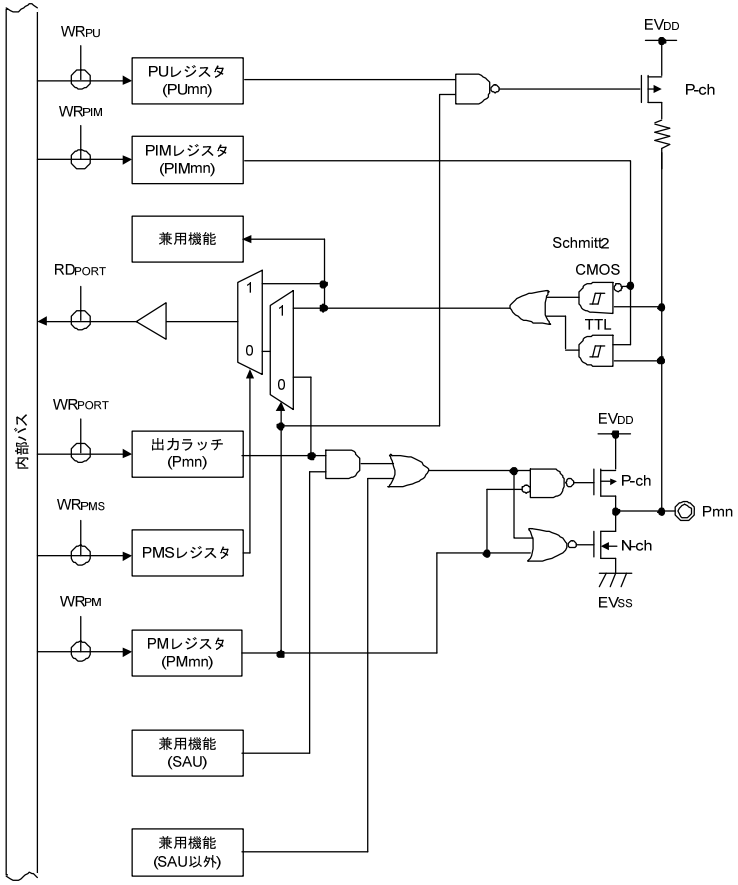
備考 1. 兼用機能は，2.1 ポート機能を参照してください。
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

9.　2.4 端子ブロック図

図 2 – 18 端子タイプ 8-1-3 の端子ブロック図（p.49）

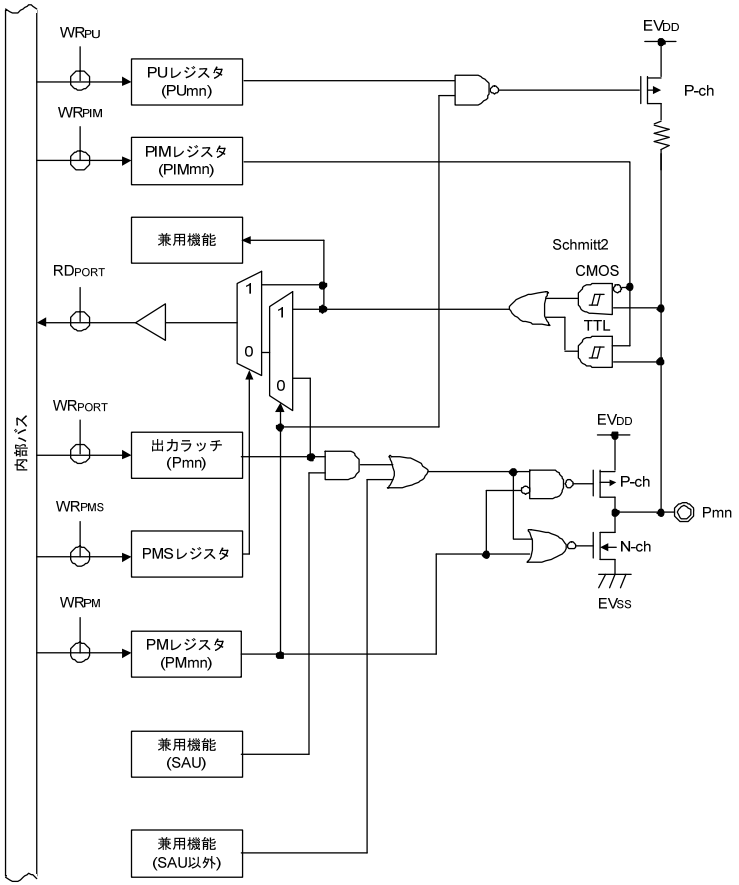
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

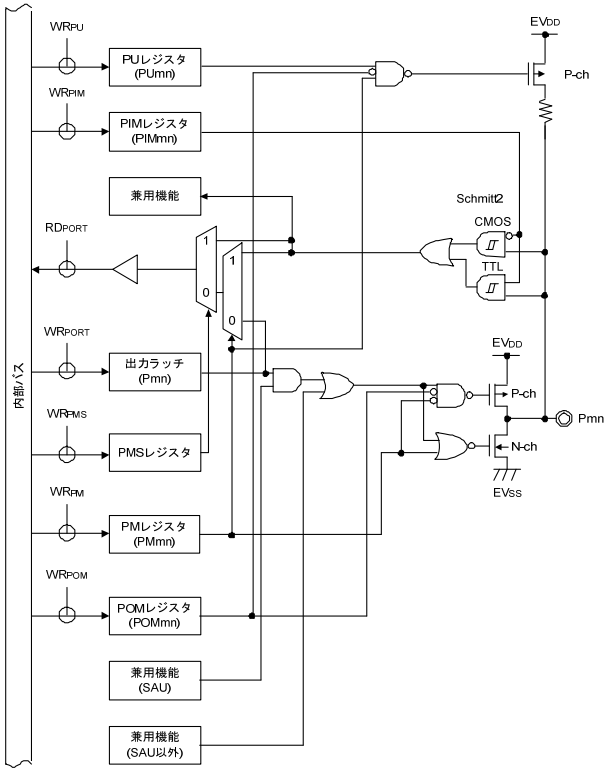
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

10. 2.4 端子ブロック図

図 2 – 19 端子タイプ 8-1-4 の端子ブロック図（p.50）

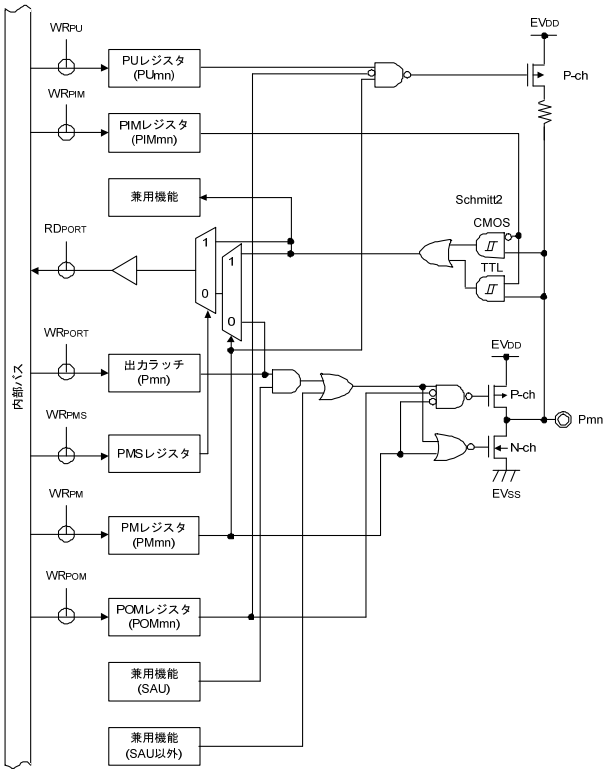
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意 1. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

注意 2. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

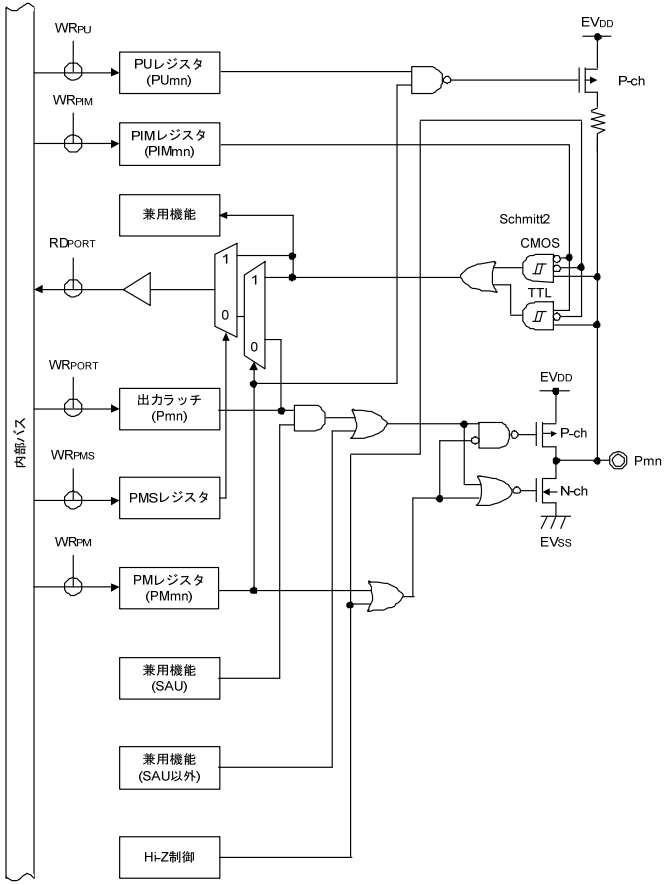
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

11. 2.4 端子ブロック図

図 2 – 20 端子タイプ 8-1-7 の端子ブロック図（p.51）

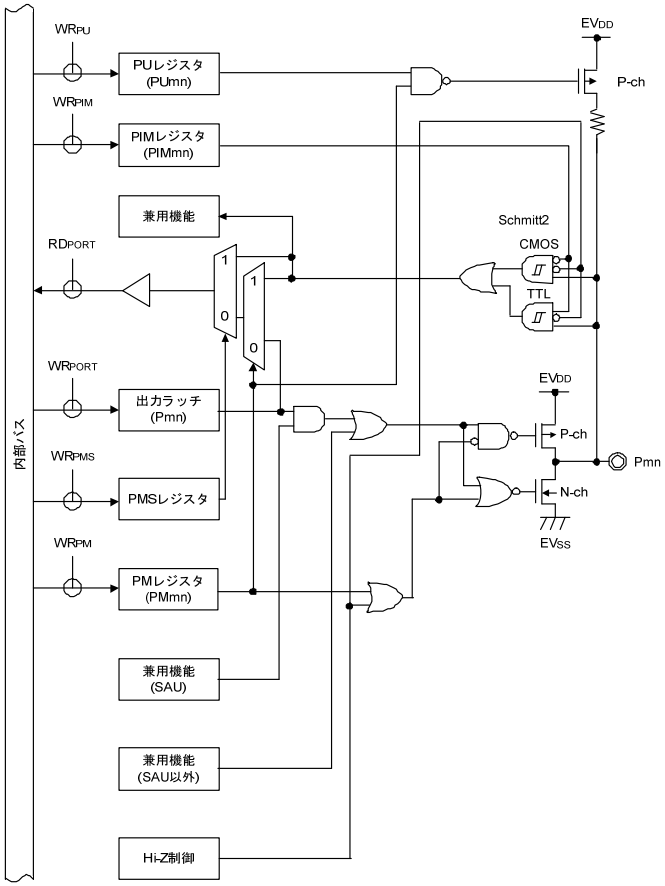
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

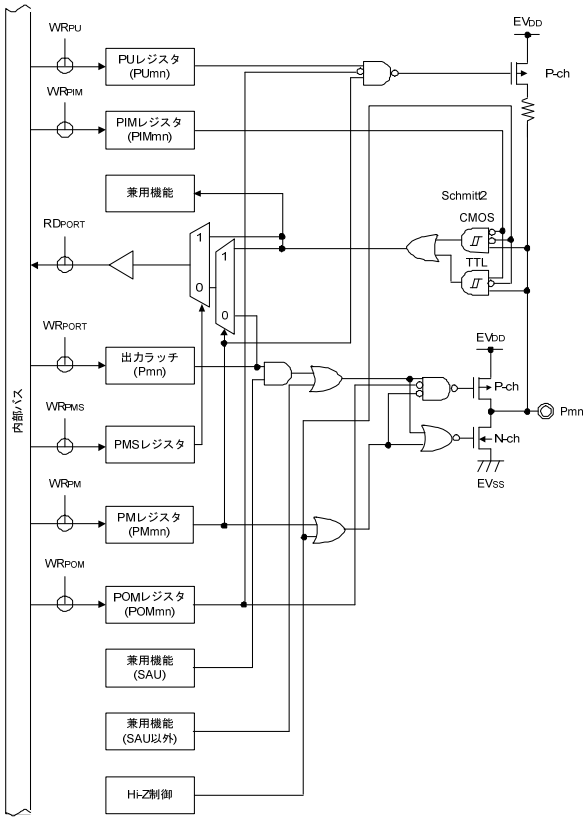
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

12. 2.4 端子ブロック図

図 2－21 端子タイプ 8-1-8 の端子ブロック図（p.52）

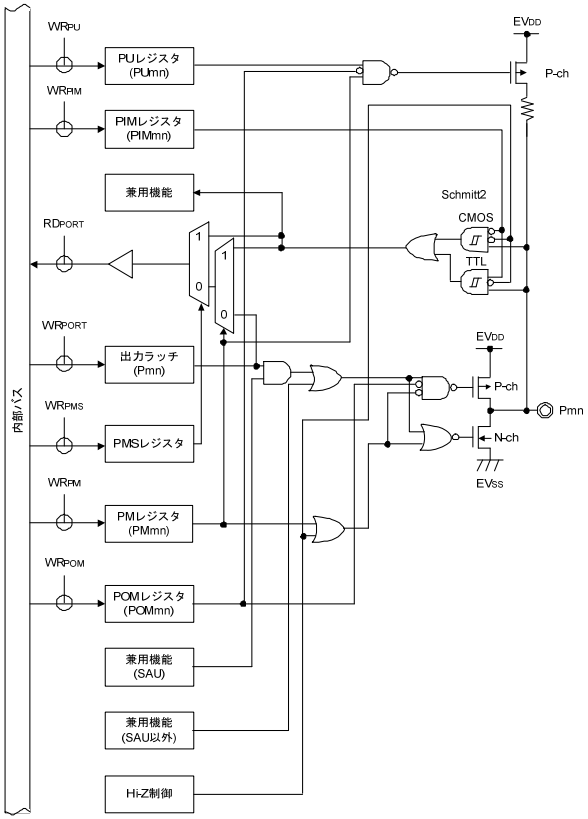
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意 1. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

注意 2. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

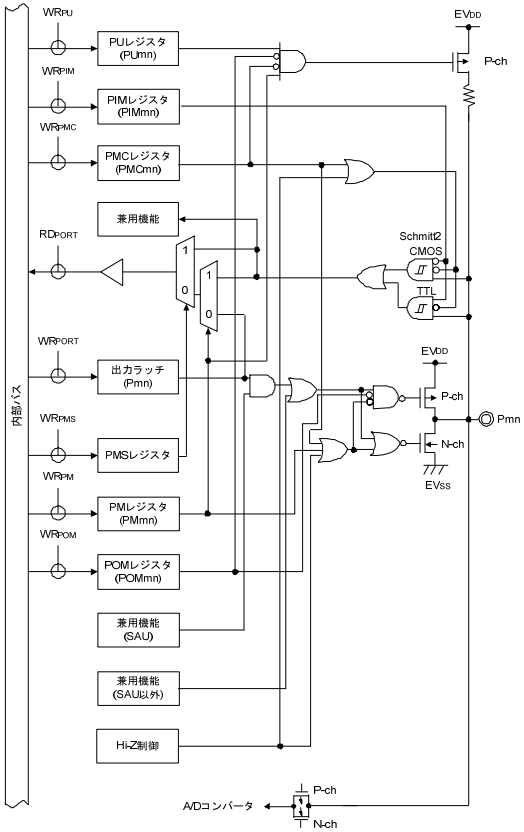
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

13. 2.4 端子ブロック図

図 2－21 端子タイプ 8-3-8 の端子ブロック図（p.53）

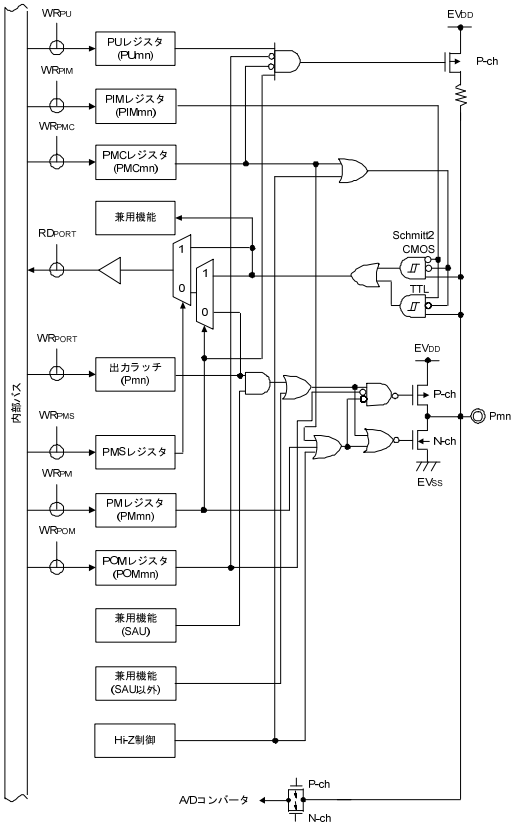
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意 1. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

注意 2. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

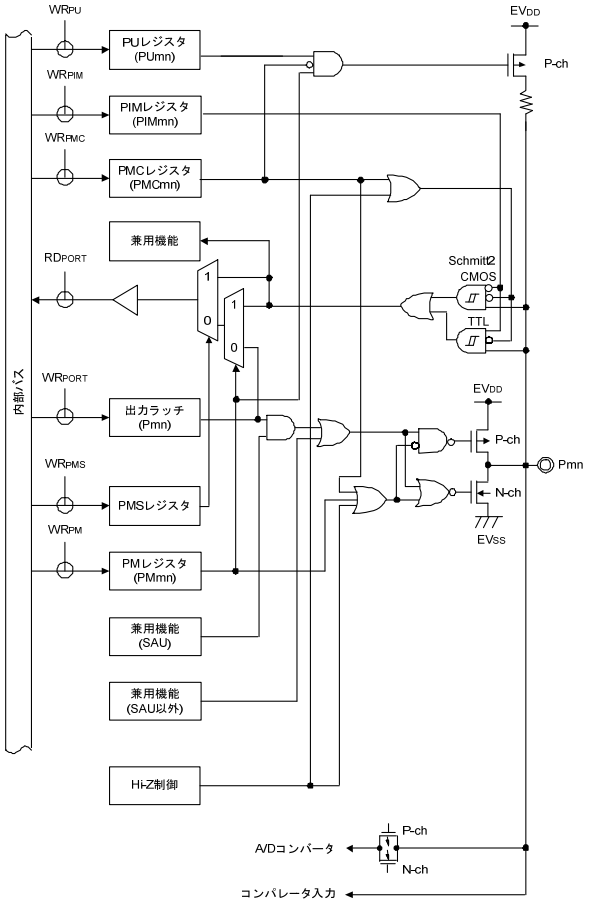
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

14. 2.4 端子ブロック図

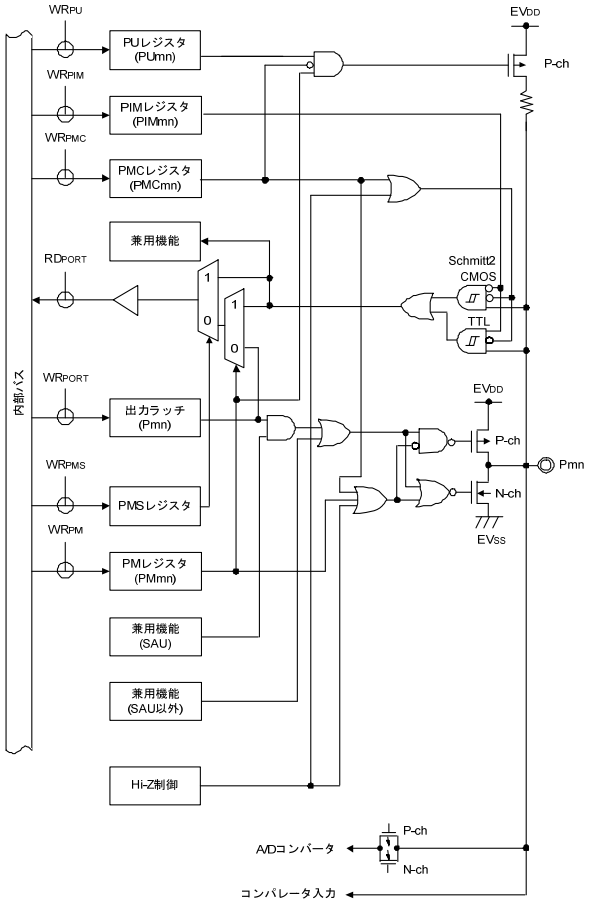
図 2－21 端子タイプ 8-9-1 の端子ブロック図（p.54）

誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。
備考 2. SAU：シリアル・アレイ・ユニット

正）



注意. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

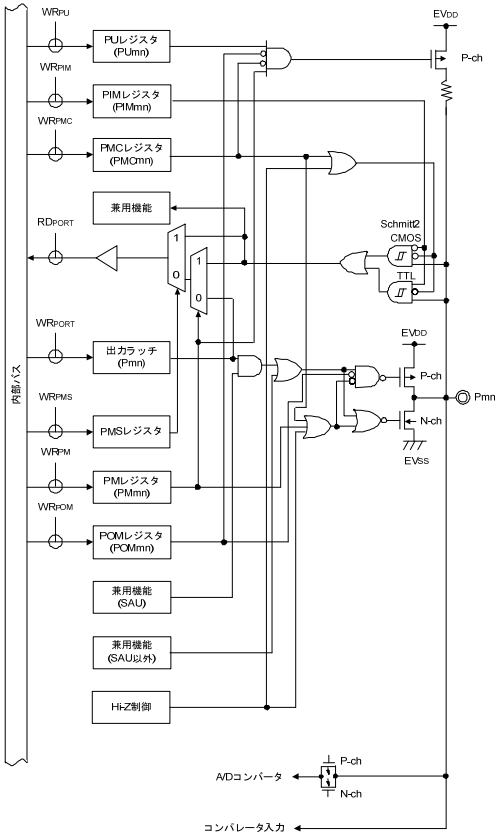
備考 1. 兼用機能は，2.1 ポート機能を参照してください。
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

15. 2.4 端子ブロック図

図 2 – 22 端子タイプ 8-9-2 の端子ブロック図（p.55）

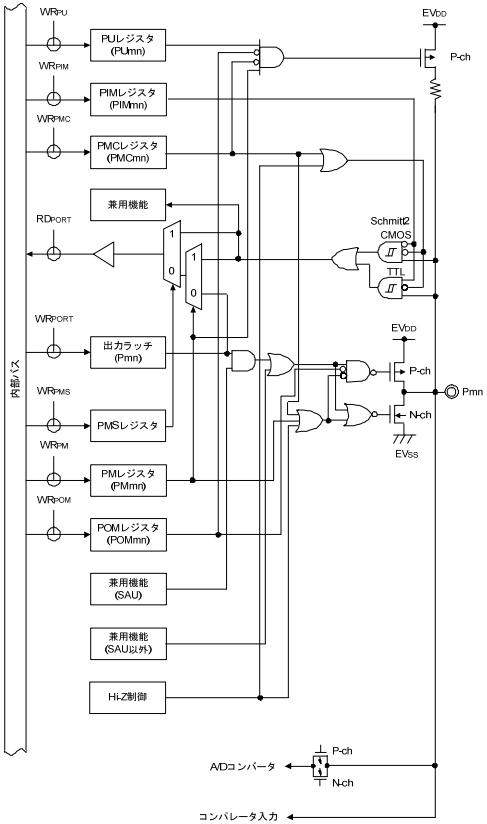
誤）



備考 1. 兼用機能は，2.1 ポート機能を参照してください。

備考 2. SAU：シリアル・アレイ・ユニット

正）



注意 1. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

注意 2. ポート入力モード・レジスタ(PIMx)で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考 1. 兼用機能は，2.1 ポート機能を参照してください。

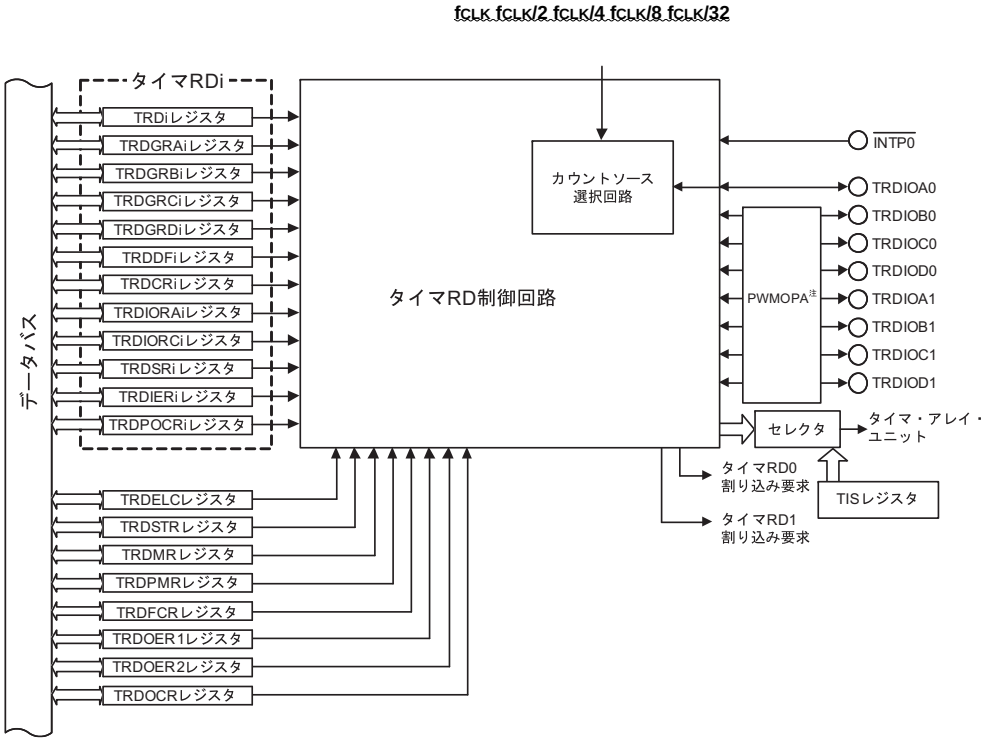
備考 2. SAU：シリアル・アレイ・ユニット

(c) 2016. Renesas Electronics Corporation. All rights reserved.

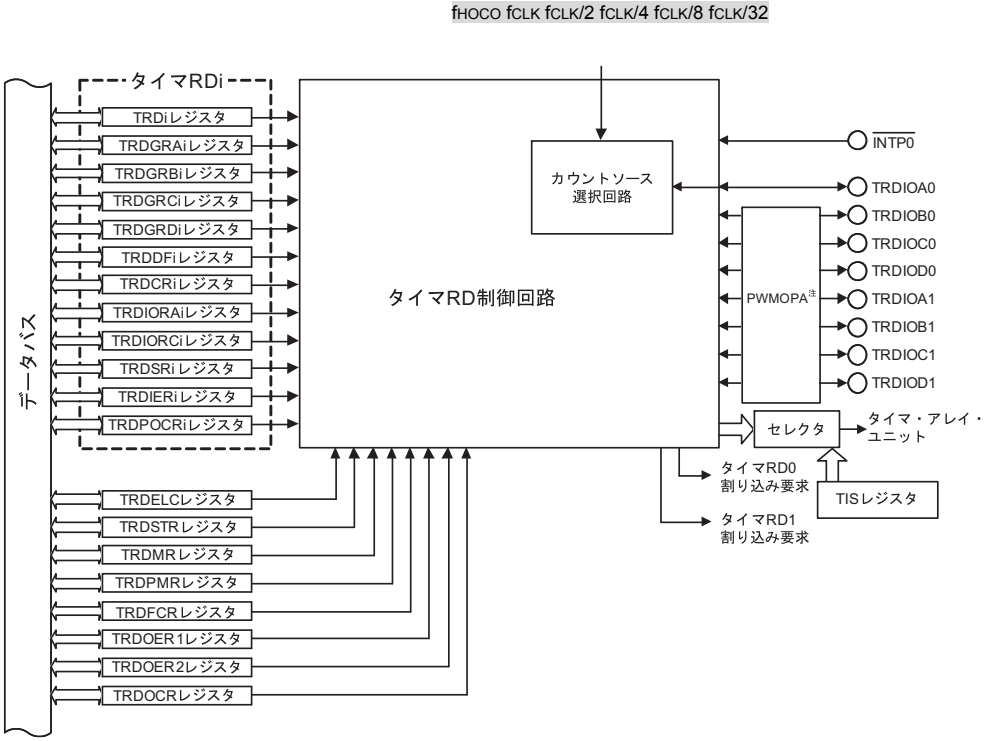
16. 8.2 タイマ RD の構成

図 8 - 1 タイマ RD のブロック図

誤）



正）



(c) 2016. Renesas Electronics Corporation. All rights reserved.

17. 8.3.9 タイマRD出力制御レジスタ(TRDOCR)

図8-12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット

[リセット同期PWMモード,相補PWMモード]

旧）

なし

新）

図 **8-12** タイマ **RD** 出力制御レジスタ **(TRDOCR)**のフォーマット

[リセット同期 **PWM** モード**,** 相補 **PWM** モード **]**

アドレス：**F0269H** リセット時：**00H** 注1　**R/W**

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1,TOC1, TOB1,TOA1, TOD0,TOB0, TOA0	リセット同期 PWM モード時，相補 PWM モードでは，設定は無効です。 必ず，0 を設定してください。 リセット同期 PWM モード，相補 PWM モードの場合，本レジスタの設には依存せず，TRDFCR の OLS1，OLS0 ビットの設定に従います。

TOC0	TRDIOC0 初期出力レベル選択注2	
0	初期出力 L	リセット同期 PWM モードでは，PWM 周期ごとに出力反転します。 相補 PWM モードでは，PWM の 1/2 周期ごとに出力反転します。
1	初期出力 H	

注1 ユーザ･オプション･バイト(000C2H)の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注 2. TRDOCR レジスタの端子機能が波形出力の場合，TRDOCR レジスタを設定したとき，初期出力レベルが出力されます。

(c) 2016. Renesas Electronics Corporation. All rights reserved.

18. 8.3.11 タイマ RD 制御レジスタ i (TRDCRi)(i = 0, 1)

図 8-18 タイマ RD 制御レジスタ 0 (TRDCR0)のフォーマット

[相補 PWM モード] (p.353)

誤）

図 8-18 タイマ RD 制御レジスタ 0 (TRDCR0)のフォーマット

[相補 PWM モード]

アドレス：F0270H リセット時：00H 注 1　R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

（省略）

正）

図 8-19 タイマ RD 制御レジスタ i (TRDCRi)(i=0,1)のフォーマット

[相補 PWM モード]

アドレス：F0270H(TRDCR0), F0280H(TRDCR1)リセット時：00H 注 1　R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

（省略）

19. 8.3.18 タイマ RD カウンタ i (TRDi)(i = 0, 1)

図 8-31 タイマ RD カウンタ i(TRDi)(i = 0, 1)のフォーマット

[リセット同期 PWM モード , PWM3 モード](p.369)

誤）

図 8-31 タイマ RD カウンタ i(TRDi)(i = 0, 1)のフォーマット

[リセット同期 PWM モード , PWM3 モード]

アドレス：F0276H (TRD0), F0286H (TRD1) リセット時：0000H 注　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi																

（省略）

正）

図 8-32 タイマ RD カウンタ 0(TRD0)のフォーマット

[リセット同期 PWM モード , PWM3 モード]

アドレス：F0276H (TRD0) リセット時：0000H 注　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

20. 8.3.18 タイマ RD カウンタ i (TRDi)(i = 0, 1)
8-32 タイマ RD カウンタ i(TRDi)(i = 0, 1)のフォーマット
[相補 PWM モード(TRD0)](p.370)

誤）

図 8-32 タイマ RD カウンタ i(TRDi)(i = 0, 1)のフォーマット

[相補 PWM モード(TRD0)]

アドレス：F0276H (TRD0), F0286H (TRD1)　リセット時：0000H　注　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi																

（省略）

21. 8.3.18 タイマ RD カウンタ i (TRDi)(i = 0, 1)
図 8-33 タイマ RD カウンタ i(TRDi)(i = 0, 1)のフォーマット
[相補 PWM モード(TRD1)](p.370)

誤）

図 8-33 タイマ RD カウンタ i(TRDi)(i = 0, 1)のフォーマット

[相補 PWM モード(TRD1)]

アドレス：F0276H (TRD0), F0286H (TRD1)　リセット時：0000H　注　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi																

（省略）

正）

図 8-33 タイマ RD カウンタ 0(TRD0)のフォーマット

[相補 PWM モード(TRD0)]

アドレス：F0276H (TRD0)　リセット時：0000H　注　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

（省略）

正）

図 8-34 タイマ RD カウンタ 0(TRD1)のフォーマット

[相補 PWM モード(TRD1)]

アドレス：F0286H (TRD1)　リセット時：0000H　注　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1																

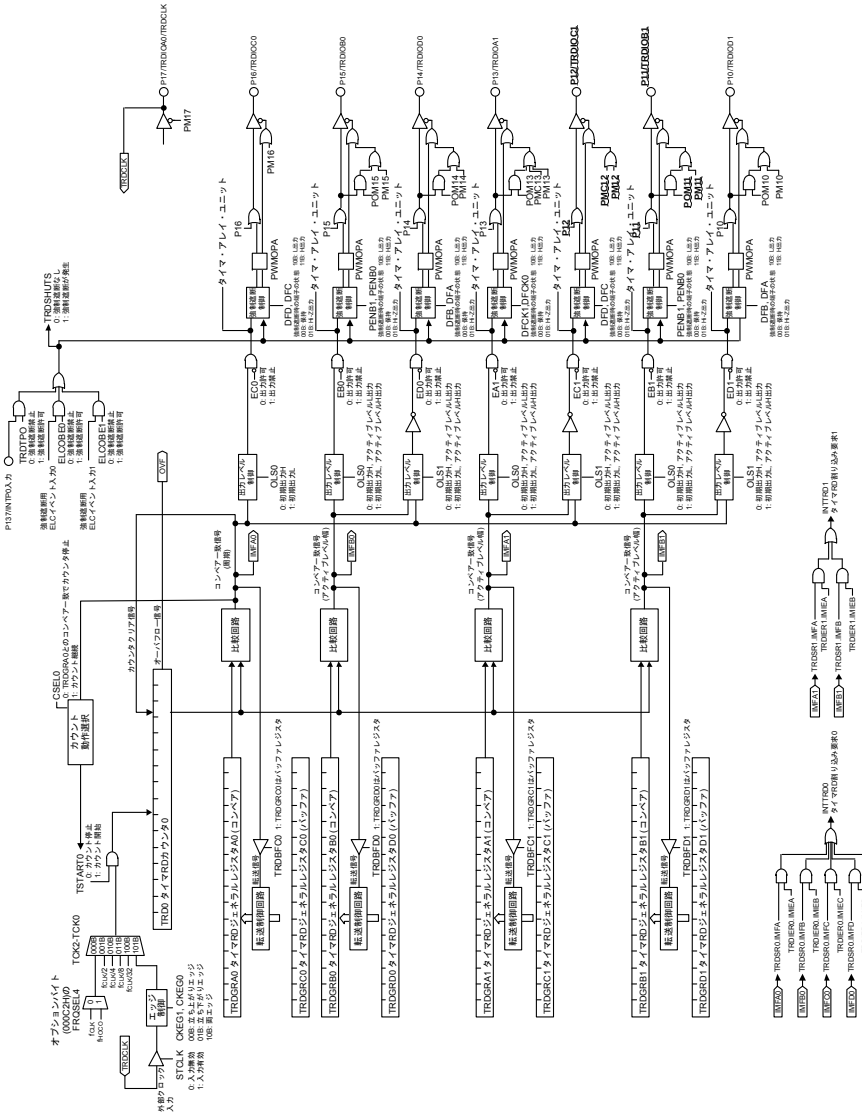
（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

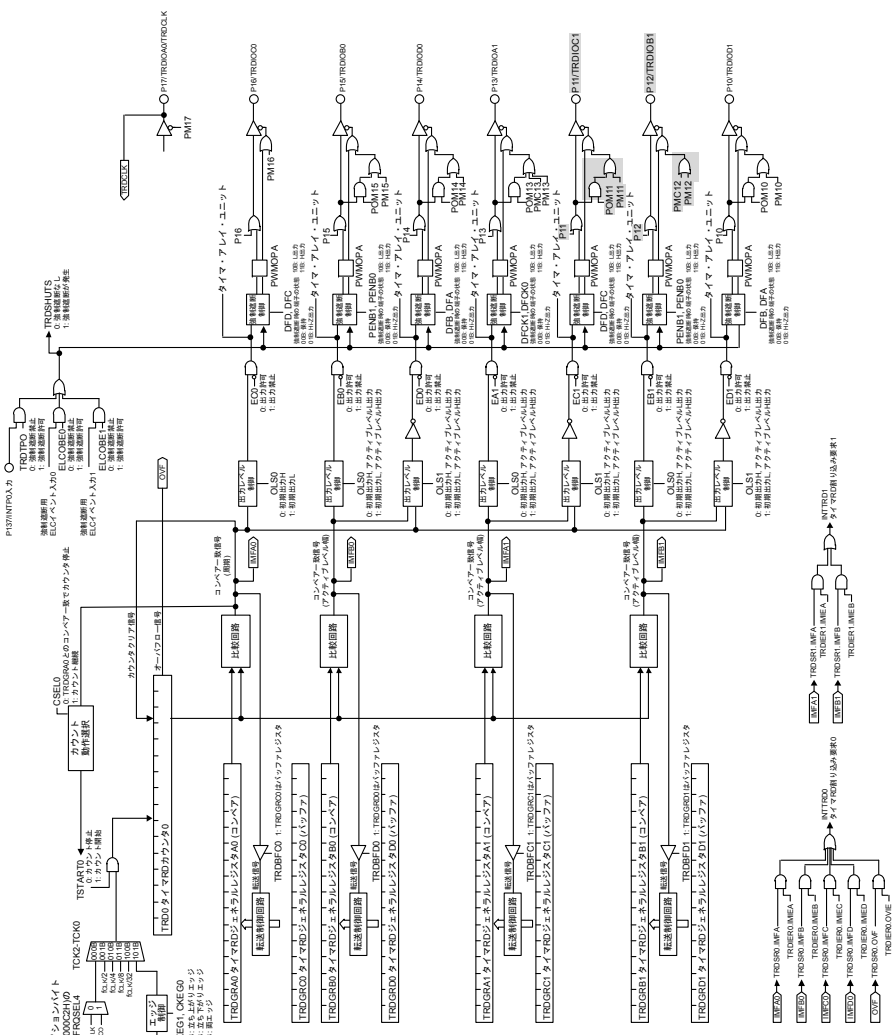
22. 8.5.4 リセット同期 PWM モード

図 8 - 56 リセット同期 PWM モードのブロック図（タイマ RD0 の場合）

誤）



正）

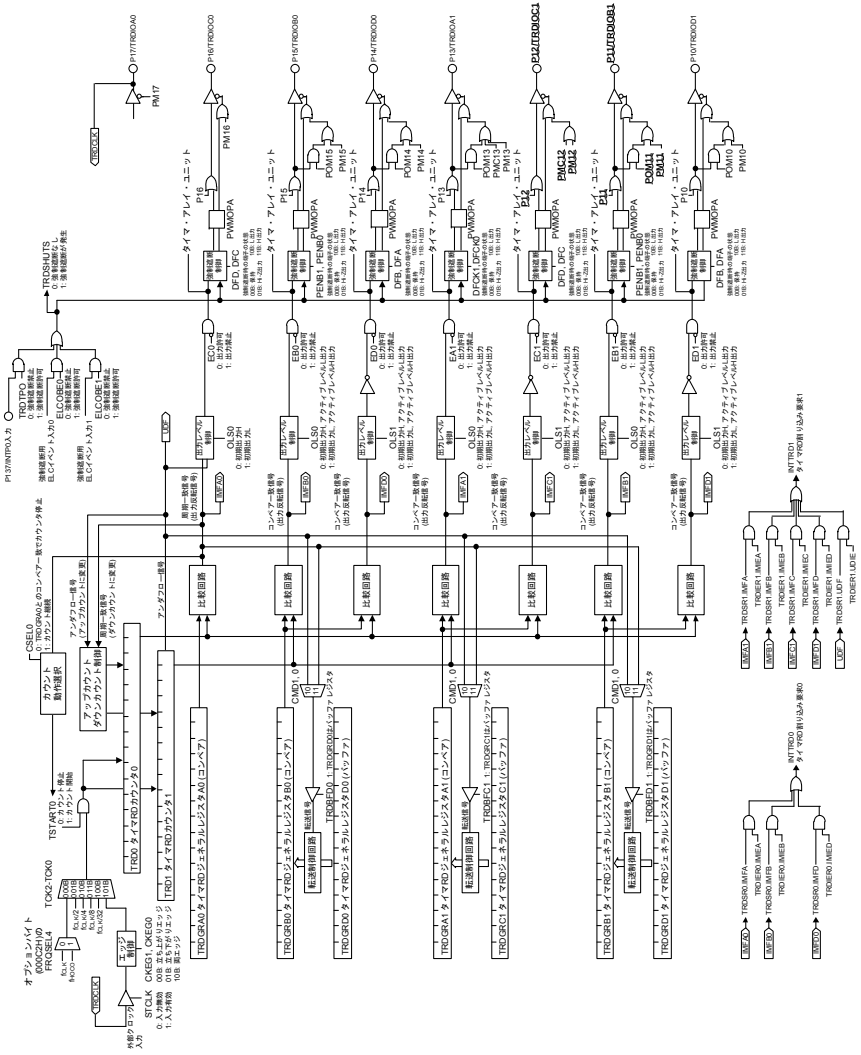


(c) 2016. Renesas Electronics Corporation. All rights reserved.

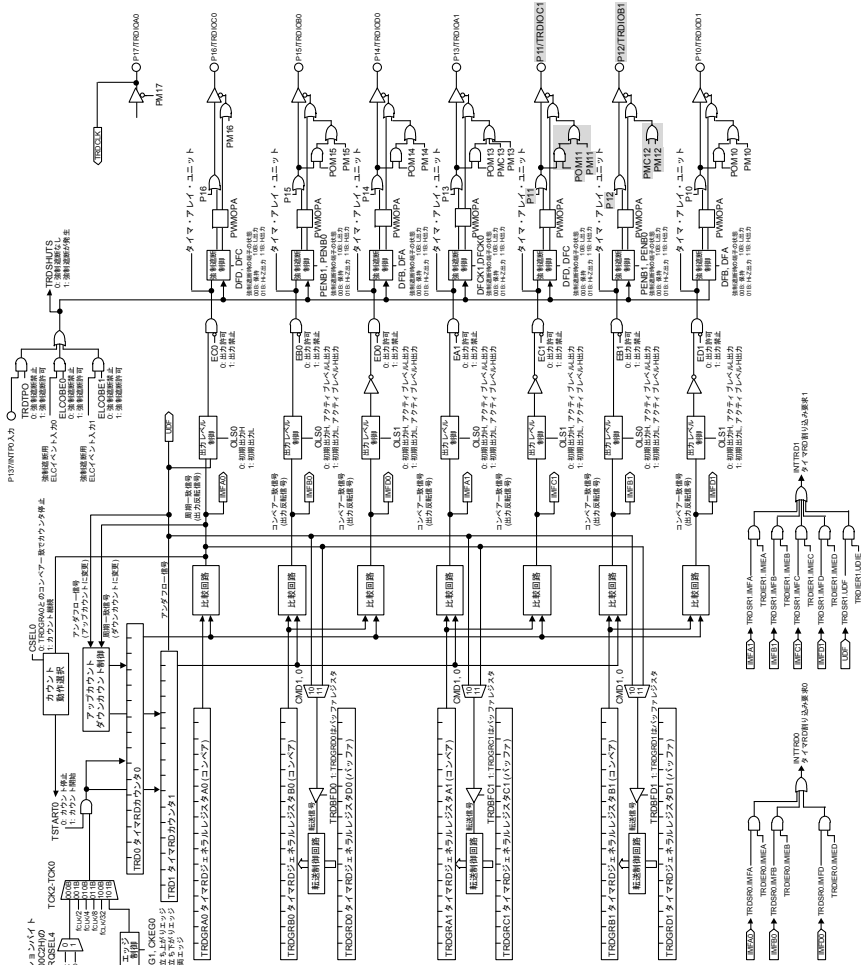
23. 8.5.5 相補 PWM モード

図 8 - 58 相補 PWM モードのブロック図（タイマ RD0 の場合）

誤）



正）



(c) 2016. Renesas Electronics Corporation. All rights reserved.

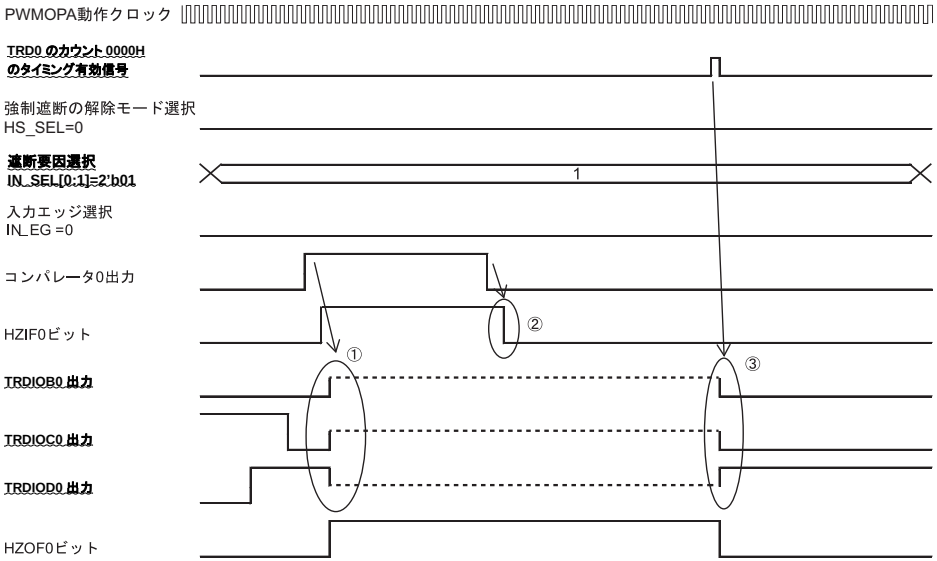
24. 8.8.3.2 ハードウエア解除（HS_SEL = 0の場合）

(2) タイマRD相補PWM機能の出力の場合

図8 － 78 ハードウエアで遮断解除機能動作例（TRDIOB0，TRDIOD0の例）

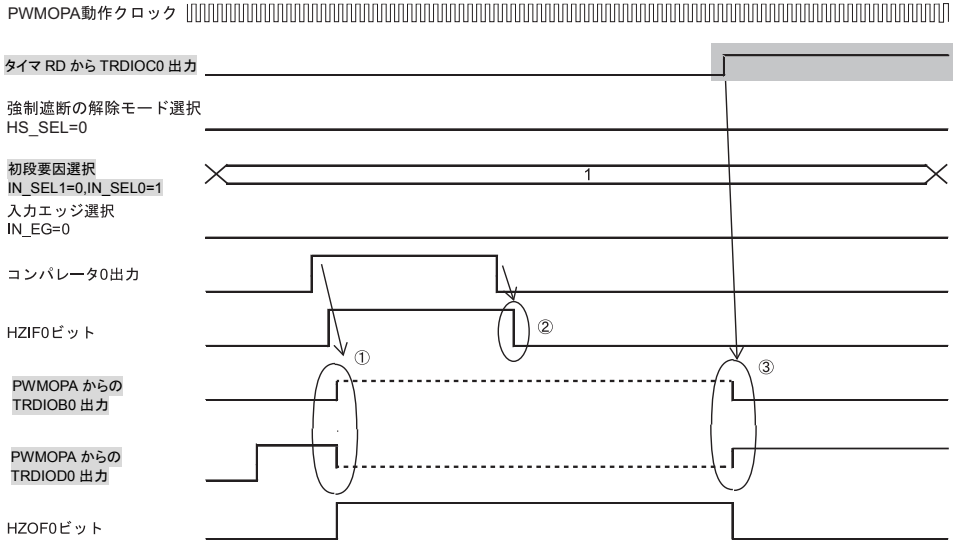
(p.442)

誤）



（省略）

正）



（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

25. 8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1時）（p.447）

誤）

8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1時）

OPCTL0レジスタのACTビットの設定により，出力強制遮断解除タイミングは異なります。

(1) ソフトウエアを使用し即時遮断解除を行う場合(ACT = 0の時)

ACTを0に設定する場合，OPCTL0レジスタのHZ_RELビットに1を設定すると，即時強制遮断を解除します。**強制遮断後自動的にHZ_RELビットは0になります。**

（省略）

正）

8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1時）

OPCTL0レジスタのACTビットの設定により，出力強制遮断解除タイミングは異なります。

(1) ソフトウエアを使用し即時遮断解除を行う場合(ACT = 0の時)

ACTを0に設定する場合，OPCTL0レジスタのHZ_RELビットに1を設定すると，即時強制遮断を解除します。強制遮断解除後自動的にHZ_RELビットは0になります。

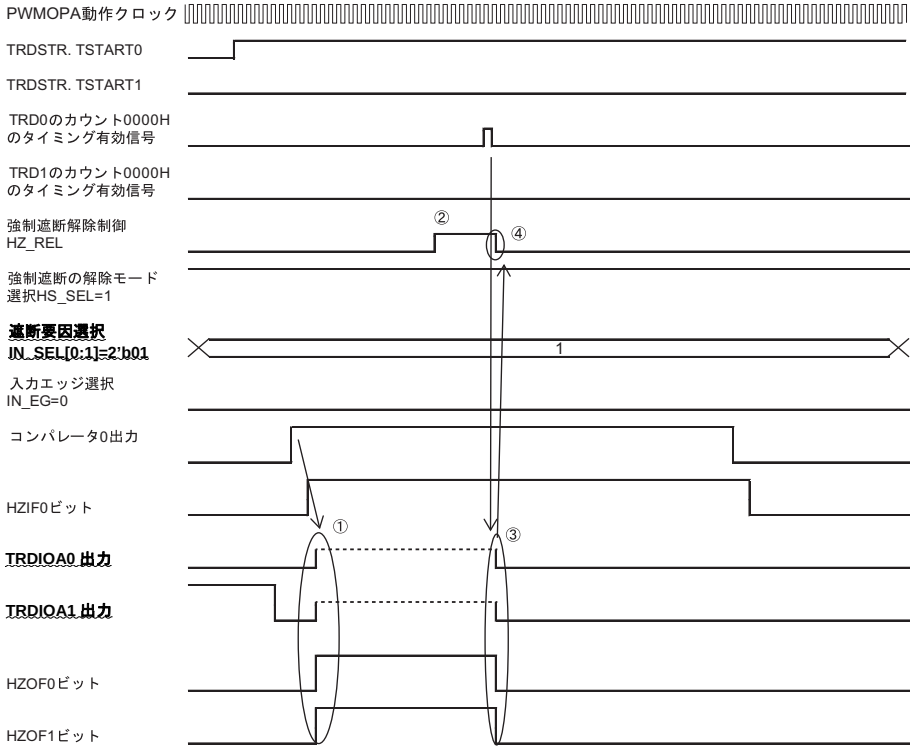
（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

26. 8.8.3.3 ソフトウエア遮断解除（HS_SEL = 1時）

図8 – 87 ソフトウエアにより出力遮断解除する場合の動作例 （p.451）

誤）



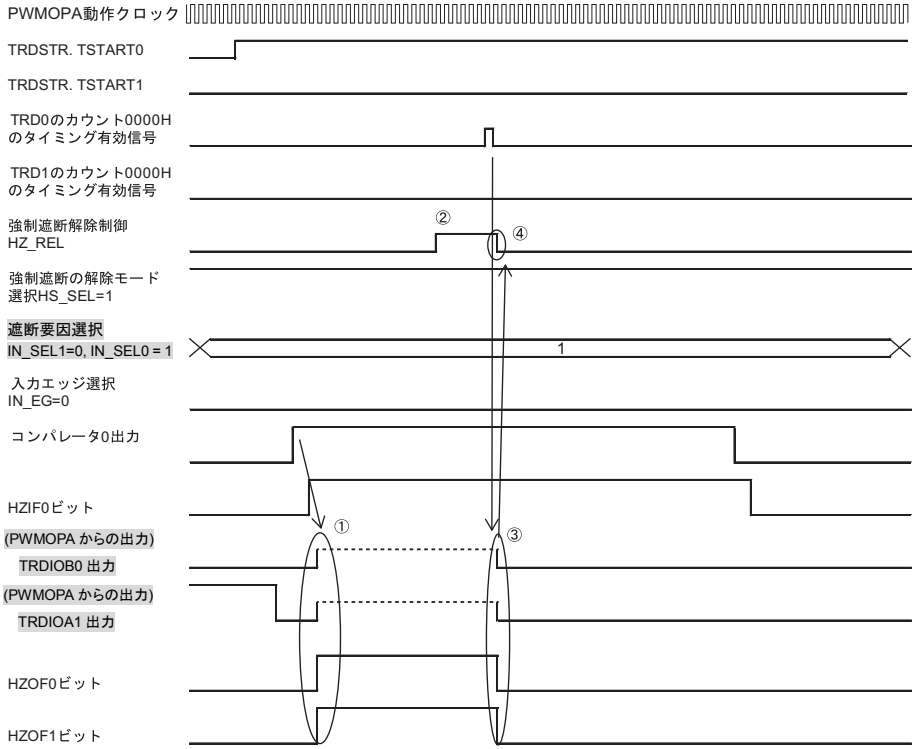
① コンパレータ0出力信号の立ち上がりエッジ検出で，TRDIOA0, TRDIOA1端子出力が遮断状態になる。

② HZ_RELビットに 1を設定後，タイマRDのチャネル0のカウンタの値が0000Hになるタイミングを待つ。

③ TRD0 のカウンタ値が0000H になると，TRDIOA0，TRDIOA1 の強制遮断状態が解除される（TIMRD チャネル1動作は影響しない）。

（省略）

正）



① コンパレータ0出力信号の立ち上がりエッジ検出で，TRDIOB0, TRDIOA1端子出力が遮断状態になる。

② HZ_RELビットに 1を設定後，タイマRDのチャネル0のカウンタの値が0000Hになるタイミングを待つ。

③ TRD0 のカウンタ値が0000H になると，TRDIOB0，TRDIOA1 の強制遮断状態が解除される（TIMRD チャネル1動作は影響しない）。

（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

27. 17.1 CMPの機能

表17-1 CMPの機能概要 (p.630)

誤）

項目	内容
CMP	・2チャネル搭載（コンパレータ0とコンパレータ1） ・マイナス側に基準電圧選択可能： コンパレータ0のマイナス側にアナログ端子入力，コンパレータ0内蔵基準電圧，内部基準電圧（BG2AD）から選択可能 ・コンパレータ1のマイナス側にアナログ端子入力（4本），コンパレータ1内蔵基準電圧，内部基準電圧（BG2AD）から選択可能 ： （省略） ：

正）

項目	内容
CMP	・2チャネル搭載（コンパレータ0とコンパレータ1） ・マイナス側に基準電圧選択可能： コンパレータ0のマイナス側にアナログ端子入力，コンパレータ0内蔵基準電圧，内部基準電圧（1.45V）から選択可能 ・コンパレータ1のマイナス側にアナログ端子入力（4本），コンパレータ1内蔵基準電圧，内部基準電圧（1.45V）から選択可能 ： （省略） ：

28. 17.3.8 コンパレータ 1 入力信号選択制御レジスタ（CMPSEL1）

図17 - 10 コンパレータ 1 入力信号選択制御レジスタ（CMPSEL1）(p.643)

誤）

アドレス ： F034BH　　リセット時 ： 00H　　R/W

略号	7	6	5	4	3	2	1	0
CMPSEL1	CMP1SEL1	CMP1SEL0	0	0	0	C1REFS2	C1REFS1	C1RFES0

（省略）

正）

アドレス ： F034BH　　リセット時 ： 00H　　R/W

略号	7	6	5	4	3	2	1	0
CMPSEL1	CMP1SEL1	CMP1SEL0	0	0	0	C1REFS2	C1REFS1	C1REFS0

（省略）

(c) 2016. Renesas Electronics Corporation. All rights reserved.

29. 37.3.2 電源電流特性 (TA= -40～+85 ℃, 1.6V≦EVDD0≦VDD≦5.5V, VSS=EVSS0=0V)(2/2) (p.1155)

誤）

(TA = -40～+85 °C, 1.6V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0V)

項 目	略 号	条 件				MIN.	TYP.	MAX.	単 位
（省 略）									
電源電流 注1	IDD2 注2	HALT モード	サブシステム・クロック動作	fSUB = 32.768 kHz注5	方形波入力		0.25	0.57	μA
					発振子接続		0.44	0.76	
				fSUB = 32.768 kHz注5	方形波入力		0.3	0.57	
					発振子接続		0.49	0.76	
				fSUB = 32.768 kHz注5	方形波入力		0.36	1.17	
					発振子接続		0.59	1.36	
				fSUB = 32.768 kHz注5	方形波入力		0.49	1.97	
					発振子接続		0.72	2.16	
				fSUB = 32.768 kHz注5	方形波入力		0.97	3.37	
					発振子接続		1.16	3.56	
（省 略）									

正）

(TA = -40～+85 °C, 1.6V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0V)

項 目	略 号	条 件				MIN.	TYP.	MAX.	単 位
（省 略）									
電源電流 注1	IDD2 注2	HALT モード	サブシステム・クロック動作	fSUB = 32.768 kHz注5 TA = -40 °C	方形波入力		0.25	0.57	μA
					発振子接続		0.44	0.76	
				fSUB = 32.768 kHz注5 TA = 25 °C	方形波入力		0.3	0.57	
					発振子接続		0.49	0.76	
				fSUB = 32.768 kHz注5 TA = 50 °C	方形波入力		0.36	1.17	
					発振子接続		0.59	1.36	
				fSUB = 32.768 kHz注5 TA = 70 °C	方形波入力		0.49	1.97	
					発振子接続		0.72	2.16	
				fSUB = 32.768 kHz注5 TA = 85 °C	方形波入力		0.97	3.37	
					発振子接続		1.16	3.56	
（省 略）									

(c) 2016. Renesas Electronics Corporation. All rights reserved.

30. 38.3.2 電源電流特性 (TA= -40～+105 ℃, 2.4V ≦EVDD0≦VDD≦5.5V, VSS=EVSS0=0V)(2/2) (p.1221)

誤）

(TA = -40～+105 °C, 2.4V≦EVDD0 ≦VDD≦5.5 V, VSS = EVSS0 = 0V)

項 目	略 号	条 件				MIN.	TYP.	MAX.	単 位
（省 略）									
電源電流 注1	IDD2 注2	HALT モード	サブシステム・クロック動作	fSUB = 32.768 kHz注5	方形波入力		0.25	0.57	μA
					発振子接続		0.44	0.76	
				fSUB = 32.768 kHz注5	方形波入力		0.3	0.57	
					発振子接続		0.49	0.76	
				fSUB = 32.768 kHz注5	方形波入力		0.36	1.17	
					発振子接続		0.59	1.36	
				fSUB = 32.768 kHz注5	方形波入力		0.49	1.97	
					発振子接続		0.72	2.16	
				fSUB = 32.768 kHz注5	方形波入力		0.97	3.37	
					発振子接続		1.16	3.56	
				fSUB = 32.768 kHz注5	方形波入力		3.20	17.10	
					発振子接続		3.40	17.50	
（省 略）									

正）

(TA = -40～+105 °C, 2.4 V≦EVDD0 ≦VDD≦5.5 V, VSS = EVSS0 = 0V)

項 目	略 号	条 件				MIN.	TYP.	MAX.	単 位
（省 略）									
電源電流 注1	IDD2 注2	HALT モード	サブシステム・クロック動作	fSUB = 32.768 kHz注5 TA = -40 °C	方形波入力		0.25	0.57	μA
					発振子接続		0.44	0.76	
				fSUB = 32.768 kHz注5 TA = -25 °C	方形波入力		0.3	0.57	
					発振子接続		0.49	0.76	
				fSUB = 32.768 kHz注5 TA = 50 °C	方形波入力		0.36	1.17	
					発振子接続		0.59	1.36	
				fSUB = 32.768 kHz注5 TA = 70°C	方形波入力		0.49	1.97	
					発振子接続		0.72	2.16	
				fSUB = 32.768 kHz注5 TA = 85 °C	方形波入力		0.97	3.37	
					発振子接続		1.16	3.56	
				fSUB = 32.768 kHz注5 TA = 105 °C	方形波入力		3.20	17.10	
					発振子接続		3.40	17.50	
（省 略）									

以上

(c) 2016. Renesas Electronics Corporation. All rights reserved.