

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサスエレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A060B/J	Rev.	第2版
題名	誤記訂正通知 RL78/G14 ユーザーズマニュアル Rev.3.20 の記載変更		情報分類	技術情報	
適用製品	RL78/G14 グループ : R5F104xxx	対象ロット等 全ロット	関連資料	RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.3.20 R01UH0186JJ0320 (Jan. 2015)	

RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.3.20(R01UH0186JJ0320)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
2.1.1 30ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.57	誤記訂正
2.1.2 32ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.59	誤記訂正
2.1.3 36ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.61	誤記訂正
2.1.4 40ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.63	誤記訂正
2.1.5 44ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.65	誤記訂正
2.1.6 48ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.67	誤記訂正
2.1.7 52ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.69	誤記訂正
2.1.8 64ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	p.71	誤記訂正
2.1.9 30ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.73	誤記訂正
2.1.10 32ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.75	誤記訂正
2.1.11 36ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.77	誤記訂正
2.1.12 40ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.79	誤記訂正
2.1.13 44ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.81	誤記訂正
2.1.14 48ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.83	誤記訂正
2.1.15 52ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.85	誤記訂正
2.1.16 64ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	p.87	誤記訂正
2.1.17 80ピン	p.89	誤記訂正
2.1.18 100ピン	p.92	誤記訂正
2.4 端子ブロック図 図2-8端子タイプ7-1-4の端子ブロック図	p.107	注意追加
2.4 端子ブロック図 図2-10端子タイプ7-1-8の端子ブロック図	p.109	注意追加
2.4 端子ブロック図 図2-12端子タイプ7-3-4の端子ブロック図	p.111	注意追加
2.4 端子ブロック図 図2-14端子タイプ7-6-8の端子ブロック図	p.113	注意追加
2.4 端子ブロック図 図2-15端子タイプ8-1-3の端子ブロック図	p.114	注意追加
2.4 端子ブロック図 図2-16端子タイプ8-1-4の端子ブロック図	p.115	注意追加
2.4 端子ブロック図 図2-17端子タイプ8-1-7の端子ブロック図	p.116	注意追加
2.4 端子ブロック図 図2-18端子タイプ8-1-8の端子ブロック図	p.117	注意追加
2.4 端子ブロック図 図2-19端子タイプ8-3-4の端子ブロック図	p.118	注意追加
2.4 端子ブロック図 図2-20端子タイプ8-6-6の端子ブロック図	p.119	注意追加
2.4 端子ブロック図 図2-21端子タイプ8-6-8の端子ブロック図	p.120	注意追加
2.4 端子ブロック図 図2-22端子タイプ12-1-2の端子ブロック図	p.121	誤記訂正

4.5.3 使用するポート機能および兼用機能のレジスタ設定例 表4-17 P30-P120端子機能使用時のレジスタの設定例 (1/6) P40のPOMxxレジスタ設定値の誤記訂正	p.226	誤記訂正
8.3.9 タイマRD出力制御レジスタ(TRDOCR) 図8-12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット [リセット同期PWMモード,相補PWMモード]	—	仕様追加
8.3.9 タイマRD出力制御レジスタ(TRDOCR) 図8-18タイマRD制御レジスタ0 (TRDOCR0)のフォーマット [相補PWMモード]	p.439	誤記訂正
8.3.18 タイマRDカウンタ (TRDi)(i = 0, 1) 図8-31タイマRDカウンタ (TRDi)(i = 0, 1)のフォーマット [リセット同期PWMモード, PWM3 モード]	p.455	誤記訂正
8.3.18 タイマRDカウンタ (TRDi)(i = 0, 1) 図 8-32 タイマRDカウンタ (TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD0)]	p.456	誤記訂正
8.3.18 タイマRDカウンタ (TRDi)(i = 0, 1) 図 8-33 タイマRDカウンタ (TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD1)]	p.456	誤記訂正
8.5.4 リセット同期PWMモード 図8-56 リセット同期PWMモードのブロック図	p.494	誤記訂正
8.5.5 相補PWMモード 図8-58 相補PWMモードのブロック図	p.498	誤記訂正
35.3.2 電源電流特性 (3) 48~100ピン製品のフラッシュROM384~512 KBの製品 T.B.D.値の規定	p.1253,p.1255	仕様追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0186JJ0320	
1	2.1.1	30ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.57	p.4
2	2.1.2	32ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.59	p.4
3	2.1.3	36ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.61	p.5
4	2.1.4	40ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.63	p.5
5	2.1.5	44ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.65	p.6
6	2.1.6	48ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.67	p.6
7	2.1.7	52ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.69	p.7
8	2.1.8	64ピン(コード・フラッシュ・メモリ 16 KB~ 64 KB)	p.71	p.7
9	2.1.9	30ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.73	p.8
10	2.1.10	32ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.75	p.8
11	2.1.11	36ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.77	p.9
12	2.1.12	40ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.79	p.9
13	2.1.13	44ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.81	p.10
14	2.1.14	48ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.83	p.10
15	2.1.15	52ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.85	p.11
16	2.1.16	64ピン(コード・フラッシュ・メモリ 96 KB~ 256 KB)	p.87	p.11
17	2.1.17	80ピン	p.89	p.12
18	2.1.18	100ピン	p.92	p.13
19	2.4	端子ブロック図 図2-8端子タイプ7-1-4の端子ブロック図	p.107	p.14
20	2.4	端子ブロック図 図2-10端子タイプ7-1-8の端子ブロック図	p.109	p.15
21	2.4	端子ブロック図 図2-12端子タイプ7-3-4の端子ブロック図	p.111	p.16
22	2.4	端子ブロック図 図2-14端子タイプ7-6-8の端子ブロック図	p.113	p.17

23	2.4 端子ブロック図 図2-15端子タイプ8-1-3の端子ブロック図	p.114	p.18
24	2.4 端子ブロック図 図2-16端子タイプ8-1-4の端子ブロック図	p.115	p.19
25	2.4 端子ブロック図 図2-17端子タイプ8-1-7の端子ブロック図	p.116	p.20
26	2.4 端子ブロック図 図2-18端子タイプ8-1-8の端子ブロック図	p.117	p.21
27	2.4 端子ブロック図 図2-19端子タイプ8-3-4の端子ブロック図	p.118	p.22
28	2.4 端子ブロック図 図2-20端子タイプ8-6-6の端子ブロック図	p.119	p.23
29	2.4 端子ブロック図 図2-21端子タイプ8-6-8の端子ブロック図	p.120	p.24
30	2.4 端子ブロック図 図2-22端子タイプ12-1-2の端子ブロック図	p.121	p.25
31	4.5.3 使用するポート機能および兼用機能のレジスタ設定例 表4-17 P30-P120 端子機能使用時のレジスタの設定例 (1/6) P40のPOMxxレジスタ設定値の誤記訂正	p.226	p.26
32	8.3.9 タイマRD出力制御レジスタ(TRDOCR) 図8-12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット [リセット同期PWMモード,相補PWMモード]	—	p.27
33	8.3.11 タイマRD制御レジスタi (TRDCRi)(i = 0, 1) 図8-18タイマRD制御レジスタ0 (TRDOCR0)のフォーマット [相補PWMモード]	p.439	p.28
34	8.3.18 タイマRDカウンタ (TRDi)(i = 0, 1) 図8-31タイマRDカウンタ (TRDi)(i = 0, 1) のフォーマット [リセット同期 PWMモード, PWM3 モード]	p.455	p.28
35	8.3.18 タイマRDカウンタ (TRDi)(i = 0, 1) 図8-32 タイマRD カウンタ (TRDi)(i = 0, 1) のフォーマット [相補 PWMモード(TRD0)]	p.456	p.29
36	8.3.18 タイマRDカウンタ (TRDi)(i = 0, 1) 図 8-33 タイマRDカウンタ (TRDi)(i = 0, 1)のフォーマット [相補PWMモード(TRD1)]	p.456	p.29
37	8.5.4 リセット同期PWMモード 図8-56 リセット同期PWMモードのブロック図	p.494	p.30
38	8.5.5 相補PWMモード 図8-58 相補PWMモードのブロック図	p.498	p.31
39	35.3.2 電源電流特性 (3) 48~100ピン製品のフラッシュROM384~512 KBの製品 T.B.D.値の規定	p.1253,p.1255	p.32-p.34

誤記訂正の該当箇所は、**誤)太字下線**、**正)グレー・ハッチング**で記載します。

記載変更・追加の該当箇所は、**旧)太字下線**、**新)グレー・ハッチング**で記載します。

発行文書履歴

RL78/G14 ユーザーズマニュアル Rev.3.20 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A060A/J	2016年4月21日	初版発行 訂正一覧の No.1 ~ No.39 の誤記訂正
TN-RL*-A060B/J	2016年4月26日	2版発行 訂正一覧の No.1 ~ No.39 の誤記訂正の再発行(本通知です。)

1. 2.1.1 30ピン(コード・フラッシュ・メモリ 16 KB ~ 64 KB)(p.57)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
(省略)					

2. 2.1.2 32ピン(コード・フラッシュ・メモリ 16 KB ~ 64 KB)(p.59)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
(省略)					

3. 2.1.3 36ピン(コード・フラッシュ・メモリ 16 KB ~ 64 KB)(p.61)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

4. 2.1.4 40ピン(コード・フラッシュ・メモリ 16 KB ~ 64 KB)(p.63)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

5. 2.1.5 44ピン(コード・フラッシュ・メモリ 16KB ~ 64KB)(p.65)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

6. 2.1.6 48ピン(コード・フラッシュ・メモリ 16KB ~ 64KB)(p.67)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

7. 2.1.7 52ピン(コード・フラッシュ・メモリ 16 KB ~ 64 KB)(p.69)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

8. 2.1.8 64ピン(コード・フラッシュ・メモリ 16 KB ~ 64 KB)(p.71)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

9. 2.1.9 30ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.73)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
(省略)					

10. 2.1.10 32ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.75)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
(省略)					

11. 2.1.11 36ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.77)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

12. 2.1.12 40ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.79)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力は N-chオープン・ドレイン出力 (6V耐圧)。
P61				SDAA0	
P62				SSIO0	
(省略)					

13. 2.1.13 44ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.81)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
(省略)					

14. 2.1.14 48ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.83)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
(省略)					

15. 2.1.15 52ピン(コード・フラッシュ・メモリ 96 KB ~ 256 KB)(p.85)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

16. 2.1.16 64ピン(コード・フラッシュ・メモリ 96KB~256KB)(p.87)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSIO0	
P63				—	
(省略)					

17. 2.1.17 80ピン(p.89)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 P64-P67は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SSI00/SCLA1	
P63				SDAA1	
P64	7-1-3			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	
(省略)					

正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 P64-P67は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SSI00/SCLA1	
P63				SDAA1	
P64	7-1-3			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	
(省略)					

18. 2.1.18 100ピン(p.92)

端子タイプの誤記訂正

誤)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-2	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 P64-P67は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SSI00/SCLA1	
P63				SDAA1	
P64	7-1-3			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	
(省略)					

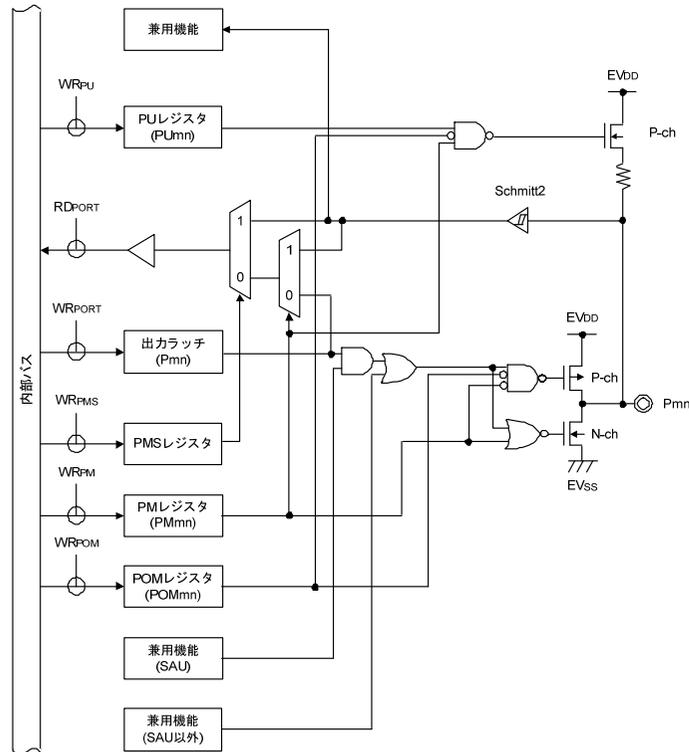
正)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。 P64-P67は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P61				SDAA0	
P62				SSI00/SCLA1	
P63				SDAA1	
P64	7-1-3			TI10/TO10	
P65				TI11/TO11	
P66				TI12/TO12	
P67				TI13/TO13	
(省略)					

19. 2.4 端子ブロック図

図 2 - 8 端子タイプ 7-1-4 の端子ブロック図(p.107)

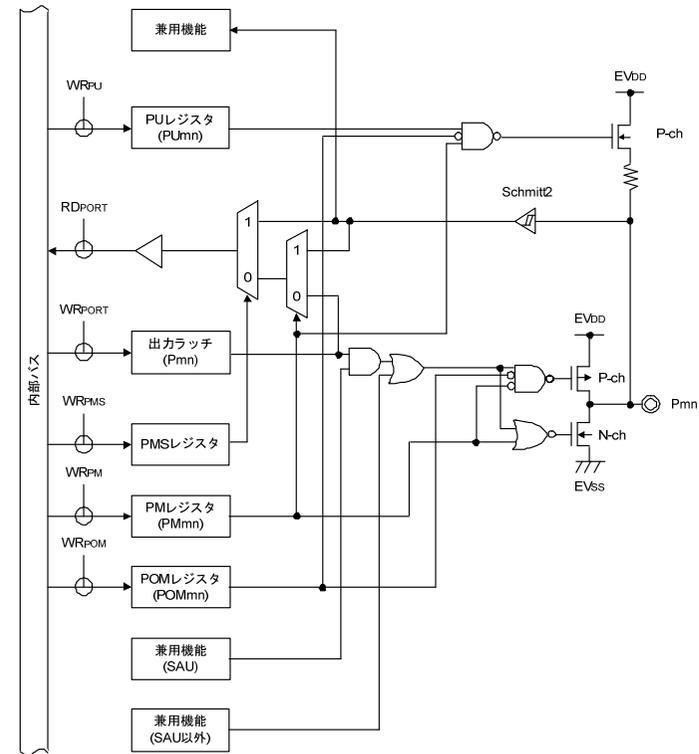
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

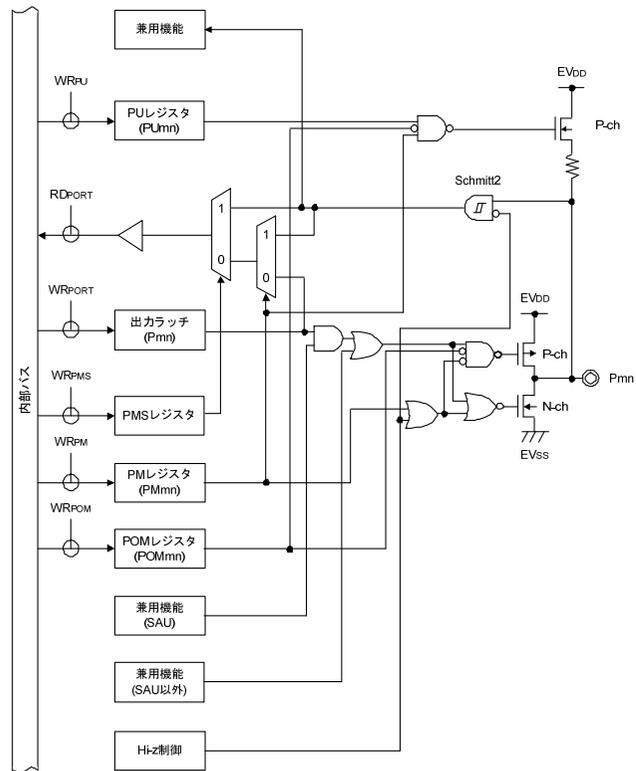
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

20. 2.4 端子ブロック図

図 2 - 10 端子タイプ 7-1-8 の端子ブロック図(p.109)

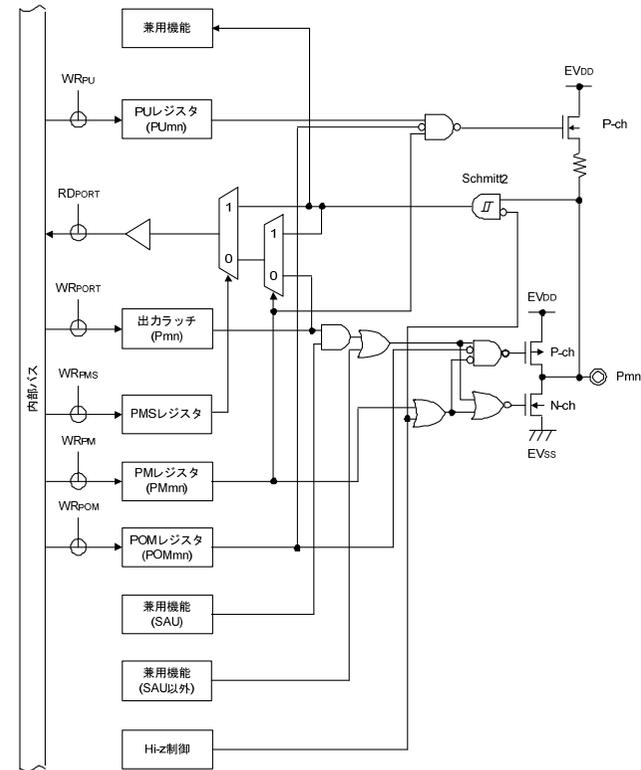
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

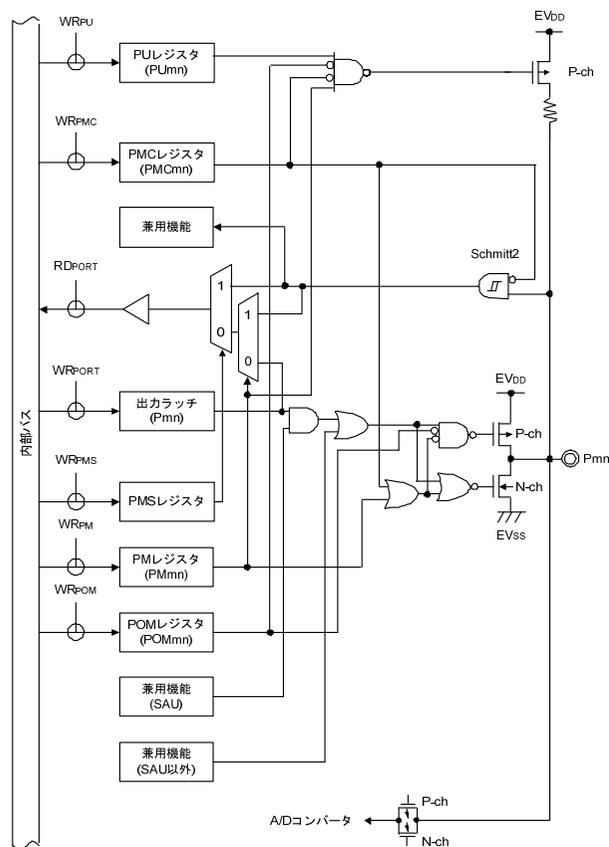
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

21. 2.4 端子ブロック図

図 2 - 12 端子タイプ 7-3-4 の端子ブロック図(p.111)

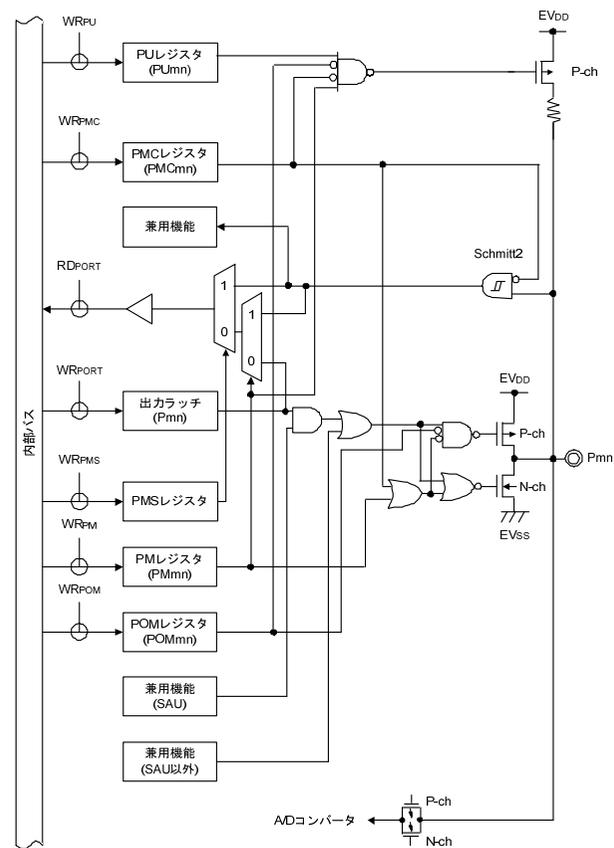
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU: シリアル・アレイ・ユニット

新)



注意. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

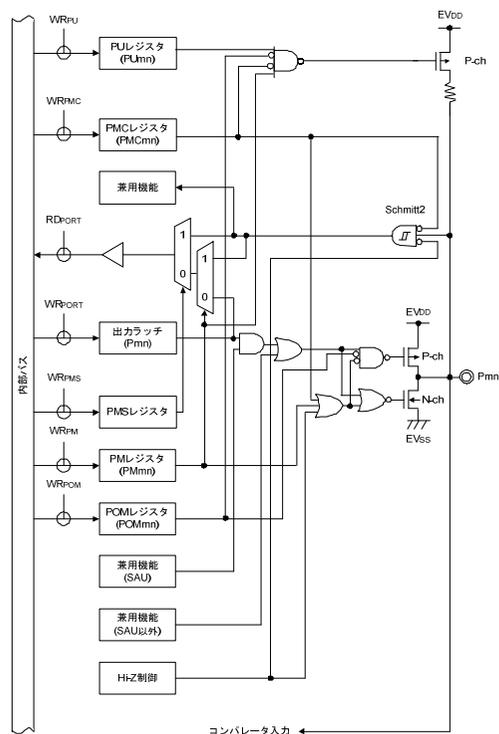
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU: シリアル・アレイ・ユニット

22. 2.4 端子ブロック図

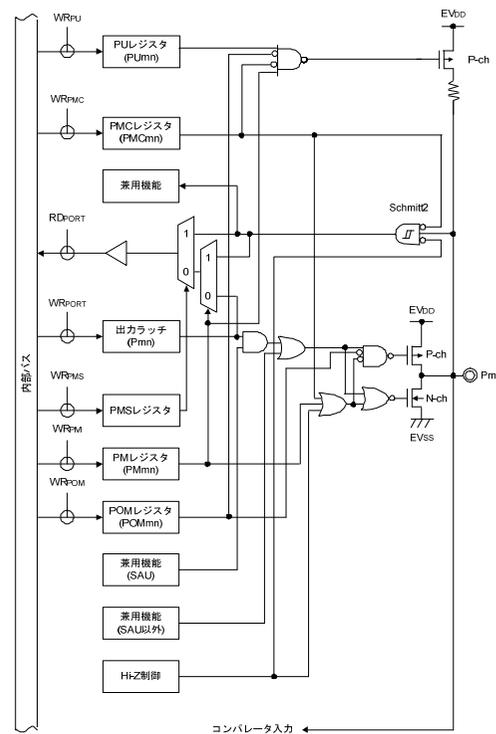
図 2 - 14 端子タイプ 7-6-8 の端子ブロック図(p.113)

旧)



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。
- 備考 2. SAU:シリアル・アレイ・ユニット

新)



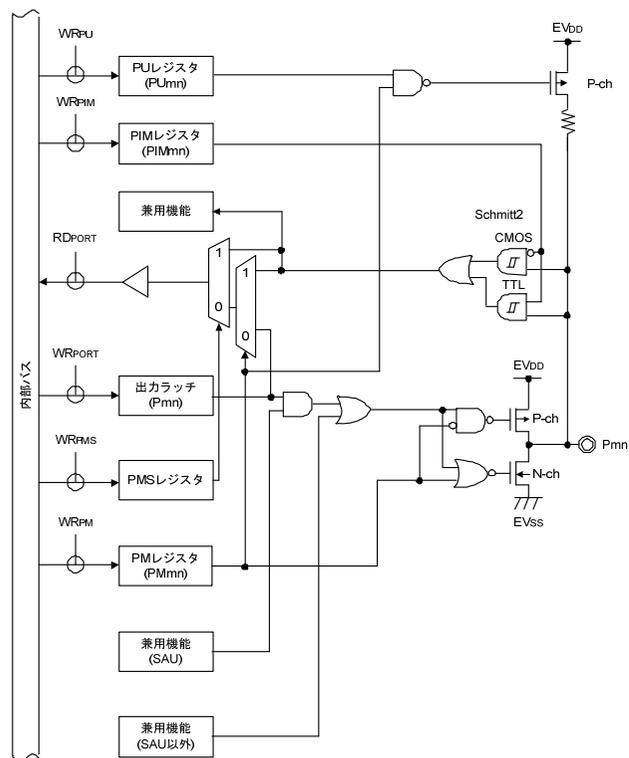
注意. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。
- 備考 2. SAU:シリアル・アレイ・ユニット

23. 2.4 端子ブロック図

図 2 - 15 端子タイプ 8-1-3 の端子ブロック図(p.114)

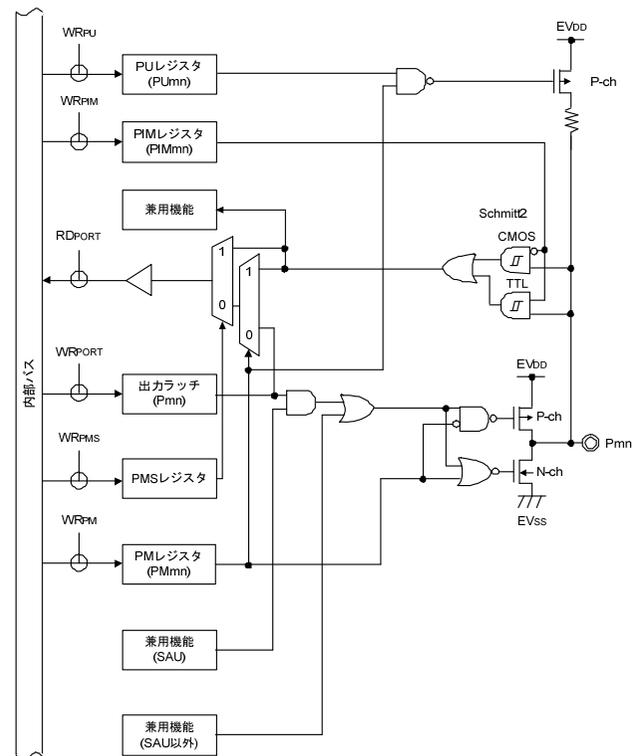
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

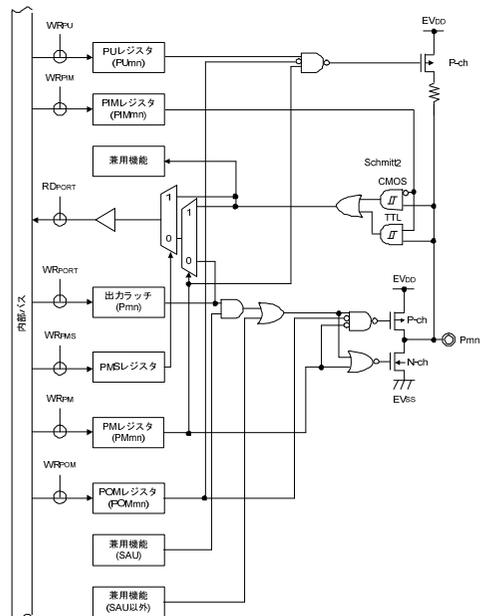
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

24. 2.4 端子ブロック図

図 2 - 16 端子タイプ 8-1-4 の端子ブロック図(p.115)

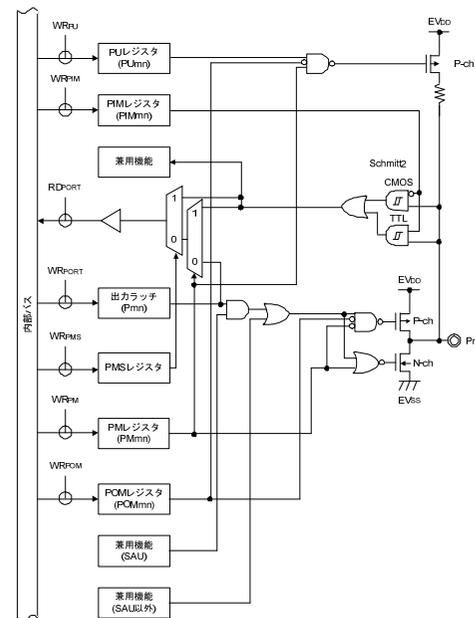
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

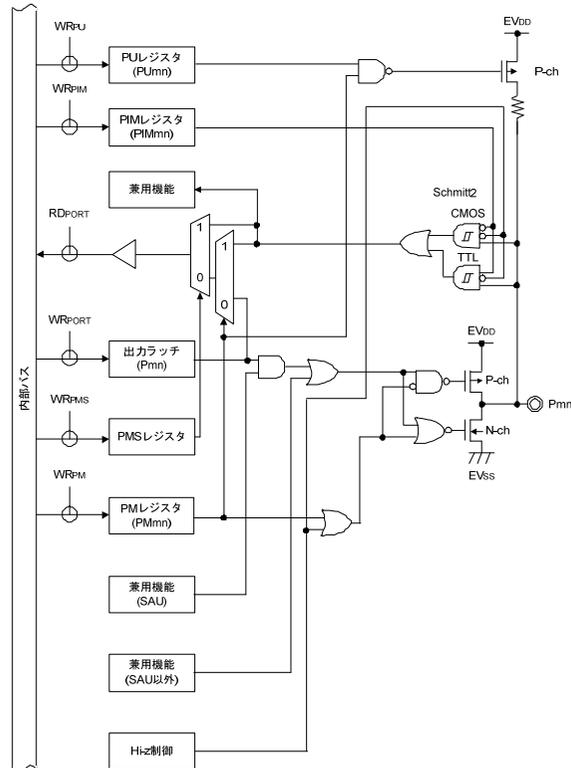
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

25. 2.4 端子ブロック図

図 2 - 17 端子タイプ 8-1-7 の端子ブロック図(p.116)

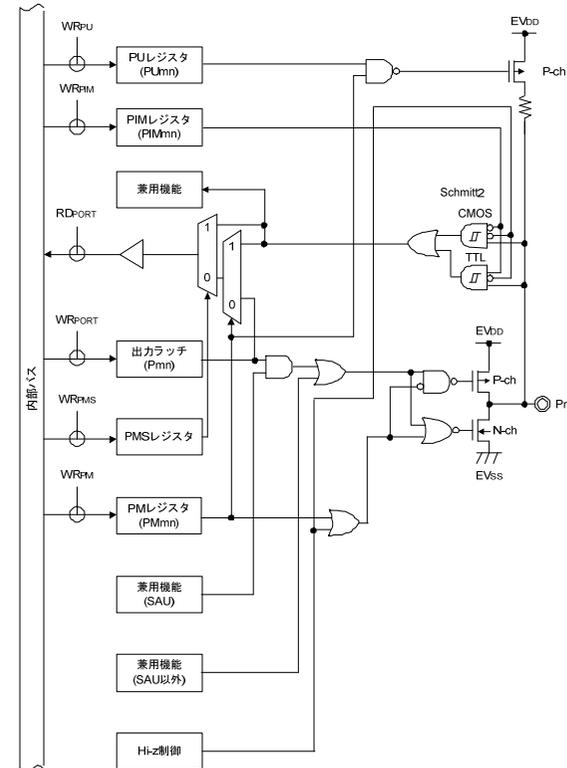
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

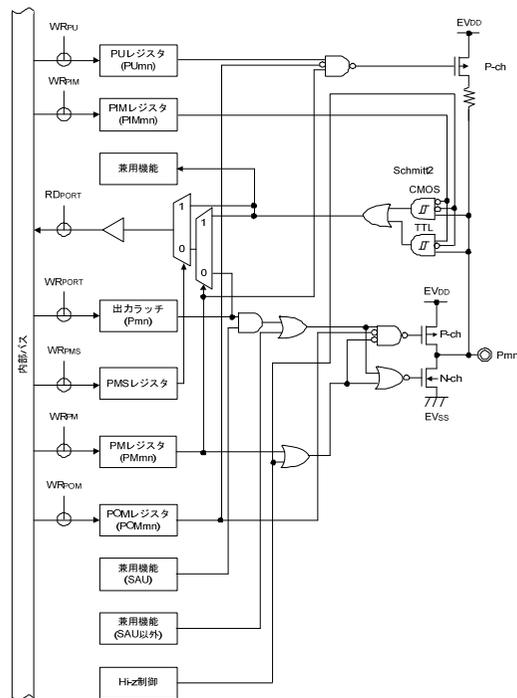
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

26. 2.4 端子ブロック図

図 2 - 18 端子タイプ 8-1-8 の端子ブロック図(p.117)

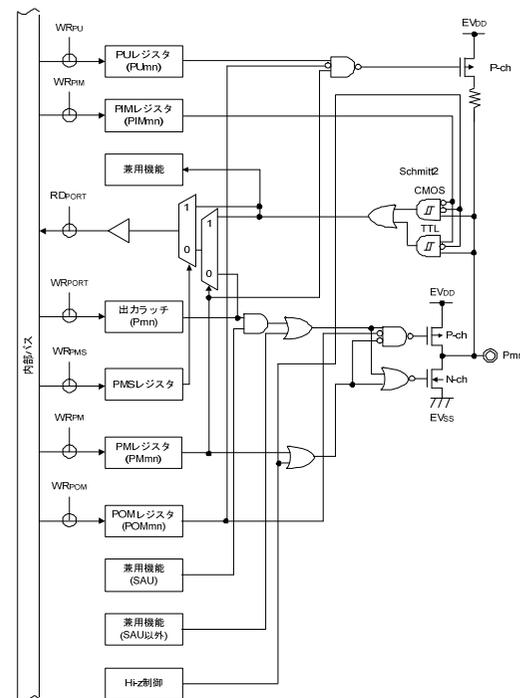
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU: シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

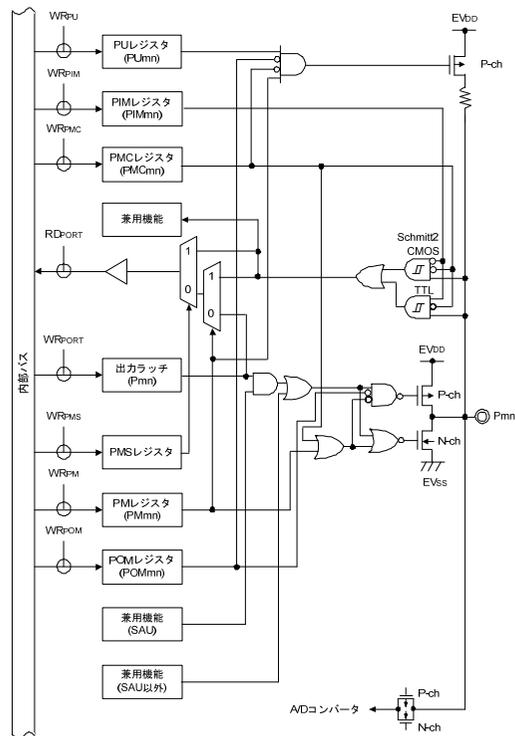
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU: シリアル・アレイ・ユニット

27. 2.4 端子ブロック図

図 2 - 19 端子タイプ 8-3-4 の端子ブロック図(p.118)

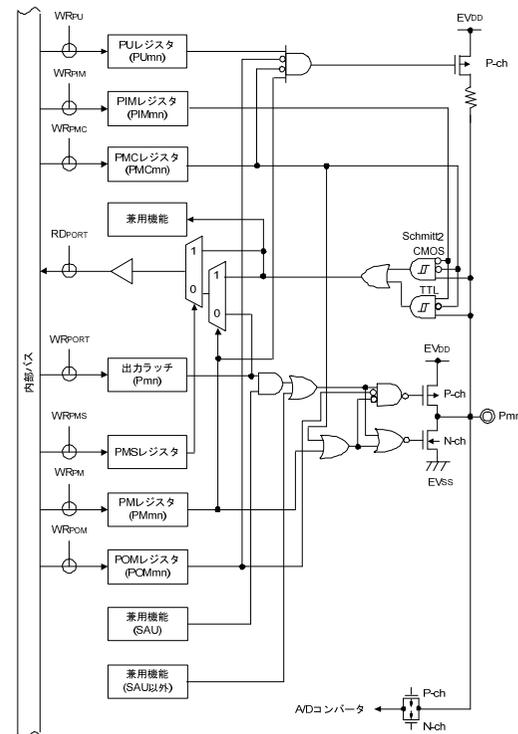
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

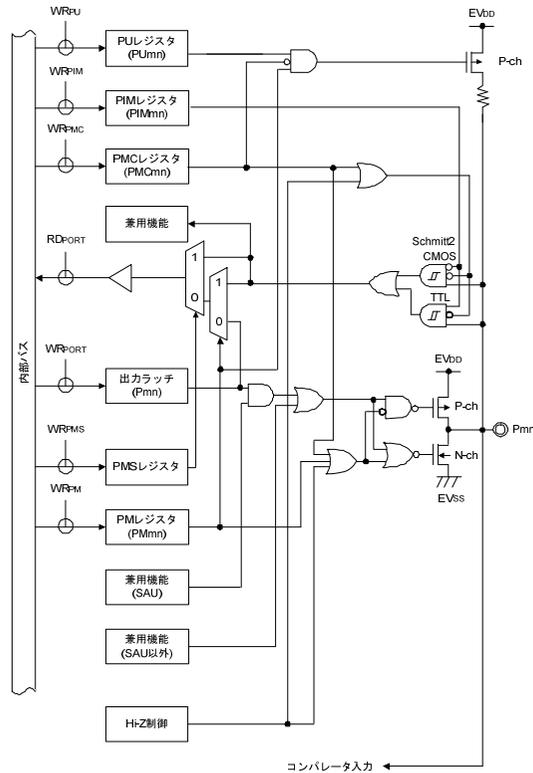
備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

28. 2.4 端子ブロック図

図 2 - 20 端子タイプ 8-6-6 の端子ブロック図(p.119)

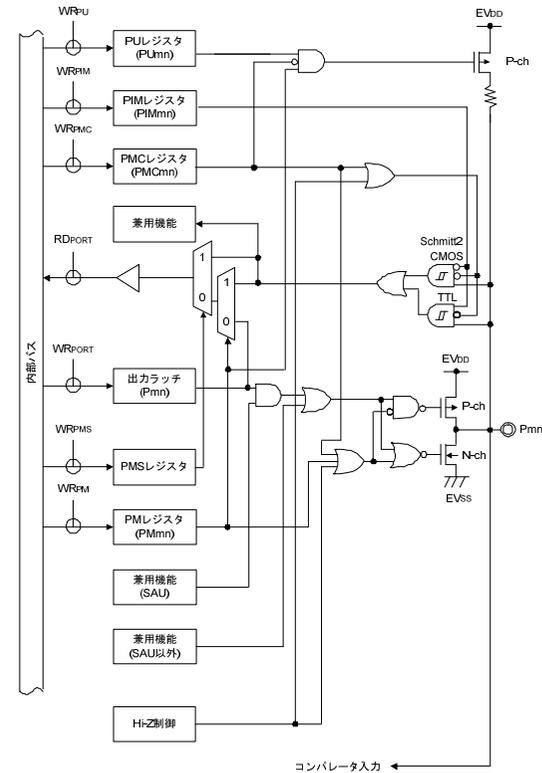
旧)



備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

新)



注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考 1. 兼用機能は、2.1 ポート機能を参照してください。

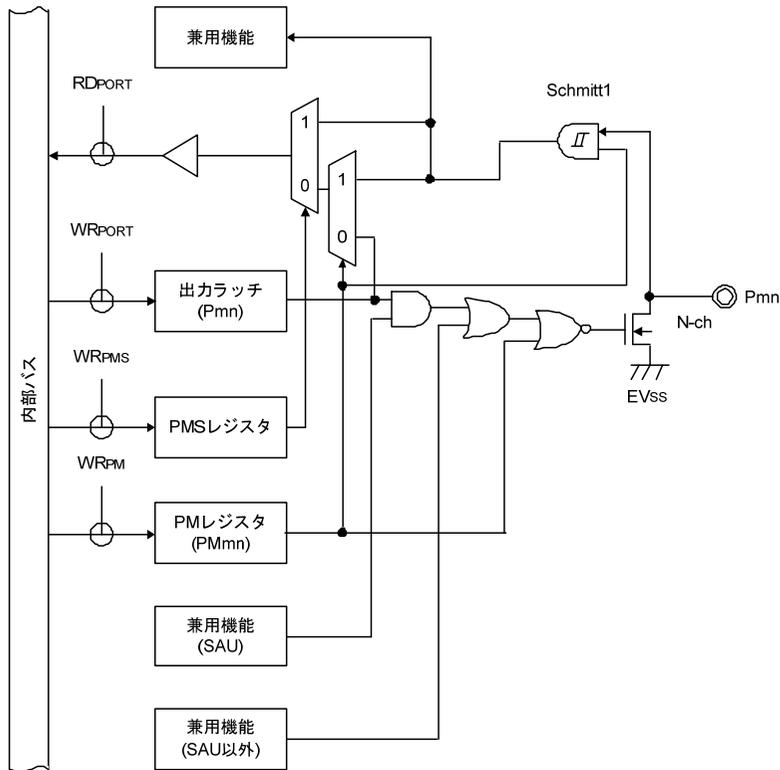
備考 2. SAU:シリアル・アレイ・ユニット

30. 2.4 端子ブロック図

図 2-22 端子タイプ 12-1-2 の端子ブロック図(p.121)

誤)

図 2-22 端子タイプ 12-1-2 の端子ブロック図

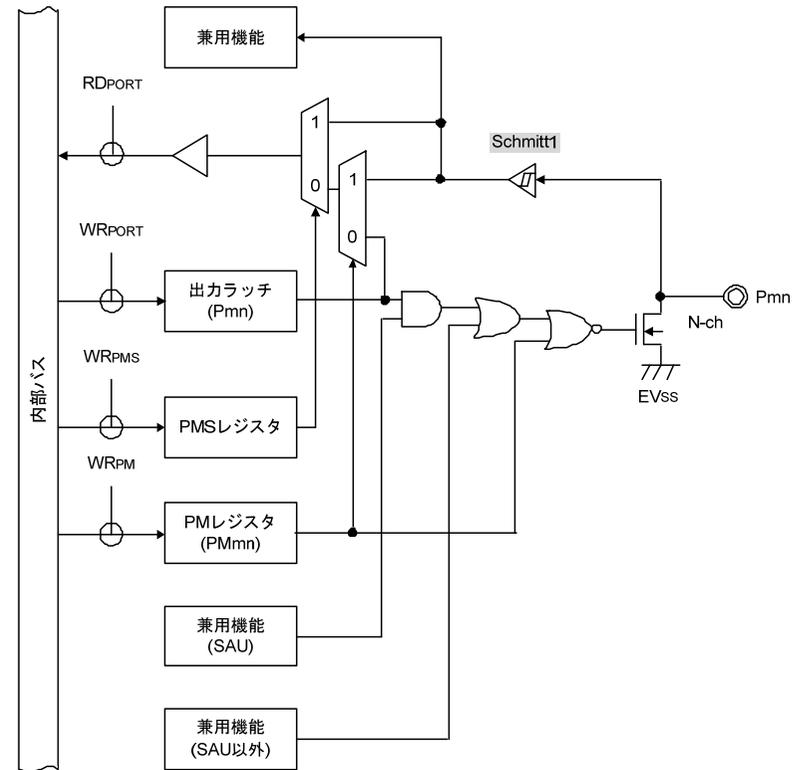


備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

正)

図 2-22 端子タイプ 12-1-5 の端子ブロック図



注意. 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考 1. 兼用機能は、2.1 ポート機能を参照してください。

備考 2. SAU:シリアル・アレイ・ユニット

31. 4.5.3 使用するポート機能および兼用機能のレジスタ設定例

表 4 - 17 P30-P120 端子機能使用時のレジスタの設定例 (1/6)(p.226)

誤)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外										
(省略)																			
P40	P40	入力	—	x	—	1	x	—		○	○	○	○	○	○	○	○	○	○
		出力	x	Q	—	0	0/1	—											
(省略)																			

正)

端子名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
	機能名称	入出力						SAUの出力機能	SAU以外										
(省略)																			
P40	P40	入力	—	■	—	1	x	—		○	○	○	○	○	○	○	○	○	○
		出力	x	■	—	0	0/1	—											
(省略)																			

32. 8.3.9 タイマ RD 出力制御レジスタ(TRDOCR)

図 8-12 タイマ RD 出力制御レジスタ(TRDOCR)のフォーマット

[リセット同期 PWM モード, 相補 PWM モード]

旧)

なし

新)

図 8-12 タイマ RD 出力制御レジスタ (TRDOCR)のフォーマット

[リセット同期 PWM モード, 相補 PWM モード]

アドレス: F0269H リセット時: 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1, TOC1, TOB1, TOA1, TOD0, TOB0, TOA0	リセット同期 PWM モード時, 相補 PWM モードでは, 設定は無効です。必ず, 0 を設定してください。 リセット同期 PWM モード, 相補 PWM モードの場合, 本レジスタの設には依存せず, TRDFCR の OLS1, OLS0 ビットの設定に従います。
--	---

TOC0	TRDIOC0 初期出力レベル選択 ^{注2}	
0	初期出力 L	リセット同期 PWM モードでは, PWM 周期ごとに出力反転します。 相補 PWM モードでは, PWM の 1/2 周期ごとに出力反転します。
1	初期出力 H	

注1 ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 かつ, PER1 レジスタの TRD0EN = 0 の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLK を fIH に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注2. TRDOCR レジスタの端子機能が波形出力の場合, TRDOCR レジスタを設定したとき, 初期出力レベルが出力されます。

33. 8.3.11 タイマ RD 制御レジスタ i (TRDCRi)(i = 0, 1)

図 8-18 タイマ RD 制御レジスタ 0 (TRDCR0)のフォーマット

[相補 PWM モード](p.439)

誤)

図 8-18 タイマ RD 制御レジスタ 0 (TRDCR0)のフォーマット

[相補 PWM モード]

アドレス: F0270H リセット時: 00H 注1 R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

(省略)

34. 8.3.18 タイマ RD カウンタ i (TRDi)(i = 0, 1)

図 8-31 タイマ RD カウンタ i (TRDi)(i = 0, 1)のフォーマット

[リセット同期 PWM モード , PWM3 モード](p.455)

誤)

図 8-31 タイマ RD カウンタ i (TRDi)(i = 0, 1)のフォーマット

[リセット同期 PWM モード , PWM3 モード]

アドレス: F0276H (TRD0), F0286H (TRD1) リセット時: 0000H 注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi																

(省略)

正)

図 8-19 タイマ RD 制御レジスタ i (TRDCRi)(i=0,1)のフォーマット

[相補 PWM モード]

アドレス: F0270H (TRDCR0), F0280H (TRDCR1) リセット時: 00H 注1 R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

(省略)

正)

図 8-32 タイマ RD カウンタ 0 (TRD0)のフォーマット

[リセット同期 PWM モード , PWM3 モード]

アドレス: F0276H (TRD0) リセット時: 0000H 注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

(省略)

35. 8.3.18 タイマ RD カウンタ i (TRDi)(i = 0, 1)

図 8-32 タイマ RD カウンタ i (TRDi)(i = 0, 1)のフォーマット

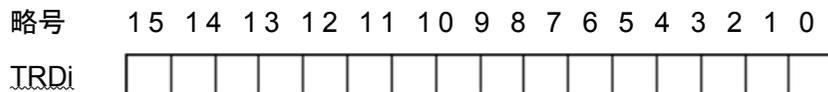
[相補 PWM モード(TRD0)](p.456)

誤)

図 8-32 タイマ RD カウンタ i (TRDi)(i = 0, 1)のフォーマット

[相補 PWM モード(TRD0)]

アドレス: F0276H (TRD0), F0286H (TRD1) リセット時: 0000H 注 R/W



(省略)

36. 8.3.18 タイマ RD カウンタ i (TRDi)(i = 0, 1)

図 8-33 タイマ RD カウンタ i (TRDi)(i = 0, 1)のフォーマット

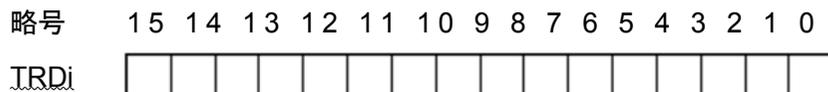
[相補 PWM モード(TRD1)](p.456)

誤)

図 8-33 タイマ RD カウンタ i (TRDi)(i = 0, 1)のフォーマット

[相補 PWM モード(TRD1)]

アドレス: F0276H (TRD0), F0286H (TRD1) リセット時: 0000H 注 R/W



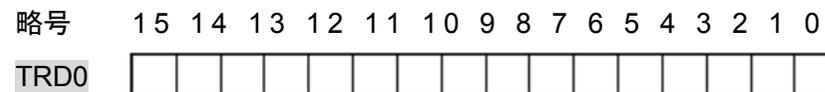
(省略)

正)

図 8-33 タイマ RD カウンタ 0 (TRD0)のフォーマット

[相補 PWM モード(TRD0)]

アドレス: F0276H (TRD0) リセット時: 0000H 注 R/W



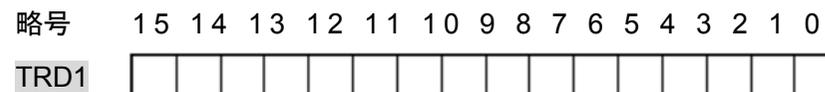
(省略)

正)

図 8-34 タイマ RD カウンタ 0 (TRD1)のフォーマット

[相補 PWM モード(TRD1)]

アドレス: F0286H (TRD1) リセット時: 0000H 注 R/W

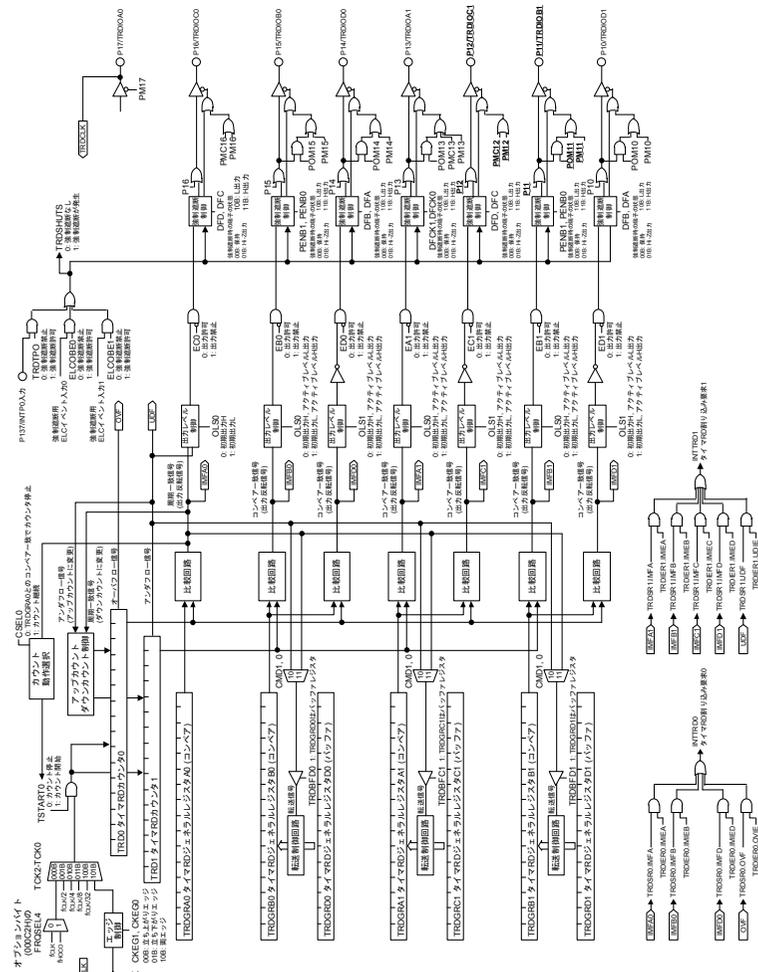


(省略)

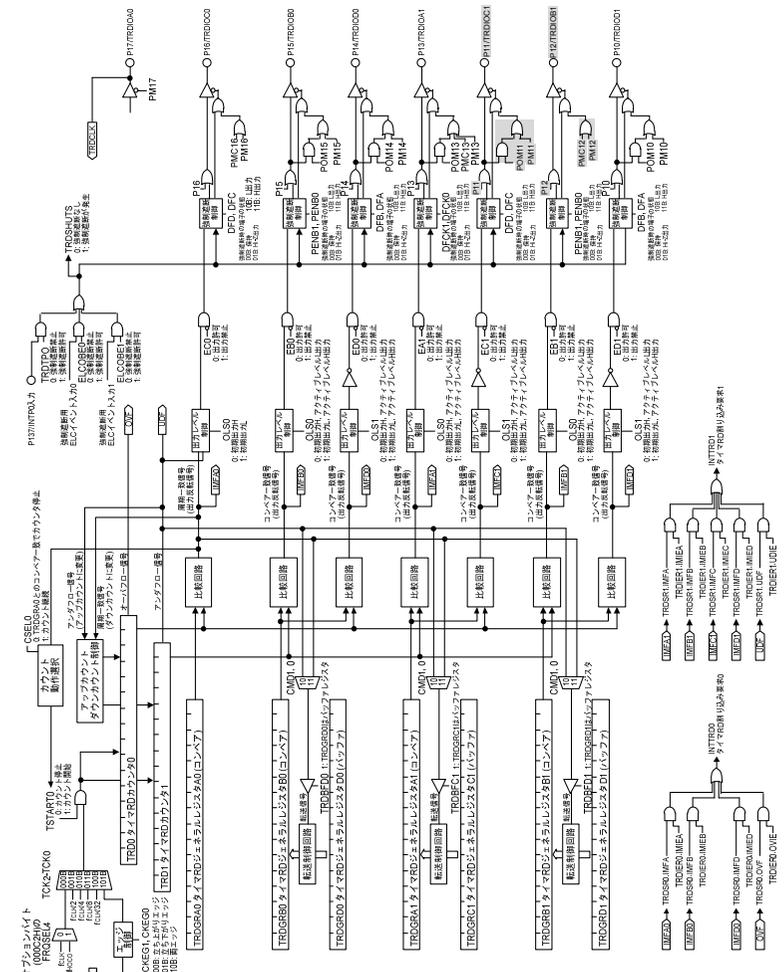
38. 8.5.5 相補 PWM モード

図 8-58 相補 PWM モードのブロック図(p.498)

誤)



正)



39. 35.3.2 電源電流特性

(3) 48~100ピン製品のフラッシュ ROM384~512 KB の製品(p.1253,p.1255)

T.B.D.値の規定

旧)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
(省略)									
電源電流注1	IDD1	動作モード サブシステム・クロック動作	fSUB = 32.768kHz注4 TA = -40 °C	通常動作	方形波入力		5.2	T.B.D	μA
					発振子接続		5.2	T.B.D	
			fSUB = 32.768 kHz注4 TA = +25 °C	通常動作	方形波入力		5.3	7.7	
					発振子接続		5.3	7.7	
			fSUB = 32.768 kHz注4 TA = +50 °C	通常動作	方形波入力		5.5	10.6	
					発振子接続		5.5	10.6	
			fSUB = 32.768 kHz注4 TA = +70 °C	通常動作	方形波入力		5.9	T.B.D	
					発振子接続		6.0	T.B.D	
			fSUB = 32.768 kHz注4 TA = +85 °C	通常動作	方形波入力		6.8	17.5	
					発振子接続		6.9	17.5	
			fSUB = 32.768 kHz注4 TA = +105 °C	通常動作	方形波入力		15.5	T.B.D	
					発振子接続		15.5	T.B.D	

(省略)

新)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
(省略)									
電源電流注1	IDD1	動作モード サブシステム・クロック動作	fSUB = 32.768kHz注4 TA = -40 °C	通常動作	方形波入力		5.2	7.7	μA
					発振子接続		5.2	7.7	
			fSUB = 32.768 kHz注4 TA = +25 °C	通常動作	方形波入力		5.3	7.7	
					発振子接続		5.3	7.7	
			fSUB = 32.768 kHz注4 TA = +50 °C	通常動作	方形波入力		5.5	10.6	
					発振子接続		5.5	10.6	
			fSUB = 32.768 kHz注4 TA = +70 °C	通常動作	方形波入力		5.9	13.2	
					発振子接続		6.0	13.2	
			fSUB = 32.768 kHz注4 TA = +85 °C	通常動作	方形波入力		6.8	17.5	
					発振子接続		6.9	17.5	
			fSUB = 32.768 kHz注4 TA = +105 °C	通常動作	方形波入力		15.5	77.8	
					発振子接続		15.5	77.8	

(省略)

旧)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード注7	fHOCO=64MHz, VDD = 5.0 V	0.93	I.B.D	mA	
				fIH = 32 MHz注4, VDD = 3.0 V	0.93	I.B.D		
			fHOCO = 32 MHz, VDD = 5.0 V	0.5	I.B.D	mA		
				fIH = 32 MHz注4, VDD = 3.0 V	0.5		I.B.D	
			fHOCO = 48 MHz, VDD = 5.0 V	0.72	I.B.D	mA		
				fIH = 24 MHz注4, VDD = 3.0 V	0.72		I.B.D	
			fHOCO = 24 MHz, VDD = 5.0 V	0.42	I.B.D	mA		
				fIH = 24 MHz注4, VDD = 3.0 V	0.42		I.B.D	
			fHOCO = 16 MHz, VDD = 5.0 V	0.39	I.B.D	mA		
				fIH = 16 MHz注4, VDD = 3.0 V	0.39		I.B.D	
			HS (高速メイン)モード注7	fMX = 20 M注3, VDD = 5.0 V	方形波入力	0.31	I.B.D	mA
					発振子接続	0.41	I.B.D	
		fMX = 20 MHz注3, VDD = 3.0 V		方形波入力	0.31	I.B.D	mA	
				発振子接続	0.41	I.B.D		
		fMX = 10 MHz注3, VDD = 5.0 V		方形波入力	0.21	I.B.D	mA	
				発振子接続	0.26	I.B.D		
		fMX = 10 MHz注3, VDD = 3.0 V		方形波入力	0.21	I.B.D	mA	
				発振子接続	0.26	I.B.D		
		サブシステム・クロック動作	fSUB = 32.768 kHz注5, TA = -40 °C	方形波入力	0.31	I.B.D	μA	
				発振子接続	0.50	I.B.D		
			fSUB = 32.768 kHz注5, TA = +25 °C	方形波入力	0.38	I.B.D	μA	
				発振子接続	0.57	I.B.D		
			fSUB = 32.768 kHz注5, TA = +50 °C	方形波入力	0.47	I.B.D	μA	
				発振子接続	0.70	I.B.D		
fSUB = 32.768 kHz注5, TA = +70 °C	方形波入力		0.80	I.B.D	μA			
	発振子接続		1.00	I.B.D				
fSUB = 32.768 kHz注5, TA = +85 °C	方形波入力		1.65	I.B.D	μA			
	発振子接続		1.84	I.B.D				

--次ページに続く--

新)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード注7	fHOCO=64MHz, VDD = 5.0 V	0.93	5.16	mA	
				fIH = 32 MHz注4, VDD = 3.0 V	0.93	5.16		
			fHOCO = 32 MHz, VDD = 5.0 V	0.5	4.47	mA		
				fIH = 32 MHz注4, VDD = 3.0 V	0.5		4.47	
			fHOCO = 48 MHz, VDD = 5.0 V	0.72	4.08	mA		
				fIH = 24 MHz注4, VDD = 3.0 V	0.72		4.08	
			fHOCO = 24 MHz, VDD = 5.0 V	0.42	3.51	mA		
				fIH = 24 MHz注4, VDD = 3.0 V	0.42		3.51	
			fHOCO = 16 MHz, VDD = 5.0 V	0.39	2.38	mA		
				fIH = 16 MHz注4, VDD = 3.0 V	0.39		2.38	
			HS (高速メイン)モード注7	fMX = 20 M注3, VDD = 5.0 V	方形波入力	0.31	2.83	mA
					発振子接続	0.41	2.92	
		fMX = 20 MHz注3, VDD = 3.0 V		方形波入力	0.31	2.83	mA	
				発振子接続	0.41	2.92		
		fMX = 10 MHz注3, VDD = 5.0 V		方形波入力	0.21	1.46	mA	
				発振子接続	0.26	1.57		
		fMX = 10 MHz注3, VDD = 3.0 V		方形波入力	0.21	1.46	mA	
				発振子接続	0.26	1.57		
		サブシステム・クロック動作	fSUB = 32.768 kHz注5, TA = -40 °C	方形波入力	0.31	0.76	μA	
				発振子接続	0.50	0.95		
			fSUB = 32.768 kHz注5, TA = +25 °C	方形波入力	0.38	0.76	μA	
				発振子接続	0.57	0.95		
			fSUB = 32.768 kHz注5, TA = +50 °C	方形波入力	0.47	3.59	μA	
				発振子接続	0.70	3.78		
fSUB = 32.768 kHz注5, TA = +70 °C	方形波入力		0.80	6.20	μA			
	発振子接続		1.00	6.39				
fSUB = 32.768 kHz注5, TA = +85 °C	方形波入力		1.65	10.56	μA			
	発振子接続		1.84	10.75				

--次ページに続く--

旧)

			f _{SUB} = 32.768 kHz注5 T _A = +105 °C	方形波入力	8.00	I.B.D	
				発振子接続	8.00	I.B.D	
IDD3 注6	STOP 注8	T _A = -40 °C			0.19	I.B.D	μA
		T _A = +25 °C			0.30	I.B.D	
		T _A = +50 °C			0.41	I.B.D	
		T _A = +70 °C			0.80	I.B.D	
		T _A = +85 °C			1.53	I.B.D	
		T _A = +105 °C			6.50	I.B.D	

(省略)

新)

			f _{SUB} = 32.768 kHz注5 T _A = +105 °C	方形波入力	8.00	65.7	
				発振子接続	8.00	65.7	
IDD3 注6	STOP 注8	T _A = -40 °C			0.19	0.63	μA
		T _A = +25 °C			0.30	0.63	
		T _A = +50 °C			0.41	3.47	
		T _A = +70 °C			0.80	6.08	
		T _A = +85 °C			1.53	10.44	
		T _A = +105 °C			6.50	67.14	

(省略)

以上