

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-740-A109A/J	Rev.	第1版
題名	7542 グループデータシートのシリアル I/O 2 仕様訂正について		情報分類	技術情報	
適用製品	M37542RSS M37542M2-XXXXFP/GP/SP/HP, M37542M2T-XXXXFP/GP M37542M2V-XXXXFP/GP M37542M4-XXXXFP/GP/SP/HP, M37542M4T-XXXXFP/GP M37542M4V-XXXXFP/GP M37542F8FP/GP/SP/*HP(*ESのみ。量産予定なし) M37542F8TFP/GP, M37542F8VFP/GP	対象ロット等	関連資料	7542 グループデータシート	

7542 グループのデータシートにおきまして、下記に示す内容にてシリアル I/O 2 の仕様を訂正致しますのでご確認ください。

< 訂正内容 >

7542 グループのシリアル I/O 2 において、TxD2 端子の出力形式については CMOS 出力のみの対応であり、Nch オープンドレイン出力には対応していません。

上記より、データシート上のシリアル I/O 2 TxD2 端子の Nch オープンドレイン出力に関する表記につきまして、これを削除し訂正致します。

7542 グループデータシート Rev.2.06 の該当箇所を訂正し、Rev.3.00 として発行致します。

< 訂正箇所 >

訂正箇所について、添付資料「7542 グループデータシート訂正箇所」に示します。

以上

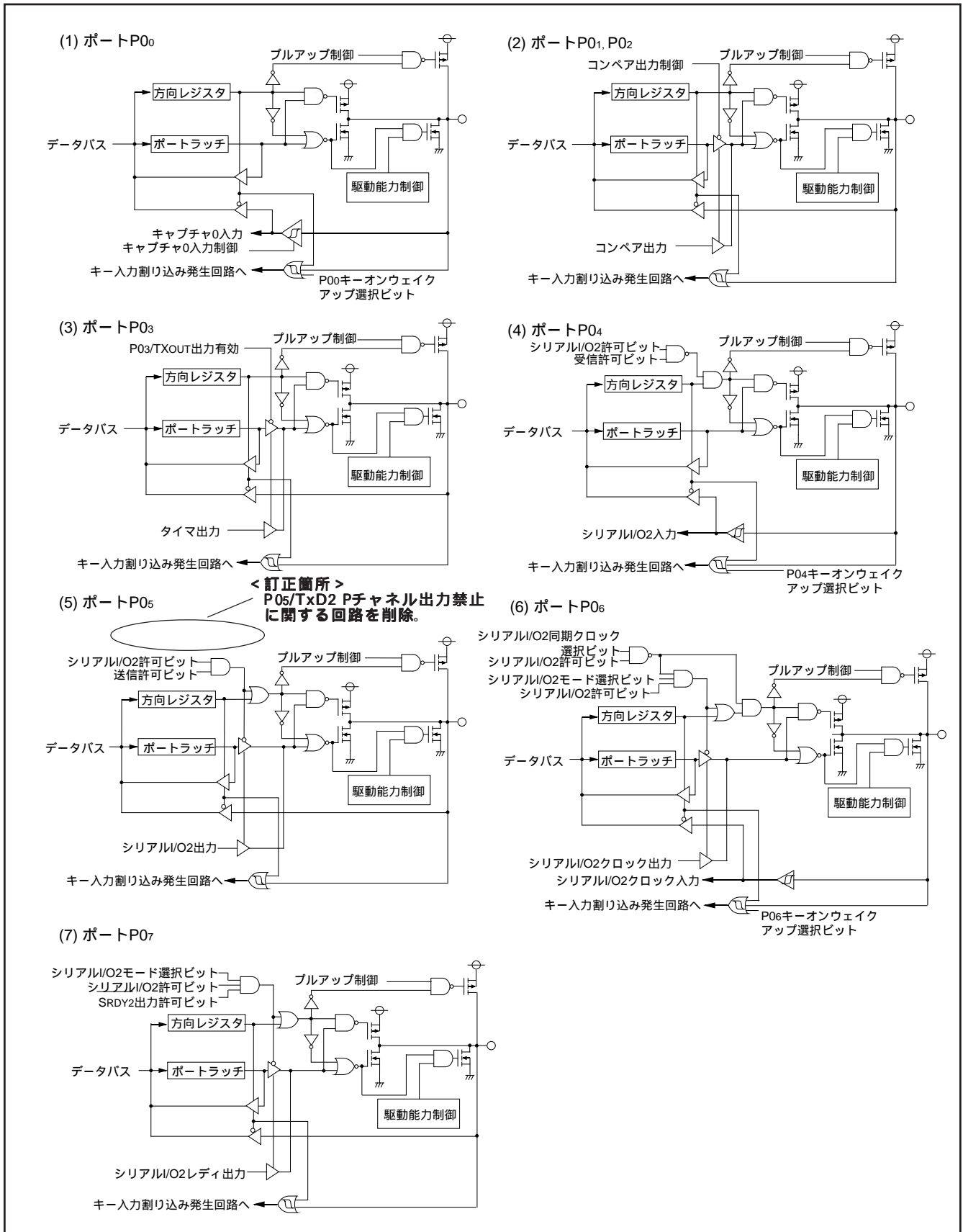


図 20 . ポートのブロック図 (1)

< 訂正箇所 >
シリアルI/O2 "Tx/D2" 出力形式の違い
 についての記述を追加。

シリアルI/O

7542グループは、シリアルI/O1とシリアルI/O2を持っています。
 シリアルI/O1とシリアルI/O2は、シリアルI/O1にバス衝突検出回路があること及び、シリアルI/O2のTx/D2出力形式がCMOS出力のみであることを除き、同じ仕様です。

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1)クロック同期形シリアルI/O1モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビット(b6)を“1”にすることによってクロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/O1では、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

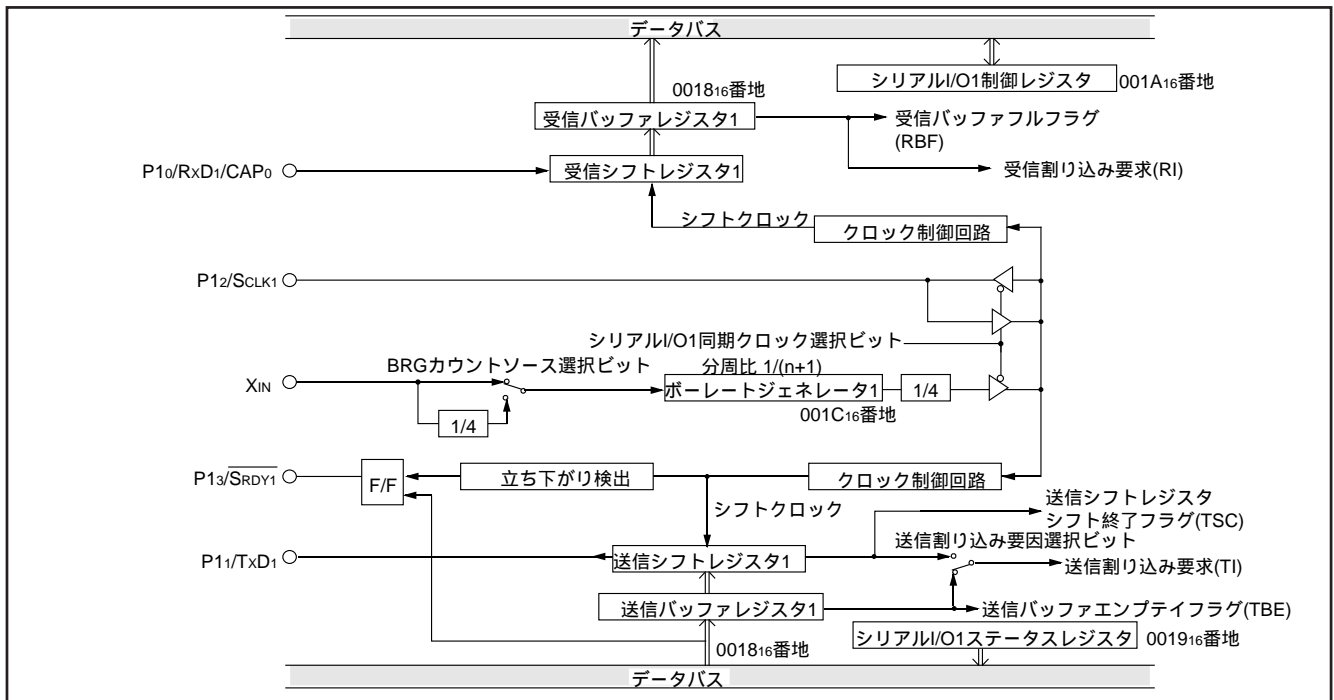


図 52 . クロック同期形シリアルI/O1 ブロック図

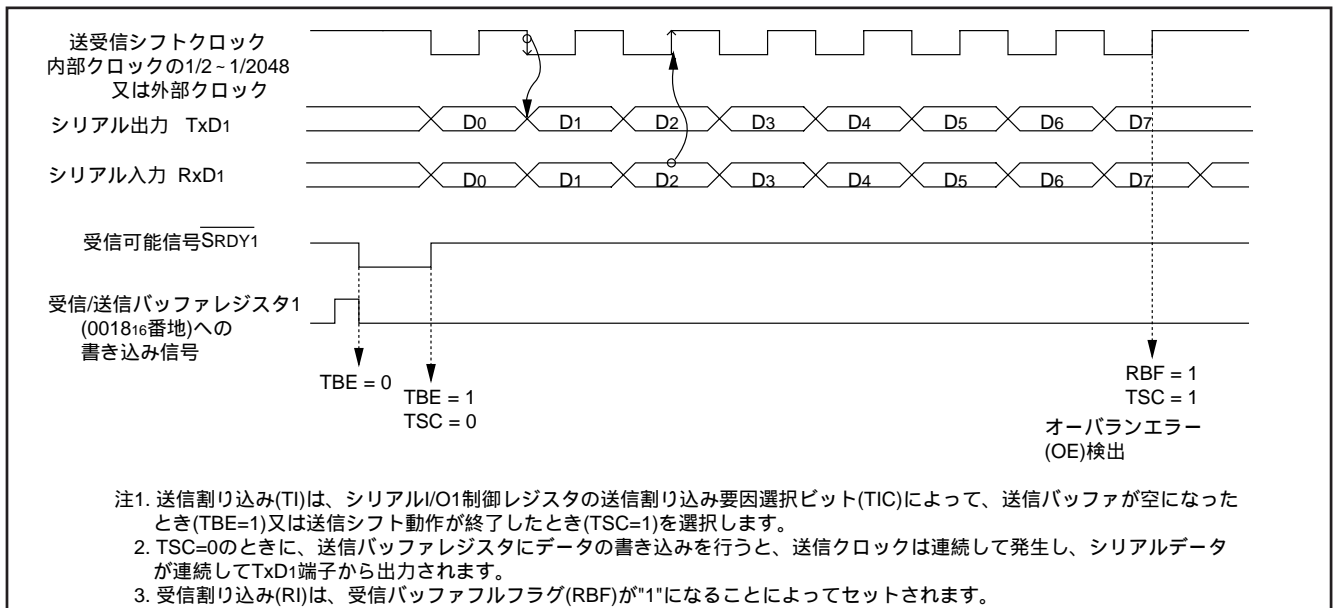


図 53 . クロック同期形シリアルI/O1 動作図

【送信バッファレジスタ2/受信バッファレジスタ2】TB2/RB2

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O2ステータスレジスタ】SIO2STS

シリアルI/O2の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード選択時のみ有効です。

受信バッファフルフラグは受信バッファレジスタの内容を読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O2ステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O2許可ビット(SIOE)に“0”を書き込むとエラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのビット0～6はリセット時“0”に初期化されますが、シリアルI/O2制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタはシリアルI/O2の各種制御を行う8ビットの選択ビットで構成されています。

【UART2制御レジスタ】UART2CON

UART選択時有効な4ビットの制御ビットで構成されたレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマットを設定します。

【ボーレートジェネレータ2】BRG2

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

シリアルI/O2に関する注意事項

・シリアルI/O2割り込み

シリアルI/O2の送信許可ビットを“1”にしたとき、シリアルI/O2送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O2送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O2送信割り込み要求ビットを“0”にする。

シリアルI/O2送信割り込み許可ビットを“1”(許可)にする。

・シリアルI/O2許可時の入出力端子機能

シリアルI/O2モード選択ビットおよびシリアルI/O2同期クロック選択ビットの設定値により、P06、P07の機能が下記のように変化します。

(1)シリアルI/O2モード選択ビット “1”:

クロック同期形シリアルI/O選択時

・シリアルI/O2同期クロック選択ビットの設定

“0”: P06端子は同期クロックの出力端子になります。

“1”: P06端子は同期クロックの入力端子になります。

・ $\overline{\text{SRDY}}$ 出力許可ビット(SRDY)の設定

“0”: P07端子は通常の入出力端子として使用できます。

“1”: P07端子は $\overline{\text{SRDY}}$ 出力端子になります。

(2)シリアルI/O2モード選択ビット “0”:

クロック非同期(UART)形シリアルI/O選択時

・シリアルI/O2同期クロック選択ビットの設定

“0”: P06端子は通常の入出力端子として使用できます。

“1”: P06端子は外部クロックの入力端子になります。

・クロック非同期(UART)形シリアルI/O選択時は、P07端子は通常の入出力端子として使用できます。

<訂正箇所>

P05/TxD2 Pチャネル出力禁止ビットに関する説明を削除。

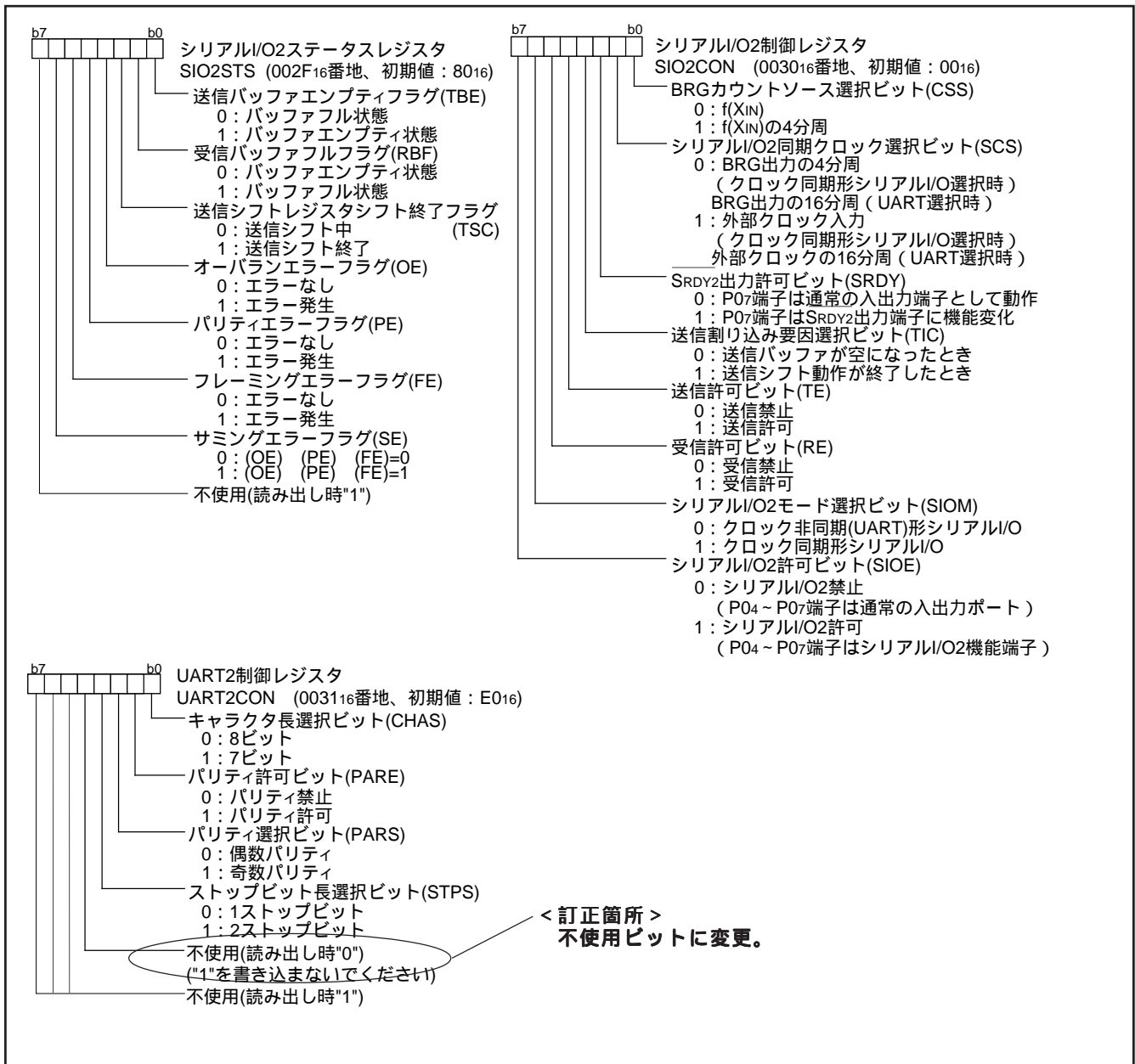


図 64 . シリアルI/O2 関係レジスタの構成

(3) 電気的特性 (一般品)

表 16 . 電気的特性 (1)(一般品)

(指定のない場合, FLASH ROM版: Vcc = 2.7 ~ 5.5V, マスクROM版: Vcc = 2.2 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注1)	IOH = - 5mA Vcc = 4.0 ~ 5.5V	Vcc - 1.5			V
		IOH = - 1.0mA マスクROM版: Vcc = 2.2 ~ 5.5V FLASH ROM版: Vcc = 2.7 ~ 5.5V	Vcc - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P30 ~ P37 (駆動能力 = “L”選択時) P10 ~ P14, P20 ~ P27	IoL = 5mA Vcc = 4.0 ~ 5.5V			1.5	V
		IoL = 1.5mA Vcc = 4.0 ~ 5.5V			0.3	V
		IoL = 1.0mA マスクROM版: Vcc = 2.2 ~ 5.5V FLASH ROM版: Vcc = 2.7 ~ 5.5V			1.0	V
VOL	“L”出力電圧 P00 ~ P07, P30 ~ P37 (駆動能力 = “H”選択時)	IoL = 15mA Vcc = 4.0 ~ 5.5V			2.0	V
		IoL = 1.5mA Vcc = 4.0 ~ 5.5V			0.3	V
		IoL = 1.0mA マスクROM版: Vcc = 2.2 ~ 5.5V FLASH ROM版: Vcc = 2.7 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, INT0, INT1, CAP0, CAP1 (注2) P00 ~ P07 (注3)			0.4		V
VT+ - VT-	ヒステリシス RxD0, SCLK0, RxD1, SCLK1			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = Vcc (端子はフローティング。プルアップトランジスタは切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	Vi = Vcc			5.0	μA
IiH	“H”入力電流 XIN	Vi = Vcc		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = Vss (端子はフローティング。プルアップトランジスタは切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET	Vi = Vss			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = Vss		- 4.0		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	Vi = Vss (プルアップトランジスタ接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V
ROSC	オンチップオシレータ発振周波数	Vcc = 5.0V, Ta = 25	1000	2000	3000	kHz
DOSC	発振停止検出回路検出周波数	Vcc = 5.0V, Ta = 25	62.5	125	187.5	kHz

注1 . P11に関しては, UART1制御レジスタのP11/TxD1 Pチャネル出力禁止ビット (001B16番地のビット4) が“0”の場合です。

2 . RxD1, SCLK1, INT0, INT1 (P36選択時)については, ポートP1P3制御レジスタのビット0, 1, 2が“0”(CMOSレベル)の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

<訂正箇所>

注1のP05に関する記述を削除。

(3) 電気的特性 (広動作温度範囲版)

表 28 . 電気的特性 (1) (広動作温度範囲版)

(指定のない場合 , FLASH ROM 版 : Vcc = 2.7 ~ 5.5V , マスク ROM 版 : Vcc = 2.4 ~ 5.5V , Vss = 0V , Ta = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“ H ” 出力電圧 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37 (注 1)	IOH = - 5mA Vcc = 4.0 ~ 5.5V	Vcc - 1.5			V
		IOH = - 1.0mA マスク ROM 版 : Vcc = 2.4 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V	Vcc - 1.0			V
VOL	“ L ” 出力電圧 P00 ~ P07, P30 ~ P37 (駆動能力 = “ L ” 選択時) P10 ~ P14, P20 ~ P27	IoL = 5mA Vcc = 4.0 ~ 5.5V			1.5	V
		IoL = 1.5mA Vcc = 4.0 ~ 5.5V			0.3	V
		IoL = 1.0mA マスク ROM 版 : Vcc = 2.4 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V			1.0	V
VOL	“ L ” 出力電圧 P00 ~ P07, P30 ~ P37 (駆動能力 = “ H ” 選択時)	IoL = 15mA Vcc = 4.0 ~ 5.5V			2.0	V
		IoL = 1.5mA Vcc = 4.0 ~ 5.5V			0.3	V
		IoL = 1.0mA マスク ROM 版 : Vcc = 2.4 ~ 5.5V FLASH ROM 版 : Vcc = 2.7 ~ 5.5V			1.0	V
VT+ - VT-	ヒステリシス CNTR0, INT0, INT1, CAP0, CAP1 (注 2) P00 ~ P07 (注 3)			0.4		V
VT+ - VT-	ヒステリシス RxD0, SCLK0, RxD1, SCLK1			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“ H ” 入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = Vcc (端子はフローティング。プルアップトランジスタは切り離し状態)			5.0	μ A
IiH	“ H ” 入力電流 RESET	Vi = Vcc			5.0	μ A
IiH	“ H ” 入力電流 XIN	Vi = Vcc		4.0		μ A
IiL	“ L ” 入力電流 P00 ~ P07, P10 ~ P14, P20 ~ P27, P30 ~ P37	Vi = Vss (端子はフローティング。プルアップトランジスタは切り離し状態)			- 5.0	μ A
IiL	“ L ” 入力電流 RESET	Vi = Vss			- 5.0	μ A
IiL	“ L ” 入力電流 XIN	Vi = Vss		- 4.0		μ A
IiL	“ L ” 入力電流 P00 ~ P07, P30 ~ P37	Vi = Vss (プルアップトランジスタ接続時)		- 0.2	- 0.5	mA
V _{RAM}	RAM 保持電圧	クロック停止時	2.0		5.5	V
R _{OSC}	オンチップオシレータ発振周波数	Vcc = 5.0V, Ta = 25	1000	2000	3000	kHz
D _{OSC}	発振停止検出回路検出周波数	Vcc = 5.0V, Ta = 25	62.5	125	187.5	kHz

注 1 . P11 に関しては , UART1 制御レジスタの P11/TxD1 P チャンネル出力禁止ビット (001B16 番地のビット 4) が “ 0 ” の場合です。

2 . RxD1 , SCLK1 , INT0 , INT1 (P36 選択時) については , ポート P1P3 制御レジスタのビット 0 , 1 , 2 が “ 0 ” (CMOS レベル) の時のみヒステリシスを持ちます。

3 . キーオンウェイクアップ動作時のみです。

< 訂正箇所 >

注1のP0sに関する記述を削除。