

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RL*-A0127A/J	Rev.	第1版
題名	DTCおよびRESFレジスタの制限事項について		情報分類	技術情報	
適用製品	RL78/G24 グループ	対象ロット等	関連資料	RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0961JJ0100 (2023.04.28)	
		全ロット			

上記適用製品において、データ・トランスファ・コントローラ (DTC) およびリセット・コントロール・フラグ・レジスタ (RESF) に制限事項があります。

1. データ・トランスファ・コントローラ (DTC) の制限事項について

DTC の起動要因に電圧検出回路(LVD)による電圧検出を選択 (DTCEN6.DTCEN62 = 1) 時に、LVD による電圧検出が発生しても DTC 転送が実行されません。

表27-4 割り込み要因とDTCEN[7:0]ビットの対応

レジスタ	DTCEN7 ビット	DTCEN6 ビット	DTCEN5 ビット	DTCEN4 ビット	DTCEN3 ビット	DTCEN2 ビット	DTCEN1 ビット	DTCEN0 ビット
DTCEN0	予約	INTP0	INTP1#3	INTP2#3	INTP3#3	INTP4#3	INTP5#2	INTP6
DTCEN1	INTP7	キー入力#4	A/D入力チャネル0の変換終了	UART0受信の転送完了/ CSI01の転送完了または バッファ空き /IIC01の転送完了#2	UART0受信の転送完了/ CSI00の転送完了または バッファ空き /IIC00の転送完了#2	UART1受信の転送完了/ CSI11の転送完了または バッファ空き /IIC11の転送完了	UART1受信の転送完了/ CSI10の転送完了または バッファ空き /IIC10の転送完了	UART2受信の転送完了/ CSI21の転送完了または バッファ空き /IIC21の転送完了
DTCEN2	UART2送信の転送完了/ CSI20の転送完了または バッファ空き /IIC20の転送完了	DALI受信の転送完了	DALI送信の転送完了	DALIバスバワーダウン検出	タイマ・アレイ・ユニットのチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニットのチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニットのチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニットのチャネル3のカウント完了またはキャプチャ完了
DTCEN3	タイマRD2コンペアー#A0	タイマRD2コンペアー#B0	タイマRD2コンペアー#C0	タイマRD2コンペアー#D0	タイマRD2コンペアー#A1	タイマRD2コンペアー#B1	タイマRD2コンペアー#C1	タイマRD2コンペアー#D1
DTCEN4	タイマRD2拡張相補PWMモード時の谷検出	タイマRD2拡張相補PWMモード時の山検出	FAA終了	タイマRG2コンペアー#A	タイマRG2コンペアー#B	タイマRG2コンペアー#C	タイマRG2コンペアー#D	タイマRJ0アングラフロー
DTCEN5	TMKB30カウント完了	TMKB31カウント完了	TMKB32カウント完了	FAAタイミング・コンペアー・マッチ0	リアルタイム・クロックの定期信号/ アラーム一致検出	32ビット・インターバル・タイマのインターバル信号検出	コンパレータ検出0	コンパレータ検出1
DTCEN6	コンパレータ検出2	コンパレータ検出3	A/D入力チャネル1の変換完了#5	A/D入力チャネル2の変換完了#5	A/D入力チャネル3の変換完了#5	電圧検出#1	予約	予約

注1. ユーザー・オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時または電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

【回避策】

電圧検出割り込みを DTC トリガとしてデータ転送を行う場合は、CPU で電圧検出割り込みを受け付け、CPU 命令でデータ転送を行ってください。

2. リセット・コントロール・フラグ・レジスタ (RESF) の制限事項について

RESF レジスタのデータ読み出し時、下記の制限があります。

制限 1：

RESF レジスタのデータ読み出し後に RESF レジスタは自動的にクリアされません。RESF レジスタのデータ読み出し後に別要因の内部リセットが発生した際には、クリアされずに保持されていた各リセットフラグは自動的にクリアされます。下記表を参照ください。

RESF レジスタの状態

	RESET 入力 /POR 発生時	内部リセット発生時		RESF レジスタのデータ読み出し後
		内部リセット発生前に RESF レジスタのデータを読み出した場合	内部リセット発生前に RESF レジスタのデータ読み出さなかった場合	
制限動作の場合	クリア(0)されません。	クリアされずに保持されていたリセットフラグが自動的にクリア (0) された後、発生した内部リセット要因に該当するフラグがセット(1)されます。	他の内部リセット要因に該当するフラグは保持された状態で、発生した内部リセット要因に該当するフラグがセット(1)されます	RESF レジスタが自動的にクリア(0)されず、リセットフラグが保持されます。
UM 記載動作の場合		発生した内部リセット要因に該当するフラグがセット(1)されます。		クリア(0)されます。

制限 2：

オンチップ・デバッグ機能を使用する場合、デバッグ開始時に RESF レジスタの IAWRF フラグが 1 にセットされます。

【回避策】

制限 1 の回避策：

リセット発生後の RESF レジスタの読み出し値は 1 回目のみ有効としてご使用ください。新たな内部リセットが発生するまでは 2 回目以降の読み出し値は無効としてください。

制限 2 の回避策：

デバック開始時の IAWRF フラグは無視してください。

オンチップ・デバッグ中は以下の 3 条件が全て成立したときに不正メモリ・アクセスによるリセットが発生したと判断してください。

- (1) リセット発生時に V_{DD} 端子の電圧が V_{POR} 以下になっていない。
- (2) リセット発生時に $\overline{\text{RESET}}$ 端子にロウ・レベルが入力されていない。
- (3) リセット発生後に RESF レジスタの IAWRF フラグ以外のフラグがセットされていない。

(補足) オンチップ・デバッグを使用しない場合は、RESF レジスタの IAWRF フラグで不正メモリ・アクセスによるリセットの発生有無を確認可能です。

【改善計画】

上記制限の解除の為、
マスク変更及びそれに伴う発注型名の変更を計画しております。

○対象製品

RL78/G24 グループの全ての製品
(R7F101Gxxxxxx#xx0 の発注型名全て xは所定の文字)

○発注型名

変更前：R7F101Gxxxxxx#xx0

変更後：R7F101Gxxxxxx#xx1

・変更例

発注型名 変更前	発注型名 変更後
R7F101GLG2DFB#AA0	R7F101GLG2DFB#AA1
R7F101GLG3CFB#AA0	R7F101GLG3CFB#AA1

○外形、実装、機能、品質、信頼性への影響

外形、実装、QC フロー、FIT、電気的特性、機能、品質、信頼性には
影響はありません。

○製品の識別方法

梱包ラベルには上記発注型名が印字されております。
デバイス単体に関してはトレースコードから、弊社生産履歴データの照会が可能です。

○切替予定日

2024年1月以降出荷開始予定

以上