

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RZ*-A0153A/J	Rev.	第1版
題名	DDRSS, イーサネットMAC, A-Formatに関する制限事項、および電気的特性に関する変更		情報分類	技術情報	
適用製品	RZ/T2H および RZ/N2H グループ	対象ロット等	関連資料	RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH1039JJ0110)	
		すべて			

本文書は、DDRSS レジスタアクセス、イーサネット MAC、A-Format に関するハードウェアの問題・制限、および電気的特性に関する追加・変更について説明します。これらはユーザーズマニュアル ハードウェア編 Rev.1.20 に反映されます。

1. 対象製品

製品	型名	パッケージ	Cortex-A55	Cortex-R52	セキュリティ
RZ/T2H	R9A09G077M48GBG#AC1 R9A09G077M48GBG#BC1	729-pin FCBGA	Quad cores	Two CPUs	Available
	R9A09G077M28GBG#AC1 R9A09G077M28GBG#BC1	729-pin FCBGA	Dual cores	Two CPUs	Available
	R9A09G077M08GBG#AC1 R9A09G077M08GBG#BC1	729-pin FCBGA	Single core	Two CPUs	Available
	R9A09G077M44GBG#AC1 R9A09G077M44GBG#BC1	729-pin FCBGA	Quad cores	Two CPUs	Not Available
	R9A09G077M24GBG#AC1 R9A09G077M24GBG#BC1	729-pin FCBGA	Dual cores	Two CPUs	Not Available
	R9A09G077M04GBG#AC1 R9A09G077M04GBG#BC1	729-pin FCBGA	Single core	Two CPUs	Not Available
	RZ/N2H	R9A09G087M48GBG#AC1 R9A09G087M48GBG#BC1	576-pin FCBGA	Quad cores	Two CPUs
R9A09G087M28GBG#AC1 R9A09G087M28GBG#BC1		576-pin FCBGA	Dual cores	Two CPUs	Available
R9A09G087M08GBG#AC1 R9A09G087M08GBG#BC1		576-pin FCBGA	Single core	Two CPUs	Available
R9A09G087M44GBG#AC1 R9A09G087M44GBG#BC1		576-pin FCBGA	Quad cores	Two CPUs	Not Available
R9A09G087M24GBG#AC1 R9A09G087M24GBG#BC1		576-pin FCBGA	Dual cores	Two CPUs	Not Available
R9A09G087M04GBG#AC1 R9A09G087M04GBG#BC1		576-pin FCBGA	Single core	Two CPUs	Not Available

2. DDRSS レジスタアクセス

問題	回避策
SSTPCR4 レジスタの DDRAPB ビットが 0 に設定され、DDRSS がリセット状態、つまり MRCTLM レジスタで MRCTLM24 = 1 または MRCTLM25 = 1 のとき、DDRSS レジスタアクセスによりハングアップが発生します。	DDRSS がリセット状態のとき、DDRAPB ビットを 1 に設定する必要があります。このケースでは、読み出しデータは常に 0 です。DDRSS がリセットから解除された後、つまり MRCTLM24 = 0 か MRCTLM25 = 0 になった後、DDRSS レジスタアクセス許可のために DDRAPB ビットを 0 に設定できます。

3. イーサネット MAC (GMAC)

問題	回避策
<p>クレジットベースのシェーパ (CBS) が送信キュー (TXQ) に対して有効である場合、ゼロまたは正のクレジットが TXQ に累積しているときに、TXQ で利用可能なパケットが送信用にスケジューリングされます。現在のクレジットが負であるか、パケットが送信キューで利用可能であり送信用にスケジューリングされる機会を待機しているとき、MAC はクレジットをインクリメントします。同様に、実際のパケット転送の最中に MAC はクレジットをデクリメントします。MAC がクレジットをインクリメントまたはデクリメントするときの比率は TXQ に予約されている帯域の合計のパーセンテージに依存します。</p> <p>IEEE 802.1Qav 規格に従って、パケットオーバーヘッドが転送されるときにおいても、MAC はクレジットをデクリメントする必要があります。それらのオーバーヘッドは、パケット開始前のプリアンブルバイト、CRC/FCS バイト、およびパケットデータ転送終了後の最小 12 バイトのパケット間ギャップ (IPG) を含んでいます。ただし、MAC は、パケットデータの最後のバイト (すなわちフレームチェックシーケンス (FCS) 転送の最後のバイト) に達したときのみクレジットをデクリメントし、次のパケットの (そのパケットに付随する) 公称 IPG 期間の間にクレジットをインクリメントします。</p>	<p>アルゴリズムの欠陥に起因して TXQ が消費する、追加の、または余分の帯域幅を計算する必要があります。このため、以下の式と例を用いて、実使用時におけるパケットの平均長さの値を代入する必要があります。そして、この TXQ のために占有する帯域幅をより少ないパーセンテージにするため (それにより、プログラムされた占有帯域幅をより所望のものに近づけるような)、帯域幅を決定するパラメータをプログラムする必要があります。</p> <p>計算式： 追加または余分の帯域幅 = ((パケット数 × 12 バイト) / (各パケットのプリアンブルバイトを含む、ウィンドウ内で転送されるバイト数の合計)) × TXQ 用にプログラムされる占有帯域幅</p> <p>例： 128 バイト長の 100 パケットのストリームを転送する TXQ 用に 30% の帯域幅をプログラムする場合、追加で消費される帯域幅は、$(30\% \times (100 \times 12) / (100 \times (8 + 128))) = \text{約 } 2.65\%$ になります。実際には、この TXQ はプログラムされた 30% ではなく、32.65% の合計帯域幅を必要とすることになります。</p>
<p>拡張ゲート制御機能が有効である場合、ソフトウェアはサイクル時間レジスタ (CTR) に以下のいずれかを上回る値を書き込みます。</p> <ul style="list-style-type: none"> ゲート制御リスト (GCL) の時間間隔の合計 (TIs) 列 (すなわち、拡張ゲート制御) GCL 列 (LLR) および/または TIs のその後に書き直された値 <p>GCL の最終列の末尾と CTR の値の間の時間間隔の間 (すなわち、拡張ゲートが時間間隔を制御します)、MAC はすべての送信キュー (TxQ) に対してゲート制御をオープンにします。この間隔の間、送信キューにある対象となりうるパケットは、TxQ の優先順位に基づいてスケジューリングされます。拡張ゲート制御間隔が終了したとき、MAC は次の GCL の反復を実行します。</p> <p>しかし、拡張ゲート制御間隔と、個別の合計サイズ (送信のオーバーヘッドを含む) が 16384 バイトである送信データパケットに必要な時間の間の差が PTP クロックの 9 サイクル分より小さいとき、正しくない GCL の次の反復の最初の列の後に次の、または実行中のベース時間レジスタ (BTR) の値がさらに更新されます。その結果、GCL の何らかの交互の反復と同様、最初の列の後に GCL の次の反復は不正に切り捨てられます。</p>	<p>ソフトウェアは拡張ゲート制御間隔を以下のように分割する必要があります。</p> <ul style="list-style-type: none"> 追加の GCL 行、LLR 値を 1 増加。 残りの拡張ゲート制御間隔。 <p>追加の GCL 行のプログラミングは、すべてのゲートを開放して、TI を以下のようにして行う必要があります。</p> <ul style="list-style-type: none"> PTP クロックが 9 期間以上である。 残りの拡張ゲート制御間隔が、個々の合計サイズ (送信オーバーヘッドを含む) が 16384 バイトのデータパケットの送信に必要な時間より短くなる。 <p>たとえば 1 Gbps の速度モードにおいて、ソフトウェアで拡張ゲート制御間隔を 131074 ns という値にプログラミングする必要がある場合、個々の合計サイズが 16384 バイトのデータパケットの送信に必要な時間 (つまり 131072 ns) よりも 2 ns 大きい値。PTP クロックが 125 MHz の場合、ソフトウェアは追加の GCL 行を 72 ns (つまり PTP クロックの 9 期間) にプログラミングできます。このようにすると、結果として得られた拡張ゲート制御間隔は 131002 ns (131074 ns - 72 ns) となり、これは 131072 ns より短くなります。</p>

4. A-Format (AFMT)

制限
サポートプロトコルバージョンは Ver.2.0 のみです。Ver.1.x はシリアルデータ伝送タイミングが変更されたためサポートできません。

5. 電気的特性

赤字の項目が追加または変更されます。

表 58.13 イーサネット PHY 基準クロック出力タイミング

項目	シンボル	条件	Min	Typ	Max	単位
ETHn_REFCLK サイクルタイム	tCK	—	40	—	—	ns
ETHn_REFCLK 周波数	—	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz
ETHn_REFCLK デューティー	—	—	45	—	55	%
		(注 1)	35	—	65	%
ETHn_REFCLK 立ち上がり/立ち下がり時間	tCKr / tCKf	—	0.5	—	4.0	ns
RMII _n _REFCLK サイクルタイム	tCK	—	20	—	—	ns
RMII _n _REFCLK 周波数	—	—	50.00 ± 50 ppm			MHz
RMII _n _REFCLK デューティー	—	—	45	—	55	%
RMII _n _REFCLK 立ち上がり/立ち下がり時間	tCKr / tCKf	—	0.5	—	3.5	ns

注 1. 水晶を接続したメインクロック発振器が基準クロック入力として使用され、かつ SCKCR.PHYSEL に 1 が設定（メインクロック発振器が基準クロック出力として選択）されている場合

表 58.33 xSPI タイミング

条件:

$V_{OH} = V_{DD1833} \times 0.5$ 、 $V_{OL} = V_{DD1833} \times 0.5$ 、 $C = 15 \text{ pF}$ ($V_{DD1833} = 1.8 \text{ V}$ または 3.3 V)

項目	シンボル	1.8 V		3.3 V		単位	参照図	
		Min	Max	Min	Max			
サイクルタイム	SDR	tPERIOD	7.5	—	10.0	—	ns	図 58.56
	DDR		7.5	—	10.0	—	ns	
クロック出力スルーレート		tSRck	0.75/0.56 (注2)	—	0.56	—	V/ns	
クロックデューティサイクル歪み		tCKDCD	0.0	tPERIOD × 0.05	0.0	tPERIOD × 0.05	ns	
クロック最小パルス幅		tCKMPW	tPERIOD × 0.45	—	tPERIOD × 0.45	—	ns	
差動クロック交差電圧		VOX(AC)	0.4 × VCC18	0.6 × VCC18	—	—	V	
DS デューティサイクル歪み		tDSDCD	0.0	tPERIOD × 0.04	0.0	tPERIOD × 0.04	ns	
DS 最小パルス幅		tDSMPW	tPERIOD × 0.41	—	tPERIOD × 0.41	—	ns	
データ入出力スルーレート		tSR	0.75/0.56 (注2)	—	0.56	—	V/ns	
データ入力セットアップ時間 (CK に対して)	SDR	tSU	2.0	—	2.0	—	ns	図 58.57
データ入力ホールド時間 (CK に対して)		tH	1.0	—	1.0	—	ns	
データ出力遅延時間		tOD	—	1.0(注3)	—	2.0(注3)	ns	
データ出力ホールド時間		tOH	-1.0	—	-2.0	—	ns	
データ出力バッファオフ時間		tBOFF	-1.0	—	-2.0	—	ns	
データ入力セットアップ時間 (DS に対して)	DDR (注1) (注3)	tSU	-0.4/-0.6(注2)	—	-0.3	—	ns	図 58.58、 図 58.59
データ入力ホールド時間 (DS に対して)		tH	tPERIOD × 0.41 0.4/0.6(注2)	—	tPERIOD × 0.41 - 0.3	—	ns	
データ出力セットアップ時間 (CK に対して)		tSUO	0.8/1.0(注2)	—	1.0	—	ns	
データ出力ホールド時間 (CK に対して)		tHO	0.8/1.0(注2)	—	1.0	—	ns	
CS Low~クロック High		tCSLCKH	6.0/8.0(注2) (注4)	—	8.0(注4)	—	ns	図 58.57~ 図 58.59
CS Low~CS High		tCKLCSH	6.0/8.0(注2)	—	8.0	—	ns	
CS High 時間		tCSTD	1	16	1	16	tPERIOD	
DS Low~CS High		tDSLCSH	6.0/8.0(注2) (注5)	—	10.6(注5)	—	ns	図 58.60
CS High~DS トライステート		tCSHDST	0.0	tPERIOD	0.0	tPERIOD	ns	
CS Low~DS Low(注8)		tCSLDSL	0.0	16.0(注9)	0.0	20.0(注9)	ns	
DS トライステート~CS Low		tDSTCSL	0.0	—	0.0	—	ns	
CK Low~DS Low(注6)		tCKLDSL	—	(0.45 + e) × tPERIOD - 2 (注7)	—	(0.45 + e) × tPERIOD - 2 (注7)	ns	

- 注 1. DS シフト設定 (WRAPCFG.DSSFTCSx[4:0]) は、133 MHz で 01001b、および 100 MHz で 01100b です。
- 注 2. 133 MHz 時の仕様 / 100 MHz 時の仕様
- 注 3. これは OEN アサートが出力許可アサート拡張ビット (COMCFG.OEASTEX = 1) で拡張されたときの値です。
- 注 4. これは CS アサートが CS アサート拡張ビット (LIOCFGCSn.CSASTEX = 1) で拡張されたときの値です。
- 注 5. tCKLDSL の制約を満たしている場合の値です。
- 注 6. この制約は、tDSLCSH は tPERIOD の 80%以上である必要があると規定している、JESD251 の tDSLCSH 要件を満たすためのみ必要です。メモリ仕様がこの制約に確実に従うようにするため、LIOCFGCSn.CSNEGEX を適切な値に設定してください。
- 注 7. e = LIOCFGCSn.CSNEGEX
- 注 8. JESD251 プロファイル 2.0 メモリを使用しているときに、コマンド&モディファイフェーズの間に DS が High である場合、CS Low から DS High になるまでの時間もこの仕様を満たす必要があります。
- 注 9. LIOCFGCSn.LATEMD を 0 に設定して JESD251 プロファイル 1.0 メモリまたは JESD251 プロファイル 2.0 メモリを使用するとき、DS 端子の内部プルダウン抵抗が有効であれば、この制約は適用しません。

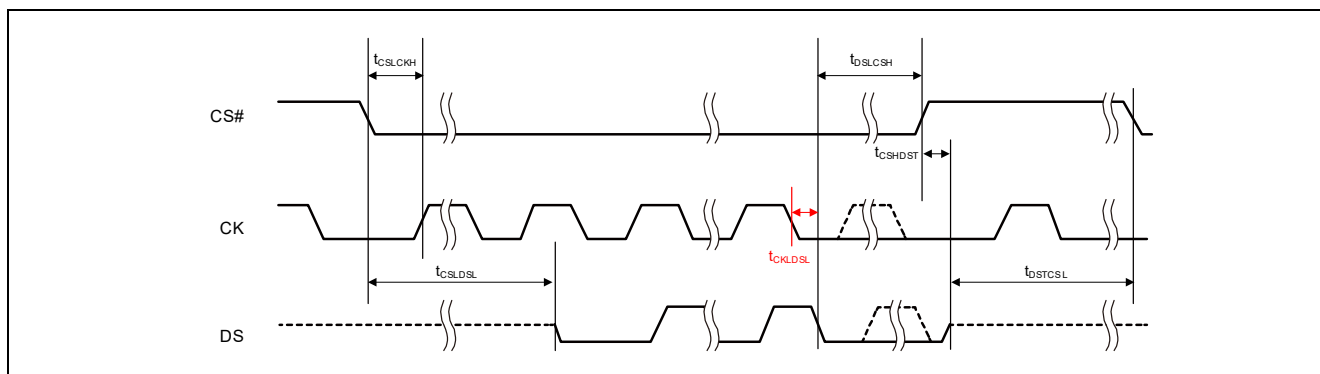


図 58.60 DS~CS 信号タイミング

表 58.39 1.8 V SDHI タイミング

条件：V_{OH} = V_{DD1833} × 0.5、V_{OL} = V_{DD1833} × 0.5 (V_{DD1833} = 1.8 V)

項目	シンボル	条件	Min	Max	単位	参照図
(SD) SDR104 (eMMC) HS200	SD_CLK クロックサイクル	C = 15 pF 駆動強度 CLK：超高 その他：高	5		ns	図 58.72
	SD_CLK クロック High レベル幅		1.5	—	ns	
	SD_CLK クロック Low レベル幅		1.5	—	ns	
	SD_CLK クロック立ち上がり時間		—	1	ns	
	SD_CLK クロック立ち下がり時間		—	1	ns	
	SD_CMD、SD_DATA 出力遅延		-1.7	0.9	ns	
	SD_CMD、SD_DATA 入力セットアップ時間		—	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間		—	—	ns	
	SD_CMD、SD_DATA 入力データ幅		2.88	—	ns	
(SD) SDR50, SDR25, SDR12 (eMMC) 高速 SDR、 下位互換性	SD_CLK クロックサイクル	C = 20 pF 駆動強度 CLK：超高 その他：高	10	—	ns	図 58.72
	SD_CLK クロック High レベル幅		3	—	ns	
	SD_CLK クロック Low レベル幅		3	—	ns	
	SD_CLK クロック立ち上がり時間		—	2	ns	
	SD_CLK クロック立ち下がり時間		—	2	ns	
	SD_CMD、SD_DATA 出力遅延		-4.2	1.6	ns	
	SD_CMD、SD_DATA 入力セットアップ時間		1.1	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間		1.8	—	ns	
	SD_CMD、SD_DATA 入力データ幅		—	—	ns	
(SD) DDR50 (eMMC) 高速 DDR	SD_CLK クロックサイクル	C = 25 pF 駆動強度 CLK：高 その他：高	20	—	ns	図 58.73
	SD_CLK クロック High レベル幅		9	11	ns	
	SD_CLK クロック Low レベル幅		9	11	ns	
	SD_CLK クロック立ち上がり時間		—	3	ns	
	SD_CLK クロック立ち下がり時間		—	3	ns	
	SD_CMD 出力遅延 (SDR)		-6	3	ns	
	SD_CMD 入力セットアップ時間 (SDR)		4.8	—	ns	
	SD_CMD 入力ホールド時間 (SDR)		2.5	—	ns	
	SD_DATA 出力遅延 (DDR)		2.5	6	ns	
	SD_DATA 入力セットアップ時間 (DDR)		1.5	—	ns	
SD_DATA 入力ホールド時間 (DDR)	1.5	—	ns			

表 58.40 3.3 V SDHI タイミング

条件：V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5 (VDD1833 = 3.3 V)

項目	シンボル	条件	Min	Max	単位	参照図	
(SD) 高速 (eMMC) 高速 SDR	SD_CLK クロックサイクル	TSDCYC	C = 40 pF 駆動強度 CLK：高 その他：中	20	—	ns	図 58.72
	SD_CLK クロック High レベル幅	TSDWH		7	—	ns	
	SD_CLK クロック Low レベル幅	TSDWL		7	—	ns	
	SD_CLK クロック立ち上がり時間	TSDLH		—	3	ns	
	SD_CLK クロック立ち下がり時間	TSDHL		—	3	ns	
	SD_CMD、SD_DATA 出力遅延	TSDODLY		-6.2	2.5	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	TSDIS		4	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	TSDIH		2	—	ns	
SD_CMD、SD_DATA 入力データ幅	TSDIDW		—	—	ns		
(SD) デフォルト速度 (eMMC) 下位互換性	SD_CLK クロックサイクル	TSDCYC	C = 40 pF 駆動強度 CLK：高 その他：中	40	—	ns	図 58.72
	SD_CLK クロック High レベル幅	TSDWH		10	—	ns	
	SD_CLK クロック Low レベル幅	TSDWL		10	—	ns	
	SD_CLK クロック立ち上がり時間	TSDLH		—	10	ns	
	SD_CLK クロック立ち下がり時間	TSDHL		—	10	ns	
	SD_CMD、SD_DATA 出力遅延	TSDODLY		-7.5	2.5	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	TSDIS		4	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	TSDIH		2	—	ns	
SD_CMD、SD_DATA 入力データ幅	TSDIDW		—	—	ns		
(eMMC) 高速 DDR	SD_CLK クロックサイクル	TSDCYC	C = 30 pF 駆動強度 CLK：高 その他：高	20	—	ns	図 58.73
	SD_CLK クロック High レベル幅	TSDWH		9	11	ns	
	SD_CLK クロック Low レベル幅	TSDWL		9	11	ns	
	SD_CLK クロック立ち上がり時間	TSDLH		—	3	ns	
	SD_CLK クロック立ち下がり時間	TSDHL		—	3	ns	
	SD_CMD 出力遅延 (SDR)	TSDODLY		-6	6	ns	
	SD_CMD 入力セットアップ時間 (SDR)	TSDIS		4.8	—	ns	
	SD_CMD 入力ホールド時間 (SDR)	TSDIH		2.5	—	ns	
	SD_DATA 出力遅延 (DDR)	TSDODLY_DDR		2.5	6.5	ns	
	SD_DATA 入力セットアップ時間 (DDR)	TSDIS_DDR		1.7	—	ns	
	SD_DATA 入力ホールド時間 (DDR)	TSDIH_DDR		1.5	—	ns	