

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A203A/J	Rev.	第1版
題名	R32C/145グループ ユーザーズマニュアル ハードウェア編 誤記訂正		情報分類	技術情報	
適用製品	R32C/145グループ	対象ロット等	関連資料	R32C/145グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (RJJ09B0621-0100)	

R32C/145グループ ユーザーズマニュアル ハードウェア編 Rev.1.00において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 10 of 635

表1.7の「クロック出力」の機能を以下のとおり訂正いたします。

【誤】

fC、f8または、f32と同じ周期のクロックを出力します

【正】

低速クロック、f8または、f32と同じ周期のクロックを出力します

•Page 38 of 635

表4.20 IFS0レジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

X000 X000b

【正】

X0X0 X0X0b

•Page 57, 64, 71, 78, 85, 92 of 635

表4.39、表4.46、表4.53、表4.60、表4.67、表4.74のレジスタ名を以下のとおり訂正いたします。

【誤】

CANi アクセプタンスマスクレジスタ k

【正】

CANi マスクレジスタ k

•Page 58, 65, 72, 79, 86, 93 of 635

表4.40、表4.47、表4.54、表4.61、表4.68、表4.75のC5MSMR、C4MSMR、C3MSMR、C2MSMR、C1MSMR、C0MSMRレジスタのリセット後の値を以下のとおり訂正いたします。

XXXX XX00b

【誤】

0000 0000b

【正】

•Page 101 of 635

図7.1を以下のとおり訂正いたします。

【誤】

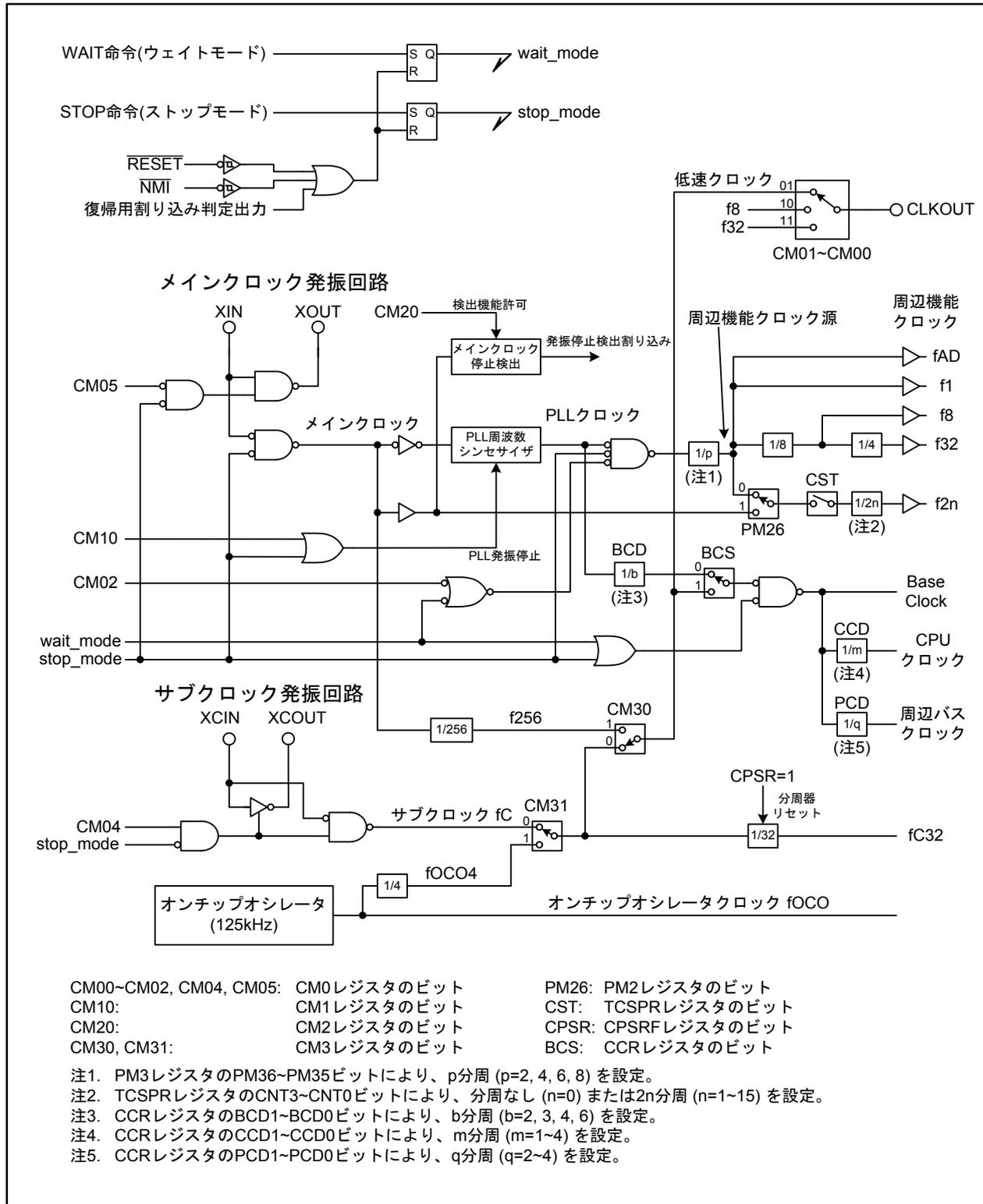


図7.1 クロック発生回路のブロック図

【正】

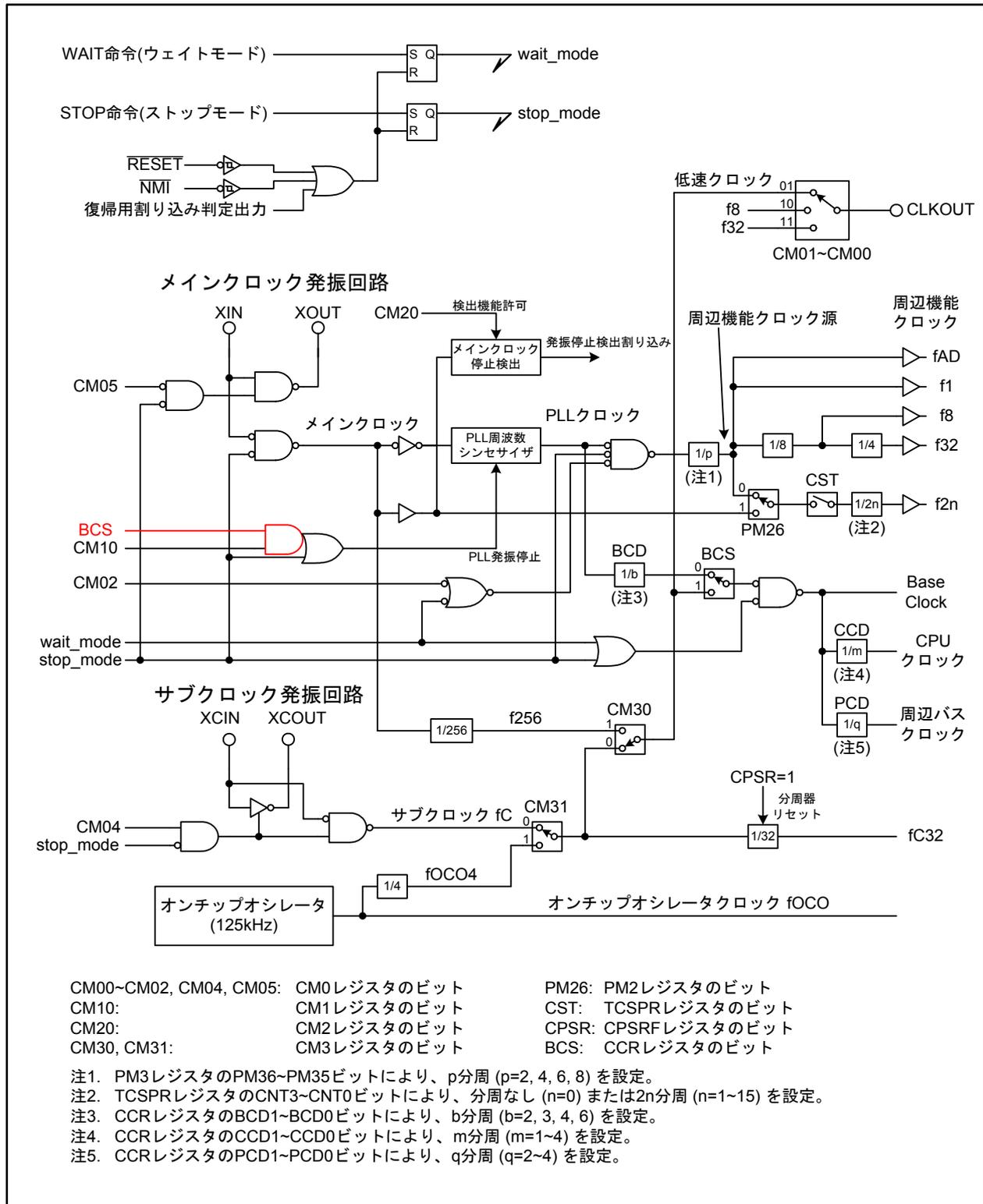


図7.1 クロック発生回路のブロック図

•Page 103 of 635

図7.3の注7の文章に以下のとおり追記いたします。

【誤】

注7. このビットはウォッチドッグタイマを動作させる前に設定してください。

【正】

注7. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

•Page 104 of 635

図7.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”にすることはできません。

【正】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”にしてもPLL周波数シンセサイザの発振は停止しません。

•Page 107 of 635

図7.9の注3内の記述を以下のとおり訂正いたします。

【誤】

CM0レジスタのCM05ビット(メインクロックは停止しない)
CM1レジスタのCM10ビット(PLLは停止しない)

【正】

CM0レジスタのCM05ビット(メインクロックの発振/停止)
CM1レジスタのCM10ビット(PLLの発振/停止)

•Page 112 of 635

図7.15のSEOビットのビット名と機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

ビット名: 自励発振モード設定ビット
機能欄: 0: メインクロック逡倍モード
1: 自励発振モード

【正】

ビット名: 自励発振動作設定ビット
機能欄: 0: メインクロック逡倍動作
1: 自励発振動作

•Page 115 of 635

7.2.1項本文2段落目に以下のとおり文章を追記いたします。

【誤】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と、周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

【正】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムで**メインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か**、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

•Page 117, 124, 127 of 635

7.6本文、表7.3、表7.4、表7.6のfCをそれぞれ以下のとおり訂正いたします。

【誤】

7.6: fC、f8、またはf32をCLKOUT端子から出力できます。

表7.3: fCを出力

表7.4: fC選択時

表7.6: fC選択時

【正】

7.6: **低速クロック**、f8、またはf32をCLKOUT端子から出力できます。

表7.3: **低速クロック**を出力

表7.4: **低速クロック**選択時

表7.6: **低速クロック**選択時

•Page 157 of 635

図10.14の(b0)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。**書く場合、“0”を書いてください。**

読んだ場合、その値は“1”

【正】

何も配置されていない。読んだ場合、その値は“1”

•Page 157 of 635

図10.14の注3を以下のとおり訂正いたします。

【誤】

注3. 該当ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。“0”を書く場合、AND命令またはBCLR命令を使用してください。

【正】

注3. 該当ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。

•Page 227, 231 of 635

図16.3のINV13ビットの機能欄、図16.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

INV13: タイマAリロード制御信号が...

PWCON: 奇数回目のタイマA出力

【正】

INV13: タイマA1リロード制御信号が...

PWCON: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 232 of 635

16.3本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2)を入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTA_iレジスタ設定値とTX_{i1}レジスタ設定値の合計がTB2レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2)を入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 237 of 635

図16.18の(1)の1項目目を以下のとおり訂正いたします。

【誤】

- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマAリロード制御信号の立ち下がりでタイマB2割り込み)

【正】

- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマA1リロード制御信号が“1”のときのタイマB2アンダフローごとにタイマB2割り込み)

•Page 239 of 635

16.6.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 239 of 635

16.6.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2がオーバーフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバーフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバーフローまでに十分な時間がない場合は、オーバーフローするまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

•Page 257 of 635

図17.18の波形の名称を以下のとおり訂正いたします。

【誤】

- UiC0レジスタのTXEPTフラグ

【正】

- UiC0レジスタのTXEPTビット

•Page 311 of 635

図20.1を以下のとおり訂正いたします。

【誤】

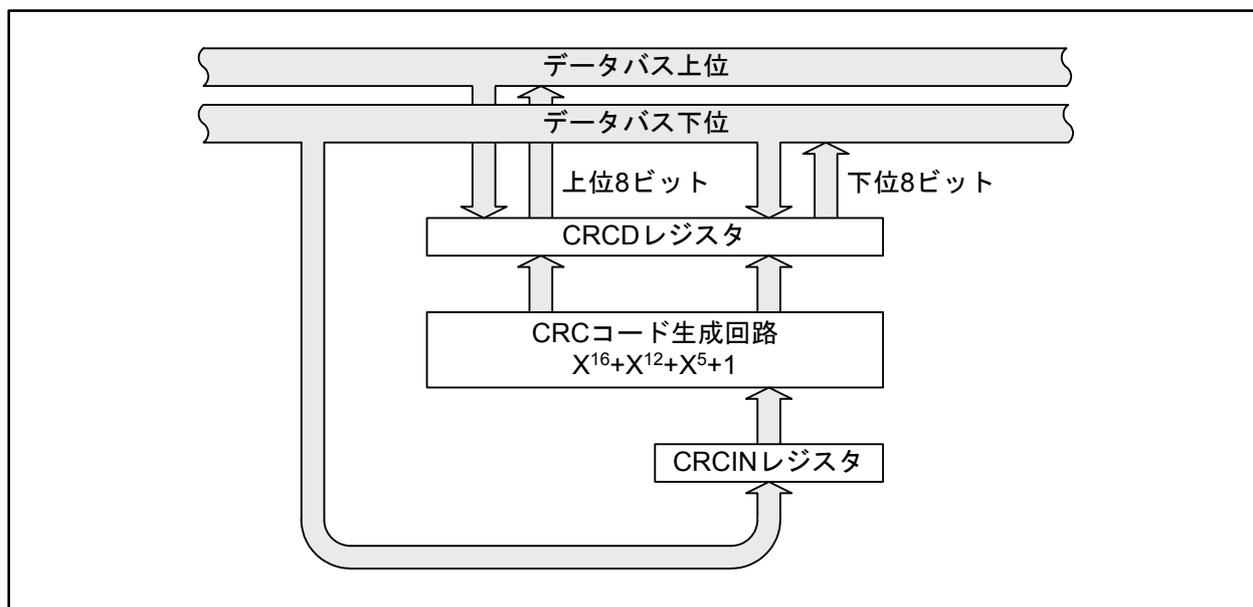


図20.1 CRC演算回路のブロック図

【正】

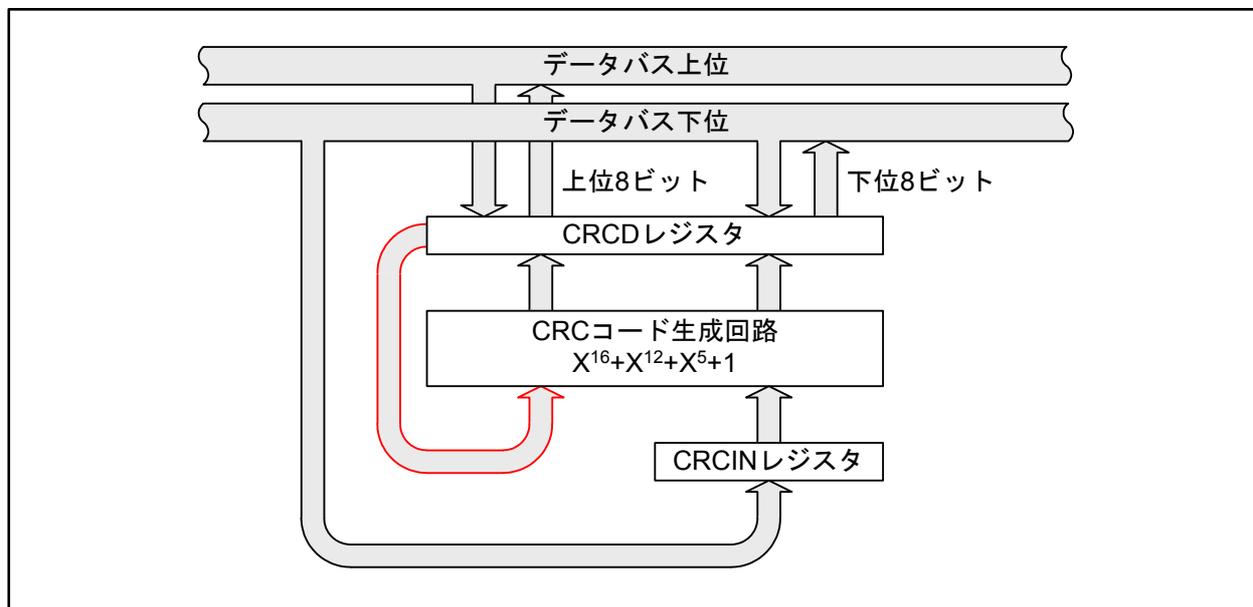


図20.1 CRC演算回路のブロック図

•Page 323 of 635

図22.6の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

—なし—

•Page 356 of 635

図23.3の機能欄のビット表記を以下のとおり訂正いたします。

【誤】

b6 b5 b4

【正】

b2 b1 b0

•Page 390 of 635

図24.3のL0LD、L1LDビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. これらのビットのうち1つでも“1”になっている場合、新たな入力信号“L”検出割り込みは発生しません。

•Page 392 of 635

図24.7の注4の文章を以下のとおり訂正いたします。

【誤】

注4. 入力信号の立ち下がりを検出すると、LSTレジスタのLDビットが“1”になり、割り込みが発生します。なお、LDビットが“1”のときにこのビットを“0”にしても、LDビットは“0”になりません。

【正】

注4. このビットが“1”のときに入力信号の立ち下がりを検出した場合、または入力信号が“L”のときにこのビットを“1”にした場合、LSTレジスタのLDビットが“1”になり、割り込み要求が発生します。

•Page 399 of 635

図24.16に以下の注記を追加いたします。

【誤】

—なし—

【正】

注3. このビットが“1”の場合、他チャンネルのLDビットが“1”になっても、あるいは新たに自チャンネルでLDビットが“1”になる条件が整ったとしても、新たな割り込み要求は発生しません。

•Page 403 of 635

表24.3 (1) のソフトウェア処理の4項目目を以下のとおり訂正いたします。

【誤】

- LBRKレジスタの**BFTL3~BFTL0**ビットでブレイク幅(13~28 Tbit)、**BFTD1~BFTD0**ビットでブレイクデリミタ幅(1~4 Tbit)を設定

【正】

- LBRKレジスタの**BLT3~BLT0**ビットでブレイク幅(13~28 Tbit)、**BDT1~BDT0**ビットでブレイクデリミタ幅(1~4 Tbit)を設定

•Page 404 of 635

表24.4 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

インタバイトスペース送信

(LRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返す。**LEST**レジスタの**BER=1**(ビットエラー検出)なら中断。エラー発生時には、(5)のチェックサム送信は実行しません)

【正】

インタバイトスペース送信

(LRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返す。エラー発生時は(6)へ)

•Page 405 of 635

表24.5 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

スタートビット検出によりデータ3受信

(LRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返す。**LEST**レジスタのいずれかのビットが“1”(何らかのエラー検出)なら中断。エラー発生時には、(5)のチェックサム判定は実施しません)

【正】

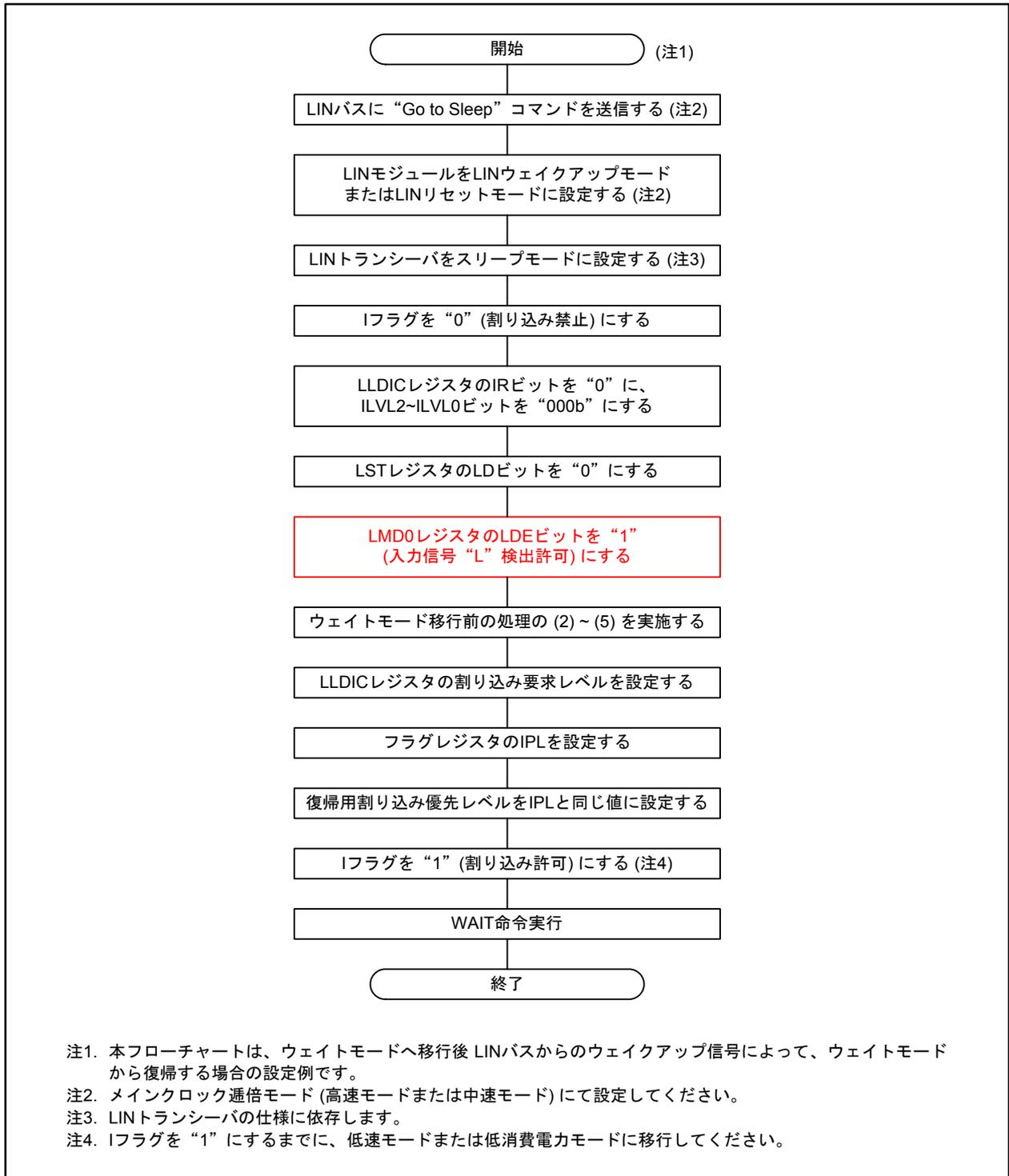
スタートビット検出によりデータ3受信

(LRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。ただしその場合は、(5)のチェックサム判定は実施しません)

•Page 414 of 635

図24.30を以下のとおり訂正いたします。

【誤】



- 注1. 本フローチャートは、ウェイトモードへ移行後 LINバスからのウェイクアップ信号によって、ウェイトモードから復帰する場合の設定例です。
- 注2. メインクロック通信モード (高速モードまたは中速モード) にて設定してください。
- 注3. LINトランシーバの仕様に依存します。
- 注4. Iフラグを "1" にするまでに、低速モードまたは低消費電力モードに移行してください。

図24.30 ウェイトモードへ遷移する前の設定例

【正】

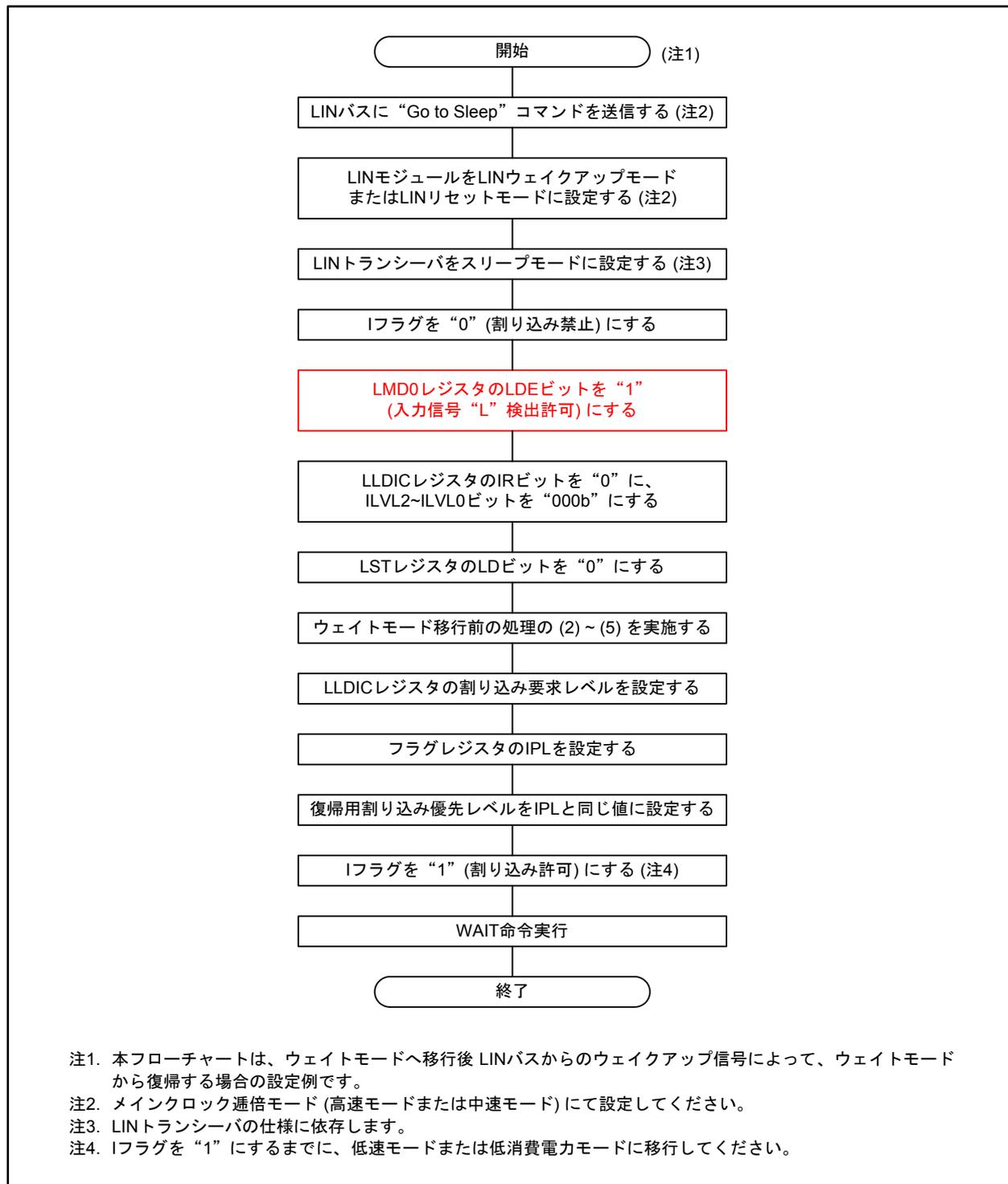


図 24.30 ウェイトモードへ移行する前の設定例

•Page 415 of 635

表24.8の入力信号“L”検出の条件欄に以下のとおり文章を追記いたします。

【誤】

LMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)で、LINjIN端子からの入力信号の立ち下がりエッジを検出したとき

【正】

LMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)のとき、LINjIN端子からの入力信号の立ち下がりエッジを検出した、またはLINjIN端子が“L”のときにLDEビットを“1”にした

•Page 418 of 635

24.11の本文9~10行目に以下のとおり文章を追記いたします。

【誤】

それぞれの割り込み要求は、LMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LSTレジスタの対応するフラグが“1”になると出力されます。

【正】

それぞれの割り込み要求は、LMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LSTレジスタの対応するフラグが“1”になると出力されます。なお、複数の要因の論理和をとっているため、いずれかの要因が“1”であると他の要因による新たな割り込み要求は発生しません。

•Page 418 of 635

図24.32を以下のとおり訂正いたします。

【誤】

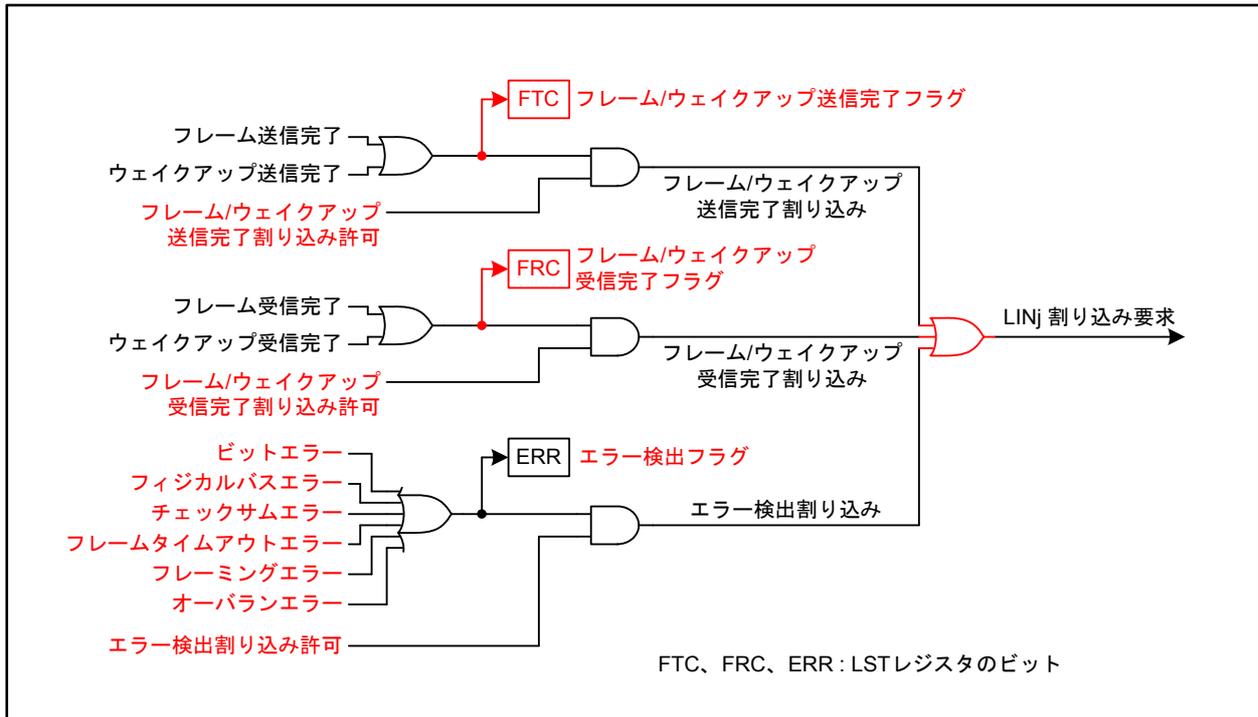


図 24.32 LINj 割り込みブロック図 (j=0, 1)

【正】

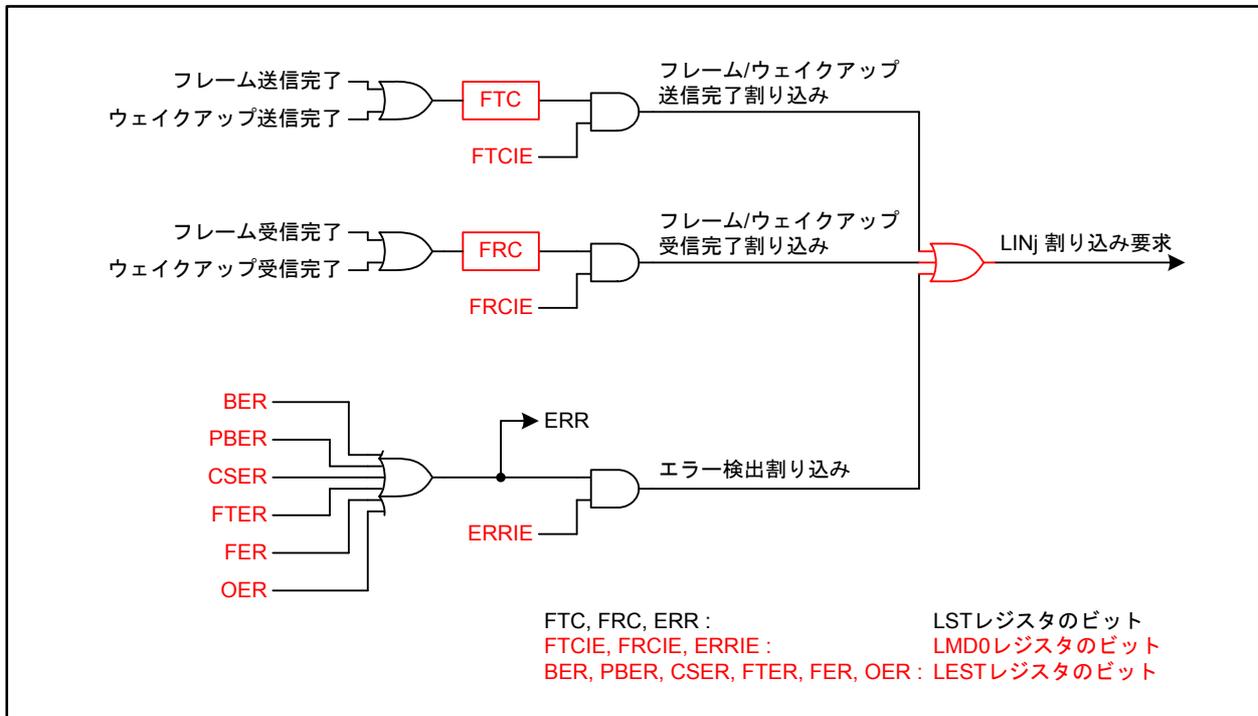


図 24.32 LINj 割り込みブロック図 (j=0, 1)

•Page 418 of 635

図24.33を以下のとおり訂正いたします。

【誤】

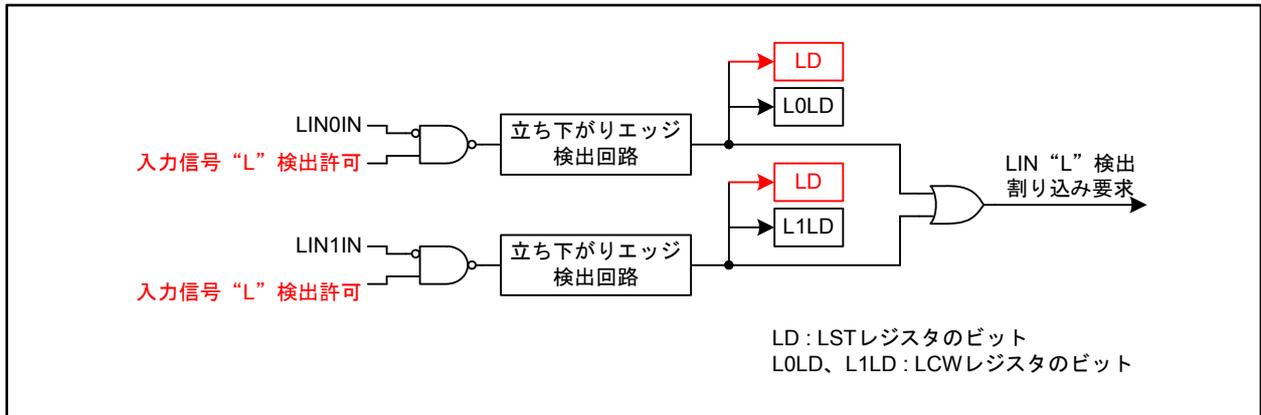


図24.33 LIN“L”検出割り込みブロック図

【正】

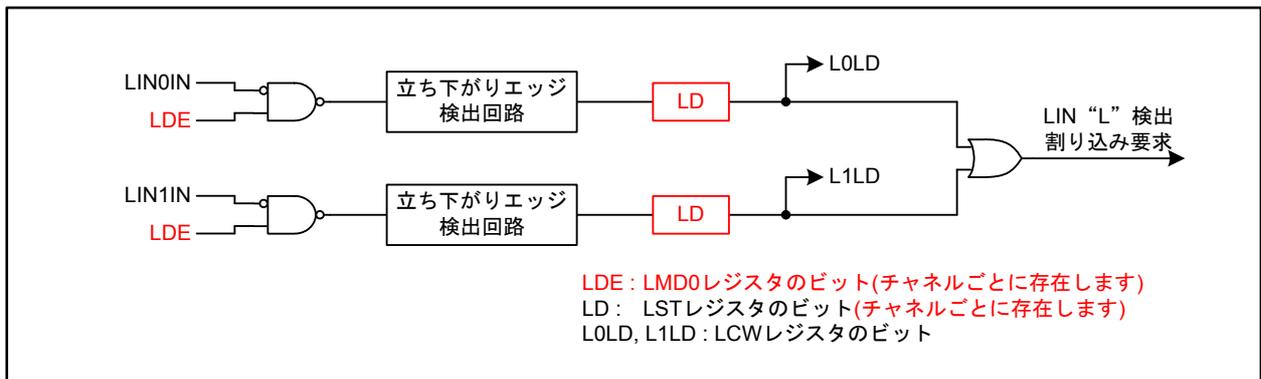


図24.33 LIN“L”検出割り込みブロック図

•Page 419 of 635

25 本文の4行目を以下のとおり訂正いたします。

【誤】

表25.1にCANモジュールの仕様、図25.1にCANモジュールブロック図を示します。

【正】

表25.1、表25.2にCANモジュールの仕様、図25.1にCANモジュールブロック図を示します。

•Page 427 of 635

表25.4の注2の3項目目を以下のとおり訂正いたします。

【誤】

- ・4種類のフレームをすべて受信したい場合は、それぞれのメールボックスのIDEビットとRTRビットに“00~01b”を設定してください。

【正】

- ・4種類のフレームをすべて受信したい場合は、それぞれのメールボックスのIDEビットとRTRビットに“00b~01b”を設定してください。

•Page 427 of 635

表25.4の注3の1項目目を以下のとおり訂正いたします。

【誤】

- ・FIFO受信割り込みを許可にし、1メッセージ受信ごとに割り込みが発生するように設定してください。ただし、受信FIFO割り込みは発生しません。ゲートウェイモジュールへ受信完了を通知するために必要な設定です

【正】

- ・受信FIFO割り込みを許可にし、1メッセージ受信ごとに割り込みが発生するように設定してください。ただし、受信FIFO割り込みは発生しません。CANゲートウェイモジュールへ受信完了を通知するために必要な設定です

•Page 445 of 635

図25.11の注2を以下のとおり訂正いたします。

【誤】

注2. RFMLFビットと同時にRFEビットに“0”を書いてください。

【正】

注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。

•Page 456 of 635

図25.19の(b6-b4)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。

読んだ場合、その値は“0”

【正】

何も配置されていない。読んだ場合、その値は“0”

•Page 468 of 635

図25.28の注4を以下のとおり訂正いたします。

【誤】

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

【正】

注4. 同時に2つ以上のエラーが検出された場合は、該当するすべてのビットが“1”になります。

•Page 477 of 635

25.2.3項本文を以下のとおり訂正いたします。

【誤】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット実行後、CANスリープモードから動作を開始します。

【正】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

•Page 480 of 635

図25.36のPCDビット部のqの値を以下のとおり訂正いたします。

【誤】

q=1, 2, 3, 4

【正】

q=2, 3, 4

•Page 492 of 635

表26.2から一部の項目を以下のとおり削除いたします。

【誤】

表 26.2 各モードでの動作

	ゲートウェイリセット モード	コンフィグレーション モード	ルーティング モード
モジュール内レジスタ操作	初期化(設定禁止)	設定許可	設定禁止
ルーティングマップSUM演算	設定禁止	設定許可	設定禁止
(以下省略)			

【正】

表 26.2 各モードでの動作

	ゲートウェイリセット モード	コンフィグレーション モード	ルーティング モード
ルーティングマップSUM演算	設定禁止	設定許可	設定禁止
(以下省略)			

•Page 494 of 635

図26.4の注1を以下のとおり削除いたします。

【誤】

注1. GPCCRレジスタのRMPCEビットが“1”に設定してあるとき、FIFOチェック時にパリティチェックを実施します。

【正】

—なし—

•Page 497 of 635

26.1.6本文を以下のとおり修正および追記いたします。

【誤】

ルーティングマップRAMおよび送信FIFO RAMのパリティチェック機能の許可/禁止を設定するレジスタです。

ルーティングマップRAMのパリティチェック結果はGRESRレジスタのRMPERビットで確認できます。

送信FIFO RAMのパリティチェック結果は送信FIFOから読み出したフレームのEPCビットにて確認できます。

【正】

ルーティングマップRAMおよびメッセージフレームに対するパリティチェック機能の許可/禁止を設定するレジスタです。パリティは偶数パリティです。

RMPCEビットが“1”の場合、GRMCCレジスタのCALCビットを“1”にすると、ルーティングマップのSUM演算中にパリティチェックが実行されます。結果はGRESRレジスタのRMPERビットで確認できます。

PCEiビットが“1”の場合、メッセージフレームが送信FIFOに転送されるときにパリティが付加されます。送信FIFOからGFRR0~GFRR3レジスタにメッセージフレームが転送されるときにパリティチェックが実行されます。結果はGFRR0レジスタのEPCビットに格納されます。

•Page 498 of 635

図26.8のDIV2~DIV0ビットの機能欄を以下のとおり訂正いたします。

【誤】

000: 1/128分周
001: 1/256分周
010: 1/512分周
011: 1/1024分周
100: 1/2048分周
101: 1/4096分周
110: 1/8192分周
111: 1/16384分周

【正】

000: 128分周
001: 256分周
010: 512分周
011: 1024分周
100: 2048分周
101: 4096分周
110: 8192分周
111: 16384分周

•Page 498 of 635

図26.8の注2を以下のとおり訂正いたします。

【誤】

注2. DIV2~DIV0ビットはCSTビットが“0”のとき、設定可能です。

【正】

注2. DIV2~DIV0ビットはCSTビットが“0”のときのみ、設定値が反映されます。

•Page 511 of 635

26.1.20の本文を以下のとおり訂正いたします。

【誤】

メッセージフレームを送信 FIFO へ転送するときに、このレジスタの値を該当メッセージフレームの GFRR3 レジスタの TS15~TS0 ビットに追加します。フレーム送信時にこのレジスタを確認することで、個々のフレームについて、ゲートウェイでの処理が終わって送信 FIFO に格納してから送信するまでの滞留時間が計測できます。

【正】

メッセージフレームを送信 FIFO へ転送するときに、このレジスタの上位 15 ビットが該当メッセージフレームの TS ビットに追加されます。フレーム送信時にこのレジスタを確認することで、個々のフレームについて、ゲートウェイでの処理が終わって送信 FIFO に格納してから送信するまでの滞留時間が計測できます。

•Page 512 of 635

図26.22の(b4)を以下のとおり訂正いたします。

【誤】

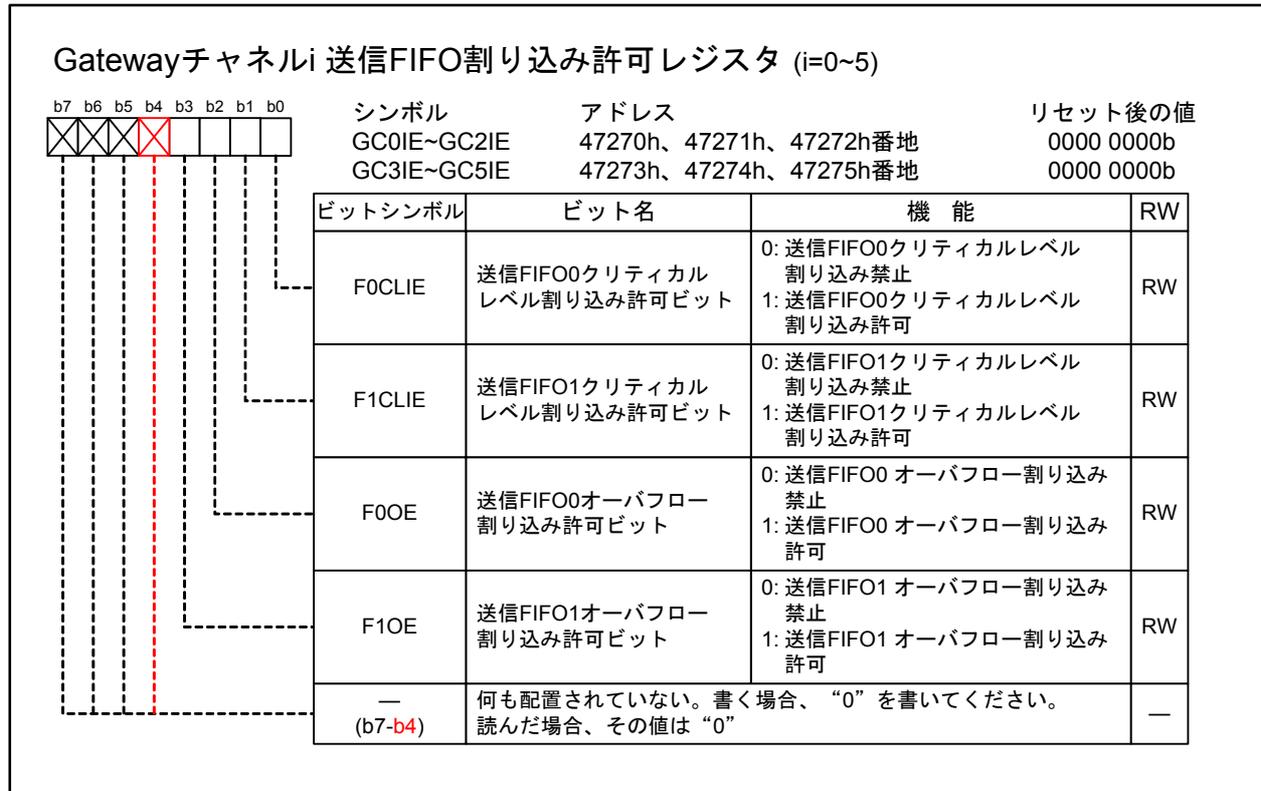


図 26.22 GC0IE~GC5IE レジスタ

【正】

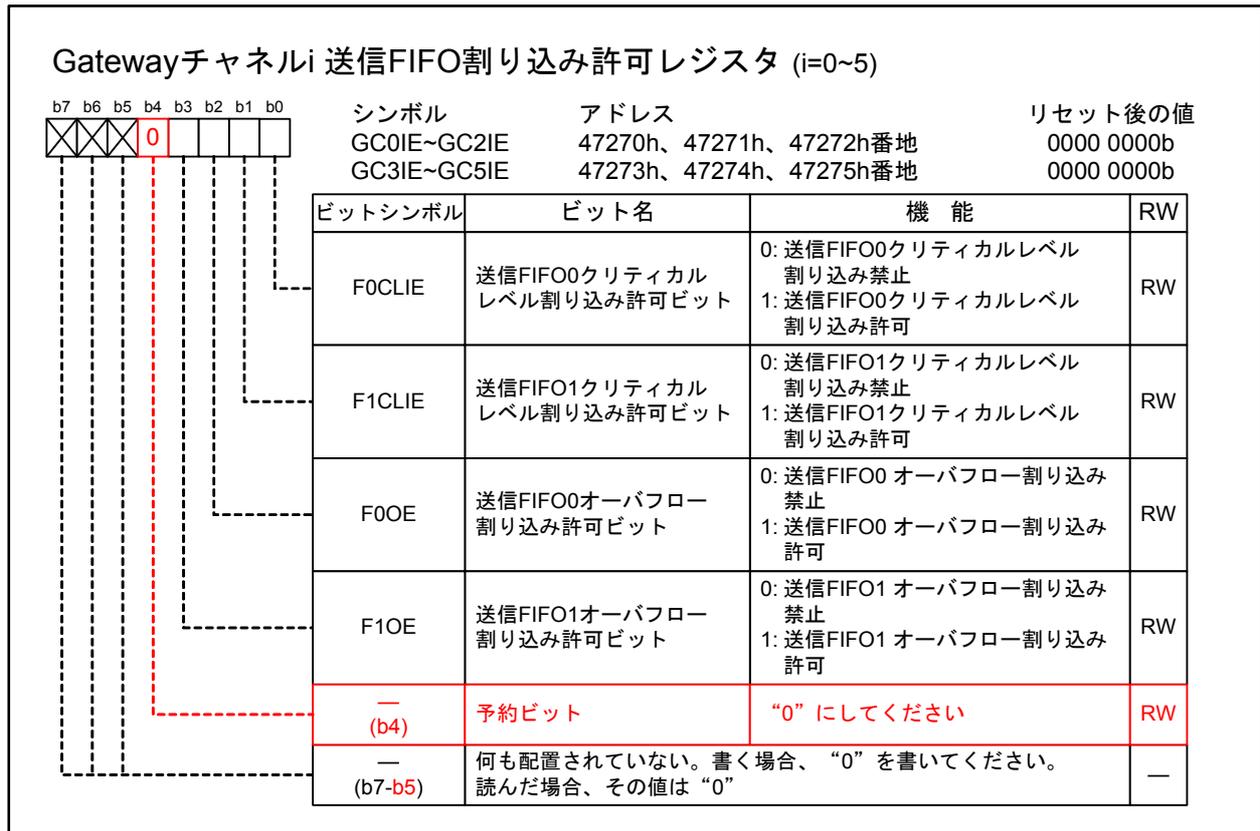


図 26.22 GC0IE~GC5IE レジスタ

•Page 513 of 635

図26.23の(b4)を以下のとおり訂正いたします。

【誤】

Gatewayチャンネルi 送信FIFOステータスレジスタ (i=0~5)

シンボル	アドレス	リセット後の値
GC0SR~GC2SR	47278h、47279h、4727Ah番地	0000 0000b
GC3SR~GC5SR	4727Bh、4727Ch、4727Dh番地	0000 0000b

ビットシンボル	ビット名	機能	RW
F0CL	送信FIFO0クリティカルレベルフラグ (注1)	0: 送信FIFO0のフレーム数が、クリティカルレベルより少ない 1: 送信FIFO0のフレーム数が、クリティカルレベル以上	RO
F1CL	送信FIFO1クリティカルレベルフラグ (注1)	0: 送信FIFO1のフレーム数が、クリティカルレベルより少ない 1: 送信FIFO1のフレーム数が、クリティカルレベル以上	RO
F0O	送信FIFO0オーバーフローフラグ (注2、3)	0: 送信FIFO0 オーバーフローなし 1: 送信FIFO0 オーバーフローあり	RW
F1O	送信FIFO1オーバーフローフラグ (注2、3)	0: 送信FIFO1 オーバーフローなし 1: 送信FIFO1 オーバーフローあり	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—

注1. このフラグは、GFijFLレジスタ (i=0~5、j=0, 1) から1を引いた値がGFijCLレジスタに設定した値以上のとき、“1”になります。GFijFLレジスタから1を引いた値がGFijCLレジスタの値を下回ったとき、“0”になります。

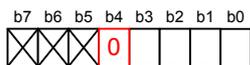
注2. オーバーフローが発生したときは送信FIFOにあるデータは不定です。

注3. このビットに“1”を書いても値は変化しません。“0”にするには、このビットに“0”を書いてください。

図26.23 GC0SR~GC5SR レジスタ

【正】

Gatewayチャネルi 送信FIFOステータスレジスタ (i=0~5)



シンボル	アドレス	リセット後の値
GC0SR~GC2SR	47278h, 47279h, 4727Ah番地	0000 0000b
GC3SR~GC5SR	4727Bh, 4727Ch, 4727Dh番地	0000 0000b

ビットシンボル	ビット名	機能	RW
F0CL	送信FIFO0クリティカルレベルフラグ (注1)	0: 送信FIFO0のフレーム数が、クリティカルレベルより少ない 1: 送信FIFO0のフレーム数が、クリティカルレベル以上	RO
F1CL	送信FIFO1クリティカルレベルフラグ (注1)	0: 送信FIFO1のフレーム数が、クリティカルレベルより少ない 1: 送信FIFO1のフレーム数が、クリティカルレベル以上	RO
F0O	送信FIFO0オーバーフローフラグ (注2, 3)	0: 送信FIFO0 オーバフローなし 1: 送信FIFO0 オーバフローあり	RW
F1O	送信FIFO1オーバーフローフラグ (注2, 3)	0: 送信FIFO1 オーバフローなし 1: 送信FIFO1 オーバフローあり	RW
— (b4)	予約ビット	“0”にしてください。 読んだ場合、その値は不定	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—

- 注1. このフラグは、GFijFLレジスタ (i=0~5, j=0, 1) から1を引いた値がGFijCLレジスタに設定した値以上のとき、“1”になります。GFijFLレジスタから1を引いた値がGFijCLレジスタの値を下回ったとき、“0”になります。
- 注2. オーバフローが発生したときは送信FIFOにあるデータは不定です。
- 注3. このビットに“1”を書いても値は変化しません。“0”にするには、このビットに“0”を書いてください。

図26.23 GC0SR~GC5SR レジスタ

•Page 515 of 635

26.1.24本文を以下のとおり追加、訂正いたします。

【誤】

ゲートウェイエラーの有無を示すレジスタです。GIERレジスタのREREビットが“1”かつRESビットが“1”、またはGIERレジスタのHEREビットが“1”かつHESビットが“1”のとき、CANゲートウェイエラー割り込みが発生します。

【正】

ルーティングエラー、ハードウェアエラー発生の有無を示すレジスタです。GIERレジスタのREREビットが“1”かつRESビットが“1”、またはGIERレジスタのHEREビットが“1”かつHESビットが“1”のとき、CANゲートウェイエラー割り込み要求が発生します。

•Page 519 of 635

図26.31に注3を以下のとおり追加いたします。

【誤】

—なし—

【正】

注3. 標準ID時はLSB詰めで指定してください。

•Page 520 of 635

26.1.27項タイトル、図26.32のレジスタ名をを以下のとおり訂正いたします。

【誤】

Gateway 検索サポートレジスタj

【正】

Gateway **ビット** 検索サポートレジスタj

•Page 523 of 635

図26.35から動作電源に関する記載を以下のとおり削除いたします。

【誤】

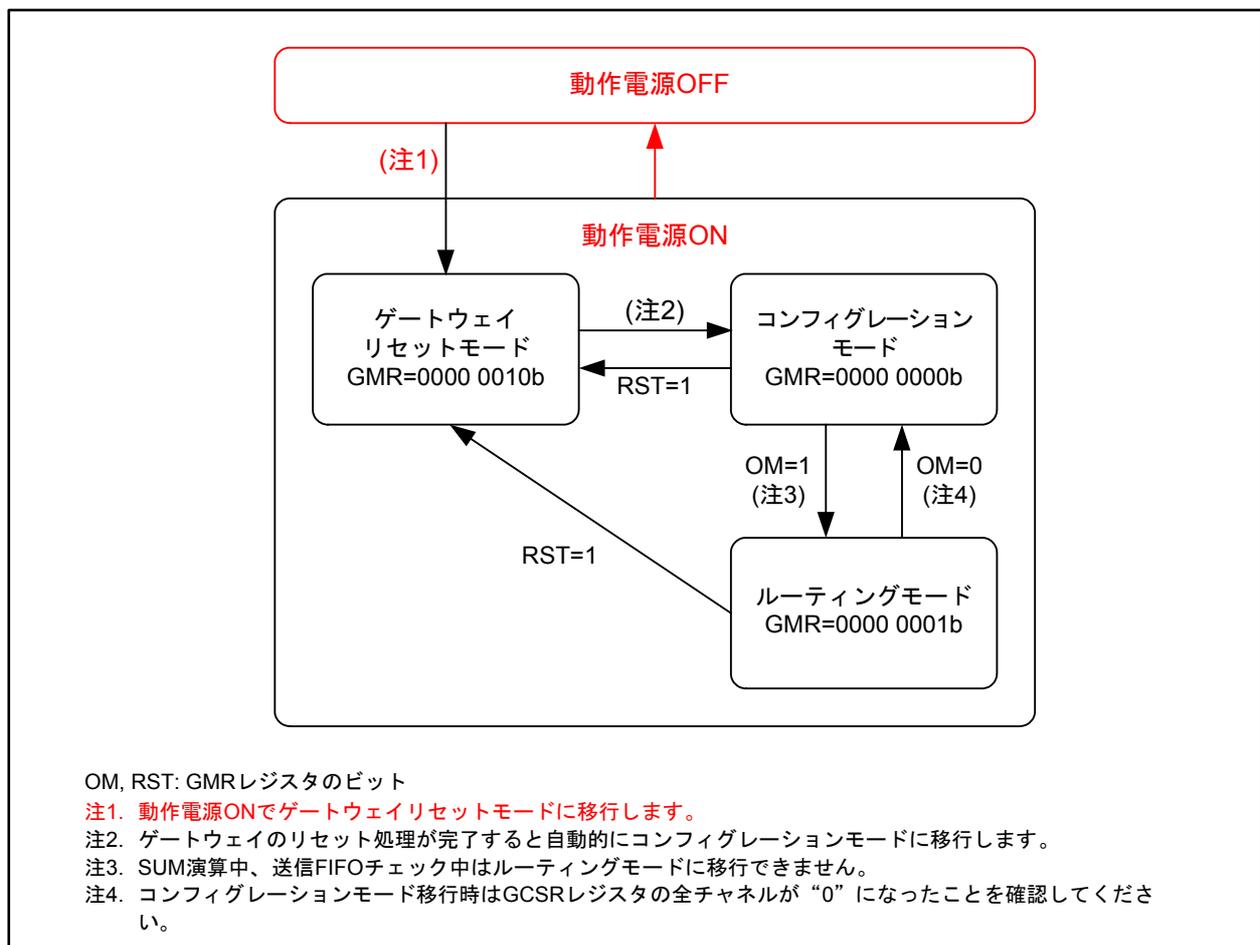


図26.35 モード遷移のイメージ

【正】

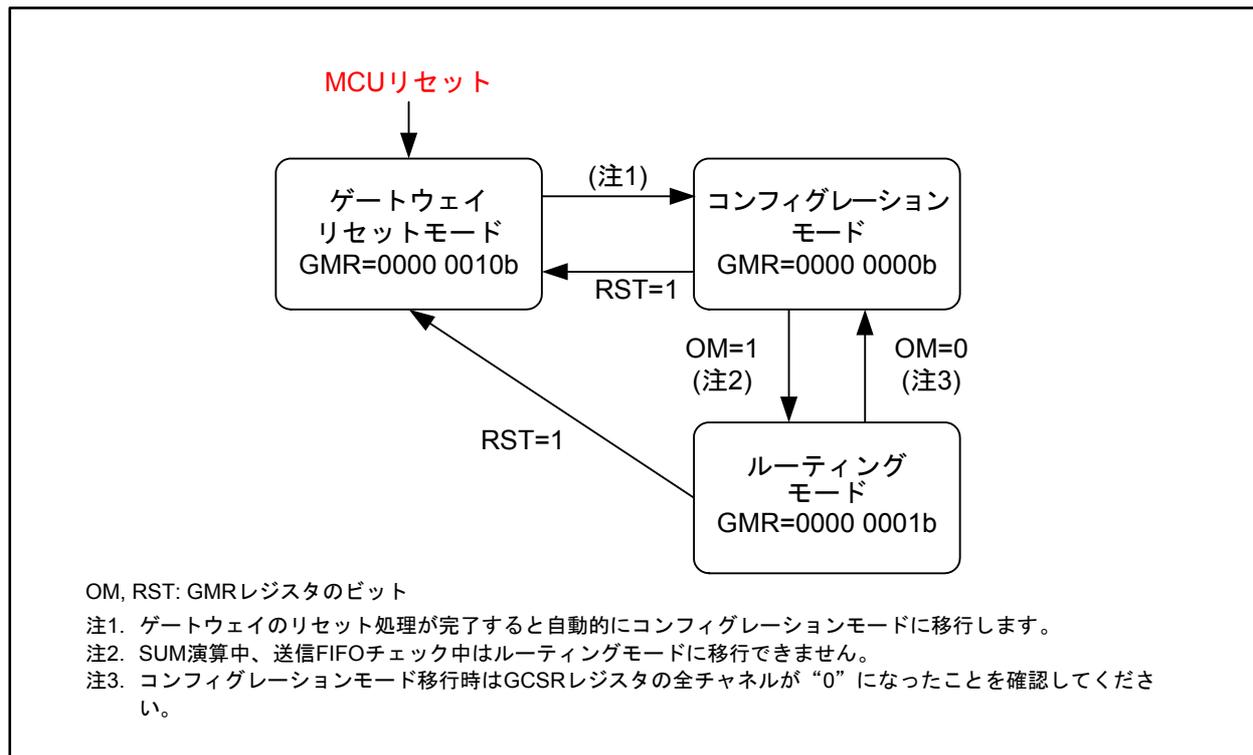


図 26.35 モード遷移のイメージ

•Page 526 of 635

表 26.7 に以下のとおり注記を追加いたします。

【誤】

—なし—

【正】

注1. PAR(パリティ)は、GRMmH、GRMmLレジスタに値を設定したときに計算されます。

•Page 528 of 635

図26.37を以下のとおり訂正いたします。

【誤】

標準ID	IDE “0”	RTR	EPC	標準ID	“0”	Data	LA0	予約	DLC	LA1	Data	TSL	Data
	1bit	1bit	1bit	11bit	18bit	16bit	2bit	2bit	4bit	8bit	32bit	16bit	16bit
拡張ID	IDE “1”	RTR	EPC	拡張ID		Data	LA0	予約	DLC	LA1	Data	TSL	Data
	1bit	1bit	1bit	29bit		16bit	2bit	2bit	4bit	8bit	32bit	16bit	16bit

図 26.37 送信 FIFO 一段の構成

【正】

標準ID	IDE “0”	RTR	EPC	標準ID	“0”	Data	LA0	予約	DLC	LA1	Data	TS	Data
	1bit	1bit	1bit	11bit	18bit	16bit	2bit	2bit	4bit	8bit	32bit	16bit	16bit
拡張ID	IDE “1”	RTR	EPC	拡張ID		Data	LA0	予約	DLC	LA1	Data	TS	Data
	1bit	1bit	1bit	29bit		16bit	2bit	2bit	4bit	8bit	32bit	16bit	16bit

図 26.37 送信 FIFO 一段の構成

•Page 536 of 635

27章本文を以下のとおり訂正いたします(TN-16C-A199A/J 参照)。

【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合、レジスタの設定内容にかかわらず切り離されます。

•Page 536 of 635

図27.1を以下のとおり訂正いたします(TN-16C-A199A/J 参照)。

【誤】

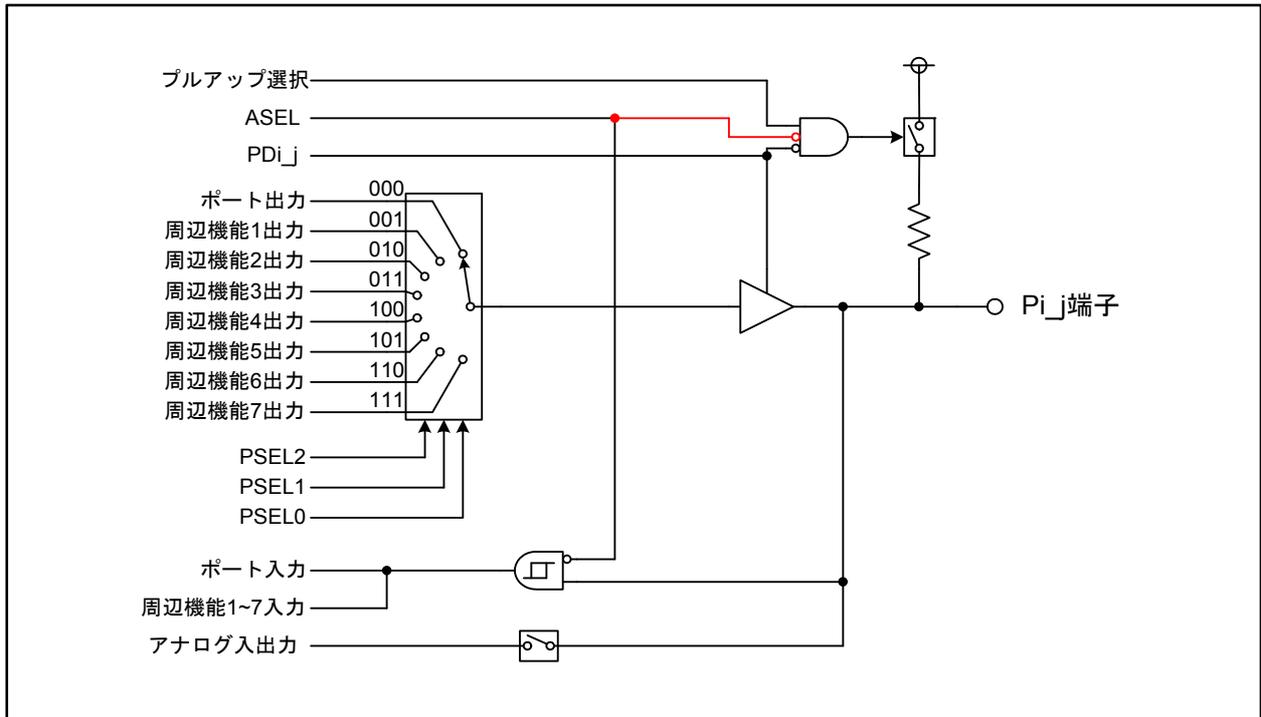


図 27.1 入出力端子ブロック図(代表例) (i=0~10、j=0~7)

【正】

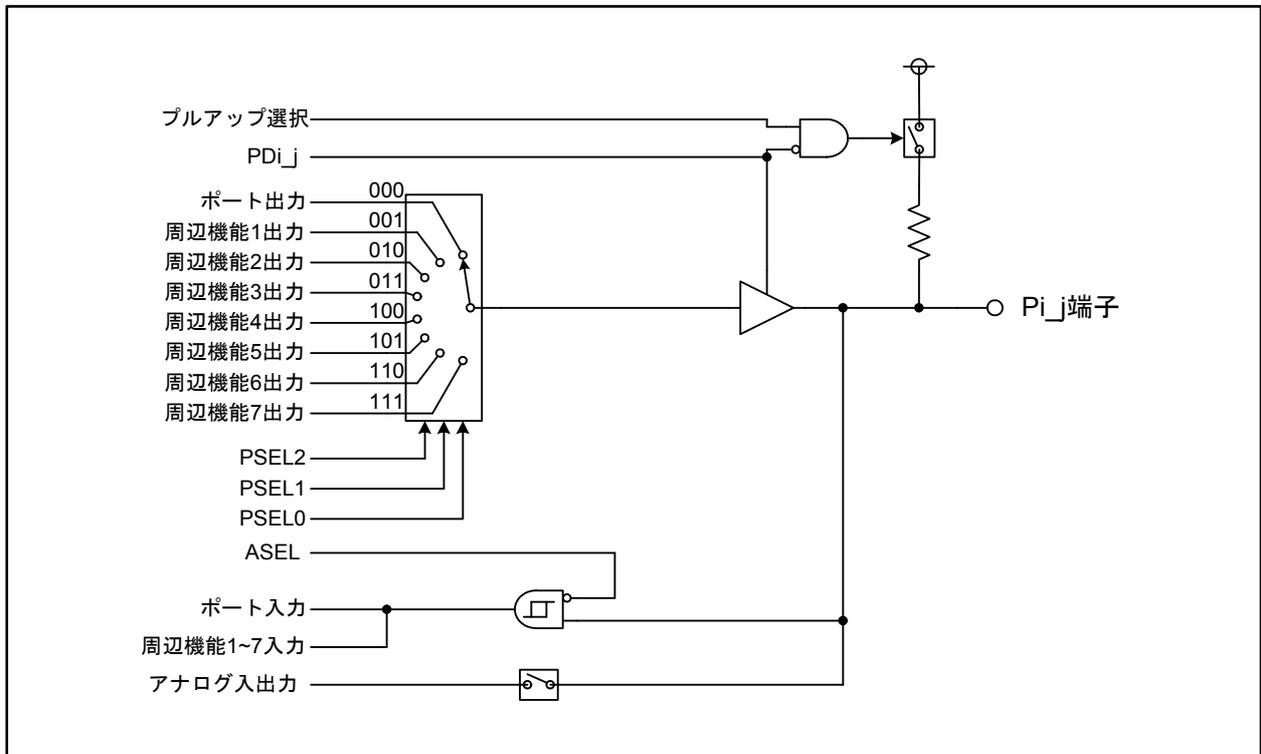


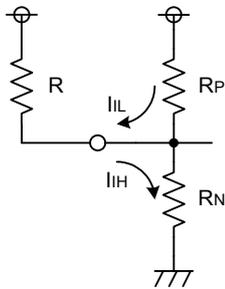
図 27.1 入出力端子ブロック図(代表例) (i=0~10、j=0~7)

•Page 558 of 635

図27.26のV_{IH}を以下のとおり訂正いたします。

【誤】

プルアップ/プルダウン抵抗の考え方



左に入力端子の等価回路を示します。
 入力電流 I_{IL}、I_{IH} から等価入力抵抗 R_P、R_N を計算します。
 (例) V_{CC} = 5.0V、I_{IH} = I_{IL} = 5μA とすると

$$R_P = R_N = \frac{5.0}{5 \times 10^{-6}} = 1M\Omega$$

“H”と認識される電圧 V_{IH} は 0.8V_{CC} 以上なので、
 R // R_P : R_N = 0.2 : 0.8
 を満たす R が V_{IH} = 0.8V_{CC} となる抵抗値です。
 この式を計算すると、

$$R = \frac{2R_P R_N}{8R_P - 2R_N}$$

となり、プルアップ抵抗 R の最大値が求まります。
 (例) V_{CC} = 5.0V、I_{IH} = I_{IL} = 5μA とすると

$$R = \frac{2 \times 10^6 \times 10^6}{8 \times 10^6 - 2 \times 10^6} = 333333$$

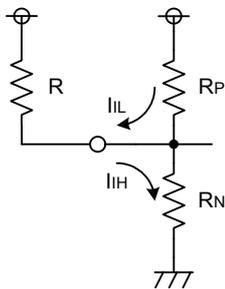
から約 330kΩ と計算できます。

ここで計算した抵抗値にマージンを考慮して、実際の抵抗値を決定します。

図27.26 プルアップ/プルダウン抵抗の考え方

【正】

プルアップ/プルダウン抵抗の考え方



左に入力端子の等価回路を示します。
 入力電流 I_{IL}、I_{IH} から等価入力抵抗 R_P、R_N を計算します。
 (例) V_{CC} = 5.0V、I_{IH} = I_{IL} = 5μA とすると

$$R_P = R_N = \frac{5.0}{5 \times 10^{-6}} = 1M\Omega$$

“H”と認識される電圧 V_{IH} は 0.7V_{CC} 以上なので、
 R // R_P : R_N = 0.3 : 0.7
 を満たす R が V_{IH} = 0.7V_{CC} となる抵抗値です。
 この式を計算すると、

$$R = \frac{3R_P R_N}{7R_P - 3R_N}$$

となり、プルアップ抵抗 R の最大値が求まります。
 (例) V_{CC} = 5.0V、I_{IH} = I_{IL} = 5μA とすると

$$R = \frac{3 \times 10^6 \times 10^6}{7 \times 10^6 - 3 \times 10^6} = 750000$$

から 750kΩ と計算できます。

ここで計算した抵抗値にマージンを考慮して、実際の抵抗値を決定します。

図27.26 プルアップ/プルダウン抵抗の考え方

•Page 565 of 635

表28.5のEW0モード、EW1モード欄に記載しているコマンド名を以下のとおり訂正いたします。

【誤】

- イレーズコマンド
- リードステータスレジスタコマンド

【正】

- ブロック**イレーズコマンド
- リードステータスレジスタ**モード移行**コマンド

•Page 591 of 635

表29.2のVCC0(最大)とdVCC0/dt(最大)を以下のとおり訂正および追加いたします。

【誤】

表 29.13 推奨動作条件(1)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧	4.2	5.5	5.5	V
V _{CC0}	電源電圧	3.0	3.3	5.5	V
(省略)	(省略)				
dV _{CC0} /dt	V _{CC0} 電源立ち上げ勾配(V _{CC0} < 2.0V)	0.05			V/ms
(省略)	(省略)				

【正】

表 29.13 推奨動作条件(1)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧	4.2	5.5	5.5	V
V _{CC0}	電源電圧	3.0	3.3	V _{CC}	V
(省略)	(省略)				
dV _{CC0} /dt	V _{CC0} 電源立ち上げ勾配(V _{CC0} < 2.0V)	0.05		2.5	V/ms
(省略)	(省略)				

•Page 592~610 of 635

指定のない場合の推奨動作条件およびタイミング必要条件を以下のとおり訂正いたします。

【誤】

(指定のない場合は、V_{CC} = 4.2~5.5V、V_{CC0} = 3.0~5.5V、V_{SS} = 0V、T_a = T_{opr})

【正】

(指定のない場合は、V_{CC} = 4.2~5.5V、V_{CC0} = 3.0~V_{CC}、V_{SS} = 0V、T_a = T_{opr})

•Page 623 of 635

30.7.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 623 of 635

30.7.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2がオーバーフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバーフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバーフローまでに十分な時間がない場合は、オーバーフローするまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

以上