

# マイクロコンピュータ技術情報

技術通知 V850ES/SG1, SG2, SJ2, SG3, SJ3, JG2, JJ2 用 インサーキット・エミュレータ QB-V850ESSX2 使用制限事項の件		発行番号	ZBG-CD-06-0026号	1/1
		発行日	2006年 4月 5日	
		発行元	NECエレクトロニクス株式会社 第四システム事業本部 汎用マイコンシステム事業部 開発ツールグループ <span style="float: right;">西林</span>	
文書分類	<input type="radio"/> 使用制限事項	<input type="checkbox"/> バージョンアップ	<input type="checkbox"/> ドキュメント誤記訂正(正誤表)	<input type="checkbox"/> その他
関連資料	QB-V850ESSX2 ユーザーズ・マニュアル 資料番号：U17091JJ2V0			

CP (K), 0

## 1. 対象製品

製品名	管理記号 <sup>注</sup>	備考
QB-V850ESSX2-xxx-yyy	A, B, C, D, E	xxx, yyy は任意のオーダーコード

注：管理記号の見分け方については、別紙を参照してください。

## 2. 追記事項

今回新たに V850ES/SG3, V850ES/SJ3 エミュレーション特記事項を追加させていただきました。詳細は別紙を参照して下さい。

## 3. 制限事項一覧

別紙を参照してください。

## 4. 発行文書履歴

V850ES/SG1, SG2, SJ2, SG3, SJ3, JG2, JJ2 用インサーキット・エミュレータ  
 QB-V850ESSX2 使用制限事項の件

文書番号	発行日	記事
ZBG-CD-04-0012	2004. 06. 08	初版
ZBG-CD-05-0102	2005. 10. 28	No. 11 の不具合内容訂正 オプション機能対応追加 (No. 22) 新規不具合追加 (No. 19, 20, 21, 23, 24) 別紙 4. 対応デバイス追加
ZBG-CD-06-0026	2006. 04. 05	別紙 5. V850ES/SG3, V850ES/SJ3 エミュレーション特記事項追加

以上

## QB-V850ESSX2 使用上の注意

本文書はエミュレータのみが該当する制限事項，およびエミュレータで修正予定のある制限事項を記載しています。

対象デバイスの制限事項については下記文書に記載されておりますので，合わせてお読みください。

- ・対象デバイスのユーザズ・マニュアル
- ・対象デバイスの制限事項文書

また，エミュレータの注意事項についてはエミュレータのユーザズ・マニュアルに掲載されております。こちらも合わせてお読みください。

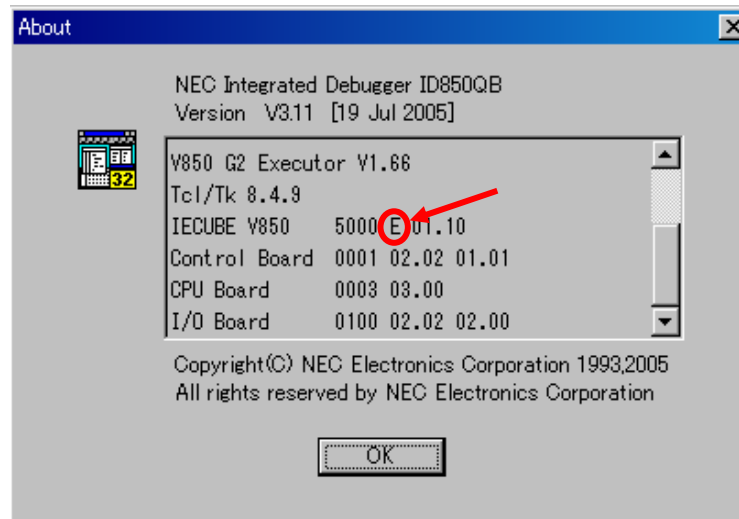
## 1. 製品バージョン

管理記号 <sup>注</sup>	備考
A	
B	
C	
D	
E	

注) 管理記号とは、ご購入時（バージョンアップを行っていない）は、10桁のシリアル・ナンバーの左から2桁目の記号です。

バージョンアップを行っている場合は、統合デバッガ ID850QB の動作時に[ヘルプ][バージョン情報]で確認します。

IECUBE V850 \*\*\*\* X \*\*.\*\*. のXが管理記号になります。



Green Hills Software (GHS) 社製デバッガのMULTI®をご使用の場合は、850eservのversionコマンドで確認します。

IECUBE Control Code=X のXが管理記号になります。

```
850eserv Version: 3.2342 (for MULTI V4.0.x)
IE type=NU85E Full ICE Generation 2 (IECUBE)
Executor Version=V850 G2 Executor V1.63 Copyright 2004
Device File Format Version=V2.18
Device File File Version=V2.10
IECUBE Control Code=E
IECUBE Firmware Version=V1.10
Control Board Version=V2.01 (FPGA Version=1.01)
CPU Board Version=V3.00
I/O Board Version=V2.01 (FPGA Version=1.00)
```

## 2. 製品履歴

No	仕様変更・追加 / 不具合事項	管理記号				
		A	B	C	D	E
1	ブレイク時のウォッチドッグ・タイマ不具合	恒久的な制限事項				
2	ブレイク時の16ビット・タイマ不具合	恒久的な制限事項				
3	ブレイク時のUAnRXレジスタ・アクセス不具合	恒久的な制限事項				
4	ブレイク時のDRレジスタ・アクセス不具合	恒久的な制限事項				
5	ブレイク時のCBnRXレジスタ・アクセス不具合	恒久的な制限事項				
6	ブレイク時のCORGPTレジスタ・アクセス不具合	恒久的な制限事項				
7	ブレイク時のCOTGPTレジスタ・アクセス不具合	恒久的な制限事項				
8	ブレイク時のCOGNCTRLレジスタ・アクセス不具合	恒久的な制限事項				
9	動作周波数の制限事項	x	x	x		
10	DMA転送強制終了に関する不具合	x	x	x		
11	内蔵RAMでのプログラム実行とDMA転送に関する不具合	(1)ビット操作命令				
		(2)ミス・アライン・アクセス				
12	内部リセット発生によるハングアップ制限事項	x	x	x		
13	ダウンロード/ソフトウェアブレイク設定時のハングアップ制限事項	デバッガで対応				
14	スタンバイ・モード時のCLKOUT端子状態制限事項 <sup>注</sup>	x				
15	内蔵ROMミスフェッチ制限事項	x				
16	外部RAM接続時のデータ破壊制限事項	デバッガで対応				
17	内蔵RAMでプログラム実行時のイリーガル・ブレイク制限事項1	恒久的な制限事項				
18	ブレイク中のリセット入力制限事項	x	x	x		
19	RESETマスク使用時のSTOPモード移行および解除による不具合	恒久的な制限事項				
20	ブレイク時のA/D変換機能不具合	恒久的な制限事項				
21	クロック仕様変更	-	-	-	-	
22	オプション機能対応	-	-	-	-	
23	内蔵RAMでプログラム実行時のイリーガル・ブレイク制限事項2	恒久的な制限事項				
24	外部バス・アクセスでアドレス信号が保持されない制限事項	デバイス・ファイルで対応				

x : 該当する      : 該当しない, または修正済み    - : 未対応

注) 管理記号 D 以上では, 以下のデバッガで使用することで修正されます。

ID850QB の場合 : V2.81 以上

MULTI の場合 : V1.57 以上の EXEC

### 3. 不具合および仕様追加事項詳細

#### No.1 ブレーク時のウォッチドッグ・タイマ不具合

【内容】 以下(a),(b)を同時に満たしブレークした際に、ウォッチドッグ・タイマは停止せず、リセットまたはノンマスクブル割り込みが発生してしまいます。リセット発生時はデバグがハングアップしてしまいます。

(a)ウォッチドッグ・タイマのソース・クロックにメイン・クロックまたはサブクロックが選択されている

(b)内蔵発振器が停止している (RSTOP フラグをセット)

【回避策】 以下(a),(b)のいずれかを1つを行ってください。

(a)ソース・クロックには内蔵発振器を使用してください

(b) 内蔵発振器を停止させないでください

申し訳ありませんが、恒久的な制限事項とさせていただきます。

#### No.2 ブレーク時の16ビット・タイマM不具合

【内容】 以下(a),(b)を同時に満たし、ブレークが発生した際、Peripheral Break 機能が「Break」に設定されていても、タイマMが停止しません。

(a)タイマMのソース・クロックに INTWT, 内蔵発振器 (fR/8), サブクロックのいずれかを選択

(b) メイン・クロックを止める (MCK フラグをセット)

【回避策】 Peripheral Break 機能によってブレーク中にタイマMを停止させたい場合、以下(a),(b)のいずれか1つを行ってください

(a)ソース・クロックにはメイン・クロック (fxx, fxx/2, fxx/4, fxx/64, fxx/512) を使用してください

(b)メイン発振を停止させないでください

申し訳ありませんが、恒久的な制限事項とさせていただきます。

### No.3 ブレーク時の UAnRX レジスタ・アクセス不具合

【内容】 下記(a)～(c)の状況でオーバーラン・エラーが発生します。

- (a)UART 受信バッファ・レジスタ(UAnRX)をリード後ブレークし、デバッガの I/O レジスタ・ウィンドウで UAnRX レジスタを表示すると、次回 UART 受信動作時にオーバーラン・エラーが発生
- (b)UART 受信バッファ・レジスタ(UAnRX)をリードした直後にソフトウェア・ブレークが発生すると、I/O レジスタ・ウィンドウで表示する/しないにかかわらず、次回 UART 受信動作時にオーバーラン・エラーが発生
- (c)ブレーク中<sup>注</sup>に UART 受信バッファ・レジスタ(UAnRX)を転送元とする DMA 転送が発生すると、次回 UART 受信動作時にオーバーラン・エラーが発生

注：RAM モニタ機能，DMM 機能によるブレーク中を含みます。ただし，リアルタイム RAM モニタ機能はブレークしないため問題ありません。

ブレーク中に UART がデータを複数回受信した場合もオーバーラン・エラーが発生します。これはエミュレータの仕様です。

- 【回避策】
- (a)I/O レジスタ・ウィンドウで UAnRX レジスタの表示を行わないでください。
  - (b)UAnRX レジスタをリードした直後にブレークを設定する場合，ハードウェア・ブレークを設定してください。
  - (c)申し訳ありませんが，回避策はありません。

申し訳ありませんが，(a)，(b)，(c)共に恒久的な制限事項とさせていただきます。

### No.4 ブレーク時の DR レジスタ・アクセス不具合

【内容】 下記(a)，(b)の状況でオーバーラン・エラーが発生します。

- (a)IEBus データ・レジスタ(DR)をリードした直後にソフトウェア・ブレークが発生すると，次回 IEBus 受信動作時にオーバーラン・エラーが発生
- (b)ブレーク中<sup>注</sup>に IEBus データ・レジスタ(DR)を転送元とする DMA 転送が発生すると，次回 IEBus 受信動作時にオーバーラン・エラーが発生

注：RAM モニタ機能，DMM 機能によるブレーク中を含みます。ただし，リアルタイム RAM モニタ機能はブレークしないため問題ありません。

ブレーク中に UART がデータを複数回受信した場合もオーバーラン・エラーが発生します。これはエミュレータの仕様です。

- 【回避策】
- (a)DR レジスタをリードした直後にブレークを設定する場合，ハードウェア・ブレークを設定してください。
  - (b)ありません。

申し訳ありませんが，(a)，(b)共に恒久的な制限事項とさせていただきます。

## No.5 ブレーク時の CBnRX レジスタ・アクセス不具合

【内 容】 CSIBn 受信データ・レジスタ (CBnRX) はリードすると、次の受信動作を開始するのが本来の動作ですが、下記 (a)、(b) の状況では CBnRX をリードしても受信動作が開始されません。

このため、

- ・通信が停止してしまう
- ・DMA コントローラが停止してしまう

と言った現象が発生します。

(a) CSIBn 受信データ・レジスタ (CBnRX) をリードした直後にソフトウェア・ブレークが発生した場合

(b) ブレーク中<sup>注</sup>に CSIBn 受信データ・レジスタ (CBnRX) を転送元とする DMA 転送が発生した場合

注：RAM モニタ機能，DMM 機能によるブレーク中を含みます。ただし，リアルタイム RAM モニタはブレークしないため問題ありません。

【回避策】 (a) CBnRX レジスタをリードした直後にブレークを設定する場合，ハードウェア・ブレークを設定してください。

(b) 申し訳ありませんが，回避策はありません。

申し訳ありませんが，(a)，(b) 共に恒久的な制限事項とさせていただきます。

## No.6 ブレーク時の CORGPT レジスタ・アクセス不具合

【内 容】 下記 (a)、(b) の状況で本来インクリメントされるはずの読み出しポインタ (RGPT) がインクリメントされず，前回と同じデータをリードしてしまいます。

(a) CAN0 モジュール受信履歴・リスト・レジスタ (CORGPT) をリードした直後にソフトウェア・ブレークが発生した場合

(b) ブレーク中<sup>注</sup>に CAN0 モジュール受信履歴・リスト・レジスタ (CORGPT) を転送元とする DMA 転送が発生した場合

注：RAM モニタ機能，DMM 機能によるブレーク中を含みます。ただし，リアルタイム RAM モニタ機能はブレークしないため問題ありません。

【回避策】 (a) CORGPT レジスタをリードした直後にブレークを設定する場合はハードウェア・ブレークを設定してください。

(b) 申し訳ありませんが，回避策はありません。

申し訳ありませんが，(a)，(b) 共に恒久的な制限事項とさせていただきます。

## No.7 ブレーク時の COTGPT レジスタ・アクセス不具合

【内容】 下記(a), (b)の状況で本来インクリメントされるはずの読み出しポインタ(TGPT)がインクリメントされず, 前回と同じデータを送信してしまいます。

(a)CAN0 モジュール送信履歴・リスト・レジスタ(COTGPT)をリードした直後にソフトウェア・ブレークが発生した場合

(b)ブレーク中<sup>注</sup>に CAN0 モジュール送信履歴・リスト・レジスタ(COTGPT)を転送元とする DMA 転送が発生した場合

注: RAM モニタ機能, DMM 機能によるブレーク中を含みます。ただし, リアルタイム RAM モニタはブレークしないため問題ありません。

【回避策】 (a)COTGPT レジスタをリードした直後にブレークを設定する場合はハードウェア・ブレークを設定してください。

(b)申し訳ありませんが, 回避策はありません。

申し訳ありませんが, (a), (b)共に恒久的な制限事項とさせていただきます。

## No.8 ブレーク時の COGMCTRL レジスタ アクセス不具合

【内容】 下記のシーケンスでアクセスを行った際, 本来発生しないはずの強制シャットダウンがシーケンス終了後に発生する場合があります。

[発生シーケンス]

(1) CAN0 モジュール制御レジスタ(COGMCTRL)の EFSD ビットをセット

(2) I/O レジスタをアクセス<sup>注</sup>

(3) CAN0 モジュール制御レジスタ(COGMCTRL)の GOM ビットをクリア

注: COGMCTRL レジスタの GOM ビットをクリアする以外の I/O レジスタ・アクセス強制シャットダウンが発生してしまう条件を下記に示します。

(a)(2)の I/O レジスタ・アクセス直後にブレークが発生した場合

(b)(2)の I/O レジスタ・アクセス直後に RAM モニタ機能, DMM 機能によるブレークが発生した場合

(c)(2)の I/O レジスタ・アクセスをステップ実行した場合

【回避策】 強制シャット・ダウンを行う場合, 必ず EFSD ビットのセットと GOM ビットのクリアを連続して行ってください。

強制シャットダウンを行わない場合, 上記シーケンスでのアクセスは行わないでください。

申し訳ありませんが, 恒久的な制限事項とさせていただきます。



## No.9 動作周波数の制限事項

【内容】 品名に H が入るマイコンのエミュレーションは出来ません。

このため、最大動作周波数は 20MHz になります。

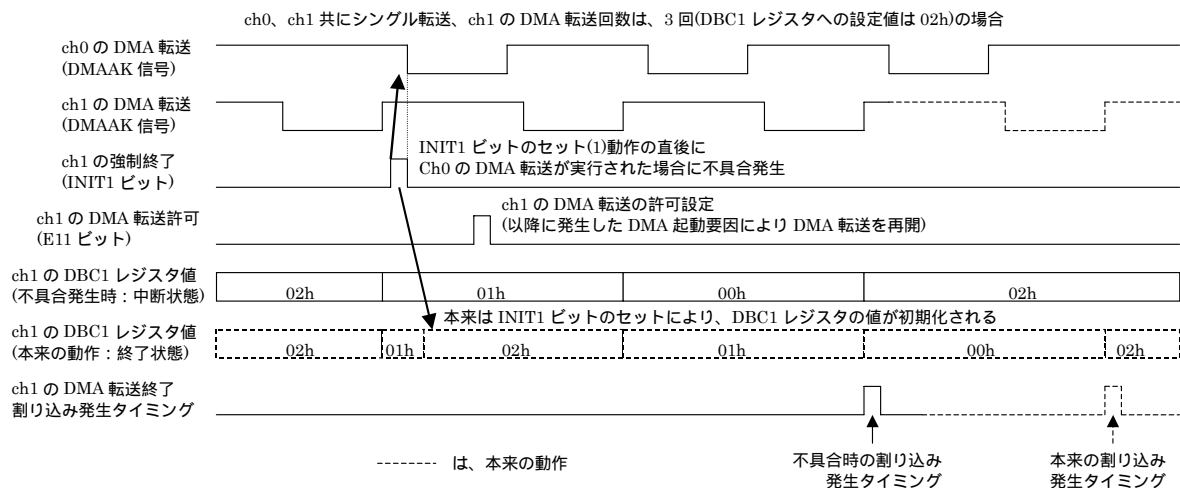
【回避策】 申し訳ありませんが、回避策はありません。20MHz 以下でご使用ください。

管理記号 D 以上で修正済みです。修正後は品名に H が入るマイコンのエミュレーションが可能です。このため、最大動作周波数は 32MHz になります。

## No.10 DMA 転送強制終了に関する不具合

【内容】 DCHCn レジスタの INITn ビットの操作により、DMA 転送を強制終了する場合、INITn ビットをセット(1)したにも拘わらず、強制終了されずに中断状態になる場合があります(n=0~3)。このため、強制終了させたはずのチャンネルの DMA 転送を再開させた場合に、想定外の転送回数完了後に DMA 転送が終了し、DMA 転送終了割り込みが発生することがあります。本不具合は、強制終了(INITn ビットのセット(1))の直後に DMA 転送が実行された場合に発生します(下図参照)。

注意：本不具合は転送チャンネル数，転送タイプ(2 サイクル/フライバイ)，転送対象(メモリ~メモリ，メモリ~I/O；内蔵資源を含む)，転送モード(シングル/シングル・ステップ/ブロック)，起動要因(外部要求，内蔵周辺 I/O からの割り込み，ソフトウェア)には依存せず，仕樣的に設定可能ないずれの組み合わせでも発生する可能性があります。また，他のチャンネルの影響も受けます。



なお，以下のレジスタは，マスタ/スレーブの 2 段 FIFO 構成のバッファ・レジスタになっています。このため，DMA 転送中，及び DMA 中断状態にこれらのレジスタを書き換えた場合，マスタ・レジスタに書き込まれます。DMA 転送中，中断状態に書き換えた値は，書き換えたチャンネルの DMA 転送終了時にスレーブ・レジスタに反映されます。

また，上図における初期化とは，マスタ・レジスタの内容をスレーブ・レジスタに反映させることを指しています。

<2 段 FIFO 構成のバッファ・レジスタ>(n=0~3)

- ・ DMA ソース・アドレス・レジスタ(DSAnH, DSAnL)
- ・ DMA ディスティネーション・アドレス・レジスタ(DDAnH, DDAnL)
- ・ DMA 転送カウント・レジスタ(DBCn)

【回避策】以下のいずれかの手順によりソフトウェアにて回避可能です。

#### 一時的に全ての DMA チャンネルの転送を停止させる方法(n=0~3)

次の点を満たして頂ければ、以下の手順で回避可能です。

以下の回避処理以外で、DCHCn レジスタの TCn ビット=1 となっていることを期待したプログラム構成になっていない場合(DCHCn レジスタの TCn ビットは読み出しによりクリア(0)されるため、以下(5)の回避処理ルーチン実行によりクリアされてしまいます)

不具合回避手順

(1) 割り込み禁止(DI)状態にする。

(2) DMA リスタート・レジスタ(DRST)を読み出し、各チャンネルの ENn ビットを汎用レジスタに転送する。(値:A)

(3) DMA リスタート・レジスタ(DRST)に 00H を書き込む(2回実行<sup>※</sup>)。

2回実行<sup>※</sup>することにより(4)の処理以前に必ず DMA 転送が停止します。

(4) 強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット(1)する。

(5) (2)で読み出した値(A)に対して次の操作を行う。(値:B)

強制終了するチャンネルのビットをクリア(0)する。

強制終了しない各チャンネルの TCn ビットと ENn ビットが、共に 1(AND が 1)の場合はそのチャンネルのビットをクリア(0)する。

(6) (5)で操作した値(B)を DRST レジスタに書き込む。

(7) 割り込み許可(EI)状態にする。

: 上記(5)は、(2)~(3)の間に正常終了したチャンネルに対して、再度 ENn ビットを不正にセットすることを防ぐため、必ず行ってください。

注: 転送対象(転送元または転送先)が内蔵 RAM の場合は、3回実行してください。

### 正常に強制終了するまで INITn ビットのセットを繰り返し実行する方法(n=0~3)

#### 不具合回避手順

- (1)強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。
  - (2)強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット(1)する。
  - (3)強制終了するチャンネルの DMA 転送カウント・レジスタ(DBCn)の値を読み込み，(1)でコピーした値と比較する。一致しない場合は(2)~(3)を繰り返す。
  - (3)で DBCn レジスタを読み込んだ場合，不具合で停止したときは残りの転送回数がリードされます。正常に強制終了した場合には初期転送回数がリードされます。
- この回避方法は，強制終了の対象となっている DMA チャンネル以外の DMA 転送が，頻繁に行われるようなアプリケーションにおいては，強制終了されるまでに，時間を要する可能性がありますのでご注意ください。

管理記号 D 以上で修正済みです。

## No.11 内蔵 RAM でのプログラム実行と DMA 転送に関する不具合

【内容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合，内部バスの競合動作により，CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です(NMI も割り込みも受け付けられません)。

- (1)内蔵 RAM 上に配置されたビット操作命令(SET1,CLR1,NOT1)
- (2)内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

【回避策】 以下のいずれかの方法により，回避をお願い致します。

- (1)内蔵RAMに配置された命令がビット操作命令 ( SET1, CLR1, NOT1 ) の場合

- ・内蔵 RAM 上に配置されたビット操作命令を実行する場合は，内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA を実行する場合は，内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 D 以上で修正済みです。

- (2)内蔵RAMに配置された命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合

- ・内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は，内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA を実行する場合は，内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが，恒久的な制限事項とさせていただきます。

## No.12 内部リセット発生によるハングアップ制限事項

【内 容】 ウォッチドッグ・タイマ 2 によるリセット/低電圧検出回路(LVI)によるリセットが発生すると、エミュレータがハングアップする場合があります。

【回避策】 ウォッチ・ドッグ・タイマ 2 に関しては、以下の回避策、回避策 のどちらかを行ってください。

- ・回避策 リセット・スタート後、ウォッチドッグ・タイマ 2 は停止してください。

- ・回避策 デバッガの端子マスク機能を使って RESET 端子をマスクしてください。

低電圧検出回路(LVI)に関しては、エミュレーションは行わないでください。

管理記号 D 以上で修正済みです。

## No.13 ダウンロード/ソフトウェア・ブレイク設定時のハングアップ制限事項

【内 容】 内蔵 ROM エリアへのダウンロード中/内蔵 ROM エリアへのソフトウェア・ブレイク設定中に、WAIT 端子、HLDRQ 端子がアクティブ・レベルになっていると、エミュレータがハングアップします。

【回避策】 WAIT 端子、HLDRQ 端子を使用しない場合、デバッガの端子マスク機能で WAIT、HLDRQ をマスクしてください。

WAIT 端子、HLDRQ 端子を使用する場合、内蔵 ROM エリアへのダウンロード中/内蔵 ROM エリアへのソフトウェア・ブレイク設定中にアクティブ・レベルにしないでください。

デバッガのバージョン・アップで改善されます。

- ・ ID850QB の場合 V2.81 以上を使用してください。

- ・ MULTI の場合 V1.57 以上の EXEC を使用してください。

#### No.14 スタンバイ・モード時の CLKOUT 端子状態制限事項

【内容】 CLKOUT 出力モードを使用時にスタンバイ・モード(ソフトウェア STOP, IDLE1, IDLE2)になると、スタンバイ中は本来ロー・レベルが出力されますが、クロックが動作状態のまま出力されてしまいます。HALT モード時は問題ありません。

【回避策】 スタンバイ中に CLKOUT が出力される事が問題になる場合、スタンバイ・モードに入る前に以下の手順で、CLKOUT 端子をロー・レベル出力にしてください。

- 1.PMCCM レジスタのビット 1 を " 0 " に設定(入出力ポートに切り替え)
- 2.PMCM レジスタのビット 1 を " 0 " に設定(出力ポートに設定)
- 3.PCM レジスタのビット 1 を " 0 " に設定(ロー・レベル出力)

また、この手順を使用した場合、スタンバイ解除直後 PMCCM レジスタのビット 1 を " 1 " に設定(CLKOUT 出力モードに切り替え)し、CLKOUT を出力させてください。

管理記号 B 以上で修正済みです。ただし、管理記号 D 以上の場合、デバuggとして以下のバージョンのものを使用することで修正されます。

- ・ ID850QB の場合 V2.81 以上を使用してください。
- ・ MULTI の場合 V1.57 以上の EXEC を使用してください。

#### No.15 内蔵 ROM ミスフェッチ制限事項

【内容】 内蔵 ROM 内でのプログラム実行時にミスフェッチが発生する(実際に内蔵 ROM に配置されている命令と異なる命令を実行してしまう)場合があります。

【回避策】 申し訳ありませんが、回避策はありません。

管理記号 B 以上で修正済みです。

#### No.16 外部 RAM 接続時のデータ破壊制限事項

【内容】 内蔵ROMへのダウンロードを実行した際、あるいはソフトウェア・ブ레이크を設定した際、外部バスに対してライト・サイクルが発生します。このため、ターゲット・システム上にRAMが存在すると、RAM内のデータを破壊する場合があります。

【回避策】 内蔵ROMへのダウンロードで制限事項に該当した場合、回避策はありません。ただし、ダウンロード後のプログラム実行で内蔵RAMの値を初期化する場合(RAMの値を全て書き換える場合)、破壊したデータが正常な値に書き換えられるので、本制限事項は問題になりません。

内蔵ROMへのソフトウェア・ブ레이크設定で制限事項に該当した場合、内蔵ROM空間に対してはソフトウェア・ブ레이크を使用せず、ハードウェア・ブ레이크を使用してください。

デバuggのバージョン・アップで改善されます。

- ・ ID850QB の場合 V2.81 以上を使用してください。
- ・ MULTI の場合 V1.57 以上の EXEC を使用してください。

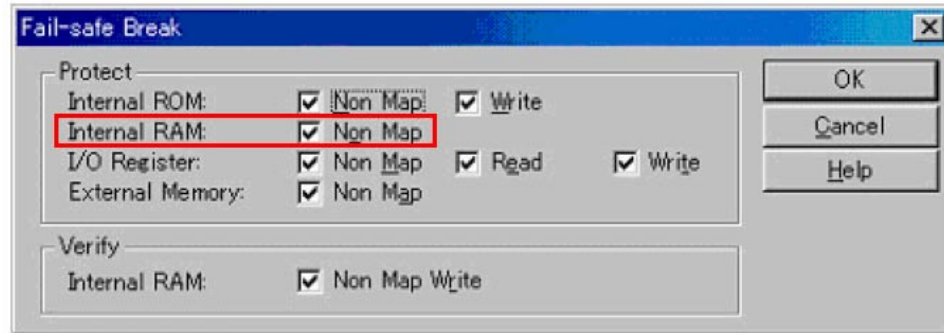
### No.17 内蔵RAMでプログラム実行時のイリーガル・ブレイク制限事項 1

【内容】 内蔵RAMでプログラム実行時に周辺I/Oレジスタへのアクセスを行うと、意図しないブレイクが発生する場合があります。

【回避策】 デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

・ ID850QBの場合

コンフィギュレーション・ウインドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



・ MULTIの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレイクを解除してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

### No.18 ブレイク中のリセット入力制限事項

【内容】 RESET端子がアクティブな状態(ロー・レベル)でブレイクが発生すると、ハングアップすることがあります。

【回避策】 デバッガの端子マスク機能でRESET端子をマスクしてください。

管理記号 D 以上で修正済みです。

## No.19 RESET マスク使用時の STOP モード移行および解除による不具合

【内 容】 デバッガの端子マスク機能でRESETをマスクし、ウォッチドッグ・タイマ2をリセット・モードで使用するとSTOPモードの移行および解除のタイミング(下表1~4のいずれか)により、STOPモード解除後CPUの動作クロックが内蔵発振器になります。一度内蔵発振器に切り替わるとデバッガのCPUリセット・ボタンを押すまで内蔵発振器で動作し続けます。

No.	ウォッチドッグ・タイマ2の動作クロック	不具合が発生するタイミング
1	メイン・クロック	ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 <sup>注</sup> にSTOPモードへ移行
2	サブクロック	ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 <sup>注</sup> にSTOPモードを解除
3	内蔵発振器	ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 <sup>注</sup> にSTOPモードを解除
4		ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 <sup>注</sup> に内蔵発振器を停止、その後STOPモードへ移行

注:ウォッチドッグ・タイマ2のリセット発生から $2^7 \times$ ウォッチドッグ・タイマの入力クロックの間、ウォッチドッグ・タイマ2のリセット信号を保持します。

【回避策】 以下のいずれかを行ってください。

- ・ウォッチドッグ・タイマ2のリセットを発生させたくない場合、リセットが発生する前にソフトウェアでウォッチドッグ・タイマ2を停止してください。
- ・ウォッチドッグ・タイマ2のリセットを発生させたい場合、デバッガの端子マスク機能でRESETをマスクしないでください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

## No.20 ブレーク時のA/D変換機能不具合

【内 容】 (1) ペリフェラル・ブレーク・モード(ブレーク中に周辺機能を停止するモード)に設定しており、下記に示す条件<a> ~ <c>のいずれかに該当する場合、A/D変換が開始されません。また、A/D変換終了に伴う割り込み要求も発生しません。

<a> A/D変換を開始するトリガ発生後<sup>注1</sup>、2命令の実行が完了するまでにブレークが発生した場合<sup>注2</sup>。

例) (ソフトウェア・トリガ・モードの場合)

* set1 0x7,ADA0M0	}	このどこかでブレークすると A/D 変換が開始されません。
* nop		
* nop	}	これ以降でブレークした場合、A/D 変換は正常に開始されます(ただし、(2)、(3)の不具合に対する注意が必要です)。
* nop		

<b> ソフトウェア・トリガ・モードでA/D変換開始命令から実行開始する場合、かつその命令にソフトウェアブレーク、もしくは実行前ブレークが設定されている場合。

例)

B set1 0x7,ADA0M0      ここからRUNするとA/D変換が開始されません。

<c> A/D変換動作停止中にブレークし、このブレーク中にA/D変換を開始しようとした場合<sup>注3</sup>。

(2) ペリフェラル・ブレーク・モードに設定した状態で、A/D変換中にブレークし<sup>注2</sup>、ブレーク中にA/D関連レジスタ<sup>注4</sup>にライト操作した場合<sup>注5</sup>、再実行後、ライト前の値で1~2回分変換してしまいます(ブレーク前が通常変換動作モードだった場合、ライト前の値で2回分変換することがあります)。この変換終了後、ライト後の値で変換が始まります。このため、不正なA/D変換結果と割り込みが1~2回発生したように見えます。(本来は再実行の直後から、新しく設定したA/D関連レジスタの値で再変換を行います。)



- (3) ペリフェラル・ブレイク・モードに設定した状態で、A/D変換中にブレイクすると、再実行直後のA/D変換結果が不正になります。また、高速変換モードでA/D変換中にブレイクし、ブレイク中にADA0CEビットをクリアして再度セットした場合、さらに続く1回分のA/D変換結果が不正になります。

注1: 命令実行による開始の他、DMA転送、外部トリガ、タイマ・トリガによる開始も含まれます。

注2: 下記ブレイク要因も含まれます。

- ・ ステップ実行
- ・ フェイル・セーフ・ブレイク
- ・ RAMモニタ(リアルタイムRAMモニタは非該当)
- ・ DMM
- ・ RUN中のイベント変更

上記のうち、RAMモニタ/DMM/RUN中のイベント変更は一瞬ブレイクして実現しており、実際にブレイクした位置を特定できないため、意図せずにA/D変換が不正となります。

注3: 10レジスタ・ウィンドウでADA0CEビットにライト操作した場合の他、DMA転送、外部トリガ、タイマ・トリガによる開始も含まれます。

注4: A/D関連レジスタとはADA0M0、ADA0M1、ADA0M2、ADA0S、ADA0PFT、ADA0PFMです。

注5: 10レジスタ・ウィンドウで設定した場合やDMA転送で設定した場合が該当します。

**【回避策】** ペリフェラル・ブレイク・モードを使用しないでください。ペリフェラル・ブレイク・モードを使用する場合は以下の事項を実行してください。

- ・ A/D変換開始のトリガからA/D変換終了の間にブレイクしないでください。
- ・ ソフトウェア・トリガ・モードの設定時は、A/D変換開始命令をステップ実行しないでください。
- ・ ブレイク中にA/D関連レジスタにライトしないでください。
- ・ RAMモニタをOFFにしてください。
- ・ DMMを使用しないでください。
- ・ RUN中にイベント変更しないでください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

## No.21 クロック仕様変更

【内 容】 管理記号Eより、エミュレータに発振器を接続することができます。

また、管理記号 E より出荷時に 4MHz の発振器が実装され、5MHz の発振器が添付品として追加されます。

クロック設定の詳細は、QB-V850ESSX2 インサーキット・エミュレータのユーザーズ・マニュアル(U17091J)の第 2 版以上を参照してください。

## No.22 オプション機能対応

【内 容】 管理記号Eより、以下のオプション機能(有償)が追加できます。

- ・メモリ・エミュレーション機能
- ・カバレッジ測定機能
- ・TimeMachine™ 機能

詳細は、QB-V850ESSX2 インサーキット・エミュレータのユーザーズ・マニュアル(U17091J)の第 2 版以上を参照してください。

オプション機能追加のお申し込みは、弊社営業もしくは特約店へお問い合わせください。

## No.23 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項 2

【内容】 下記条件を全て満たした場合、正常なプログラムにもかかわらず、Non Map Breakが発生いたします。

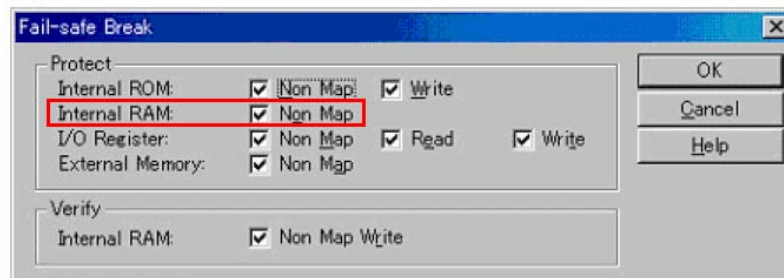
- ・内蔵RAM領域でプログラムを実行
- ・2回以上連続して内蔵RAM領域へデータ・アクセス
- ・上記の連続したデータ・アクセス直後、またはNOP1つを挟んで、JRもしくはJARL命令で内蔵ROM領域へ分岐

【回避策】 下記のいずれかの方法により回避をお願いいたします。

- デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

◇ ID850QBの場合

コンフィギュレーション・ウインドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



◇ MULTIの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレイクを解除してください。

- 内蔵 RAM 領域への連続したデータ・アクセスから内蔵 ROM 領域への分岐の間に NOP を 2 つ以上挿入してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

## No.24 外部バス・アクセスでアドレスが保持されない制限事項

【内容】 外部バスの設定が、マルチプレクス・バス出力モード、かつ8ビット・データ・バスの場合、T2ステート以降でアドレスが保持されず、Lowレベルが出力されます。

【回避策】 申し訳ありませんが、回避策はありません。

デバイス・ファイルのバージョンアップで改善されます。

- ・V850ES/SG2 の場合 DF703283 V2.11 以上を使用してください。
- ・V850ES/SJ2 の場合 DF703288 V2.11 以上を使用してください。

## 4. 対応デバイス

本製品は、以下のデバイスのエミュレーションができます。

- ・ V850ES/SG1
- ・ V850ES/SG2
- ・ V850ES/SJ2
- ・ V850ES/SG3
- ・ V850ES/SJ3
- ・ V850ES/JG2
- ・ V850ES/JJ2

## 5. V850ES/SG3, V850ES/SJ3 エミュレーション特記事項

本エミュレータは、エミュレーション・チップとして V850ES/SJ2 を使用しています。

したがって、V850ES/SG3 および V850ES/SJ3 のエミュレーションをする場合、以下の仕様差異があります。

1. A/D コンバータの変換時間中のサンプリング時間の割合が異なります。
2. 低電圧検出割込み (INTLVI) の発生要因が異なります。
3. 内蔵発振器の出力周波数が異なります。
4. D/A コンバータの出力抵抗が異なります。

No.	差異点	エミュレータ	V850ES/SG3, SJ3
1	A/Dコンバータ:変換時間中のサンプリング時間の割合	4/26クロック	8/26クロック
2	低電圧検出割込み (INTLVI) の発生要因	電源電圧値が検出電圧値を下回ったとき	電源電圧値が検出電圧値を下回ったときまたは、上回ったとき
3	内蔵発振器の出力周波数	200KHz (TYP.)	220KHz (TYP.)
4	D/Aコンバータの出力抵抗	3.5K	6.42K

## 6. その他注意事項

### 6.1 延長プローブに関する注意事項

- ・延長プローブを使用する場合、クロックや外部バス等の高速信号を伝搬できる最大動作周波数に制限があります。(下表参照)  
 QB-V850ESSX2 の場合、対象デバイスの最大動作周波数が 32MHz であるため、最高動作周波数で延長プローブを使用することができます。

クロック信号使用の有無 (CLKOUT、BUSCLK、SDCLK等)	外部バス使用の有無	延長プローブを使用時の 上限周波数
使用する	使用する	32MHz
	使用しない	
使用しない	使用する	64MHz
	使用しない	80MHz

- ・延長プローブには 50 Ω 程度のインピーダンスがあります。
- ・延長プローブを通すと信号レベルが 0.1V 程度下がります。  
 このため、A/D 変換等、アナログ信号が伝搬する際の精度が下がります。ご注意ください。
- ・延長プローブを通ることで発生するディレイ(伝搬遅延)は 5ns 程度です。  
 このため、外部バス使用時はデータ・ウェイトやアドレス・ウェイト等の設定が必要な場合があります。
- ・延長プローブを使用する際は必ず、延長プローブの GND 線を IECUBE、ターゲットに接続してください。GND 線を使用しない場合、伝搬する信号のレベルが下がってしまう場合があります。

以上