

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MSC TECHNICAL NEWS

No. M7700-40-9212

MELPS7700 シリアルI/O 使用上の注意事項

MELPS 7700のシリアルI/Oを使用する際、クロック同期形シリアルI/Oで、外部クロックを選択し、停止状態から送受信を開始する場合は、外部クロックが“H”レベルのとき（図1の→部）に、以下の1、2の送受信開始のための設定を行ってください。ただし、連続して送信するために次の送信データを設定する場合は、外部クロックが“H”又は“L”どちらの状態でもかまいません。

1. 送受信許可ビット（UART_i送受信制御レジスタ1のビット0、2）を“1”にセットする。
2. 送信バッファレジスタに送信データを設定する。

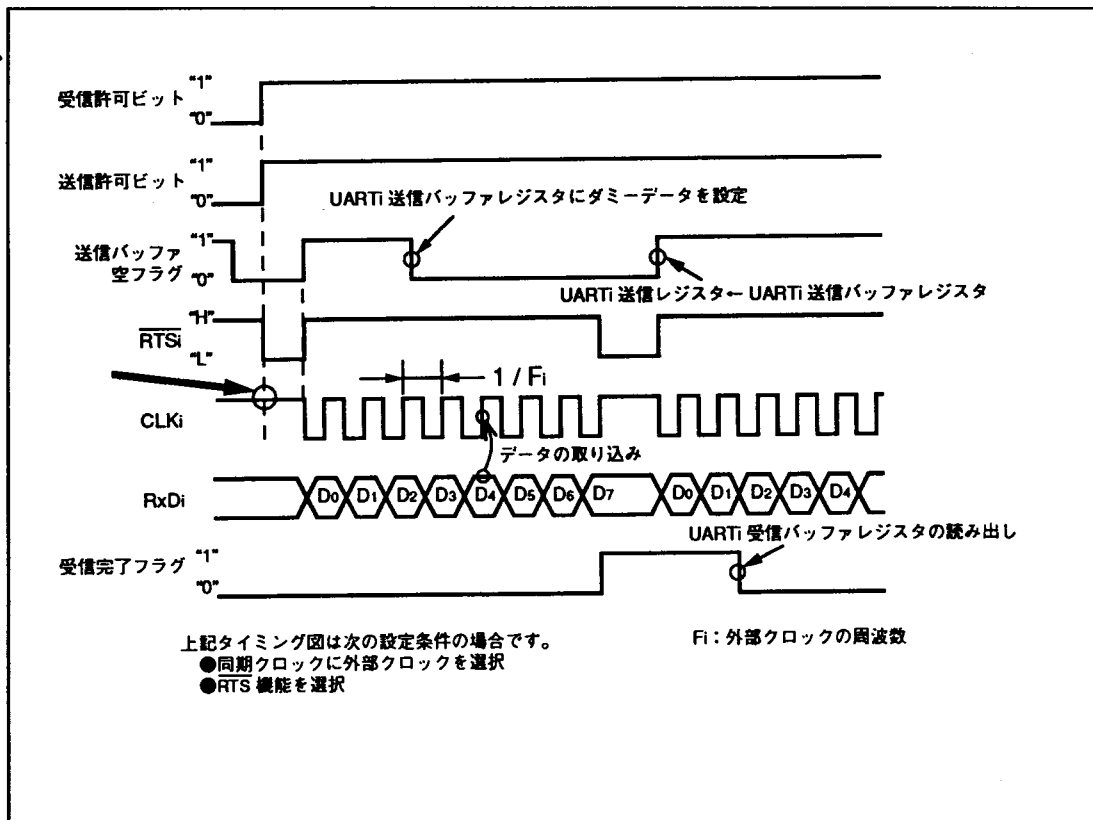


図1. クロック同期形シリアルI/O受信タイミング図 (外部クロック選択時)

※図1は受信時のタイミング図ですが、送信時の開始タイミングも同様です。

ノイズなどにより、CLKi端子から入力される外部クロックが“L”レベルになったときに送受信を開始すると、以下のような状態になることがあります。外部クロックラインにはノイズが発生しないよう注意してください。

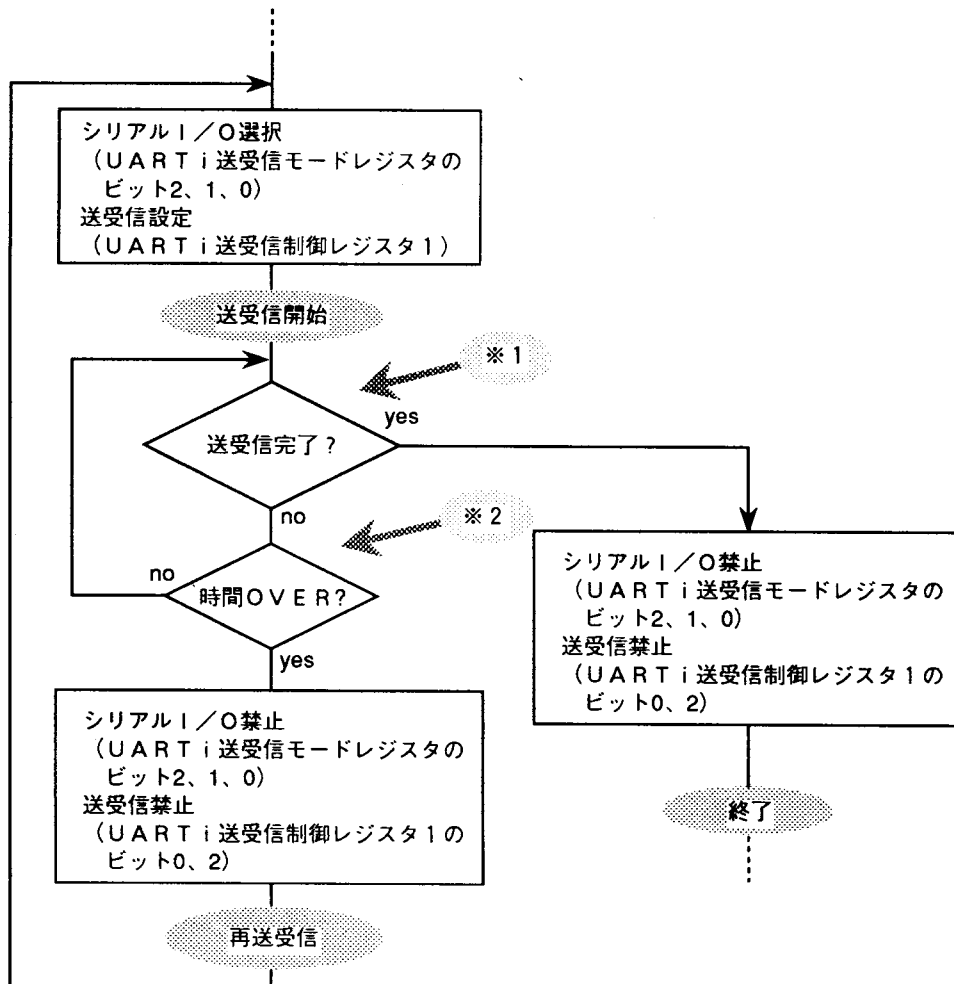
〈送信時〉

クロックが8回入力される以前に、UARTiの送信レジスタ空フラグ（UARTi送受信制御レジスタ0のビット3）がセットされるため、全データ（8ビット）が送信されずに送信が完了してしまいます。続けて送信を行っているときは全データが送信されずに次の送信バッファレジスタの内容が送信レジスタに転送されることになり、また、前回のデータを送信するためのクロックの残りによって次のデータの何ビットかが送信されてしまいます（ビットずれ）。

〈受信時〉

クロックが8回以上入力されても、受信完了フラグ（UARTi送受信制御レジスタ1のビット3）、及び割り込み要求ビット（UARTi受信割り込み制御レジスタのビット3）がセットされません。このため受信が完了せず、正しい受信結果が読み出せません。

外部クロックラインにノイズが発生しやすい場合は、以下のような処理を行うことで送受信時のエラーを検出することができます。



※1. 受信完了フラグ（UARTi送受信制御レジスタ1のビット3）で判断してください。

※2. タイマを用いて送受信が完了すべき時間を計測してください。

この時間内に送受信が完了しなければ、再送受信を行ってください。