

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MAEC TECHNICAL NEWS

No. 7600-05-0105

MBI バッファレジスタ(DBBINx)-USB FIFO 間転送に DMAC を使用する場合の注意事項

類	ドキュメント正誤表 注意事項 ノウハウ その他	対 象	M37641M8-XXXXFP、M37641M8-XXXXHP (Ver.3.0) M37641F8FP、M37641F8HP (Ver.3.0) > Ver.4.0 にて改訂 < デバイスバージョンの識別方法 > Ver.3.0 : パッケージのデータコードが6桁です。(例 : 103100) Ver.4.0 : パッケージのデータコードが7桁で中央が“ A ”です。(例 : 103A100)
---	----------------------------------	--------	--

1. 現象

DMAC を使用し、マスタ CPU バスインタフェース(MBI)の入力データバスバッファレジスタ 0,1 (DBBINx 0048₁₆ 番地, 004C₁₆ 番地)から USB エンドポイント x(x=1 ~ 4) FIFO(0061₁₆ 番地 ~ 0064₁₆ 番地)に転送を行う場合、IN_PKT_RDY フラグがセットされない場合があります。

本現象は、次の条件が重なった場合に発生します。

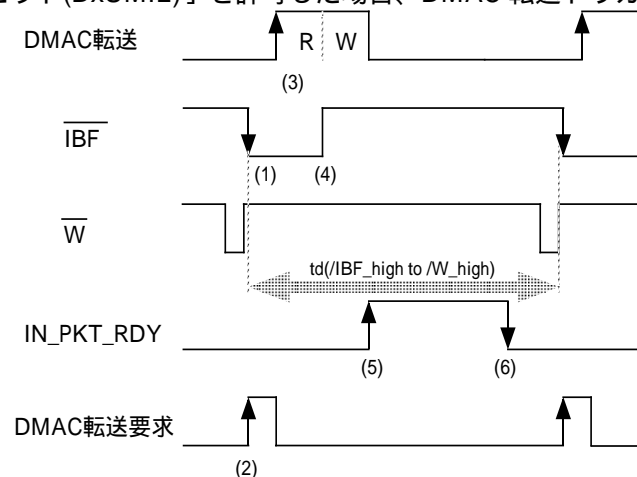
マスタ CPU が M37641 の DBBINx ヘータを書き込む周期が非常に速い場合。

{ $t_d(\text{/IBF_high to /W_high})$ } が 240ns 以下

AUTO_SET 機能(USB エンドポイント xIN 制御レジスタ(0059₁₆ 番地)のビット 7=1)を使用している場合。

2. 現象発生の流れ

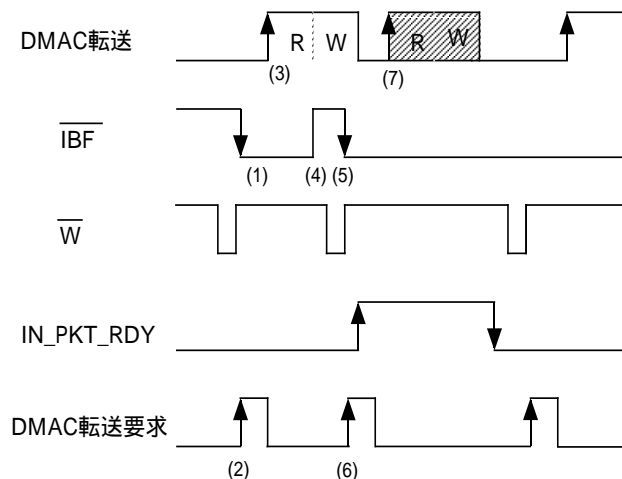
DMAC チャンネル x 転送要求要因に、USB エンドポイント xIN_PKT_RDY を選択し、DMAC チャンネル x(x=0,1)モードレジスタ 2(0041₁₆ 番地)の「DMAC チャンネル x(x=0,1) USB およびマスタ CPU バスインタフェース許可ビット(DxUMIE)」を許可した場合、DMAC 転送トリガは、以下のようになります。



- (1) マスタ CPU が M37641 の MBI データバスバッファレジスタ 0,1(DBBINx)へデータを書き込む間、バス状態制御信号 \overline{W} 信号(P57)は“ L ” になります。書き込み終了で \overline{W} 信号(P57)は“ H ” となり、 バッファフルステータス信号 \overline{IBFx} (ポート P53,P73)が“ L ” になります。
- (2) 対応するエンドポイントの IN_PKT_RDY が“ L ” の場合、DMAC 転送要求が発生します。
- (3) DMA 転送が開始します。
- (4) DMAC による MBI 入力データバスバッファレジスタ 0,1(DBBINx)からのデータ読み出しが終了した時点で、 \overline{IBFx} 信号は再び“ H ” になります。
- (5) DMAC が USB FIFO に 1 バイトデータを転送完了すると同時に、 AUTO_SET 機能により対応するエンドポイントの IN_PKT_RDY がセットされます。^{*1}
- (6) USB FIFO がフルの期間、 IN_PKT_RDY は“ H ” の状態を保持し、 HostPC へ 1 パケット転送終了時、再び “ L ” になります。

*1:本機能を使用する場合は、DMAC 転送モードはサイクルスチール転送モードのみ使用できます。

DMAC はこの一連の周期を繰り返します。しかし、マスタ CPU の書き込みサイクル { t_{d}/IBF_high to $/W_high$ } が 240ns 以下の場合、下記の現象が発生します。



- (1) マスタ CPU が M37641 の MBI データバスバッファレジスタ 0,1(DBBINx)へデータを書き込む間、バス状態制御信号 \overline{W} 信号(P57)は“ L ” になります。書き込み終了で \overline{W} 信号(P57)は“ H ” となり、 バッファフルステータス信号 \overline{IBFx} (ポート P53,P73)が“ L ” になります。
- (2) 対応するエンドポイントの IN_PKT_RDY が“ L ” の場合、DMAC 転送要求が発生します。
- (3) DMA 転送が開始します。
- (4) DMAC による MBI データバスバッファレジスタ 0,1(DBBINx)からのデータ読み出しが終了した時点で、 \overline{IBFx} 信号は再び“ H ” になります。
- (5) DMAC の USB FIFO への転送が終了する前に、マスタ CPU が MBI 入力データバスバッファレジスタ 0,1(DBBINx)へ書き込みを行います。
- (6) DMAC の転送が終了していないため、 IN_PKT_RDY は“ L ” 状態を保持し、DMAC 転送要求が発生します。
- (7) USB FIFO がフルの状態 DMA 転送が開始されるため、 FIFO のポインタの値が不定となり、それ以降の IN_PKT_RDY がセットされなくなります。

3. 対策

3-1. 対策1

マスタCPUのMBI入力データバッファレジスタ0,1(DBBINx)への書き込み周期を240ns以下にしないでください。

3-2. 対策2

DMAC チャンネルx 割り込みルーチンにて、以下の手順で、DMAC チャンネルx 転送開始要因格納レジスタをリセットしてください。

設定例(エンドポイント1,DMAC チャンネル0 使用)

;//////////

DMAIS = 00h ; チャンネルインデックス DMAC 0 選択

DMA0M2 = 60h; DMAC チャンネル0 転送開始要因格納レジスタリセットビットをセット /

DMA チャンネル0 USB およびマスタ CPU バスインタフェース許可ビットをセット

DMA0M2 = A5h;DMAC0 再許可 & USB エンドポイント1 IN_PKT_RDY 再 選択

;//////////