

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# MAEC TECHNICAL NEWS

No. ASSP-03-0205

## M66291 Dn\_FIFO ご使用

### に関する制限事項

分 類	ドキュメント正誤表 注意事項 ノウハウ その他	対 象	USB ASSP M66291
--------	----------------------------------	--------	-----------------

#### 1. 現象

D0\_FIFO、または、D1\_FIFO(以下 Dn\_FIFO)を使用するシステムにて、Dn\_EP のからの読み出しデータ(CPU バス側)、または、Dn\_EP への書き込みデータ(USB バスへの送信データ)が不定になる場合があります。

#### (1) Dn\_EP が OUT の場合;

CPU バスからの Dn\_EP の読み出し時に、データの一部が不定になる場合があります。

#### (2) Dn\_EP が IN の場合;

USB バス上の Dn\_EP 送信データの一部が不定になる場合があります。

## 2. 発生条件

Dn\_EP を使用しないアプリケーションは、本制限事項は該当しません。

また、Dn\_EP を使用していても、Dn\_EP と他のエンドポイントとの同時アクセスが発生しないアプリケーション(例: マスストレージデバイスクラスのサブクラスに定義されているデフォルトコンフィグレーションのみを使用する場合等)は、本制限事項は該当しません。

上位プロトコルにデータ整合性チェックが実装されている場合は、本制限事項が発生しても、通信のリトライにより問題回避できます。

発生条件は、以下のとおりです。下記(1)、(2)いずれかの場合に発生します。

### (1) 以下 ~ をすべて満たした場合

Dn\_EP と CPU\_EP の両方を使用するシステム

Dn\_EP と CPU\_EP のいずれか、または、両方が OUT 方向であるシステム

「USB バス側のデータ受信完了」と「CPU バス側のデータ読み出し、または、書き込み」が同時に発生した場合(表 1 の(1))

表 1:発生条件(1)該当ケース一覧

USB側		EPO	CPU_EP	DO_EP	D1_EP
CPU側		OUT (受信完了)	OUT (受信完了)	OUT (受信完了)	OUT (受信完了)
EPO	IN(書き込み)	-	-	-	-
	OUT(読み出し)	-	-	-	-
CPU_EP	IN(書き込み)	-	-	(1)	(1)
	OUT(読み出し)	-	-	(1)	(1)
DO_EP	IN(書き込み)	-	(1)	-	-
	OUT(読み出し)	-	(1)	-	-
D1_EP	IN(書き込み)	-	(1)	-	-
	OUT(読み出し)	-	(1)	-	-

### (2) 以下 ~ をすべて満たした場合

Dn\_EP を使用するシステム

Dn\_EP のデータ転送中にコントロールライト転送またはコントロールリード転送が発生するシステム

「Dn\_EP またはコントロールライト転送データステージでの USB バス側の受信完了」と「コントロール転送データステージ、または、Dn\_EP の CPU バス側のデータ読み出し、または、書き込み」が同時に発生した場合(表 2 の(2))

表 2:発生条件(2)該当ケース一覧

USB側		EPO	CPU_EP	DO_EP	D1_EP
CPU側		OUT (受信完了)	OUT (受信完了)	OUT (受信完了)	OUT (受信完了)
EPO	IN(書き込み)	-	-	(2)	(2)
	OUT(読み出し)	-	-	(2)	(2)
CPU_EP	IN(書き込み)	-	-	-	-
	OUT(読み出し)	-	-	-	-
DO_EP	IN(書き込み)	(2)	-	-	-
	OUT(読み出し)	(2)	-	-	-
D1_EP	IN(書き込み)	(2)	-	-	-
	OUT(読み出し)	(2)	-	-	-

### 3. 回避方法

(1) 発生条件 2.(1)及び 2.(2)に該当するアプリケーションの場合:

または の方法で回避することができます。

Dn\_EP に割り付けているエンドポイントを、CPU\_EP に割り付けて転送をおこなってください。CPU バスが Dn\_EP にアクセスする間、CPU\_EP 及び EP0 の PID を NAK に設定してください。かつ、CPU バスが CPU\_EP または EP0 にアクセスする場合、Dn\_EP の PID を NAK に設定してください。

PID を NAK に設定した場合、NAK 設定後 60 μs 以上間隔をあけて、CPU バスによるデータアクセスを行ってください。

注:転送タイプが isochronous の場合は、回避方法 をご使用ください。

(2) 発生条件 2.(1)のみに該当するアプリケーションの場合:

、 、 いずれかの方法で回避することができます。

Dn\_EP に割り付けているエンドポイントを、CPU\_EP に割り付けて転送をおこなってください。CPU\_EP に割り付けているエンドポイントを、Dn\_EP に割り付けて転送を行ってください。CPU バスが Dn\_EP にアクセスする間、CPU\_EP の PID を NAK に設定してください。かつ、CPU バスが CPU\_EP にアクセスする場合、Dn\_EP の PID を NAK に設定してください。

PID を NAK に設定した場合、NAK 設定後 60 μs 以上間隔をあけて、CPU バスによるデータアクセスを行ってください。

注:転送タイプが isochronous の場合は、回避方法 、または、 をご使用ください。

(3) 発生条件 2.(2)のみ該当するアプリケーションの場合:

、 いずれかの方法で回避することができます。

Dn\_EP に割り付けているエンドポイントを、CPU\_EP に割り付けて転送をおこなってください。CPU バスが Dn\_EP にアクセスする間は、EP0 の PID を NAK に設定してください(即ち、コントロール転送のデータステージの処理を行わないでください)。かつ、CPU バスが EP0 にアクセスする間は、Dn\_EP の PID を NAK に設定してください。

PID を NAK に設定した場合、NAK 設定後 60 μs 以上間隔をあけて、CPU バスによるデータアクセスを行ってください。

注:転送タイプが isochronous の場合は、回避方法 をご使用ください。

### 4. 用語説明

EP0 ;エンドポイント 0

CPU\_EP ;CPU\_FIFO 選択レジスタによって選択されているエンドポイント

Dn\_EP ;D0\_FIFO 選択レジスタ、または、D1\_FIFO 選択レジスタによって選択されているエンドポイント

IN; IN 方向転送

OUT; OUT 方向転送

CPU バス;外部 CPU、DMAC から M66291 へアクセスする外部バス

以上