

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MAEC TECHNICAL NEWS

No.ASSP-04-0205

M66291 D1_FIFO アクセス時のリード信号タイミング必要条件 に関する制限事項

分 類	ドキュメント正誤表 注意事項 ノウハウ その他	対 象	USB ASSP M66291
--------	----------------------------------	--------	-----------------

1. 現象

D1_FIFO を使用し、かつ、 $t_{wr}(\text{CTRL})$ (コントロール信号パルス幅(リード)) < 70ns のシステムにおいて、D1_FIFO のデータ読み出しが正しく行えない場合があります。

2. 発生条件

以下(1)~(3)をすべて満たす場合に、D1_EP の CPU バスからの読み出しデータが不正になります。

- (1) $t_{wr}(\text{CTRL})$ (コントロール信号パルス幅(リード)) < 70ns のシステム(DFORM "01"の場合)、
または、 $t_{wr}(\text{Dack})$ (Dack パルス幅) < 70ns のシステム(DFORM="01"の場合)
- (2) D0_EP を OUT に使用し、かつ、D1_EP を OUT に使用するアプリケーション
- (3) 「D0_EP の USB バス側の受信完了」と「CPU バスからの D1_EP への読み出しアクセス」が同時発生した場合

3. 回避方法

上記発生条件に該当する場合、DFORM "01"のシステムでは $t_{wr}(\text{CTRL})$ (コントロール信号パルス幅(リード))を、DFORM="01"のシステムでは $t_{wr}(\text{Dack})$ (Dack パルス幅)を 70ns 以上確保してください。

4. 用語説明

Dn_EP ;D0_FIFO 選択レジスタ、または、D1_FIFO 選択レジスタによって選択されているエンドポイント

OUT ;OUT 方向転送

CPU バス ;外部 CPU、DMAC から M66291 へアクセスする外部バス

DFORM ;Dn_FIFO 選択レジスタの bit14-bit13

以上