

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MSC TECHNICAL NEWS

No. M7700-33-9111

M37720S1FP, M37720S1AFP ユーザーズマニュアル 追加情報 (REV.A)

1991年7月に発行されました『M37720S1FP, M37720S1AFP ユーザーズマニュアル』に、一部内容の訂正がありましたのでお知らせいたします。

なお、改訂ページを添付していますので、本マニュアルをご使用の際は、留意の程よろしくをお願いいたします。

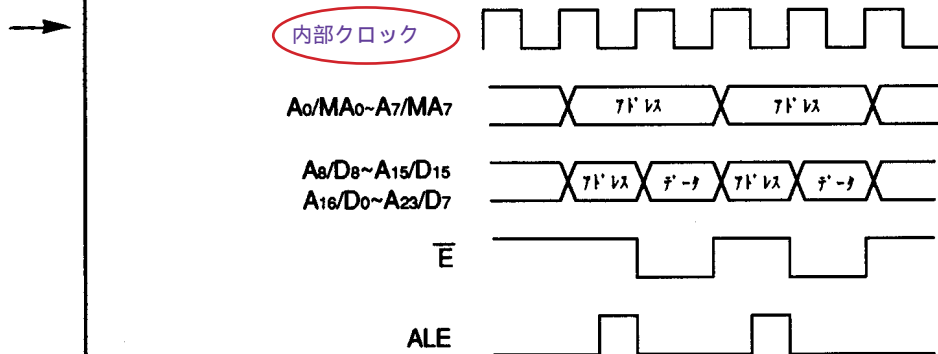
主な改訂箇所

- 第2章『2.13 DMAC』の節の、図2.13.20内(d)のデータ配置
- 第2章『2.15 リアルタイム出力』の節の、図2.15.6内の記述
- 第7章『7.4 DRAMの接続』の節の、M37720S1AFPとDRAM (M5M44400J-10, M5M44800AJ-10, M5M44170AJ-10, 及びM5M411664J-8)の接続例におけるDRAMへの書き込み信号 (\overline{W} , 又は \overline{LW} , \overline{UW})の制御回路

添付：「M37720S1FP, M37720S1AFP ユーザーズ マニュアル」改訂ページ 13枚

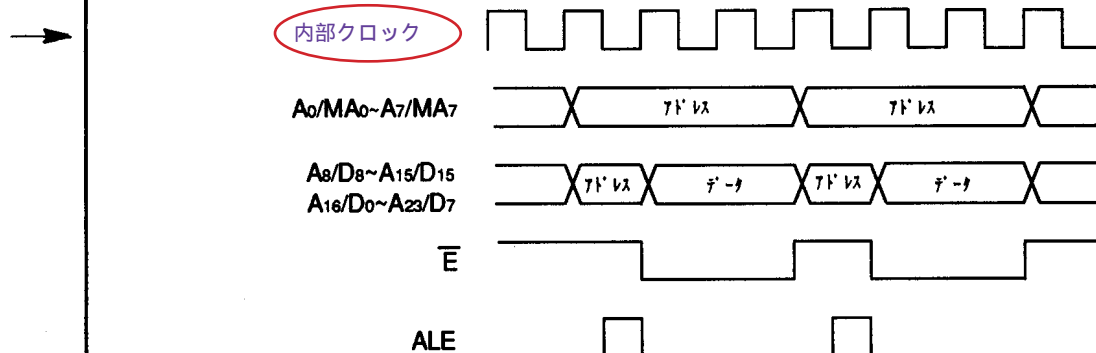
添付の改訂ページには、改訂箇所の左端、又は右端に矢印（ , ）を記載しています。

(1) ウェイトビット“1”で外部メモリ領域をアクセスした場合の波形



内部メモリ領域をアクセスする場合は常に(1)の波形で動作します。

(2) ウェイトビット“0”で外部メモリ領域をアクセスした場合の波形



ウェイトビット“0”の場合でも、内部メモリ領域のアクセスに関しては(1)の波形で動作します。

図2.4.5 外部アクセスにおけるウェイトビットの影響

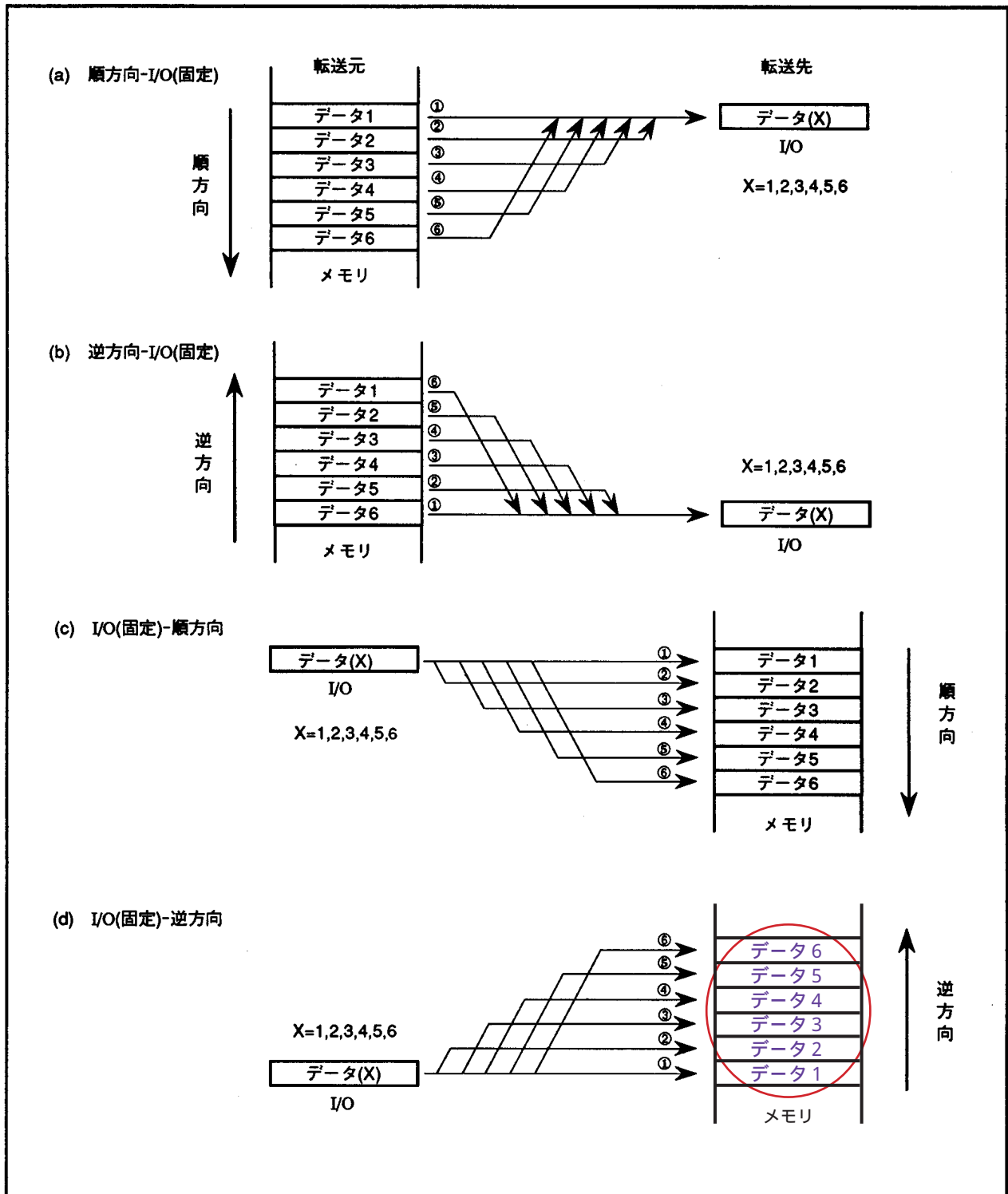


図2.13.20 1バスサイクル転送時の転送アドレス方向例 (1転送単位8ビット)

2.15.3 リアルタイム出力動作説明

図2.15.6にリアルタイム出力動作例を示します。

タイマA_jモードレジスタ(j=0、1)とタイマA_jレジスタの値を設定して、タイマA_jカウント開始フラグを“1”にセットすると、タイマA_jはカウントを開始します。タイマA_jはダウンカウントで、アンダフローする(カウンタの内容が0000₁₆からリロード値nになる)ごとに、パルス出力データレジスタjの内容をRTPj₀~RTPj₃端子へ出力し、タイマA_j割り込み要求ビットを“1”にセットしてカウントを続けます。

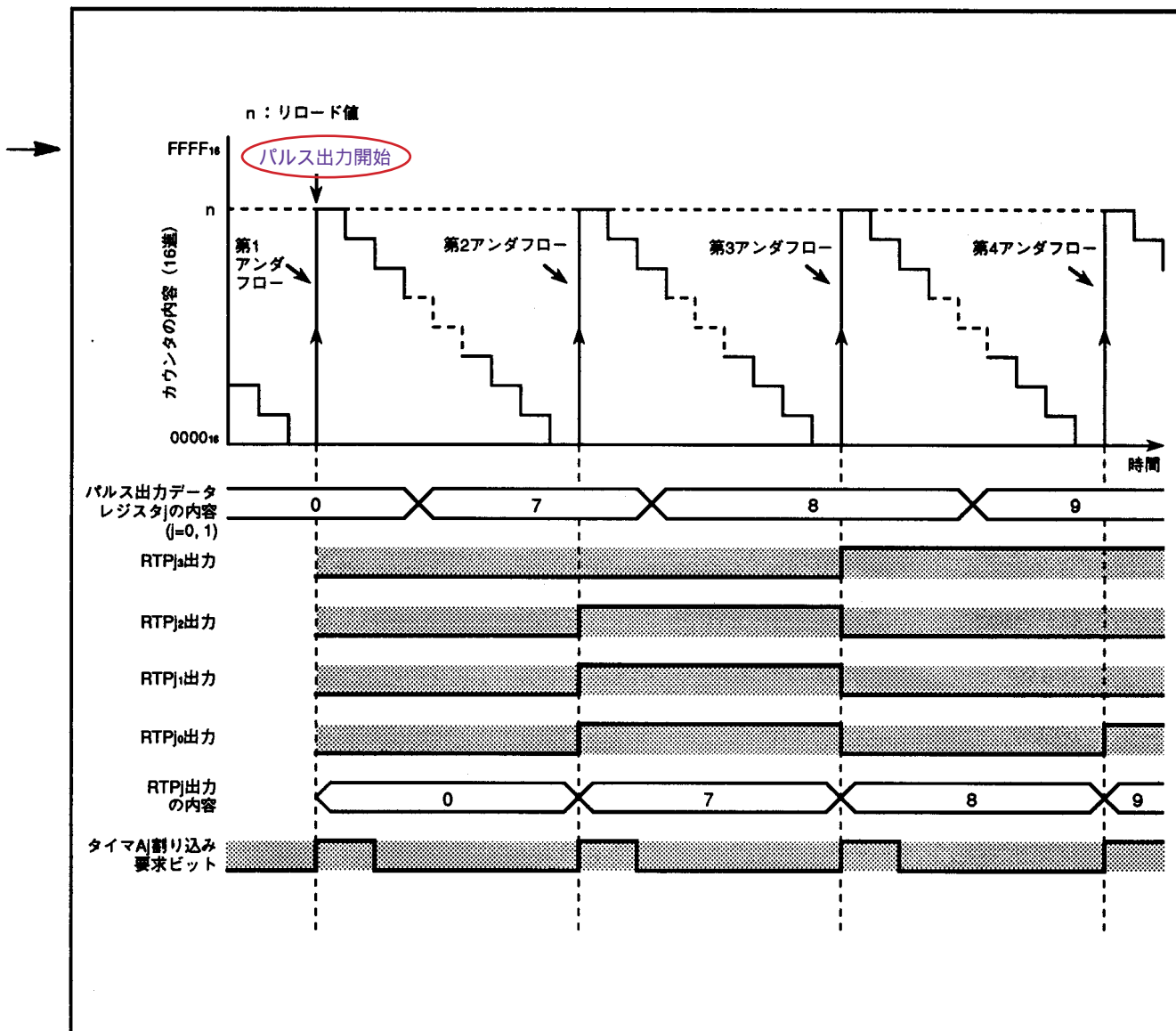


図2.15.6 リアルタイム出力動作例

5

電気的特性

5.1 絶対最大定格 5.2 推奨動作条件

5.1 絶対最大定格

絶対最大定格

記号	項目	条件	定格値	単位
V _{cc}	電源電圧		-0.3~7	V
AV _{cc}	アナログ電源電圧		-0.3~7	V
V _i	入力電圧 \overline{RESET} , CNV _{ss} , BYTE		-0.3~12	V
V _i	入力電圧 A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇ , P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , RDY, HOLD, X _M , V _{REF}		-0.3~V _{cc} +0.3	V
V _o	出力電圧 A ₀ /MA ₀ ~A ₇ /MA ₇ , A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇ , P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , φ ₁ , \overline{RESET}_{out} , X _{out} , \overline{E} , ST ₀ , ST ₁ , ALE, \overline{BLE} , \overline{BHE} , R/W		-0.3~V _{cc} +0.3	V
P _d	消費電力	T _a =25℃	300	mW
T _{opr}	動作周囲温度		-20~85	℃
T _{stg}	保存温度		-40~150	℃

5.2 推奨動作条件

推奨動作条件 (指定のない場合は、V_{cc}=5V±10%, T_a=-20℃~85℃)

記号	項目	規格値			単位
		最小	標準	最大	
V _{cc}	電源電圧	4.5	5.0	5.5	V
AV _{cc}	アナログ電源電圧		V _{cc}		V
V _{ss}	電源電圧		0		V
AV _{ss}	アナログ電源電圧		0		V
V _{IH}	"H" 入力電圧 P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , RDY, HOLD, BYTE, CNV _{ss} , X _M , V _{REF}	0.8V _{cc}		V _{cc}	V
V _{IH}	"H" 入力電圧 A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇	0.5V _{cc}		V _{cc}	V
V _{IL}	"L" 入力電圧 P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , RDY, HOLD, BYTE, CNV _{ss} , X _M , V _{REF}	0		0.2V _{cc}	V
V _{IL}	"L" 入力電圧 A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇	0		0.16V _{cc}	V
I _{OH} (peak)	"H" 尖頭出力電流 A ₀ /MA ₀ ~A ₇ /MA ₇ , A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇ , P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , φ ₁ , \overline{RESET}_{out} , ST ₀ , ST ₁ , ALE, \overline{BLE} , \overline{BHE} , R/W			-10	mA
I _{OH} (avg)	"H" 平均出力電流 A ₀ /MA ₀ ~A ₇ /MA ₇ , A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇ , P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , φ ₁ , \overline{RESET}_{out} , ST ₀ , ST ₁ , ALE, \overline{BLE} , \overline{BHE} , R/W			-5	mA
I _{OL} (peak)	"L" 尖頭出力電流 A ₀ /MA ₀ ~A ₇ /MA ₇ , A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇ , P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , φ ₁ , \overline{RESET}_{out} , ST ₀ , ST ₁ , ALE, \overline{BLE} , \overline{BHE} , R/W			10	mA
I _{OL} (avg)	"L" 平均出力電流 A ₀ /MA ₀ ~A ₇ /MA ₇ , A ₈ /D ₈ ~A ₁₅ /D ₁₅ , A ₁₆ /D ₀ ~A ₂₃ /D ₇ , P ₄₃ ~P ₄₇ , P ₅₀ ~P ₅₇ , P ₆₀ ~P ₆₇ , P ₇₀ ~P ₇₇ , P ₈₀ ~P ₈₇ , P ₉₀ ~P ₉₇ , P ₁₀₀ ~P ₁₀₇ , φ ₁ , \overline{RESET}_{out} , ST ₀ , ST ₁ , ALE, \overline{BLE} , \overline{BHE} , R/W			5	mA
f (X _{IN})	外部クロック入力周波数	M37720S1FP		8	MHz
		M37720S1AFP		16	

注1. 平均出力電流は100msの期間内での平均値です。

2. ポートP₈, P₉, A₀/MA₀~A₇/MA₇, A₈/D₈~A₁₅/D₁₅, A₁₆/D₀~A₂₃/D₇, ST₀, ST₁, ALE, \overline{BLE} , \overline{BHE} , R/WのI_{OL} (peak)の合計は80mA以下、
ポートP₈, P₉, A₀/MA₀~A₇/MA₇, A₈/D₈~A₁₅/D₁₅, A₁₆/D₀~A₂₃/D₇, ST₀, ST₁, ALE, \overline{BLE} , \overline{BHE} , R/WのI_{OH} (peak)の合計は80mA以下、
ポートP₄, P₅, P₆, P₇, P₁₀, φ₁のI_{OL} (peak)の合計は80mA以下、 ポートP₄, P₅, P₆, P₇, P₁₀, φ₁のI_{OH} (peak)の合計は80mA
以下にしてください。

5

電気的特性

5.3 M37720S1FP/S1AFP DC/AC特性

タイマA入力 (イベントカウンタモードのカウンタ入力)

記号	項目	規格値				単位
		8MHz		16MHz		
		最小	最大	最小	最大	
t _c (TA)	TA _{JIN} 入力サイクル時間	250		125		ns
t _w (TAH)	TA _{JIN} 入力“H”パルス幅	125		62		ns
t _w (TAL)	TA _{JIN} 入力“L”パルス幅	125		62		ns

タイマA入力 (タイマモードのゲーティング入力)

記号	項目	規格値				単位
		8MHz		16MHz		
		最小	最大	最小	最大	
t _c (TA)	TA _{JIN} 入力サイクル時間	1000		500		ns
t _w (TAH)	TA _{JIN} 入力“H”パルス幅	500		250		ns
t _w (TAL)	TA _{JIN} 入力“L”パルス幅	500		250		ns

タイマA入力 (ワンショットパルスモードの外部トリガ入力)

記号	項目	規格値				単位
		8MHz		16MHz		
		最小	最大	最小	最大	
t _c (TA)	TA _{JIN} 入力サイクル時間	500		250		ns
t _w (TAH)	TA _{JIN} 入力“H”パルス幅	250		125		ns
t _w (TAL)	TA _{JIN} 入力“L”パルス幅	250		125		ns

タイマA入力 (パルス幅変調モードの外部トリガ入力)

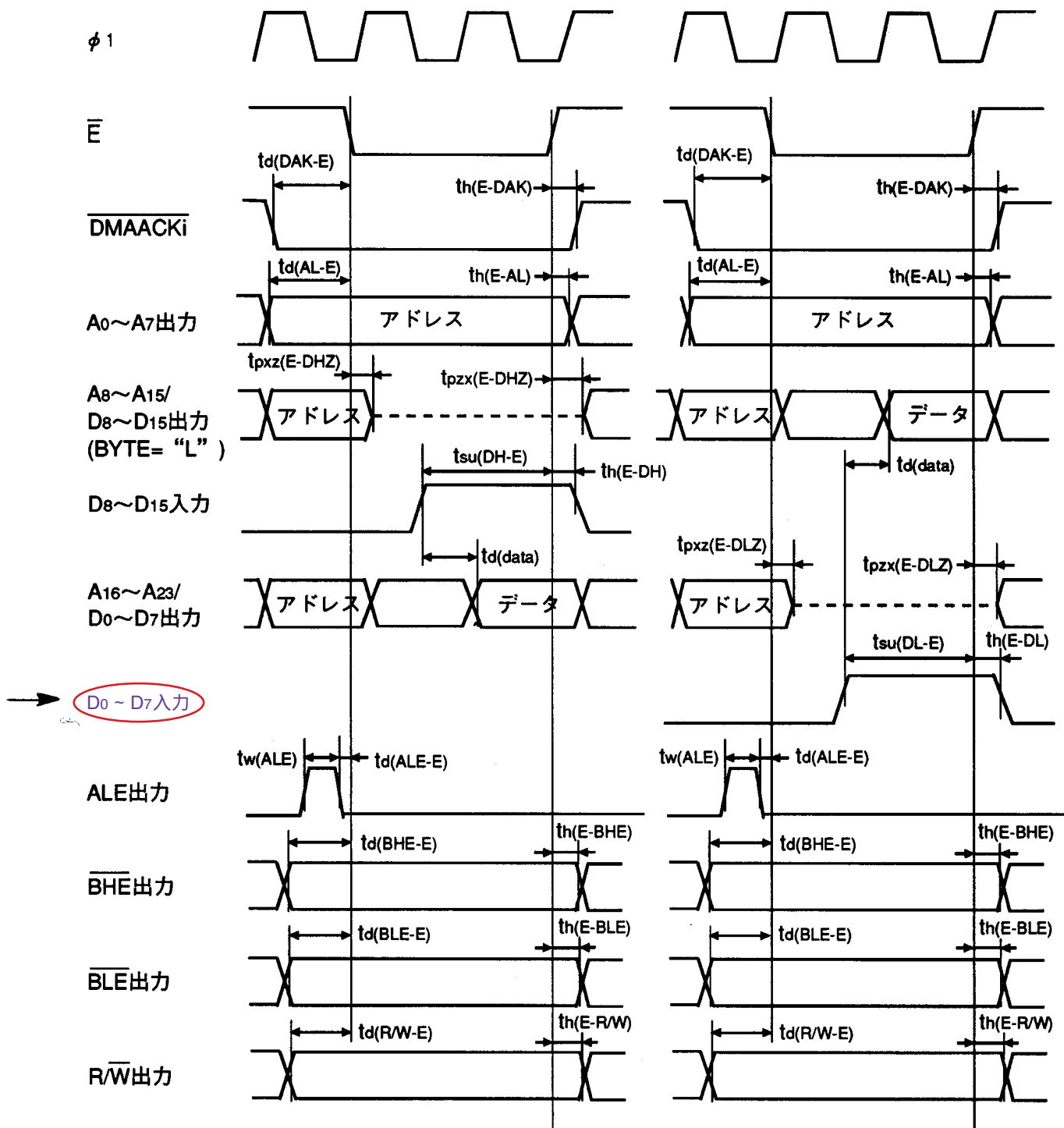
記号	項目	規格値				単位
		8MHz		16MHz		
		最小	最大	最小	最大	
t _w (TAH)	TA _{JIN} 入力“H”パルス幅	250		125		ns
t _w (TAL)	TA _{JIN} 入力“L”パルス幅	250		125		ns

タイマA入力 (イベントカウンタモードのアップダウン入力)

記号	項目	規格値				単位
		8MHz		16MHz		
		最小	最大	最小	最大	
t _c (UP)	TA _{JOUT} 入力サイクル時間	5000		2500		ns
t _w (UPH)	TA _{JOUT} 入力“H”パルス幅	2500		1250		ns
t _w (UPL)	TA _{JOUT} 入力“L”パルス幅	2500		1250		ns
t _{su} (UP-TIN)	TA _{JOUT} 入力セットアップ時間	1000		500		ns
t _h (TIN-UP)	TA _{JOUT} 入力ホールド時間	1000		500		ns

DMA転送時

・ 1バス転送タイミング



測定条件

- ・ $V_{CC} = 5V \pm 10\%$
- ・ 出力タイミング電圧: $V_{OL} = 0.8V, V_{OH} = 2.0V$ で判定
- ・ $D_0 \sim D_{15}$ 入力 : $V_{IL} = 0.8V, V_{OH} = 2.5V$ で判定

7.4.1 外部バス幅8ビット時のDRAM接続例

(1) ×4ビット構成のDRAM接続例

図7.4.1、図7.4.2にM5M44256BP (256K×4ビット) との接続例を示します。図7.4.1では、M5M44256BPを2個接続しているためメモリ容量は256Kバイトとなります。図7.4.2では、M5M44256BPを4個接続しているためメモリ容量は512Kバイトとなります。M37720S1FPは、DRAM領域を1Mバイト単位で設定しますので、DRAM制御レジスタ (64₁₆番地) のDRAM領域選択ビット (ビット3~0) はどちらの場合も (0001) に設定します。

図7.4.1の場合には、DRAMアクセス時にイメージが出ますが、一本のデータバスには1個のDRAMしか接続されていないので問題はありません。したがって、DRAM空間中を細かく分ける必要はなく、外付け回路は不要です。図7.4.2の場合は、同一データバス上に2個のDRAMを接続していますので、アドレスを制御しDRAM空間を分割する必要があります。そのためにラッチされたアドレスA₁₈、A₁₉をLS139によりデコードしCAS信号と論理和をとることによってF80000₁₆~FBFFFF₁₆番地、又はFC0000₁₆~FFFFFF₁₆番地の領域のみでCAS信号がアクティブになるように制御しています。ただし、それだけではリフレッシュ時にCAS信号をDRAMに供給できないことがありますので、リフレッシュ時 (ST1=0, ST0=0) のみ本来のCAS信号をDRAMに供給できるようにALS157により制御します。

図7.4.3にM5M44400J (1M×4ビット) との接続例を示します。この例は、メモリ容量が図7.4.1の場合に比べて4倍 (1Mバイト) になり、F00000₁₆~FFFFFF₁₆番地までの領域すべてを使用し、マルチプレクスアドレスMA₉信号が増えたこと、及びCASビフォアRASリフレッシュ時のW信号の制御のためにALS32が必要なことを除けば図7.4.1の場合と同じです。

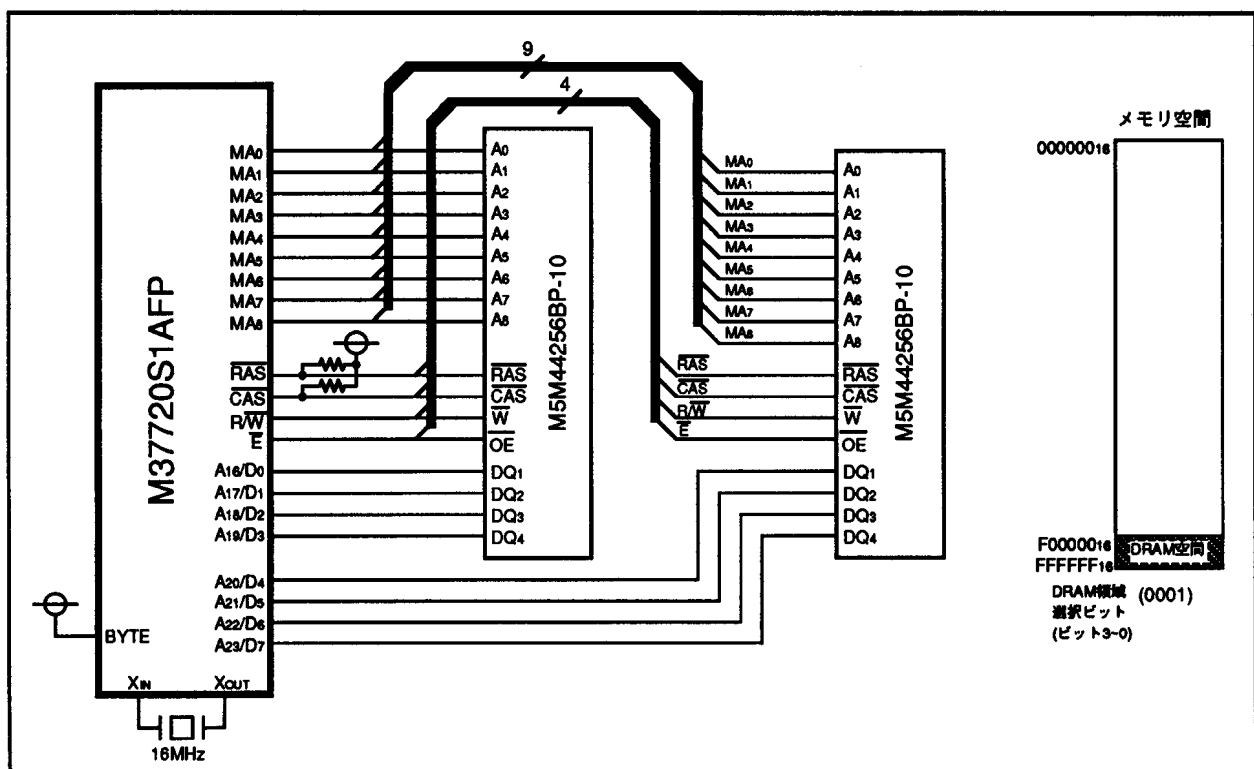


図7.4.1 M37720S1AFP(外部バス幅8ビット)とM5M44256BP(256K×4ビット)の接続例(1)

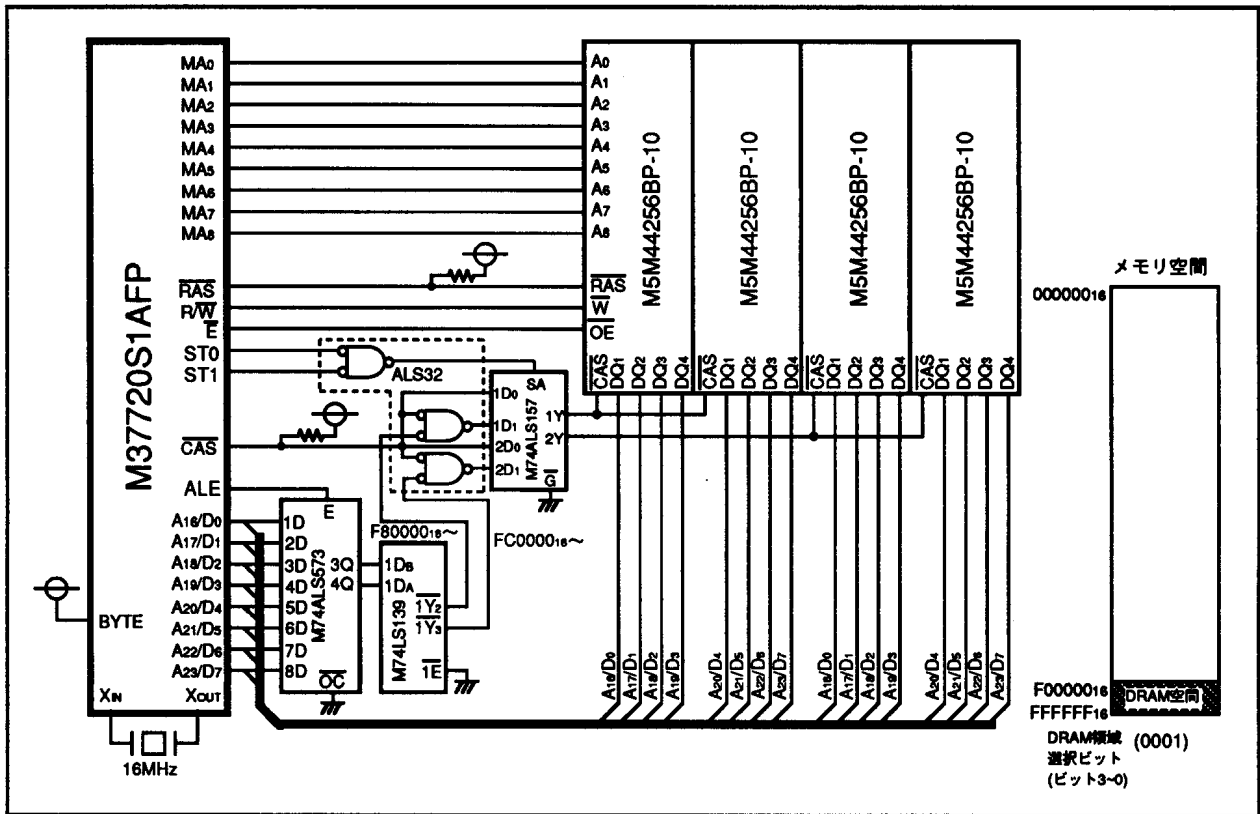


図 7.4.2 M37720S1AFP(外部バス幅8ビット)とM5M44256BP(256K×4ビット)の接続例(2)

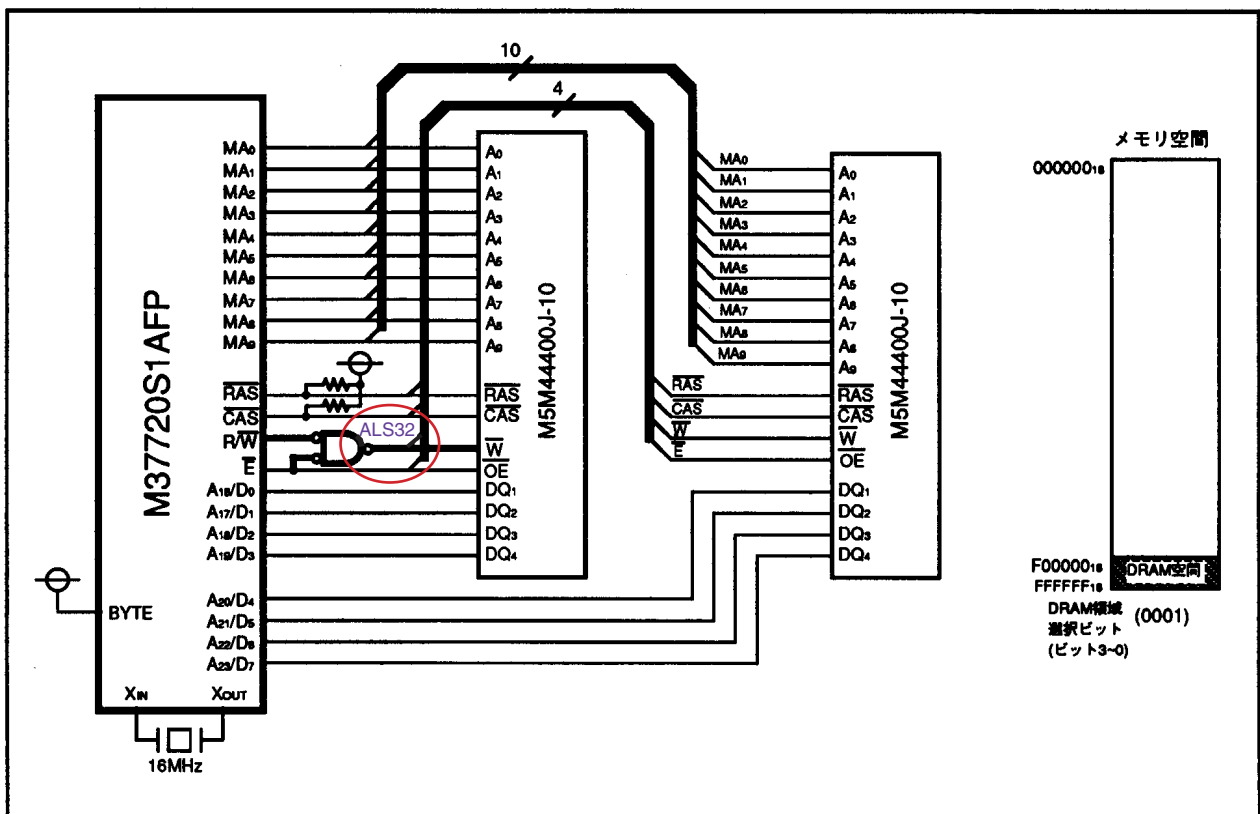


図 7.4.3 M37720S1AFP(外部バス幅8ビット)とM5M44400J(1M×4ビット)の接続例

(2) ×1ビット構成DRAMの接続例

図7.4.4にM5M41001BP (1M×1ビット) との接続例を示します。図7.4.4では、M5M41001BPを8個接続していますので、メモリ容量は1Mバイトとなります。DRAM領域選択ビット (ビット3~0) は、「(1) ×4ビット構成のDRAM接続例」のときと同じで (0001) に設定します。M5M41001BPには、OE端子がないので読み出し制御はRASとCASのみで行います。M37720S1FPのE信号が“H”レベルに立ち上がった後のフローティング解除遅延時間は $f(X_{IN})=16\text{MHz}$ 時に最小25nsを確保します。読み出し動作時のM5M41001BPは、CAS信号の立ち上がりからデータ出力を禁止するまでの時間 (出力ディスエーブル時間) が最大25nsあります。また、M37720S1FPのCAS信号はE信号に対して最大20ns遅れて立ち上がります。このためM37720S1FPは、E信号が立ち上がった後のバスをフローティングにしている時間 (フローティング解除遅延時間) が最低45ns必要になります。したがって、この例ではフローティング解除遅延時間が50ns確保できる $f(X_{IN})=8\text{MHz}$ で動作させます。

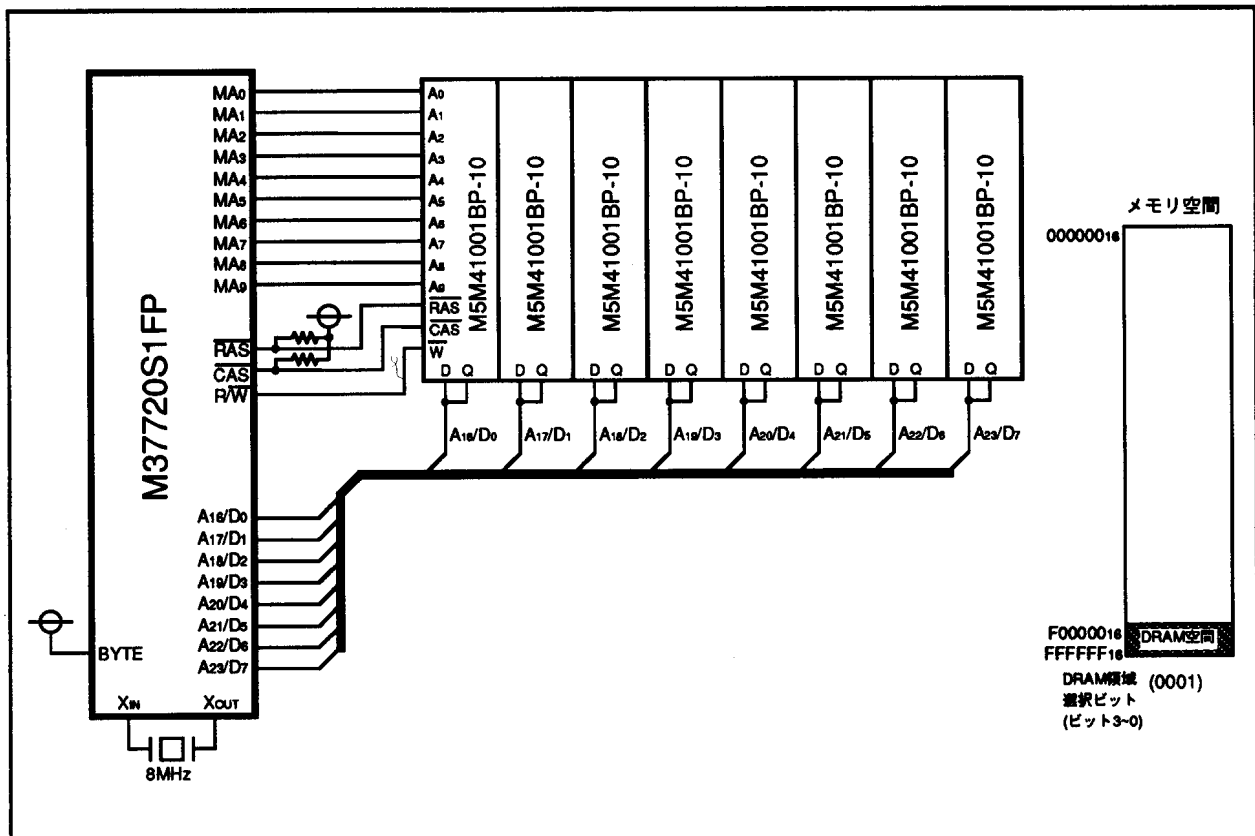


図7.4.4 M37720S1FP(外部バス幅8ビット)とM5M41001BP(1M×1ビット)の接続例

(3) ×8タイプDRAMとの接続例

図7.4.5にM5M44800AJ (512K×8ビット) との接続例を示します。この例ではメモリ容量は512Kバイトですので、DRAM領域選択ビット (ビット3~0) は (0001) になります。データバス上に接続されているDRAMが一個になったこと、容量が倍になりアドレス (MA₉) が1本増えたこと、及びCASピフォアRASリフレッシュ時のW信号の制御のためにALS32が必要なことを除けば図7.4.1の例と同じです。

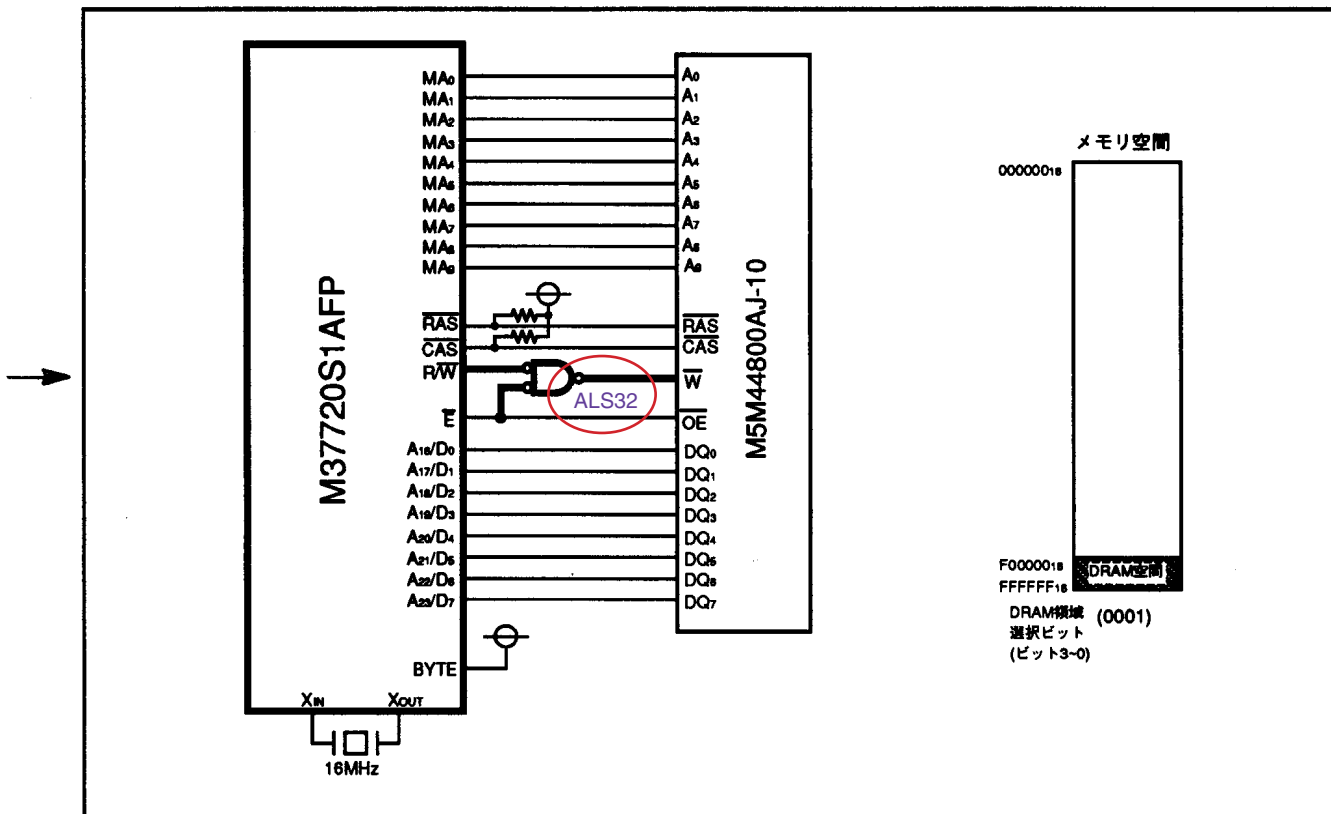


図7.4.5 M37720S1AFP(外部バス幅8ビット)とM5M44800AJ(512K×8ビット)の接続例

7.4.2 外部バス幅16ビット時のDRAM接続例

(1) ×4タイプDRAMとの接続

図7.4.6、図7.4.7にM5M44256BP(256K×4ビット)との接続例を、図7.4.8にM5M44400J(1M×4ビット)との接続例を示します。メモリ容量が倍に増えたことを除けば外部バス幅8ビット時と基本的に同じですので、異なる点についてのみ説明します。外部バス幅は16ビットになっていますが、書き込み動作は必ずしも16ビット幅で行うわけではなく、8ビット幅で偶数番地のみ、又は奇数番地のみへの書き込みという場合があります。したがって、偶数番地と奇数番地それぞれのライト信号を作る必要があります。このときOE端子へE信号が直接入力されると偶数番地又は奇数番地のみデータを書き込んだとき、書き込みが行われない側のDRAMのW端子は“H”レベルに、OE端子は“L”レベルになるので、DRAMは読み出されると判断しデータを出力します。ところが、このときM37720S1AFPは、書き込み動作を行っていますので、書き込みが行われない側のデータバス上でデータが衝突してしまいます。そこで、図のようにOE端子に入る信号を読み出したときのみ“L”レベルになるように制御します。この制御のために、OE端子に入る信号が遅れ、データバスのフロティング解除遅延時間が不足するので、 $f(X_{IN})$ を13MHz(図7.4.7では12MHz)にすることで十分な時間が取れるようにしています。図には記載していませんが、DMACの1バスサイクル転送をDRAMからI/Oに対して行うときは、DRAMのOE端子に入力される信号をW信号と同様に偶数番地用と奇数番地用に分ける必要があります。これ以外は外部バス幅8ビット時と同じですので「7.4.1 外部バス幅8ビット時のDRAM接続例」を参照してください。

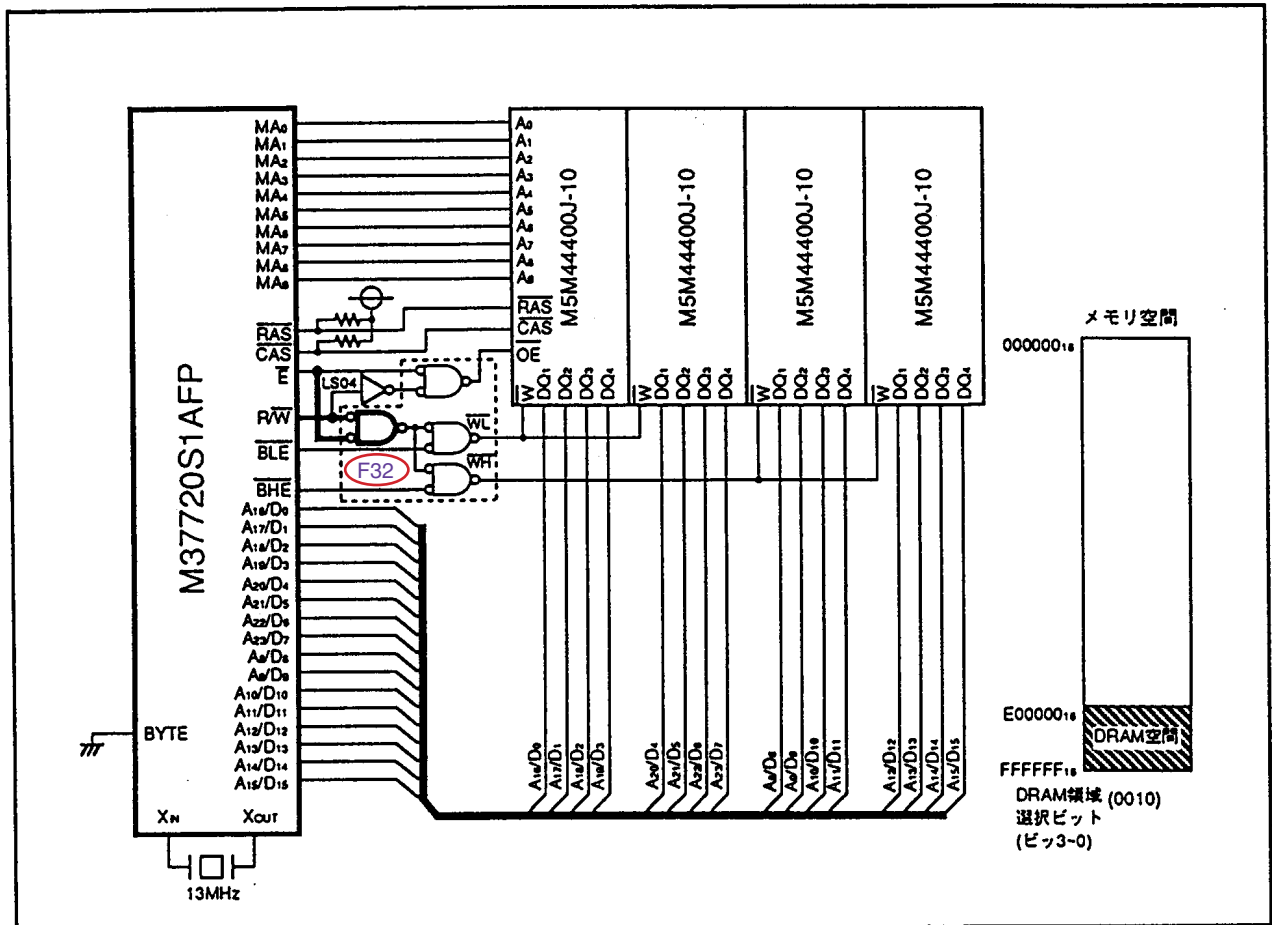


図7.4.8 M37720S1AFP(外部バス幅16ビット)とM5M44400J(1M×4ビット)の接続例

(2) ×16ビット構成DRAMとの接続

図7.4.9にM5M44170AJ (256K×16ビット) との接続例、図7.4.10にM5M411664J-8 (64K×16ビット) との接続例を示します。M5M44170AJは512Kバイト、M5M411664J-8は128Kバイトですので、どちらの場合もDRAM領域選択ビット(ビット3~0)は(0001)に設定します。M5M44170AJは、リフレッシュが1024サイクルのために行アドレスが10本、列アドレスが8本になっています。ところがM37720S1FPのMA8、MA9信号は外部バス幅16ビット時、表7.4.2のようにになっているため、A17、A19はM5M44170AJの中では使用されず、DRAM領域が不連続になってしまいます。そこで、図7.4.9のようにM37720S1FPのマルチプレクスされていない通常のアドレスA17、A19信号をDRAMのA8、A9端子に接続することによりDRAM領域を連続した空間にすることができます。

表7.4.2 外部バス幅16ビット時の
マルチプレクスアドレスMA8、MA9

	MA8	MA9
行アドレス	A18	A20
列アドレス	A17	A19

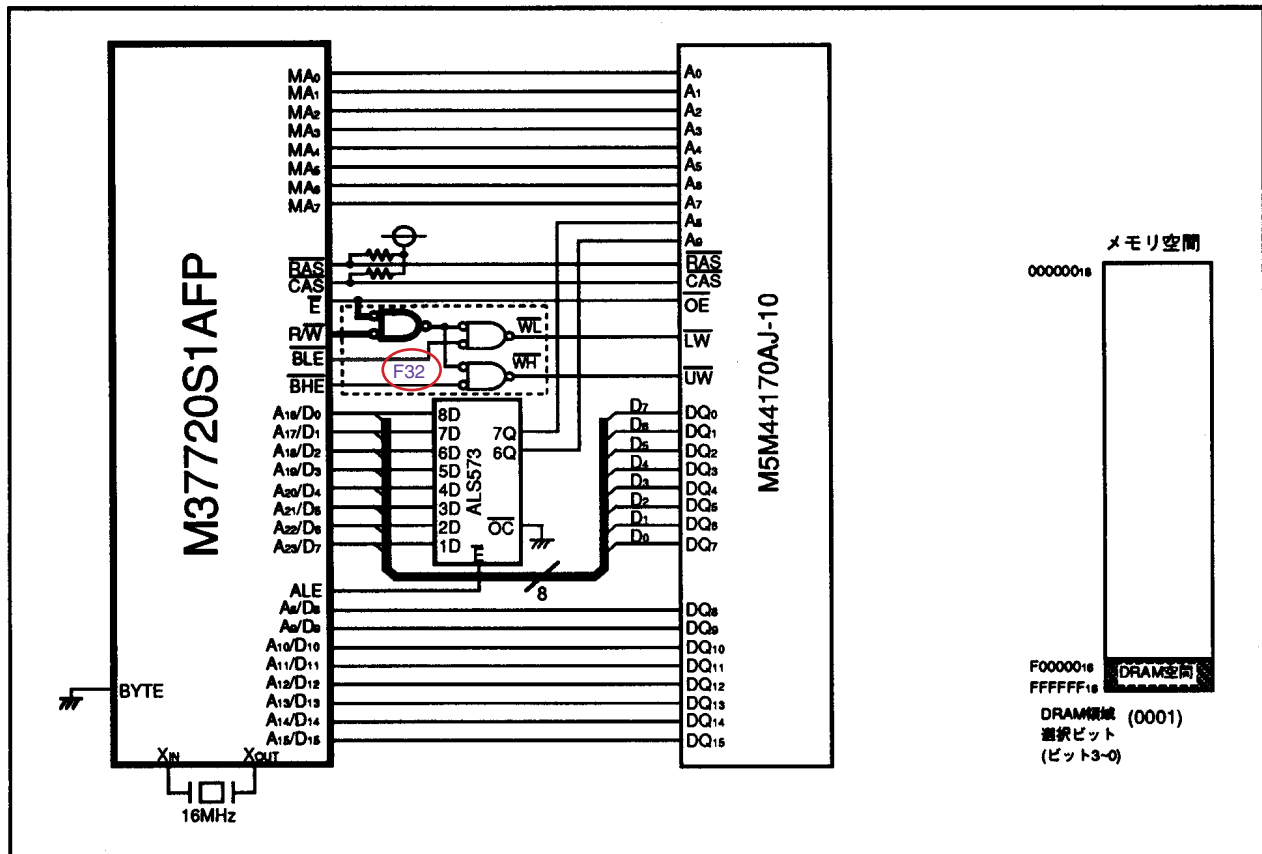
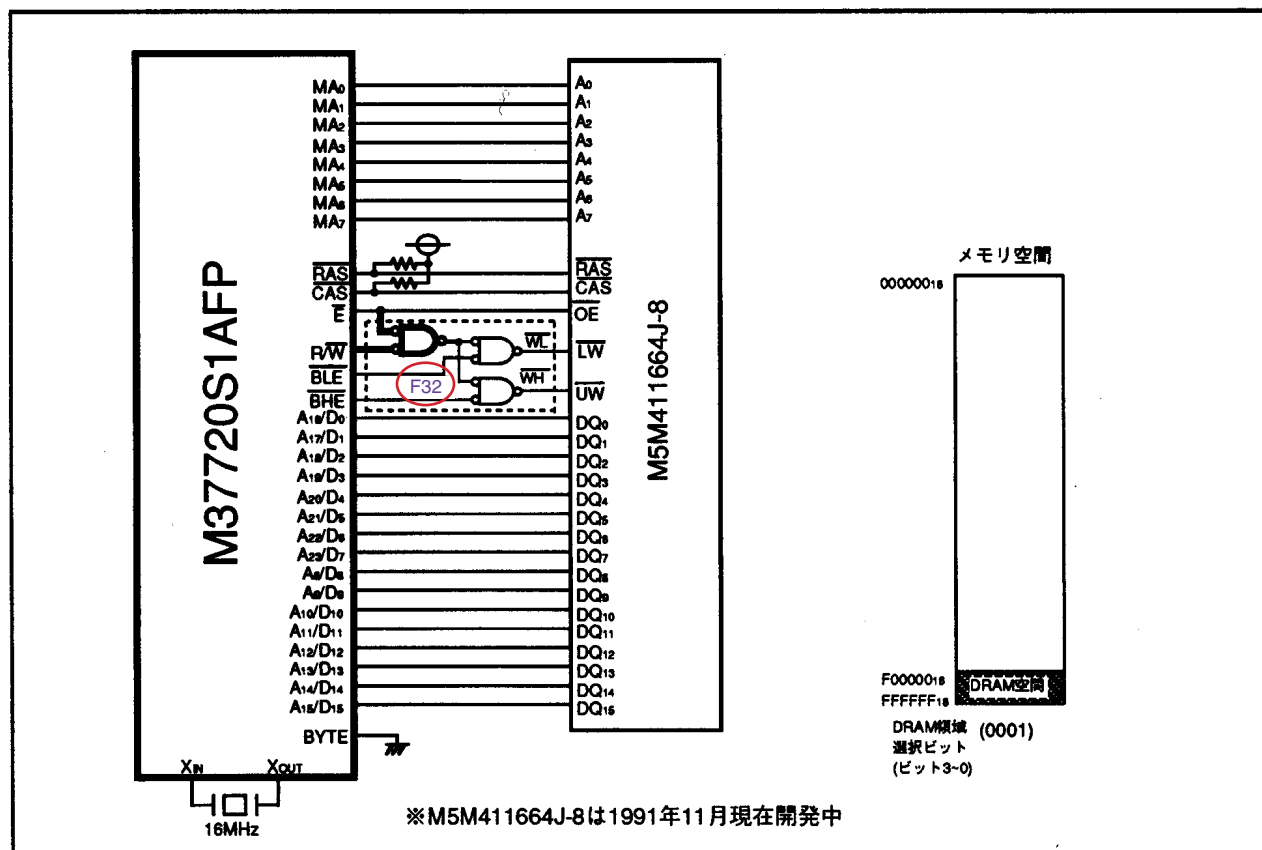


図 7.4.9 M37720S1AFP(外部バス幅16ビット)とM5M44170AJ(256K×16ビット)の接続例



※M5M411664J-8は1991年11月現在開発中

図 7.4.10 M37720S1AFP(外部バス幅16ビット)とM5M411664J-8(64K×16ビット)の接続例

7.5.8 ソフトウェアタイマ例

```

SEQ. LOC.  OBJ.      ....*....1....*....2....*....SOURCE STATEMENT....5....*....6....*....7....*....8....*....9....*...

1412      1          .PAGE
1413      1 ;
1414      1 ;=====
1415      1 ; ソフトウェアタイマ 参考例  =
1416      1 ;=====
1417      1 ; (注) 以下のサブルーチンによるウェイト時間はマイコンの
1418      1 ; 動作周波数、および外部バス幅に依存します。以下の
1419      1 ; ルーチンでは、外部バス幅 16 ビット、ノーウェイトで、
1420      1 ; 外部入力クロック周波数 = 8MHz の場合を想定して
1421      1 ; プログラムを記述しています。
1422      1 ;
1423      1 ;=====
1424      1 ; 10 μs のウェイトルーチン  =
1425      1 ;=====
1426      1 ; f(Xin)=8MHz時 1 φcyc=250ns
1427      1 ;
1428 00F800 1 WIT10:
1429      1          .DATA 8
1430 00F800 F8 1          SEM          ;          2 φcyc
1431 00F801 894920 1          RLA #32          ;          8*32 φcyc
1432      1 ;-----
1433      1 ;          ; 計 40 φcyc
1434      1 ;
1435      1 ;=====
1436      1 ; 50 μs のウェイトルーチン  =
1437      1 ;=====
1438      1 ; f(Xin)=8MHz時 1 φcyc=250ns
1439      1 ;
1440 00F804 1 WIT50:
1441      1          .DATA 8
1442 00F804 F8 1          SEM          ;          2 φcyc
1443 00F805 8949C0 1          RLA #192         ;          8*192 φcyc
1444      1 ;-----
1445      1 ;          ; 計 200 φcyc
1446      1 ;
1447      1 ;
1448      1 ;

```