

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

製品分類	MPU & MCU		発行番号	TN-RA*-A0109A/J	Rev.	第1版
題名	D-Cache 有効時の制限事項		情報分類	技術情報		
適用製品	RA8M1 グループ、RA8D1 グループ、 RA8T1 グループ	対象ロ ット等	関連資料	RA8M1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10		
		すべて		RA8D1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10 RA8T1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10		

ARM Limited より Cortex-M85 AT640 and Cortex-M85 with FPU AT641 Software Developer Errata Notice が発行されて ID3175626 と ID3190818 の Errata が通知されました。有効な対策として下記の手順を実施してください。

ID3190818 の対策として、D-Cache を有効化するには手順 1 を実施してください。

ID3175626 の対策として、D-Cache を有効化してかつ Write-Back 属性設定可能条件を満たせない場合には手順 2 を実施してください。

実際のレジスタの設定方法については ARM Limited の参考資料を参照してください。

【手順 1】

- 1) ACTLR[16] に 1 を設定(*1)
- 2) D-Cache を有効化

注 1)ACTLR[16]の設定にはセキュアアクセスが必要です。

【手順 2】

- 1) MSCR.FORCEWT に 1 を設定
- 2) D-Cache を有効化

この場合、すべてのキャッシュブルなメモリが Write-Through 属性になります。

【Write-Back 属性設定可能条件】

下記の a,b,c の全条件を満足すれば、Write-Back 属性は設定可能です。上記の手順 2 で示される MSCR.FORCEWT を 1 にする必要はありません。

- a. CPUは “Standby SRAM”, “CSC/SDRAM”, “OSPI” への書込みを実行しない。
- b. Write-Back属性を設定している期間中にCPUがSRAM0を使用する場合、
“DMAC/DTC”, “EDMAC”, “GLCDC”, “DRW”, “MIPI” はSRAM0への読み出しを実行しない。
- c. Write-Back属性を設定している期間中にCPUがSRAM1を使用する場合、
“DMAC/DTC”, “EDMAC”, “GLCDC”, “DRW”, “MIPI” はSRAM1への読み出しを実行しない。

注) “GLCDC”, “DRW”, “MIPI” はRA8D1グループ製品のみ存在する機能です。

参考資料

Arm® v8-M Architecture Reference Manual

ARM Limited, Document type: Architecture Document

D1.2.9 CCR, Configuration and Control Register

D1.2.164 MAIR_ATTR, Memory Attribute Indirection Register Attributes

D1.2.165 MMFAR, MemManage Fault Address Register

D1.2.166 MMFSR, MemManage Fault Status Register

D1.2.167 MPU_CTRL, MPU Control Register

D1.2.168 MPU_MAIR0, MPU Memory Attribute Indirection Register 0

D1.2.169 MPU_MAIR1, MPU Memory Attribute Indirection Register 1

D1.2.170 MPU_RBAR, MPU Region Base Address Register

D1.2.171 MPU_RBAR_An, MPU Region Base Address Register Alias, n = 1 – 3

D1.2.172 MPU_RLAR, MPU Region Limit Address Register

D1.2.173 MPU_RLAR_An, MPU Region Limit Address Register Alias, n = 1 – 3

D1.2.174 MPU_RNR, MPU Region Number Register

D1.2.175 MPU_TYPE, MPU Type Register

D1.2.1 ACTLR, Auxiliary Control Register

Arm® Cortex®-M85 Processor

ARM limited, Document type: Technical Reference Manual

5.9 ACTLR, Auxiliary Control Register

5.14 MSCR, Memory System Control Register

Cortex-M85 AT640 and Cortex-M85 with FPU AT641

ARM Limited, Document type: Software Developer Errata Notice

ID: 3175626

ID: 3190818