


# マイクロコンピュータ技術情報

技術通知  V850E/MA1, V850E/MA2, V850E/IA1, V850E/IA2, V850E/SV2, NB85Eコア用インサーキット・エミュレータ IE-V850E-MC, IE-V850E-MC-A  使用制限事項の件		発行番号	ZBG-CD-04-0029号	1/2
		発行日	2004年 6月 30日	
		発行元	NEC エレクトロニクス株式会社 第三システム事業本部 汎用マイコンシステム事業部 開発ツールグループ 	
文書分類	<input type="radio"/> 使用制限事項	<input type="checkbox"/> バージョン・アップ	<input type="checkbox"/> ドキュメント誤記訂正 (正誤表)	<input type="checkbox"/> その他
関連資料	IE-V850E-MC, IE-V850E-MC-A ユーザーズ・マニュアル 資料番号: U14487JJ2V0			

CP (K), 0

## 1. 対象製品

IE-V850E-MC                      管理記号<sup>注</sup>: A, B, C, D  
 IE-V850E-MC-A                管理記号<sup>注</sup>: B, C, D, E, F, G

## 2. 新たな制限事項

今回新たに b-23 の制限事項を追加させていただきました。また、b-1 の回避策を変更いたしました。詳細は、別紙を参照して下さい。

## 3. 回避策

詳細は、別紙を参照して下さい。

## 4. 改善計画

b-23 については、恒久的制限事項とさせていただきます。

注) 管理記号とは、ご購入時(バージョン・アップを行っていない)は、本体に添付されている保証書に記載されている10桁のシリアル・ナンバーの左から2桁目の記号です。バージョン・アップを行っている場合は、バージョン・アップ・ラベルが本体に貼ってあり、その中に記載されている V-UP LEVEL X の X が管理記号になります。

## 5. 制限事項一覧

添付の別紙をご参照ください。

## 6. 発行文書履歴

V850E/MA1, V850E/MA2, V850E/IA1, V850E/IA2, V850E/SV2, NB85Eコア用インサーキット・エミュレータ  
IE-V850E-MC, IE-V850E-MC-A 使用制限事項一覧

文書番号	発行日	記事
SBG-T-1688	1999.06.28	新規発行 a-21, b-12
SBG-T-1748	1999.09.30	新規不具合追加(a-22, a-23)
SBG-T-1882	2000.01.13	新規不具合追加(a-24 ~ a-33, b-13, b-14)
SBG-T-1941	2000.03.02	新規不具合追加(a-34)
SBG-T-1983	2000.04.07	新規不具合追加(a-35, b-15 ~ b-18)
SBG-T-1983-2	2000.11.06	新規不具合追加(a-36 ~ a-41)
SBG-T-2441	2001.07.16	新規不具合追加(a-42)
SBG-DT-03-0018	2003.01.29	新規不具合追加(a-43 ~ a-51)
SBG-DT-03-0215	2003.07.31	新規不具合追加(b-19 ~ b-22)
ZBG-CD-04-0029	2004.06.30	新規不具合追加(b-23) 回避策変更(b-1)

以上

## IE-V850E-MC,IE-V850E-MC-A 使用上の注意

### 1. 製品バージョン

製品名 :IE-V850E-MC-A

管理記号	エバチップ(3.3V用)	使用可能なディバッカ
B	UPD703191AR DS2.0-3V	ID850 E2.00s(NB85E用) 以降のバージョン
C	UPD703191AR DS2.0-3V	ID850 E2.00s(NB85E用) 以降のバージョン
D	UPD703191AR DS3.0-3V	ID850 E2.20f 以降のバージョン
E	UPD703191AR DS4.1-3V	ID850 E2.20f 以降のバージョン
F	UPD703191AR ES4.3-3V UPD703191AR DS4.3-3V	ID850 E2.20f 以降のバージョン
G	UPD703191AR ES4.5-3V	ID850 E2.20f 以降のバージョン

製品名 :IE-V850E-MC

管理記号	エバチップ(5V用)	使用可能なディバッカ
A	UPD703191R DS2.0-5V	ID850 E2.00s(NB85E用) 以降のバージョン
B	UPD703191R DS3.0-5V	ID850 E2.20f 以降のバージョン
C	UPD703191R DS4.1-5V	ID850 E2.20f 以降のバージョン
D	UPD703191R DS4.3-5V UPD703191R ES4.3-5V UPD703191R ES4.5-5V	ID850 E2.20f 以降のバージョン

注1) 管理記号とは、ご購入時(バージョン・アップを行っていない)は、本体に添付されている保証書に記載されている 10 桁のシリアル・ナンバーの左から 2 桁目の記号です。バージョン・アップを行っている場合は、バージョン・アップ・ラベルが本体に貼ってあり、その中に記載されている V-UP LEVEL X の X が管理記号になります。

## 2. 製品履歴

	No	制 限 事 項	該 当 管 理 記 号									
			IE-V850E-MC				IE-V850E-MC-A					
			A	B	C	D	B	C	D	E	F	G
C P U 機 能 に 依 存 す る 制 限 事 項	a-1	JMP直前のLD命令での割り込み中断。	×	○	○	○	×	×	○	○	○	○
	a-2	割り込み処理開始後のIRAMリードアクセスの制限事項。	×	○	○	○	×	×	○	○	○	○
	a-3	SCRnレジスタに書き込みを行うと直後のフェッチが異常になる。	×	○	○	○	×	×	○	○	○	○
	a-4	2サイクルDMAのシングルライン、シングルステップ転送。	×	○	○	○	×	×	○	○	○	○
	a-5	ROMレスモードでの起動直後、PortCが制御モードにならない。	×	○	○	○	×	×	○	○	○	○
	a-6	PortDH/DLの制限事項。	×	○	○	○	×	×	○	○	○	○
	a-7	STOPモード中のセルフリフレッシュサイクルとHOLDREQの競合によるHLDK不正出力。	×	○	○	○	×	×	○	○	○	○
	a-8	DRAM/SDRAMIに対するCBRリフレッシュの後にハードウェアSTOPが入った場合、フェッチ/データアクセスを失敗する。	×	○	○	○	×	×	○	○	○	○
	a-9	データ・キャッシュの制限事項。	恒久的な制限事項									
	a-10	PFCMレジスタがリード出来ない制限事項。	×	○	○	○	×	×	○	○	○	○
	a-11	VSBバスとメモリコントローラ(NB85E500/501/502)は併用して使用出来ない制限事項。	恒久的な制限事項									
	a-12	VSBバス信号の制限事項。	×	○	○	○	×	×	○	○	○	○
	a-13	NPBバス信号の制限事項。	恒久的な制限事項									
	a-14	メモリコントローラ(NB85E500)信号の制限事項。	×	○	○	○	×	×	○	○	○	○
	a-15	命令キャッシュの制限事項。	×	○	○	○	×	×	○	○	○	○
	a-16	バス・ホールド中のSDRAMアクセスに関する制限事項。	×	○	○	○	×	×	○	○	○	○
	a-17	SELFREF端子によるセルフ・リフレッシュ・サイクル制限事項。	×	○	○	○	×	×	○	○	○	○
	a-18	EDO DRAMに対するフライバイDMA転送に関する制限事項。	×	○	○	○	×	×	○	○	○	○
	a-19	アイドル・ステートを挿入したEDO DRAMに対するアクセスの制限事項。	×	○	○	○	×	×	○	○	○	○
	a-20	フライバイDMA転送に関する制限事項。	×	○	○	○	×	×	○	○	○	○
	a-21	シングルチップモード1、ROMLESSモード0、1の端子状態の制限事項。	—	—	—	—	×	×	○	○	○	○
	a-22	CALLT/SWITCH命令実行時のLD/SLD命令のライトバック不正の制限事項。	×	×	○	○	×	×	×	○	○	○
	a-23	V850E/IA1用エミュレータとして使用した場合、外部バスが使用出来ない制限事項。	×	○	○	○	—	—	—	—	—	—
	a-24	DMAAK信号の出力に関する制限事項。	×	×	○	○	×	×	×	○	○	○
	a-25	内蔵周辺I/O割り込みによるDMA起動に関する制限事項。	×	×	○	○	×	×	×	○	○	○
	a-26	EDO DRAMのバス衝突に関する制限事項。	×	×	○	○	×	×	×	○	○	○
	a-27	命令キャッシュ 2way associative機能の制限事項。	×	×	○	○	×	×	×	○	○	○
	a-28	DMAライン転送モード使用時の外部DMA強制終了中断。	×	×	○	○	×	×	×	○	○	○
	a-29	DMA・2サイクル転送終了時のDCHレジスタリードの制限事項。	×	×	○	○	×	×	×	○	○	○
	a-30	SDRAMの初期化とSELFREF入力の競合に関する制限事項。	×	×	○	○	×	×	×	○	○	○
	a-31	BSC、BCC、DWC0、DWC1レジスタのハーフワードライトの制限事項。	×	×	○	○	×	×	×	○	○	○
	a-32	SDRAMのライト動作に関する制限事項。	×	×	○	○	×	×	×	○	○	○
	a-33	DRAM→内蔵RAMへのブロック転送DMA直後のDRAMからのフェッチの制限事項。	×	○	○	○	×	×	○	○	○	○
	a-34	命令キャッシュの制限事項2。	恒久的な制限事項									
	a-35	sld命令の制限事項。	×	×	×	○	×	×	×	×	○	○
	a-36	VSBバス使用時、使用不可なI/Oアドレスがあります。	×	×	×	○	×	×	×	×	○	○
	a-37	命令キャッシュの制限事項3。	×	×	×	○	×	×	×	×	○	○
	a-38	DMAライン転送時のDMAAK信号の注意事項										
	a-39	ビット操作命令中の割り込み入力による制限事項	×	×	×	○	×	×	×	×	○	○
	a-40	ビット操作命令中のハードウェア・ストップによる制限事項	×	×	×	○	×	×	×	×	○	○
	a-41	外部要因によるDMA転送中断に関する制限事項	×	×	×	○	×	×	×	×	○	○
	a-42	バス・ホールド中のSDCKE信号の制限事項。	—	—	—	—	×	×	×	×	×	○
	a-43	SDRAMコントローラに関する注意事項	恒久的な制限事項									
	a-44	mul/mulu命令に関する制限事項	恒久的な制限事項									
	a-45	PageROMアクセスに関する不具合	恒久的な制限事項									
	a-46	DMA転送強制終了に関する不具合	恒久的な制限事項									
	a-47	NMIによるDMA強制中断に関する不具合	恒久的な制限事項									
	a-48	内蔵RAMでのプログラム実行とDMA転送に関する不具合	恒久的な制限事項									
	a-49	転送回数2回のDMA転送に関する不具合(1)	恒久的な制限事項									
	a-50	転送回数2回のDMA転送に関する不具合(2)	恒久的な制限事項									
	a-51	DMAのTCnビット自動クリアに関する不具合	恒久的な制限事項									

○: 制限事項解消済み

×: 該当する制限事項がある

—: 制限事項は該当しない

No	制限事項	該当管理記号								
		IE-V850E-MC				IE-V850E-MC-A				
		A	B	C	D	B	C	D	E	F
デ ィ ハ ッ グ 機 能 の 制 限 事 項	b-1	動作周波数の制限事項。								
	b-2	ガード領域フェッチ時のブレークタイミングの制限事項。								
	b-3	ミスライン時のトレース制限事項。(リードアクセス時のみ)								
	b-4	HALT命令実行時及びSTOPモード移行時のトレースデータの制限事項。								
	b-5	トレーサでビット操作命令(set1、clr1、not1、tst1)アクセスデータが不正にトレースされ								
	b-6	ビット操作命令のアクセスでデータ条件を含んだイベント検出が行えない。								
	b-7	HOLDステータスの制限事項。								
	b-8	エミュレーションROMエリアにライトアクセスするとROM内容が書き換わる。								
	b-9	SFRイリーガルブレークの制限事項。								
	b-10	プログラマブル/O空間の制限事項。 a)ブレーク中のプログラマブル/Oアクセス不可 b)プログラム実行中のイリーガルブレーク発生								
	b-11	ブレーク設定してもブレークしない制限事項。								
	b-12	DMAトレース時のアクセスアドレスに関する制限事項。								
	b-13	ブレーク中のDBPC、DBPSWアクセスの制限事項。								
	b-14	DBTRAP命令の制限事項。								
	b-15	IRAM28Kb時の不正ガードブレークの制限事項。								
	b-16	ビッグエンディアン使用時の不正トレースの制限事項。								
	b-17	DMAトレース時のアクセスデータに関する制限事項。								
	b-18	ブレーク中のSFRのリードアクセスに関する制限事項。								
	b-19	PSCレジスタアクセス時のソフトウェアブレーク設定によるハングアップ制限事項								
	b-20	同じ分岐命令が2回トレースされる制限事項								
	b-21	48bit長のmov命令トレースに関する制限事項								
	b-22	連続sld命令の不正トレース制限事項								
	b-23	外部メモリ拡張時のPCMI端子制限事項								
そ の 他	c-1	品質改善による改造工事。								

○:制限事項解消済み

×:該当する制限事項がある

-:制限事項は該当しない

注:詳細は、3. 不具合および仕様追加事項詳細をご覧ください。

### 3. 不具合および仕様追加事項詳細

#### a-1. JMP直前のLD命令での割込み中断。

【内容】 JR/JARL/Bcc 命令直前の LD/SLD 命令が割込みで中断された場合に、割込みルーチンからの復帰後再実行されない場合がある。

不具合発生条件は、

- 1) LD/SLD 命令と JR/JARL/Bcc 命令が連続している。
  - ・IROM からフェッチの場合 LD+JR が発生条件です
  - ・外部メモリからフェッチの場合 LD+ LD+ LD+JR が発生条件です
- 2) 上記 LD/SLD 命令の EX Stage のタイミングで、以前の LD/SLD のバスサイクルが2つ以上残っており、LD/SLD の EX Stage が Hold されている。
- 3) 上記の LD/SLD 命令の EX Stage が Hold されている期間に割込みが発生する。

の条件が全て重なった場合に、割込みで中断される LD/SLD 命令が割込みルーチンからの復帰後再実行されない。(EIPC/FEPC に JR/JARL/Bcc の分岐先がセーブされる)

#### － 発生メカニズム －

JR/JARL/Bcc 命令の ID Stage で割込みが発生した場合、復帰後の処理を高速化するために分岐先のアドレスを EIPC/FEPC にセーブする。(分岐命令は再実行の必要がないため)

一方、割込み応答性を向上させるため、LD/SLD/ST/SST 命令は EX Stage に遷移した後であってもバスサイクル発行前であれば中断する。この両者の機能が競合した場合、すなわち

JR/JARL/Bcc の ID Stage(=LD/SLD の EX Stage) で割込みが発生した場合、JR/JARL/Bcc の処理(EIPC/FEPC に分岐先をセーブする)より LD/SLD の処理 (自分自身のアドレスを EIPC/FEPC にセーブする)が優先される必要があるが、外部バスサイクルを待ち合わせている最中のみこの制御が前者優先になっており、結果として分岐先が EIPC/FEPC にセーブされてしまう。

なお、ST/SST 命令は待ち合わせが ID Stage で行われるため、上記 2)の条件が成り立たず、発生しない。

【回避策】 LD/SLD 命令と JR/JARL/Bcc 命令が連続している場合に、間に1つ以上の命令を挿入する。(LD/SLD の EXStage と JR/JARL/Bcc の ID Stage が重ならなければ発生しないので、命令は (JR/JARL/Bcc/LD/SLD 以外) 何でも可)

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

#### お客様へ

コンパイラのパッチツールとして、LD/SLD 命令と JR/JARL/Bcc 命令が連続している場合に、間にNOPを挿入するツールを用意しています。このパッチツールは現在リリースしているコンパイラ(弊社製、及び3rdパーティ製コンパイラ)には標準添付していません。ご要望の際はかならず弊社開発ツールサポートセンターまでお問い合わせください。

#### a-2. 割り込み処理開始後のIRAMリードアクセスの制限事項。

【内容】 割り込み処理開始後(割り込みハンドラ・アドレスへ分岐)の10システムCLK以内にIRAMをリードアクセスした場合、正常なリードアクセスが行なわれず”0”をリードしてしまう。10システムCLKをアセンブラで換算するとNOP命令20ステップの実行時間と等価です。

【回避策】 割り込み処理開始後にIRAMをリードアクセスする場合、IRAMリードを行う命令の前にダミーRD/WR(外部メモリ)を挿入する。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-3. SCRnレジスタに書き込みを行うと直後のフェッチが異常になる。**

【内容】 VSWCレジスタの設定を11HにしてBCTnレジスタにSDRAMを使用するように設定した後でSCRレジスタに書き込みを行うと直後に異常なフェッチサイクルが割り込んでくる。これは SCR レジスタライトサイクル直後に外部メモリへのアクセスが発生した場合、A[25:0]およびCSZ[7:0]が正常値でなくなる為、異常サイクルが発生します。

【回避策】 VPSTB のウェイトの設定を2ウェイト以上に設定する  
(VSWC レジスタの VSWL2/VSWL1/VSWL0 に 3'b010 以上を設定する)  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-4. 2サイクルDMAのシングル、ライン、シングルステップ転送。**

【内容】 2サイクルDMAのシングル、ライン、シングルステップ転送において、VSBバス上のWAITが3クロック以上挿入されると、DMAサイクル終了(TC信号出力)までフェッチ、データアクセスが行えません。

【回避策】 WAIT挿入は2クロック以内でご使用ください。  
なお修正前のエミュレータは実チップ(NB85Eコア含む)よりDMA動作が早くなります。  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-5. ROMレス・モードでの起動直後、PortCが制御モードにならない。**

【内容】 ROMレス・モード起動直後、制御モードになるはずのPortCが制御モードにならずポートモードになる。(PMCCCTの初期値が00hとなる)リセット直後の状態では DRAM アクセス不可となります。

【回避策】 DRAMをアクセスしたい場合、ROMレス・モードで起動してもPMCCCTの任意のbitへb“1”をライトしてください。  
リセット直後の状態で DRAM へアクセスするアプリケーションは実行しないでください。  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-6. PortDH/DLの制限事項。**

【内容】 PortDH/DLは起動直後、制御モード(D31-0)になってしまいます。  
(ポートモードで起動しません)

【回避策】 エミュレータ起動後、PMCDH、PMCDLレジスタへ“0”をライトする事によりポートモードに変更できます。  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-7. STOPモード中のセルフ・リフレッシュ・サイクルとHOLDREQの競合によるHLDK不正出力。**

【内容】 STOPモード中のDRAM/SDRAMに対するセルフ・リフレッシュと、HOLDREQが競合すると、セルフ・リフレッシュ・サイクル中であるにもかかわらず、HLDK信号が不正に出力します。

【回避策】 STOPモード中にHOLDREQを入力しないでください。  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-8. DRAM/SDRAMに対するCBRリフレッシュの後にハードウェアSTOPが入った場合フェッチ/データアクセスを失敗する。**

【内容】 DRAM/SDRAMのCBRリフレッシュ後にハードウェアSTOPが特定のタイミングで入った場合、ハードウェアSTOPによるセルフリフレッシュとフェッチ/データアクセスサイクルが競合し、CS信号が途切れる(ハイ・レベルになる)ためにフェッチ/データアクセスが正常に行えなくなります。特定のタイミングとは、バス・マスタ権がVSBバス上のデバイスから、NB85E内部へ遷

移中の事です。

【回避策】 ハードウェアSTOPは使用せず、ソフトウェアSTOPをご使用ください。  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-9. データ・キャッシュの制限事項。**

【内容】 本エミュレータはデータ・キャッシュのサポートを行う予定はありません。

**a-10. PFCCMLレジスタがリード出来ない制限事項。**

【内容】 PFCCMLレジスタはW/Rレジスタであるが、リードできません。

【回避策】 ライトオンリーレジスタとしてご使用ください。  
IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-11. VSBバスとメモリコントローラ(NB85E500/501/502)は併用して使用出来ない制限事項。**

【内容】 VSBバス信号の端子とメモリコントローラ信号の端子は兼用端子になっています。よって、

- ・VSBバス使用時、メモリコントローラは使用できません。
- ・メモリコントローラ使用時、VSBバスは使用できません。

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

**a-12. VSBバスの制限事項。**

【内容】 a) VSBバス上のマスタデバイスから、NPBバス上のスレーブソースがアクセス出来ません。  
b) エミュレータはVBA[27:26]を出力しません。  
c) エミュレータはVBSEQ[2:0]を出力しません。

【回避策】 a) 申し訳ありませんが、回避策はありません。  
b) IE-V850E-MC-EM1-A/Bで暫定対策をおこなっています。  
詳しくはIE-V850E-MC-EM1-A/Bの制限事項文書を参照してください。  
c) 申し訳ありませんが、回避策はありません。  
a)~c)について、IE-V850E-MCは管理記号Bで修正されています。  
IE-V850E-MC-Aは管理記号Dで修正されています。

**a-13. NPBバスの制限事項。**

【内容】 エミュレータはVPDACT信号の端子がなく、エミュレータ内部で常にアクティブレベルに固定されています。

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。



**a-14. メモリコントローラ(NB85E500)信号の制限事項。**

- 【内容】**
- a) エミュレータはASTBZ、DSTBZ、MPXCZ、RDCYZ、BUSSTZ信号を出力しません。よって、マルチプレクスバスは使用不可能です。
  - b) エミュレータはBENZ3-0、DC3-0信号を出力しません。
  - c) エミュレータはIORDZとCSZ2、IOWRZとCSZ5信号は兼用端子となっています。
  - d) エミュレータはMCE信号の端子がなく、エミュレータ内で常にアクティブレベルに固定されています。よってBCTnレジスタ(n=0、1)のMEnビット(n=0~7)は常に“1”で動作許可状態となります。
  - e) 本来IORD、IOWR信号は、通常のリード/ライト・サイクル、及びDMAのフライバイ転送時にアクティブになるが、DMAのフライバイ転送時しかアクティブになりません。
- 【回避策】**
- a) マルチプレクスバスは使用せず、セパレートバスをご使用ください。恒久的な制限事項とさせていただきます。
  - b) BENZ3-0、DC3-0を使用しないUDLの設計を行って頂くようお願い申し上げます。恒久的な制限事項とさせていただきます。
  - c) 外部I/Oをメモリブロック2、5へマッピングしないでください。IE-V850E-MCの管理記号B、IE-V850E-MC-Aの管理記号Dでピンアサインを以下のように変更しています。  
 旧管理記号のピンアサイン  
   \_IORDZと\_CSZ2が兼用端子  
   \_IOWRZと\_CSZ5が兼用端子  
 新管理記号のピンアサイン  
   \_IORDZと\_CSZ5が兼用端子  
   \_IOWRZと\_CSZ2が兼用端子
  - d) 申し訳ありませんが、回避策はありません。恒久的な制限事項とさせていただきます。
  - e) 申し訳ありませんが、回避策はありません。IE-V850E-MCは管理記号Bで修正されています。IE-V850E-MC-Aは管理記号Dで修正されています。

**a-15. 命令キャッシュの制限事項。**

- 【内容】**
- a) オートフィルした後、キャッシュャブル領域からアンキャッシュャブル領域に移り、再びキャッシュャブル領域に戻ると、最初の1クロックがヒットしません。
  - b) 命令キャッシュにキャッシングされている命令をフェッチ中に、キャッシュクリアビットをセットすると、直ちにミスキャッシュによるバースト転送が行われます。
  - c) タグ・クリア・ビットをセットして命令キャッシュのタグをクリアする場合、タグは正常にクリアされるが、LRUが正常にクリアされない。
- 【回避策】**
- 申し訳ありませんが、回避策はありません。IE-V850E-MCは管理記号Bで修正されています。IE-V850E-MC-Aは管理記号Dで修正されています。

**a-16. バス・ホールド中のSDRAMアクセスに関する制限事項。**

- 【内容】**
- バス・ホールド中に外部のバス・マスタがSDRAMをアクセスした場合、バス・ホールド状態に入る直前のページ情報やバンク情報が保持されたままとなっている為、外部のバス・マスタは正常なアクセスを行うことができません。また、バス・ホールド状態になるとSDCLK信号は、Hi-z状態になりますが、Hi-z状態になる直前のSDCLK信号のレベルが不定となってしまいます。
- 【回避策】**
- バス・ホールド中は、外部のバス・マスタからSDRAMのアクセスを行わないでください。IE-V850E-MCは管理記号Bで仕様変更しています。IE-V850E-MC-Aは管理記号Dで仕様変更しています。仕様変更後は、バス・ホールド中もSDCLK信号を出力します。

**a-17. SELFREF端子によるセルフ・リフレッシュ・サイクル制限事項。**

【内容】 SELFREF端子によりセルフ・リフレッシュ・サイクルに移行した場合、REFRQ(-)信号がアクティブになりません。

【回避策】 申し訳ありませんが、回避策はありません。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-18. EDO DRAMに対するフライバイDMA転送に関する制限事項。**

【内容】 オンページ・アクセスをノーウエイト、及びRASホールド・モードを許可に設定したEDO DRAMにおいて、オンページ状態でRASホールド中に、そのEDO DRAMから外部I/Oに対するフライバイDMA転送が発生した場合、DMAサイクルが途中で中断され、1度も転送されず、その後のEDO DRAMアクセスが正常に行えません。

【回避策】 CASプリチャージ・ウエイト、またはデータ・ウエイトを1以上挿入してください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-19. アイドル・ステートを挿入したEDO DRAMに対するアクセスの制限事項。**

【内容】 アイドル・ステート(1~3)を挿入したEDO DRAMに対するアクセスの直後に、ロウ・アドレス・ホールド・ウエイトが挿入されていない別のEDO DRAMへのアクセスを行った場合、正常にリード/ライトができません。

【回避策】 ロウ・アドレス・ホールド・ウエイトが挿入されていないEDO DRAMに対し、ロウ・アドレス・ホールド・ウエイトを1以上挿入してください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-20. フライバイDMA転送に関する制限事項。**

【内容】 あるDMAチャンネルを外部メモリから外部I/OへのDMA転送をフライバイによるブロック転送モードに設定し、別のDMAチャンネルを、シングル/シングルステップ/ラインのいずれかの転送モードで、外部メモリから外部I/Oへのフライバイ転送、または外部I/Oから外部メモリへのフライバイ転送に設定した場合、この2つのDMA転送が競合した際に、正常にDMA転送が行われません。

【回避策】 ブロック転送モードにてDMA転送を行うチャンネルの外部メモリがSRAMの場合、データ・ウエイト(外部WAIT端子によるウエイト挿入を含む)、アドレス・セットアップ・ウエイト、アイドル挿入ステートの合計が1以下になるように設定してください。

(例:データ・ウエイト:1、アドレス・セットアップ・ウエイト:0、アイドル・ステート:0、外部WAIT端子によるウエイト挿入なしで使用してください。)

ブロック転送モードにてDMA転送を行うチャンネルの外部メモリがEDO DRAMの場合、何れか一方のチャンネルを2サイクル転送で使用してください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-21. シングルチップ・モード1、ROMLESSモード0、1の端子状態の制限事項。**

【内容】 シングルチップ・モード1、ROMLESSモード0、1においてリセット時、所定の各端子がHi-Zとならずに、特定のレベルを出力してしまいます。(下表参照)

端子	動作状態	現状	変更後
		リセット (シングルチップ・モード1, ROMレス・モード0,1)	リセット (シングルチップ・モード1, ROMレス・モード0,1)
A0-A15 (PAL0-PAL15)		L	Hi-Z
A16-A25 (PAH0-PAH9)		L	Hi-Z
D0-D15 (PDL0-PDL15)		L	Hi-Z
CS0-CS7 (PCS0-PCS7)		H	Hi-Z
RAS1, RAS3, RAS4, RAS6 (PCS1, PCS3, PCS4, PCS6)		-	-
IOWR (PCS2)		-	-
IORD (PCS5)		-	-
LWR, UWR (PCT0, PCT1)		H	Hi-Z
LCAS, UCAS (PCT0, PCT1)		-	-
LDQM, UDQM (PCT0, PCT1)		-	-
RD (PCT4)		H	Hi-Z
WE (PCT5)		H	Hi-Z
OE (PCT6)		H	Hi-Z
BCYST (PCT7)		H	Hi-Z
WAIT (PCM0)		H	Hi-Z
CLKOUT (PCM1)		動作	動作
BUSCLK (PCM1)		-	-
HLDK (PCM2)		H	Hi-Z
HLDRQ (PCM3)		-	Hi-Z
REFRQ (PCM4)		H	Hi-Z
SELFREF (PCM5)		-	Hi-Z
SDCKE (PCD0)		L	Hi-Z
SDCLK (PCD1)		動作	Hi-Z
SDCAS (PCD2)		-	-
LBE (PCD2)		H	Hi-Z
SDRAS (PCD3)		-	-
UBE (PCD3)		H	Hi-Z
DMAAK0-DMAAK3(PBD0-PBD3)		H	Hi-Z

備考 Hi-Z :ハイ・インピーダンス  
H :ハイ・レベル出力  
L :ロウ・レベル出力  
- :入力非サンプリング

【回避策】 申し訳ありませんが、回避策はありません。

本制限事項はV850E/MA1以外は該当しません。

IE-V850E-MCは非該当です。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-22. CALLT/SWITCH命令実行時のLD/SLD命令のライトバック不正の制限事項。**

【内容】 CALLT/SWITCH 命令直後のハーフワードの WB フィールドに相当するビット (bit15-11) が CALLT/SWITCH の前最後に実行された LD/SLD 命令の WB フィールドと一致する場合、LD/SLD のバスサイクル完了前に CALLT/SWITCH が実行されると LD/SLD の結果がレジスタにライトバックされません。

不具合発生条件は、

1) LD/SLD 命令が発行される

2) 上記 LD/SLD 命令のバスサイクルが完了する前に CALLT/SWITCH 命令が発行される

3) 2) の CALLT/SWITCH 命令直後のハーフワード bit15-11 が 1) の LD/SLD 命令のライトバックレジスタフィールド (bit15-11) と同じである

の条件が全て重なった場合に、1) の LD/SLD 命令の結果がレジスタにライトバックされません。

なお、VSB 経由のフェッチに限定される場合は上記に加え 4) LD/SLD と CALLT/SWITCH の間の命令数が 3 以下 (ld-reti-callt/switch では発生しない) の条件が必要です。

【回避策】 下記 1) または 2) の何れかで回避が可能です。

1) CALLT/SWITCH 直後のハーフワードの bit15-11 を 00000B にする

2) CALLT/SWITCH 直前および割込み処理の最後 (RETI 直前) に mov r31, r0 を挿入する

(ret\_i 直前に挿入が必要なのは挿入した mov と callt の間で割込みが発生した場合の対処)

なお、VSB 経由にフェッチのみに限定できる場合は 2) で ret\_i 直前の mov 挿入は必要ありません。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**お客様へ**

コンパイラのパッチツールとして、CALLT/SWITCH 直前および割込み処理の最後 (RETI 直前) に mov r31, r0 を挿入するツールを用意しています。

このパッチツールは現在リリースしているコンパイラ (弊社製、及び 3rd パーティ製コンパイラ) には標準添付していません。

ご要望の際はかならず弊社開発ツールサポートセンターまでお問い合わせください。

**a-23. V850E/IA1用エミュレータとして使用した場合、外部バスが使用できない制限事項。**

【内容】 V850E/IA1用エミュレータとして使用した場合、外部バスが使用できません。

【回避策】 申し訳ありませんが、回避策はありません。

IE-V850E-MC は管理記号 B で修正されています。

IE-V850E-MC-A は非該当です。

**a-24. \_DMAAK 信号の出力に関する制限事項。**

【内容】 本来、2サイクルのDMA転送中の \_DMAAK 信号は、アクティブのままですが、リード・サイクルとライト・サイクルの間で、1クロック間 DMAAK(-) 信号がインアクティブになります。

このため、外部でDMA転送の回数をカウントするような場合や、DMAAK(-) 信号の立ち上がりエッジのみで外部I/Oを起動する場合に、不正動作になります。

【回避策】 申し訳ございませんが、回避策はありません。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**a-25. 内蔵周辺 I/O 割り込みによる DMA 起動に関する制限事項。**

【内容】 内蔵周辺 I/O の割り込みにより DMA を起動する場合、タイミングによっては DMA を起動できないことがあります。

【回避策】 申し訳ございませんが、回避策はありません。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**a-26. EDO DRAM のバス衝突に関する制限事項。**

【内容】 EDO DRAM において、RAS ホールド・モードを使用した場合、EDO DRAM のライト・サイクル、及びアイドル・ステートが挿入されていない EDO DRAM のリード・サイクルの最終ステート (テストステート) と、次のバスサイクルの第一ステートが重なるため、データバスが衝突する可能性があります。

RAS ホールド・モードを使用しないでください。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**a-27. 命令キャッシュ 2way associative 機能の制限事項。**

【内容】 任意のアドレス A でミスヒットし、次に別のアドレス B でキャッシュヒットし、アドレス A でヒットした場合 WAY の管理情報が不正になり、命令が化けることがあります。

【回避策】 申し訳ありませんが、回避策はありません。

8K(4K)-2way associative を使用しないで、4K(2K)-Direct モードを使用してください。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**a-28. DMA ライン転送モード使用時の外部 DMA 転送強制終了中断。**

【内容】 DMA ライン転送モード使用時に、外部 DMA 転送強制中断信号 (IDMASTP) がアクティブになると、DMA が VSB を占有し、CPU が VSB アクセスを行えなくなり、ハングアップする場合があります。

【回避策】 ライン転送モード時に IDMASTP を使用しない。または IDMASTP 信号を使用する場合は、ライン転送モードを使用せず、シングルステップ転送モードを使用する。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**a-29. DMA・2サイクル転送終了時の DCHC レジスタリードの制限事項。**

【内容】 VDB バスに接続された RAM から同じく VDB バスに接続された RAM への 2 サイクル転送モードの DMA 転送実行終了時に DCHC レジスタをリードしたとき、TC ビットが 1 であることを読み出す前に TC ビットが 0 クリアされている場合があります。

【回避策】 RAM から RAM への DMA 転送を使用しないでください。

または VSWL レジスタを 3 以下で使用してください。

※システム LSI 開発のお客様のみが該当します。

V850E/MA1、V850E/MA2、V850E/IA1、V850E/IA2 をご使用のお客様は非該当です。

IE-V850E-MC は管理記号 C で修正されています。

IE-V850E-MC-A は管理記号 E で修正されています。

**a-30. SDRAMの初期化とSELFREF入力競合に関する制限事項。**

【内容】 SDRAMに対する初期設定前(SCRレジスタへの書き込み前)にスタンバイモード、もしくはSELFREF端子入力によるセルフ・リフレッシュ・サイクルが発生した場合、その後のSDRAMサイクルが異常になります。

【回避策】 SDRAMの初期設定が終わるまで、スタンバイモード、もしくはSELFREF端子入力を行わないでください。

IE-V850E-MCは管理記号Cで修正されています。

IE-V850E-MC-Aは管理記号Eで修正されています。

**a-31. BSC, BCC, DWC0, DWC1 レジスタのハーフワードライトの制限事項。**

【内容】 BSC, BCC, DWC0, DWC1 レジスタをハーフワード(16bit)でライトすると、レジスタの上位8bit(8-15)にデータが正常に書き込めません。

本制限事項により以下の現象がエミュレーションメモリアクセス時に発生します。

(ターゲットメモリアクセスは非該当です)

- ・CS4-CS7 に対して BCC レジスタで設定した IDLE-state が挿入されません。
- ・CS4-CS7 に対して BSC レジスタで設定した バスサイズ になりません。
- ・CS2-CS3 に対して DWC0 レジスタで設定した DATA-wait が挿入されません。
- ・CS6-CS7 に対して DWC1 レジスタで設定した DATA-wait が挿入されません。

【回避策】 BSC, BCC, DWC0, DWC1 レジスタへ設定するハーフワードライトする前に、上位8bitへ設定するデータを下位8bitへバイトライトし、その後ハーフワードライトしてください。

例 BSC(0xffff066)へ0x1234を書き込む場合。

本来のアクセス例 (この場合制限事項の現象がでます)

```
movhi 0xffff, r0, r10
ori   0xf0000, r10, r10
ori   0x1234, r0, r11
st. h r11, 0x66[r10]
```

回避例(制限事項の現象はでません)

```
movhi 0xffff, r0, r10
ori   0xf0000, r10, r10
ori   0x12, r0, r11
st. b r11, 0x66[r10] ←上位 8bit へライトする 0x12 を、下位 8bit へライトする
ori   0x1234, r0, r11
st. b r11, 0x66[r10] ←0x1234 をハーフワードライトする
```

IE-V850E-MCは管理記号Cで修正されています。

IE-V850E-MC-Aは管理記号Eで修正されています。

**a-32. SDRAMのライト動作に関する制限事項。**

【内容】 SDRAMの連続ライト・サイクルにおいて、2サイクル目以降のデータ出力が本来よりも0.5クロック早く終了してしまうため、SDRAMへの書き込みができないことがあります。

【回避策】 データバスを16ビット幅で使用する場合は、ワード・データ・アクセスを行わないでください。8ビット幅で使用する場合は、ハーフワード・データ・アクセス、ワード・データ・アクセスを行わないでください。

IE-V850E-MCは管理記号Cで修正されています。

IE-V850E-MC-Aは管理記号Eで修正されています。

**a-33. DRAM→内蔵RAMへのブロック転送DMA直後のDRAMからのフェッチの制限事項。**

【内容】 DRAM→内蔵RAMへのブロック転送DMA直後のDRAMからのフェッチを実行すると、OEが最初のフェッチサイクルでアクティブにならないため、不正なデータをフェッチします。

申し訳ありませんが、回避策はありません。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**a-34. 命令キャッシュの制限事項2。**

【内容】 a) リセット直後のプログラムの初期設定にて、キャッシュ・コンフィグレーション・レジスタ(BHC)を設定する前に以下の命令を必ず実行してください。

```
st. h r0, 0x0ffff072[r0]
```

この命令を実行したあと、BHCレジスタを命令キャッシュ可能に設定することでキャッシュが有効となります。

b) オートフィル機能はWAY0のみ使用可能です。

ICCレジスタのビット5には必ず0をライトしてください。

c) BHCレジスタの設定を行う命令自身が存在する領域に対してキャッシュ設定はできません。

例えばCS0領域に存在するBHC設定命令でCS0領域をキャッシュ不可領域からキャッシュ可能領域に、またはキャッシュ可能領域からキャッシュ不可領域に設定することはできません。

ただし、VFBおよびVDBに接続されたメモリ領域の命令からは全てのCS領域に対してキャッシュの設定が可能です。

申し訳ありませんが、回避策はありません。

恒久的な制限事項とさせていただきます。

**a-35. sld命令の制限事項。**

【内容】 以下の3種類の命令シーケンス(\*は任意)において発生します。

最初の命令でロードした値(を収めたレジスタ rX\*1)を他の命令で更新\*2する際、この rX を更新する命令の直後に SLD 命令があると、更新する命令(yyy \*, rX)と SLD 命令(sld \*, rY)の2つの命令は同時発行されます。このとき、SLD 直後の命令が rX レジスタを使用する命令である場合、rX は更新された値ではなく最初にロードした(古い)値が使用されてしまいます\*3。(レジスタは正しく更新されます)

命令シーケンス Type1:

- (1) xxx \*
- (2) sld \*, rX ←\*1 最初の命令でロードした rX 値
- (3) yyy \*, rX ←\*2 他命令で rX を更新
- (4) sld \*, rY
- (5) rX の値を使用する命令 ←\*3 更新された(3)の rX 値でなく、最初にロードした(古い) rX 値を使用してしまう。

命令シーケンス Type2:

- (1) ld/sld \*, Rx ←\*1 最初の命令でロードした rX 値
- (2) xxx (1命令以上)
- (3) yyy \*, rX ←\*2 他命令で rX を更新
- (4) sld \*, rY
- (5) rX の値を使用する命令 ←\*3 更新された(3)の rX 値でなく、最初にロードした(古い) rX 値を使用してしまう。

## 命令シーケンス Type3:

- (1) ld/sld \*, rX ←\*1 最初の命令でロードした rX 値
- (2) メモリリードを行わない任意の命令列
- (3) xxx (1命令以上)
- (4) yyy \*, rX ←\*2 他命令で rX を更新
- (5) sld \*, rY
- (6) rX の値を使用する命令 ←\*3 更新された(4)の rX 値でなく、最初にロードした(古い) rX 値を使用してしまう。

なお発生条件は使用するエミュレータのセットにより違いがあります。(対象 CPU により違いがあります)  
以下に対象 CPU 毎の発生条件を記述します。

## a) システム LSI 開発の場合の発生条件および内容詳細。

(エミュレータは IE-V850E-MC-A + IE-V850E-MC-EM1-A/B)

下記3タイプの命令シーケンスが以下のいずれかのフェッチ条件で実行された場合に発生します。

- 1) エミュレータの IROM, IRAM からのフェッチ
- 2) VSB バスからのフェッチで 32bit のアクセスが 2clk 以下の場合
  - 2a) VSB バス上で 32bit-0/1wait または 16bit-0wait
  - 2b) Nx85E500 メモリコントローラを使用し SRAM サイクルで 32bit-0wait
- 3) iCACHE 許可領域を使用した全ての条件での VSB バスからのフェッチ

## 命令シーケンス Type1:

- (1) xxx \* (注1の命令)
- (2) sld \*, rX (エミュレータの IRAM アクセス)
- (3) yyy \*, rX (注2の命令)
- (4) sld \*, rY (エミュレータの IRAM アクセス)
- (5) rX の値を使用する命令

## 命令シーケンス Type2:

- (1) ld/sld \*, rX (エミュレータの IRAM アクセス)
- (2) xxx (1命令以上) (注3の命令)
- (3) yyy \*, rX (注2の命令)
- (4) sld \*, rY (エミュレータの IRAM アクセス)
- (5) rX の値を使用する命令

## 命令シーケンス Type3:

- (1) ld/sld \*, rX (VSB バスアクセス)
- (2) メモリリードを行わない任意の命令列
- (3) xxx (1命令以上) (注3の命令)
- (4) yyy \*, rX (注2の命令)
- (5) sld \*, rY (エミュレータの IRAM アクセス)
- (6) rX の値を使用する命令



b) V850E/MA1 の場合の発生条件および内容詳細。

(エミュレータは IE-V850E-MC-A + IE-703107-MC-EM1)

下記3タイプの命令シーケンスがエミュレータの IROM または IRAM からのフェッチで実行された場合に発生します。

命令シーケンス Type1:

- (1) xxx \* (注1の命令)
- (2) sld \*, rX (エミュレータの IRAM アクセス)
- (3) yyy \*, rX (注2の命令)
- (4) sld \*, rY (エミュレータの IRAM アクセス)
- (5) rX の値を使用する命令

命令シーケンス Type2:

- (1) ld/sld \*, rX (エミュレータの IRAM アクセス)
- (2) xxx (1命令以上) (注3の命令)
- (3) yyy \*, rX (注2の命令)
- (4) sld \*, rY (エミュレータの IRAM アクセス)
- (5) rX の値を使用する命令

命令シーケンス Type3:

- (1) ld/sld \*, rX (以下の※1参照)
- (2) メモリリードを行わない任意の命令列
- (3) xxx (1命令以上) (注3の命令)
- (4) yyy \*, rX (注2の命令)
- (5) sld \*, rY (エミュレータの IRAM アクセス)
- (6) rX の値を使用する命令

※1: SDRAM、またはデータ・アクセス・ウェイトが0ウェイトであるEDO DRAMから、このld/sld命令をフェッチする場合です。1ウェイト以上のEDO DRAMやSRAM、ページROMへのアクセスは対象外です。

c) V850E/IA1 の場合の発生条件および内容詳細。

(エミュレータは IE-V850E-MC + IE-703116-MC-EM1)

下記2タイプの命令シーケンスがエミュレータの IROM または IRAM からのフェッチで実行された場合に発生します。

命令シーケンス Type1:

- (1) xxx \* (注1の命令)
- (2) sld \*, rX (エミュレータの IRAM アクセス)
- (3) yyy \*, rX (注2の命令)
- (4) sld \*, rY (エミュレータの IRAM アクセス)
- (5) rX の値を使用する命令

命令シーケンス Type2:

- (1) ld/sld \*, rX (エミュレータの IRAM アクセス)
- (2) xxx (1命令以上) (注3の命令)
- (3) yyy \*, rX (注2の命令)
- (4) sld \*, rY (エミュレータの IRAM アクセス)
- (5) rX の値を使用する命令

V850E/IA1の場合、命令シーケンス Type3は非該当です。

注1: 対象命令 (r0, r30 以外のレジスタへ書き込みを行う以下の命令)

mov, not, satsubr, satsub, satadd, zxb, zxh, sxb, sxh, or, xor, and, subr, sub, add, shr, sar, shl

注2: 対象命令 (rX へ書き込みを行う以下の命令; rX は r0, r30 以外)

mov, not, satsubr, satsub, satadd, zxb, zxh, sxb, sxh, or, xor, and, subr, sub, add, shr, sar, shl

注3: 対象命令 (r0, rX 以外のレジスタへの書き込みがあり、rX を使用しない以下の命令)

mov, not, satsubr, satsub, satadd, zxb, zxh, sxb, sxh, or, xor, and, subr, sub, add, shr, sar, shl,  
addi, movea, movhi, satsubi, ori, xori, andi, setf, ldsr, stsr, sasf, cmov, bsw, bsh, hsw

**【回避策】** 弊社にてチェックツールを準備しています。これを用いて対象シーケンスが存在するか否かをチェックしてください。なお、使用方法はチェックツールの readme をご参照ください。不具合チェックツールにて対象シーケンスが存在した場合、下記の1つ以上の対策を行う必要があります。

a) 全ての SLD 命令を LD 命令に置き換える。

GHS のみ、コンパイラオプションで対応可能です。

b) 対象の SLD 命令の直後にnopを挿入する。

弊社製コンパイラ(CA850)の場合、対象の SLD 命令の直後にnopを挿入し不具合シーケンスを回避するオプションを追加します。

c) 対象の SLD 命令を直前の命令と入れ替える。

SLD 命令が分岐先でない場合はアセンブラ記述上で入れ替え可能です。

Cソースコンパイラを使用する場合は(1)または(2)の対策をとってください。

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

※検出ツール、及びコンパイラ対応の詳細に関しましては、開発ツール・サポート・センターへお問い合わせ願います。

#### a-36. VSBバス使用時、使用不可なI/Oアドレスがあります。

**【内容】** VSBバス使用時、以下のI/Oアドレスは使用不可です。(イメージ領域含む)

64MB モード時 :3FFF480H — 3FFF4BEH

256MB モード時 :FFFF480H — FFFF4BEH

申し訳ありませんが、回避策はありません。

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

### a-37. 命令キャッシュの制限事項3。

#### 【内容】

- ① CPUへの割り込みのタイミングによって不具合が発生します。キャッシュにデータをリフィルしていないにもかかわらず、割り込みから復帰すると、リフィルしていないアドレスに対してキャッシュがヒットしてしまい、CPUが不正なデータをフェッチし、ハングアップしてしまいます。
- ② ICCレジスタの操作によりTAGクリアを行った場合、クリア以前のキャッシュの動作状態に依存して、ライン0～ライン3(INDEX=00h～03h)の計4ライン(1ライン分のキャッシュ・データは4ワード)のTAGがクリアされない場合があります。
- ③ haltを実行し、haltが解除されるとicacheが不正な命令をCPUに返しハングアップする場合があります。

#### 不具合発生条件

- ①の不具合は以下の条件を満たす場合、不具合が発生します。

割り込みハンドラ・アドレス(0x00000000h-0x00000800h)のあるメモリ領域が BHC レジスタでキャッシュ可能領域に設定されている場合。

なお、以下の条件下では本不具合は発生しません。

- 1) 割り込みハンドラ・アドレスのあるメモリ領域がキャッシュ不可領域に設定されている場合。
- 2) 割り込みハンドラ・アドレスのあるメモリ領域が VFB に接続されている場合で、チップ領域セレクト制御レジスタ 0(CSC0)のビット 0,4,8,12 のすべてに 0 を設定 (VDCSZ がアクティブにならないように設定)している場合。

- ②の不具合は命令キャッシュを使用している全ての条件で発生します。

- ③の不具合は以下の条件を満たす場合、不具合が発生します。

icache可視領域にhalt命令が有り、かつそのhalt命令が4wordバウンダリの最初に無い場合。(アドレス[3:0]=4' b0000以外にhalt命令がある場合)

#### 【回避策】

- ①の制限事項の回避策

ソフトウェアにて下記(1)～(3)の何れかの対策を行ってください。

- (1) BHC レジスタにて、割り込みハンドラ・アドレス(0x00000000h-0x00000800h)のあるメモリ領域をキャッシュ不可領域に設定してください。
- (2) 割り込みハンドラ・アドレスのある CS(チップセレクト)領域をキャッシュ許可領域に設定する必要があり、かつ、他の CS 領域上にキャッシュ不可のメモリ領域が存在する場合。

割り込みハンドラ・アドレスに分岐した直後、一旦キャッシュ不可領域に分岐してから本来の割り込み処理ルーチンに分岐してください。           の部分は対策として追加する命令です。

(例)

```
.offset 0x80 (割り込みハンドラ・アドレス)
jr      INTO_UC

.section "uncache"      -- キャッシュ不可領域
INT_UC:
jr      INTO

.section "cache"      -- キャッシュ可能領域(本来の割り込み処理ルーチン)
INT0:
...
...
...
reti
```

- (3) 割り込みハンドラ・アドレスのある CS(チップセレクト)領域をキャッシュ許可領域に設定する必要があり、かつ、他の CS 領域上にキャッシュ不可のメモリ領域が存在しない場合。

割り込みハンドラ・アドレスに分岐した直後、キャッシュ許可領域内で異なる TAG のラインに 4 回以上分岐してから本来の割り込み処理ルーチンに分岐してください。      の部分は対策として追加する命令です。

(例)

```

.offset 0x80 (割り込みハンドラ・アドレス)
jr      INTO_DMY

.section "dmy"    -- キャッシュ可能領域
INTO_DMY:
jr      line0
nop;nop;nop;nop;nop;nop;nop;

line0:
jr      line1
nop;nop;nop;nop;nop;nop;nop;

line1:
jr      line2
nop;nop;nop;nop;nop;nop;nop;

line2:
jr      line3
nop;nop;nop;nop;nop;nop;nop;

line3:
jr      INTO

.section "cache" -- キャッシュ可能領域(本来の割り込み処理ルーチン)
INTO:
        (TAG のバッファの内容を完全に更新するために1ライン
        (4word)以上分岐のない命令列が存在する必要があります)
...
reti

```

IE-V850E-MCは管理記号Dで修正されています。  
 IE-V850E-MC-Aは管理記号Fで修正されています。

②の制限事項の回避策

ソフトウェアにて TAG クリアを行う際、TAG クリア (ICC レジスタへの書き込みと完了待ち) の操作を 2 回おこなってください。

(例)

```

mov     0x3,r2

LOP0:
ld.h    ICC[r0],r1
cmp     r0,r1
bnz     LOP0
st.h    r2,ICC[r0]

LOP1:
ld.h    ICC[r0],r1
cmp     r0,r1
bnz     LOP1
st.h    r2,ICC[r0]    -- TAG クリア1回目

LOP2:
ld.h    ICC[r0],r1
cmp     r0,r1        -- TAG クリア2回目

```

bnz LOP2

恒久的な制限事項とさせていただきます。

### ③の制限事項の回避策

ソフトウェアにて halt 命令を 4word バウンダリの最初に配置してください。  
(アドレス[3:0]=4' b0000 に halt 命令を配置してください。)

(アセンブラでの記述例)

```
jr EXIT
    .section "tmp2", .text >0x0402800    --ヘキサでは最下位を0にする
EXIT:
    halt
```

(C 言語での記述例)

```
asm("align 16");
asm("halt");
```

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

### a-38. DMA ライン転送時の DMAAK 信号の注意事項

【内容】 DMA ライン転送時、DMAAK 信号は NB85E コア出力信号と同じタイミングで出力します。(以下にインサーキット・エミュレータからの出力タイミングを示します。)

V850E/MA1,V850E/MA2 開発の場合:本制限事項は該当しません。

(ライン転送をサポートしていません。)

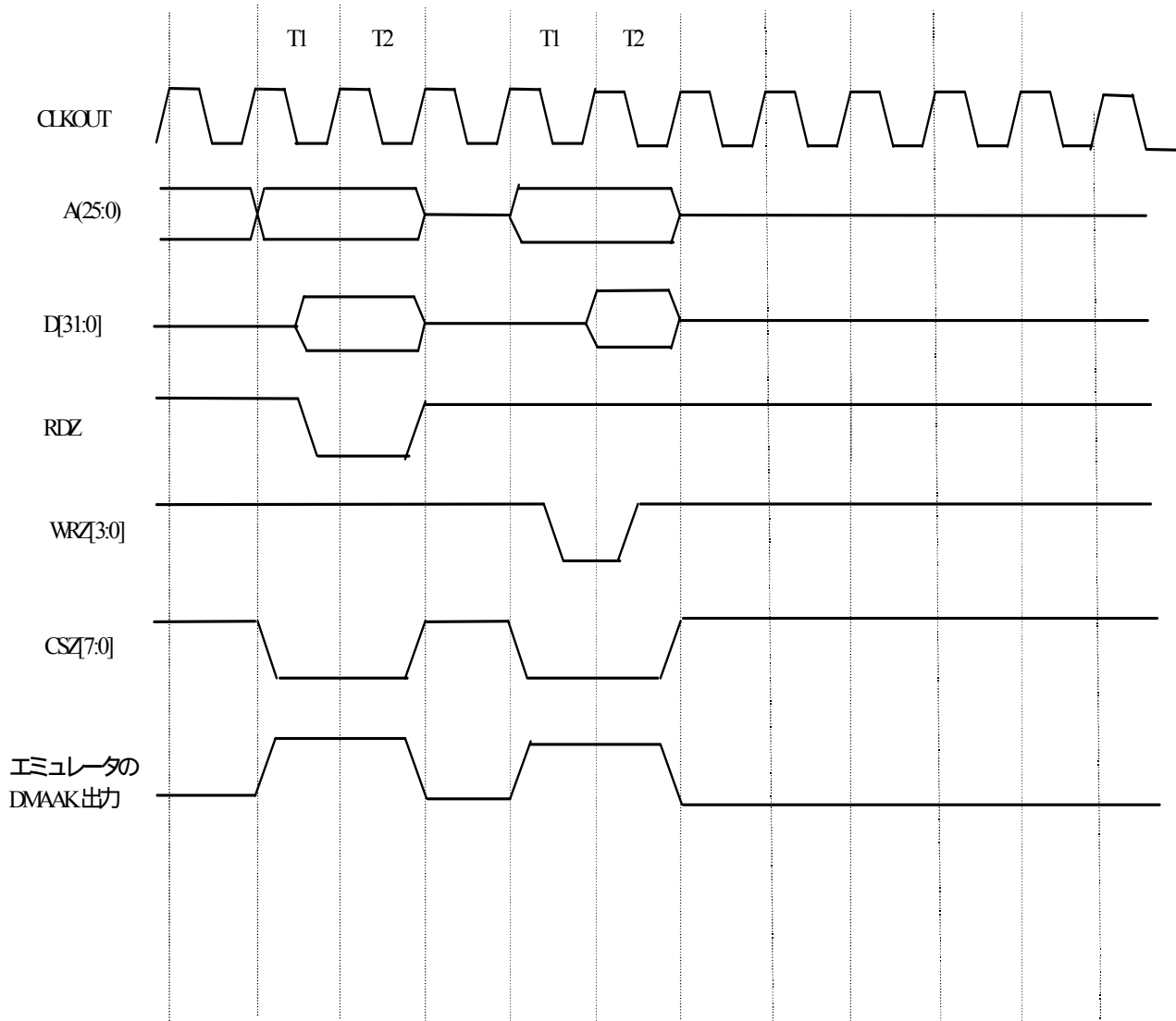
V850E/IA1,V850E/IA2 開発の場合:本制限事項は該当しません。

(ライン転送をサポートしていません。)

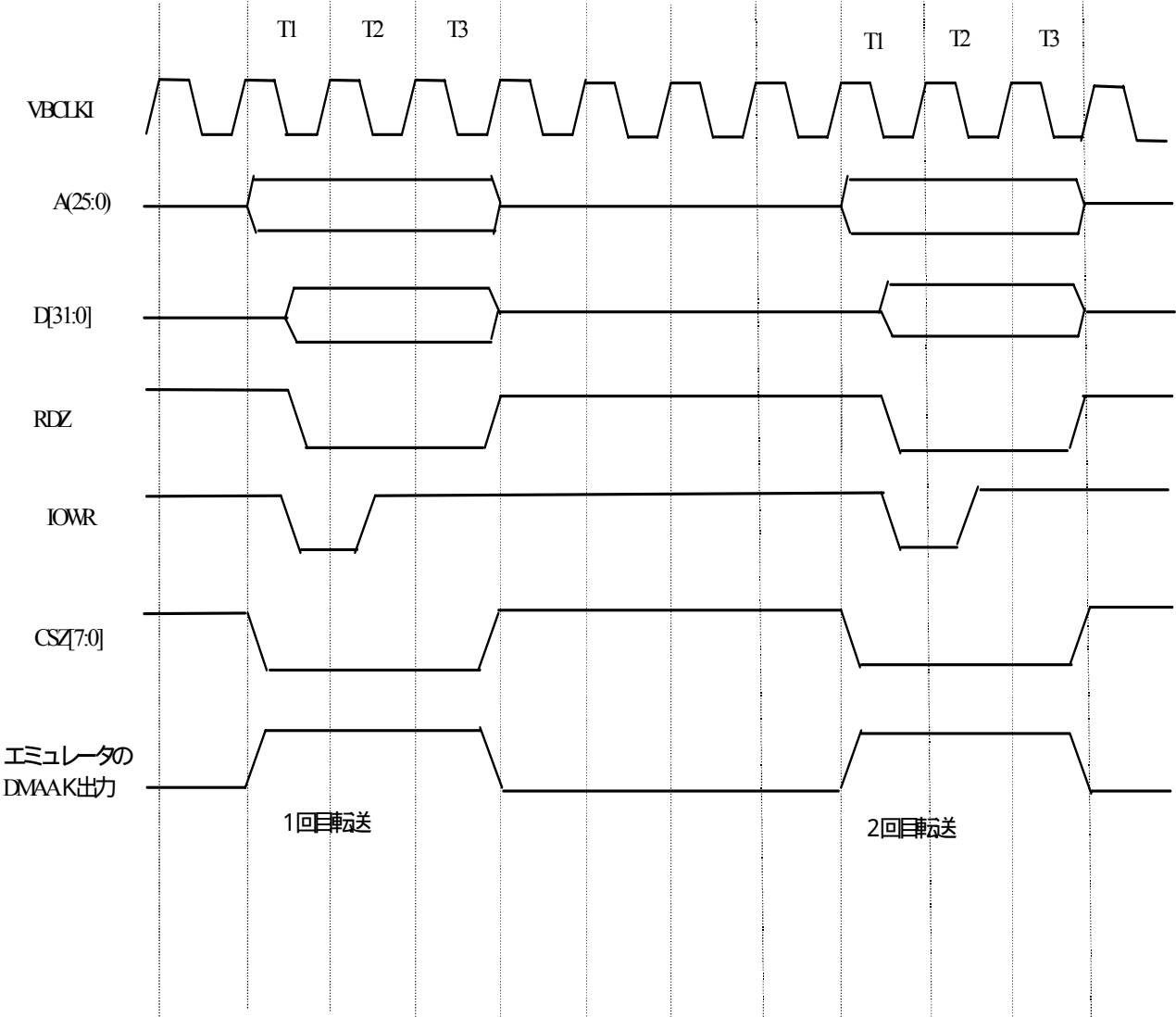
システムLSI開発の場合:本制限事項は該当しません。

(DMACTV 信号として正常に出力されます。)

#### インサーキット・エミュレータからの2サイクル・ライン転送タイミング(外部 SRAM→外部 SRAM)



インサーキット・エミュレータからのフライバイ・ライン転送タイミング(外部 SRAM→外部 I/O)



**a-39. ビット操作命令中の割り込み入力による制限事項。**

【内容】 下記の該当周辺レジスタ(NPB 領域)へのビット操作命令アクセス(set1、clr1、not1)と割り込み要求が競合すると、割り込み復帰アドレス待避レジスタ(EIPC、FEPC)に書き込まれる割り込み復帰アドレスが不正に2アドレス分多くなり、割り込み処理からの復帰が異常アドレスに分岐します。競合する割り込みとは、マスカブル割り込み全般、ノンマスカブル割り込み(NMI)です。

## - 該当周辺レジスタ -

## ・V850E/MA1、IA1 開発の場合

0xFFFF100～0xFFFF1FF にマッピングされている全レジスタ

0xFFFF900～0xFFFF9FF にマッピングされている全レジスタ

## ・システム LSI(64M バイト・モード)開発の場合

0x3FFF100～0x3FFF1FF にマッピングされている全レジスタ

0x3FFF900～0x3FFF9FF にマッピングされている全レジスタ

## ・システム LSI(256M バイト・モード)開発の場合

0xFFFF100～0xFFFF1FF にマッピングされている全レジスタ

0xFFFF900～0xFFFF9FF にマッピングされている全レジスタ

本件はインサーキット・エミュレータ(IE-V850E-MC-A、IE-V850E-MC)で発生する不具合で、対象デバイス(V850E/MA1、IA1、NB85E コア)は非該当です。

**注意)以下の条件を全て満たしている場合、本不具合は非該当です。**

・該当周辺レジスタアクセス時は必ず割り込み禁止状態(DI 状態)である。

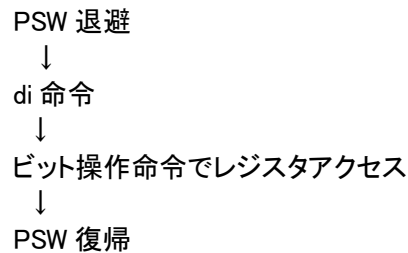
・ NMI は未使用、または該当周辺レジスタアクセス時に NMI が絶対有効にならない場合。(NMI をスタンバイ解除のみ使用する場合など)



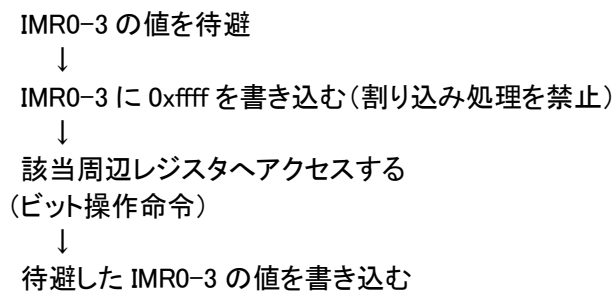
## 【回避策】

1. NMI は未使用、または該当周辺レジスタアクセス時に NMI が絶対有効にならない場合 (NMI をスタンバイ解除のみ使用する場合など) は以下のいずれかの方法で回避できます。

A) 該当周辺レジスタアクセス(ビット操作命令)は必ず DI 状態(割り込み不許可状態)で行う。



B) 該当周辺レジスタアクセス時(ビット操作命令)は割り込みマスクレジスタ(IMR0-3)の設定により割り込み禁止(保留)状態にする。



C) 該当周辺レジスタアクセスにビット操作命令は使用せず、「ld 命令 → and/or 命令でビット演算 → st 命令」にてビット操作を行う。

— 弊社製コンパイラでのコーディング方法は「弊社製コンパイラ コーディング例」を参照してください。

— GHS 製コンパイラでのコーディング方法は「GHS 製コーディング例」を参照してください。

2. 該当周辺レジスタアクセス時に NMI が有効になる可能性がある場合は、該当周辺レジスタアクセスはビット操作命令を使用せず、「ld 命令 → and/or 命令でビット演算 → st 命令」にてビット演算を行うことで回避できます。

— 弊社製コンパイラでのコーディング方法は「弊社製コンパイラ コーディング例」を参照してください。

— GHS 製コンパイラでのコーディング方法は「GHS 製コーディング例」を参照してください。

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

## 【その他】

1. リアルタイム OS (RX850、RX850 pro) をご使用のお客様へ。

リアルタイム OS のタスク処理はビット操作命令を使用していないので、タスク内処理について本不具合は非該当となります。

2. ミドルウェアについては調査結果は下記の通りです。その他ミドルウェアに関しては、開発ツールサポートセンター([toolsupport@lsi.jp.nec.com](mailto:toolsupport@lsi.jp.nec.com))へお問い合わせ下さい。

AP30100-B03	ミドルウェア(JPEG)	非該当
AP30100-B12	音声コーデックミドルウェア(True Speech8.5)	非該当
AP30200-B03	ミドルウェア(JPEG)	非該当
AP703000-B01	ミドルウェア(MH/MR/MHR)	非該当
AP703000-B02	ミドルウェア(JBIG)	非該当
AP703000-B03	ミドルウェア(JPEG)	非該当
AP703000-B04	ミドルウェア(ADPCM)	非該当
AP703000-B07	ミドルウェア(音声認識)	ユーザOWNコーディング部分で該当
AP703000-B08	ミドルウェア(TTS)	非該当
AP703000-B09	ミドルウェア 手書き文字認識	非該当

## 【弊社製コンパイラ コーディング例】

A) アセンブラのコーディングで該当周辺への bit 操作命令を全て「ld 命令→and/or でビット演算→st 命令」に書き換える場合。

## ・set1命令の回避

IOR0(該当周辺レジスタ)の3bit目をset1する場合は示します。

該当するビットのみ1にした値と、OR演算を行います。

```
(修正前の記述)  set1    3, IOR0
(修正後の記述)  ld.b    IOR0, rX
                  or      0x8, rX
                  st.b    rX, IOR0
```

## ・clr1命令の回避

IOR0の3bit目をclr1する場合は示します。

該当するビットのみ0にした値と、AND演算を行います。

```
(修正前の記述)  clr1    3, IOR0
(修正後の記述)  ld.b    IOR0, rX
                  and     0xf7, rX
                  st.b    rX, IOR0
```

## ・not1命令の回避

IOR0の3bit目をnot1する場合は示します。

該当するビットのみ0にした値と、AND演算を行います。

```
(修正前の記述)  not1    3, IOR0
```

```
(修正後の記述)  ld.b    IOR0, rX
                  andi    0x08, rX, rZ          -- 0x08 = 0b00001000
                  andi    0xf7, rX, rY          -- 0xf7 = 0b11110111
                  xor     0x08, rZ             -- 0x08 = 0b00001000
                  or      rY, rZ
                  st.b    rZ, IOR0
                  jmp     [lp]
```

- B) Cソースのコーディングで bit 操作命令コードを生成しない場合。  
コンパイラでは主に bit フィールドを使用した場合に bit 操作命令が出力されます。  
そこで、bit 操作命令が出力されないような記述への書き換えを行ってください。

・set1命令出力の回避

例としてIOR0(以下、該当I/Oレジスタ)の3bit目をset1する場合は示します。

該当するビットのみ1にした値と、OR演算を行います。

(該当するソース) IOR0.3 = 1;

(修正後のソース) IOR0 |= 0x08; /\* 0x08 = 0b00001000 \*/

・clr1命令出力の回避

例としてIOR0の3bit目をclr1する場合は示します。

該当するビットのみ0にした値と、AND演算を行います。

(該当するソース) IOR0.3 = 0;

(修正後のソース) IOR0 &= 0xf7; /\* 0xf7 = 0b11110111 \*/

・not1命令出力の回避

例としてIOR0の3bit目をnot1する場合は示します。

該当するビットが1の場合はそのビットのみ0にした値とAND演算を行います。

該当するビットが0の場合はそのビットのみ1にした値とOR演算を行います。

(該当するソース) IOR0.3 = ~IOR0.3;

(修正後のソース) if(IOR0.3){

```
    IOR0 &= 0xf7; /* 0xf7 = 0b11110111 */
}
```

else{

```
    IOR0 |= 0x08; /* 0x08 = 0b00001000 */
}
```

・その他例外的なパターン

例としてIOR0の2bit目をP0の1bit目に代入する場合は示します。

代入する値が1の場合はそのビットのみ1にした値とのOR演算を行います。

代入する値が0の場合はそのビットのみ0にした値とのAND演算を行います。

(該当するソース) IOR0.1 = IOR0.2;

(修正後のソース) if(IOR0.2){

```
    IOR0 |= 0x02; /* 0x02 = 0b00000010 */
}
```

else{

```
    IOR0 &= 0xfd; /* 0xfd = 0b11111101 */
}
```

## 【 GHS製コーディング例】

GHS製コンパイラではbit操作命令を出力しないコンパイル・オプションが用意されています。  
以下の例に基づいて修正を行ってください。

下記のようなファイル構成にしていた場合を考えます。

## 修正前のファイル構成

ファイル名	関数名	関数の概要
a.c	a_sub1()	a.cのサブルーチン1 *1
	a_sub2()	a.cのサブルーチン2 *1
	a_ior1()	a.cのサブルーチン3 *2
b.c	b_sub1()	b.cのサブルーチン1 *1
	b_ior1()	b.cのサブルーチン2 *2
c.c	c_sub1()	c.cのサブルーチン1 *1
	c_sub2()	c.cのサブルーチン2 *1
	c_ior1()	c.cのサブルーチン3 *2
	c_ior2()	c.cのサブルーチン4 *2

\*1: 該当周辺レジスタアクセスない

\*2: 該当周辺レジスタアクセスあり

上記のうちI/Oレジスタへのアクセスのみを抜き出しd.cとします

## 修正後のファイル構成

ファイル名	関数名	関数の概要
a.c	a_sub1()	a.cのサブルーチン1
	a_sub2()	a.cのサブルーチン2
b.c	b_sub1()	b.cのサブルーチン1
c.c	c_sub1()	c.cのサブルーチン1
	c_sub2()	c.cのサブルーチン2
d.c	a_ior1()	a.cのサブルーチン3
	b_ior1()	b.cのサブルーチン2
	c_ior1()	c.cのサブルーチン3
	c_ior2()	c.cのサブルーチン4

コンパイル時にd.cにのみコンパイルオプション“-Z982”を指定します。  
これによりIORに対するbit操作命令のみが出力されないことになります。

**a-40. ビット操作命令中のハードウェア・ストップによる制限事項**

【内容】 ビット操作命令中のリードサイクルとライト・サイクルの間でハードウェア・ストップ信号をサンプリングすると、ライト・サイクル実行前に STOP モードに移行してしまいます。ライト・サイクルはハードウェア・ストップ解除後実行されます。

※システム LSI 開発のお客様のみが該当します。

また、インサーキット・エミュレータのみで発生する不具合であり、対象デバイス(NB85E コア)は非該当です。

【回避策】 申し訳有りませんが、回避策は有りません。

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

修正後はライト・サイクル実行後に STOP モードに移行します。

**a-41. 外部要因による DMA 転送中断に関する制限事項****1.V850E/MA1、V850E/IA1 をご使用の場合**

【内容】 内蔵周辺 I/O による割り込み、または DMARQn 端子入力(V850E/MA1 のみ)によって起動された DMA のシングル転送を NMI 入力かで中断した場合、DDIS レジスタに Enn ビットの内容が待避されません。このため、DRST レジスタを使用して中断された DMA 転送を再開させることが出来ません。

以下のいずれかの条件を満たしている場合、本不具合は非該当となります。

・シングルステップ転送、もしくはブロック転送モードを使用している場合。

(シングル転送モードを使用しているチャンネルのみ該当します。)

・DMA 転送中に NMI 入力が発生しない場合。

・DMA をソフトウェア・トリガのみで起動している場合。

・DRST レジスタによる DMA のリスタート機能を使用していない場合。

以下のいずれかの方法で回避してください。

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

回避策 1. 最初の DMA の起動前に DMA チャンネル 0~3 のうち、1 チャンネルでダミーのシングル転送を行い、以後そのチャンネルには転送終了、転送中断させないで下さい。

※この回避策を使用した場合、4 チャンネルのうち 1 チャンネルが使用不可となります。DMA のチャンネルが余っている場合に使用してください。

以下にダミー転送を行うチャンネルへの設定手順を示します。

手順 1. DSAX と DDAX には同じアドレスを指定してください。

手順 2. DBCX に 0001 以上の値を設定してください。(転送回数 2 回以上)

手順 3. DADCX に 0000H を設定してください。

手順 4. DCHCX に 03H を設定してください。

(X:DMA チャンネル 0~4 のうち使用しない DMA チャンネルの番号)

- 回避策 2. DMA でシングル転送を行う際は必ず直前にソフトウェア・トリガによるダミー転送を一回行ってください。  
※この方法であれば、DMA チャンネルが使用不可になることは有りませんが、ダミー転送を行うことによる転送元/転送先の変化、及び転送回数の設定を予めご考慮願います。
- 回避策 3. DMA の起動には内蔵周辺 I/O による割り込み、DMARQn への端子入力ではなく、必ずソフトウェア・トリガを使用してください
- 回避策 4. DMA の中断時 Enn(DCHCX レジスタのビット 0)をユーザ空間へ待避しておき、DMA 再開時には待避した値を見て DRST レジスタの対応するビットをセット(1)します。  
こうすることで DDIS レジスタを使用せずに DMA の再開を行うことが出来ます。

## 2.システム LSI 開発の場合

【内容】 DMARQn 端子入力によって起動された DMA のシングル転送を VBCLK で 1 クロック幅の IDMASTP 端子入力によって中断した場合、DDIS レジスタに Enn ビットの内容が待避されません。このため DRST レジスタを使用して中断された DMA 転送を再開させることが出来ません。

以下のいずれかの場合、本不具合は非該当となります。

- ・IDMASTP 端子へ VBCLK の立ち上がり同期で 2 クロック分のアクティブ・レベル(ハイ・レベル)を入力している場合。
- ・DMA をシングル転送モードで行わない場合。
- ・DMA 転送の中断を行うことがありえない場合。
- ・DMA の起動にソフトウェア・トリガを使用している場合。
- ・ IDMASTP 端子にアクティブ・レベル(ハイ・レベル)が入るタイミングでは、必ず他の DMA チャンネルのうち最低一つがシングル転送モードでソフトウェア・トリガを待っている場合。

以下のいずれかの方法で回避してください。

IE-V850E-MCは管理記号Dで修正されています。

IE-V850E-MC-Aは管理記号Fで修正されています。

- 回避策 1. IDMASTP へは VBCLK の立ち上がりに同期して 2 クロック分のアクティブ・レベル(ハイ・レベル)を入力してください。

回避策 2. 最初の DMA の起動前に DMA チャンネル 0~3 のうち、1 チャンネルでダミーのシングル転送を行い、以後そのチャンネルには転送終了、転送中断させないで下さい。

※この回避策を使用した場合、4 チャンネルのうち 1 チャンネルが使用不可となります。DMA のチャンネルが余っている場合に使用してください。

以下にダミー転送を行うチャンネルへの設定手順を示します。

手順 1. DSAX と DDAX には同じアドレスを指定してください。

手順 2. DBCX に 0001 以上の値を設定してください。(転送回数 2 回以上)

手順 3. DADCX に 0000H を設定してください。

手順 4. DCHCX に 03H を設定してください。

(X: DMA チャンネル 0~4 のうち使用しない DMA チャンネルの番号)

回避策 3. DMA でシングル転送を行う際は必ず直前にソフトウェア・トリガによるダミー転送を一回行ってください。

※この方法であれば、DMA チャンネルが使用不可になることは有りませんが、ダミー転送を行うことによる転送元/転送先の変化、及び転送回数の設定を予めご考慮願います。

回避策 4. DMA の起動には DMARQn ではなく、必ずソフトウェア・トリガを使用してください。

回避策 5. DMA の中断時 Enn(DCHCX レジスタのビット 0)をユーザ空間へ待避しておき、DMA 再開時には待避した値を見て DRST レジスタの対応するビットをセット(1)します。

こうすることで、DDIS レジスタを使用せずに、DMA の再開が出来ます。

#### a-42. バス・ホールド中のSDCKE信号の制限事項

【内 容】 バス・ホールド中に本来ハイ・レベルを出力するはずの

①V850E/MA1,2 の場合 :SDCKE 端子

②システム LSI 開発の場合 :メモリ・コントローラの CKE 端子  
の出力がハイ・インピーダンスになってしまいます。

以下のいずれかの条件を満たしている場合、本不具合は非該当です。

1. V850E/IA1,IA2 を使用している場合
2. SDRAM を使用していない場合
3. SDRAM を使用しているが、バス・ホールド機能を使用していない場合
4. SDRAM、バス・ホールド機能の両方を使用しているが、SDCKE 端子にプルアップ抵抗を接続している場合
5. バス・ホールド中に外部バス・マスタが SDRAM にアクセスを行わない場合

【回避策】 ターゲット・ボード上の SDCKE 端子もしくは CKE 端子にプルアップ抵抗を接続することで回避できます。

IE-V850E-MCは本不具合に該当しません。

IE-V850E-MC-Aは管理記号Gで修正されています。



**a-43. SDRAMコントローラに関する注意事項**

【内容】 SDRAM用リフレッシュ・コントロール・レジスタ(RFSn)のRFNnビットをセット(1:リフレッシュ動作を許可)した直後に、SDRAMに対するリフレッシュ・サイクルを実行することがあります。但し、そのときに発生したリフレッシュ・サイクル、及びリフレッシュ・サイクル実行後の動作に問題ありません。また、以降のリフレッシュ・サイクルは、設定された間隔に応じて正常に実行されます。(n=1、3、4、6)

RFSnレジスタの設定により発生したリフレッシュ・サイクル、及びリフレッシュ・サイクル実行後の動作に、問題はありません。また、以降のリフレッシュ・サイクルは、設定された間隔に応じて正常に実行されます。但し、このリフレッシュ・サイクルが問題となるアプリケーションにおいては、以下の手順でRFSnレジスタを設定してください。

1. CTnレジスタのMEnビットをセット(1)した状態で、BTn1、BTn0ビットを01(ページROM接続)に設定。(n=0-7)
2. RFSnレジスタのRENnビットをセット(1)し、リフレッシュを許可にする。(n=1、3、4、6)
3. BCTnレジスタのMEnビットをセット(1)した状態で、BTn1、BTn0ビットを11(SDRAM接続)に設定。(n=0-7)
4. SCRnレジスタを設定し、SDRAMの初期化を行う。(n=1、3、4、6)

申し訳ありませんが、恒久的な制限事項とさせていただきます。

**a-44. mul/mulu 命令に関する制限事項**

(ア) mul、mulu命令において、1stオペランドと3rdオペランドに同じレジスタを使用する命令 実行中に割り込みが発生した場合、演算結果(3rdオペランドのレジスタ値)が不正になる場合があります。なお、命令そのものは実行終了し、続く命令を実行します。

弊社製のCコンパイラをご使用の場合は、アセンブリ言語による記述箇所ですべて本制限に非該当であれば問題ありません。記述有無の確認としては、プロジェクトマネージャー内のグローバル検索機能等をご使用ください。

GHS社、レッドハット社、ウインドリバー社製品については、下記[関連製品]を参照ください。

記述例)

```
mul      reg1, reg2, reg1
```

および

```
mulu     reg1, reg2, reg1
```

[レジスタreg1、reg2は異なるレジスタ。reg1は、r0(ゼロ・レジスタ)以外]

**1stオペランドと3rdオペランドに使用するレジスタが異なる場合は、非該当です。**

**また、弊社製Cコンパイラは、本使用制限に該当する命令形式を生成しておりません。さらに、**

**リアルタイムOS (RX850、RX850pro)、ミドルウェアの各製品についても該当**

**する命令形式を使用しておりません。**

【回避策】 以下の記述でプログラミングしてください。

```
mul      reg1, reg2, reg3
```

および

```
mulu     reg1, reg2, reg3
```

[レジスタreg1、reg2、reg3は異なるレジスタ。reg3は、r0以外]

または、

```
mov      reg1, rtmp
```

```
mul      rtmp, reg2, reg1
```

および

```
mov    reg1, rtmp
mulu   rtmp, reg2, reg1
```

[レジスタreg1、reg2、rtmpは異なるレジスタ。reg1、rtmpはr0以外]

・GHS製品について

過去にリリースされたCコンパイラ(Ver1. 8. 9まで)は、組み込み関数\_\_\_MULSH( )、\_\_\_MULUH( )を使った場合で、かつ最適化モードの設定により本使用制限の命令形式が選択生成される可能性があります。

本使用制限命令の有無は、GHS製コンパイラ付属の逆アセンブラである“gdump”を使用し「% gdump a. out | grep mul」により全てのmul命令を抽出して、該非確認をお願いします。

次にリリースされるMULTI2000 Rel3. 5からは、本命令形式をC記述でもアセンブラ記述でも生成せず、アセンブリ時にエラーとして検出します。MULTI2000 Rel3. 5は、米国で2002年2月、日本では2002年3月にリリース予定ですが、詳細は株式会社アドバンスド・データ・コントロールズ社にご確認ください。また、ランタイム・ライブラリについては、mul/mulu命令自体は使用していますが、本使用制限に該当する命令形式は過去、今後とも生成しません。

・レッドハット社、ウインドリバー社製品について

両社のGNUコンパイラは、本使用制限に該当する命令形式を過去、今後とも生成しません。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

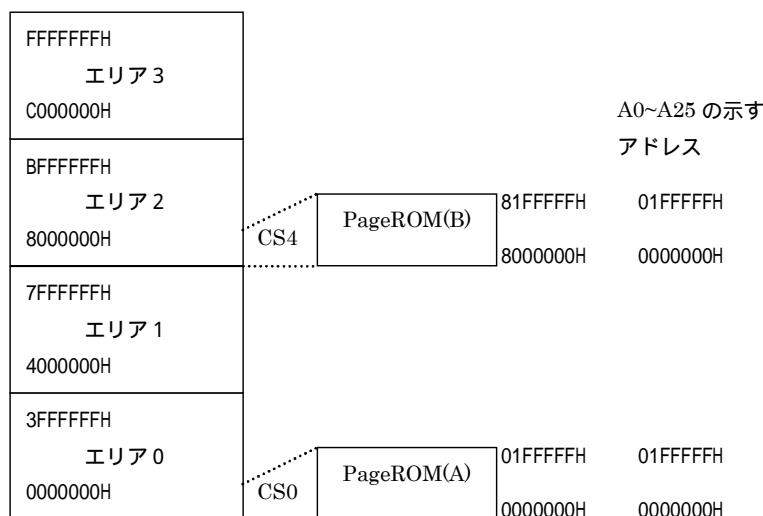
a-45. Page ROMアクセスに関する不具合

【内容】 複数のPageROMをそれぞれ複数の異なるCS空間に接続しているシステムにおいて、Page ROMアクセス直後に、連続して他のCS空間に対するPageROMへのアクセスが発生した場合、前者のアドレス値と、後者のアドレス値とがPageROMの同一ページ内であった場合、両者のCS空間が異なるにも関わらず、同一PageROMへのページ・アクセスと誤認し、後者のアクセスに対しオンページ・サイクルを発行してしまいます。その結果、後者のアクセスに対するデータ・アクセス・タイムが不足し、正常な読み出しが行えなくなります。

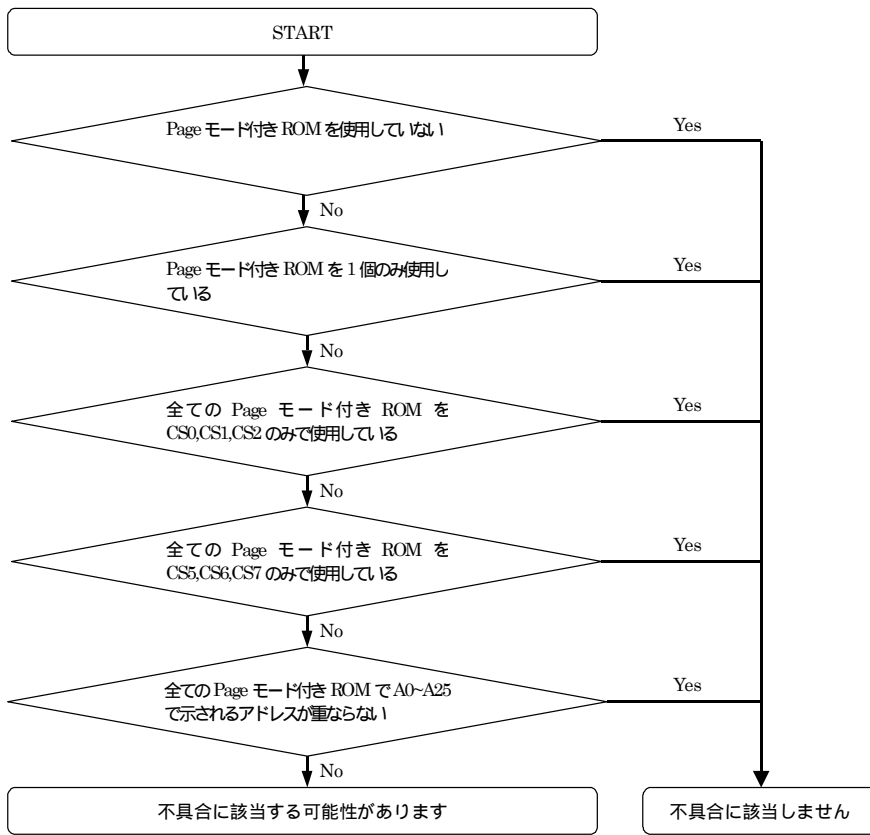
注)PageROMは、Pageアクセス機能をもつマスクROM、FlashROM等、ページ上の連続アクセスを高速に行えるメモリを含みます。

例えば、CS0空間の0xxxxxx0Hアドレスへのアクセス直後に、CS4空間の8xxxxxx  
xxxx2Hアドレスにアクセスした場合、8xxxxxx2Hに対してオンページ・サイクルが実行されます。

不具合が発生し得るメモリマップ構成例



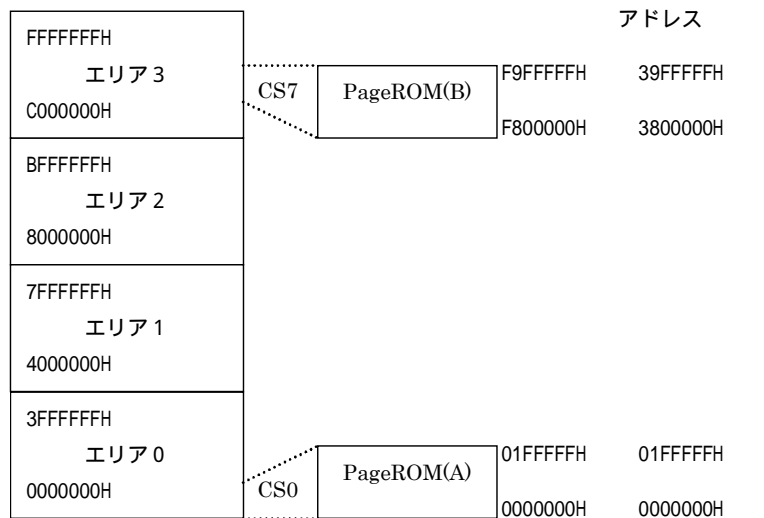
**以下に不具合該当／非該当を確認するフローチャートを示します。本フローチャートにて不具合の該当／非該当をご確認ください。**



**【回避策】** 複数のPageROMを使用する場合、A0－A25で示されるアドレスに重なることなくそれぞれのPageROMを配置して下さい。

例えば、2MbyteのPageROM2個を異なるCS空間に配置する場合には、片方を0000000H～01FFFFFFHに配置し、もう片方をF800000H～F9FFFFFFHに配置するような構成にして下さい。

**不具合回避メモリマップ例**

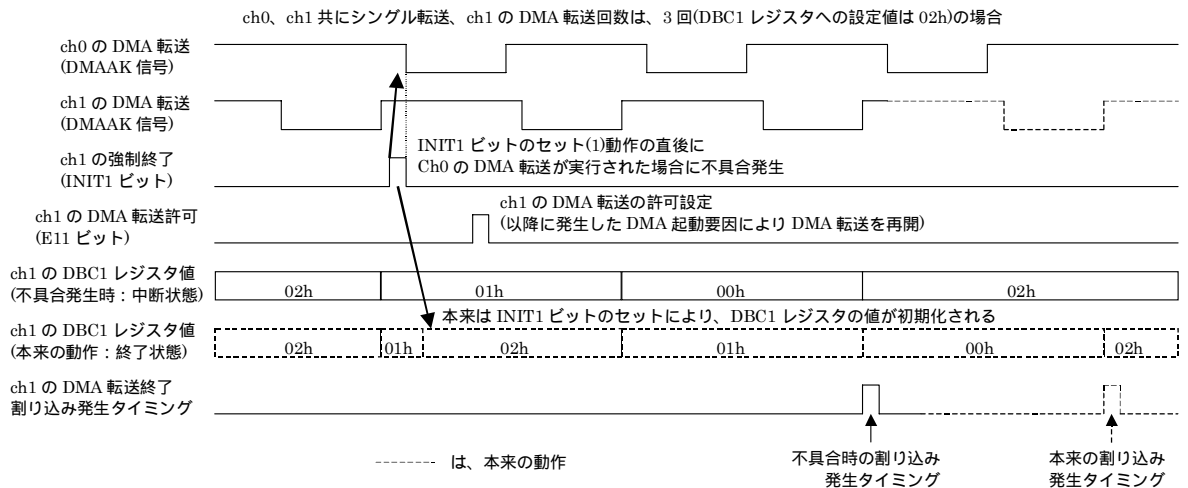


申し訳ありませんが、恒久的な制限事項とさせていただきます。

## a-46. DMA転送強制終了に関する不具合

【内容】 DCHCnレジスタのINITnビットの操作により、DMA転送を強制終了する場合、INITnビットをセット(1)したにも拘わらず、強制終了されずに中断状態になる場合があります。このため、強制終了させたはずのチャンネルのDMA転送を再開させた場合に、想定外の転送回数完了後にDMA転送が終了し、DMA転送終了割り込みが発生することがあります(n=0-3)。本不具合は、強制終了(INITnビットのセット(1))の直後にDMA転送が実行された場合に発生します(下図参照)。

本不具合は転送チャンネル数、転送タイプ(2サイクル/フライバイ)、転送対象(メモリーメモリー、メモリーI/O; 内蔵資源を含む)、転送モード(シングル/シングル・ステップ/ブロック)、起動要因(外部要求、内蔵周辺I/Oからの割り込み、ソフトウェア)には依存せず、仕様の設定可能ないずれの組み合わせでも発生する可能性があります。また、他のチャンネルの影響も受けます。



なお、以下のレジスタは、マスタ/スレーブの2段FIFO構成のバッファ・レジスタになっています。このため、DMA転送中、及びDMA中断状態にこれらのレジスタを書き換えた場合、マスタ・レジスタに書き込まれます。DMA転送中、中断状態に書き換えた値は、書き換えたチャンネルのDMA転送終了時にスレーブ・レジスタに反映されます。

また、上図における初期化とは、マスタ・レジスタの内容をスレーブ・レジスタに反映させることを指しています。

### 2段FIFO構成のレジスタ

- ・DMAソース・アドレス・レジスタ(DSAnH, DSAnL)
- ・DMAディスティネーション・アドレス・レジスタ(DDAnH, DDAnL)
- ・DMA転送カウント・レジスタ(DBCn)

以下のいずれかの手順によりソフトウェアにて回避可能です。

#### ① 一時的に全てのDMAチャンネルの転送を停止させる方法

次の点を満たして頂ければ、以下の手順で回避可能です。

- ・以下の回避処理以外で、DCHCnレジスタのTCnビット=1となっていることを期待したプログラム構成になっていない(DCHCnレジスタのTCnビットは読み出しによりクリア(0)されるため、以下(5)②の回避処理ルーチン実行によりクリアされてしまいます。)

## 不具合回避手順

- (1) 割り込み禁止(DI)状態にする。
- (2) DMAリスタート・レジスタ(DRST)を読み出し、各チャンネルのENnビットを汎用レジスタに転送する。(値:A)
- (3) DMAリスタート・レジスタ(DRST)に00Hを書き込む(2回実行<sup>※</sup>)。2回実行<sup>※</sup>することにより(4)の処理以前に必ずDMA転送が停止します。
- (4) 強制終了するチャンネルのDCHCnレジスタのINITnビットをセット(1)する。
- (5) (2)で読み出した値(A)に対して次の操作を行う。(値:B)
  - ① 強制終了するチャンネルのビットをクリア(0)する。
  - ② 強制終了しない各チャンネルのTCnビットとENnビットが、共に1(ANDが1)の場合はそのチャンネルのビットをクリア(0)する。
- (6) (5)で操作した値(B)をDRSTレジスタに書き込む。
- (7) 割り込み許可(EI)状態にする。

※:上記(5)は、(2)～(3)の間に正常終了したチャンネルに対して、再度ENnビットを不正にセットすることを防ぐため、必ず行ってください。

※:n=0-3

注:転送対象(転送元または転送先)が内蔵RAMの場合は、3回実行してください。

## ② 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法(n=0-3)

## 不具合回避手順

- (1) 強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。
- (2) 強制終了するチャンネルのDCHCnレジスタのINITnビットをセット(1)する。
- (3) 強制終了するチャンネルのDMA転送カウント・レジスタ(DBCn)の値を読み込み、(1)でコピーした値と比較する。一致しない場合は(2)～(3)を繰り返す。

※:(3)でDBCnレジスタを読み込んだ場合、不具合で停止したときは残りの転送回数がリードされます。正常に強制終了した場合には初期転送回数がリードされます。

※:この回避方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が、頻繁に行われるようなアプリケーションにおいては、強制終了されるまでに、時間を要する可能性がありますので、ご注意願います。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

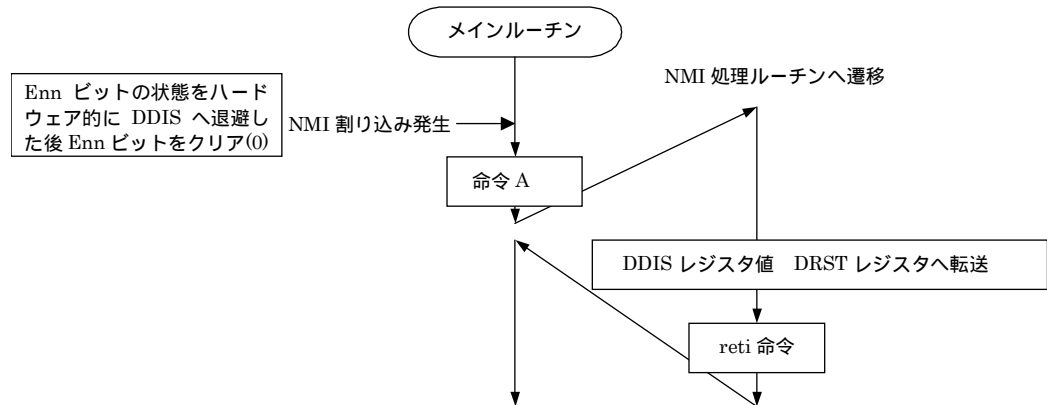
## a-47. NMIによるDMA強制中断に関する不具合

【内容】 DMA転送中にNMI入力があると、DMA転送は強制的に中断されます。このときDMAコントローラは、すべてのチャンネルのEnnビット(DCHCnレジスタのビット0)の状態をDDISレジスタに退避した後、Ennビットをクリア(0)して、DMA転送禁止状態にします。また、CPUのパイプライン動作として、NMI割り込みを受け付ける際、既にフェッチが完了している命令(最大1命令)まで実行されます。

この実行された命令が、Ennビットを操作するような命令であった場合、NMI処理ルーチン内では、中断されているDMA転送を再開させるために、DDISレジスタの内容をDRSTレジスタに転送するため、NMI入力直後に実行されたEnnビットの操作が反映されません。

このため、DMA転送を禁止状態、もしくは許可状態にしたにも拘わらず、NMIで中断されたDMA転送を期待通りに状態復帰させることができません。

## 動作例



上記命令Aで、DCHCnレジスタのEnnビットを操作し、DMAを禁止／許可にした場合、上記①と②で、各DMAチャンネルの禁止／許可状態に不整合が生じるため、正常に中断されたDMA転送を正常に状態復帰できません。

また、DCHCnレジスタのソフトウェアトリガ(STGn)ビットをセット(1)している状態において、命令AでEnnビットがセット(1)された場合、NMI処理ルーチン内でもDMA転送が行われます。

**NMIを使用していなければ、該当しません。**

**NMIにより強制中断されたDMA転送を継続再開しないシステムでも、該当しません。**

NMIにより強制中断されたDMA転送は、再度初期化して実行してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

#### a-48. 内蔵RAMでのプログラム実行とDMA転送に関する不具合

【内容】 内蔵RAMを対象としたDMA転送を実行しており、かつ内蔵RAM上に配置されたビット操作命令 (SET1, CLR1, NOT1)、もしくは、ミス・アライン・アドレスに対するデータ・アクセス命令を実行した場合、内部バスの競合動作により、CPUがデッド・ロックする可能性があります。デッド・ロック中はリセットのみ受付可能です (NMIも割り込みも受け付けられません)。

**内蔵RAM上での命令実行を行っていない、もしくは、内蔵RAMを対象としたDMA転送を行っていないければ、非該当です。**

【回避策】 以下のいずれかの方法により、回避をお願い致します。

- －内蔵RAM上に配置された命令を実行する場合は、内蔵RAMを対象としたDMA転送を行わない。
- －内蔵RAMを対象とするDMAを実行する場合は、内蔵RAM上に配置された命令実行を行わない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

**a-49. 転送回数設定2回のDMA転送に関する不具合(1)**

**【内容】** 転送回数を2回(DBCnレジスタの設定値=0001H)として、DMA転送を実行(中断後の再開ではなく新規実行)した場合、3回のDMA転送が実行されることがあります。

また、DCHCnレジスタのEnnビットをクリア(0)して一旦中断させたチャンネルのDMA転送を、再び、Ennビットをセット(1)する事で再開させた際、残り転送回数が2回(DBCnレジスタ値=0001H)であった場合のみ、3回のDMA転送が実行されることがあります。

上記いずれの場合も、本来転送が完了すべきアドレスより、1回分先のアドレスに対して、転送(2回の設定に対し3回のDMA転送)されることがあります。

他のDMAチャンネルの設定や動作状態は、不具合発生条件に影響を与えません。

**次の2つの条件が共に該当する場合に、不具合が発生することがあります。**

- ・転送回数が2回である
- ・転送タイプがフライバイ転送、または、転送元が内蔵RAMである2サイクル転送を使用している

また、不具合発生条件には、VSWCレジスタの設定値(内蔵周辺レジスタに対するウェイト数)が条件として含まれます。不具合発生条件を後述しますので、ご確認ください。

VSWCレジスタの設定値が12Hである場合、中断<sup>注1</sup>した時の転送回数が、2回であれば、DC HCNレジスタのEnnビットをセット(1)してDMA転送を再開させた際に、本不具合が発生する可能性があります。

ただし、転送回数を2回にして新規DMA転送<sup>注2</sup>を転送許可にする場合、本不具合は発生しません。

注1: 中断とは、動作中のDMAに対してDCHCnレジスタのEnnビットをクリア(0)、または、DRSTレジスタのENnビットをクリア(0)した状態。

注2: 新規DMA転送とは、以下のいずれかの条件を満たしている場合です。

- リセット解除後、初めてのDMA転送である。
  - ーDMAの起動を掛けるチャンネルの直前に実行されたDMA転送(起動を掛けるDMAチャンネルと同一)は、ターミナル・カウント出力により正常に終了した。
  - ーDMAの起動を掛けるチャンネルの直前に実行されたDMA転送(起動を掛けるDMAチャンネルと同一)は、INITnビットのセットにより正常に強制終了された。

また、「再開DMA転送」とは、上記の「新規DMA転送」ではないものを指します。「再開DMA転送」の一例としては、「DMA転送強制終了に関する不具合の不具合回避手順」における「INIT対象チャンネル以外の、一時停止後に再開されるチャンネルの起動」が相当します。



本不具合が該当する場合、中断したDMAを再開させる場合には、下記の回避策で対策をお願い致します。また、新規DMA転送を起動する場合は、下記の回避策にて対策をお願い致します。

#### ① 中断したDMA転送を再開する場合(再開DMA転送)

DCHCnレジスタのEnnビットをクリア(0)することにより、DMA転送を中断した場合、そのDMA転送を再開させる際には、DCHCnレジスタのEnnビットのセットではなく、DRSTレジスタのENnビットをセット(1)することにより、再開させてください。

※:DRSTレジスタによりDMAを許可状態にする場合は、必ず全チャンネルのDMA転送を禁止状態にしておく必要があります。禁止されていない場合には、以下の手順を行ってください。

- (1) 割り込み禁止状態(DI)にする。
- (2) DRSTレジスタを読み出し、各チャンネルのENnビットを汎用レジスタに転送する。
- (3) DRSTレジスタに00Hを書き込む(2回実行<sup>※</sup>)。
- (4) 上記(2)で退避した値に対し、DMA転送を許可状態にする必要があるチャンネルの該当するビットをセット(1)する。
- (5) 上記(4)の値をDRSTレジスタに書き込む。
- (6) 割り込み許可状態(EI)にする。

注: 転送対象(転送元または転送先)が内蔵RAMの場合は、3回実行してください。

#### ② 新規に転送回数を2回に設定しDMA転送を起動する場合(新規DMA転送)

VSWCレジスタの設定値により、該当する場合は次の対策を実施願います。

- ・ 2ch以上のDMAを同時に起動する場合には、以下の対策を実施願います。
  - － 転送回数を1回(DBCnレジスタの設定値=0000H)に設定したDMA転送を2回行うことで回避してください。
- ・ 1chのみ使用している場合は、以下の対策を実施願います。
  - － DMA転送許可は、DCHCnレジスタのEnnビットではなく、DRSTレジスタのENnビットをセット(1)することでDMA転送許可にしてください。

※:DMA転送回数が随時変化し、一意に決まらない場合は、DBCnレジスタに設定する前に、設定する値を読み出した上で、設定値が2回となる場合は、上記回避方法にて回避してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

### 転送回数設定2回のDMA転送に関する不具合【発生条件】

本不具合は、転送回数が2回である場合に限定されます。転送回数が2回の場合は、以下の発生条件を確認し、該当、非該当の確認をお願いいたします。

システム・ウェイト・コントロール・レジスタ(VSWC)の設定値によって内部信号(周辺 I/O へのストロブ信号幅)を確認してください。

VSWC 設定値	内部信号(周辺 I/O へのストロブ信号幅)	備考
11H	2clk	$4\text{MHz} \leq f_{xx} < 33\text{MHz}$
12H	3clk	$33\text{MHz} \leq f_{xx} \leq 50\text{MHz}$
13H	4clk	
14H	5clk	
77H	8clk	初期値

$f_{xx}$  は動作周波数

上記の表で確認した内部信号(周辺 I/O へのストロブ信号幅)により下記表で該当、非該当を確認してください。

転送モード	転送要求	新規/再開	フライバイ転送	2サイクル転送
			外部メモリ $\leftrightarrow$ 外部 I/O	内蔵RAM $\rightarrow$ 内蔵周辺 内蔵RAM $\rightarrow$ 外部I/O 内蔵RAM $\rightarrow$ 外部メモリ
シングル転送	DMARQn 内蔵周辺 I/O	新規DMA転送	5clk 以上で該当	8clk 以上で該当
		再開DMA転送	3clk 以上で該当	6clk 以上で該当
	ソフトトリガ	新規DMA転送	非該当	非該当
		再開DMA転送	非該当	非該当
シングル・ステップ転送	DMARQn 内蔵周辺 I/O	新規DMA転送	5clk 以上で該当	8clk 以上で該当
		再開DMA転送	3clk 以上で該当	6clk 以上で該当
	ソフトトリガ	新規DMA転送	5clk の時該当	8clk の時該当
		再開DMA転送	3clk の時該当	6clk の時該当
ブロック転送	DMARQn 内蔵周辺 I/O	新規DMA転送	5clk 以上で該当	8clk 以上で該当
		再開DMA転送	—	—
	ソフトトリガ	新規DMA転送	5clk の時該当	8clk の時該当
		再開DMA転送	—	—

2 サイクル転送で次の場合は非該当です。

転送元	転送先	転送元	転送先	転送元	転送先
内蔵周辺I/O	内蔵周辺I/O	外部I/O	内蔵周辺I/O	外部メモリ	内蔵周辺I/O
内蔵周辺I/O	外部I/O	外部I/O	外部I/O	外部メモリ	外部I/O
内蔵周辺I/O	内蔵RAM	外部I/O	内蔵RAM	外部メモリ	内蔵RAM
内蔵周辺I/O	外部メモリ	外部I/O	外部メモリ	外部メモリ	外部メモリ

例えば、VSWC レジスタの設定値を 12H とした場合、以下ようになります。

転送モード	転送要求	新規/再開	フライバイ転送	2サイクル転送
			外部メモリ $\leftrightarrow$ 外部 I/O	内蔵RAM $\rightarrow$ 内蔵周辺 内蔵RAM $\rightarrow$ 外部I/O 内蔵RAM $\rightarrow$ 外部メモリ
シングル転送	DMARQn 内蔵周辺 I/O	新規DMA転送	○	○
		再開DMA転送	×	○
	ソフトトリガ	新規DMA転送	○	○
		再開DMA転送	○	○
シングル・ステップ転送	DMARQn 内蔵周辺 I/O	新規DMA転送	○	○
		再開DMA転送	×	○
	ソフトトリガ	新規DMA転送	○	○
		再開DMA転送	×	○
ブロック転送	DMARQn 内蔵周辺 I/O	新規DMA転送	○	○
		再開DMA転送	—	—
	ソフトトリガ	新規DMA転送	○	○
		再開DMA転送	—	—

○: 非該当、×: 該当

### a-50. 転送回数設定2回のDMA転送に関する不具合(2)

【内容】 残り転送回数(初期設定を含む)が2回(DBCnレジスタ値=0001H)のDMAチャンネルにおいて、フライバイによるDMA転送サイクルが発生する直前にDCHCnレジスタのEnnビットをセット(1)した場合、あるいは、総転送回数が2回であるブロック転送モード、かつフライバイ転送の1回目のDMA転送サイクルが起動する直前にDCHCnレジスタのEnnビットをクリア(0)した場合、続く一連のDMA転送が完了するまでの間に計3回のDMA転送が実行されることがあります。

本動作では、本来転送が完了すべきアドレスより1回分先のアドレスに対しても転送(2回の設定に対し、計3回のDMA転送)が行われます。他のDMAチャンネルの設定や動作状態は不具合発生条件に影響を与えません(n=0-3)。

上記発生条件におけるDCHCnレジスタのEnnビットのセット(1)とは、既にEnnビットがセット(1)されている状態での同値上書き操作(必要のない操作)です。同様に、上記発生条件におけるクリア(0)動作とは、総転送回数を2回に設定したブロック転送モードのDMA転送を許可した後、起動がかかる前にDMAを禁止する操作(必要のない操作)です。なお、「DMA転送強制終了に関する不具合」に対する回避作中で提示させて頂いているDRSTレジスタのENnビット操作については問題ありません。

DCHCnレジスタのEnnビットをセット(1)した場合、DBCnレジスタに設定した転送回数分のDMA転送が完了するか、またはDCHCnレジスタのINITnビットでDMA転送を強制終了させるまで、Ennビットのセット、クリアは行わないで下さい。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

### a-51. DMAのTCnビット自動クリアに関する不具合

【内容】 本来、DCHCnレジスタのTCnビットは、読み出すことにより自動的にクリア(0)されますが、2ch以上のDMA転送を同時に使用する場合、内蔵RAMを対象(転送元または転送先)とするDMA転送において、DMA転送終了後にDCHCnレジスタのTCnビットを読み出しても、クリア(0)されない場合があります(n=0-3)。

以下のいずれかの条件を1つでも満たしていれば、本問題は非該当です。

- ・DMA転送を1chのみしか使用していない。
- ・内蔵RAMを対象(転送元または転送先)とするDMA転送を行っていない。

本不具合現象に該当するのは、CPUプログラムにてDCHCnレジスタをポーリングしながら、TCビットがセット(1)されるのを待ち合わせているような場合です。

ただし、DMA転送終了割り込み(INTDMA<sub>n</sub>)による割り込みルーチン内でDCHCnレジスタのTCビットを読み出す処理をした場合にも、下記の4つの条件をすべて満たす場合には、本不具合に該当することがあります。

- (1) DMA転送を複数チャンネル使用している。
- (2) 内蔵RAMがDMA転送元であるDMA転送を行っている。
- (3) VSWCLレジスタの設定値が11H(動作周波数:4MHz~33MHz未満)である。
- (4) DMA転送終了割り込みルーチン内でDCHCnレジスタを読み出す以前に、内蔵RAM、内蔵I/O領域、外部メモリのいずれかに対するロード命令/ストア命令などを行っていない(最初にアクセスするデータがDCHCnレジスタである)。

内蔵RAMを転送対象とするDMAチャンネルに対応するDCHCnレジスタのTCnビットを読み出す場合、TCビットがセット(1)されている状態を読み出したあと、続けて2回DCHCnレジスタを空読みしてください。3回続けて読み出すことにより、確実にTCnビットをクリア(0)することができます。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

**b-1. 動作周波数の制限事項。**

【内容】 最大動作周波数は40MHzです。

【回避策】 申し訳ありませんが、回避策はありません。40MHz以下でご使用ください。

IE-V850E-MCは、管理記号Dより修正されています。

但し、IE-703116-MC-EM1との組み合わせでの50MHz動作対応については、弊社販売員、特約店、または開発ツールサポートセンターにお問い合わせ下さい。

IE-V850E-MC-Aは、管理記号Eより修正されています。

**b-2. ガード領域フェッチ時のブレイクタイミングの制限事項。**

【内容】 プログラム実行時ガード領域に突入すると、ガード領域の命令を1個実行してからブレイクします。

【回避策】 申し訳ありませんが、恒久的な制限事項とさせていただきます。

**b-3. ミスラインアクセス時のトレース制限事項。(リードアクセス時のみ)**

【内容】 ミスラインアクセスを起こした時(複数回バスサイクルが発生)、最後のアクセスサイズにしたがってアクセスデータの表示をおこない、アクセスデータ表示が異常となります。リードサイクルが該当します。

以下にサンプルプログラムとそのトレースデータ例を示します。

なお、メモリ 0x2000 より予め以下のデータを書き込んでおきます。

[ メモリデータ ]

	0	1	2	3	4	5	6	7	8	...	...	...
0x2000	0x11	0x22	0x33	0x44	0x55	0x66	0x77	0x88	0x99	...	...	...
0x2010	...	...	...	...	...	...	...	...	...	...	...	...

[ サンプルプログラム ]

Address	Data	DisAsm
00001000	20560020	movea 0x2000, r0, r10
00001004	2aa70100	ld.w 0x0[r10], r20 ; 0x2000 番地より 0x44332211 をリード
00001008	0000	nop
0000100A	20560120	movea 0x2001, r0, r10
0000100E	2aaf0100	ld.w 0x0[r10], r21 ; 0x2001 番地より 0x55443322 をリード
00001012	0000	nop
00001014	20560220	movea 0x2002, r0, r10
00001018	2ab70100	ld.w 0x0[r10], r22 ; 0x2002 番地より 0x66554433 をリード
0000101C	0000	nop
0000101E	20560320	movea 0x2003, r0, r10
00001022	2abf0100	ld.w 0x0[r10], r23 ; 0x2003 番地より 0x77665544 をリード
00001026	0000	nop
00001028	20560020	movea 0x2000, r0, r10
0000102C	2ac70000	ld.h 0x0[r10], r24 ; 0x2000 番地より 0x2211 をリード
00001030	0000	nop
00001032	20560120	movea 0x2001, r0, r10
00001036	2acf0000	ld.h 0x0[r10], r25 ; 0x2001 番地より 0x3322 をリード
0000103A	0000	nop
0000103C	20560220	movea 0x2002, r0, r10
00001040	2ad70000	ld.h 0x0[r10], r26 ; 0x2002 番地より 0x4433 をリード
00001044	0000	nop
00001046	20560320	movea 0x2003, r0, r10
0000104A	2adf0000	ld.h 0x0[r10], r27 ; 0x2004 番地より 0x5544 をリード
0000104E	0000	nop
00001050	0000	nop
00001052	0000	nop

## [ サンプルプログラムのトレースデータ ] 異常( )の( )内は期待値

Fram	Time	Address	Data	Status	Address	Data	Status	ExtProbe	DisAsm
00031	1	00001000	20560020	BRM1				00	movea 0x2000, r0, r10
00032	1	00001004	2AA70100	BRM1	00002000	44332211	R	00	ld.w 0x0[r10], r20
00033	1	00001008	00002056	M1		正常		00	nop
00034	1	0000100A	20560120	M1				00	movea 0x2001, r0, r10
00035	1	0000100E	2AAF0100	M1				00	ld.w 0x0[r10], r21
00036	8				00002001	22	R	00	
00037	1	00001012	00002056	M1		異常(55443322)		00	nop
00038	1	00001014	20560220	M1				00	movea 0x2002, r0, r10
00039	1	00001018	2AB70100	M1				00	ld.w 0x0[r10], r22
00040	5				00002002	4433	R	00	
00041	1	0000101C	00002056	M1		異常(66554433)		00	nop
00042	1	0000101E	20560320	M1				00	movea 0x2003, r0, r10
00043	1	00001022	2ABF0100	M1				00	ld.w 0x0[r10], r23
00044	8				00002003	44	R	00	
00045	1	00001026	00002056	M1		異常(77665544)		00	nop
00046	1	00001028	20560020	M1				00	movea 0x2000, r0, r10
00047	2	0000102C	2AC70000	M1	00002000	2211	R	00	ld.h 0x0[r10], r24
00048	1	00001030	00002056	M1		正常		00	nop
00049	1	00001032	20560120	M1				00	movea 0x2001, r0, r10
00050	1	00001036	2ACF0000	M1				00	ld.h 0x0[r10], r25
00051	5				00002001	22	R	00	
00052	1	0000103A	00002056	M1		異常(3322)		00	nop
00053	1	0000103C	20560220	M1				00	movea 0x2002, r0, r10
00054	2	00001040	2AD70000	M1	00002002	4433	R	00	ld.h 0x0[r10], r26
00055	1	00001044	00002056	M1		正常		00	nop
00056	1	00001046	20560320	M1				00	movea 0x2003, r0, r10
00057	1	0000104A	2ADF0000	M1				00	ld.h 0x0[r10], r27
00058	5				00002003	44	R	00	
00059	1	0000104E	00000000	M1		異常(5544)		00	nop
00060	1	00001050	00000000	M1				00	nop
00061	1	00001052	00004000	M1				00	nop

- ①アドレス bit1,0=0,1 のアドレスをワードアクセスした場合、誤ってバイトアクセスデータとして表示します。
- ②アドレス bit1,0=1,0 のアドレスをワードアクセスした場合、誤ってハーフワードアクセスデータとして表示します。
- ③アドレス bit1,0=1,1 のアドレスをワードアクセスした場合、誤ってバイトアクセスデータとして表示します。
- ④アドレス bit1,0=0,1 のアドレスをハーフワードアクセスした場合、誤ってバイトアクセスデータとして表示します。
- ⑤アドレス bit1,0=1,1 のアドレスをハーフワードアクセスした場合、誤ってバイトアクセスデータとして表示します。

【回避策】 申し訳ありませんが、回避策はありません。

ミスラインリードアクセスを行った場合、トレースデータの参照にはご注意ください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**b-4. HALT命令実行時及びSTOPモード移行時のトレースデータの制限事項。**

**【内容】** a)ソフトウェアSTOPモードへ移行するためにPRCMDレジスタ、PSCレジスタへアクセスする命令をフェッチしても、フェッチ情報がトレースされません。

(レジスタへのアクセスデータはトレースされます)

又、PSCレジスタへアクセス後の数個のNOP命令中、最後のNOP実行がトレースされません。

例)

```

mov 0x2,r2
movea base_address,r0,r20 ; base_address = FFFF0000H
st.h r11,PRCMD[R20] ;PRCMD = 01FCH ← この命令のフェッチがトレースされない
st.h r11,PSC[R20] ;PSC = 01FEH ← "
nop
nop
nop
nop
nop

```

b)HALT命令を実行した場合、HALT命令のフェッチ情報がトレースされず、かつ余分なトレースデータが1フレーム残ります。

[ サンプルプログラム ]

```

00001000          0000          nop
00001002          0000          nop
00001004          0000          nop
00001006          0000          nop
00001008          e0072001        halt
0000100C          0000          nop
0000100E          0000          nop
00001010          0000          nop
00001012          0000          nop
00001014          0000          nop

```

[ サンプルプログラムのトレースデータ ]

Fram	Time	Address	Data	Status	Address	Data	Status	ExtProbe	DisAsm
00001	1	00001000	00000000	BRM1				00	nop
00002	1	00001002	00000000	M1				00	nop
00003	1	00001004	00000000	M1				00	nop
00004	1	00001006	0000E007	M1				00	nop
00005	65535							00	本来は1008Hのhaltがトレースされる
00006	2							00	← 余分なフレーム
00007	3	00000010	00000000	M1				00	nop
00008	1	00000012	00000000	M1				00	nop
00009	1	00000014	00000000	M1				00	nop

**【回避策】** トレースデータ参照時は、該当命令またはその前後の命令のフェッチアドレスより実行結果を読み取るようにしてください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**b-5. トレーサでビット操作命令(set1、clr1、not1、tst1)アクセスデータが不正にトレースされる。**

**【内容】** アドレス下位2ビットが01, 10, 11のアドレスに、ビット操作を行った時、トレースデータのアクセスデータが不正値でトレースされます。(命令は正常に実行)

[ サンプルプログラム ]

```

00001000      20560020      movea 0x2000, r0, r10
00001004      20a60500      movea 0x5, r0, r20
00001008      20ae0a00      movea 0xa, r0, r21
0000100C      4aaf0000      st.b r21, 0x0[r10] ;0x2000番地へ0xaをライト
00001010      4aa70100      st.b r20, 0x1[r10] ;0x2000番地へ0x5をライト
00001014      4aaf0200      st.b r21, 0x2[r10] ;0x2000番地へ0xaをライト
00001018      4aa70300      st.b r20, 0x3[r10] ;0x2000番地へ0x5をライト
0000101C      0000         nop
0000101E      ca070000      set1 0x0, 0x0[r10] ;0x2000番地のbit0をセット
00001022      0000         nop
00001024      ca0f0100      set1 0x1, 0x1[r10] ;0x2001番地のbit1をセット
00001028      0000         nop
0000102A      ca170200      set1 0x2, 0x2[r10] ;0x2002番地のbit2をセット
0000102E      0000         nop
00001030      ca1f0300      set1 0x3, 0x3[r10] ;0x2003番地のbit3をセット
00001034      0000         nop
    
```

[ サンプルプログラムのトレースデータ ]

Fram	Time	Address	Data	Status	Address	Data	Status	ExtProbe	DisAsm
00016	17	00001004	20A60500	M1				00	movea 0x5, r0, r20
00017	17	00001008	20AE0A00	M1				00	movea 0xa, r0, r21
00018	17	0000100C	4AAF0000	M1	00002000	0A	W	00	st.b r21, 0x0[r10]
00019	1	00001010	4AA70100	M1	00002001	05	W	00	st.b r20, 0x1[r10]
00020	1	00001014	4AAF0200	M1				00	st.b r21, 0x2[r10]
00021	1	00001000	20560020	BRM1				00	movea 0x2000, r0, r10
00022	1	00001004	20A60500	BRM1				00	movea 0x5, r0, r20
00023	5	00001008	20AE0A00	M1				00	movea 0xa, r0, r21
00024	5	0000100C	4AAF0000	M1	00002000	0A	W	00	st.b r21, 0x0[r10]
00025	1	00001010	4AA70100	M1	00002001	05	W	00	st.b r20, 0x1[r10]
00026	1	00001014	4AAF0200	M1				00	st.b r21, 0x2[r10]
00027	16				00002002	0A	W	00	
00028	1	00001018	4AA70300	M1	00002003	05	W	00	st.b r20, 0x3[r10]
00029	1	0000101C	0000CA07	M1				00	nop
00030	1	0000101E	CA070000	M1				00	set1 0x0, 0x0[r10];この命令によるトレースは正常
00031	12				00002000	0A	R	00	
00032	1				00002000	0B	W	00	
00033	1	00001022	0000CA0F	M1				00	nop
00034	9	00001024	CA0F0100	M1	00002001	0A	R	00	set1 0x1, 0x1[r10];この命令によるトレースは異常
00035	6				00002001	0A	W	00	
00036	1	00001028	0000CA17	M1				00	nop
00037	10	0000102A	CA170200	M1	00002002	0A	R	00	set1 0x2, 0x2[r10];この命令によるトレースは異常
00038	1				00002002	0A	W	00	
00039	1	0000102E	0000CA1F	M1				00	nop
00040	9	00001030	CA1F0300	M1	00002003	0A	R	00	set1 0x3, 0x3[r10];この命令によるトレースは異常
00041	1				00002003	0A	W	00	

**【回避策】** 申し訳ありませんが、回避策はありません。

該当するアドレスへのビット操作命令実行時のトレースデータ参照時にご注意ください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**b-6. ビット操作命令のアクセスでデータ条件を含んだイベント検出が行えない。**

【内容】 アドレスの下位2bitが01、10、11のアドレスにビット操作命令をおこない、そのアクセスをイベント条件にした場合、データ条件をいれるとイベント検出が行えません。

【回避策】 イベント条件は、アドレス、ステータス、バスサイズで設定をおこない、データは条件にいれないでください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**b-7. HOLDステータスの制限事項。**

【内容】 本来HLDAK信号有効時(外部バス・ホールド中)にディバグガで表示される”HOLD”ステータスが、HLDRQ信号有効時に表示される。

【回避策】 ”HOLD”ステータスの表示を、HLDAK信号有効(外部バス・ホールド中)ではなくHLDRQ信号有効と読み変えてください。

HLDRQ信号マスク時でも、HLDRQ信号が有効になれば”HOLD”ステータスが表示されますのでご注意ください。

IE-V850E-MCは管理記号Bで修正されています。

IE-V850E-MC-Aは管理記号Dで修正されています。

**b-8. エミュレーションROMエリアにライトアクセスするとROM内容が書き換わる。**

【内容】 エミュレーションROMエリアにライトアクセスするとイリーガルブレイクは発生するが、ROMのデータが書き換わりません。

【回避策】 申し訳ありませんが、恒久的な制限事項とさせていただきます。

**b-9. SFRイリーガルブレイクの制限事項。**

【内容】 SFRイリーガルブレイクは「アドレス条件+R/W属性」で検出を行います。

ただし8bitSFRにハーフワードWRした場合はブレイクします。

(8bitSFRにハーフワードRDした場合はブレイクしません)

【回避策】 申し訳ありませんが、恒久的な制限事項とさせていただきます。

**b-10. プログラマブルI/O空間の制限事項。**

【内容】 a) 64MBモードの時、上位の32MBエリアにプログラマブルI/O空間をマッピングすると、ブレイク中にプログラマブルI/O空間がアクセス不可となります。

b) プログラム実行中にプログラマブルI/O空間にアクセスを行うと、SFRイリーガルブレイクが発生します。

【回避策】 a) 以下のディバグガで修正されています。

弊社製ディバグガの場合 :ID850 V2. 40以降のバージョン

GHS社のMultiの場合 :EX85032. DLLのV5. 60以降

b) プログラマブルI/O空間のあるエリアをエミュレーション・メモリ又はターゲットマッピングしてください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。



**b-11. ブレーク設定してもブレークしない制限事項。****【内容】**

## - (逆)アセンブリレベル -

連続した 2 命令にブレークポイントを設定し最初の命令でブレークが発生した場合、その後の実行再開要求に対して 2 番目の命令でブレークが発生しないことがあります。

```
0x80049c  mov    r9, r10 <--- ブレークポイント設定
0x80049e  add    r7, r10 <--- ブレークポイント設定
0x8004a0  addi   1, r10, r17
```

## - ソースレベル -

「連続した2つの実行文(それぞれが単一命令に展開されている)にブレークポイントを設定し最初の文でブレークが発生した場合、その後の実行再開要求に対して 2 番目の文でブレークが発生しないことがあります。

```
10  a = b;    (mov r9,r10)
11  a += c;   (add r7,r10)
```

**【発生要因】**

ブレークポイントで停止している位置で実行再開が要求された場合、そのブレークポイントに当たる命令を内部的に1インストラクションステップ実行させた上で実行を再開させております。

このステップ実行において、CPU の特性により命令の組合せによっては2つのインストラクションがまとめて実行される場合(2命令同時実行)があり、上記の(逆)アセンブリレベルの例では 0x8004a0 番地から実行が再開されることとなります。よって、0x80049e 番地に設定されているブレークポイントはヒットしない現象となります。

**【2命令同時実行の発生する命令の組合せ】**

「mov + 演算命令」が 1 命令として実行される条件

1. 「mov src,dst」と以下の命令の組合せで、mov の dst と演算命令の dst が r0 を除く同じレジスタである場合。

フォーマット I	satsubr/satsub/satadd/mulh or/xor/and subr/sub/add
フォーマット II	shr/sar/shl/mulh

なお、1 命令として実行されるのは、上記命令の組合せで 1 命令目に mov 命令がある時のみです。

命令の並列実行になる条件

以下の命令と br の組合せ

フォーマット I	nop/mov/not/sld satsubr/satsub/satadd/mulh or/xor/and/tst subr/sub/add/cmp
フォーマット II	mov/satadd/add/cmp shr/sar/shl/mulh
フォーマット IV	sld.b/sst.b/sld.h/sst.h/sld.w/sst.w

以下の (1 からフラグを更新する命令を除いた) 命令と br を除く bcc 命令の組合せ

フォーマット I	nop/mov/sld* mulh/sxb/sxh/zxb/zxh
フォーマット II	mov/mulh

フォーマット IV     sld.b/sst.b/sld.h/sst.h/sld.w/sst.w

以下の命令と sld の組合せ

```

フォーマット I        nop/mov/not
                      satsubr/satsub/satadd/mulh
                      or/xor/and/tst
                      subr/sub/add/cmp
フォーマット II        mov/satadd/add/cmp
                      shr/sar/shl/mulh

```

なお、1～3 で2命令同時実行が行われるのは、上記命令の組合せで 2 命令目に br/bcc/sld 命令がある時のみです。

また、以下のような場合、上記の組合せでも並列実行とはなりません。

- a) 1 命令目が非ワードラインへの分岐後の最初の命令である。
- b) 2 命令目が sld の場合で、ep のレジスタへの書き込みが終了していない場合。(ショートパスは行われな

<< 例 >>

以下のように命令が続いた場合は、2 命令実行されません。

```

0x1000  nop
0x1002  nop
0x1004  nop
0x1006  mov r10,ep
0x1008  sld.b 0x8[ep],r11
0x100c  nop
0x100e  nop

```

この場合、0x1006 番地の mov 命令で ep レジスタに対し、r10 の値を書きこみますが、0x1008 番地の sld.b 命令を実行する際、mov 命令の WB(ライトバック)が終了していないため、2 命令同時実行されません。

- c) 2 命令目が bcc でフラグハザードが発生する場合。(直前またはその前の命令がフラグを更新する可能性がある場合)

<< 例 >>

以下のように命令が続いた場合は、2 命令実行されません。

```

0x1000  nop
0x1002  nop
0x1004  nop
0x1006  cmp r0,r10
0x1008  bn 0xf0
0x100a  nop
0x100c  nop

```

0x1006 番地の cmp 命令によって S フラグが変更されるため、S フラグを参照して分岐する bn 命令は cmp 命令の実行を待つ必要が生じます。このため、bn 命令ではフラグハザードとなり、2 命令実行されません。

d) sld の場合で、2つともロードバッファが WB wait 状態にある場合。

<< 例 >>

以下のような命令がメモリ上に配置されているとします。

```
0x1000 nop
0x1002 nop
0x1004 ld.w 0x3000[r10],r11
0x1008 ld.w 0x3004[r10],r12
0x100c mov r8,r9
0x100e sld.b 0x10[ep],r13
```

この時、上記コードで 0x1004,0x1008 番地の ld.w が外部メモリへのアクセスの場合、数クロックの wait が入ります。よって 0x100e 番地を実行するとき、0x1004,0x1008 番地の ld.w 命令の WB が完了していないため“WB wait”となり、0x100c,0x100e 番地の 2 命令は同時実行されません。

※ フォーマット I、II、IV は、プロセッサのユーザーズマニュアル(アーキテクチャ編)にある命令フォーマット型式となります。

【回避策】 ・ソフトウェアブレイク設定時の対策は以下のデバッグで対応可能です。  
弊社製デバッグの場合 : ID850 E2. 20f以降のバージョン  
GHS社のMultiの場合 : EX85032. DLLをV5. 40以降のものへ移行してください  
・ハードウェア・ブレイクの場合申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

#### b-12. DMAトレース時のアクセスアドレスに関する制限事項。

【内容】 内蔵RAMアクセスもしくは内蔵RAMのプログラムを実行しているときにDMAを起動するとDMAのソースアドレス、もしくはディスティネーションアドレスのどちらか一方のトレースデータが内蔵RAMを示す3FFExxxhとなってしまいます。

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

#### b-13. ブレーク中の DBPC、DBPSW アクセスの制限事項。

【内容】 ブレーク中に DBPC、DBPSW のリードはできますが、ライトができません。

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

#### b-14. DBTRAP 命令の制限事項。

【内容】 ユーザプログラム実行中に DBTRAP 命令を実行した場合、その割り込み処理中にブレークすると、その後の RUN で DBPC、DBPSW が正常に読めません。

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

**b-15. IRAM28Kb時の不正ガードブレークの制限事項。**

【内容】 IRAMサイズが28Kbの時、0x3ff8000~0x3ffc000 をフェッチするとIRAMエリアにも係わらずガードブレークが発生します。

【回避策】 1)IRAMを60Kb設定すると不正ガードブレークしません。  
2)IRAMがマッピングされている1Mbの領域をエミュレーション・メモリまたはターゲットメモリにマッピングしてください。  
IE-V850E-MCは管理記号 D で修正されています。  
IE-V850E-MC-Aは管理記号 F で修正されています。

**b-16. ビッグエンディアン使用時の不正トレースの制限事項。**

【内容】ビッグエンディアンのモードにして、外部メモリデータに対しビット操作命令を実行すると、アクセスデータが正常にトレースされません。

【回避策】申し訳ありませんが、回避策はありません。  
IE-V850E-MCは管理記号 D で修正されています。  
IE-V850E-MC-Aは管理記号 F で修正されています。

**b-17. DMAトレース時のアクセスデータに関する制限事項。**

【内容】 DMAにより内蔵RAMデータをリードすると、そのトレースデータ中のリードデータ値が不正にトレースされます。

※リードアドレス、ライトデータ、ライトアドレスについては正常にトレースされます。

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

**b-18. ブレーク中のSFRのリードアクセスに関する制限事項。**

【内容】 リードアクセスする事によりセットされた状態からクリアされる SFR ビット(例 DCHC レジスタの TC ビット)は、ブレーク中にディバग्ガでSFR表示させた場合もクリアされます。  
(プログラムでリードアクセスを行わなくても、ディバग्ガでの表示でクリアされます)

【回避策】 ディバग्ガで該当 SFR を表示しなければ、リセットされません。  
また以下のデバイスファイルとディバग्ガの組み合わせで対応可能です。

- ・デバイスファイル

DF703107	:V1.20 以降のバージョン
DF703116	:V1.21 以降のバージョン
DF703114	:V1.00 以降のバージョン
DF703166	:V1.00 以降のバージョン

- ・ディバग्ガ

弊社製ディバग्ガの場合	:ID850 E2. 20f以降のバージョン
GHS製ディバग्ガ(Multi)の場合 (Windows 版)	:SV-V850-WIN32 Rel4.0.5 以降のバージョン 起動時に"-X2"オプションを指定します。
GHS製ディバग्ガ(Multi)の場合 (Solaris 版)	:SV-V850-Solaris Rel4.0.5 以降のバージョン 起動時に"-X2"オプションを指定します。

**b-19. PSCレジスタアクセス時のソフトウェアブレーク設定によるハングアップ制限事項**

【内容】 PSCレジスタのSTBビットをセット(1)する場合、直後の命令にソフトウェアブレークが設定されているとディバッガがハングアップします。

【回避策】 直後の命令にはソフトウェアブレークを設定しないで下さい。

(以下に例を示します。)

```

mov 0x2,r1
st.b r1,prcmd
st.b r1,psc
nop          ←ここにソフトウェアブレークを設定するとハングアップします。
nop          ←これ以降にソフトウェアブレークを設定すると問題ありません。

```

恒久的な制限事項とさせていただきます。

**b-20. 同じ分岐命令が2回トレースされる制限事項**

【内容】 分岐命令(JMP,BR,CALLT,CTRET 等)を実行した際に割り込みが競合すると、トレース上に分岐命令が2回トレースされます。

本制限事項はトレースの表示のみが不正になる制限事項です。実際の命令実行は1回です。

[該当した際の例]

00000	7	00000240	0000E007	BRM1	00	nop	←	割り込み発生と競合した場合 reti が2回トレースされます。
00001	1	<b>00000242</b>	E0074001	M1	00	reti		
00002	2	<b>00000242</b>	E0074001	M1	00	reti		
00003	2				00			
00004	5	00000240	0000E007	M1	00	nop		
00005	1	<b>00000242</b>	E0074001	M1	00	reti	←	
00006	2	<b>00000242</b>	E0074001	M1	00	reti		
00007	2				00			
00008	5	00000240	0000E007	M1	00	nop		
00009	1	00000242	E0074001	M1	00	reti		
00010	4	00001058	0000BF07	BRM1	00	nop		
00011	1	0000105A	BF07FEFF	M1	00	jr 0x1058		
00012	7	00000240	0000E007	BRM1	00	nop		
00013	1	<b>00000242</b>	E0074001	M1	00	reti	←	
00014	2	<b>00000242</b>	E0074001	M1	00	reti		
00015	2				00			
00016	5	00000240	0000E007	M1	00	nop		
00017	1	00000242	E0074001	M1	00	reti	←	割り込み発生と競合しない場合 reti が1回トレースされます。
00018	4	00001058	0000BF07	BRM1	00	nop		
00019	1	0000105A	BF07FEFF	M1	00	jr 0x1058		
00020	7	00000240	0000E007	BRM1	00	nop		

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

### b-21. 48bit長のmov命令トレースに関する制限事項

【内容】 48bit長のmov命令を実行した際に割り込みが競合すると、トレース結果が不正になります。mov命令のトレース結果が不正になった場合、その後に続く命令のトレース結果も不正になる場合がありますのでご注意ください。

本制限事項はトレースの表示のみが不正になる制限事項です。実際の命令実行は正常に行われています。

#### [割り込みが競合しない場合のトレース結果(制限事項に非該当)]

```

110 1 000010BE 2F061851 M1 0 mov 0x205118, r15
111 2 000010BE 2F062000 0
112 1 000010C4 6F070000 M1 205118 0 W 0 st.h r0, 0x0[r15]
113 1 000010C8 BF07EAFB M1 0 jr 0x10b2

```

#### [割り込みが競合した場合のトレース結果(制限事項に該当)]

```

110 1 000010BE 2F061851 M1 0 ****
111 1 000010BE 2F062000 M1 0 mov 0x20f146, r15
not r0, r0
112 2 0

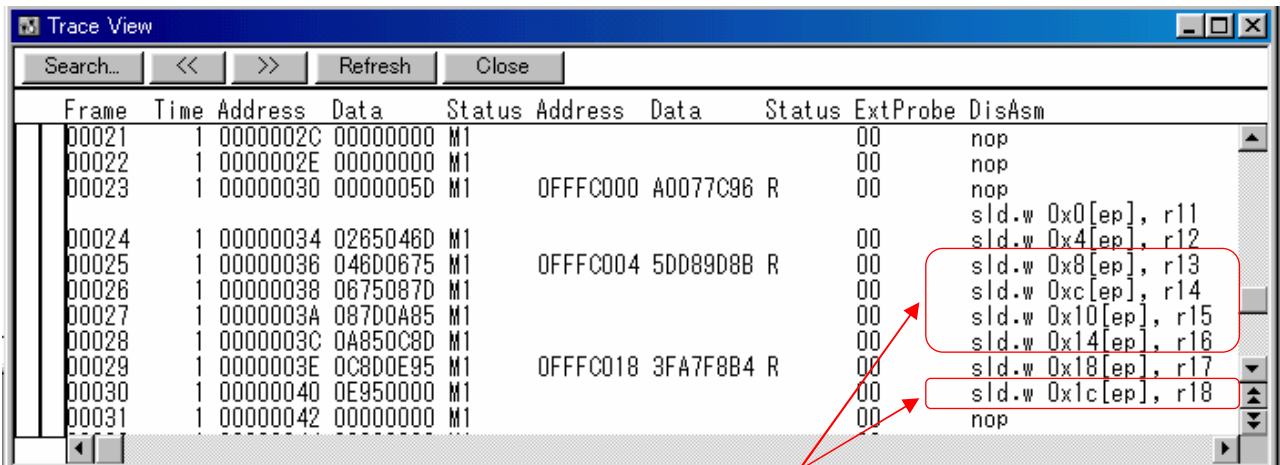
```

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

### b-22. 連続sld命令の不正トレース制限事項

【内容】 連続したsld命令を実行した際、トレースデータ内のアクセスデータ/アクセスアドレスが表示されない場合があります。逆アセンブルは正常に表示されます。

本制限事項はトレースの表示のみが不正になる制限事項です。実際の命令実行は正常に行われています。



アクセスアドレス/アクセスデータが表示されていない命令

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

**b-23. 外部メモリ拡張時の PCM1 端子制限事項**

【内容】 下記エミュレータを下記動作モードでご使用の場合、PCM1 端子をポート・モードで使用することができません。

	動作モード
・IE-V850E-MC+IE-703116-MC-EM1(V850E/IA1) .....	ROMLESS0/1,SINGLECHIP1
・IE-V850E-MC+IE-703114-MC-EM1(V850E/IA2).....	ROMLESS
・IE-V850E-MC-A+IE-703107-MC-EM1(V850E/MA1,2).....	ROMLESS0/1,SINGLECHIP1(MA1) ROMLESS0/1(MA2)

【回避策】 申し訳ありませんが、回避策はありません。  
恒久的な制限事項とさせていただきます。

**c-1. 品質改善による改造工事。**

【内容】 IE-V850E-MC-A 管理記号Cは品質改善による改造工事を行っていますが、実動作上は管理記号Bと同じです。

#### 4. その他注意事項

##### 1)エミュレーション・メモリ使用時の注意(エミュレーション・メモリはオプションボードに実装しています)

- ・エミュレータ動作周波数に依存し、エミュレーションメモリアクセスに必要な wait 挿入数が変わりますのでご注意ください。

4MHz ≤ 動作周波数 < 25MHz 0 Wait

25MHz ≤ 動作周波数 ≤ 40MHz 1 Wait

40MHz < 動作周波数 2 Wait

- ・バス・サイジングは 32bit または 16bit にしてください。8bit バスは使用できません。
- ・64MBモード時にエミュレーション・メモリを4000000H より上位のアドレスにマッピングできません。
- ・エミュレーション・メモリに対するウェイト数は\_WAIT 信号の影響を受けず、デバッグによる設定又はウェイトコントロールレジスタの設定により決定します。

##### ●ID850 の場合

コンフィグレーション画面には、以下の3種類の選択肢が用意されています。

		エミュレーションメモリアクセス	外部メモリアクセス
0 WAIT ACCESS	データウェイト	0ウェイト固定	DWCLレジスタの設定に依存。 WAIT信号はマスク。
	アドレスウェイト	0ウェイト固定	ASC又はAWCLレジスタの設定に依存。
	アイドルステート	0ウェイト固定	BCCLレジスタの設定に依存。
1 WAIT ACCESS	データウェイト	1ウェイト固定	DWCLレジスタの設定及びWAIT信号の状態に依存。
	アドレスウェイト	0ウェイト固定	ASC又はAWCLレジスタの設定に依存。
	アイドルステート	0ウェイト固定	BCCLレジスタの設定に依存。
DWC0,DWC1,BCC	データウェイト	DWCLレジスタの設定に依存。 ただし0ウェイト設定時は1ウェイト。	DWCLレジスタの設定及びWAIT信号の状態に依存。
	アドレスウェイト	0ウェイト固定	ASC又はAWCLレジスタの設定に依存。
	アイドルステート	BCCLレジスタの設定に依存。	BCCLレジスタの設定に依存。

##### ●Multi の場合

“pinmask”コマンドによって、wait 端子マスク/マスク解除を選択できます。

		エミュレーションメモリアクセス	外部メモリアクセス
WAIT :マスク EMWAIT:マスク	データウェイト	0ウェイト固定	DWCLレジスタの設定に依存。 WAIT信号はマスク。
	アドレスウェイト	0ウェイト固定	ASC又はAWCLレジスタの設定に依存。
	アイドルステート	0ウェイト固定	BCCLレジスタの設定に依存。
WAIT :アンマスク EMWAIT:マスク	データウェイト	1ウェイト固定	DWCLレジスタの設定及びWAIT信号の状態に依存。
	アドレスウェイト	0ウェイト固定	ASC又はAWCLレジスタの設定に依存。
	アイドルステート	0ウェイト固定	BCCLレジスタの設定に依存。
WAIT :アンマスク EMWAIT:アンマスク	データウェイト	DWCLレジスタの設定に依存。 ただし0ウェイト設定時は1ウェイト。	DWCLレジスタの設定及びWAIT信号の状態に依存。
	アドレスウェイト	0ウェイト固定	ASC又はAWCLレジスタの設定に依存。
	アイドルステート	BCCLレジスタの設定に依存。	BCCLレジスタの設定に依存。

パフォーマンス測定等の目的でエミュレーション・メモリのウェイト数を実際の外部メモリと同じにする場合はデバッグで「Target Wait」を選択して下さい。

また、その際対象となる外部メモリにアドレス・ウェイトが挿入される場合はエミュレーション・メモリに対するデータ・ウェイト数をアドレス・ウェイト分増やして下さい。



## 2) 端子処理

- ・ 本エミュレータは、デバイスとの等価性を優先に考えて、最小限の端子処理しか行っておりません。ターゲットを接続しないで使用する場合は、静電気に注意願います。
- ・ エミュレータ内部で端子処理を行っている端子はオプションボードで行っています。詳しくはオプションボードのユーザーズマニュアルをご参照ください。

## 3) パワーセーブ制御について

パワーセーブ制御を行うためにHALT命令及びSTPbit (PSCレジスタ)のセット命令実行後には必ずNOPを5個挿入してください。

### a) STPbit (PSCレジスタ) セット命令の場合

```

mov 0x2, r2
movea base_address, r0, r20 ; base_address = FFFF0000H
st.h r11, PRCMD[R20] ; PRCMD = 01FCH
st.h r11, PSC[R20] ; PSC = 01FEH
nop
nop
nop
nop
nop

```

NOPを5個挿入する

### b) HALT命令実行の場合

00001008	e0072001	halt	
0000100C	0000	nop	NOPを5個挿入する
0000100E	0000	nop	
00001010	0000	nop	
00001012	0000	nop	
00001014	0000	nop	

## 4) ターゲット電源OFF時の端子制御

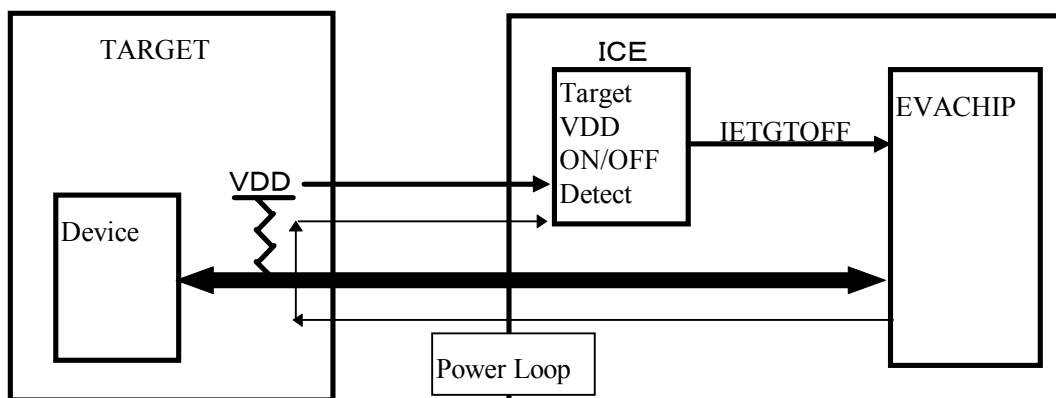
エミュレータ電源がオン、ターゲット電源がOFFの場合、エミュレータからターゲットへリーク電流が流れる事がありますのでご注意ください。

エミュレータはターゲット接続時、常にターゲット電源電圧検出回路にてターゲット電源電圧をセンスし、ターゲット電源がOFFまたはONからOFFになるとエミュレータは自動的にリセット状態になります。

リセット状態になると、ターゲットI/F信号をHi-Zにします。

しかしターゲットI/F信号のなかにはエミュレータ内でのプルアップ抵抗による端子処理によってハイレベルをドライブするものが存在する場合があります、ターゲットのプルアップ抵抗を介してターゲットのVDDに電流が回り込む現象が発生します。

このVDDをエミュレータのターゲット電源電圧検出回路が検出し、エミュレータがターゲット電源オンと判断し、リセットを解除し外部バス信号をドライブする事によりリーク電流が生じます。



## 5). トレースデータについての注意事項

### 5-1) LD命令、ST命令のアクセスデータのトレース順序

「LD命令→ST命令」の順番に実行した場合、トレースデータに「ST命令のアクセス→LD命令のアクセス」の順にトレースされる場合があります。

LD命令は最短(IRAMアクセス)の時は、リードデータはLD命令と同じフレームに書かれますが、外部メモリアクセスなどバスサイクルが長くなるとリードデータはST命令の後でトレースに書かれます。

#### － 詳細 －

トレース制御は、基本的にはライト・サイクル時はデータが分かっているのでST命令を実行したタイミングで、リードサイクルではリードサイクルが終了してデータを取り込んだ後でトレースに書き込む準備を始めます。この為LD命令とST命令が並んでいる場合、ST命令のデータ→LD命令のデータようにトレースデータ上アクセスデータだけ順番が逆転する場合があります。

以下にサンプルプログラムと、そのトレースデータを添付します。

[サンプルプログラム]

```
* 00000700 init          0000          nop
* 00000702 bpc          4056ff03      movhi 0x3ff, r0, r10
* 00000706             8a5e64f0      ori 0xf064, r10, r11
* 0000070A             2d06bb8f0000  mov 0x8fbb, r13
* 00000710             6b6f0000      st.h r13, 0x0[r11]          ; 0x3FFF064 番地へ 0x8FBB をライト
* 00000714 bsc          8a5e66f0      ori 0xf066, r10, r11
* 00000718             206eaa6a      movea 0x6aaa, r0, r13
* 0000071C             6b6f0000      st.h r13, 0x0[r11]          ; 0x3FFF066 番地へ 0x6AAA をライト
* 00000720             207eff00      movea 0xff, r0, r15
* 00000724             2086f00f      movea 0xff0, r0, r16
* 00000728 start       4056ee03      movhi 0x3ee, r0, r10
* 0000072C npb         8a5e40c0      ori 0xc040, r10, r11
* 00000730             2b8f0000      ld.h 0x0[r11], r17          ; 0x3EEC040 番地から 0x0000 をリード
* 00000734             6b7f0000      st.h r15, 0x0[r11]          ; 0x3EEC040 番地へ 0x00FF をライト
* 00000738             2b970000      ld.h 0x0[r11], r18          ; 0x3EEC040 番地から 0x00FF をリード
* 0000073C             6b870000      st.h r16, 0x0[r11]          ; 0x3EEC040 番地へ 0x0FF0 をライト
* 00000740             2b9f0000      ld.h 0x0[r11], r19          ; 0x3EEC040 番地から 0x0ff0 をリード
* 00000744             cb0f0000      set1 0x1, 0x0[r11]          ; 0x3EEC040 番地への SET 命令(RMW)
* 00000748             2ba70000      ld.h 0x0[r11], r20          ; 0x3EEC040 番地から 0x0FF2 をリード
* 0000074C             0000          nop
```

[サンプルプログラムのトレース表示例]

00000	1	00000000	80070007	BRM1	00	jr	init
00001	7	00000700	00004056	BRM1	00	nop	
00002	1	00000702	4056FF03	M1	00	movhi	0x3ff, r0, r10
00003	1	00000706	8A5E64F0	M1	00	ori	0xf064, r10, r11
00004	1	0000070A	2D06BB8F	M1	00	mov	0x8fbb, r13
00005	18	0000070A	2D060000		00		
00006	1	00000710	6B6F0000	M1	03FFF064	8FBB	W ← 00 st.h r13, 0x0[r11]
00007	1	00000714	8A5E66F0	M1	00		ori 0xf066, r10, r11
00008	18	00000718	206EAA6A	M1	00		movea 0x6aaa, r0, r13
00009	1	0000071C	6B6F0000	M1	03FFF066	6AAA	W ← 00 st.h r13, 0x0[r11]
00010	1	00000720	207EFF00	M1	00		movea 0xff, r0, r15
00011	1	00000724	2086F00F	M1	00		movea 0xff0, r0, r16
00012	1	00000728	4056EE03	M1	00		movhi 0x3ee, r0, r10
00013	1	0000072C	8A5E40C0	M1	00		ori 0xc040, r10, r11
00014	1	00000730	2B8F0000	M1	00		ld.h 0x0[r11], r17
00015	1	00000734	6B7F0000	M1	03EEC040	00FF	W ← 00 st.h r15, 0x0[r11]
00016	1	00000738	2B970000	M1	00		ld.h 0x0[r11], r18
00017	1	0000073C	6B870000	M1	00		st.h r16, 0x0[r11]
00018	14		03EEC040	0000	00		R ← 00
00019	2		03EEC040	0FF0	00		W ← 00
00020	1	00000740	2B9F0000	M1	00		ld.h 0x0[r11], r19
00021	17	00000744	CB0F0000	M1	00		set1 0x1, 0x0[r11]
00022	14		03EEC040	00FF	00		R ← 00
00023	50		03EEC040	0FF0	00		R ← 00
00024	1		03EEC040	F0	00		R ← 00
00025	36		03EEC040	F2	00		W ← 00
00026	2	00000748	2BA70000	M1	03EEC040	0FF2	R ← 00 ld.h 0x0[r11], r20

## 5-2) 外部ロジックデータのトレースタイミング

外部ロジックデータがトレースに出てくるまでのタイミングは、「**8×1回のフェッチにかかるクロック数**」の後にトレーサに出てきます。

### － 詳細 －

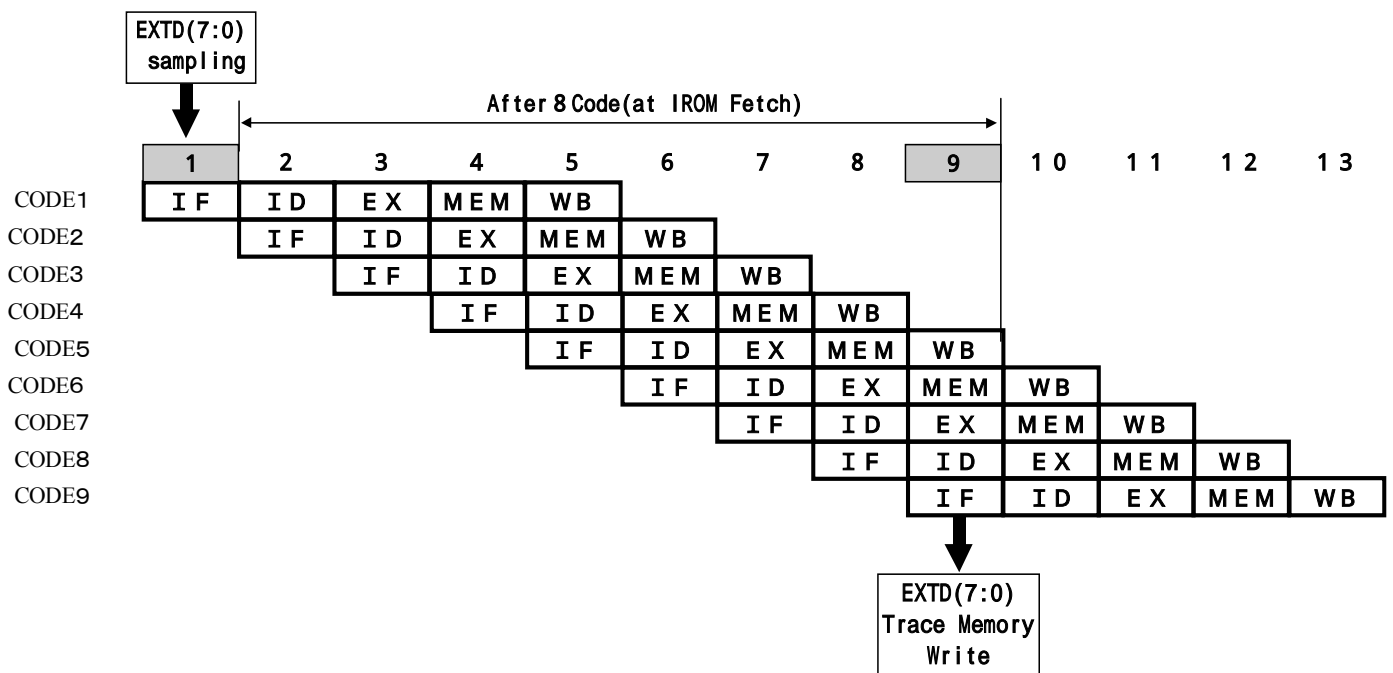
外部ロジックデータのサンプリングは命令実行に同期して行われる為、IROMと外部メモリにプログラムを置いた場合では異なりますし、ウェイト数によっても変わります。

また、外部メモリにプログラムを置いている時は、外部メモリへのリード/ライトサイクルが入ってくる事によっても変化します。最短はIROMにプログラムを置いた時で、8クロック後になります。

また、注意すべき事は外部ロジックデータが毎クロックサンプリングされていない事です。

常に、命令実行が行なわれないとサンプリングされないので、命令実行の間に変化する信号は取れません。

ゆえに、IROMの様に1クロックごとに命令実行される可能性が高い時は、外部ロジックデータの取りこぼしは少なくなります。逆に外部メモリでウェイトを多めに入れた時はデータの取りこぼしがあります。



## 6) 命令キャッシュに関する注意事項

命令キャッシュを使用する場合、以下の注意事項があります。

### a) 命令キャッシュ使用可能なエミュレータ管理記号。

・IE-V850E-MC : 管理記号 C 以降

・IE-V850E-MC-A : 管理記号 E 以降

### b) ターゲットプログラム停止中のメモリデータの書き換え。

ターゲットプログラム停止中にオートフィルによりロックされた空間(命令キャッシュよりフェッチを行う空間)のデータを書き換えても、命令キャッシュのデータは更新されません。

命令キャッシュのデータを更新する場合は、一度タグ・クリアを行った後、オートフィルを行ってください。

### c) ソフトウェアブレークの設定について。

ターゲットプログラム停止中にオートフィルによりロックされた空間(命令キャッシュよりフェッチを行う空間)の命令にソフトウェアブレークは設定できません。

ソフトウェアブレークを設定するには、一度タグ・クリアを行った後、オートフィルを行ってください。またはハードウェア・ブレークをご使用ください。

## 7)内蔵ROM/RAM空間のフェイル・セーフ・ブレイクに関する注意事項

エミュレータではデバッグの設定によって内蔵ROM/RAMが以下のように設定されます。

内蔵 ROM	
デバッグの設定	マッピングされる内蔵 ROM 空間 (0H 番地から内蔵 ROM をマッピングする場合)
0 KByte	無し
32 KByte	00000000H~00007FFFH
64 KByte	00000000H~0000FFFFH
128 KByte	00000000H~0001FFFFH
256 KByte	00000000H~0003FFFFH
512 KByte	00000000H~0007FFFFH
1024 KByte	00000000H~000FFFFFFH
その他	対象デバイスに依存

内蔵 RAM		
デバッグの 設定	マッピングされる内蔵 RAM 空間	
	64M モード	256M モード
4096 Byte	3FFE000H~3FFEFFFFH	FFFE000H~FFFEFFFFH
12288 Byte	3FFC000H~3FFEFFFFH	FFFC000H~FFFEFFFFH
28672 Byte	3FF8000H~3FFEFFFFH	FFF8000H~FFFEFFFFH
61440 Byte	3FF0000H~3FFEFFFFH	FFF0000H~FFFEFFFFH
その他	対象デバイスに依存	

### ※内蔵 ROM に関して

どのマッピングを行った場合でも 00000000H~000FFFFFFH の空間に対してアクセス(命令フェッチ、データ・リード・アクセス)を行った際、フェイル・セーフ・ブレイクは発生しません。ライト・アクセスを行った場合はライト・プロテクトブレイクが発生します。

例えば、512KByte 設定時に 00080000H~000FFFFFFH の空間に対してのアクセスを禁止させたい場合はイベントブレイクを設定する等の工夫が必要です。

また、00100000H 番地から内蔵 ROM が存在する場合、同様に 00100000H~001FFFFFFH の空間に対するアクセス(命令フェッチ、データ・アクセス)を行った際、フェイル・セーフ・ブレイクは発生しません。

### ※内蔵 RAM に関して

各マッピングの設定によりメモリの存在しない空間に対してアクセス(命令フェッチ、データ・アクセス)を行った際はフェイル・セーフ・ブレイクが発生します。

ただし、その他の設定を行った場合フェイル・セーフ・ブレイクを発生できない空間が存在します。

例えば、対象デバイスの内蔵 RAM 空間が 3FFC000H~3FFE7FFF(10KB 空間)の場合、エミュレータは 3FFC000H~3FFEFFFFH(12KB 空間)にマッピングします。このため、アドレスの上位側 2KB 空間(3FFE800H~3FFEFFFFH)に対してはフェイルセーフブレイクが発生しません。こういったアドレスに対するアクセスでフェイル・セーフ・ブレイクを発生させたい場合はイベントブレイクを設定する等の工夫が必要です。

## 8) 本製品の取り扱いに関する一般的な注意事項

### 8) - 1 製品保障外となる場合

- ・本製品をお客様自身により分解、改造、修理した場合
- ・落下、倒れなど強い衝撃を与えた場合
- ・過電圧での使用、保障温度範囲外での使用、保障温度範囲外での保存
- ・電源アダプタ、インタフェース・ケーブル、ターゲット・システムとの接続が不十分な状態で電源を投入した場合
- ・電源アダプタのケーブル、PC インタフェース・ケーブル、延長プローブなどに過度の曲げ、引っ張りを与えた場合
- ・添付品以外の電源アダプタを使用した場合
- ・本製品を濡らしてしまった場合
- ・本製品の GND とターゲット・システムの GND に電位差がある状態で本製品とターゲット・システムを接続した場合
- ・本製品の電源投入中にコネクタやケーブルの抜き差しを行った場合
- ・コネクタやソケットに過度の負荷を与えた場合

### 8) - 2 安全上の注意

- ・長時間使用していると、高温(50°C~60°C程度)になることがあります。低温やけどなど、高温になることによる障害にご注意ください。
- ・感電には十分注意をしてください。上記の製品保障外となる場合に書かれているような使用方法をすると感電する恐れがあります。