

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

— 日立半導体技術情報 —

〒100-0004
 東京都千代田区大手町2丁目6番2号
 (日本ビル)
 TEL (03)5201-5057 (ダイヤルイン)
 株式会社 日立製作所 半導体グループ

製品分類	通信用		発行番号	TN-PSC-341A	Rev.	第1版
題名	HD64572S SCA-II ご使用上の注意		情報分類	1. 仕様変更 2. ドキュメント訂正追加等 ③ 使用上の注意事項 4. マスク変更 5. ライン変更		
適用製品	HD64572FL33, HD64572AFL33, HD64572FL33(R), HD64572AFL33(R), HD64572SFL33	対象ロット等	関連資料	HD64572 SCA-II ユーザーズマニュアル 第二版 ADJ-602-160A(O)	有効期限	
		全ロット			永年	

下記の制限事項を追加させて頂きたく、ご連絡申し上げます。

1 スレープモードバスタイミング

1.1 CPUモード2,3のスレープモードライトアクセス

1.1.1 動作

SCA-IIのスレープモードライトアクセス(CPUモード2,3)においてCS信号とR/W信号のLow(アクティブ)を検出すると、DS3~DS0信号に関係なくライトサイクルを開始する場合があります。また、DS3~DS0信号のインアクティブ以降もCS信号とR/W信号が共にアクティブ状態を継続した場合、DS3~DS0信号のアクティブ検出に関わらず連続ライトアクセスとして動作する場合があります。

データの取込みはライトサイクル開始後2CLKサイクル時に、A9~2とDS3~DS0信号のアクティブを検出できた場合に行います。CS信号、R/W信号とDS3~DS0信号の同期が崩れた場合、データ取込みサイクルが消失し、正常にレジスタライトが実行されません。

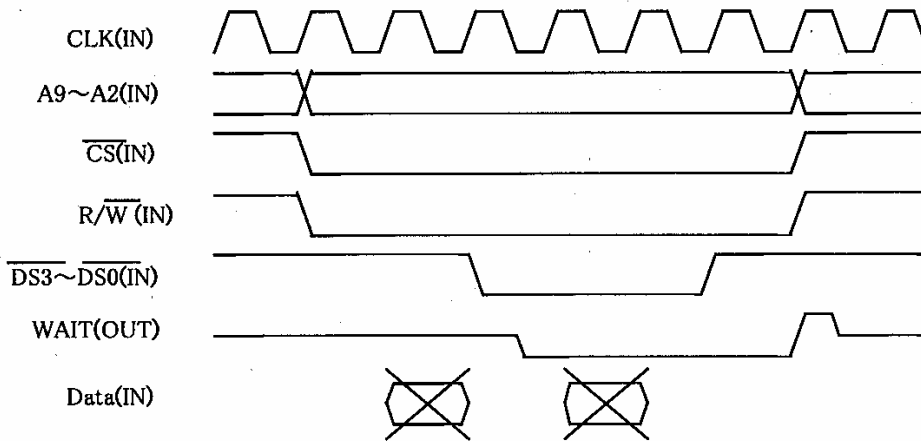


図 1.1 正常にレジスタライトが実行出来ないタイミング例

1.1.2 対策例

CPUモード2,3のスレーブモードライトタイミングでは、CS信号とDS3~DS0信号を同一タイミングで入力します。あるいは、R/W信号とDS3~DS0信号を同一タイミングで入力します。

(1) CS信号、R/W信号、DS3~DS0信号を同一タイミングで入力

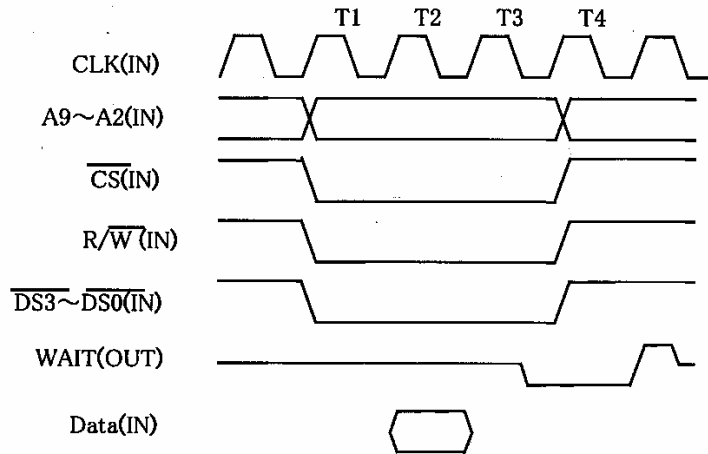


図 1.2 CS 信号、R/W 信号、DS3~DS0 信号を同一タイミング

(2) CS信号とDS3~DS0信号を同一タイミングで入力

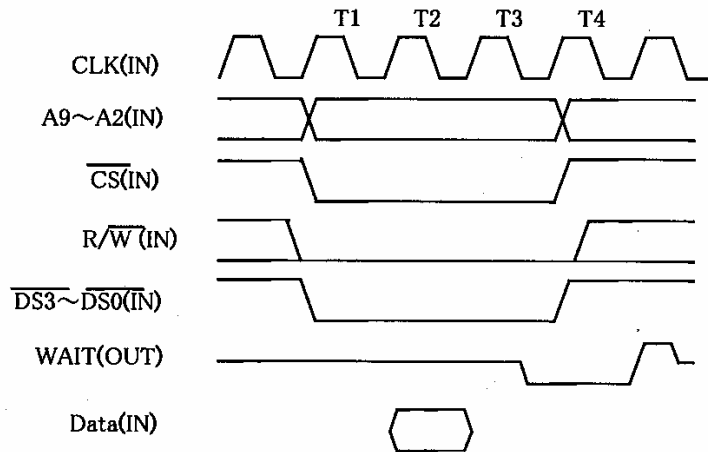


図 1.3 CS 信号と DS3~DS0 信号を同一タイミング

(3)R/W 信号と DS3~DS0 信号を同一タイミングで入力

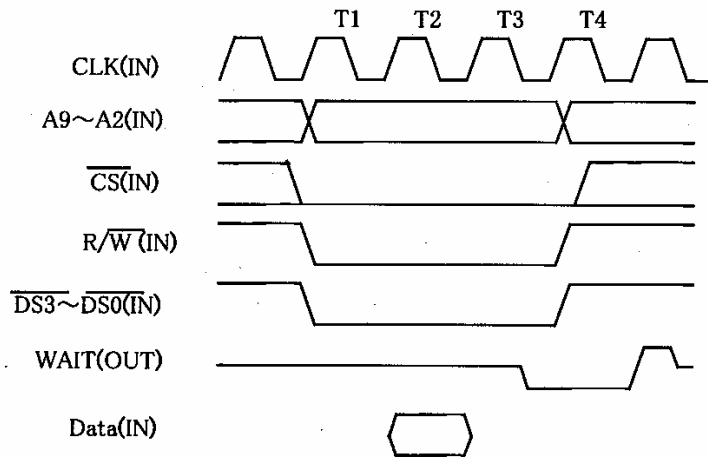


図 1.4 R/W 信号と DS3~DS0 信号を同一タイミング

1.2 CPU モード 0, 1 のスレーブモードリードアクセス

1.2.1 動作

スレーブサイクルの T4 クロック時に、DS3~DS0 信号のアクティブを検出すると、T4 クロック時に検出した A9~A2 に該当するレジスタへのリードアクセスとして動作する場合があります。

例えば、リードすることにより状態が変わる MSC1 RX バッファのアドレスと一致した場合、1~4 バイトのデータ消失するか、またはイリーガルアクセスエラーが発生します。

1.2.2 対策例

CPU モード 0,1 のスレーブリードタイミングでは、DS3~DS0 信号をレジスタアクセス毎にインアクティブにし、A9~A2 の値は DS3~DS0 信号のインアクティブまで保持します。あるいは、DS3~DS0 信号を RD 信号と同じタイミングでバスサイクル毎にインアクティブにします。

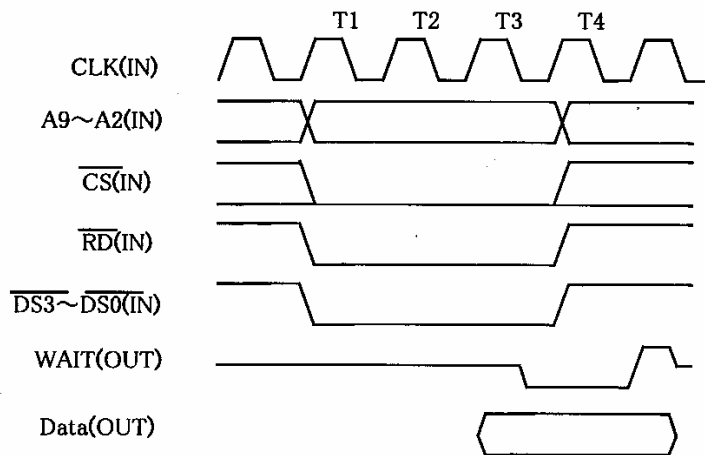


図 1.5 スレーブモードタイミング (CPU モード 0,1)

2 CDA レジスタアクセス時の注意

2.1 CDA レジスタ更新タイミングについて

CDA レジスタの値は自チャンネルのステータスライトサイクル実行時に CDA のテンポラリレジスタ CDA 値に更新します。したがって、送信時、受信時にかかわらず、ディスクリプタステータスライトサイクル実行後には、CDA レジスタの値は次のディスクリプタのアドレスを示します。

2.2 CDA レジスタライトアクセス時の注意

2.2.1 動作

複数チャンネルでの DMA 動作時、当該 DMA チャンネルが初期状態であっても、他の DMA チャンネルが動作中の場合、当該チャンネルの CDA レジスタへの書込みが正常に行えない場合があります。

2.2.2 対策例

DMA 初期状態時の CDA レジスタ書込み対策を下記に示します。

- (1) 全ての DMA チャンネルを初期状態にし、当該チャンネルの CDA レジスタに書込みを行います。
- (2) CDA レジスタ書込み後、CDA レジスタ読込みを行いリード値とライト値が一致するまで、CDA レジスタへの書込みを繰り返し行います。
- (3) 全ての DMA チャンネルがバス権要求を出していない時に、当該チャンネルの CDA レジスタに書込みを行います。

3 DMA 割込みタイミングと DMA ステータスレジスタ更新について

3.1 DMA 割込み発生タイミングについて

3.1.1 動作

DMA 割込みは、割込み要因が発生した時点でアクティブになります。割込み要因によっては当該チャンネルのディスクリプタステータスライト実行前の DMA サイクル終了時にセットされる場合があります。

MPU が割込み処理を開始した時点で、まだ当該 DMA チャンネルのディスクリプタステータスライトが完了していない場合があります。

3.1.2 対策例

バーストトランスミッションコントロールレジスタ(BTCR)の設定をディスエーブル、および DMA プライオリティコントロールレジスタ(PCR)の BCR ビットを"0"に設定し、SCA-II がバス権獲得中は SCA-II がバス権要求をインアクティブにするまではバス権を放棄しないようにします。この制御によって当該 DMA チャンネルのディスクリプタステータスライトが完了する前に MPU の割込み処理が入ることが無くなります。

3.2 DSR レジスタ更新タイミングについて

3.2.1 送信の終了条件成立時の動作

(1) DE ビットインアクティブタイミング

DE ビットは、自チャンネルのステータスライトサイクルの 1 サイクル前の DMA サイクル実行時にインアクティブになります。DE がインアクティブになる DMA サイクルは、自チャンネルの DMA サイクル（この場合は最終データ転送サイクル）の場合と、他チャンネルの DMA サイクルの場合があります。

(2) BOF ビットアクティブタイミング

BOF ビットは、自チャンネルのステータスライトサイクル実行時にアクティブになります。

(3) EOM ビットアクティブタイミング

EOM ビットは、自チャンネルのステータスライトサイクル実行時にアクティブになります。

3.2.2 受信の終了条件成立時の動作

受信時は、DE ビットと BOF ビットの更新タイミングは送信時と同じですが、EOM ビットの更新タイミングは送信時と異なります。

(1) DE ビットインアクティブタイミング

DE ビットは、自チャンネルのステータスライトサイクルの 1 サイクル前の DMA サイクル実行時にインアクティブになります。DE がインアクティブになる DMA サイクルは、自チャンネルの DMA サイクル（この場合は最終データ転送サイクル）の場合と、他チャンネルの DMA サイクルの場合があります。

(2)BOF ビットアクティブタイミング

BOF ビットは、自チャンネルのステータスライトサイクル実行時にアクティブになります。

(3)EOM ビットアクティブタイミング

EOM ビットは、自チャンネルの最終データ転送サイクル実行後の次の DMA サイクル開始時にアクティブになります。最終データ転送サイクル実行後にスレーブサイクルが挿入される場合は、次のバス権獲得後の DMA サイクル開始時にアクティブになります。

3.2.3 ステータスセットタイミング例

[例 1] 最終データ転送サイクルとステータスライトサイクルが連続している場合

```
最終データ転送.....ステータスライト
↑DE ビットインアクティブ
      ↑EOM アクティブ
      ↑BOF ビットアクティブ
```

[例 2] 最終データ転送サイクルとステータスライトサイクルの間にスレーブサイクルが挿入された場合

```
最終データ転送.....スレーブサイクル.....ステータスライト
↑DE ビットインアクティブ
                                ↑EOM アクティブ
                                ↑BOF ビットアクティブ
```

[例 3] 最終データ転送サイクルとステータスライトサイクルの間に他チャンネルの DMA サイクルが挿入された場合

```
最終データ転送.....他チャンネル DMA.....ステータスライト
      ↑DE ビットインアクティブ
      ↑EOM アクティブ
                                ↑BOF ビットアクティブ
```

[例 4] 最終データ転送サイクルとステータスライトサイクルの間に他チャンネルの DMA サイクルとスレーブサイクルが挿入された場合

(a)

```
最終データ転送.....スレーブサイクル.....他チャンネル DMA.....ステータスライト
      ↑DE ビットインアクティブ
      ↑EOM アクティブ
                                ↑BOF ビットアクティブ
```

(b)

```
最終データ転送.....他チャンネル DMA.....スレーブサイクル.....ステータスライト
      ↑DE ビットインアクティブ
      ↑EOM アクティブ
                                ↑BOF ビットアクティブ
```

4 チェインブロック転送モード

4.1 EOT 転送終了とデータ長 DL の設定上の注意

4.1.1 動作

チェインブロック転送モード設定時、ディスクリプタ中の EOT ビット="1"かつ DL (データ長) を"0000h"に設定すると、DMA は EOT 終了とはならず当該ディスクリプタアクセス後も転送を継続します。

4.1.2 対策例

- (1) EOT ビット="1"かつ DL=0000h の設定は行わない。
- (2) DL=0000h に設定する場合は、BOF 終了設定を使用して下さい。

4.2 EOT 転送終了設定上の注意

4.2.1 動作

チェインブロック転送モード動作時、ディスクリプタ中の EOT ビット="1"に設定し、DL (データ長) を 0000h 以外に設定すると、DMA 転送終了時に DMA ステータスレジスタ DSR には EOT ビットおよび、BOF ビットに"1"をセットします。

4.2.2 対策例

転送終了後 CDA レジスタと EDA レジスタの値を比較し、値が一致していれば、BOF 終了、一致していなければ EOT 終了と判定することができます。

5 DRR リセット使用上の注意

5.1 動作

OSBE (オーナーシップビットイネーブル) モード時、当該 DMA チャンネルがメモリ上のディスクリプタをポーリングするウェイト(Polling)にあるときに MPU が DRR リセットを発行した場合、DMAC の再設定に関係なく、DMAC を再起動することはできません。

DMAC のステートマシンは①初期状態②ディスクリプタリード③ウェイト(Polling)④データ転送⑤ディスクリプタライトの5つの状態で構成しています。ステートマシンがウェイト状態の時にリセットコマンドを発行するとウェイトから初期状態への遷移ルートがないために、再起動ができなくなります。

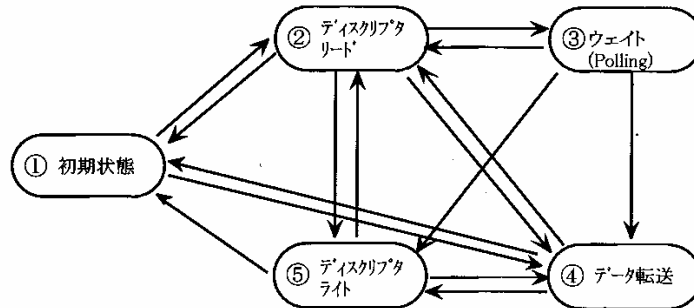


図 5.1 DMAC 状態遷移図

5.2 対策例

5.2.1 ウェイト(Polling)状態を発生させない場合

OSBE (オーナーシップビットイネーブル) モードをディスエーブルに設定します。

5.2.2 ウェイト(Polling)状態にある DMA チャンネルに対して DRR コマンド発行する場合

5.2.2.1 当該チャンネルのディスクリプタリード状態での実行

- (i) DMER レジスタ DME ビットを"0"にクリアし、DMA 要求をディスエーブルにします。
[注 1]: DSR レジスタ DE ビットはクリアしない。HALT 状態にしないこと。
[注 2]: 当該チャンネルに対応する MSC1 チャンネルはイネーブル状態であること。
- (ii) DMER ビットクリアからフリーランカウンタが all "1"になるのを待ち(64クロック以上経過後)、当該チャンネルに DRR コマンドを発行します。
- (iii) DMER レジスタ DME ビットを"1"に書換えます。

上記処理時間が通信速度に対し長くかかる場合、FIFO のアンダフローやオーバフローが発生しやすくなります。FIFO のアンダフローやオーバフローが発生しないように、送信/受信 DMA 要求制御レジスタの設定値を調整してください。

5.2.2.2 当該チャンネルの DMA 転送終了後(初期状態)の実行

当該チャンネルのポーリングを終了させ、次のディスクリプタで DMA 転送終了させます。

(1)送信 DMA チャンネル

Tx イネーブル時。

- (i) 当該チャンネルの EDA レジスタをアクセス中のディスクリプタチェインポインタアドレスの設定値に書換えます。
- (ii) 当該チャンネルのディスクリプタの OSB ビットを"0"に、データ長 DL を"0000h"に書換えます。
- (iii) 当該チャンネルの DMA エラー終了(CDA=EDA)を待ちます。
- (iv) 当該チャンネルにのみ DRR コマンドを発行します。

DL を"0000h"に設定することにより、③ウェイト(Polling)から⑤ディスクリプタライトに遷移します。従って、当該メモリバッファへのアクセスは実施されません。

(2)受信 DMA チャンネル

Rx イネーブルかつ Rx FIFO にデータ有り。

- (i) 当該チャンネルの EDA レジスタをアクセス中のディスクリプタチェインポインタアドレスの設定値に書換えます。
- (ii) 当該チャンネルのディスクリプタの OSB ビットを"0"に書換えます。
- (iii) 当該チャンネルの DMA エラー終了(CDA=EDA)を待ちます。
- (iv) 当該チャンネルにのみ DRR コマンドを発行します。

当該ディスクリプタの OSB ビットクリア後、当該メモリバッファへのデータ転送が実行されます。これを避けるには BFL レジスタを"0000h"に設定することにより、メモリバッファに転送を実施させない方法がありますが、BFL レジスタ設定値を BCR レジスタに更新するタイミングは当該ディスクリプタリードに最初に遷移した時のみです。ポーリング状態からディスクリプタリード状態への遷移時は更新しません。

6 BUSACK 信号入力時の注意

6.1 動作

マスタモードタイミングにおいて、T1 サイクルの CLK 立下り直前で BUSACK 信号をネゲートすると、当該 DMA バスサイクルにおいて DS3~DS0 信号のアクティブ出力が停止し、当該 DMA バスサイクルが正常に実行されない場合があります。

[例]

受信 DMA 動作時、フレーム最終データ転送サイクルにおいて、T1 サイクルの CLK High レベル中に BUSACK がインアクティブになった場合、DS3~DS0 信号を出力せずに、DMA データ転送を実行します。この場合、データ出力も行いませんので、メモリバッファへはデータ書込まれませんが、当該サイクルは完了したとして扱われ、転送データが消失します。

6.2 対策例

- (1) BUSREQ 信号がアクティブ期間中は BUSACK 信号をインアクティブにしない。
- (2) マスタサイクルの T2 サイクルと T1 サイクル間では BUSACK 信号をインアクティブにせず、 T_w サイクル時に BUSACK 信号をインアクティブにします。

7 DMA イネーブルコマンド発行時の注意

7.1 動作

チェインブロック転送モードにおいて、1 チャンネル以上が DMA イネーブルである場合、BOF (EDA = CDA) で停止中の DMA チャンネル、または CDA レジスタ値と EDA レジスタ値が一致している DMA チャンネルに対して DMA イネーブルコマンドを発行すると、当該チャンネルのディスクリプタステータスライトが発生するか、動作中の DMA チャンネルが誤動作する場合があります。

7.2 対策例

CDA レジスタ値と EDA レジスタ値が一致した状態で DMA イネーブルコマンドを発行しない。

[注意]

DMA 停止要因をクリアせずに、DMA イネーブルコマンドを発行した場合の動作は保証しません。

8 EDA レジスタアクセス時の注意

8.1 動作

CDA のテンポラリレジスタ CDA' の値と EDA レジスタの値が一致している状態で、当該 DMA チャンネルの最終データ転送後であり、当該ディスクリプタステータスライトアクセスの前に EDA レジスタに書き込みを行うと、当該ディスクリプタステータスライト後に当該 DMA チャンネルは BOF 終了で停止しますが、DSR レジスタの BOF ビットはセットされません。

8.2 対策例

- (1) EDA レジスタへの書き込みは DMA 初期状態で行います。
- (2) CDA' レジスタ値と EDA レジスタ値が一致していないことを確認して EDA レジスタに書き込みを行います。
- (3) CDA' レジスタ値と EDA レジスタ値が一致している場合
 - (a) 送信チャンネル
BCR レジスタが"0000h"である場合は、ディスクリプタステータスライト後まで、EDA レジスタへの書き込みは行わない。
 - (b) 受信チャンネル
ディスクリプタリードステート以外では EDA レジスタへの書き込みは行わない。

9 DMA ディスクリプタアドレス更新エラーについて

9.1 動作

DMAC のチェインブロック転送モードにおいて、ディスクリプタのチェインポインタの読み込みが正常に行えず、同一ディスクリプタを重複してアクセスする場合があります。

下記条件が同時に成立した場合に、重複アクセスが発生します。

- (1) 2チャンネル以上のDMAチャンネルがチェインブロック転送モードで動作している。
- (2) BOFビットまたはEOTビットが"1"にセットされているチャンネルがある。
- (3) ディスクリプタチェインポインタリードに続けてディスクリプタステータスライトを実行している。

9.2 対策例

- (1) オーナシップビットイネーブルによる転送制御

オーナシップビットイネーブル(OSBE)を"1"にすることにより、ディスクリプタの重複アクセスが発生した場合、当該チャンネルはポーリング状態になり、重複してメモリバッファにアクセスする動作を止めることが出来ます。

- (2) BOF、EOTのDMA終了条件を使用しない。
- (3) チェインブロック転送モードは2チャンネル以上同時に使用しない。
- (4) 単一フレームモード、1フレーム1バッファの設定で使用します。

10 アンダランスキップモード設定時の注意

10.1 動作

MSCI コントロールレジスタ(CTL)のURSKPビットを"1"に設定し、チェインブロック転送モードで複数チャンネルが動作中にアンダランを発生させ場合、当該チャンネルと動作中のチャンネルのDMAが衝突し、DMA転送化けが発生する場合があります。

10.2 対策例

- (1) URSKPビットを"0"の設定で使用します。
- (2) チェインブロック転送モード使用時は同時に2チャンネル以上動作させない。
- (3) チェインブロック転送モード設定チャンネルを1チャンネルとします。

11 オーバランエラーステータスについて

11.1 動作

受信FIFOにメモリバッファへの転送前のフレームが60バイト以上残った状態、即ち受信FIFOの60~63段目の何れかにEOMステータスがある状態でオーバランが発生した場合、オーバランエラーのステータスが表示されなくなります。対象となるレジスタはCST0~CST3、ST2、FST、DSRレジスタおよびディスクリプタステータスです。

11.2 対策例

- (1) RNRレジスタの値を調整し、オーバランを発生させない様にします。

オーバランの発生率を小さく出来ますが、オーバランの発生を皆無にできるとは限りませんので、システム設計時の検討を十分行って下さい。

(2)上位プロトコルでオーバラン検出のバックアップを行う。

送信フレーム長の情報とディスクリプタ DL 長を比較し、一致しない場合オーバランフレームと判断します。

12 アンダランエラー発生時の注意

12.1 動作

(1)アンダラン停止設定時、アンダラン発生後に 1~2 バスサイクルの DMA 転送が発生する場合があります。この転送に最終キャラクタの転送が含まれる場合は、DMA 停止とならず、DMA 転送を継続します。また、アンダラン発生後の 1~2 バスサイクルの DMA 転送が、ショートフレームとして送出される場合があります。

(2)アンダラン継続時、アンダラン発生後最終キャラクタの転送、または MPU により UDRN ビットがクリアされるまで、送信バッファのデータをショートフレームとして複数送出する場合があります。

表 13.1 アンダラン発生時の動作

URCT	UDRNC	最終キャラクタ 有り	アボート中に DMA転送 を実行	内容
0 (アンダラン 停止)	0 (アボート)	○	○	DMA停止せず。アボート中の転送データは全消去。 アボート終了後の転送データから送出する。
			×	DMA停止せず。1~4バイトのフレーム(アンダランフレームの残り)送出 後、通常フレーム送出。
		×	○	正常動作。
			×	1バイトのフレームを1~4フレーム送出後、DMA停止。
	1 (FCS, Flg)	○	—	DMA停止せず。1~8バイトのフレーム(アンダランフレームの残り)送出 後、通常フレーム送出。
			×	1バイトのフレームを1~8フレーム送出後、DMA停止。
1 (アンダラン 継続)	0 (アボート)	○	○	アボート中の転送データは全消去。 アボート終了後の転送データから送出する。
			×	正常動作。
		×	○	アボート中の転送データは全消去。 最終キャラクタ転送まで、複数の1バイトのフレームを送出。
			×	最終キャラクタ転送まで、複数の1バイトのフレームを送出。
	1 (FCS, Flg)	○	—	正常動作。
			×	最終キャラクタ転送まで、複数の1バイトのフレームを送出。

12.2 対策例

(1)アンダラン停止に設定します。アンダラン発生直後に最終キャラクタを含む DMA 転送が発生した場合は、BOF 終了後に、アンダランフレームの再送を行います。アンダラン発生直後に最終キャラクタを含む DMA 転送が発生しなかった場合は、DRR コマンドと TX リセットコマンドを発行し、MSCI と DMAC を再起動します。

(2)TNR レジスタの値を調整し、アンダランを発生させない様にします。

アンダランの発生率を小さくできますが、アンダランの発生を皆無にできるとは限りませんので、システム設計時の検討を十分行って下さい。

13 使用上の注意事項

13.1 DMA 状態遷移

優先権を持った DMA チャンネルを HALT 状態にすると、BUSREQ 信号はインアクティブにならずに、HALT 状態中にバス権を獲得し DMA が誤動作します。動作中の DMAC を HALT 状態にしないで下さい。

13.2 FCT カウンタオーバフロー時の動作

FCT カウンタオーバフローが発生した場合、COF ビットを"1"にセットし、DMA を停止します。この際 DMAC は DE ビットのクリアを行いません。

COF ビットが"1"に設定された場合、フレーム割込みカウンタクリアコマンド、COF ビットクリアの順に処理を行って下さい。COF ビットが"1"の間は DE ビットの値に関係なく DMAC は起動しません。

13.3 ウェイトイリーガルアクセスイネーブルビット(HD64572SFL33のみ)

MSCI チャンネル 1 GPO レジスタビット 7 : WIAEN ビット(ウェイトイリーガルアクセスイネーブルビット)により、SCA-II がマスタモード時に、WAIT 端子によるウェイトステート挿入の制限の選択を行います。

WIAEN	機能
0	WAIT端子によるウェイトステート挿入が既定値である255クロック以上になるとイリーガルアクセスエラーが発生します。
1	WAIT端子によるウェイトステート挿入が255クロック以上になってもイリーガルアクセスエラーが発生しません。

- 以上 -