

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU&MCU	発行番号	TN-H8*-A375A/J	Rev.	第1版
題名	H8S/2649 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	H8S/2649 グループ	対象ロット等	関連資料	H8S/2649 グループハードウェアマニュアル (Rev. 2.00 RJJ09B0146-0200)	
		全ロット			

H8S/2649 グループ ハードウェアマニュアルにおいて下記の通り誤記がありましたので訂正させていただきます。

## 1. 概要

### 【訂正前】

入出力ポート 97 本

### 【訂正後】

入出力ポート 92 本

## 2. データトランスファコントローラ 表 8.1

### 【訂正前】

起動要因           ベクタ番号           DTC ベクタアドレス

RXI\_1               85                       H' 04A8

TXI\_1               86                       H' 04AA

### 【訂正後】

起動要因           ベクタ番号           DTC ベクタアドレス

RXI\_1               85                       H' 04AA

TXI\_1               86                       H' 04AC

## 3. ウォッチドッグタイマ

タイマコントロール/ステータスレジスタ (TCSR)   TCSR\_1   ビット2<sup>~</sup>0(CKS2<sup>~</sup>0)

### 【訂正前】

PSS=1 のとき           ( )内は φ SUB=32.678kHz の場合

000           クロック φ SUB/2 (周期 13.1ms)

001           クロック φ SUB/2 (周期 26.2ms)

010           クロック φ SUB/2 (周期 52.4ms)

011           クロック φ SUB/2 (周期 104.9ms)

100           クロック φ SUB/2 (周期 209.7ms)

101           クロック φ SUB/2 (周期 419.4ms)

110           クロック φ SUB/2 (周期 838.9ms)

111           クロック φ SUB/2 (周期 1.6777s)

【訂正後】

PSS=1 のとき ( )内はφSUB=32.678kHzの場合

- 000 クロックφSUB/2 (周囲 15.6ms)
- 001 クロックφSUB/2 (周囲 31.3ms)
- 010 クロックφSUB/2 (周囲 62.5ms)
- 011 クロックφSUB/2 (周囲 125ms)
- 100 クロックφSUB/2 (周囲 250ms)
- 101 クロックφSUB/2 (周囲 500ms)
- 110 クロックφSUB/2 (周囲 1s)
- 111 クロックφSUB/2 (周囲 2s)

4. シリアルコミュニケーションインタフェース

表13.3~13.9 ビットレートに対するBRR の設定例

【訂正前】

24MHz 時の設定 有り

【訂正後】

24MHz 時の設定 無し

表 13.12 SCI 割込み要因 及び 表 13.13 SCI 割込み要因

【訂正前】 チャンネル1、4 無し

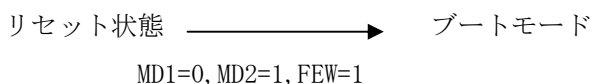
【訂正後】 下記を追加

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動
1	ERI_1	受信エラー	ORER, FER, PER	不可
	RXI_1	受信データフル	RDRF	可
	TXI_1	送信データエンプティ	TDRE	可
	TEI_1	送信終了	TEND	不可
4	ERI_4	受信エラー	ORER, FER, PER	不可
	RXI_4	受信データフル	RDRF	可
	TXI_4	送信データエンプティ	TDRE	可
	TEI_4	送信終了	TEND	不可

5. ROM

図 19.2 フラッシュメモリに関する状態遷移

【変更前】



【変更後】

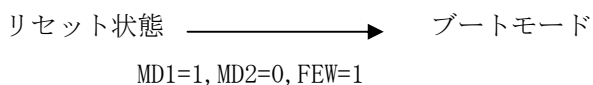


表 19.2 端子構成

【変更前】

- TxD0 出力 シリアル送信データ出力
- RxD0 入力 シリアル送信データ入力

**【変更後】**

TxD1 出力 シリアル送信データ出力

RxD1 入力 シリアル送信データ入力

## 6. 低消費電力状態

スタンバイコントロールレジスタ (SBYCR)

**【訂正前】**

ビット名	初期値	R/W
STS2	0	R/W
STS1	0	R/W
STS0	0	R/W

**【訂正後】**

STS2	1	R/W
STS1	0	R/W
STS0	1	R/W

以上