

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-A302A/J	Rev.	第1版
題名	H8S/2258 グループ I ² C バスインタフェース マニュアル変更箇所のご案内		情報分類	技術情報	
適用製品	H8S/2258 グループ	対象ロット等	関連資料	H8S/2258 シリーズ ハードウェアマニュアル (ADJ-602-219A 第2版) H8S/2200 シリーズ I ² C バスインタフェース 使用上の注意事項 (TN-H8*-188A)	
		全ロット			

H8S/2258 グループに搭載する I²C バスインタフェースにおいて、下記の通り使用上の注意事項の追加とマニュアルの変更をご案内申し上げます。

- 記 -

1. 制限事項の対象となる機能

I²C バスインタフェースモジュール

2. マニュアルの変更点

(1) 使用上の注意事項の追加

1. ウェイト機能使用時の IRIC フラグクリアの注意事項

I²C バスインタフェースのマスタモードでウェイト機能を使用しているときに、SCL の立ち上がり時間が規定を越えてしまう場合や、SCL を Low にしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように SCL をリードして、SCL が Low に立ち下がったことを判定してから IRIC フラグのクリアをしてください。

SCL が High 期間を引き延ばしている最中に WAIT=1 の状態で IRIC フラグを 0 にクリアすると、SCL が立ち下がる前に SDA の値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

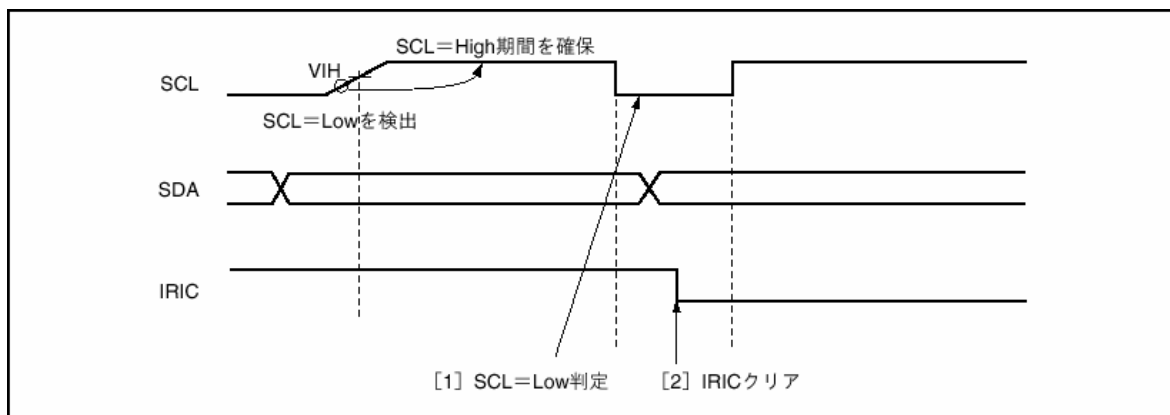


図 1 WAIT=1 の状態での IRIC クリアのタイミング

2. 送信モードでの ICDR リードと受信モードでの ICDR ライトの注意事項

送信モード (TRS=1) での ICDR リード動作または、受信モード (TRS=0) での ICDR ライト動作を行った場合、条件によっては送受信動作終了後の SCL 端子の Low 固定が行われず、正規の ICDR のアクセス動作以前にクロックが SCL バスラインに出力される場合があります。ICDR をアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

3. マスタモードでのアービトレーションロスト発生時の注意事項

I²C バスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。そのため、マスタモード第 1 フレーム送信動作でアービトレーションロストが発生せず、第 2 フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値として SAR、SARX の設定値と比較を行います。このとき、受信データが SAR、SARX の値と一致した場合、I²C バスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図 2 参照)

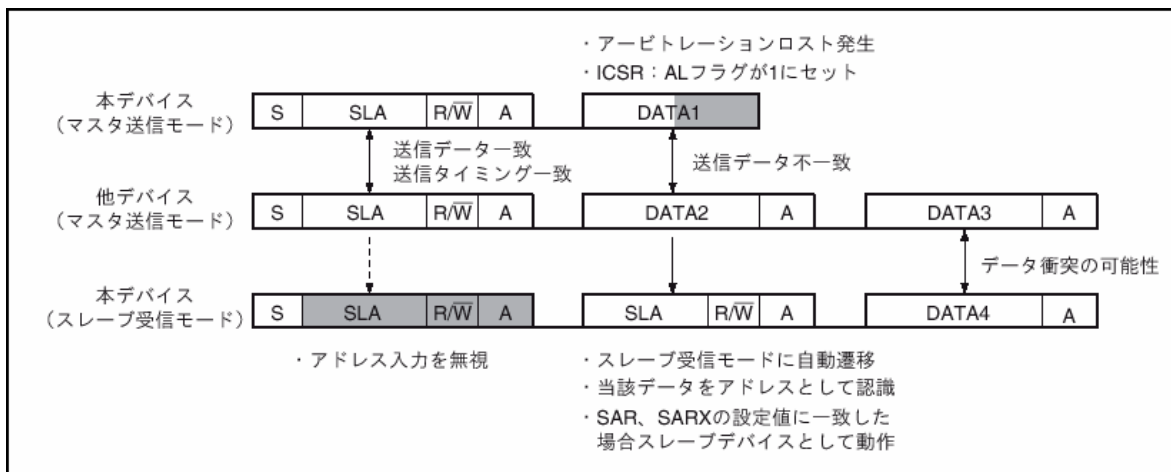


図 2 アービトレーションロスト時の動作模式図

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1 フレームごとの送受信動作完了時に ICSR の AL ビットの確認を行ってください。

第 2 フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。本来の I²C バスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤って MST ビットを 1 にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。マルチマスタ動作でバス権の競合が予想される場合、ICCR の MST ビットに 1 をセットするときは、以下の手順で行ってください。

- (1) MST ビットのセット直前に ICCR の BBSY フラグが 0 であり、バスがフリー状態であることを確認する
- (2) MST ビットに 1 を設定する
- (3) MST ビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MST ビットのセット直後も、ICCR の BBSY フラグが 0 であることを確認する

4. モジュールストップモード時の割り込み

割り込みが要求された状態でモジュールストップすると CPU の割り込み要因、または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

(2) マニュアル変更箇所

- (1) H8S/2258 シリーズ(第2版) P.603 図 16.1 I²C バスインタフェースのブロック図

[変更前] フォーマットレス専用クロック (チャンネル 0 のみ)

[変更後] 削除

- (2) H8S/2258 シリーズ(第2版) P.607 TDRE の "1" の(2)

[変更前] (2) フォーマットレスで送信モード (TRS=1) をセットしたとき

[変更後] 削除

- (3) H8S/2258 シリーズ(第2版)

P.633、P.634 16.3.3 マスタ受信動作

P.642 図 16.15 マスタ受信モードのフローチャート例

H8S/2200 シリーズ I²C バスインタフェース使用上の注意事項(TN-H8*-188A)で案内した内容を変更

[変更前] 省略

[変更後]

マスタ受信動作

ウェイトを利用したマスタ受信動作

図 3、図 4 にマスタ受信モードのフローチャート例を示します。

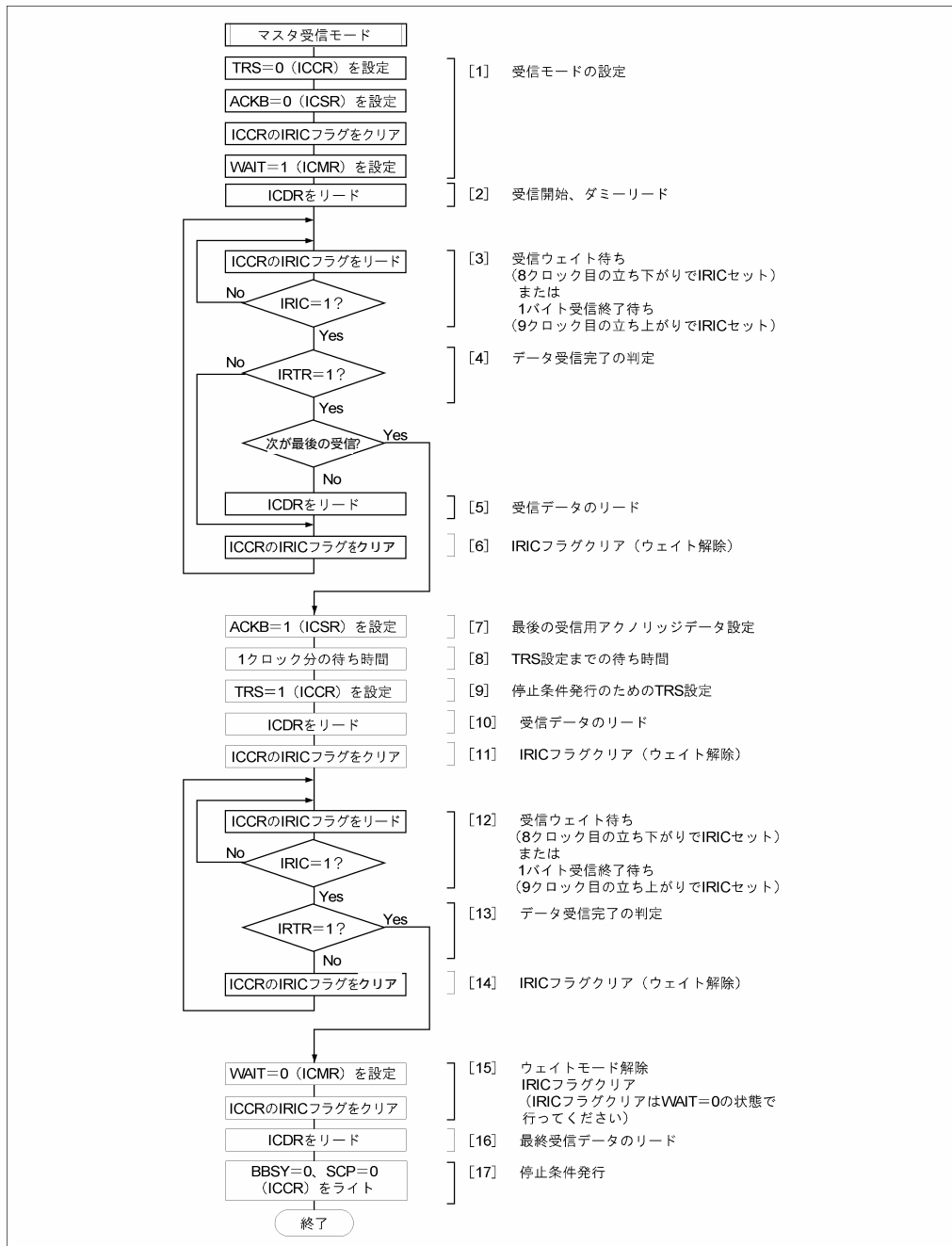


図 3 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)

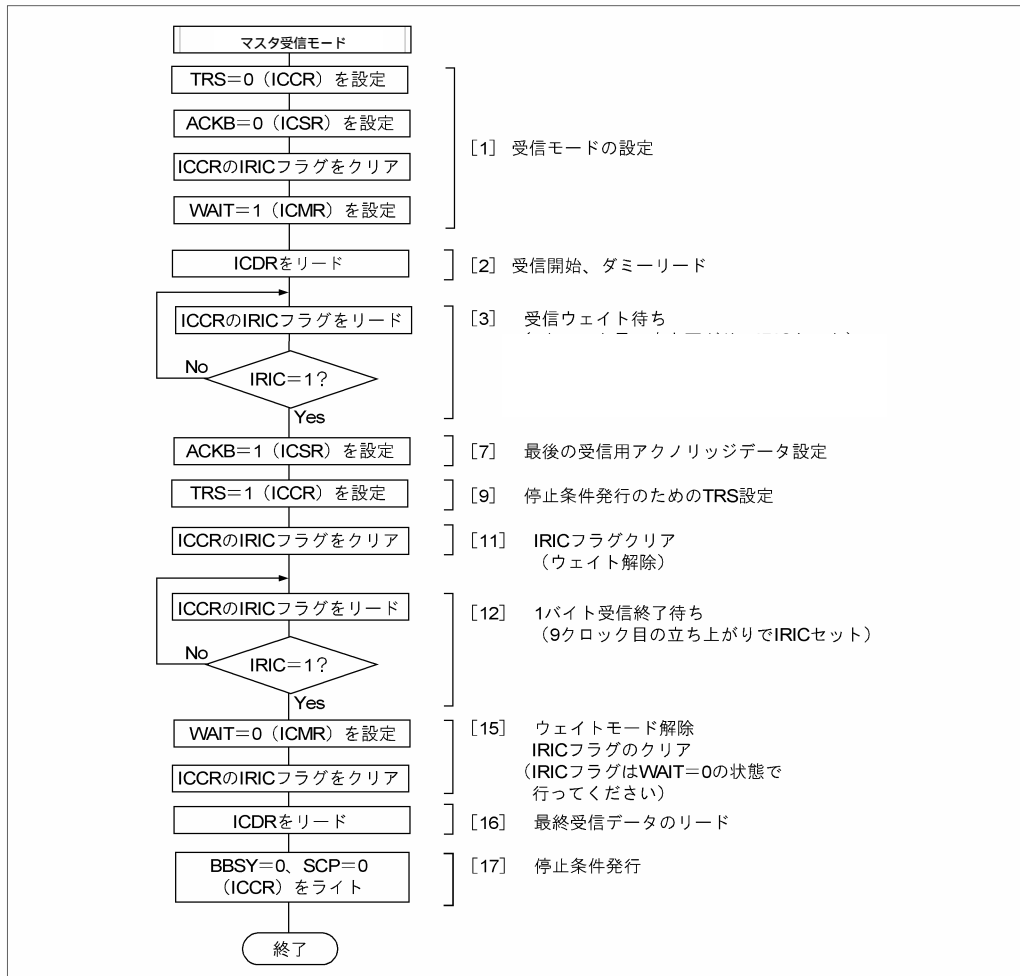


図 4 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

ウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1バイトのみ受信の場合は一部手順が省略されていますので、図4のフローチャートに従って動作を行ってください。

[1] ICCR の TRS ビットを 0 にクリアし、送信モードから受信モードに切り替えます。

ICSR の ACKB ビットを 0 にクリアします。(アクノリッジデータの設定)

IRIC フラグを 0 にクリアし、その後に ICMR の WAIT ビットを 1 にセットします。¹

[2] ICDR をリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。

[3] IRIC フラグが以下の 2 条件で 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対して割り込み要求を発生します。

(1) 1 フレームの受信クロックの 8 クロック目の立ち下がりでセットされます。

SCL は IRIC フラグがクリアされるまで内部クロックに同期して自動的に Low レベルに固定されます。

(2) 1 フレームの受信クロックの 9 クロック目の立ち上がりでセットされます。

IRTR フラグと ICDRF フラグが 1 にセットされ、1 フレームのデータ受信が終了したことを示します。マスタ

¹ 使用上の注意事項 1. ウェイト機能使用時の IRIC フラグクリアの注意事項による。

デバイスは引き続き次の受信データの受信クロックを出力します。

[4] ICSR の IRTR フラグをリードします。²

IRTR フラグが 0 の場合は [6] の IRIC フラグクリアでウェイト解除を行います。

IRTR フラグが 1 で、次に受信するデータが最後の受信データの場合は、[7] の終了処理を行ってください。

[5] IRTR フラグが 1 の場合は、ICDR の受信データをリードします。

[6] IRIC フラグを 0 にクリアします。[3] (1) の場合、マスタデバイスは受信クロックの 9 クロック目を出力するとともに、SDA を Low レベルにし、アクノリッジを返します。

[3] から [6] を繰り返し行うことにより、データを受信することができます。

[7] ICSR の ACKB ビットを 1 にセットし、最後の受信用アクノリッジデータを設定します。

[8] IRIC フラグが 1 にセットされてから少なくとも 1 クロック分の待ち時間を取り、次の受信データの 1 クロック目が立ち上がるのを待ちます。³

[9] ICCR の TRS ビットを 1 にセットし、受信モードから送信モードに切り替えます。ここで設定した TRS ビットの値は次の 9 クロック目の立ち上がりエッジが入力されてから有効になります。

[10] ICDR の受信データをリードします。

[11] IRIC フラグを 0 にクリアします。

[12] IRIC フラグが以下の 2 条件で 1 にセットされます。

(1) 1 フレームの受信クロックの 8 クロック目の立ち下がりによってセットされます。

SCL は IRIC フラグがクリアされるまで内部クロックに同期して自動的に Low レベルに固定されます。

(2) 1 フレームの受信クロックの 9 クロック目の立ち上がりによってセットされます。

IRTR フラグと ICDRF フラグが 1 にセットされ、1 フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。

[13] ICSR の IRTR フラグをリードします。

IRTR フラグが 0 の場合は [14] の IRIC フラグクリアでウェイト解除を行います。

IRTR フラグが 1 で受信動作が完了している場合は、[15] の停止条件発行処理を行ってください。

[14] IRTR フラグが 0 の場合は、IRIC フラグを 0 にクリアし、ウェイトを解除します。

受信動作の完了を検出するため [12] の IRIC フラグリードに戻ります。

[15] ICMR の WAIT ビットを 0 にクリアし、ウェイトモードを解除します。

その後、IRIC フラグを 0 にクリアします。

IRIC フラグのクリアは WAIT=0 の状態で行ってください。

(IRIC フラグを 0 にクリアした後に WAIT ビットを 0 にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

[16] ICDR における最終受信データをリードします。⁴

[17] ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

² 受信ウェイト待ちか、1 バイト受信終了待ちか判定します。最後の受信用アクノリッジデータの設定は最後の受信開始時に行います。

³ 使用上の注意事項：3. スレープモードでの TRS ビット設定の注意事項による。

⁴ 使用上の注意事項：4. 送信モードでの ICDR リードと受信モードでの ICDR ライトの注意事項による。

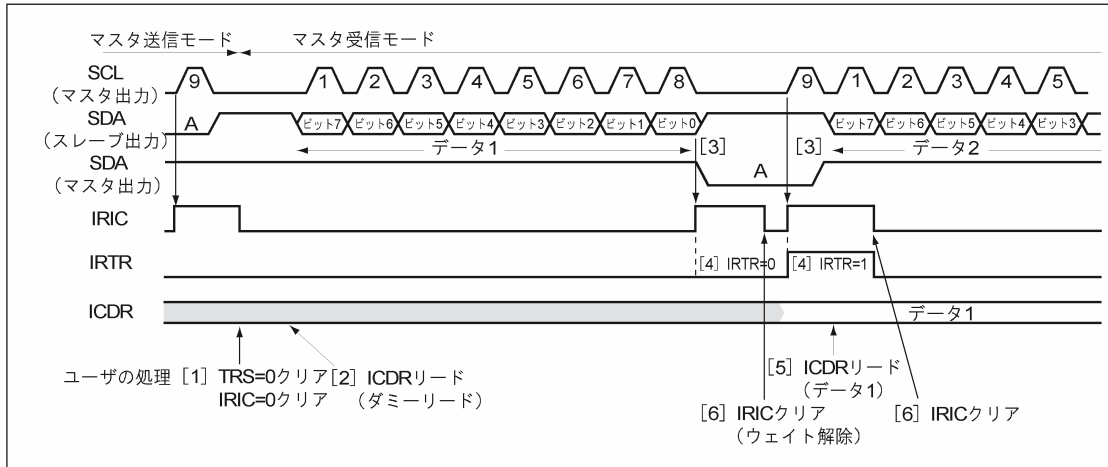


図5 マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

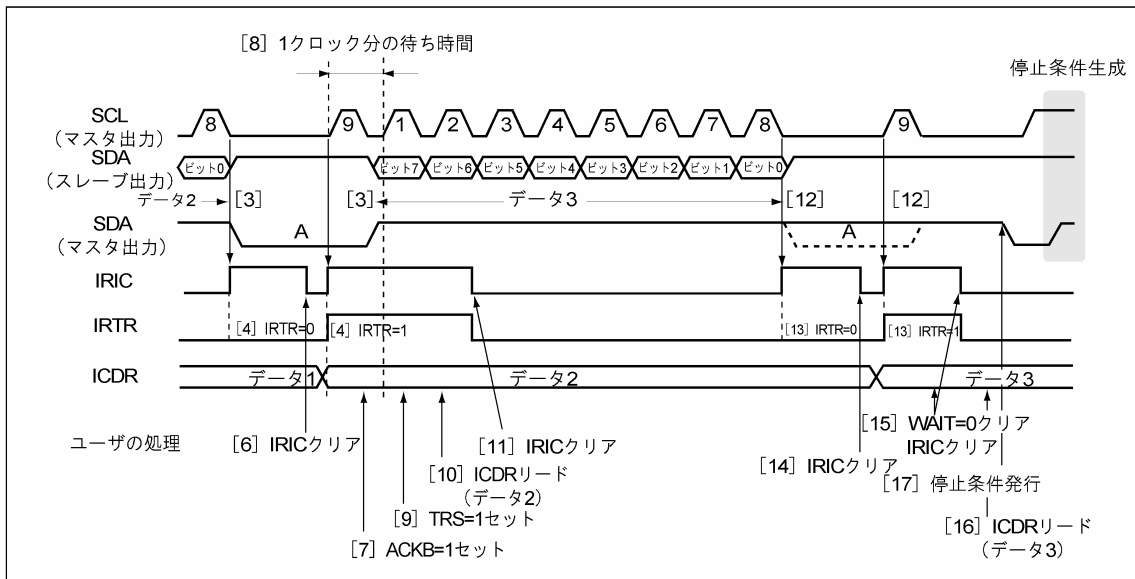


図6 マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

(4) H8S/2258 シリーズ(第2版) P.636 16.3.5 スレーブ送信動作

[変更前] ...このとき TDRF フラグが1にセットされます。...

[変更後] ...このとき TDRE フラグが1にセットされます。...

(5) H8S/2258 シリーズ (第2版) P.638 図 15.12 IRIC セットタイミングと SCL 制御

[変更前] 省略

[変更後] 図7 IRIC セットタイミングと SCL 制御

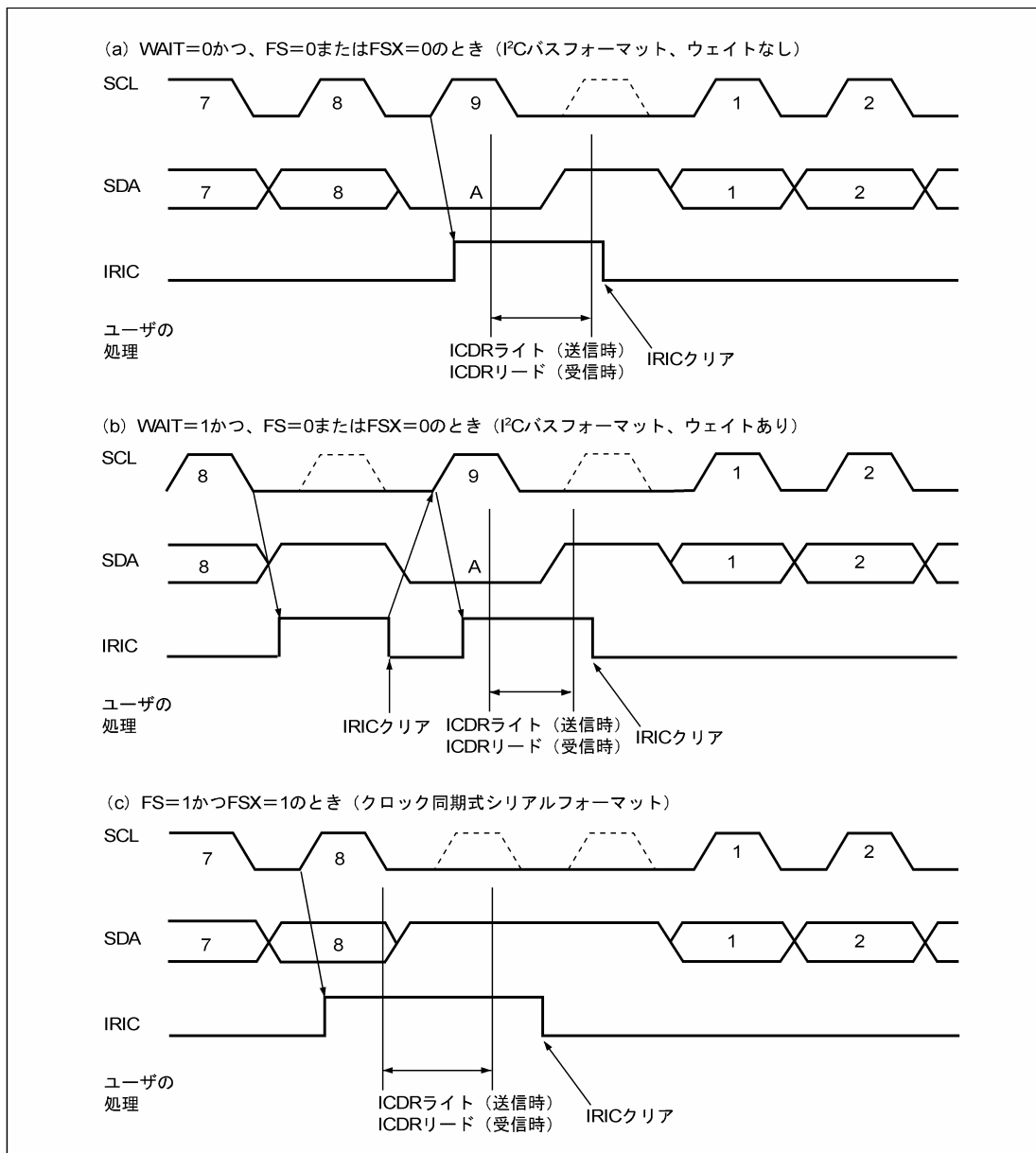


図7 IRIC セットタイミングと SCL 制御