

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

平成12年9月27日

日立マイクロコンピュータ技術情報

〒100-0004

東京都千代田区大手町2丁目6番2号
(日本ビル)

TEL (03)5201-5029 (ダイヤルイン)
株式会社 日立製作所 半導体グループ

題 目	H8S/2200 シリーズ I ² C バスインタフェース 使用上の注意事項		発行番号	TN-H8* -188A	
			分類	1. 仕様変更 ② ドキュメント訂正追加等 ③ 使用上の注意事項	
適 用 製 品	H8S/2238 シリーズ H8S/2258 シリーズ	対象ロット等	関連資料	下記	有効期限
		全ロット			永年

拝啓、貴社益々ご清栄の段、お喜び申し上げます。平素より格別のご高配を賜り深謝申し上げます。
題記の件、H8S/2238 シリーズ、H8S/2258 シリーズの各マイコンの I²C バスインタフェースにおきまして、ハードウェアマニュアル記載内容に変更がありますのでご連絡致します。

詳細は、以下頁を参照してください。

<変更内容>

1. マスタ送信時の動作フロー(変更)
2. マスタ受信時の動作フロー(変更)

<対象ハードウェアマニュアル>

H8S/2238 シリーズハードウェアマニュアル (平成12年3月 第2版 ADJ-602-204A(0))
H8S/2258 シリーズハードウェアマニュアル (平成12年4月 第2版 ADJ-602-219A(0))

1. マスタ送信動作のフローについて

開始条件発行命令を実行後、実際の開始条件生成までの期間にICDRヘデータを設定すると、内部での開始条件生成動作とデータ出力動作の競合が発生し、データが正しく出力されなくなることがあります。また、停止条件発行前にICDRレジスタへのH'FFデータのダミーライト処理を行うようにしていますが、停止条件発行命令の実行タイミングが遅れた場合、ダミーライト処理によるH'FFデータが出力されることがあります。

これらを回避するため、マスタ送信動作時は以下のフローに従ってください。

< マスタ送信動作の動作説明 >

I2C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 に設定します。ICMR の MLS、WAIT ビット、CKS2 ~ CKS0 ビット、および STCR の IICX ビットを動作モードに合わせて設定します。
- [2] ICCR の BBSY フラグをリードし、バスがフリー状態であることを確認します。
- [3] ICCR の MST、TRS ビットをそれぞれ 1 にセットしてマスタ送信モードに設定します。
- [4] ICCR に BBSY=1 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を High レベルから Low レベルに変化させ、開始条件を生成します。
- [5] 開始条件の生成に伴い IRIC、IRTR フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対して割り込み要求が発生します。
- [6] ICDR にデータ(スレーブアドレス + R/W)をライトします。
I2C バスフォーマット(SAR の FS ビットまたは SARX の FSX ビットが 0 のとき)では、開始条件に続く第 1 フレームデータは 7 ビットのスレーブアドレスと送信/受信の方向を示します。
次に転送終了を判断するため IRIC フラグを 0 にクリアします。
ここで ICDR のライトと IRIC フラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。
もし IRIC フラグのクリアまでに 1 バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
マスタデバイスは図 1.1 で示すタイミングで送信クロックと ICDR にライトされたデータを順次送出します。選択された(スレーブアドレスが一致した)スレーブデバイスは、送信クロックの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。
- [7] 1 フレームのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。
SCL は 1 フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的に Low レベルに固定されます。
- [8] ICSR の ACKB ビットをリードして ACKB=0 であることを確認します。
スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、[12]の送信終了処理を行い、再度送信動作をやり直してください。
- [9] ICDR に送信データをライトします。
次に転送終了を判断するため IRIC フラグを 0 にクリアします。
ここで[6]同様に ICDR のライトと IRIC フラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
- [10] 1 フレームのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。
SCL は 1 フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的に Low レベルに固定されます。

- [11] ICSR の ACKB ビットをリードします。
スレーブデバイスがアクノリッジを返し ACKB=0 となっていることを確認します。引き続きデータを送信する場合には、[9]に戻り次の送信動作に移ります。一方、スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、[12]の送信終了処理を行います。
- [12] IRIC フラグを 0 にクリアします。
ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

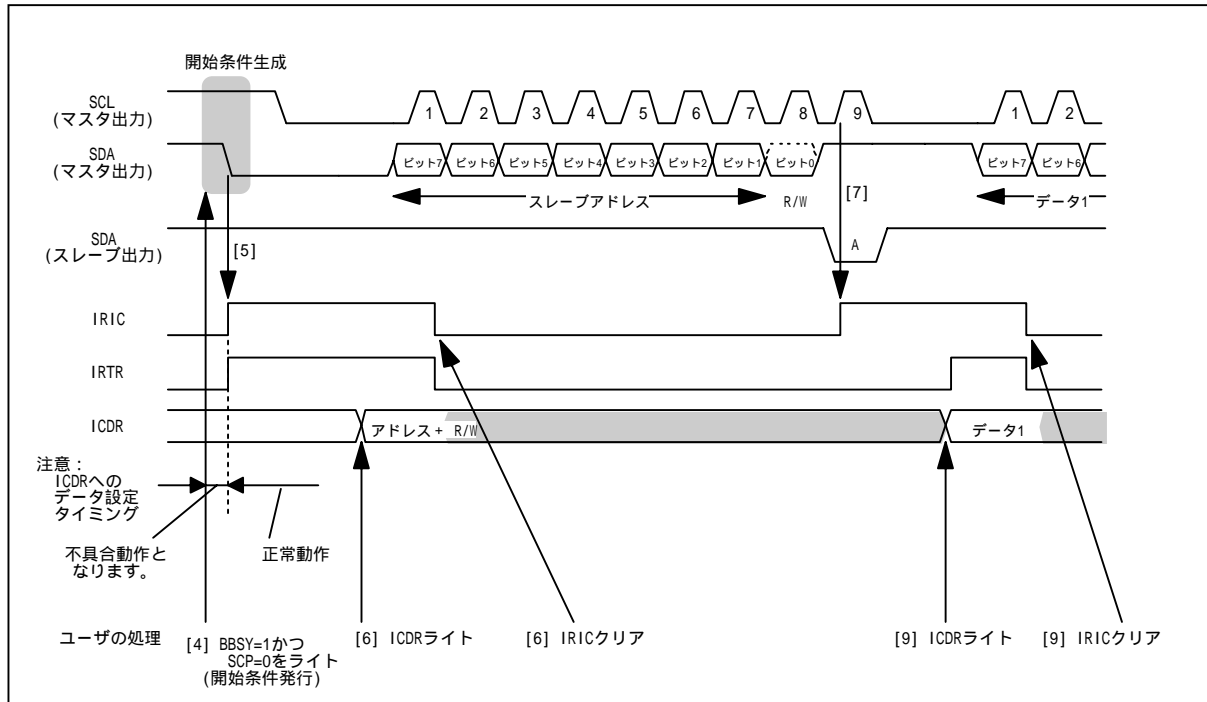


図 1.1 マスタ送信モード動作タイミング例 (MLS=WAIT=0 のとき)

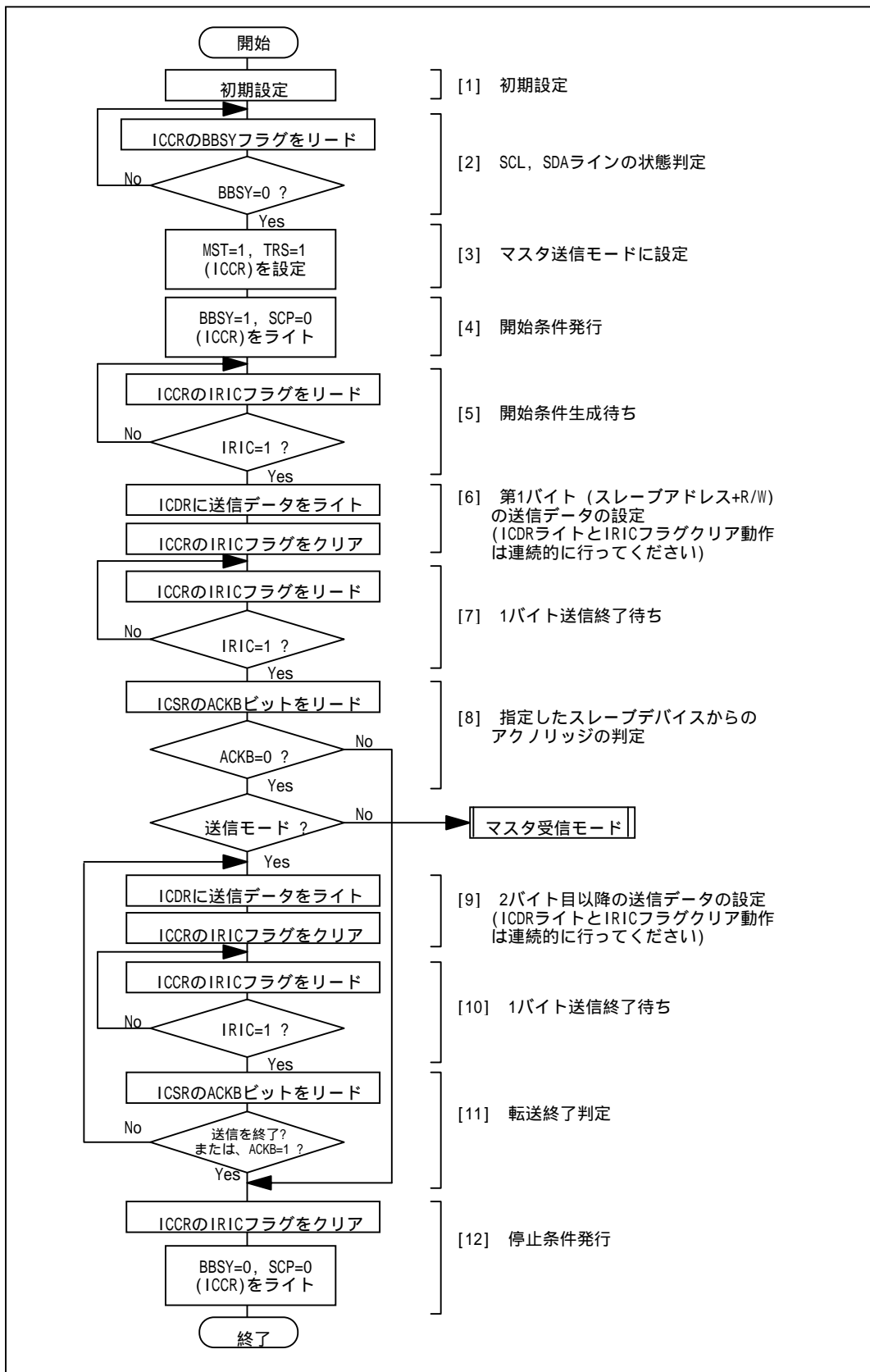


図1.2 マスタ送信モードのフローチャート例

2. マスタ受信動作のフローについて

I2Cモジュールのデータバッファは、ICDRRとICDRSで構成されているため連続受信が可能です。最終データの受信完了処理が遅れた場合に、停止条件発行命令と次のデータの受信のためのSCLクロック出力とが競合し、余分なクロックの発生やSDAラインの出力Low固定などの現象が発生することがあります。

また、I2Cシステムでは、マスタの最終データ受信時、アクノリッジを返さないというアクノリッジビットの切り替え制御が必要になるため、ICSRレジスタのACKBビットの切り替えタイミングを制御する必要があります。

これらについては、WAIT機能を用いることで回避することが可能となりますので、以下のフローに従ってください。

< マスタ受信動作の動作説明 >

I2Cバスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

以下にウェイト動作を利用し、ICDRのリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

- [1] ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICMRのWAITビットを1にセットします。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
- [2] ICDRをリード(ダミーデータリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
次にウェイトを判断するためIRICフラグを0にクリアします。
ここでICDRのリードとIRICフラグのクリアは連続的に行い、他の割込み処理が入らないようにしてください。
もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
- [3] 1フレームの受信クロックの8クロック目の立ち下がりではIRICフラグが1にセットされます。
このとき、ICCRのIEICビットが1にセットされているとCPUに対して割込み要求が発生します。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
1フレーム目が最後の受信データの場合は、[10]の終了処理を行ってください。
- [4] ウェイトを解除するためIRICフラグを0にクリアします。
マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。
- [5] 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりではIRICフラグ、およびIRTRフラグが1にセットされます。
マスタデバイスは引き続き次の受信データの受信クロックを出力します。
- [6] ICDRの受信データをリードします。

- [7] 次のウェイトを判断するためIRICフラグを0にクリアします。
[4] (または[9]) のウェイト解除のためIRICフラグクリアから[5] ~ [7] のデータ受信完了処理までは、1 バイト分の転送時間内で行うようにしてください。
- [8] 1フレームの受信クロックの8クロック目の立ち下がり でIRICフラグが1にセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
このフレームが最後の受信データの場合は、[10]の終了処理を行ってください。
- [9] ウェイトを解除するためIRICフラグを0にクリアします。
マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。
- [5] から [9] を繰り返し行うことにより、データを受信することができます。
- [10] ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。
- [11] ウェイトを解除するためIRICフラグを0にクリアします。
- [12] 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がり でIRICフラグが1にセットされます。
- [13] ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。
その後、ICDRの受信データをリードし、IRICフラグを0にクリアします。
IRICフラグのクリアはWAIT=0の状態で行ってください。
(IRICフラグを0にクリア後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、SDAラインがLow固定され、停止条件が発行できなくなります。)
- [14] ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

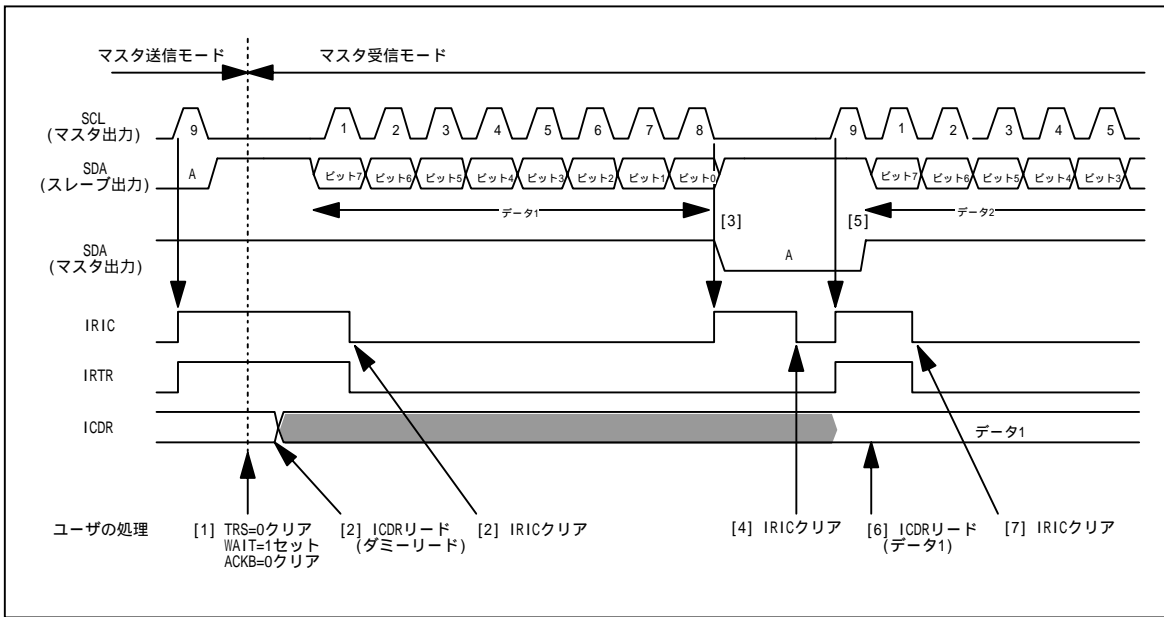


図 2.1(a) マスター受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

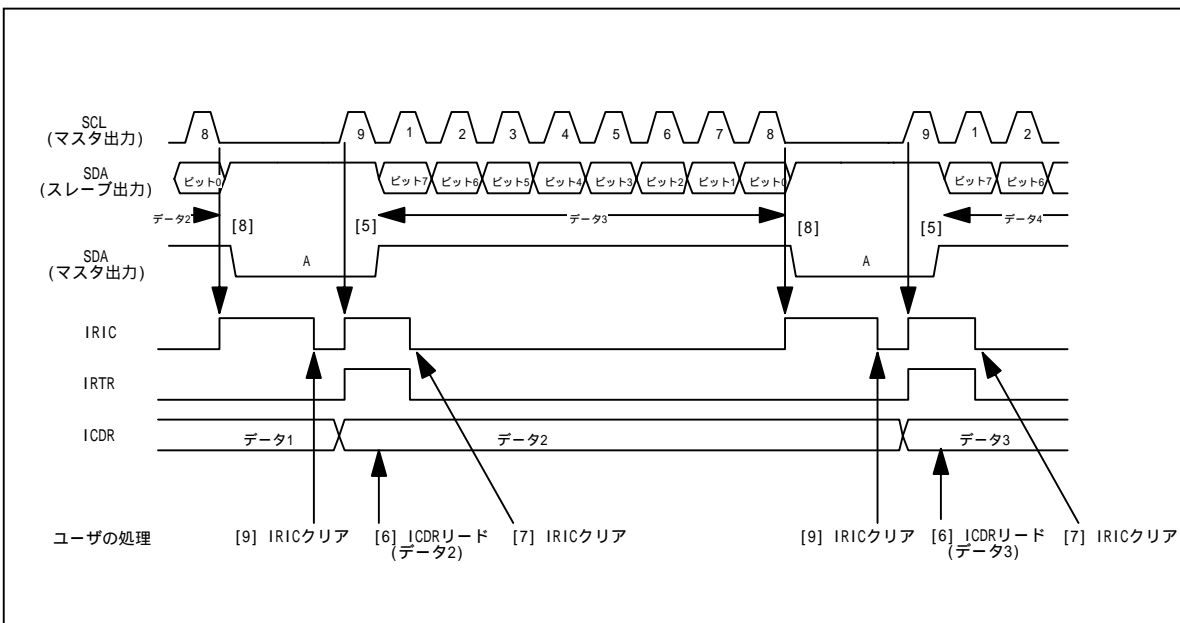


図2.1(b) マスター受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1のとき) 続き

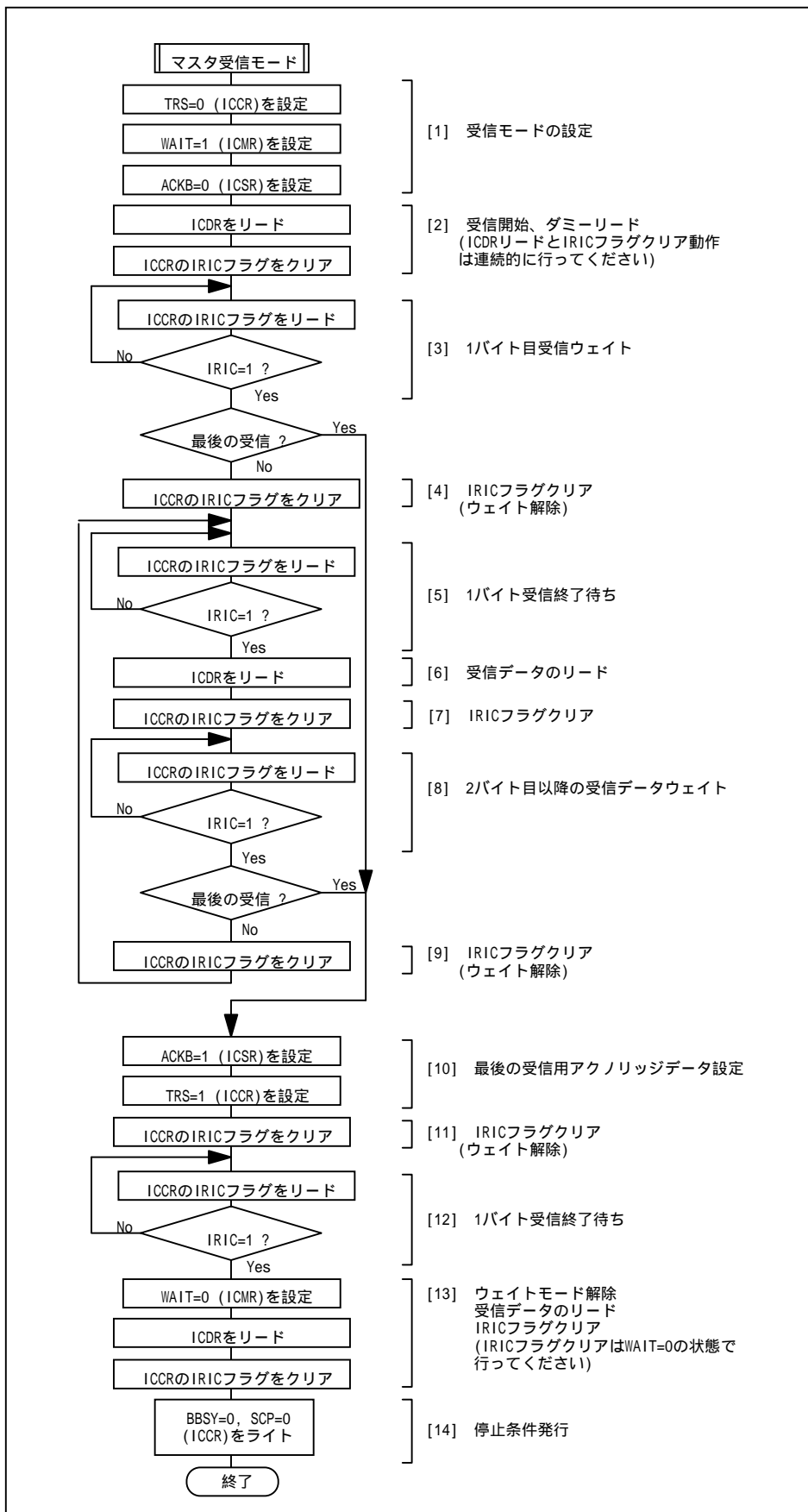


図2.2 マスタ受信モードのフローチャート例