

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU&MCU	発行番号	TN-H8*-A365A/J	Rev.	第1版
題名	H8S/2117 グループハードウェアマニュアル誤記訂正 その2		情報分類	技術情報	
適用製品	H8S/2117 グループ	対象ロット等	関連資料	H8S/2117グループハードウェアマニュアル (RJJ09B0360-0100 Rev.1.00)	
		全ロット			

H8S/2117 グループハードウェアマニュアル(RJJ09B0360-0100 Rev.1.00)において以下に訂正いたします。

表1 H8S/2117 グループハードウェアマニュアル正誤表1

修正箇所	ページ	訂正箇所
3.2.2 システムコントロールレジスタ (SYSCR) ビット1 KINWUE	3-3	(誤) 8 ビットタイマTMR_X、TMR_Yのレジスタ (TCR_X/TCR_Y、TCSR_X/TCSR_Y、TICRR/TCORA_Y、TICRF/TCORB_Y、TCNT_X/TCNT_Y、TCORC、TCORA_X、TCORB_X、TCONRI、CONRS) (正) 8 ビットタイマTMR_X、TMR_Yのレジスタ (TCR_X/TCR_Y、TCSR_X/TCSR_Y、TICRR/TCORA_Y、TICRF/TCORB_Y、TCNT_X/TCNT_Y、TCORC、TCORA_X、TCORB_X、TCONRI、TCONRS)
7. I/O ポート 表7.1 ポート機能一覧 ポートG ビット1 入力	7-5	(誤)TMIY1/TDPC11/TDPMC11/ExIRQ9 (正)TMIY1/TDPC11/TDPMC11/ExIRQ9
7.1.3 入力データレジスタ (PnPIN) (n=1~9、A~J)	7-9	(誤)PORT は、ポートの端子の状態を反映する8 ビットのリード専用レジスタです。PORT のライトは無効です。 (正)PIN は、ポートの端子の状態を反映する8 ビットのリード専用レジスタです。PIN のライトは無効です。
7.2.5 ポート5 (2) P51/FRxD	7-20	(誤) SCIFENABLE=1 : SCIFOE1   SCIFE (正) SCIFENABLE=1 : SCIFOE1 + SCIFE
7.2.5 ポート5 (3) P50/FTxD0	7-20	(誤) (3) P50/FTxD0 (正) (3) P50/FTxD
7.3 周辺機能端子の移動	7-44	(誤)外部サブクロック入力、SCI 入出力、IIC 入出力では、兼用の入出力ポートを変更することができます。外部割り込みは、ISSR16 およびISSR の設定で変更できます。外部サブクロック入力はPTCNT0 の設定で、IIC入出力はPTCNT1 の設定で、SCI 入出力はPTCNT2 の設定で兼用となる入出力ポートが変更されます。 (正) 外部サブクロック入力、IIC 入出力では、兼用の入出力ポートを変更することができます。外部割り込みは、ISSR16 およびISSR の設定で変更できます。外部サブクロック入力はPTCNT0 の設定で、IIC入出力はPTCNT1 の設定で兼用となる入出力ポートが変更されます。

表2 H8S/2117 グループハードウェアマニュアル正誤表2

修正箇所	ページ	訂正箇所																									
7.3.3 ポートコントロールレジスタ2(PTCNT2)	7-45	(誤)																									
		<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>TxD2RS</td> <td>0</td> <td>R/W</td> <td>0: TxD2 直接入出力 1: TxD2 反転入出力</td> </tr> <tr> <td>5</td> <td>RxD2RS</td> <td>0</td> <td>R/W</td> <td>0: RxD2 直接入出力 1: RxD2 反転入出力</td> </tr> <tr> <td>4</td> <td>TxD1R</td> <td>0</td> <td>R/W</td> <td>0: TxD1 直接入出力 1: TxD1 反転入出力</td> </tr> <tr> <td>3</td> <td>RxD1RS</td> <td>0</td> <td>R/W</td> <td>0: RxD1 直接入出力 1: RxD1 反転入出力</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	6	TxD2RS	0	R/W	0: TxD2 直接入出力 1: TxD2 反転入出力	5	RxD2RS	0	R/W	0: RxD2 直接入出力 1: RxD2 反転入出力	4	TxD1R	0	R/W	0: TxD1 直接入出力 1: TxD1 反転入出力	3	RxD1RS	0	R/W	0: RxD1 直接入出力 1: RxD1 反転入出力
ビット	ビット名	初期値	R/W	説明																							
6	TxD2RS	0	R/W	0: TxD2 直接入出力 1: TxD2 反転入出力																							
5	RxD2RS	0	R/W	0: RxD2 直接入出力 1: RxD2 反転入出力																							
4	TxD1R	0	R/W	0: TxD1 直接入出力 1: TxD1 反転入出力																							
3	RxD1RS	0	R/W	0: RxD1 直接入出力 1: RxD1 反転入出力																							
		(正)																									
		<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>TxD2RS</td> <td>0</td> <td>R/W</td> <td>0: TxD2 直接出力 1: TxD2 反転出力</td> </tr> <tr> <td>5</td> <td>RxD2RS</td> <td>0</td> <td>R/W</td> <td>0: RxD2 直接入力 1: RxD2 反転入力</td> </tr> <tr> <td>4</td> <td>TxD1RS</td> <td>0</td> <td>R/W</td> <td>0: TxD1 直接出力 1: TxD1 反転出力</td> </tr> <tr> <td>3</td> <td>RxD1RS</td> <td>0</td> <td>R/W</td> <td>0: RxD1 直接入力 1: RxD1 反転入力</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	6	TxD2RS	0	R/W	0: TxD2 直接出力 1: TxD2 反転出力	5	RxD2RS	0	R/W	0: RxD2 直接入力 1: RxD2 反転入力	4	TxD1RS	0	R/W	0: TxD1 直接出力 1: TxD1 反転出力	3	RxD1RS	0	R/W	0: RxD1 直接入力 1: RxD1 反転入力
ビット	ビット名	初期値	R/W	説明																							
6	TxD2RS	0	R/W	0: TxD2 直接出力 1: TxD2 反転出力																							
5	RxD2RS	0	R/W	0: RxD2 直接入力 1: RxD2 反転入力																							
4	TxD1RS	0	R/W	0: TxD1 直接出力 1: TxD1 反転出力																							
3	RxD1RS	0	R/W	0: RxD1 直接入力 1: RxD1 反転入力																							
11.3.8 TCM インタラプトイネーブルレジスタ (TCMIER) ビット4 TCMIPE	11-10	(誤) 端子入力の無効/有効を設定します。 (正) 端子入力の無効/有効を設定します。インプットキャプチャおよび周期測定モードを使用する場合は、本ビットを1にセットしてください。																									
11.4.2 周期測定モード (4) 周期設定モードの設定例 図11.12 周期測定モード設定例	11-16	<p>(誤)</p> <p>(正)</p>																									

表3 H8S/2117 グループハードウェアマニュアル正誤表3

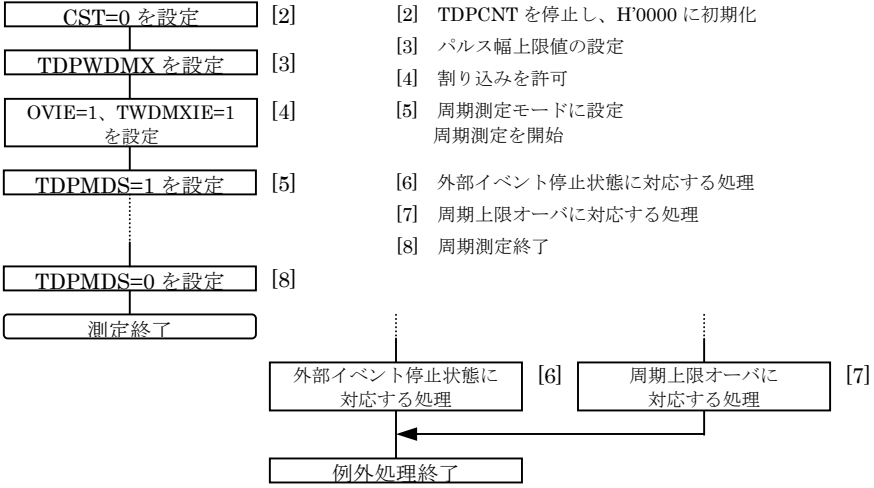
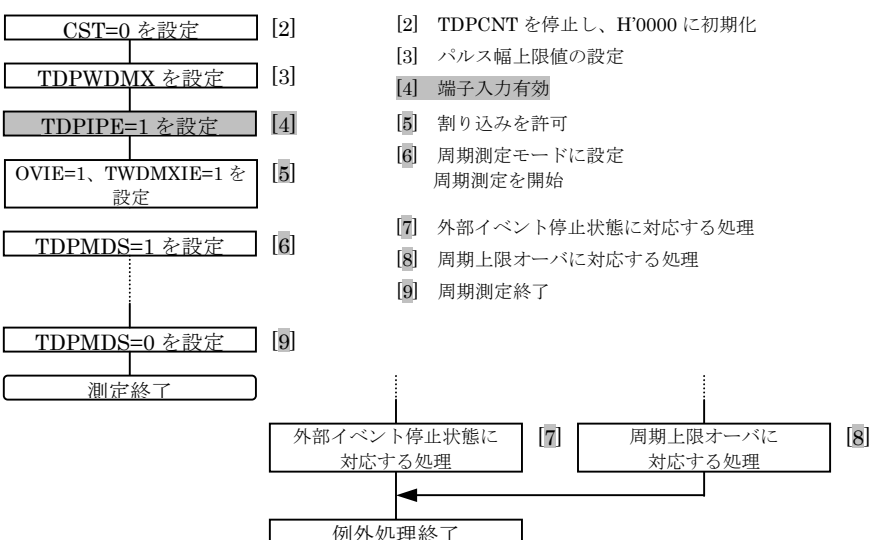
修正箇所	ページ	訂正箇所
12.3.3 TDP パルス幅下限レジスタ (TDPWDMN)	12-5	(誤) TDPICR の値がTDPWDMN の値より小さいと、TDPCSR のTWDMINUDF フラグが1 にセットされます。 (正) TDPICR の値がTDPWDMN の値より小さいと、TDPCSR のTWDNUDF フラグが1 にセットされます。
12.3.11 TDP インタラプトイネーブルレジスタ (TDPIER) ビット1 TDPIPE	12-12	(誤) 端子入力の無効/有効を設定します。インプットキャプチャおよび周期測定モードを使用する場合は、モジュールストップ解除後、TDPIPEを1にセットしてください。 (正) 端子入力の無効/有効を設定します。インプットキャプチャおよび周期測定モードを使用する場合は、本ビットを1にセットしてください。
12.4.2 周期測定モード (4) 周期設定モードの設定例 図12.12 周期測定モード設定例	12-18	<p>(誤)</p>  <p>(正)</p> 
17.4.2 初期設定 図17.6 IIC の初期化フローチャートの例	17-27	<p>(誤)</p> <div style="border: 1px solid black; padding: 5px; display: inline-block;"> MSTP4=0 (IIC_0)  MSTP3=0 (IIC_1)  (MSTPCRL) を設定 </div> モジュールストップ解除 <p>(正)</p> <div style="border: 1px solid black; padding: 5px; display: inline-block;"> MSTP4=0 (IIC_0)  MSTP3=0 (IIC_1)  MSTPB4=0 (IIC_2)  (MSTPCRL、MSTPCRB) を設定 </div> モジュールストップ解除
17.4.3 マスタ送信動作 図17.9 マスタ送信モード停止条件発行動作タイミング例 (MLS=WAIT=0 のとき)	17-31	(誤) [12] BBSY=1かつSCP=0をライト (停止条件発行) (正) [12] BBSY=0かつSCP=0をライト (停止条件発行)

表4 H8S/2117 グループハードウェアマニュアル正誤表4

修正箇所	ページ	訂正箇所																								
17.6 使用上の注意事項 7. スレーブモードでのACKビットとTRSビットの注意事項	17-50	(誤) スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図17.23に従って送信を終了してください。 (正) スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図17.16に従って送信を終了してください。																								
19.1 特長 ・SERIRQに対応	19-1	(誤) SCIFは、HIRQ1、SMI、HIRQ2、HIRQ3、HIRQ4、HIRQ5、HIRQ6、HIRQ7、HIRQ8、HIRQ9、HIRQ10、HIRQ11、HIRQ12、HIRQ13、HIRQ14、HIRQ15をそれぞれ生成可能です。 (正) SCIFは、HIRQ1、SMI、HIRQ3~HIRQ15をそれぞれ生成可能です。																								
19.1 特長 図19.1 LPCのブロック図	19-2	(誤) 「付図1：(誤) 図19.1 LPCのブロック図」を御参照ください。 (正) 「付図2：(正) 図19.1 LPCのブロック図」を御参照ください。																								
19.2 入出力端子 ・SERIRQに対応	19-3	(誤) LCLKに同期した、シリアルホスト割り込み要求信号。 (SMI、HIRQ1、HIRQ6、HIRQ9~HIRQ12) (正) LCLKに同期した、シリアルホスト割り込み要求信号。																								
19.3.1 ホストインタフェースコントロールレジスタ0、1 (HICRO、HICR1) ・HICRO ビット6 LPC2E	19-6	・LPC2E (誤) IDR2、ODR2、STR2に関してアドレス (H'0062、66) 一致発生なし。 (正) IDR2、ODR2、STR2に関してアドレス (LADR2) 一致発生なし。																								
19.3.1 ホストインタフェースコントロールレジスタ0、1 (HICRO、HICR1) ・HICRO ビット5 LPC1E	19-6	・LPC1E (誤) IDR1、ODR1、STR1に関してアドレス (H'0060、64) 一致発生なし。 (正) IDR1、ODR1、STR1に関してアドレス (LADR1) 一致発生なし。																								
19.3.5 LPCチャンネル1アドレスレジスタH、L (LADR1H、LADR1L) 【注】	19-15	(誤) チャンネル1を使用する場合は、LADR1をチャンネル2、3、4と異なるアドレスに設定してください。 (正) チャンネル1を使用する場合は、LADR1をチャンネル2、3、4およびSCIFと異なるアドレスに設定してください。																								
19.3.6 LPCチャンネル2アドレスレジスタH、L (LADR2H、LADR2L) 【注】	19-16	(誤) チャンネル2を使用する場合は、LADR2をチャンネル1、3、4と異なるアドレスに設定してください。 (正) チャンネル2を使用する場合は、LADR2をチャンネル1、3、4およびSCIFと異なるアドレスに設定してください。																								
19.3.7 LPCチャンネル3アドレスレジスタH、L (LADR3H、LADR3L) 【注】	19-18	(誤) チャンネル3を使用する場合は、LADR3をチャンネル1、2、4と異なるアドレスに設定してください。 (正) チャンネル3を使用する場合は、LADR3をチャンネル1、2、4およびSCIFと異なるアドレスに設定してください。																								
19.3.8 LPCチャンネル4アドレスレジスタH、L (LADR4H、LADR4L) 【注】	19-19	(誤) チャンネル4を使用する場合は、LADR4をチャンネル1、2、3と異なるアドレスに設定してください。 (正) チャンネル4を使用する場合は、LADR4をチャンネル1、2、3およびSCIFと異なるアドレスに設定してください。																								
19.4.4 LPC インタフェースのシャットダウン機能 (LPCPD) 表19.7 LPCインタフェースの各モードで初期化される範囲	19-45	LPC インタフェース動作制御ビット (誤) (LPC4E~LPC1E、FGA20E、LADR1~LADR4、IBFIE1~IBFIE4、PMEE、PMEB、LSMIE、LSMIB、LSCIE、LSCIB、TWRE、SELSTR3、SELIRQ1、SELSMI、SELIRQ3~SELIRQ15、OBEIE) (正) (LPC4E~LPC1E、FGA20E、LADR1~LADR4、IBFIE1~IBFIE4、PMEE、PMEB、LSMIE、LSMIB、LSCIE、LSCIB、TWRE、SELSTR3、SELIRQ1、SELSMI、SELIRQ3~SELIRQ15、OBEIE、SCIFE、IDR1~IDR4、ODR1~ODR4、TWR0~TWR15、SCSIRQ0~SCSIRQ3、SCIFADRH/L)																								
20.3 レジスタの説明 表20.2 レジスタ構成	20-4	(誤) <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th>レジスタ名</th> <th>略称</th> <th>R/W</th> <th>初期値</th> <th>アドレス</th> <th>データバス幅</th> </tr> </thead> <tbody> <tr> <td>A/D コントロールレジスタ</td> <td>ADCR</td> <td>R/W</td> <td>H' 04</td> <td>H' FC11</td> <td>8</td> </tr> </tbody> </table> (正) <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th>レジスタ名</th> <th>略称</th> <th>R/W</th> <th>初期値</th> <th>アドレス</th> <th>データバス幅</th> </tr> </thead> <tbody> <tr> <td>A/D コントロールレジスタ</td> <td>ADCR</td> <td>R/W</td> <td>H' 00</td> <td>H' FC11</td> <td>8</td> </tr> </tbody> </table>	レジスタ名	略称	R/W	初期値	アドレス	データバス幅	A/D コントロールレジスタ	ADCR	R/W	H' 04	H' FC11	8	レジスタ名	略称	R/W	初期値	アドレス	データバス幅	A/D コントロールレジスタ	ADCR	R/W	H' 00	H' FC11	8
レジスタ名	略称	R/W	初期値	アドレス	データバス幅																					
A/D コントロールレジスタ	ADCR	R/W	H' 04	H' FC11	8																					
レジスタ名	略称	R/W	初期値	アドレス	データバス幅																					
A/D コントロールレジスタ	ADCR	R/W	H' 00	H' FC11	8																					
20.3.3 A/D コントロールレジスタ (ADCR) ビット3 CKS1 ビット2 CKS0	20-7	初期値 (誤) 0 1 (正) 0 0																								

表5 H8S/2117 グループハードウェアマニュアル正誤表5

修正箇所	ページ	訂正箇所																																
22.1 特長 図22.1 フラッシュメモリのブロック図	22-2	(誤) 【記号説明】 FCGS : フラッシュコードコントロールステータスレジスタ FPCS : フラッシュプログラムコードセレクトレジスタ FECS : フラッシュイレースコードセレクトレジスタ FKEY : フラッシュキーコードレジスタ FMATS : フラッシュマットセレクトレジスタ FTDAR : フラッシュトランスファデスティネーションアドレスレジスタ (正) 【記号説明】 FCGS : フラッシュコードコントロールステータスレジスタ FPCS : フラッシュプログラムコードセレクトレジスタ FECS : フラッシュイレースコードセレクトレジスタ FKEY : フラッシュキーコードレジスタ FMATS : フラッシュマットセレクトレジスタ FTDAR : フラッシュトランスファデスティネーションアドレスレジスタ 【注】上記レジスタのリード/ライトには、シリアルタイマコントロールレジスタ (STCR) の FLSHEビットを1にセットする必要があります。																																
22.2 モード遷移図	22-3	(誤) フラッシュメモリの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、およびライターモードがあります。表22.1にブートモード、ユーザプログラムモード、ライターモードの相違点を示します。 (正) フラッシュメモリの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ユーザブートモード、およびライターモードがあります。表22.1にブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点を示します。																																
22.3 フラッシュメモリマット構成	22-4	(誤) 図20.3 フラッシュメモリ構成図 (正) 図22.3 フラッシュメモリ構成図																																
22.6 入出力端子 表22.2 端子構成	22-8	(誤) <table border="1"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>MD1, MD0</td> <td>入力</td> <td>本 LSI の動作モードを設定</td> </tr> </tbody> </table> (正) <table border="1"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>MD2, MD1</td> <td>入力</td> <td>本 LSI の動作モードを設定</td> </tr> </tbody> </table>	端子名	入出力	機能	MD1, MD0	入力	本 LSI の動作モードを設定	端子名	入出力	機能	MD2, MD1	入力	本 LSI の動作モードを設定																				
端子名	入出力	機能																																
MD1, MD0	入力	本 LSI の動作モードを設定																																
端子名	入出力	機能																																
MD2, MD1	入力	本 LSI の動作モードを設定																																
22.7.2 書き込み/消去インタフェースパラメータ	22-14	(誤) 内蔵プログラムのダウンロード、初期化、書き込み、消去の実行中は、R0以外のCPUのレジスタはスタック領域に保存されるため、実行前にスタック領域を確保してください (使用スタック領域サイズは、最大128バイトです)。R0は処理結果の戻り値が書き込まれます。 (正) 内蔵プログラムのダウンロード、初期化、書き込み、消去の実行中は、R0L以外のCPUのレジスタはスタック領域に保存されるため、実行前にスタック領域を確保してください (使用スタック領域サイズは、最大128バイトです)。R0Lは処理結果の戻り値が書き込まれます。																																
22.7.2 書き込み/消去インタフェースパラメータ 表22.6 使用パラメータと対象モード	22-14	(誤) <table border="1"> <thead> <tr> <th>パラメータ</th> <th>ダウンロード</th> <th>初期化</th> <th>書き込み</th> <th>消去</th> <th>R/W</th> <th>初期値</th> <th>割り当て</th> </tr> </thead> <tbody> <tr> <td>FFFR</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>R/W</td> <td>不定</td> <td>CPUのR0L</td> </tr> </tbody> </table> (正) <table border="1"> <thead> <tr> <th>パラメータ</th> <th>ダウンロード</th> <th>初期化</th> <th>書き込み</th> <th>消去</th> <th>R/W</th> <th>初期値</th> <th>割り当て</th> </tr> </thead> <tbody> <tr> <td>FFFR</td> <td>—</td> <td>○</td> <td>○</td> <td>○</td> <td>R/W</td> <td>不定</td> <td>CPUのR0L</td> </tr> </tbody> </table>	パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て	FFFR	○	○	○	○	R/W	不定	CPUのR0L	パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て	FFFR	—	○	○	○	R/W	不定	CPUのR0L
パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て																											
FFFR	○	○	○	○	R/W	不定	CPUのR0L																											
パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て																											
FFFR	—	○	○	○	R/W	不定	CPUのR0L																											
22.7.2 書き込み/消去インタフェースパラメータ (2) フラッシュパス/フェイルパラメータ (FFFR) (b) 書き込みの実行 ビット5 EE	22-17	(誤) このとき、ユーザマットは途中で書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 (正) このとき、ユーザマットは途中で書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。また、FMATSの値がH'AAとなっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。ユーザブートマットの書き込みはブートモードまたはライターモードで実施してください。																																
22.7.2 書き込み/消去インタフェースパラメータ (2) フラッシュパス/フェイルパラメータ (FFFR) (c) 消去の実行 ビット5 EE	22-18	(誤) このとき、ユーザマットは途中で消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 (正) このとき、ユーザマットは途中で消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。また、FMATSの値がH'AAとなっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはいません。ユーザブートマットの消去はブートモードまたはライターモードで実施してください。																																

表 6 H8S/2117 グループハードウェアマニュアル正誤表 6

修正箇所	ページ	訂正箇所																			
22.8 オンボードプログラミング	22-21	(誤) オンボードプログラミングモードには、ブートモード、およびユーザプログラムモードの2種類の動作モードがあります。 (正) オンボードプログラミングモードには、ブートモード、 <b>ユーザブートモード</b> 、およびユーザプログラムモードの <b>3</b> 種類の動作モードがあります。																			
22.8.1 ブートモード	22-21	(誤) ブートモードは、SCI_1 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットへの書き込み/消去を行うモードです。 (正) ブートモードは、SCI_1 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、 <b>ユーザマット</b> や <b>ユーザブートマット</b> への書き込み/消去を行うモードです。																			
22.8.1 ブートモード (2)状態遷移 図22.8 ブートモードの状態遷移図	22-23	(誤) <table border="1" style="margin-left: 20px;"> <tr> <td>全ユーザマットの消去実行</td> </tr> </table> (正) <table border="1" style="margin-left: 20px;"> <tr> <td>全ユーザマットおよび全ユーザブートマットの消去実行</td> </tr> </table>	全ユーザマットの消去実行	全ユーザマットおよび全ユーザブートマットの消去実行																	
全ユーザマットの消去実行																					
全ユーザマットおよび全ユーザブートマットの消去実行																					
22.8.1 ブートモード (2)状態遷移	22-24	(誤) 3. 問い合わせが終了するとすべてのユーザマットを自動消去します。 (正) 3. 問い合わせが終了するとすべての <b>ユーザマット</b> および <b>ユーザブートマット</b> を自動消去します。  (誤) 書き込み/消去コマンド以外に、ユーザマットのサムチェック、ブランクチェック (消去チェック)、メモリリード、および現在のステータス情報取得のコマンドがあります。 (正) 書き込み/消去コマンド以外に、 <b>ユーザマット/ユーザブートマット</b> のサムチェック、ブランクチェック (消去チェック)、メモリリード、および現在のステータス情報取得のコマンドがあります。  (誤)ユーザマットのメモリ読み出しは、すべてのユーザマットを自動消去後に書き込んだデータについてのみ読み出しができません。 (正) <b>ユーザマット/ユーザブートマット</b> のメモリ読み出しは、すべての <b>ユーザマット/ユーザブートマット</b> を自動消去後に書き込んだデータについてのみ読み出しができません。																			
22.12 ブートモードの標準シリアル通信インタフェース仕様	22-42	(誤) ブートモードで起動するブートプログラムは、ホストとLSI 内蔵のSCI_4 を使ってシリアル通信を行います。 (正) ブートモードで起動するブートプログラムは、ホストとLSI 内蔵の <b>SCI_1</b> を使ってシリアル通信を行います。																			
22.12 ブートモードの標準シリアル通信インタフェース仕様 (3)問い合わせ選択ステータス	22-46  22-50	(追加) 表 22.15 問い合わせ選択コマンド一覧 <table border="1" style="margin-left: 20px; width: 100%;"> <thead> <tr> <th>コマンド</th> <th>コマンド名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>H' 24</td> <td>ユーザブートマット情報問い合わせ</td> <td>ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ</td> </tr> </tbody> </table> (f) ユーザブートマット情報問い合わせ ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。  コマンド <table border="1" style="margin-left: 20px; display: inline-table;"><tr><td>H' 24</td></tr></table>  ・コマンド「H' 24」 (1バイト) : ユーザブートマット情報問い合わせ  レスポンス <table border="1" style="margin-left: 20px; width: 100%;"> <thead> <tr> <th>H' 34</th> <th>サイズ</th> <th>エリア数</th> </tr> </thead> <tbody> <tr> <td colspan="2">エリア先頭アドレス</td> <td>エリア最終アドレス</td> </tr> <tr> <td colspan="3">...</td> </tr> <tr> <td>SUM</td> <td colspan="2"></td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>・レスポンス「H' 34」 (1バイト) : ユーザブートマット情報問い合わせに対する応答</li> <li>・サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ</li> <li>・エリア数 (1バイト) : 連続したユーザブートマットのエリアの数、 ユーザブートマットのエリアが連続の場合はH' 01</li> <li>・エリア先頭アドレス (4バイト) : エリアの先頭アドレス</li> <li>・エリア最終アドレス (4バイト) : エリアの最終アドレス、 エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く</li> <li>・SUM (1バイト) : サムチェック</li> </ul> 【注意】項目追加により元の(f)~(i)の符号が(g)~(j)に変更になります。	コマンド	コマンド名	機能	H' 24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ	H' 24	H' 34	サイズ	エリア数	エリア先頭アドレス		エリア最終アドレス	...			SUM		
コマンド	コマンド名	機能																			
H' 24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ																			
H' 24																					
H' 34	サイズ	エリア数																			
エリア先頭アドレス		エリア最終アドレス																			
...																					
SUM																					

表7 H8S/2117 グループハードウェアマニュアル正誤表7

修正箇所	ページ	訂正箇所																
22.12 ブートモードの標準シリアル通信インタフェース仕様 (5)書き込み/消去ステータス遷移	22-54	<p>(誤) 書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマットのデータを消去します。</p> <p>(正) 書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。</p> <p>(誤) ・レスポンス「H'06」(1バイト)：書き込み消去ステータス遷移に対する応答 消去プログラムを転送した後、ユーザマットが正常にデータを消去できたときACK</p> <p>(正) ・レスポンス「H'06」(1バイト)：書き込み消去ステータス遷移に対する応答 消去プログラムを転送した後、ユーザマット、ユーザブートマットが正常にデータを消去できたときACK</p> <p>(誤) エラーレスポンス</p> <table border="1" style="margin-left: 40px;"> <tr> <td>H' C0</td> <td>H' 51</td> </tr> </table> <p>・エラーコード「H'51」(1バイト)：消去エラー、エラーが発生し消去できなかった</p> <p>(正) エラーレスポンス</p> <table border="1" style="margin-left: 40px;"> <tr> <td>H' C0</td> <td>H' 51</td> </tr> </table> <p>・エラーレスポンス「H' C0」(1バイト)：ユーザブートマットのブランクチェックに対するエラー応答</p> <p>・エラーコード「H'51」(1バイト)：消去エラー、エラーが発生し消去できなかった</p>	H' C0	H' 51	H' C0	H' 51												
H' C0	H' 51																	
H' C0	H' 51																	
22.12 ブートモードの標準シリアル通信インタフェース仕様 (7)コマンドの順序	22-55	<p>(誤) 6. 分周比、動作周波数の情報に従って、新ボーレート選択 (H'3F) をしてください。</p> <p>(正) 6. 分周比、動作周波数の情報に従って、新ビットレート選択 (H'3F) をしてください。</p> <p>(誤) 7. デバイス選択、クロックモード選択が終了後、ユーザマット情報問い合わせ (H'25)、消去ブロック情報問い合わせ (H'26)、書き込みサイズ問い合わせ (H'27) で、ユーザマットへの書き込み消去情報を問い合わせてください。</p> <p>(正) 7. デバイス選択、クロックモード選択が終了後、ユーザブートマット情報問い合わせ (H'24)、ユーザマット情報問い合わせ (H'25)、消去ブロック情報問い合わせ (H'26)、書き込みサイズ問い合わせ (H'27) で、ユーザマット/ユーザブートマットへの書き込み消去情報を問い合わせてください。</p>																
22.12 ブートモードの標準シリアル通信インタフェース仕様	22-58	<p>(誤) (a) ユーザブートマット書き込み選択</p> <p>(正) 3. 書き込み/消去ステータス情報 (a) ユーザブートマット書き込み選択</p> <p>(誤) (b) ユーザプログラム書き込み選択 ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。</p> <p>(正) (b) ユーザマット書き込み選択 ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。</p>																
25.4 レジスタ選択条件	25-58	<p>(誤)</p> <table border="1" style="margin-left: 40px;"> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th>レジスタ選択条件</th> <th>モジュール名</th> </tr> <tr> <td>H'FFA0</td> <td>SMR_2</td> <td>MSTP5=0</td> <td>SCI_2</td> </tr> </table> <p>(正)</p> <table border="1" style="margin-left: 40px;"> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th>レジスタ選択条件</th> <th>モジュール名</th> </tr> <tr> <td>H'FFA0</td> <td>SMR_2 (RELOCATE=0)</td> <td>MSTP5=0、 STCRのHICE=0</td> <td>SCI_2</td> </tr> </table>	下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	H'FFA0	SMR_2	MSTP5=0	SCI_2	下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	H'FFA0	SMR_2 (RELOCATE=0)	MSTP5=0、 STCRのHICE=0	SCI_2
下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名															
H'FFA0	SMR_2	MSTP5=0	SCI_2															
下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名															
H'FFA0	SMR_2 (RELOCATE=0)	MSTP5=0、 STCRのHICE=0	SCI_2															
25.4 レジスタ選択条件	25-59	<p>(誤)</p> <table border="1" style="margin-left: 40px;"> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th>レジスタ選択条件</th> <th>モジュール名</th> </tr> <tr> <td>H'FFA1</td> <td>BRR_2</td> <td>MSTP5=0</td> <td>SCI_2</td> </tr> </table> <p>(正)</p> <table border="1" style="margin-left: 40px;"> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th>レジスタ選択条件</th> <th>モジュール名</th> </tr> <tr> <td>H'FFA1</td> <td>BRR_2 (RELOCATE=0)</td> <td>MSTP5=0、 STCRのHICE=0</td> <td>SCI_2</td> </tr> </table>	下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	H'FFA1	BRR_2	MSTP5=0	SCI_2	下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	H'FFA1	BRR_2 (RELOCATE=0)	MSTP5=0、 STCRのHICE=0	SCI_2
下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名															
H'FFA1	BRR_2	MSTP5=0	SCI_2															
下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名															
H'FFA1	BRR_2 (RELOCATE=0)	MSTP5=0、 STCRのHICE=0	SCI_2															



表 8 H8S/2117 グループハードウェアマニュアル正誤表 8

修正箇所	ページ	訂正箇所																						
25.4 レジスタ選択条件	25-60	(誤)																						
		<table border="1"> <thead> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th colspan="2">レジスタ選択条件</th> <th>モジュール名</th> </tr> </thead> <tbody> <tr> <td>H' FFD8</td> <td>ICCR_0 (RELOCATE=0)</td> <td colspan="2" rowspan="2">MSTP4=0、STCRのIICE=1</td> <td rowspan="4">RELOCATE=1 のとき、IICE=1の条件なし</td> </tr> <tr> <td>H' FFD9</td> <td>ICSR_0 (RELOCATE=0)</td> </tr> <tr> <td rowspan="2">H' FFDE</td> <td>ICDR_0 (RELOCATE=0)</td> <td rowspan="2">MSTP4=0 STCRのIICE=1</td> <td>ICCR_0のIICE=1</td> </tr> <tr> <td>SARX_0 (RELOCATE=0)</td> <td>ICCR_0のIICE=0</td> </tr> <tr> <td rowspan="2">H' FFDF</td> <td>ICMR_0 (RELOCATE=0)</td> <td rowspan="2">MSTP4=0 STCRのIICE=1</td> <td>ICCR_0のIICE=1</td> </tr> <tr> <td>SAR_0 (RELOCATE=0)</td> <td>ICCR_0のIICE=0</td> </tr> </tbody> </table>	下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名	H' FFD8	ICCR_0 (RELOCATE=0)	MSTP4=0、STCRのIICE=1		RELOCATE=1 のとき、IICE=1の条件なし	H' FFD9	ICSR_0 (RELOCATE=0)	H' FFDE	ICDR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0のIICE=1	SARX_0 (RELOCATE=0)	ICCR_0のIICE=0	H' FFDF	ICMR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0のIICE=1
下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名																				
H' FFD8	ICCR_0 (RELOCATE=0)	MSTP4=0、STCRのIICE=1		RELOCATE=1 のとき、IICE=1の条件なし																				
H' FFD9	ICSR_0 (RELOCATE=0)																							
H' FFDE	ICDR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0のIICE=1																					
	SARX_0 (RELOCATE=0)		ICCR_0のIICE=0																					
H' FFDF	ICMR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0のIICE=1																					
	SAR_0 (RELOCATE=0)		ICCR_0のIICE=0																					
付録 D. 未使用端子の処理について 表D.1 未使用端子の処理例	付録-6	(正)																						
		<table border="1"> <thead> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th colspan="2">レジスタ選択条件</th> <th>モジュール名</th> </tr> </thead> <tbody> <tr> <td>H' FFD8</td> <td>ICCR_0 (RELOCATE=0)</td> <td colspan="2" rowspan="2">MSTP4=0、STCRのIICE=1</td> <td rowspan="4">RELOCATE=1 のとき、IICE=1の条件なし</td> </tr> <tr> <td>H' FFD9</td> <td>ICSR_0 (RELOCATE=0)</td> </tr> <tr> <td rowspan="2">H' FFDE</td> <td>ICDR_0 (RELOCATE=0)</td> <td rowspan="2">MSTP4=0 STCRのIICE=1</td> <td>ICCR_0 の IICE=1</td> </tr> <tr> <td>SARX_0 (RELOCATE=0)</td> <td>ICCR_0 の IICE=0</td> </tr> <tr> <td rowspan="2">H' FFDF</td> <td>ICMR_0 (RELOCATE=0)</td> <td rowspan="2">MSTP4=0 STCRのIICE=1</td> <td>ICCR_0 の IICE=1</td> </tr> <tr> <td>SAR_0 (RELOCATE=0)</td> <td>ICCR_0 の IICE=0</td> </tr> </tbody> </table>	下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名	H' FFD8	ICCR_0 (RELOCATE=0)	MSTP4=0、STCRのIICE=1		RELOCATE=1 のとき、IICE=1の条件なし	H' FFD9	ICSR_0 (RELOCATE=0)	H' FFDE	ICDR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0 の IICE=1	SARX_0 (RELOCATE=0)	ICCR_0 の IICE=0	H' FFDF	ICMR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0 の IICE=1
下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名																				
H' FFD8	ICCR_0 (RELOCATE=0)	MSTP4=0、STCRのIICE=1		RELOCATE=1 のとき、IICE=1の条件なし																				
H' FFD9	ICSR_0 (RELOCATE=0)																							
H' FFDE	ICDR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0 の IICE=1																					
	SARX_0 (RELOCATE=0)		ICCR_0 の IICE=0																					
H' FFDF	ICMR_0 (RELOCATE=0)	MSTP4=0 STCRのIICE=1	ICCR_0 の IICE=1																					
	SAR_0 (RELOCATE=0)		ICCR_0 の IICE=0																					
付録 D. 未使用端子の処理について 表D.1 未使用端子の処理例	付録-6	(誤)																						
		<table border="1"> <thead> <tr> <th>端子名</th> <th>端子処理例</th> </tr> </thead> <tbody> <tr> <td>Vref</td> <td>・外付けコンデンサを介して VSS に接続</td> </tr> </tbody> </table>	端子名	端子処理例	Vref	・外付けコンデンサを介して VSS に接続																		
端子名	端子処理例																							
Vref	・外付けコンデンサを介して VSS に接続																							
付録 D. 未使用端子の処理について 表D.1 未使用端子の処理例	付録-6	(正)																						
		<table border="1"> <thead> <tr> <th>端子名</th> <th>端子処理例</th> <th>削除</th> </tr> </thead> <tbody> <tr> <td>Vref</td> <td>・外付けコンデンサを介して VSS に接続</td> <td>削除</td> </tr> </tbody> </table>	端子名	端子処理例	削除	Vref	・外付けコンデンサを介して VSS に接続	削除																
端子名	端子処理例	削除																						
Vref	・外付けコンデンサを介して VSS に接続	削除																						

— 以上 —

付図1：(誤) 図19.1 LPCのブロック図

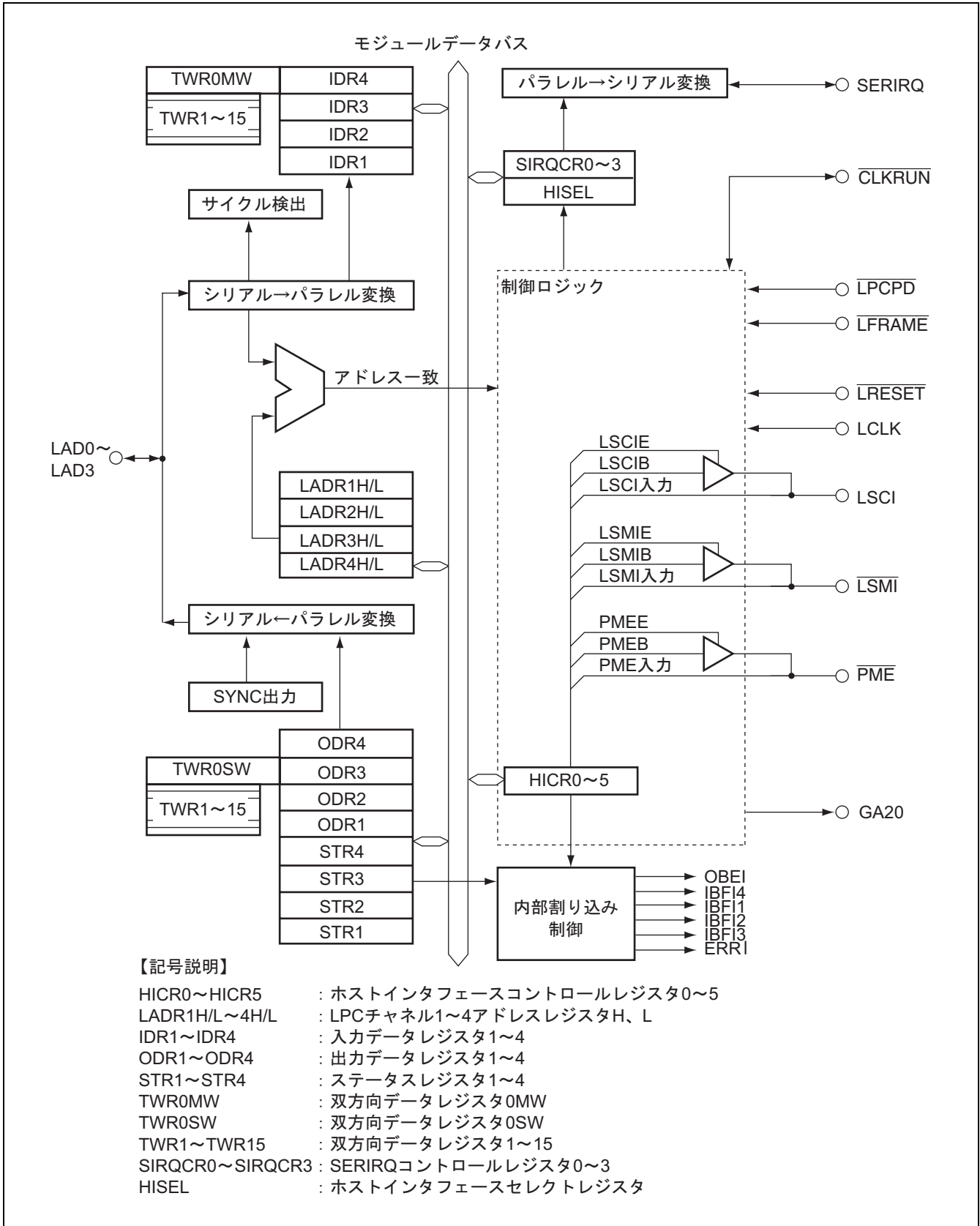


図19.1 LPCのブロック図

付図2：(正) 図19.1 LPCのブロック図

