

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-H8*-A428A/J	Rev.	第1版
題名	H8S-Ether 送信アンダフロー発生時の使用上の注意事項について		情報分類	技術情報	
適用製品	R4F2472、R4F2463、R4F2462	対象ロット等	関連資料	下記参照	
		全ロット			

拝啓、貴社益々ご清栄のこととお慶び申し上げます。また、日頃より格段のご愛顧を賜り深謝申し上げます。

H8S-Ether 内蔵イーサネットコントローラ用ダイレクトメモリアクセスコントローラ(E-DMAC)に関しまして、送信アンダフロー発生時に以下のような注意事項があります。なお、送信アンダフローが発生すると不正なパケットがイーサネット回線に送出される事になりますので、システムとして送信アンダフローを発生させないような設計を行って戴くことが前提にあります。万一送信アンダフローが発生するような状況が生じた場合は、本内容をご配慮の上、ご使用下さいますよう宜しくお願い申し上げます。

**【該当製品】**

- ・ R4F2472
- ・ R4F2463
- ・ R4F2462

**【関連資料】**

- ・ H8S/2472、H8S/2463、H8S/2462 グループハードウェアマニュアル Rev.2.00(RJJ09B0430)

**【不具合内容】**

H8S-Ether 内蔵E-DMAC の送信動作において、E-DMAC 以外の他バスマスタによるバス占有などの理由によってE-DMACがバス権を獲得できない場合、送信FIFO へのライトデータが滞り送信アンダフローが発生します。その後、E-DMAC が再びバス権を獲得すると残りの送信データの転送を再開し、DMA 転送完了後に該当ディスクリプタヘライトバックを行った後に、次のディスクリプタフェッチに移るのが本来期待する動作です。しかし、FIFO 容量指定レジスタ(FDR)の送信FIFO 容量値 ≤ 最大送信フレーム長(1518 バイト)の場合、送信アンダフロー発生時点の残りのフレームデータ長と送信FIFO ポインタの関係によっては、E-DMAC送信要求レジスタ(EDTRR)の送信要求ビット(TR)が” 1” にセットされているにも関わらずE-DMAC が動作停止する場合があります。

E-DMAC が停止する場合の動作と送信 FIFO との関係を、以下に示します。

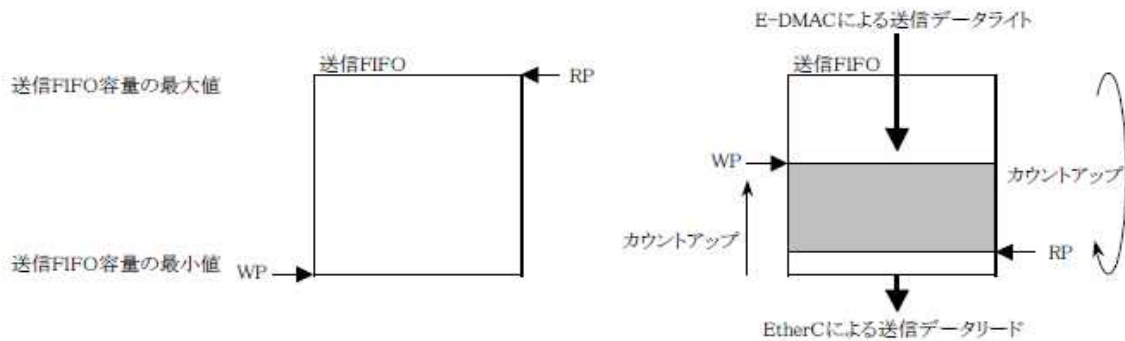
送信データは、外部メモリ(送信バッファ) → E-DMAC によるDMA 転送 → 送信FIFO → EtherC 経由でMII 端子から送信されます。E-DMAC が送信データを送信FIFO にライトする際は送信FIFO ライトポインタ(WP)を、EtherC により送信FIFO から送信データをリードする際は送信FIFO リードポインタ(RP)を使用します。

- (1) ソフトウェアリセット後、送信FIFO は初期状態となり WP は送信FIFO 容量の最小値を、RP は送信FIFO 容量の最大値となります。
- (2) E-DMAC によるDMA 転送が開始すると、送信データが送信FIFO にライトされ WP がカウントアップします。一方、送信FIFO にライトされたデータは、EtherC により読み出されると RP がカウントアップします。

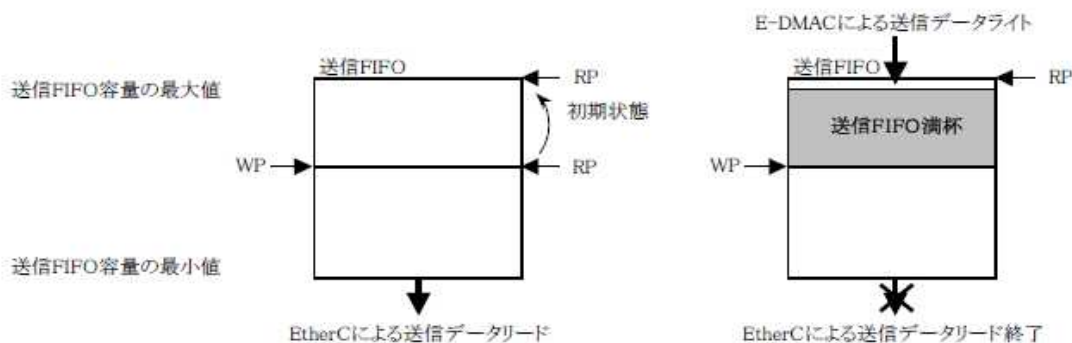
注) 送信FIFO に格納されるデータは、処理中の1 フレームのみです。次フレームをまたいで格納されることはありません。即ち、処理中の1 フレームが送信FIFO からリードされない限り、E-DMAC は次フレームを送信FIFO に転送しません。

- (3) システム的な原因によりE-DMAC がバス権を獲得できない場合、DMA 転送が滞り送信アンダフローが発生 (WP=RP、且つ、フレーム長未満) するとEtherC による送信FIFO のリードアクセスを終了し、RP を初期状態 (送信FIFO 容量の最大値) にします。
- (4) その後、E-DMAC が再びバス権を獲得すると残りのフレームデータのDMA 転送を再開しますが、送信アンダフロー発生時点での残りのフレームデータ(1 フレーム分)を全て送信FIFO にライトできずに送信FIFO が満杯になると、更に残りのデータを転送するためにE-DMAC は送信FIFO の空き待ち状態となります。しかし、(3)においてEtherC による送信FIFO のリードアクセスは終了しており送信FIFO 内のデータは満杯状態のまま、E-DMAC は動作停止状態となります。

即ち、送信アンダフロー発生時点の  $(RP \text{ の初期値} - WP \text{ 値}) < \text{残りのフレームデータ長}$  の場合に本不具合が発生します。



(1) ソフトウェアリセット後の初期状態時 (2) 送信データライトおよび送信データリード



(3) 送信アンダフロー発生 (4) E-DMAC動作停止不具合発生時

WP: 送信 FIFO ライトポインタ  
RP: 送信 FIFO リードポインタ

【対応方法】

FIFO 容量指定レジスタ(FDR)の送信FIFO 容量値 ≤ 最大送信フレーム長(1518 バイト)の条件の場合、本不具合が該当します。本不具合を回避して戴くためには、FIFO 容量指定レジスタ(FDR)の送信FIFO 容量値を、2K バイト(または、1792 バイト)に設定し、且つ、送信FIFO しきい値指定レジスタ (TFTR) を”ストア&フォワードモード” に設定し使用して下さい。

表 1. 最大規定時間参考値

回線速度		10Mbpsの時	100Mbps
最大 規定 時間	フロー制御無し、且つ、全二重通信の場合	1.3m秒以上	130 μ 秒以上
	フロー制御無し、且つ、半二重通信の場合	183m秒以上 (最大366m秒)	18.3秒以上(最大36.6m秒)
	フロー制御ありの場合	336m秒以上	33.6m秒以上

a) 最大規定時間とは、1フレーム送信にかかる最大時間、または、フロー制御の最大時間です。

【その他】

関連するTECHNICAL UPDATE TN-H8S-A\*\*\*/J 「H8S-Ether EtherC/E-DMAC ステータスレジスタ(EESR)に関する使用上の注意について(2)」

— 以上 —