

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

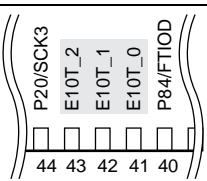
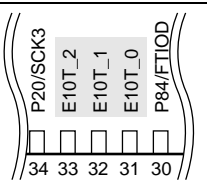
【問い合わせ先】 <http://japan.renesas.com/inquiry>

— 日立半導体技術情報 —

〒 100-0004
 東京都千代田区大手町 2 丁目 6 番 2 号
 (日本ビル)
 TEL (03)5201-5271 (ダイヤルイン)
 株式会社 日立製作所 半導体グループ

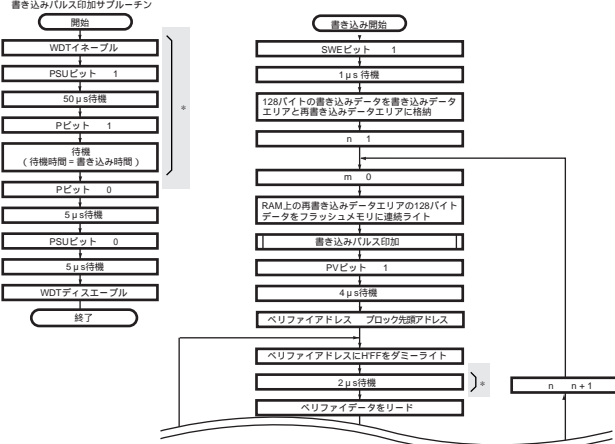
製品分類	マイコン	発行番号	TN-H8*-233A	Rev.	第 1 版
題名	H8/3672 シリーズハードウェアマニュアル 第 2 版発行時の修正、削除および追加箇所	情報分類	1. 仕様変更 ② ドキュメント訂正追加等 3. 使用上の注意事項 4. マスク変更 5. ライン変更		
適用製品	H8/3672 シリーズ	対象ロット等	H8/3672 シリーズハードウェアマニュアル ADJ-602-267A 第 2 版	有効期限	
		全ロット		永年	
関連資料					

日立シングルチップマイクロコンピュータ H8/3672 シリーズ (H8/3672、H8/3670) ハードウェアマニュアル第 2 版におきまして、第 1 版の誤記を修正、削除、および追加した箇所がありますので、ご連絡させていただきます。

項目	ページ	修正箇所
製品に関する一般的注意事項		追加
本書の構成		追加
はじめに		ご注意追加 オンチップエミュレータ (E10T) を使用して H8/3672 のプログラム開発、デバッグを行う場合の制限事項 (1~5)
1.1 特長	1-1	パッケージ LQFP-48 (FP-48B) 追加
1.2 内部ブロック図 図 1.1 内部ブロック図	1-2	↔ E10T_0 ↔ E10T_1 ↔ E10T_2
1.3 ピン配置図 図 1.2 ピン配置図 (FP-64E)	1-3	 <p>【注】 NC には何も接続しないでください (内部は接続されていません)。</p>
図 1.3 ピン配置図 (FP-48F、FP-48B)	1-4	 <p>【注】 NC には何も接続しないでください (内部は接続されていません)。</p>

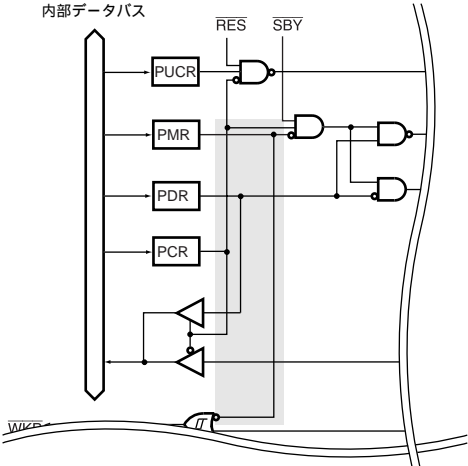
項目	ページ	修正箇所															
1.4 端子機能 表 1.1 端子機能	1-5	<table border="1"> <tr> <td>シリアルコミュ</td> <td>TXD</td> <td>46</td> <td>36</td> <td>出力</td> </tr> <tr> <td>ニケーションイ</td> <td>RXD</td> <td>45</td> <td>35</td> <td>入力</td> </tr> <tr> <td>インタフェース</td> <td>SCK3</td> <td>44</td> <td>34</td> <td>入出力</td> </tr> </table>	シリアルコミュ	TXD	46	36	出力	ニケーションイ	RXD	45	35	入力	インタフェース	SCK3	44	34	入出力
シリアルコミュ	TXD	46	36	出力													
ニケーションイ	RXD	45	35	入力													
インタフェース	SCK3	44	34	入出力													
	1-6	<table border="1"> <tr> <td>E10T</td> <td>E10T_0、 E10T_1、 E10T_2</td> <td>41、42、 43</td> <td>31、32、 33</td> <td>E10T エミュレータ用 インタフェース端子 です。</td> </tr> </table>	E10T	E10T_0、 E10T_1、 E10T_2	41、42、 43	31、32、 33	E10T エミュレータ用 インタフェース端子 です。										
E10T	E10T_0、 E10T_1、 E10T_2	41、42、 43	31、32、 33	E10T エミュレータ用 インタフェース端子 です。													
2.1 アドレス空間とメモリマップ 図 2.1 メモリマップ	2-2																
4.1.1 アドレスブレイクコントロールレジスタ (ABRKCR)	4-2	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>ACMP2</td> <td>アドレスコンペア 2-0</td> </tr> <tr> <td>3</td> <td>ACMP1</td> <td>BAR と内部アドレスバスの比較条件を設定します。</td> </tr> <tr> <td>2</td> <td>ACMP0</td> <td>000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)</td> </tr> </tbody> </table>	ビット	ビット名	説明	4	ACMP2	アドレスコンペア 2-0	3	ACMP1	BAR と内部アドレスバスの比較条件を設定します。	2	ACMP0	000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)			
ビット	ビット名	説明															
4	ACMP2	アドレスコンペア 2-0															
3	ACMP1	BAR と内部アドレスバスの比較条件を設定します。															
2	ACMP0	000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)															
4. アドレスブレイク 4.2 動作説明	4-4	説明修正 アドレスブレイク機能は、ABRKSR の ABIF が 1 にセットされ、ABRKSR の ABIE が 1 にセットされているとき、CPU に対して割り込み要求を発生します。ここで ABRKSR の ABIF は、BAR に設定されたアドレス、BDR に設定されたデータ、および ABRKCR に設定された条件の組み合わせで、1 にセットされます。															
図 4.2 アドレスブレイク割り込み動作例 (3)	4-5	削除															
4.3 使用上の注意事項	4-5	追加															
5.1 システムクロック発振器 図 5.2 システムクロック発振器のブロック図	5-2	追加 【注】 LPM : 低消費電力モード (スタンバイモード、サブスリープモード)															
5.2.1 プリスケアラ S	5-3	説明修正 なお、アクティブモードおよびスリープモードではプリスケアラ S のクロック入力は SYSCR2 の MA2 ~ MA0 で設定した分周比のシステムクロックとなります。															

項目	ページ	修正箇所											
5.3.1 発振子に関する注意事項	5-4	説明修正 発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。											
6.1.1 システムコントロールレジスタ1 (SYSCR1)	6-2	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>STS2</td> <td>スタンバイタイムセレクト2-0</td> </tr> <tr> <td>5</td> <td>STS1</td> <td rowspan="2">スタンバイモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が6.5ms以上となるように設定してください。設定値と待機ステート数の関係は表6.1のとおりです。 外部クロックを使用する場合は最小値(STS2 = STS1 = STS0 = 1)を推奨します。</td> </tr> <tr> <td>4</td> <td>STS0</td> </tr> </tbody> </table>	ビット	ビット名	説明	6	STS2	スタンバイタイムセレクト2-0	5	STS1	スタンバイモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が6.5ms以上となるように設定してください。設定値と待機ステート数の関係は表6.1のとおりです。 外部クロックを使用する場合は最小値(STS2 = STS1 = STS0 = 1)を推奨します。	4	STS0
ビット	ビット名	説明											
6	STS2	スタンバイタイムセレクト2-0											
5	STS1	スタンバイモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が6.5ms以上となるように設定してください。設定値と待機ステート数の関係は表6.1のとおりです。 外部クロックを使用する場合は最小値(STS2 = STS1 = STS0 = 1)を推奨します。											
4	STS0												
6.1.4 モジュールスタンバイコントロールレジスタ2 (MSTCR2)	6-4	削除											
7. ROM	7-1	修正 EIOT E10T ・書き換え回数 1000回まで書き換え可能です。 ・低消費電力モード 削除											
7.2.4 フラッシュメモリーネーブルレジスタ (FENR)	7-4	説明修正 FENRのビット7 (FLSHE)は、CPUからフラッシュメモリの制御レジスタFLMCR1、FLMCR2、EBR1をアクセスする場合のアクセス許可/禁止を設定します。											
7.3 オンボードプログラミング 表 7.1 プログラミングモード選択方法	7-5	修正 EIOT_0 E10T_0											

項目	ページ	修正箇所																				
<p>7.3.1 ブートモード 表 7.2 ブートモードの動作</p>	<p>7-7</p>	<p>修正</p> <table border="1" data-bbox="719 315 1337 1010"> <thead> <tr> <th data-bbox="719 315 963 353">項目</th> <th data-bbox="963 315 1098 353">ホストの動作 処理内容</th> <th data-bbox="1098 315 1246 353">通信内容</th> <th data-bbox="1246 315 1337 353">本LSIの動作 処理内容</th> </tr> </thead> <tbody> <tr> <td data-bbox="719 353 963 454">ブートモード起動</td> <td data-bbox="963 353 1098 454"></td> <td data-bbox="1098 353 1246 454"></td> <td data-bbox="1246 353 1337 454">リセットスタート後 ブートプログラムへ分岐 ブートプログラム起動</td> </tr> <tr> <td data-bbox="719 454 963 600">ビットレートの合わせ込み</td> <td data-bbox="963 454 1098 600">所定のビットレートでH00を連続送信 H00を正常に受信したらH55送信</td> <td data-bbox="1098 454 1246 600">H00, H00...H00 H00 H55</td> <td data-bbox="1246 454 1337 600">受信データH00のLow期間を測定 ビットレートを計算し、SCI3のBRRを設定 ビットレート合わせ込み終了後、ホストへH00を送信</td> </tr> <tr> <td data-bbox="719 600 963 723">フラッシュメモリ活去</td> <td data-bbox="963 600 1098 723">ブートプログラム 消去エラー HAA受信</td> <td data-bbox="1098 600 1246 723">HFF HAA</td> <td data-bbox="1246 600 1337 723">フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへHAAを送信。 (消去できなかった場合はHFFを送信して、動作を停止)</td> </tr> <tr> <td data-bbox="719 723 963 1010">書き込み制御プログラムの転送</td> <td data-bbox="963 723 1098 1010">転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイト毎に送信(N回繰り返し) HAA受信</td> <td data-bbox="1098 723 1246 1010">上位バイト、下位バイト エコーバック HXX エコーバック HAA</td> <td data-bbox="1246 723 1337 1010">受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し) H55を受信したらホストへHAAを送信 内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始</td> </tr> </tbody> </table>	項目	ホストの動作 処理内容	通信内容	本LSIの動作 処理内容	ブートモード起動			リセットスタート後 ブートプログラムへ分岐 ブートプログラム起動	ビットレートの合わせ込み	所定のビットレートでH00を連続送信 H00を正常に受信したらH55送信	H00, H00...H00 H00 H55	受信データH00のLow期間を測定 ビットレートを計算し、SCI3のBRRを設定 ビットレート合わせ込み終了後、ホストへH00を送信	フラッシュメモリ活去	ブートプログラム 消去エラー HAA受信	HFF HAA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへHAAを送信。 (消去できなかった場合はHFFを送信して、動作を停止)	書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイト毎に送信(N回繰り返し) HAA受信	上位バイト、下位バイト エコーバック HXX エコーバック HAA	受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し) H55を受信したらホストへHAAを送信 内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始
項目	ホストの動作 処理内容	通信内容	本LSIの動作 処理内容																			
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 ブートプログラム起動																			
ビットレートの合わせ込み	所定のビットレートでH00を連続送信 H00を正常に受信したらH55送信	H00, H00...H00 H00 H55	受信データH00のLow期間を測定 ビットレートを計算し、SCI3のBRRを設定 ビットレート合わせ込み終了後、ホストへH00を送信																			
フラッシュメモリ活去	ブートプログラム 消去エラー HAA受信	HFF HAA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへHAAを送信。 (消去できなかった場合はHFFを送信して、動作を停止)																			
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイト毎に送信(N回繰り返し) HAA受信	上位バイト、下位バイト エコーバック HXX エコーバック HAA	受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し) H55を受信したらホストへHAAを送信 内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始																			
<p>7.4.1 プログラム/プログラムベリファイ</p>	<p>7-9</p>	<p>説明修正 7. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードもしくはロングワードで読み出せます。</p>																				
<p>図 7.3 プログラム/プログラムベリファイフロー</p>	<p>7-10</p>	 <p>【注】 * 下記(1)、(2)の処理の間は、RTS命令を使用しないでください。 (1) 128バイトデータをフラッシュメモリにライトした後、Pビットをクリアするまでの間 (2) ベリファイアドレスにH'FFをダミーライトした後、ベリファイデータをリードするまでの間</p>																				

項目	ページ	修正箇所																									
7.4.3 フラッシュメモリの書き込み / 消去時の割り込み 図 7.4 イレース / イレースペリファイブロ	7-13	<p>【注】* ペリファイアドレスにHFFをダミーライトした後、ペリファイデータをリードするまでの間はRTS命令を使用しないでください。</p>																									
9.5.1 ポートコントロールレジスタ 8 (PCR8)	9-15	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>-</td> <td>-</td> <td>-</td> <td>リザーブビットです。</td> </tr> <tr> <td>6</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> <tr> <td>5</td> <td>-</td> <td>-</td> <td>-</td> <td></td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	-	-	-	リザーブビットです。	6	-	-	-		5	-	-	-						
ビット	ビット名	初期値	R/W	説明																							
7	-	-	-	リザーブビットです。																							
6	-	-	-																								
5	-	-	-																								
10.3.2 タイムコンスタントレジスタ A, B (TCORA, TCORB)	10-3	<p>初期値追加 TCORA, TCORB の初期値は H'FF です。</p>																									
10.3.5 タイマコントロールレジスタ V1 (TCRV1)	10-6	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TRGE</td> <td>TVEG1、TVEG0 で選択されたエッジの入力により、TCNTV カウントアップが開始します。 0: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 1: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可</td> </tr> </tbody> </table>	ビット	ビット名	説明	2	TRGE	TVEG1、TVEG0 で選択されたエッジの入力により、TCNTV カウントアップが開始します。 0: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 1: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可																			
ビット	ビット名	説明																									
2	TRGE	TVEG1、TVEG0 で選択されたエッジの入力により、TCNTV カウントアップが開始します。 0: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 1: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可																									
11.3.2 タイマコントロールレジスタ W (TCRW)	11-6	<p>説明修正 TCRW は TCNT のカウンタロックの選択、カウンタのクリア条件やタイマの出力レベルの設定を選択します。</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>TOD</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセット D 0: 出力値 0* 1: 出力値 1*</td> </tr> <tr> <td>2</td> <td>TOC</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセット C 0: 出力値 0* 1: 出力値 1*</td> </tr> <tr> <td>1</td> <td>TOB</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセット B 0: 出力値 0* 1: 出力値 1*</td> </tr> <tr> <td>0</td> <td>TOA</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセット A 0: 出力値 0* 1: 出力値 1*</td> </tr> </tbody> </table> <p>【注】* 出力値は変更した時点で反映されます。</p>	ビット	ビット名	初期値	R/W	説明	3	TOD	0	R/W	タイマ出力レベルセット D 0: 出力値 0* 1: 出力値 1*	2	TOC	0	R/W	タイマ出力レベルセット C 0: 出力値 0* 1: 出力値 1*	1	TOB	0	R/W	タイマ出力レベルセット B 0: 出力値 0* 1: 出力値 1*	0	TOA	0	R/W	タイマ出力レベルセット A 0: 出力値 0* 1: 出力値 1*
ビット	ビット名	初期値	R/W	説明																							
3	TOD	0	R/W	タイマ出力レベルセット D 0: 出力値 0* 1: 出力値 1*																							
2	TOC	0	R/W	タイマ出力レベルセット C 0: 出力値 0* 1: 出力値 1*																							
1	TOB	0	R/W	タイマ出力レベルセット B 0: 出力値 0* 1: 出力値 1*																							
0	TOA	0	R/W	タイマ出力レベルセット A 0: 出力値 0* 1: 出力値 1*																							

項目	ページ	修正箇所																	
11.4.1 通常動作 図 11.6 トグル出力の動作例(TOA = 0、TOB = 1 の場合)	11-14	<p>TCNTの値</p>																	
12.1 特長	12-1	<p>説明修正</p> <ul style="list-style-type: none"> ・9種類の内部クロックを選択可能 <p>タイマのカウントクロックとして8種類の内部クロック(/64、/128、/256、/512、/1024、/2048、/4096、/8192)または内部発振器を選択可能です。内部発振器を選択した場合はすべての動作モードでウォッチドッグタイマとして動作します。</p>																	
12.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)	12-2	<p>TCSRWD は TCSRWD 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>R/W</td> </tr> <tr> <td>5</td> <td>R/W</td> </tr> <tr> <td>3</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>R/W</td> </tr> </tbody> </table>	ビット	R/W	7	R/W	5	R/W	3	R/W	1	R/W							
ビット	R/W																		
7	R/W																		
5	R/W																		
3	R/W																		
1	R/W																		
13.3.4 トランスミットデータレジスタ (TDR)	13-3	<p>初期値追加</p> <p>TDR の初期値は H'FF です。</p>																	
13.3.7 シリアルステータスレジスタ (SSR)	13-7	<table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TEND</td> <td>1</td> <td>R</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	2	TEND	1	R									
ビット	ビット名	初期値	R/W																
2	TEND	1	R																
15.1 内部電源降圧回路を使用する場合	15-1	<p>図 15.1 のように、Vcc 端子に外部電源を接続し、Vcl と Vss 間に約 0.1 μF の容量を接続してください。</p>																	
15.2 内部電源降圧回路を使用しない場合	15-1	<p>図 15.2 のように Vcl と Vcc 端子に外部電源を接続してください。</p>																	
17.2.6 フラッシュメモリ特性 表 17.7 フラッシュメモリ特性	17-11	<table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>Min</th> <th>Typ</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td>書き換え回数</td> <td>NWEC</td> <td></td> <td>-</td> <td>-</td> <td>1000</td> <td>回</td> </tr> </tbody> </table>	項目	記号	測定条件	規格値			単位	Min	Typ	Max	書き換え回数	NWEC		-	-	1000	回
項目	記号	測定条件				規格値				単位									
			Min	Typ	Max														
書き換え回数	NWEC		-	-	1000	回													

項目	ページ	修正箇所
B.1 I/O ポートブロック図	付録-34	<p>図 B.10 ポート 5 ブロック図 (P54、 P53、 P52、 P51、 P50)</p>  <p>The diagram illustrates the internal data bus connections for Port 5. On the left, a vertical bar represents the internal data bus. Four registers are connected to this bus: PUCR, PMR, PDR, and PCR. The PUCR register is connected to the bus and also to a logic gate. The PMR register is connected to the bus and also to a logic gate. The PDR register is connected to the bus and also to a logic gate. The PCR register is connected to the bus and also to a logic gate. The RES and SBY signals are connected to the logic gates. The output of the logic gates is connected to the bus. The diagram also shows a WAKE signal and a pull-up resistor (represented by a circle with a diagonal line) connected to the bus.</p>