

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

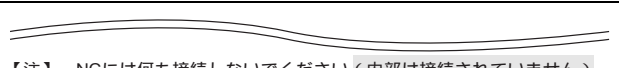
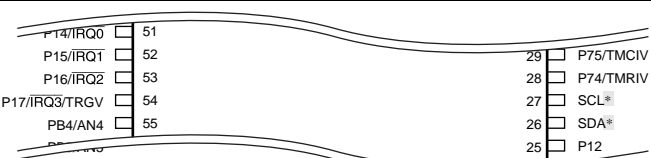
【問い合わせ先】 <http://japan.renesas.com/inquiry>

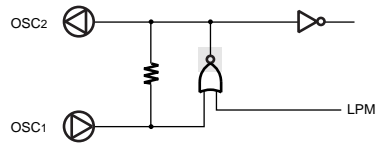
# — 日立半導体技術情報 —

〒 100-0004  
 東京都千代田区大手町2丁目6番2号  
 (日本ビル)  
 TEL (03)5201-5271 (ダイヤルイン)  
 株式会社 日立製作所 半導体グループ

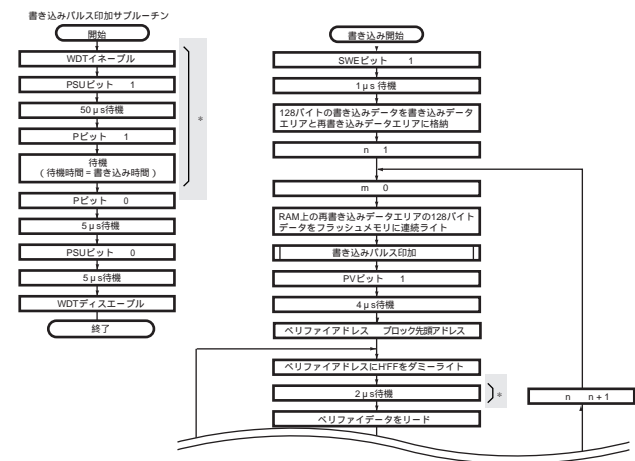
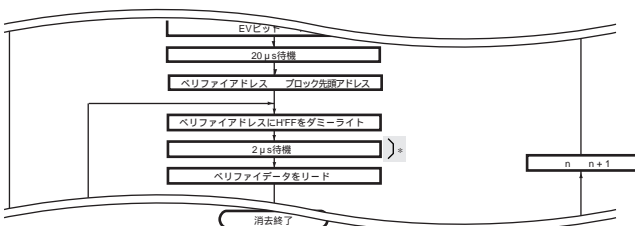
製品分類	マイコン	発行番号	TN-H8*-232A	Rev.	第1版
題名	H8/3664 シリーズハードウェアマニュアル 第4版発行時の修正、削除および追加箇所	情報分類	①. 仕様変更 ②. ドキュメント訂正追加等 ③. 使用上の注意事項 ④. マスク変更 ⑤. ライン変更		
適用製品	H8/3664 シリーズ	対象ロット等	関連資料 H8/3664 シリーズハードウェアマニュアル ADJ-602-223C 第4版	有効期限	
		全ロット		永年	

日立シングルチップマイクロコンピュータ H8/3664 シリーズ (H8/3664N、H8/3664F、H8/3664、H8/3663、H8/3662、H8/3661、H8/3660) ハードウェアマニュアル第4版におきまして、第3版の誤記を修正、削除、および追加した箇所がありますので、ご連絡させていただきます。

項目	ページ	修正箇所
製品に関する一般的注意事項		追加
本書の構成		追加
はじめに		ご注意追加 オンチップエミュレータ (E10T) を使用して H8/3664 のプログラム開発、デバッグを行う場合の制限事項 (1~6)
1.1 特長	1-2	パッケージ追加 LQFP-48 (FP-48F)、LQFP-48 (FP-48B)
1.3 ピン配置図	1-4	 <p>【注】 NCには何も接続しないでください (内部は接続されていません)。</p>
図 1.3 F-ZTAT™ 版 / マスク ROM 版 H8/3664 ピン配置図 (FP-64E、FP-64A)	1-5	追加
図 1.4 F-ZTAT™ 版 / マスク ROM 版 H8/3664 ピン配置図 (FP-48F、FP-48B)	1-7	 <p>【注】 NCには何も接続しないでください。                      * EEPROM搭載F-ZTAT™版は、I<sup>2</sup>Cバスインタフェース専用端子となります。</p>

項目	ページ	修正箇所												
1.4 端子機能	1-8	表 1.1 端子機能 FP-48F、FP-48B 追加												
表 1.1 端子機能	1-9	1.5 H8/3664N と H8/3664 の相違点 (削除) 表 1.1 端子機能【注】*1 に記載 *1 EEPROM 搭載 F-ZTAT™ 版は、fC バスインタフェース専用端子となります。リセット解除後は fC バスがディセインェブルになっているため、プログラムで ICCR の ICE ビットを 1 にセットしてください。												
4.1.1 アドレスブレイクコントロールレジスタ (ABRKCR)	4-2	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>ACMP2</td> <td>アドレスコンペア 2-0</td> </tr> <tr> <td>3</td> <td>ACMP1</td> <td>BAR と内部アドレスバスの比較条件を設定します。</td> </tr> <tr> <td>2</td> <td>ACMP0</td> <td>000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)</td> </tr> </tbody> </table>	ビット	ビット名	説明	4	ACMP2	アドレスコンペア 2-0	3	ACMP1	BAR と内部アドレスバスの比較条件を設定します。	2	ACMP0	000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)
ビット	ビット名	説明												
4	ACMP2	アドレスコンペア 2-0												
3	ACMP1	BAR と内部アドレスバスの比較条件を設定します。												
2	ACMP0	000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)												
4. アドレスブレイク	4-4	説明修正 アドレスブレイク機能は、ABRKSR の ABIF が 1 にセットされ、ABRKSR の ABIE が 1 にセットされているとき、CPU に対して割り込み要求を発生します。ここで ABRKSR の ABIF は、BAR に設定されたアドレス、BDR に設定されたデータ、および ABRKCR に設定された条件の組み合わせで、1 にセットされます。												
4.2 動作説明	4-5	図 4.2 アドレスブレイク割り込み動作例 (3) 削除												
4.3 使用上の注意事項	4-5	追加												
5.1 システムクロック発振器	5-2	 <p>【注】 LPM : 低消費電力モード (スタンバイモード、サブアクティブモード、サブスリープモード)</p>												
5.1 システムクロック発振器 図 5.2 システムクロック発振器のブロック図														
5.3.1 プリスケアラ S	5-5	説明修正 「ウォッチモード」削除 スタンバイモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケアラ S の動作も停止します。 説明修正 アクティブ (中速) モード アクティブモード なお、アクティブモードおよびスリープモードではプリスケアラ S のクロック入力は SYSCR2 の MA2-MA0 で設定した分周比のシステムクロックとなります。												
5.3.2 プリスケアラ W	5-5	説明修正 「ウォッチモード」削除 リセット時、プリスケアラ W は H'00 にインシャライズされ、リセット解除後カウントアップを開始し、スタンバイモード、サブアクティブモード、サブスリープモードでも動作を継続します。												
5.4.1 発振子に関する注意事項	5-6	説明修正 発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。												

項目	ページ	修正箇所															
6.1.1 システムコントロールレジスタ1 (SYSCR1)	6-2	<table border="1"> <thead> <tr> <th data-bbox="660 297 746 331">ビット</th> <th data-bbox="746 297 842 331">ビット名</th> <th data-bbox="842 297 1310 331">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="660 342 746 376">6</td> <td data-bbox="746 342 842 376">STS2</td> <td data-bbox="842 342 1310 376">スタンバイタイムセレクト2-0</td> </tr> <tr> <td data-bbox="660 376 746 409">5</td> <td data-bbox="746 376 842 409">STS1</td> <td data-bbox="842 376 1310 409">スタンバイモード、サブアクティブモード、サブスリープモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が6.5ms以上となるように設定してください。設定値と待機ステート数の関係は表6.1のとおりです。外部クロックを使用する場合は最小値(STS2 = STS1 = STS0 = 1)を推奨します。</td> </tr> <tr> <td data-bbox="660 409 746 454">4</td> <td data-bbox="746 409 842 454">STS0</td> <td data-bbox="842 409 1310 454"></td> </tr> <tr> <td data-bbox="660 645 746 678">3</td> <td data-bbox="746 645 842 678">NESEL</td> <td data-bbox="842 645 1310 678">ノイズ除去サンプリング周波数選択 サブクロック発振器はウォッチクロック w を生成し、システムクロック発振器はOSC クロック osc を生成しています。本ビットは、ウォッチクロック w をサンプリングするときのOSC クロックのサンプリング周波数を選択します。 osc = 2~10MHz のときは、0 を設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	説明	6	STS2	スタンバイタイムセレクト2-0	5	STS1	スタンバイモード、サブアクティブモード、サブスリープモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が6.5ms以上となるように設定してください。設定値と待機ステート数の関係は表6.1のとおりです。外部クロックを使用する場合は最小値(STS2 = STS1 = STS0 = 1)を推奨します。	4	STS0		3	NESEL	ノイズ除去サンプリング周波数選択 サブクロック発振器はウォッチクロック w を生成し、システムクロック発振器はOSC クロック osc を生成しています。本ビットは、ウォッチクロック w をサンプリングするときのOSC クロックのサンプリング周波数を選択します。 osc = 2~10MHz のときは、0 を設定してください。
ビット	ビット名	説明															
6	STS2	スタンバイタイムセレクト2-0															
5	STS1	スタンバイモード、サブアクティブモード、サブスリープモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が6.5ms以上となるように設定してください。設定値と待機ステート数の関係は表6.1のとおりです。外部クロックを使用する場合は最小値(STS2 = STS1 = STS0 = 1)を推奨します。															
4	STS0																
3	NESEL	ノイズ除去サンプリング周波数選択 サブクロック発振器はウォッチクロック w を生成し、システムクロック発振器はOSC クロック osc を生成しています。本ビットは、ウォッチクロック w をサンプリングするときのOSC クロックのサンプリング周波数を選択します。 osc = 2~10MHz のときは、0 を設定してください。															
6.2.4 サブアクティブモード	6-8	<p>説明修正</p> <p>サブアクティブモードの動作周波数は、SYSCR2のSA1、SA0により、ウォッチクロック ( w ) の2分周、4分周、8分周から選択できます。動作周波数はSLEEP 命令実行後、SLEEP 命令実行前に設定した周波数に切り替わります。</p>															
6.6 使用上の注意事項	6-9	追加															
7. ROM	7-1	<p>説明修正</p> <ul style="list-style-type: none"> <li>書き換え回数 1000回まで書き換え可能です。</li> <li>低消費電力モード サブアクティブモードでは電源回路の一部を停止させることができます。これによりフラッシュメモリを低消費電力で読み出すことができます。</li> </ul>															
7.2.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)	7-4	<p>説明修正</p> <p>FLPWCRはLSIがサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでフラッシュメモリの電源回路の一部の動作を停止し、フラッシュメモリの読み出しができるモードと、サブアクティブモード動作に移行しても、フラッシュメモリの電源回路の動作は保持しフラッシュメモリの読み出しを可能にするモードがあります。</p>															
7.2.5 フラッシュメモリーネーブルレジスタ (FENR)	7-5	<p>説明修正</p> <p>FENRのビット7 (FLSHE)は、CPUからフラッシュメモリの制御レジスタFLMCR1、FLMCR2、EBR1、FLPWCRをアクセスする場合のアクセス許可/禁止を設定します。</p>															

項目	ページ	修正箇所
7.4.1 プログラム/プログラムベリファイ	7-9	<p>説明修正</p> <p>7. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにHFFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードもしくはロングワードで読み出せます。</p>
<p>図 7.3 プログラム/プログラムベリファイフロー</p>	7-10	 <p>【注】* 下記(1)、(2)の処理の間は、RTS命令を使用しないでください。          (1) 128バイトデータをフラッシュメモリにライトした後、Pビットをクリアするまでの間          (2) ベリファイアドレスにHFFをダミーライトした後、ベリファイデータをリードするまでの間</p>
<p>7.4.3 フラッシュメモリの書き込み/消去時の割り込み</p> <p>図 7.4 イレース/イレースベリファイフロー</p>	7-13	 <p>【注】* ベリファイアドレスにHFFをダミーライトした後、ベリファイデータをリードするまでの間はRTS命令を使用しないでください。</p>
7.6 ライタモード	7-15	<p>下記の項削除</p> <p>7.6.1 ソケットアダプタ</p> <p>7.6.2 ライタモードのコマンド</p> <p>7.6.3 メモリ読み出し</p> <p>7.6.4 自動書き込み</p> <p>7.6.5 自動消去</p> <p>7.6.6 ステータス読み出し</p> <p>7.6.7 ステータスポーリング</p> <p>7.6.8 ライタモードへの遷移時間</p> <p>7.6.9 ライタモード使用時の注意事項</p>
7.7 フラッシュメモリの低消費電力動作	7-15	<p>ビット名修正</p> <p>サブアクティブモードではFLPWCRのPDWNDビットによりフラッシュメモリを低消費電力動作に設定することができます。</p>
	7-15	<p>説明修正</p> <p>・低消費電力動作状態</p> <p>フラッシュメモリの電源回路の一部を停止させることができます。これにより、フラッシュメモリを低消費電力で読み出すことができます。</p>
	7-15	<p>説明修正</p> <p>フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の動作安定化時間が必要となります。</p>

項目	ページ	修正箇所																									
8. RAM	8-1	一覧表追加																									
9.3 ポート5	9-9	<p>説明修正</p> <p>ポート5はI<sup>2</sup>Cバスインタフェース入出力端子、A/Dトリガ入力端子、ウェイクアップ割り込み入力端子と兼用の入出力ポートです。ポート5の各端子は図9.3に示す構成になっています。P57/SCL、P56/SDA端子の機能はI<sup>2</sup>Cバスインタフェースのレジスタの設定が優先されます。P56、P57の出力バッファはNMOSプッシュプル構造になっていますので、CMOS構造の出力バッファとはHighレベル出力特性が違います（「第20章 電気的特性」を参照してください）。なお、H8/3664Nには、P57とP56はありません。</p>																									
11.3.2 タイムコンスタントレジスタA、B (TCORA、TCORB)	11-3	<p>初期値追加</p> <p>TCORA、TCORBの初期値はH'FFです。</p>																									
12.3.2 タイマコントロールレジスタW (TCRW)	12-6	<p>修正</p> <p>TCRWはTCNTのカウントクロックの選択、カウンタのクリア条件やタイマの出力レベルの設定を選択します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>TOD</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセットD 0: 出力値 0* 1: 出力値 1*</td> </tr> <tr> <td>2</td> <td>TOC</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセットC 0: 出力値 0* 1: 出力値 1*</td> </tr> <tr> <td>1</td> <td>TOB</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセットB 0: 出力値 0* 1: 出力値 1*</td> </tr> <tr> <td>0</td> <td>TOA</td> <td>0</td> <td>R/W</td> <td>タイマ出力レベルセットA 0: 出力値 0* 1: 出力値 1*</td> </tr> </tbody> </table> <p>【注】 * 出力値は変更した時点で反映されます。</p>	ビット	ビット名	初期値	R/W	説明	3	TOD	0	R/W	タイマ出力レベルセットD 0: 出力値 0* 1: 出力値 1*	2	TOC	0	R/W	タイマ出力レベルセットC 0: 出力値 0* 1: 出力値 1*	1	TOB	0	R/W	タイマ出力レベルセットB 0: 出力値 0* 1: 出力値 1*	0	TOA	0	R/W	タイマ出力レベルセットA 0: 出力値 0* 1: 出力値 1*
ビット	ビット名	初期値	R/W	説明																							
3	TOD	0	R/W	タイマ出力レベルセットD 0: 出力値 0* 1: 出力値 1*																							
2	TOC	0	R/W	タイマ出力レベルセットC 0: 出力値 0* 1: 出力値 1*																							
1	TOB	0	R/W	タイマ出力レベルセットB 0: 出力値 0* 1: 出力値 1*																							
0	TOA	0	R/W	タイマ出力レベルセットA 0: 出力値 0* 1: 出力値 1*																							
12.4.1 通常動作 図12.6 トグル出力の動作例 (TOA=0、TOB=1の場合)	12-14																										
13.2.1 タイマコントロール/ステータスレジスタWD (TCSRWD)	13-2	<p>説明修正</p> <p>TCSRWDはTCSRWD自身とTCWDの書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えはMOV命令で行ってください。ビット操作命令では設定値の変更ができません。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>R/W</td> </tr> <tr> <td>5</td> <td>R/W</td> </tr> <tr> <td>3</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>R/W</td> </tr> </tbody> </table>	ビット	R/W	7	R/W	5	R/W	3	R/W	1	R/W															
ビット	R/W																										
7	R/W																										
5	R/W																										
3	R/W																										
1	R/W																										
14.3.4 トランスミットデータレジスタ (TDR)	14-3	<p>初期値追加</p> <p>TDRの初期値はH'FFです。</p>																									

項目	ページ	修正箇所																	
14.3.7 シリアルステータスレジスタ (SSR)	14-7	ビット2 TENDの初期値修正 0 1																	
18.1 内部電源降圧回路を使用する場合	18-1	説明修正 図 18.1 のように、Vcc 端子に外部電源を接続し、Vcl と Vss間に約 0.1 μF の容量を接続してください。																	
18.2 内部電源降圧回路を使用しない場合	18-1	説明修正 図 18.2 のように、Vcl と Vcc 端子に外部電源を接続してください。																	
20.2.3 AC 特性 表 20.3 AC 特性	20-12	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>適用端子</th> </tr> </thead> <tbody> <tr> <td>入力端子 High レベル幅</td> <td>t<sub>IH</sub></td> <td>NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD</td> </tr> <tr> <td>入力端子 Low レベル幅</td> <td>t<sub>IL</sub></td> <td>NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD</td> </tr> </tbody> </table>	項目	記号	適用端子	入力端子 High レベル幅	t <sub>IH</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD	入力端子 Low レベル幅	t <sub>IL</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD								
項目	記号	適用端子																	
入力端子 High レベル幅	t <sub>IH</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD																	
入力端子 Low レベル幅	t <sub>IL</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD																	
20.2.6 フラッシュメモリ特性 表 20.8 フラッシュメモリ特性	20-17	<table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>Min</th> <th>Typ</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td>書き換え回数</td> <td>NWEC</td> <td></td> <td>-</td> <td>-</td> <td>1000</td> <td>回</td> </tr> </tbody> </table>	項目	記号	測定条件	規格値			単位	Min	Typ	Max	書き換え回数	NWEC		-	-	1000	回
項目	記号	測定条件				規格値				単位									
			Min	Typ	Max														
書き換え回数	NWEC		-	-	1000	回													
20.3.3 AC 特性 表 20.11 AC 特性	20-29	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>適用端子</th> </tr> </thead> <tbody> <tr> <td>入力端子 High レベル幅</td> <td>t<sub>IH</sub></td> <td>NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD</td> </tr> <tr> <td>入力端子 Low レベル幅</td> <td>t<sub>IL</sub></td> <td>NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC、 FTIOD</td> </tr> </tbody> </table>	項目	記号	適用端子	入力端子 High レベル幅	t <sub>IH</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD	入力端子 Low レベル幅	t <sub>IL</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC、 FTIOD								
項目	記号	適用端子																	
入力端子 High レベル幅	t <sub>IH</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD																	
入力端子 Low レベル幅	t <sub>IL</sub>	NMI IRQ0 - IRQ3 WKP0 - WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC、 FTIOD																	