

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

日立半導体技術情報

〒100-0004
 東京都千代田区大手町2丁目6番2号
 (日本ビル)
 TEL (03)5201-5134 (ダイヤルイン)
 株式会社 日立製作所 半導体グループ

製品分類	マイクロプロセッサ	発行番号	TN-SH7-415A		
題名	SH7706 ハードウェアマニュアル訂正のご案内	情報分類	① 仕様変更 ② ドキュメント訂正追加等 ③ 使用上の注意事項 ④ マスク変更 ⑤ ライン変更		
適用製品	SH7706(HD6417706)	対象ロット等	関連資料 SH7706 ハードウェア マニュアル第2版 ADJ-602-265A	Rev.	有効期限
		全ロット		1.0	マニュアル改訂まで

SH7706 ハードウェアマニュアルにおいて下記の訂正がありますので、ご連絡いたします。

1. 正誤表

ページ	項目	誤	正
8-24	ビット6,5,4,3の説明 “0101”の部分	0101: ロウアドレスはA10から開始 します(ロウアドレスの出力時、A10 の値はA1で出力されます。128M (2M × 16bit × 4bank)、64M (1M × 16bit × 4bank))	0101: ロウアドレスはA10から開始 します(ロウアドレスの出力時、A10 の値はA1で出力されます。128M (2M × 16bit × 4bank)、64M (2M × 8bit × 4bank))
11-5	図11.2 WTCNT,WTCNR のアドレス	アドレス: H'FFFFFFE84 アドレス: H'FFFFFFE86	アドレス: H'FFFFFFF84 アドレス: H'FFFFFFF86
17-10	17.1.6 ビット15の説明	ASEMD0=1の場合、リードすると0 が読み出されます。ライト時は常に 0にしてください。	ASEMD0=1の場合、リードすると1 が読み出されます。
18-4	18.3.2 ポートCデ ータレジスタ (PCDR)	PCDRはパワーオンリセットでH'00 に初期化された後、端子機能の初期 値、汎用入力ポート(プルアップM OSオン)として、対応する端子レ ベルが読み込まれます。	PCDRはパワーオンリセットでH'00 に初期化されます。
18-6	18.4.2 ポートDデ ータレジスタ (PDDR)	PDDRはパワーオンリセットでH'00 に初期化された後、端子機能の初期 値、汎用入力ポート(プルアップM OSオン)として、対応する端子レ ベルが読み込まれます。	PDDRはパワーオンリセットでH'00 に初期化されます。

ページ	項目	誤	正
18-7	18.5.2 ポートEデータレジスタ	PEDRはパワーオンリセットでH'00に初期化された後、端子機能の初期値、汎用入力ポート（プルアップMOSオン）として、対応する端子レベルが読み込まれます。	PEDRはパワーオンリセットでH'00に初期化されます。
18-11	18.8.2 ポートHデータレジスタ	PHDRはパワーオンリセットでH'00に初期化された後、端子機能の初期値、汎用入力ポート（プルアップMOSオン）として、対応する端子レベルが読み込まれます。	PHDRはパワーオンリセットでH'00に初期化されます。
18-12	18.9 ポートJ	各端子には入力プルアップMOSがあり、PFCのポートJコントロールレジスタ（PJCR）で制御します。	（削除）
24-4	表24.4の注	【注】* min値は、使用するクロックモードによって異なります。「表10.3クロックモードとFRQCR値の可能な組み合わせ」を参照してください。	（削除）
24-31	図 24.31 シンクロナスDRAMバーストリードサイクル (RASダウン、同じロウアドレス、CASレイテンシ=2)		Tnopサイクルを削除。 tAD,tCSD3,tRWD,tRASD,tDQMD,tDAKD1は、Tc1サイクルの先頭から規定。

2. 制御レジスタ一覧 (p.23-16)

23.3 各処理モードにおけるレジスタの状態 (網掛けが変更箇所)

レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール
PTEH	不定	不定	保持	保持	保持	CCN
PTEL	不定	不定	保持	保持	保持	
TTB	不定	不定	保持	保持	保持	
TEA	不定	不定	保持	保持	保持	
MMUCR	初期化 *1	初期化 *1	保持	保持	保持	
BASRA	不定	不定	保持	保持	保持	
BASRB	不定	不定	保持	保持	保持	
TRA	不定	不定	保持	保持	保持	
INTEVT	不定	不定	保持	保持	保持	
BRSR	初期化 *1	初期化 *1	保持	保持	保持	UBC
BRDR	初期化 *1	初期化 *1	保持	保持	保持	
FRQCR	初期化 *2	保持	保持	保持	保持	CPG
WTCNT	初期化 *2	保持	保持	保持	保持	
WTCSR	初期化 *2	保持	保持	保持	保持	
RSECAR	保持 *3	保持 *3	保持	保持	保持	RTC
RMINAR	保持 *3	保持 *3	保持	保持	保持	
RHRAR	保持 *3	保持 *3	保持	保持	保持	
RWKAR	保持 *3	保持 *3	保持	保持	保持	
RDAYAR	保持 *3	保持 *3	保持	保持	保持	
RMONAR	保持 *3	保持 *3	保持	保持	保持	
TCPR_2	不定	不定	保持	保持	保持	TMU
INTEVT2	不定	不定	保持	保持	保持	INTC
SAR_0	不定	不定	保持	保持	保持	DMAC
DAR_0	不定	不定	保持	保持	保持	
DMATCR_0	不定	不定	保持	保持	保持	
SAR_1	不定	不定	保持	保持	保持	
DAR_1	不定	不定	保持	保持	保持	
DMATCR_1	不定	不定	保持	保持	保持	
SAR_2	不定	不定	保持	保持	保持	
DAR_2	不定	不定	保持	保持	保持	
DMATCR_2	不定	不定	保持	保持	保持	
SAR_3	不定	不定	保持	保持	保持	
DAR_3	不定	不定	保持	保持	保持	
DMATCR_3	不定	不定	保持	保持	保持	UDI
SDIR *4	保持	保持	保持	保持	保持	

【注】*1 初期化されないビットがあります。

*2 WDT によるパワーオンリセット時には初期化されません。

*3 初期化されるビットがあります。

*4 TRST のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。

3 . A C 特性 (p.24-4)

表 24.5 クロックタイミングを、以下のようにひとつの表にまとめます。(網掛けが変更箇所)

表 24.5 クロックタイミング

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数(clock mode 0)	f_{EX}	25	66.67	MHz	図 24.1
EXTAL クロック入力サイクル時間(clock mode 0)	t_{EXcyc}	15	40	ns	
EXTAL クロック入力周波数(clock mode 1)	f_{EX}	6.25	16.67	MHz	
EXTAL クロック入力サイクル時間(clock mode 1)	t_{EXcyc}	60	160	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	1.5	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	1.5	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	6	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	6	ns	
CKIO クロック入力周波数	f_{CKI}	25	66.67	MHz	図 24.2
CKIO クロック入力サイクル時間	t_{CKIcyc}	15	40	ns	
CKIO クロック入力ローレベルパルス幅	t_{CKIL}	1.5	-	ns	
CKIO クロック入力ハイレベルパルス幅	t_{CKIH}	1.5	-	ns	
CKIO クロック入力立ち上がり時間	t_{CKIR}	-	6	ns	
CKIO クロック入力立ち下がり時間	t_{CKIF}	-	6	ns	
CKIO クロック出力周波数	f_{OP}	25	66.67	MHz	図 24.3
CKIO クロック出力サイクル時間	t_{cyc}	15	40	ns	
CKIO クロック出力ローレベルパルス幅	t_{CKOL}	3	-	ns	
CKIO クロック出力ハイレベルパルス幅	t_{CKOH}	3	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOR}	-	5	ns	
CKIO クロック出力立ち下がり時間	t_{CKOF}	-	5	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	図 24.4
RESETP セットアップ時間	t_{RESPTS}	20	-	ns	図 24.4、図 24.5
RESETM セットアップ時間	t_{RESMS}	0	-	ns	
RESETP アサート時間	t_{RESPW}	20	-	t_{cyc}	
RESETM アサート時間	t_{RESMW}	20	-	t_{cyc}	
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	図 24.5
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	図 24.6
スタンバイ復帰発振安定時間 3	t_{OSC4}	11	-	ms	図 24.7
PLL 同期安定化時間 (スタンバイ解除)	t_{PLL1}	100	-	μs	図 24.8、図 24.9
PLL 同期安定化時間 (逡倍変更)	t_{PLL2}	100	-	μs	図 24.10
IRQ/IRL 割り込み判定時間 (RTC 使用 & スタンバイモード時)	t_{IRLSTB}	100	-	μs	図 24.10

以上。