

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社  
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RX*-A0244A/J	Rev.	第1版
題名	RX66Nグループ ユーザーズマニュアル ハードウェア編の電気的特性に関する誤記訂正		情報分類	技術情報	
適用製品	RX66N グループ	対象ロット等	関連資料	RX66N グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0825JJ0100)	
		全ロット			

RX66N グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 の電気的特性章において、誤記がありましたので、以下のとおり訂正いたします。

## ● Page 3010 of 3089

「表 61.26 バスタイミング」において、条件 2 の ICLK の周波数を以下のとおり訂正いたします。

### 【訂正前】

表 61.26 バスタイミング

条件 1 :  $VCC = AVCC0 = AVCC1 = VCC\_USB = V_{BATT} = 2.7 \sim 3.6V$ ,  $2.7V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS\_USB = 0V$ ,  
 $ICLK = PCLKA = 8 \sim 120MHz$ ,  $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$ ,  $T_a = T_{opr}$ ,  
出力負荷条件 :  $VOH = VCC \times 0.5$ ,  $VOL = VCC \times 0.5$ ,  $C = 30pF$ ,  
駆動能力制御レジスタは高駆動出力を選択時

条件 2 :  $VCC = AVCC0 = AVCC1 = VCC\_USB = V_{BATT} = 3.0 \sim 3.6V$ ,  $3.0V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS\_USB = 0V$ ,  
 **$ICLK = PCLKA = 8 \sim 120MHz$** ,  $PCLKB = 8 \sim 60MHz$ ,  $60MHz < BCLK = SDCLK \leq 80MHz$ ,  $T_a = T_{opr}$ ,  
出力負荷条件 :  $VOH = VCC \times 0.5$ ,  $VOL = VCC \times 0.5$ ,  
SDCLK 端子  $C = 15pF$ , SDCLK 端子以外  $C = 30pF$ ,  
SDRAM 使用する場合の駆動能力制御 : SDCLK 端子は PFBCR3.SDCLKDRV (外部バス制御レジスタ 1)を“1”に設定、  
SDCLK 端子以外の SDRAM 端子は高速インタフェース駆動出力を選択

### 【訂正後】

表 61.26 バスタイミング

条件 1 :  $VCC = AVCC0 = AVCC1 = VCC\_USB = V_{BATT} = 2.7 \sim 3.6V$ ,  $2.7V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS\_USB = 0V$ ,  
 $ICLK = PCLKA = 8 \sim 120MHz$ ,  $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$ ,  $T_a = T_{opr}$ ,  
出力負荷条件 :  $VOH = 0.5 \times VCC$ ,  $VOL = 0.5 \times VCC$ ,  $C = 30pF$ ,  
駆動能力制御レジスタは高駆動出力を選択時

条件 2 :  $VCC = AVCC0 = AVCC1 = VCC\_USB = V_{BATT} = 3.0 \sim 3.6V$ ,  $3.0V \leq VREFH0 \leq AVCC0$ ,  
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS\_USB = 0V$ ,  
 **$ICLK = 60 \sim 120MHz$** ,  $PCLKA = 8 \sim 120MHz$ ,  $PCLKB = 8 \sim 60MHz$ ,  $60MHz < BCLK = SDCLK \leq 80MHz$ ,  $T_a = T_{opr}$ ,  
出力負荷条件 :  $VOH = 0.5 \times VCC$ ,  $VOL = 0.5 \times VCC$ ,  
SDCLK 端子  $C = 15pF$ , SDCLK 端子以外  $C = 30pF$ ,  
SDRAM 使用する場合の駆動能力制御 : SDCLK 端子は PFBCR3.SDCLKDRV (外部バス制御レジスタ 1)を“1”に設定、  
SDCLK 端子以外の SDRAM 端子は高速インタフェース駆動出力を選択

● Page 3027 of 3089

「図 61.41 MTU クロック入力タイミング」において、MTIOC1A 端子の記載漏れがありましたので、以下のとおり訂正いたします。

【訂正前】

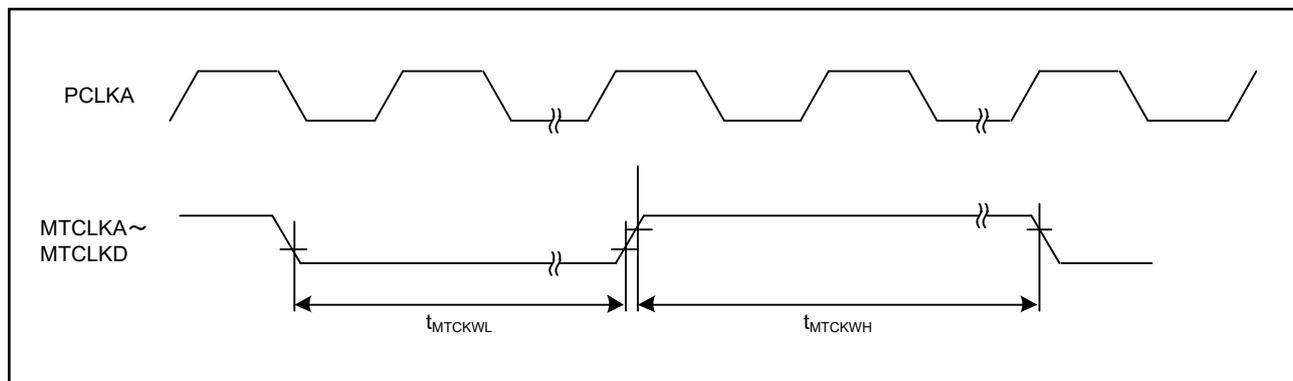


図 61.41 MTU クロック入力タイミング

【訂正後】

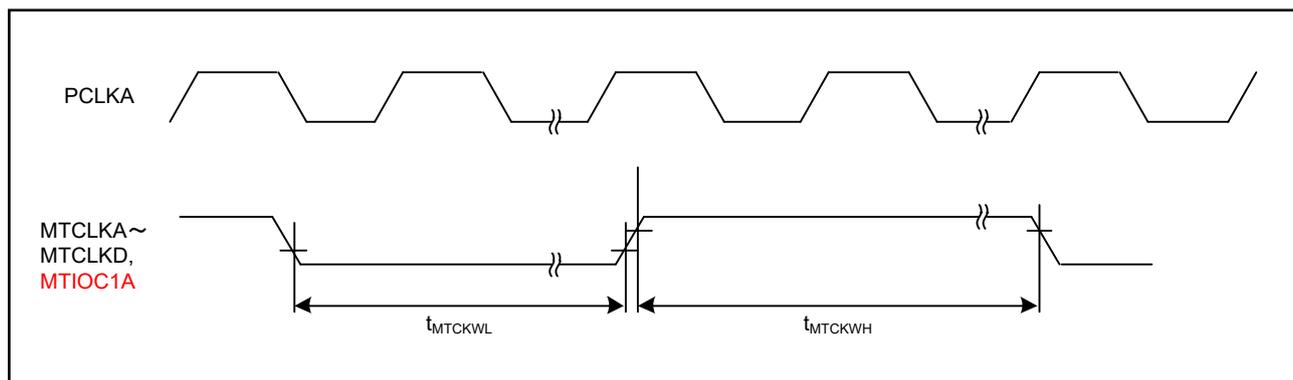


図 61.41 MTU クロック入力タイミング

● Page 3031 of 3089

「図 61.51 POEG 出力ディセーブル時間 (発振停止検出)」を以下のとおり訂正いたします。

【訂正前】

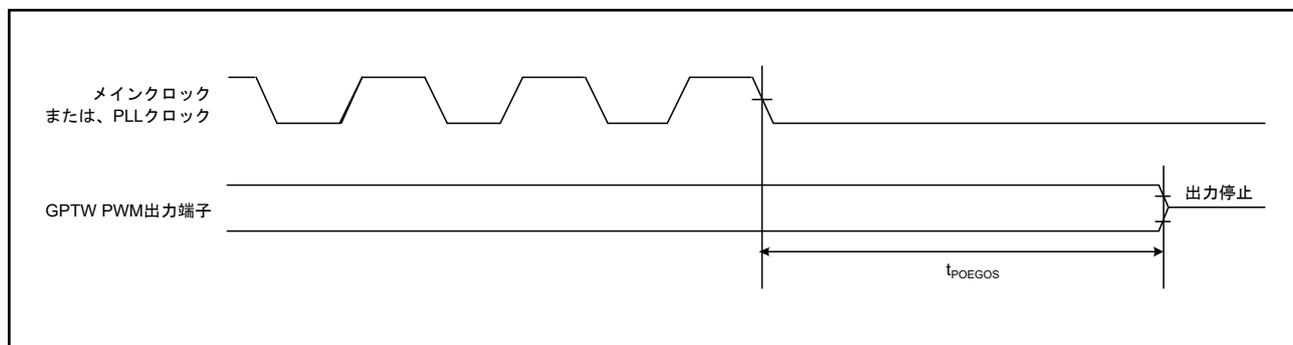


図 61.51 POEG 出力ディセーブル時間 (発振停止検出)

【訂正後】

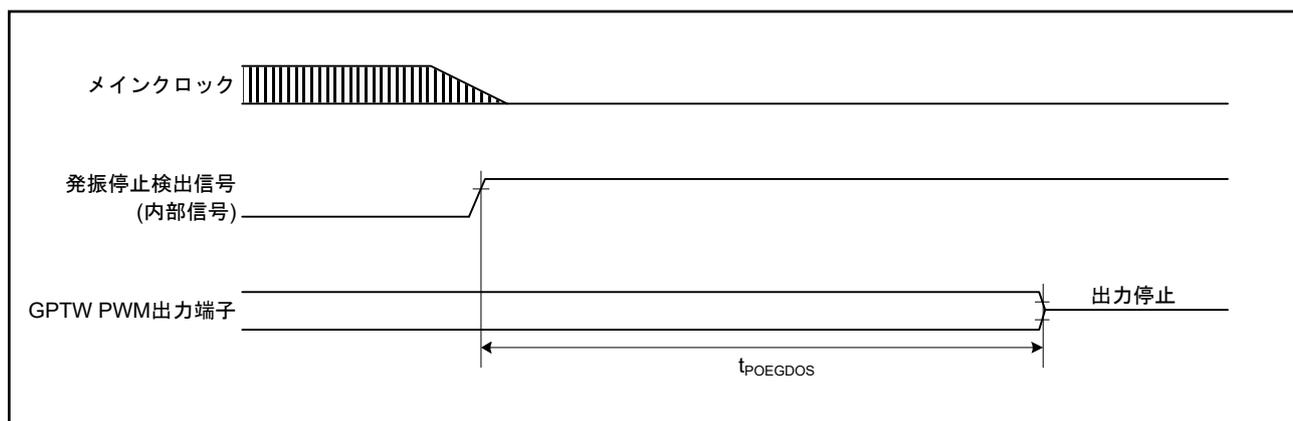


図 61.51 POEG 出力ディセーブル時間 (発振停止検出)

● Page 3047 of 3089

「図 61.72 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング」において、簡易 IIC に関する信号名の記載漏れおよび測定条件の不備がありましたので、以下の図を新規に追加いたします。

【訂正後】

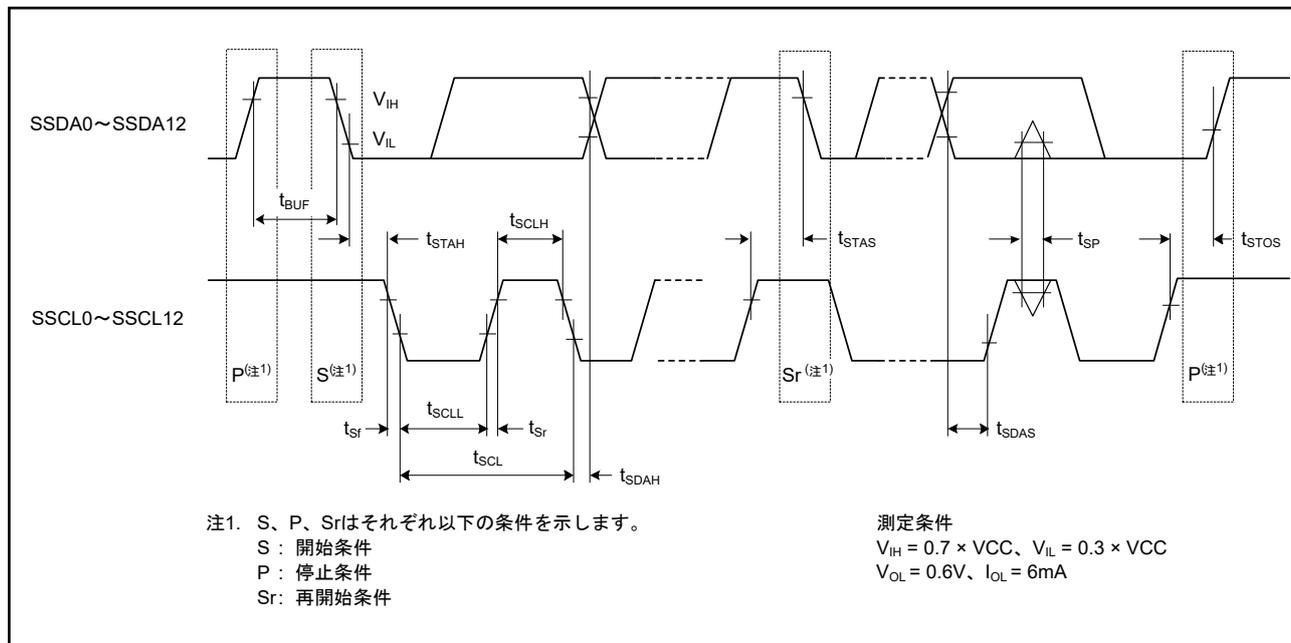


図 61.xx 簡易 IIC バスインタフェース入出力タイミング

以上