

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
ルネサス エレクトロニクス株式会社
問合せ窓口 <http://japan.renesas.com/contact/>
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A081A/J	Rev.	第1版
題名	RX63Nグループ、RX631グループ RAM領域に関するマニュアルの誤記訂正		情報分類	技術情報	
適用製品	RX63Nグループ、RX631グループ	対象ロット等	関連資料	RX63Nグループ、RX631グループ ユーザーズマニュアルハードウェア編 Rev.1.70 (R01UH0041JJ0170)	
		全ロット			

RX63Nグループ、RX631グループ ユーザーズマニュアルハードウェア編において、RAM領域に関する誤記がありましたので以下のとおり訂正いたします。

〈訂正内容〉

•Page 169 of 2051

図4.1のRAM領域のアドレスを以下のとおり訂正いたします。

【変更前】

シングルチップモード ^(注1)	内蔵ROM有効拡張モード	内蔵ROM無効拡張モード
0000 0000h	0000 0000h	0000 0000h
0002 0000h	0002 0000h	0002 0000h
0008 0000h	0008 0000h	0008 0000h
RAM ^(注2)	RAM ^(注2)	RAM ^(注2)
予約領域 ^(注3)	予約領域 ^(注3)	予約領域 ^(注3)
周辺I/Oレジスタ	周辺I/Oレジスタ	周辺I/Oレジスタ

図 4.1 各動作モードのメモリマップ

【変更後】

シングルチップモード ^(注1)	内蔵ROM有効拡張モード	内蔵ROM無効拡張モード
0000 0000h	0000 0000h	0000 0000h
0004 0000h	0004 0000h	0004 0000h
0008 0000h	0008 0000h	0008 0000h
RAM ^(注2)	RAM ^(注2)	RAM ^(注2)
予約領域 ^(注3)	予約領域 ^(注3)	予約領域 ^(注3)
周辺I/Oレジスタ	周辺I/Oレジスタ	周辺I/Oレジスタ

図 4.1 各動作モードのメモリマップ

•Page 170 of 2051

図4.2のRAM領域のアドレスを以下のとおり訂正いたします。

【変更前】

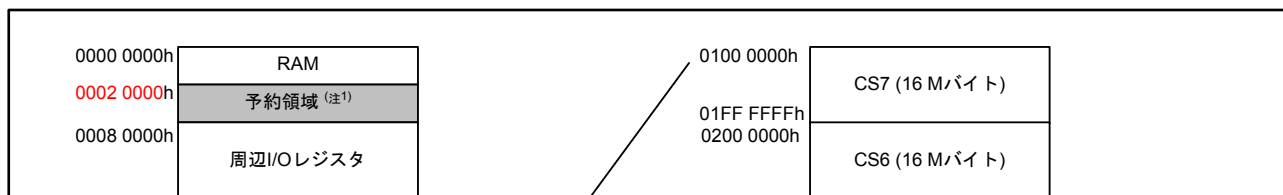


図 4.2 外部アドレス空間とCS領域 (内蔵ROM 無効拡張モードの場合)

【変更後】

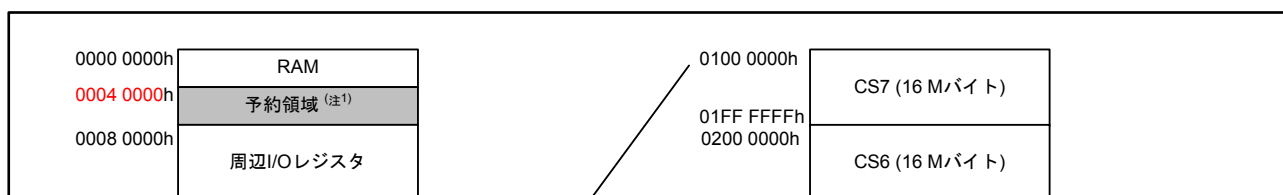


図 4.2 外部アドレス空間とCS領域 (内蔵ROM 無効拡張モードの場合)

•Page 292 of 2051

表 11.2 を以下のとおり訂正いたします。

【変更前】

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード
⋮ 省略				
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM3 (0003 0000h ~ 0003 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM2 (0002 0000h ~ 0002 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM1 (0001 0000h ~ 0001 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM0 (0000 0000h ~ 0000 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注8)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
⋮ 省略				

【変更後】

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード
⋮ 省略				
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM1 (0001 0000h ~ 0003 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM0 (0000 0000h ~ 0000 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注8)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
⋮ 省略				

•Page 300 of 2051

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC) の説明を以下のとおり訂正いたします。

【変更前】

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	MSTPC 27	MSTPC 26	MSTPC 25	MSTPC 24	—	MSTPC 22	—	—	MSTPC 19	MSTPC 18	MSTPC 17	MSTPC 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 3	MSTPC 2	MSTPC 1	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット(注1)	対象モジュール: RAM0 (0000 0000h ~ 0000 FFFFh) 0: RAM0動作 1: RAM0停止	R/W
b1	MSTPC1	RAM1 モジュールストップ設定ビット(注1)	対象モジュール: RAM1 (0001 0000h ~ 0001 FFFFh) 0: RAM1動作 1: RAM1停止	R/W
b2	MSTPC2	RAM2 モジュールストップ設定ビット(注1)	対象モジュール: RAM2 (0002 0000h ~ 0002 FFFFh) 0: RAM2動作 1: RAM2停止	R/W
b3	MSTPC3	RAM3 モジュールストップ設定ビット(注1)	対象モジュール: RAM3 (0003 0000h ~ 0003 FFFFh) 0: RAM3動作 1: RAM3停止	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
⋮ 省略				

注1. RAMアクセス中に該当するMSTPC0 ~ MSTPC3ビットを“1”にしないでください。また、MSTPC0 ~ MSTPC3ビットが“1”の状態、該当するRAMにアクセスしないでください。

【変更後】

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	MSTPC 27	MSTPC 26	MSTPC 25	MSTPC 24	—	MSTPC 22	—	—	MSTPC 19	MSTPC 18	MSTPC 17	MSTPC 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 1	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット(注1)	対象モジュール: RAM0 (0000 0000h ~ 0000 FFFFh) 0: RAM0動作 1: RAM0停止	R/W
b1	MSTPC1	RAM1 モジュールストップ設定ビット(注1)	対象モジュール: RAM1 (0001 0000h ~ 0003 FFFFh) 0: RAM1動作 1: RAM1停止	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
⋮ 省略				

注2. RAMアクセス中に該当するMSTPC0、MSTPC1ビットを“1”にしないでください。また、MSTPC0、MSTPC1ビットが“1”の状態、該当するRAMにアクセスしないでください。

•Page 334 of 2051

11.6.4.1 の脚注を以下のとおり訂正いたします。

【変更前】

注2. RAMのアドレス空間は、RAM0～RAM3の領域に分かれています。アドレス空間は表 11.2を参照してください。

【変更後】

注2. RAMのアドレス空間は、RAM0、RAM1の領域に分かれています。アドレス空間は表 11.2を参照してください。

•Page 407 of 2051

表 16.2を以下のとおり訂正いたします。

【変更前】

表 16.2 バス種類別アドレス対応表

アクセス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0001 FFFFh	メモリバス1		RAM	
0002 0000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス1		周辺I/Oレジスタ	
	⋮			
	省略			

【変更後】

表 16.2 バス種類別アドレス対応表

アクセス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0003 FFFFh	メモリバス1		RAM	
0004 0000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス1		周辺I/Oレジスタ	
	⋮			
	省略			

•Page 1825 of 2051

表46.1を以下のとおり訂正いたします。

【変更前】

表 46.1 RAMの仕様

項目	内容
RAM容量	64Kバイト (RAM0 : 64Kバイト) 128Kバイト (RAM0 : 64Kバイト、RAM1 : 64Kバイト) 192Kバイト (RAM0 : 64Kバイト、RAM1 : 64Kバイト、RAM2 : 64Kバイト) 256Kバイト (RAM0 : 64Kバイト、RAM1 : 64Kバイト、RAM2 : 64Kバイト、RAM3 : 64Kバイト)
RAMアドレス	RAM0 : 0000 0000h ~ 0000 FFFFh (64Kバイト) RAM1 : 0001 0000h ~ 0001 FFFFh (64Kバイト) RAM2 : 0002 0000h ~ 0002 FFFFh (64Kバイト) RAM3 : 0003 0000h ~ 0003 FFFFh (64Kバイト)
アクセス	• 読み出し、書き込みともに1サイクルで動作 • RAM有効/無効選択可能(注1)
データ保持機能	ディープソフトウェアスタンバイモード時、RAM0のデータを保持可能
消費電力低減機能	RAM0 ~ RAM3個別にモジュールストップ状態への設定が可能

【変更後】

表 46.1 RAMの仕様

項目	内容
RAM容量	64Kバイト (RAM0 : 64Kバイト) 128Kバイト (RAM0 : 64Kバイト、RAM1 : 64Kバイト) 192Kバイト (RAM0 : 64Kバイト、RAM1 : 128Kバイト) 256Kバイト (RAM0 : 64Kバイト、RAM1 : 192Kバイト)
RAMアドレス	<ul style="list-style-type: none"> • RAM容量が64Kバイトの場合 RAM0 : 0000 0000h ~ 0000 FFFFh (64Kバイト) RAM1 : なし • RAM容量が128Kバイトの場合 RAM0 : 0000 0000h ~ 0000 FFFFh (64Kバイト) RAM1 : 0001 0000h ~ 0001 FFFFh (64Kバイト) • RAM容量が192Kバイトの場合 RAM0 : 0000 0000h ~ 0000 FFFFh (64Kバイト) RAM1 : 0001 0000h ~ 0002 FFFFh (128Kバイト) • RAM容量が256Kバイトの場合 RAM0 : 0000 0000h ~ 0000 FFFFh (64Kバイト) RAM1 : 0001 0000h ~ 0003 FFFFh (192Kバイト)
アクセス	• 読み出し、書き込みともに1サイクルで動作 • RAM有効/無効選択可能(注1)
データ保持機能	ディープソフトウェアスタンバイモード時、RAM0のデータを保持可能
消費電力低減機能	RAM0、RAM1個別にモジュールストップ状態への設定が可能

•Page 1825 of 2051

46.2.1の本文を以下のとおり訂正いたします。

【変更前】

RAMのアドレス空間は、RAM0～RAM3の領域に分かれており、ディープソフトウェアスタンバイモード時に内部電源を供給できるかどうか異なります。

DPSBYCR.DEEPCUT[1:0]ビットの設定により、ディープソフトウェアスタンバイモード時にRAM0へ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、RAM0へ内部電源を供給することによって、RAM0のデータを保持できます。このとき、RAM1～RAM3への内部電源の供給は停止しますので、RAM1～RAM3のデータを保持できません。

DPSBYCR.DEEPCUT[1:0]の詳細については、「11. 消費電力低減機能」を参照してください。

【変更後】

RAMのアドレス空間は、RAM0、RAM1の領域に分かれており、ディープソフトウェアスタンバイモード時に内部電源を供給できるかどうか異なります。

DPSBYCR.DEEPCUT[1:0]ビットの設定により、ディープソフトウェアスタンバイモード時にRAM0へ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、RAM0へ内部電源を供給することによって、RAM0のデータを保持できます。このとき、RAM1への内部電源の供給は停止しますので、RAM1のデータを保持できません。

DPSBYCR.DEEPCUT[1:0]の詳細については、「11. 消費電力低減機能」を参照してください。

•Page 1825 of 2051

46.2.2の本文を以下のとおり訂正いたします。

【変更前】

モジュールストップコントロールレジスタC (MSTPCRC) の設定により、RAMへのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPCnビットを“1”にするとRAMnに供給されるクロックが停止します。(n=0～3) クロック供給の停止により、RAM0～RAM3はそれぞれモジュールストップ状態になります。リセット後は、RAMは動作しています。

モジュールストップ状態になると、RAMへのアクセスができなくなります。RAMのアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRCレジスタの詳細については、「11. 消費電力低減機能」を参照してください。

【変更後】

モジュールストップコントロールレジスタC (MSTPCRC) の設定により、RAMへのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPCnビットを“1”にするとRAMnに供給されるクロックが停止します。(n=0、1) クロック供給の停止により、RAM0、RAM1はそれぞれモジュールストップ状態になります。リセット後は、RAMは動作しています。

モジュールストップ状態になると、RAMへのアクセスができなくなります。RAMのアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRCレジスタの詳細については、「11. 消費電力低減機能」を参照してください。

•Page 1935of 2051

図49.1のRAM領域のアドレスを以下のとおり訂正いたします。

【変更前】

0000 0000h	RAM (注2)
0002 0000h	予約領域 (注1)
0008 0000h	周辺I/Oレジスタ

図 49.1 内蔵ROM無効拡張モードのメモリマップ

【変更後】

0000 0000h	RAM (注2)
0004 0000h	予約領域 (注1)
0008 0000h	周辺I/Oレジスタ

図 49.1 内蔵ROM無効拡張モードのメモリマップ

以上